

この製品の英語版データシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2019年11月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2019年11月5日

製品名：AD9213

対象となるデータシートのリビジョン(Rev)：英語版：Rev.0、日本語版：Rev.0

訂正箇所：59 ページ，左側 12 行目の表記誤り

【誤】「仮想コンバータのマッピング・セットアップを TBD のセクションに示します。」

【正】原文校正時の削除残りのため、一文削除

訂正箇所：65 ページ，右側 2 行目の表記誤り

【誤】「共に SYSREF 制御機能のセクション (まだ含まれていない) に説明されています。」

【正】「レジスタ・マップの表 36 に記載があります。」

訂正箇所：69 ページ，左側 5 行目及び右側 5 行目の表記誤り

【誤】「図 113」

【正】「図 115」

以上



12ビット、6GSPS/10.25GSPSの JESD204B対応 RF A/Dコンバータ

データシート

AD9213

特長

高い瞬時ダイナミック・レンジ

NSD

-155dBFS/Hz (-9dBFS、170MHz 入力で 10GSPS の場合)

-153dBFS/Hz (-1dBFS、170MHz 入力で 10GSPS の場合)

SFDR : 70dBFS

(-1dBFS、1000MHz 入力で 10GSPS の場合)

H2 と H3 を除く SFDR (H2 と H3 以外の最悪時スプリアス) :

89dBFS (-1dBFS、1000MHz 入力で 10GSPS の場合)

低消費電力 : 10GSPS で 4.6W (代表値) 未満

入力バッファ内蔵 (入力帯域幅 6.5GHz)

$R_{IN} = 50\Omega$ の 1.4Vp-p フルスケール・アナログ入力

過電圧保護

16 レーン JESD204B 出力 (最大ライン・レート 16Gbps)

精度 1 サンプルでマルチチップ同期が可能

DDC NCO の同期を含む

DDC 内蔵

デシメーション係数を選択可能

高速周波数ホッピング用の 16 種類のプロファイル設定

効率的 AGC のための高速オーバーレンジ検出

オンチップ温度センサー

オンチップ負電圧発生器

低 CER : 1×10^{-16} 未満

12mm × 12mm の 192 ボール BGA-ED パッケージ

概要

AD9213 は、6.5GHz の入力帯域幅を持つ、シングル・チャンネル、12 ビット、6GSPS/10.25GSPS の無線周波数 (RF) A/D コンバータ (ADC) です。AD9213 は、広い瞬時帯域幅と低い変換エラー・レート (CER) を必要とする、高ダイナミック・レンジの周波数領域アプリケーションと時間領域アプリケーションをサポートします。AD9213 は、最大限の帯域幅能力をサポートするために、16 レーンの JESD204B インターフェースを備えています。

AD9213 は、ダイナミック・レンジと直線性に関する性能を実現する一方で、消費電力を 4.6W (代表値) 未満に抑えています。このデバイスはインターリーブ型パイプライン・アーキテクチャに基づいており、インターリーブ・スプリアス・アーチファクトをノイズ・フロア以下に抑制する独自のキャリブレーション技術とランダム化技術を使用しています。AD9213 の直線性能はオンチップ・ディザリングとキャリブレーションの組み合わせによって維持されており、これは、幅広い入力信号条件をカバーする優れたスプリアスフリー性能によって実現されています。

必要とされる瞬時帯域幅がそれほど広くないアプリケーションでは、AD9213 のオンチップ・デジタル・シグナル・プロセッシング (DSP) 能力を利用して、出力データ・レートとデバイスに必要な JESD204B レーンの数減らすことができます。DSP パスには 48 ビットの数値制御発振器 (NCO) を備えたデジタル・ダウンコンバータ (DDC) が 1 つ含まれており、その後段には 2 または 3 の倍数のデシメーション・レートを選択できる I/Q デジタル・デシメータ段が続いています。高速周波数ホッピング・アプリケーションの場合、AD9213 の NCO は個別のトリガ入力で最大 16 種類のプロファイルを設定できるので、より少ない JESD204B レーン数で広い周波数範囲を監視することができます。

AD9213 は、NCO の同期を含めて、精度 1 サンプルのマルチチップ同期をサポートしています。AD9213 は 192 ボールのボール・グリッド・アレイ (BGA) パッケージで提供されており、 $-20^{\circ}\text{C} \sim +115^{\circ}\text{C}$ のジャンクション温度範囲で仕様規定されています。

機能ブロック図

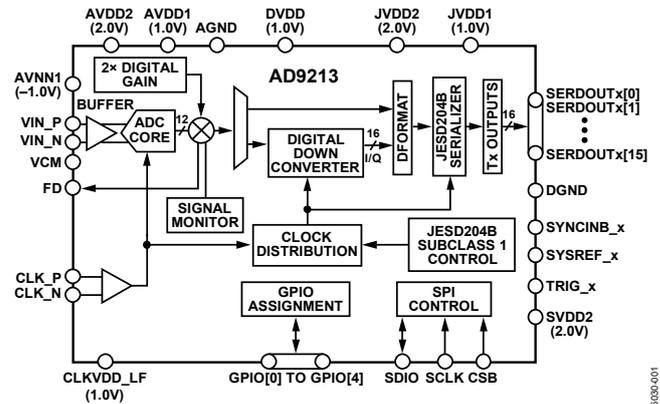


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	デジタル出力	55
機能ブロック図	1	JESD204B インターフェースの概要	55
概要	1	JESD204B の概要	55
改訂履歴	2	機能の概要	56
仕様	3	JESD204B リンクの確立	56
AC 仕様	4	物理層（ドライバ）出力	58
デジタル仕様	5	AD9213 のデジタル・インターフェースのセットアップ	59
スイッチング仕様	6	遅延	62
タイミング仕様	7	エンド to エンドの合計遅延	62
絶対最大定格	9	遅延計算例	62
熱特性	9	LMFC 基準遅延	62
ESD に関する注意	9	確定的遅延	64
ピン配置およびピン機能の説明	10	サブクラス 0 動作	64
代表的な性能特性	13	サブクラス 1 動作	64
AD9213-6G	13	マルチチップ同期（MCS）	66
AD9213-10G	19	MCS 用平均 SYSREF モード	66
等価回路	26	サンプリング SYSREF モード	66
動作原理	29	MCS 平均 SYSREF モードのセットアップ	67
ADC のアーキテクチャ	29	テスト・モード	69
アナログ入力に関する考慮事項	29	JESD204B のテスト・モード	69
電圧リファレンス	30	データ・リンク層テスト・モード	69
クロック入力に関する考慮事項	31	シリアル・ポート・インターフェース（SPI）	72
TMU	32	SPI を使用する構成設定	72
ADC オーバーレンジと高速検出	33	SPI からアクセスできる機能	72
ADC オーバーレンジ	33	ハードウェア・インターフェース	72
高速閾値検出（FD）	33	メモリ・マップ	73
デジタル・ダウンコンバータ（DDC）	34	メモリ・マップ・レジスタ・テーブルの読出し	73
DDC の概要	34	アプリケーション情報	107
DDC の周波数変換	36	スタートアップ・シーケンス	107
DDC デシメーション・フィルタ	43	パワーダウンせずにサンプル・クロック周波数を変更	107
DDC ゲイン段	47	電源の推奨事項	108
DDC の複素数から実数への変換	47	外形寸法	109
DDC 構成例	48	オーダー・ガイド	109
信号モニタ	52		
SPORT Over JESD204B	52		

改訂履歴

8/2019—Revision 0: Initial Version

仕様

公称電源電圧、仕様規定されている最大サンプリング・レート、内部リファレンス、アナログ入力 (A_{IN}) = -1.0dBFS。特に指定のない限り、最小/最大仕様は-20°C ≤ T_J ≤ +115°Cでの性能を表します。代表仕様は T_J = 70°Cでの性能を表します。

表 1.

Parameter	AD9213-6G			AD9213-10G			Unit
	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	12			12			Bits
ACCURACY							
No Missing Codes	Guaranteed			Guaranteed			
Offset Error	-10	-0.6	+9	-11	0	+11	LSB
Gain Error	-3.1	11.1	+19.2	-7.0	7.4	+17.0	%FSR
Differential Nonlinearity (DNL)	-0.5	±0.25	+0.5	-0.5	±0.3	+0.6	LSB
Integral Nonlinearity (INL)	-4.8	±0.7	+7.4	-8.2	±2.4	+6.2	LSB
ANALOG INPUTS							
Differential Input Voltage Range (Internal V _{REF} = 0.5 V)		1.4			1.4		V p-p
Resistance (R _{IN})	47.8	50	52.2	47.8	50.0	52.2	Ω
Capacitance		1			1		pF
Internal Common-Mode Voltage (V _{CM})		0.5			0.5		V
Analog Full Power Bandwidth (Internal Termination)		6.5			6.5		GHz
Input Referred Noise		1.61			1.72		LSB _{RMS}
POWER SUPPLIES							
BVDD2	1.95	2.0	2.05	1.95	2.0	2.05	V
BVNN1	-1.025	-1.0	-0.975	-1.025	-1.0	-0.975	V
AVNN1	-1.025	-1.0	-0.975	-1.025	-1.0	-0.975	V
BVNN2 (Internally Generated)	-2.05	-2.0	-1.95	-2.05	-2.0	-1.95	V
BVDD3 (Internally Generated)	2.925	3.0	3.075	2.925	3.0	3.075	V
AVDD	0.975	1.0	1.025	0.975	1.0	1.025	V
CLKVDD_LF	0.975	1.0	1.025	0.975	1.0	1.025	V
PLLVDD2	1.95	2.0	2.05	1.95	2.0	2.05	V
AVDDFS8	0.975	1.0	1.025	0.975	1.0	1.025	V
FVDD	0.975	1.0	1.025	0.975	1.0	1.025	V
VDD_NVG	0.975	1.0	1.025	0.975	1.0	1.025	V
RVDD2	1.95	2.0	2.05	1.95	2.0	2.05	V
SVDD2	1.95	2.0	2.05	1.95	2.0	2.05	V
JVDD2	1.95	2.0	2.05	1.95	2.0	2.05	V
DVDD	0.975	1.0	1.025	0.975	1.0	1.025	V
JVTT	0.975	1.0	1.025	0.975	1.0	1.025	V
JVDD	0.975	1.0	1.025	0.975	1.0	1.025	V
TMU_AVDD2	1.95	2.0	2.05	1.95	2.0	2.05	V
TMU_DVDD1	0.975	1.0	1.025	0.975	1.0	1.025	V
I _{BVDD2}		109	143		112	147	mA
I _{BVNN1}		-115	-149		-116	-151	mA
I _{AVNN1}		-1.8	-2.1		-1.8	-2	mA
I _{BVNN2} ¹	N/A ²	mA					
I _{BVDD3} ¹	N/A ²	mA					
I _{AVDD}		1730	2240		2180	2790	mA
I _{CLKVDD_LF}		28	34		31	37	mA
I _{PLLVDD2}		1	2		1	2	mA
I _{AVDDFS8}		26	44		38	56	mA
I _{FVDD}		25	28		31	35	mA
I _{VDD_NVG} ³		155	193		159	195	mA
I _{VDD_NVG} ⁴		383	479		387	478	mA
I _{RVDD2}		32	35		35	38	mA
I _{SVDD2}		0.3	1		0.3	1	mA

Parameter	AD9213-6G			AD9213-10G			Unit
	Min	Typ	Max	Min	Typ	Max	
I _{VDD2}		27	32		21	24	mA
I _{DVDD} ⁵		400	770		643	1055	mA
I _{VTT}		146	235		173	247	mA
I _{VDD}		387	564		611	800	mA
I _{TMU_AVDD2}		1.7	2		1.7	2	mA
I _{TMU_DVDD1}		0.25	1		1	2	mA
Power Consumption ⁶							
Total Power Dissipation (Including Output Drivers) ⁷		3.47	4.83		4.44	5.93	W
Power-Down		114			114		mW
Standby		2.7			2.7		W

¹ 内部で供給されます。

² N/A は該当なしを意味します。

³ AVNN1 と BVNN1 が外部電源によって供給される場合の電流。

⁴ AVNN1 と BVNN1 が VNEG_OUT によって供給される場合の電流。

⁵ DDC オフ。

⁶ オプションの DDC をオフにした状態での消費電力。特に指定のない限り、消費電力と電源電流は代表値です。

⁷ AVNN1 と BVNN1 が VNEG_OUT によって供給された場合の合計消費電力。

AC 仕様

公称電源電圧、仕様規定されている最大サンプリング・レート、内部リファレンス、A_{IN} = -1.0dBFS。特に指定のない限り、最小/最大仕様は -20°C ≤ T_j ≤ +115°C での性能を表します。代表仕様は T_j = 70°C での性能を表します。

表 2.

Parameter	AD9213-6G			AD9213-10G			Unit
	Min	Typ	Max	Min	Typ	Max	
NOISE SPECTRAL DENSITY (NSD)							
At 170 MHz, -1 dBFS		-153			-153		dBFS/Hz
At 170 MHz, -9 dBFS		-153.8			-155.1		dBFS/Hz
At 170 MHz, -30 dBFS		-153.9			-155.7		dBFS/Hz
SIGNAL-TO-NOISE RATIO (SNR)							
Input Frequency (f _{IN}) = 170 MHz		58.2			55.9		dBFS
f _{IN} = 1000 MHz		56.8			55.8		dBFS
f _{IN} = 2600 MHz	50.1	52.3		43.8	51.0		dBFS
f _{IN} = 4000 MHz		50.2			49.9		dBFS
SIGNAL-TO-NOISE AND DISTORTION (SINAD)							
f _{IN} = 170 MHz		58.2			55.6		dBFS
f _{IN} = 1000 MHz		56.6			55.6		dBFS
f _{IN} = 2600 MHz	48.8	52.3		42.7	50.8		dBFS
f _{IN} = 4000 MHz		49.3			49.4		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)							
f _{IN} = 170 MHz		9.4			8.9		Bits
f _{IN} = 1000 MHz		9.1			8.9		Bits
f _{IN} = 2600 MHz		8.4			8.1		Bits
f _{IN} = 4000 MHz		7.9			7.9		Bits
SPURIOUS-FREE DYNAMIC RANGE (SFDR), SECOND OR THIRD HARMONIC							
f _{IN} = 170 MHz		81			70		dBFS
f _{IN} = 1000 MHz		71			70		dBFS
f _{IN} = 2600 MHz	60	76		62	65		dBFS
f _{IN} = 4000 MHz		57			60		dBFS
SECOND HARMONIC (H2)							
f _{IN} = 170 MHz		-90			-71		dBFS
f _{IN} = 1000 MHz		-89			-77		dBFS
f _{IN} = 2600 MHz		-76	-60		-65	-62	dBFS
f _{IN} = 4000 MHz		-57			-60		dBFS

Parameter	AD9213-6G			AD9213-10G			Unit
	Min	Typ	Max	Min	Typ	Max	
THIRD HARMONIC (H3)							
$f_{IN} = 170 \text{ MHz}$		-81			-70		dBFS
$f_{IN} = 1000 \text{ MHz}$		-71			-70		dBFS
$f_{IN} = 2600 \text{ MHz}$		-76	-66		-72	-65	dBFS
$f_{IN} = 4000 \text{ MHz}$		-67			-74		dBFS
WORST OTHER (WO), EXCLUDING SECOND OR THIRD HARMONIC ($ WO = \text{SFDR EXCLUDING H2 OR H3}$)							
$f_{IN} = 170 \text{ MHz}$		-89			-88		dBFS
$f_{IN} = 1000 \text{ MHz}$		-95			-89		dBFS
$f_{IN} = 2600 \text{ MHz}$		-85	-76		-89	-72	dBFS
$f_{IN} = 4000 \text{ MHz}$		-82			-86		dBFS
TWO-TONE INTERMODULATION DISTORTION (IMD3, $2f_{IN1} - f_{IN2}$) f_{IN1} AND $f_{IN2} = -7.0 \text{ dBFS}$							
$f_{IN1} = 1842 \text{ MHz}, f_{IN2} = 1847 \text{ MHz}$		-80			-77		dBFS
$f_{IN1} = 2138 \text{ MHz}, f_{IN2} = 2143 \text{ MHz}$		-75			-76		dBFS
TWO-TONE INTERMODULATION DISTORTION (IMD3, $2f_{IN1} - f_{IN2}$) f_{IN1} AND $f_{IN2} = -15.0 \text{ dBFS}$							
$f_{IN1} = 1842 \text{ MHz}, f_{IN2} = 1847 \text{ MHz}$		-108			-99		dBFS
$f_{IN1} = 2138 \text{ MHz}, f_{IN2} = 2143 \text{ MHz}$		-100			-101		dBFS

デジタル仕様

公称電源電圧、仕様規定されている最大サンプリング・レート、内部リファレンス、 $A_{IN} = -1.0\text{dBFS}$ 。特に指定のない限り、最小/最大仕様は $-20^\circ\text{C} \leq T_J \leq +115^\circ\text{C}$ での性能を表します。代表仕様は $T_J = 70^\circ\text{C}$ での性能を表します。

表 3.

Parameter	Min	Typ	Max	Unit
CLOCK INPUTS (CLK_P, CLK_N)				
Logic Compliance		Low voltage differential signaling (LVDS)		
Differential Input Voltage	300	800	1800	mV p-p
Common-Mode Input Voltage		0.675		V
Input Resistance (Differential)		106		k Ω
Input Capacitance		0.9		pF
SYSREF_x INPUTS				
Logic Compliance		LVDS		
Differential Input Voltage	500	700	800	mV p-p
Common-Mode Input Voltage		1.2		V
Input Resistance (Differential)		100		Ω
Input Capacitance		0.5		pF
LOGIC INPUTS (SDIO, SCLK, CSB, GPIO, PWDN)				
Logic Compliance		Complementary metal-oxide semiconductor (CMOS)		
Voltage				
Logic 1	$0.70 \times \text{SVDD2}$			V
Logic 0	0		$0.30 \times \text{SVDD2}$	V
Input Resistance (Single-Ended)		44		k Ω
SYNCINB_x INPUT				
Logic Compliance		LVDS		
Input Voltage	400	800	1800	mV p-p
Differential				
Common Mode		0.675	2.0	V
Input Resistance (Differential)		18		k Ω
Input Capacitance		1		pF

Parameter	Min	Typ	Max	Unit
LOGIC OUTPUT (SDIO, GPIO, FD)				
Logic Compliance		CMOS		
Voltage				
Logic 1, Output Logic Current High (I_{OH}) = 4 mA	SVDD2 - 0.45			V
Logic 0, Output Logic Current Low (I_{OL}) = 4 mA	0		0.45	V
RESET (RSTB) INPUT				
Logic Compliance		CMOS		
Voltage				
Logic 1	$0.70 \times SVDD2$			V
Logic 0	0		$0.30 \times SVDD2$	V
Input Resistance		77		k Ω

スイッチング仕様

公称電源電圧、仕様規定されている最大サンプリング・レート、内部リファレンス、AIN = -1.0dBFS。特に指定のない限り、最小/最大仕様は $-20^{\circ}\text{C} \leq T_j \leq +115^{\circ}\text{C}$ での性能を表します。代表仕様は $T_j = 70^{\circ}\text{C}$ での性能を表します。

表 4.

Parameter	Min	Typ	Max	Unit
CLOCK (CLK)				
Maximum Clock Rate			10.25	GSPS
Minimum Clock Rate	2.5			GSPS
Clock Duty Cycle	45	50	55	% duty cycle
LATENCY				
Pipeline Latency		367		Clock cycles
Fast Detect Latency (FD)		170		Clock cycles
OUTPUT PARAMETERS (SERDOUT_x[x], x = 0 to 15)				
Logic Compliance		JESD204B		
Differential Output Voltage	560	770		mV p-p
Differential Termination Impedance	100	120		Ω
Unit Interval (UI) ¹	62.5	80	588.2	ps
Rise Time (t_R) (20% to 80% into 100 Ω Load)		26		ps
Fall Time (t_F) (20% to 80% into 100 Ω Load)		26		ps
Phase-Locked Loop (PLL) Lock Time		5		ms
Lane Rate (Nonreturn to Zero) ²	1.7	12.5	16	Gbps
WAKE-UP TIME				
Standby		1		ms
Power-Down		25		ms
APERTURE				
Delay (t_A)		120		ps
Uncertainty (Jitter, t_j)		50		(f_s) rms

¹ ボー・レート = 1/UI。この範囲のサブセットに対応できます。

² デフォルト L = 16。この値は、サンプル・レートとデシメーション・レシオに基づいて変更できます。

タイミング仕様

表 5.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
SYSREF_x TIMING REQUIREMENTS¹					
t_{SU_SR}	デバイス・クロックと SYSREF_P 間のセットアップ時間		-65		ps
t_{H_SR}	デバイス・クロックと SYSREF_P 間のホールド時間		95		ps
SERIAL PORT INTERFACE (SPI) TIMING REQUIREMENTS					
t_{DS}	データと SCLK 立上がりエッジ間のセットアップ時間	4			ns
t_{DH}	データと SCLK 立上がりエッジ間のホールド時間	4			ns
t_{CLK}	SCLK の周期	40			ns
t_S	CSB と SCLK 間のセットアップ時間	2			ns
t_H	CSB と SCLK 間のホールド時間	2			ns
t_{HIGH}	SCLK をロジック・ハイ・ステートに保持できる最小時間	10			ns
t_{LOW}	SCLK をロジック・ロー・ステートに保持できる最小時間	10			ns
t_{ACCESS}	SCLK の立下がりエッジから読出し動作の有効出力データまでの最大遅延時間		6	10	ns
t_{DIS_SDIO}	CSB 立上がりエッジ基準で SDIO ピンを出力から入力に切り替えるのに必要な時間 (図 3 には示されていない)	10			ns

¹ SYSREF_x のセットアップ時間とホールド時間は、SYSREF_x の立上がりエッジとクロックの立上がりエッジを基準に定義されます。正のセットアップ時間はクロック・エッジより前になり、負のホールド時間もクロック・エッジより前になります。AD9213 の主要な JESD204B サブクラス 1 モードである平均 SYSREF_x モードには、SYSREF_x のセットアップとホールドに関する条件はありません。

タイミング図

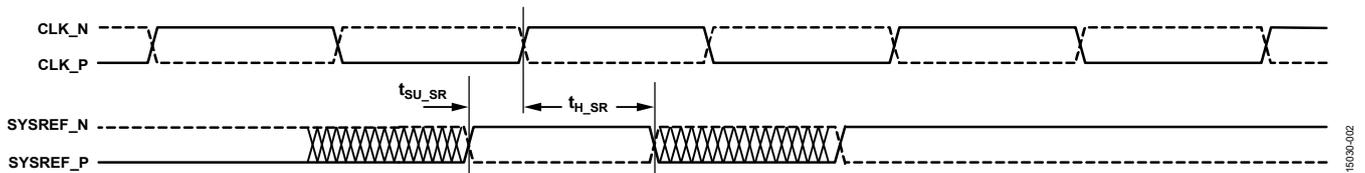


図 2. SYSREF_x のセットアップとホールドのタイミング図

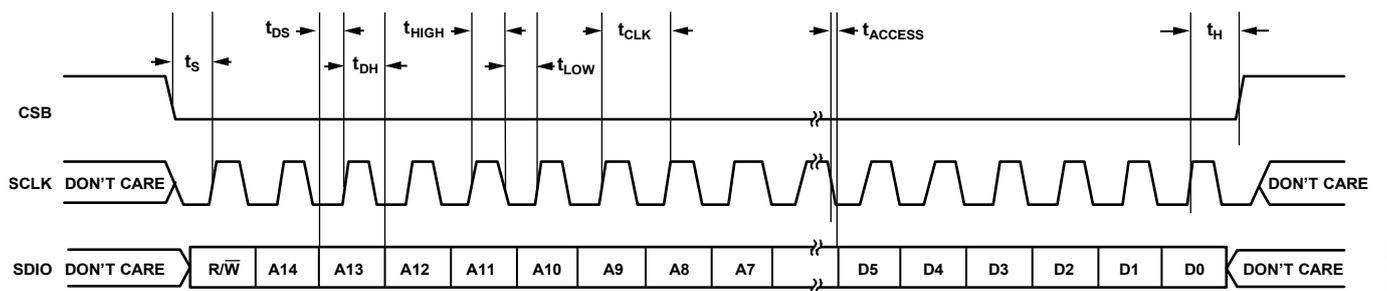
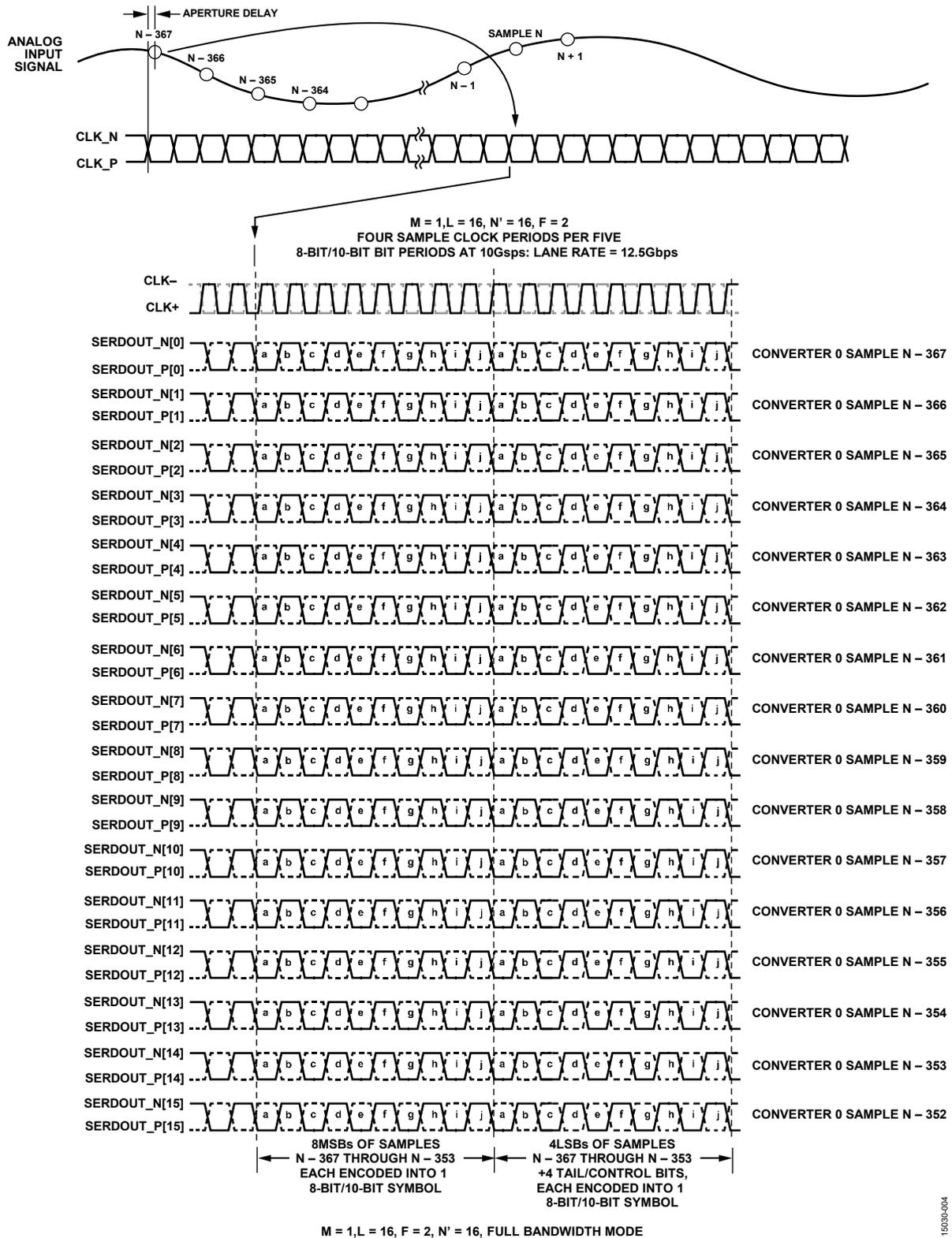


図 3. シリアル・ポート・インターフェースのタイミング図 (MSB ファースト)



15030-004

図 4. 16 レーン・モードでのデータ出力タイミング

絶対最大定格

表 6.

Parameter	Rating
Supply Pins	
BVDD2 to AGND	2.2 V
BVNN1 to AGND	-1.1 V
AVNN1 to GND	-1.1 V
AVDD to AGND	1.1 V
CLKVDD_LF to AGND	1.1 V
PLLVD2 to AGND	2.2 V
AVDDFS8 to AVSSFS8	1.1 V
FVDD to AGND	1.1 V
VDD_NVG to VSS_NVG	1.1 V
RVDD2 to AGND	2.2 V
SVDD2 to DGND	2.2 V
DVDD to DGND	1.1 V
JVTT to JGND	1.1 V
JVDD to JGND	1.1 V
JVDD2 to JGND	2.2 V
TMU_AVDD2 to AGND	2.2 V
TMU_DVDD1 to AGND	1.1 V
GND Pins	
AVSSFS8 to DGND	-0.3 V to +0.3 V
VSS_NVG to DGND	-0.3 V to +0.3 V
AGND to DGND	-0.3 V to +0.3 V
AGND to JGND	-0.3 V to +0.3 V
DGND to JGND	-0.3 V to +0.3 V
Input/Output Pins	
VIN_x to AGND	-0.125 V to AVDD + 0.150 V
CLK_x to AGND	AGND - 0.3 V to AVDD + 0.3 V
CSB, RSTB, PDWN, SCLK, FD, GPIO[x], SDIO to DGND	DGND - 0.3 V to SVDD2 + 0.3 V
SYNCINB_x to DGND	DGND - 0.3 V to DVDD + 0.3 V
SYSREF_x, TRIG_x to AVSSFS8	1.8 V
TMU_REFx to TMU_AGND	AGND - 0.3 V to TMU_AVDD2 + 0.3 V
VCM to AGND	AGND - 0.3 V to RVDD2 + 0.3 V
VREF to AGND	AGND - 0.3 V to RVDD2 + 0.3 V
SERDOUT_x[x] to JGND	JGND - 0.3 V to JVTT + 0.3 V
Storage Temperature, T _A	-40°C to +150°C
Operating Junction Temperature (T _j)	125°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱特性

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JC} は、ジャンクションからケースへの熱抵抗です。

θ_{JB} は、ジャンクションからボードへの熱抵抗です。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	θ_{JB}	Unit
BP-192-1	20.5	1.6	9.2	°C/W

¹ 仕様規定されている熱抵抗値は、JESD51-12 に準拠した JEDEC 仕様に基づいてシミュレートされています。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

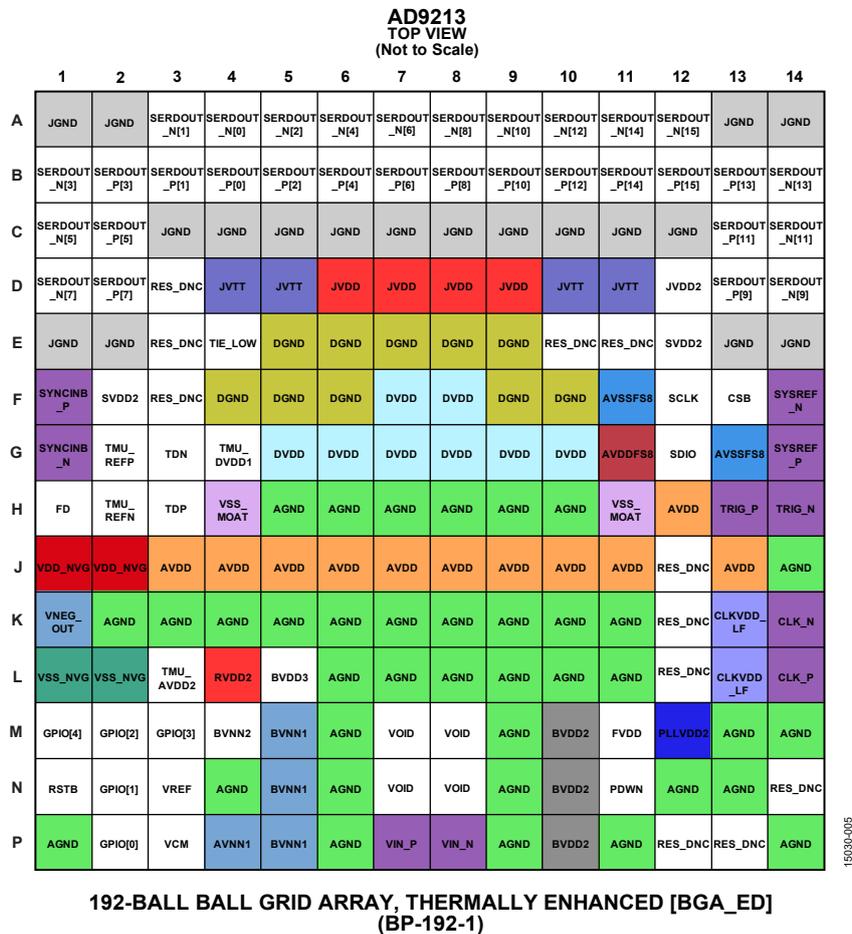


図 5. ピン配置（上面図、実寸ではありません）

表 8. ピン機能の説明

ピン番号	ボール記号	ボール・タイプ	信号タイプ	説明
A1, A2, A13, A14, C3 to C12, E1, E2, E13, E14	JGND	Ground	Not applicable	JESD グラウンド。
A3, B3	SERDOUT_N[1], SERDOUT_P[1]	Output	JESD204B	レーン 1 差動ペア。
A4, B4	SERDOUT_N[0], SERDOUT_P[0]	Output	JESD204B	レーン 0 差動ペア。
A5, B5	SERDOUT_N[2], SERDOUT_P[2]	Output	JESD204B	レーン 2 差動ペア。
A6, B6	SERDOUT_N[4], SERDOUT_P[4]	Output	JESD204B	レーン 4 差動ペア。
A7, B7	SERDOUT_N[6], SERDOUT_P[6]	Output	JESD204B	レーン 6 差動ペア。
A8, B8	SERDOUT_N[8], SERDOUT_P[8]	Output	JESD204B	レーン 8 差動ペア。
A9, B9	SERDOUT_N[10], SERDOUT_P[10]	Output	JESD204B	レーン 10 差動ペア。
A10, B10	SERDOUT_N[12], SERDOUT_P[12]	Output	JESD204B	レーン 12 差動ペア。
A11, B11	SERDOUT_N[14], SERDOUT_P[14]	Output	JESD204B	レーン 14 差動ペア。
A12, B12	SERDOUT_N[15], SERDOUT_P[15]	Output	JESD204B	レーン 15 差動ペア。
B1, B2	SERDOUT_N[3], SERDOUT_P[3]	Output	JESD204B	レーン 3 差動ペア。
B13, B14	SERDOUT_P[13], SERDOUT_N[13]	Output	JESD204B	レーン 13 差動ペア。
C1, C2	SERDOUT_N[5], SERDOUT_P[5]	Output	JESD204B	レーン 5 差動ペア。
C13, C14	SERDOUT_P[11], SERDOUT_N[11]	Output	JESD204B	レーン 11 差動ペア。
D1, D2	SERDOUT_N[7], SERDOUT_P[7]	Output	JESD204B	レーン 7 差動ペア。

ピン番号	ボール記号	ボール・タイプ	信号タイプ	説明
D3, E3, E10, E11, F3, J12, K12, L12, N14, P12, P13	RES_DNC	Not applicable	Not applicable	予備。接続しないでください。
D4, D5, D10, D11	JVTT	Supply	Not applicable	JESD204B 出力ドライバの終端電圧、1V 電源。
D6 to D9	JVDD	Supply	Not applicable	JESD204B デジタル回路電源、1V 電源。
D12	JVDD2	Supply	Not applicable	JESD204B の 2V 電源。
D13, D14	SERDOUT_P[9], SERDOUT_N[9]	Output	JESD204B	レーン 9 差動ペア。
E4	TIE_LOW	Input	CMOS	内部使用に限定。グラウンドに接続します。
E5 to E9, F4 to F6, F9, F10	DGND	Ground	Not applicable	デジタル・グラウンド。
E12, F2	SVDD2	Supply	Not applicable	デジタル入出力および SPI 用の 2V 電源。
F1, G1	SYNCINB_P, SYNCINB_N	Input	Not applicable	JESD204B 同期。ローになると、JESD204B インターフェースがレシーバーとハンドシェイクします。このピンは、ハンドシェイクが終了するとハイになります。
F7, F8, G5 to G10	DVDD	Supply	Not applicable	デジタル・コア用 1V 電源。
F11, G13	AVSSFS8	Ground	Not applicable	AVSSFS8 電源領域のグラウンド。グラウンドに接続します。
F12	SCLK	Input	Not applicable	メイン SPI クロック・ピン。
F13	CSB	Input	Not applicable	SPI のチップ・セレクト・ピン。
F14, G14	SYSREF_N, SYSREF_P	Input/output	LVDS/CML	差動同期信号。CLK_x を基準とする重要なタイミング。このピンは CLK_x 入力付近に配置され、確定的遅延を決定します。このピンは、デフォルト構成では 50Ω を介して内部でグラウンドに接続されており、レジスタ 0x525 を介してサブクラス 0 モードに設定する場合はフローティング状態のままにしておくことができます。
G2, H2	TMU_REFP, TMU_REFN	Input	Static	TMU リファレンス電源。このピンは、ボード上のクリーンな 1.8V リファレンス電源 (≤TMU_AVDD2) に接続します。
G3, H3	TDN, TDP		Static	温度ダイオードのアノード/カソード。このピンを使用しない場合はフロート状態にしておくことができます。
G4	TMU_DVDD1	Supply	Not applicable	温度計測ユニット (TMU) のデジタル領域電源。
G11	AVDDFS8	Supply	Not applicable	f _s /8 のエネルギーを持つクロック用 1V 電源。
G12	SDIO	Input/output	Not applicable	メイン SPI 入出力ピン。
H1	FD	Output	CMOS	高速検出ピン。
H4, H11	VSS_MOAT	Ground	Not applicable	絶縁ガード・リング用グラウンド。グラウンドに接続します。
H5 to H10, J14, K2 to K11, L6 to L11, M6, M9, M13, M14, N4, N6, N9, N12, N13, P1, P6, P9, P11, P14	AGND	Ground	Not applicable	ADC 用グラウンド。
H12, J3 to J11, J13	AVDD	Supply		ADC 用アナログ・コア 1V 電源。
H13, H14	TRIG_P, TRIG_N	Input	LVDS	周波数ホッピング用トリガ入力。このピンは、デフォルト構成では 50Ω を介して内部でグラウンドに接続されており、レジスタ 0x602 によりデフォルトでディスプレイする場合はフローティング状態のままにしておくことができます。
J1, J2	VDD_NVG	Supply		オンボード負電圧発生器 (NVG) 用 1V 電源。
K1	VNEG_OUT	Output		内部生成される -1V 出力。
K13, L13	CLKVDD_LF	Supply		クロック・バッファ用 1V 電源。
K14, L14	CLK_N, CLK_P	Input	RF	高周波クロック入力。
L1, L2	VSS_NVG	Ground		NVG 用電源電圧 (VSS)。
L3	TMU_AVDD2	Supply		TMU の 2V アナログ電源。
L4	RVDD2	Supply		TOP_REF の 2V 電源。
L5	BVDD3	Supply		入力バッファ用に内部で生成される 3V 電源。10μF と 0.1μF のコンデンサを使った GND へのバイパス。
M1, M2, M3, N2, P2	GPIO[4], GPIO[2], GPIO[3], GPIO[1], GPIO[0]	Input/output		汎用入出力ピン。デフォルト構成では、このピンをフロート状態にしておくことができます。

ピン番号	ボール記号	ボール・タイプ	信号タイプ	説明
M4	BVNN2	Supply	Not applicable	入力バッファ用に内部生成される-2V電源。10 μ Fと0.1 μ Fのコンデンサを使ったGNDへのバイパス。
M5, N5, P5	BVNN1	Supply	Not applicable	入力バッファ用-1V電源。
M7, M8, N7, N8	VOID	Not applicable	Not applicable	この場所にボールはありません。
M10, N10, P10	BVDD2	Supply	Not applicable	入力バッファ用2V電源。
M11	FVDD	Supply	Not applicable	リファレンスADC (REF_ADC) 用1V電源。
M12	PLLVD2	Supply	Not applicable	2.0V LDO電源。
N1	RSTB	Input	Not applicable	チップのリセット、アクティブ・ロー。
N3	VREF	Input	Static	オプションのVREFインポート。
N11	PDWN	Input	CMOS	パワーダウン/スタンバイ・モード制御。
P3	VCM	Output	Static	VCMをエクスポート。
P4	AVNN1	Supply	Not applicable	TOP_REFの-1V電源。
P7, P8	VIN_P, VIN_N	Input	RF	高周波ADC入力。

代表的な性能特性

AD9213-6G

特に指定のない限り、公称電源電圧、サンプリング・レート = 6GSPS、1.4V_{p-p} フルスケール差動入力、 $A_{IN} = -1.0\text{dBFS}$ 、 $T_J = 70^\circ\text{C}$ 、128k FFT。

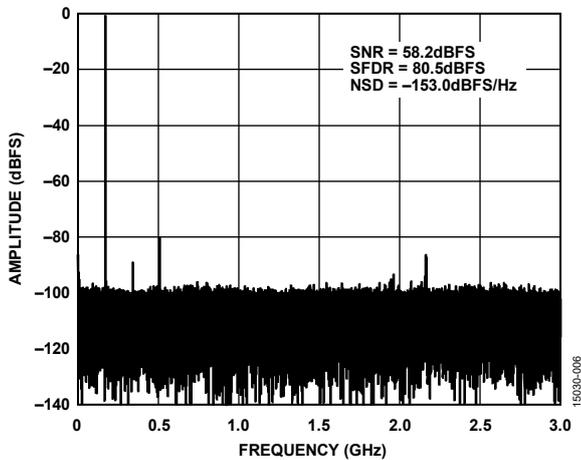


図 6. $f_{IN} = 170\text{MHz}$ 、6GSPS でのシングルトーン FFT

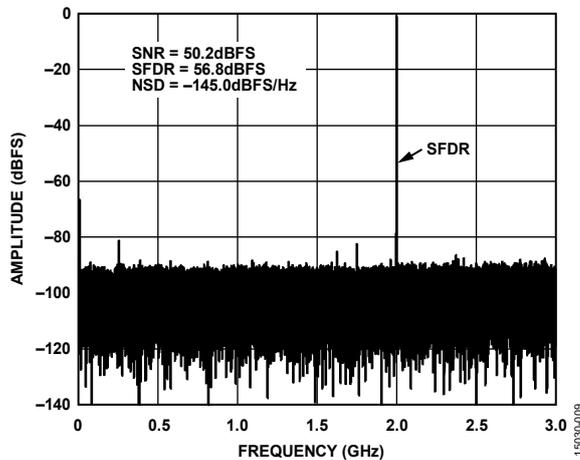


図 9. $f_{IN} = 4\text{GHz}$ 、6GSPS でのシングルトーン FFT

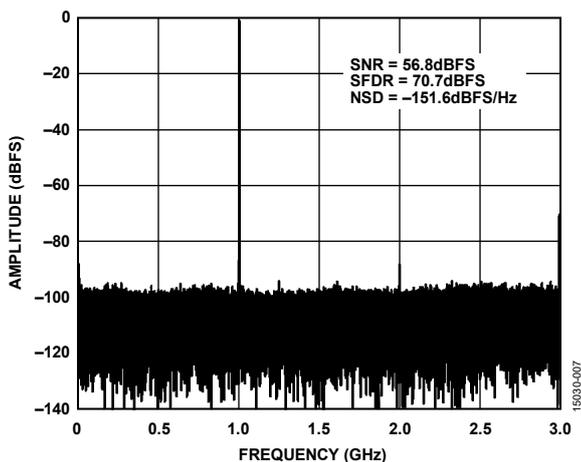


図 7. $f_{IN} = 1\text{GHz}$ 、6GSPS でのシングルトーン FFT

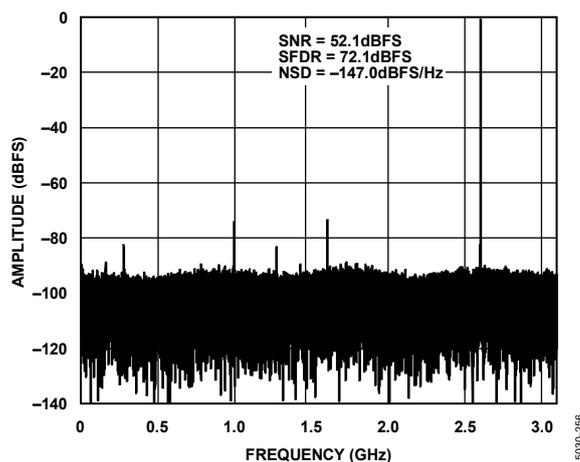


図 10. $f_{IN} = 2.6\text{GHz}$ 、サンプリング周波数 = 6.2GSPS でのシングルトーン FFT

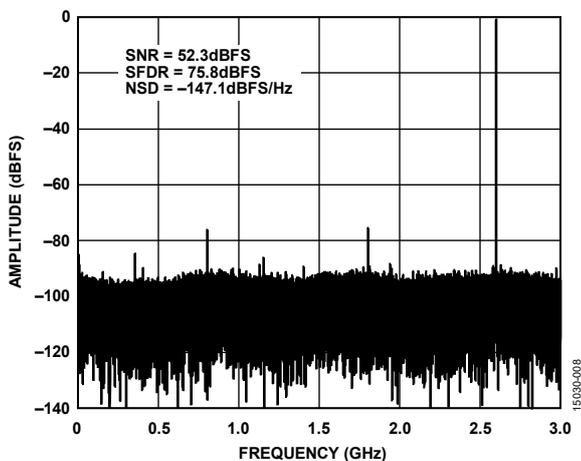


図 8. $f_{IN} = 2.6\text{GHz}$ 、6GSPS でのシングルトーン FFT

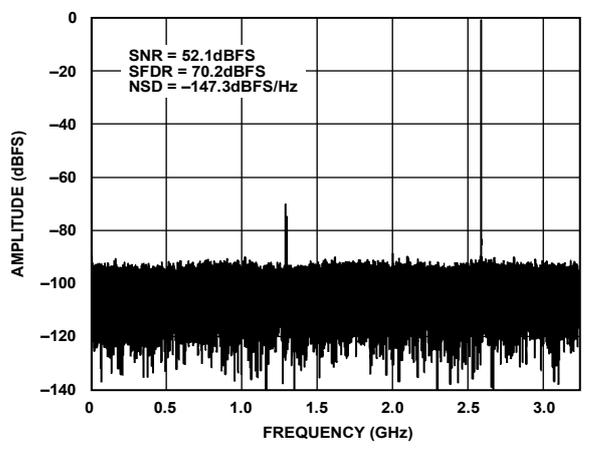


図 11. $f_{IN} = 2.6\text{GHz}$ 、サンプリング周波数 = 6.5GSPS でのシングルトーン FFT

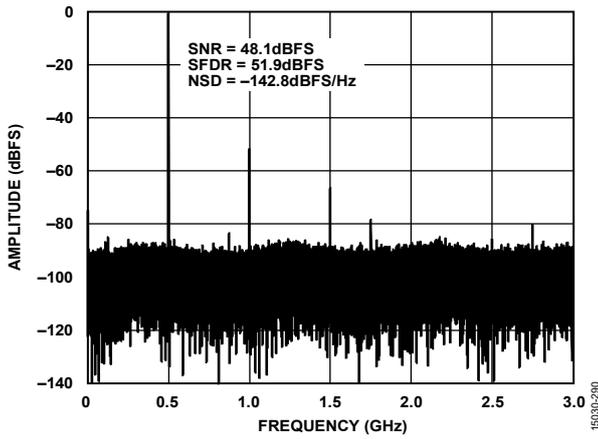


図 12. $f_{IN} = 5.5\text{GHz}$ 、6GSPS でのシングルトーン FFT

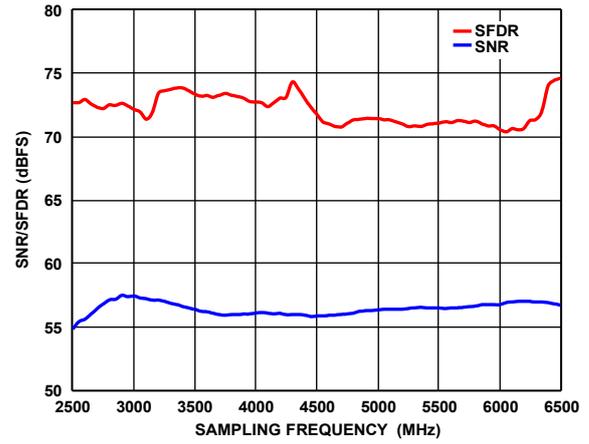


図 15. S/N 比/SFDR とサンプリング周波数の関係 ($f_{IN} = 1000\text{MHz}$ 、6GSPS)

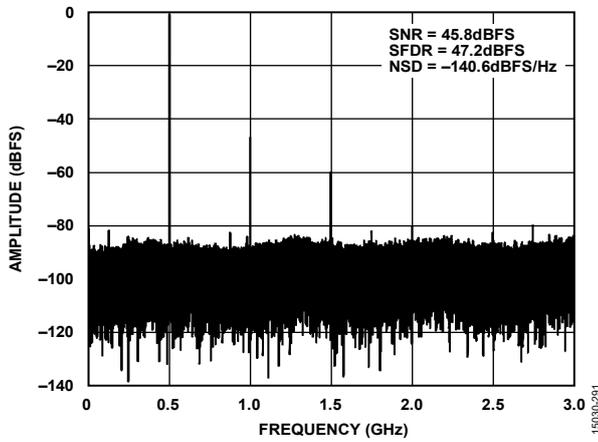


図 13. $f_{IN} = 6.5\text{GHz}$ 、6GSPS でのシングルトーン FFT

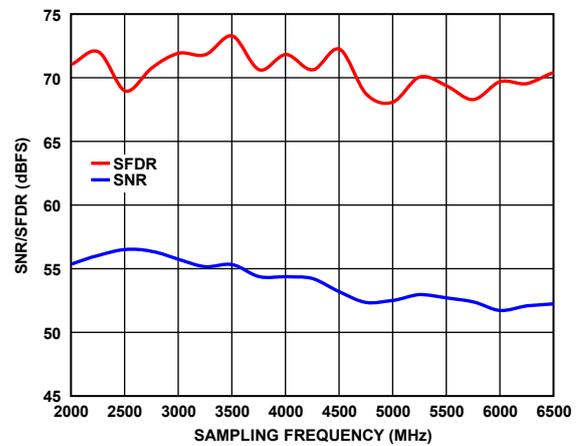


図 16. S/N 比/SFDR とサンプリング周波数の関係 ($f_{IN} = 2.6\text{GHz}$ 、6GSPS)

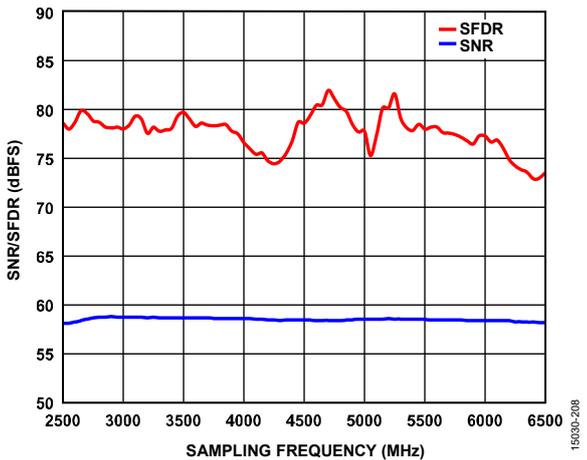


図 14. S/N 比および SFDR とサンプリング周波数の関係 ($f_{IN} = 170\text{MHz}$ 、6GSPS)

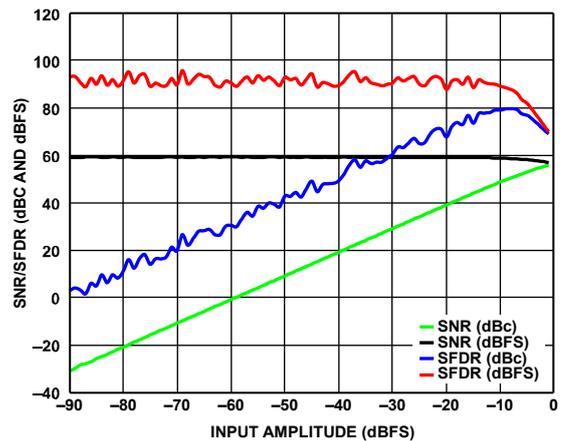


図 17. S/N 比および SFDR と入力振幅の関係 ($f_{IN} = 1000\text{MHz}$ 、6GSPS)

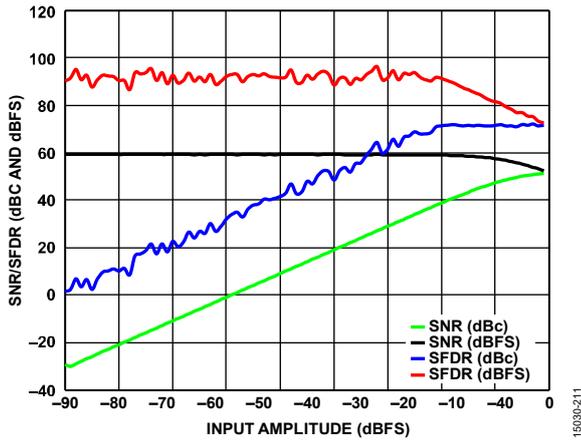


図 18. S/N 比/SFDR と入力振幅 (A_{IN}) の関係 ($f_{IN} = 2600\text{MHz}$ 、6GSPS)

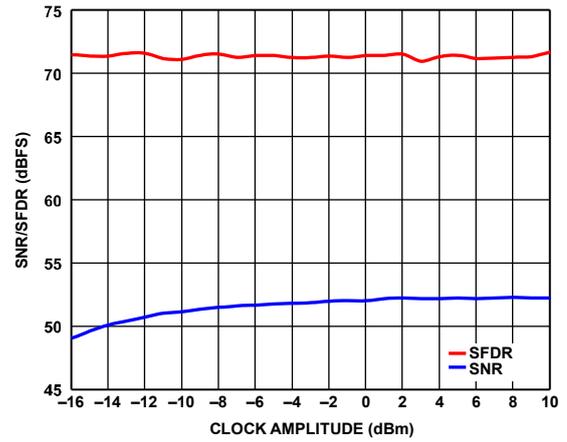


図 21. S/N 比/SFDR とクロック振幅の関係 ($f_{IN} = 2600\text{MHz}$ 、6GSPS)

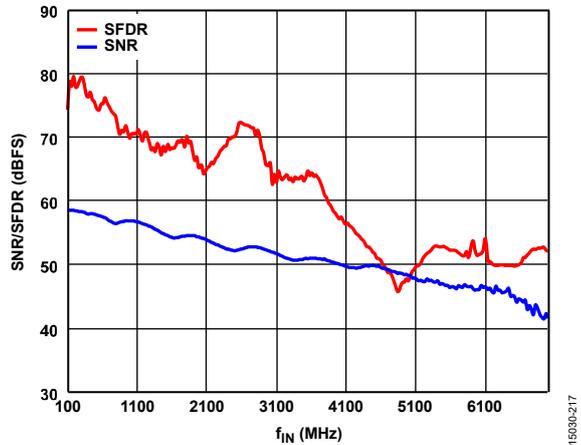


図 19. S/N 比/SFDR と f_{IN} の関係 ($A_{IN} = -1\text{dBFS}$ 、6GSPS)

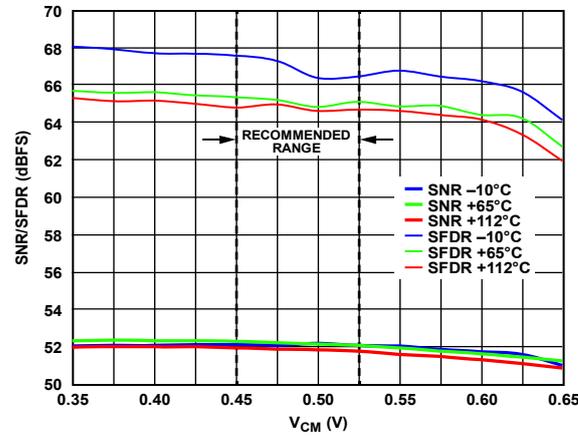


図 22. S/N 比/SFDR と V_{CM} の関係 (6GSPS)

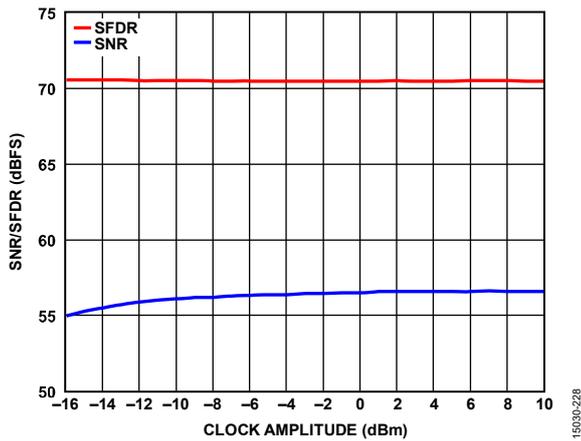


図 20. S/N 比および SFDR とクロック振幅の関係 ($f_{IN} = 1000\text{MHz}$ 、6GSPS)

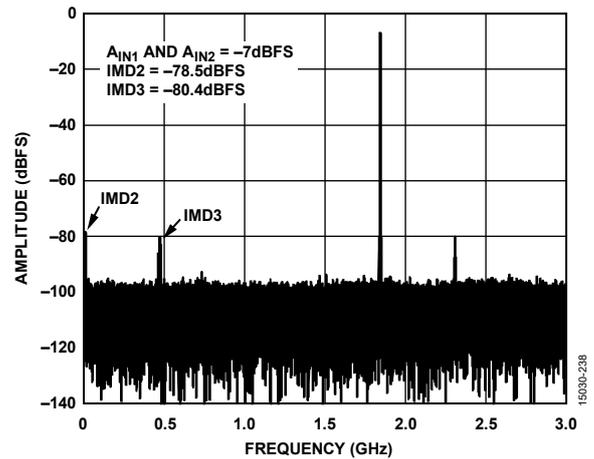


図 23. ツー・トーン FFT ($f_{IN1} = 1841.5\text{MHz}$ 、 $f_{IN2} = 1846.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ 、6GSPS)

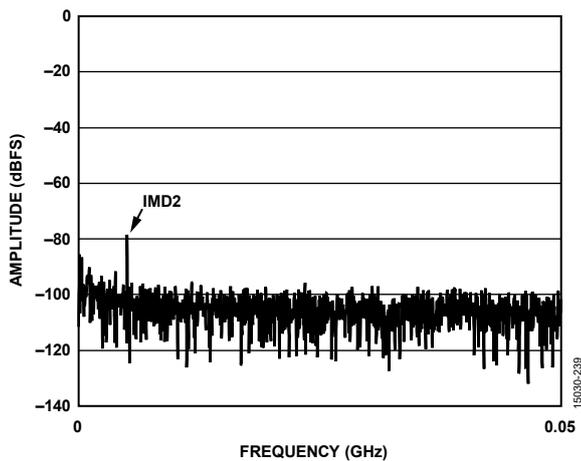


図 24. ツー・トーン FFT
(IMD2 拡大、 $f_{IN1} = 1841.5\text{MHz}$ 、 $f_{IN2} = 1846.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ (図 23 参照)、6GSPS)

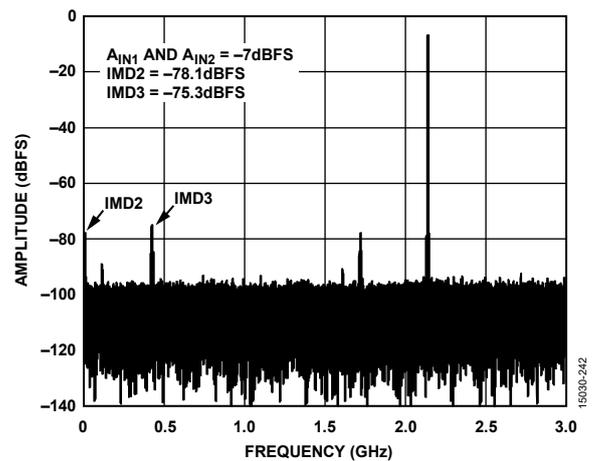


図 27. ツー・トーン FFT
($f_{IN1} = 2137.5\text{MHz}$ 、 $f_{IN2} = 2142.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ 、6GSPS)

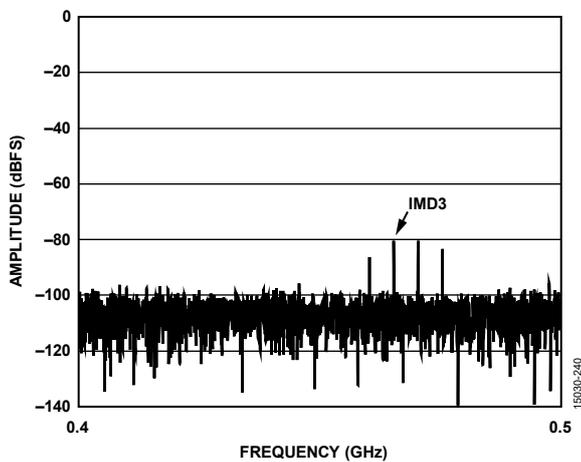


図 25. ツー・トーン FFT
(IMD3 拡大、 $f_{IN1} = 1841.5\text{MHz}$ 、 $f_{IN2} = 1846.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ - 図 23 参照、6GSPS)

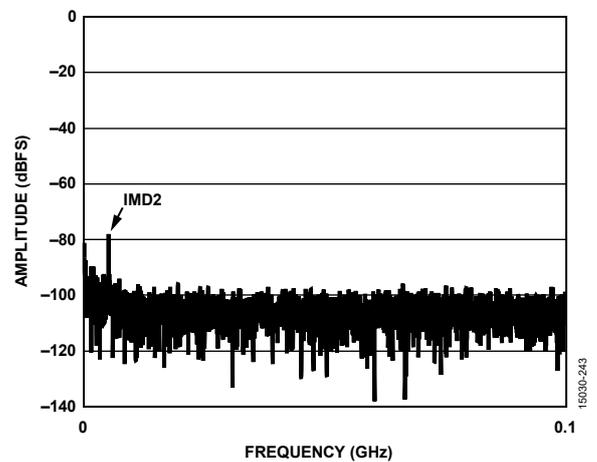


図 28. ツー・トーン FFT
(IMD2 拡大、 $f_{IN1} = 2137.5\text{MHz}$ 、 $f_{IN2} = 2142.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ 、6GSPS)

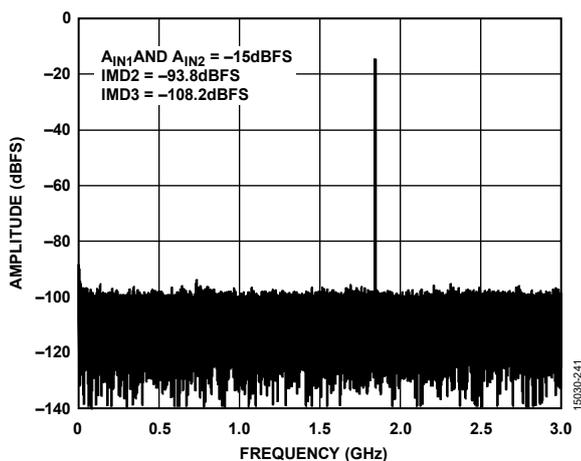


図 26. ツー・トーン FFT
($f_{IN1} = 1841.5\text{MHz}$ 、 $f_{IN2} = 1846.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -15\text{dBFS}$ 、6GSPS)

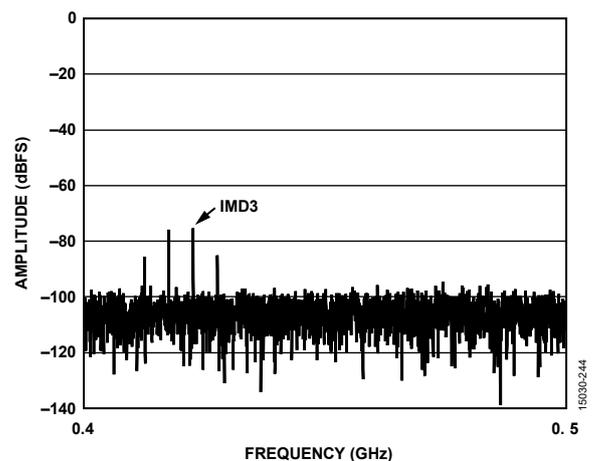


図 29. ツー・トーン FFT
(IMD3 拡大、 $f_{IN1} = 2137.5\text{MHz}$ 、 $f_{IN2} = 2142.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ 、6GSPS)

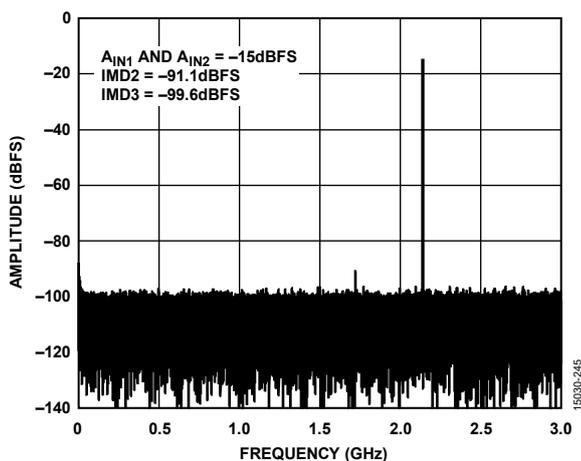


図 30. ツー・トーン FFT
 ($f_{IN1} = 2137.5\text{MHz}$, $f_{IN2} = 2142.5\text{MHz}$,
 A_{IN1} および $A_{IN2} = -15\text{dBFS}$, 6GSPS)

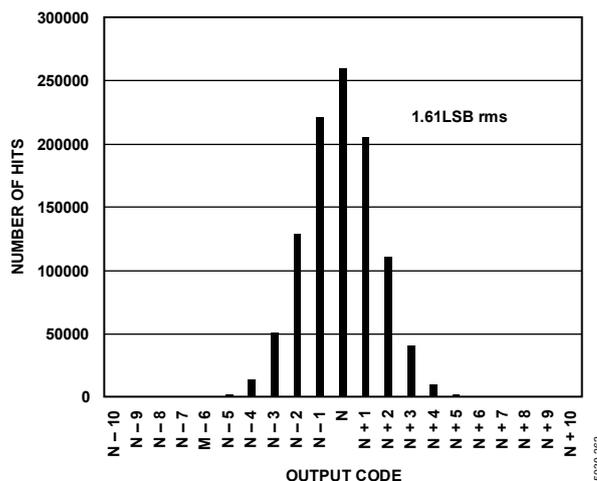


図 33. 入力換算ノイズのヒストグラム

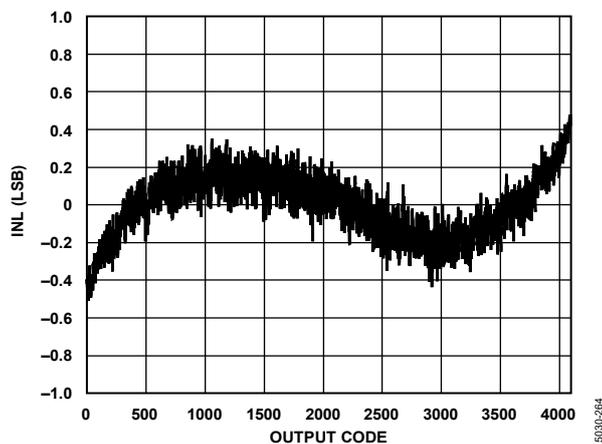


図 31. $f_{IN} = 170\text{MHz}$, 6GSPS での INL

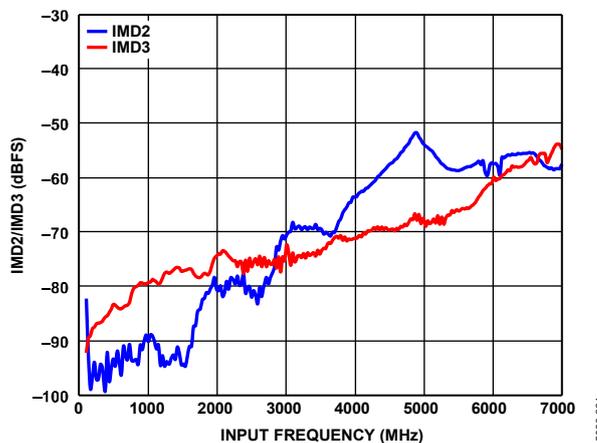


図 34. IMD2 および IMD3 と入力周波数の関係
 ($A_{IN} = -7\text{dBFS}$, 10MHz 間隔, 6GSPS)

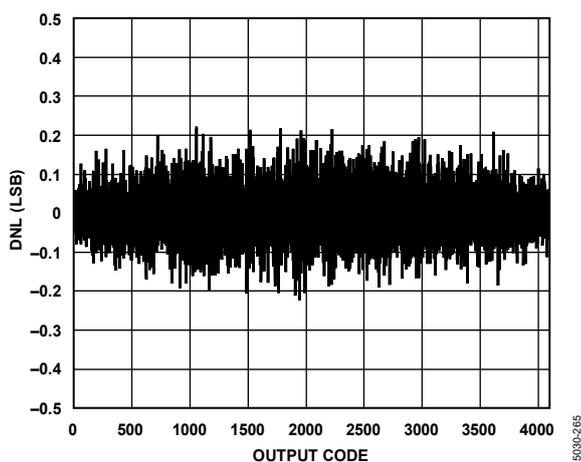


図 32. $f_{IN} = 170\text{MHz}$, 6GSPS での DNL

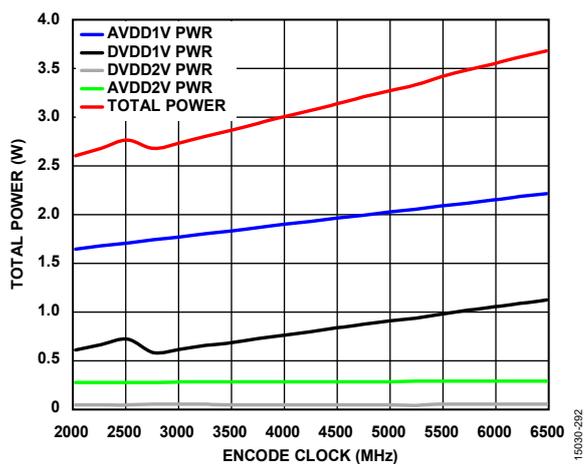


図 35. 合計消費電力とエンコード・クロック (f_S) の関係
 (16 SERDES レーン, $f_{IN} = 2600\text{MHz}$)

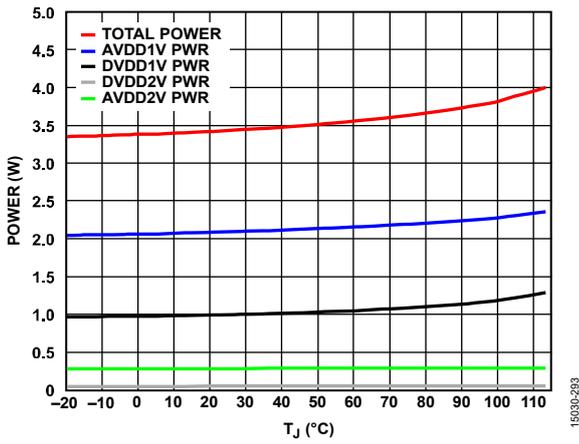


図 36. 消費電力とジャンクション温度 (t_j) の関係
($f_{IN} = 2600\text{MHz}$ 、 6GSPS)

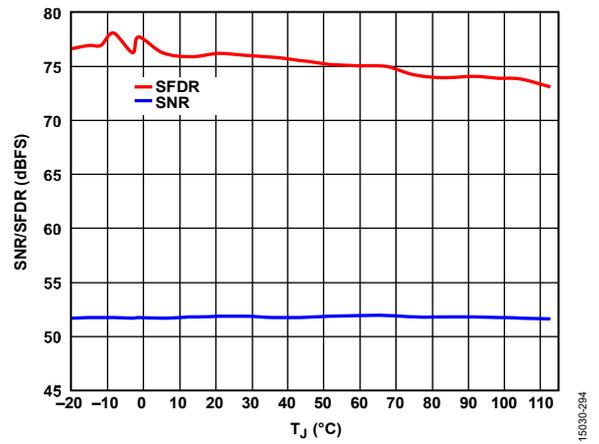


図 37. S/N 比および SFDR と T_J の関係
($f_{IN} = 2600\text{MHz}$ 、 6GSPS)

AD9213-10G

特に指定のない限り、公称電源電圧、サンプリング・レート = 10GSPS、1.4V_{p-p} フルスケール差動入力、 $A_{IN} = -1.0\text{dBFS}$ 、 $T_J = 70^\circ\text{C}$ 、128k FFT。

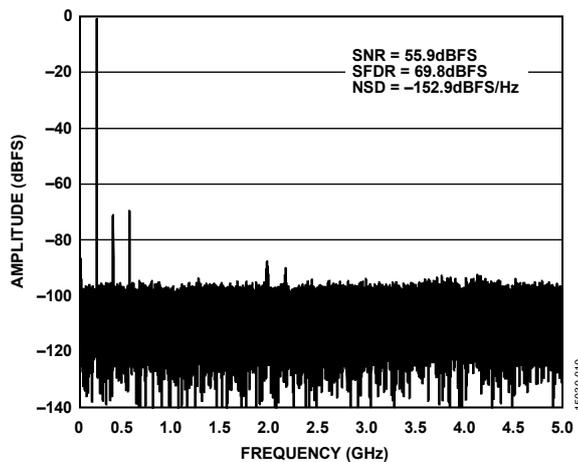


図 38. $f_{IN} = 170\text{MHz}$ 、10GSPS でのシングルトーン FFT

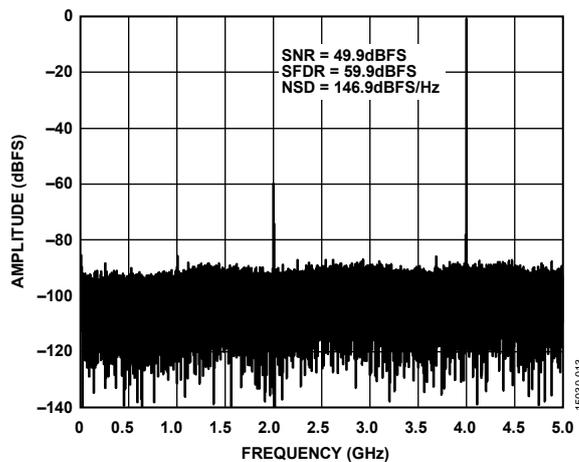


図 41. $f_{IN} = 4\text{GHz}$ 、10GSPS でのシングルトーン FFT

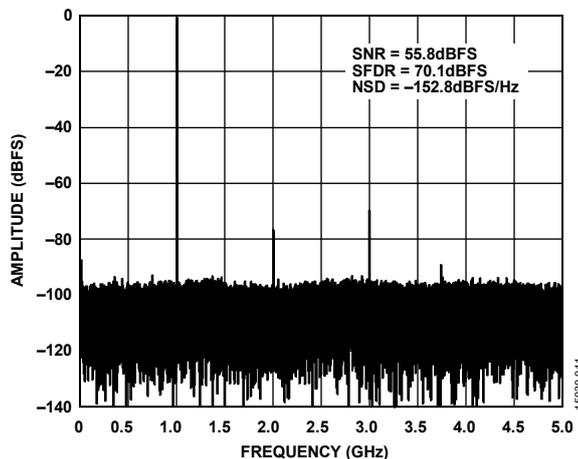


図 39. $f_{IN} = 1\text{GHz}$ 、10GSPS でのシングルトーン FFT

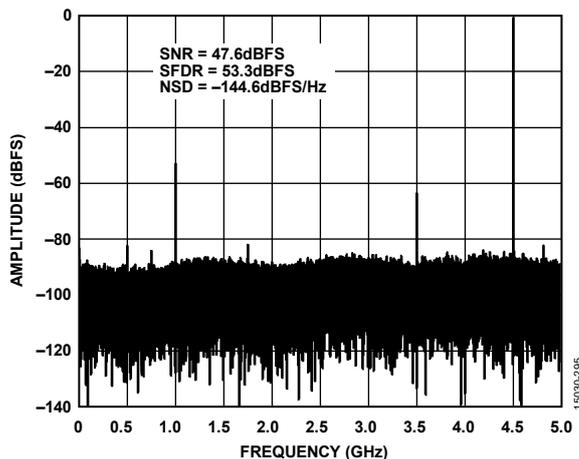


図 42. $f_{IN} = 5.5\text{GHz}$ 、10GSPS でのシングルトーン FFT

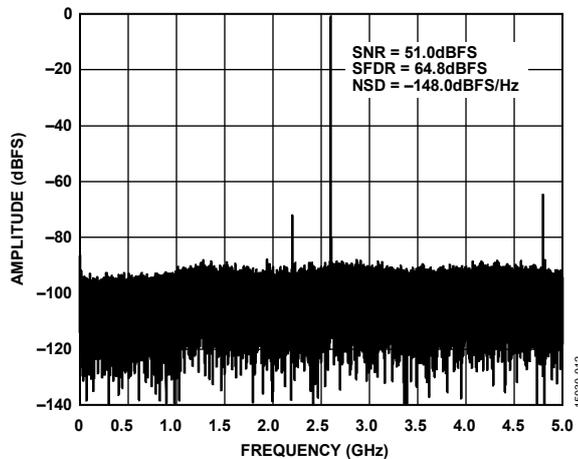


図 40. $f_{IN} = 2.6\text{GHz}$ 、10GSPS でのシングルトーン FFT

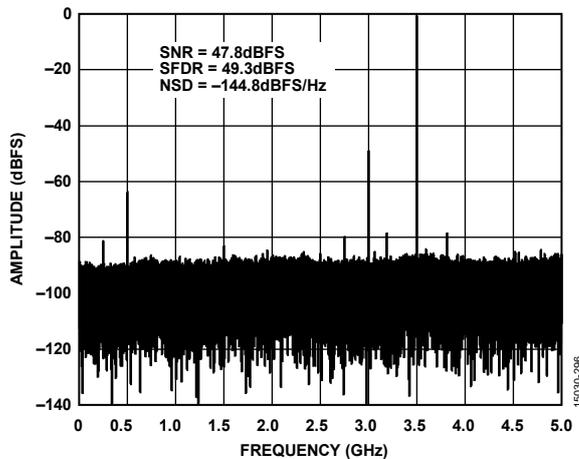


図 43. $f_{IN} = 6.5\text{GHz}$ 、10GSPS でのシングルトーン FFT

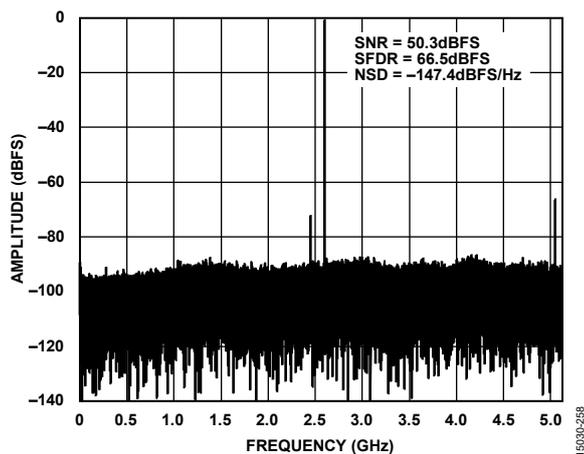


図 44. $f_{IN} = 2.6\text{GHz}$ 、 10.25GSPS でのシングルトーン FFT

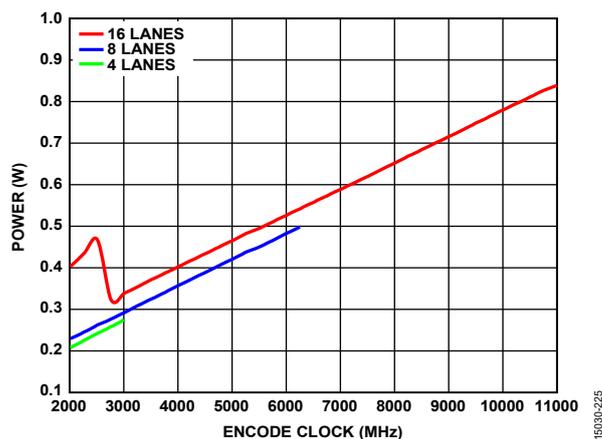


図 47. 様々な JESD204B レーン数での消費電力とエンコード・クロック (f_S) の関係 ($f_{IN} = 170\text{MHz}$ 、 10GSPS)

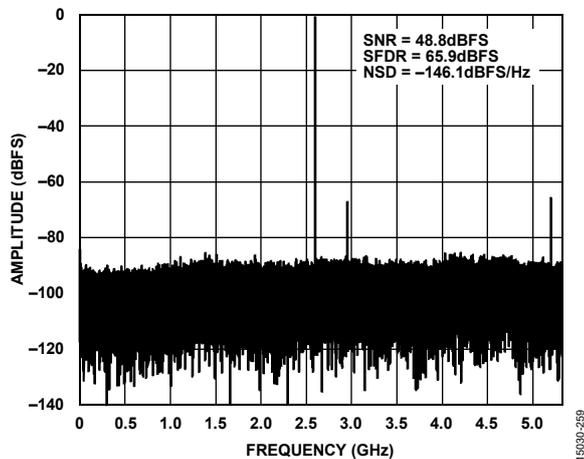


図 45. $f_{IN} = 2.6\text{GHz}$ 、 10.75GSPS でのシングルトーン FFT

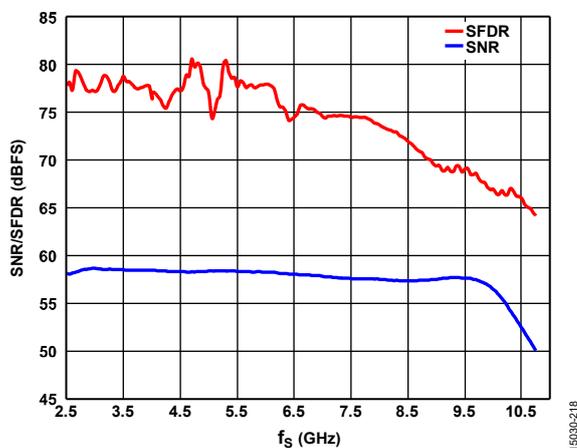


図 48. S/N 比および SFDR とサンプリング周波数の関係 ($f_{IN} = 170\text{MHz}$)

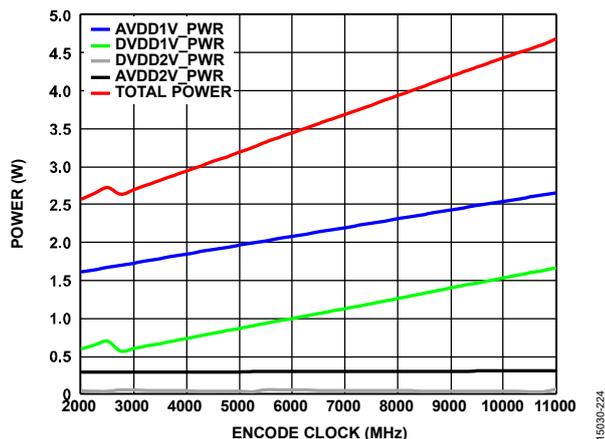


図 46. 消費電力とエンコード・クロック (f_S) の関係 (16 JESD204B レーン、 $f_{IN} = 170\text{MHz}$ 、 10GSPS)

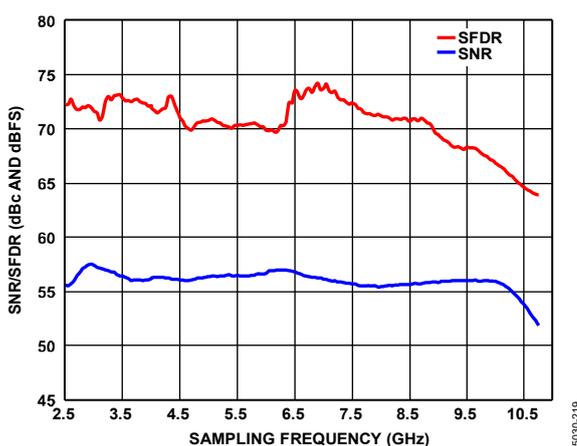


図 49. S/N 比/SFDR とサンプリング周波数 (f_S) の関係 ($f_{IN} = 1000\text{MHz}$ 、 10GSPS)

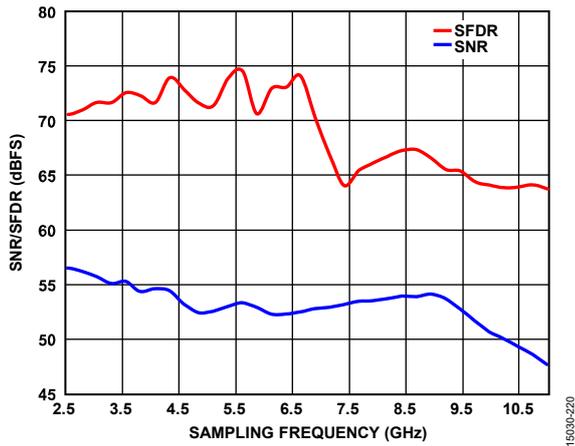


図 50. S/N 比/SFDR とサンプリング周波数の関係 ($f_{IN} = 2600\text{MHz}$ 、10GSPS)

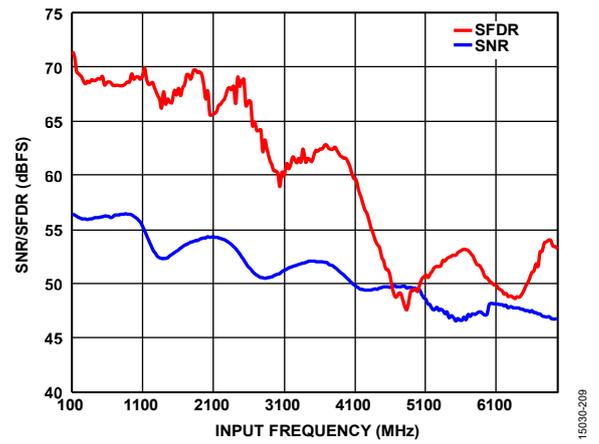


図 53. S/N 比/SFDR と入力周波数 (f_{IN}) の関係 ($A_{IN} = -1\text{dBFS}$)

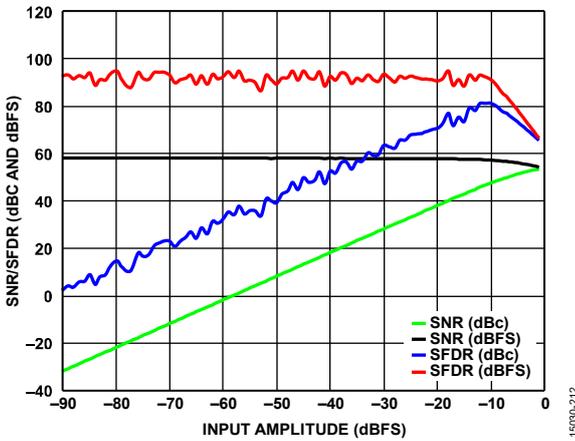


図 51. S/N 比および SFDR と入力振幅の関係 ($f_{IN} = 1000\text{MHz}$ 、10GSPS)

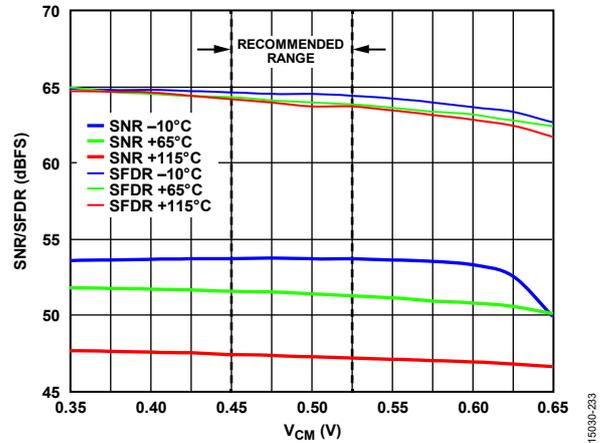


図 54. S/N 比/SFDR と V_{CM} の関係 (10GSPS)

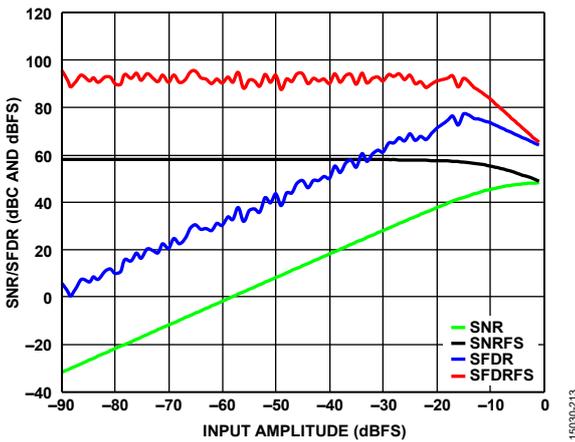


図 52. S/N 比/SFDR と入力振幅 (A_{IN}) の関係 ($f_{IN} = 2600\text{MHz}$ 、10GSPS)

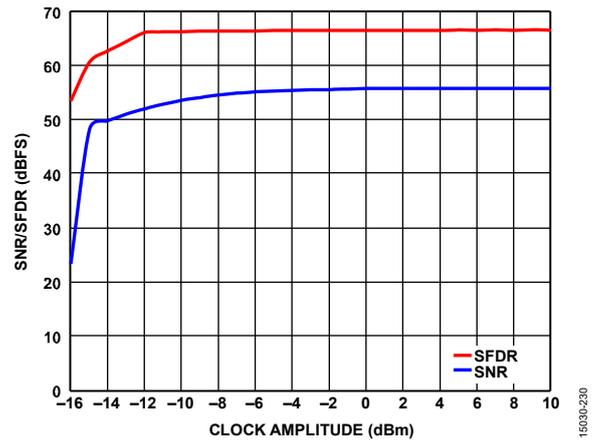


図 55. S/N 比および SFDR とクロック振幅の関係 ($f_{IN} = 1000\text{MHz}$ 、10GSPS)

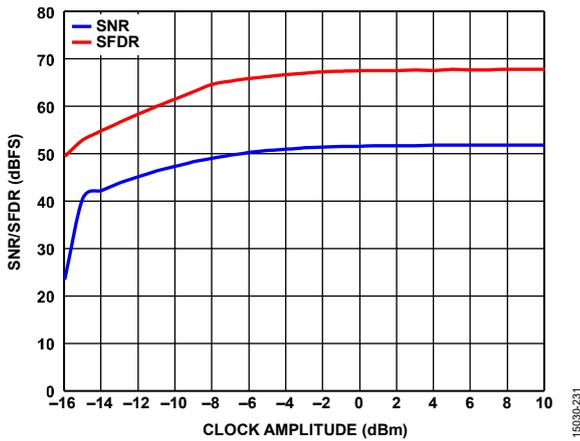


図 56. S/N 比/SFDR とクロック振幅の関係 ($f_{IN} = 2600\text{MHz}$ 、 10GSPS)

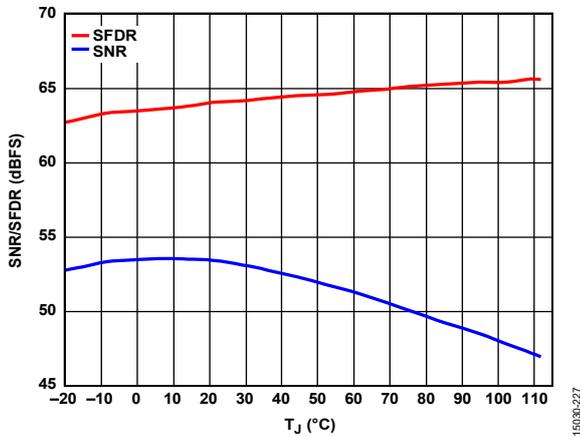


図 57. S/N 比/SFDR と T_j の関係 ($f_{IN} = 2600\text{MHz}$ 、 10GSPS)

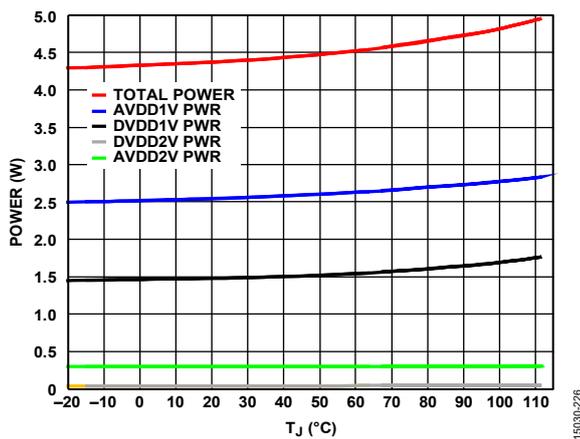


図 58. 消費電力と T_j の関係 ($f_{IN} = 2600\text{MHz}$ 、 10GSPS)

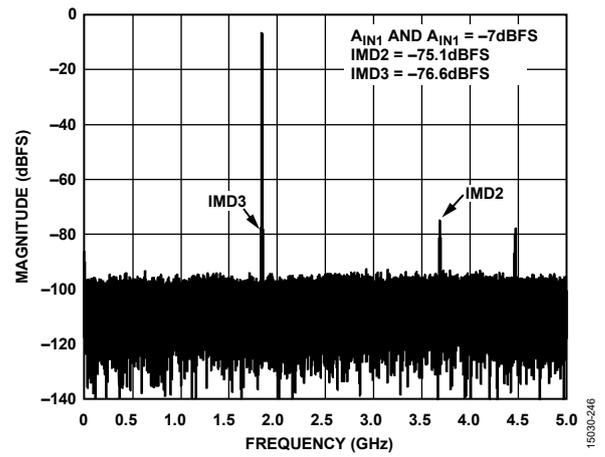


図 59. ツー・トーン FFT (10GSPS 、 $f_{IN1} = 1841.5\text{MHz}$ 、 $f_{IN2} = 1846.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$)

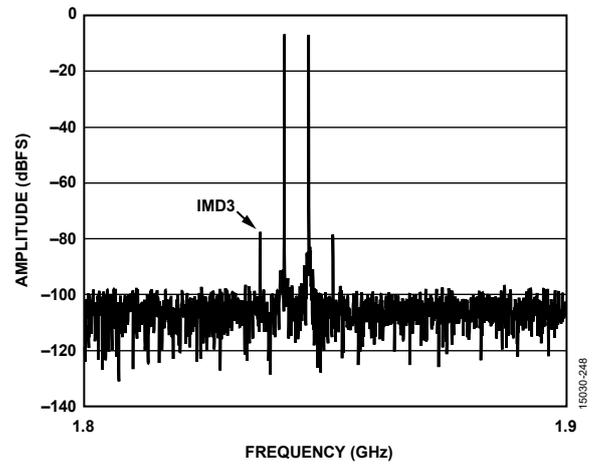


図 60. ツー・トーン FFT (IMD3 拡大、 $f_{IN1} = 1841.5\text{MHz}$ 、 $f_{IN2} = 1846.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ (図 59 参照)、 10GSPS)

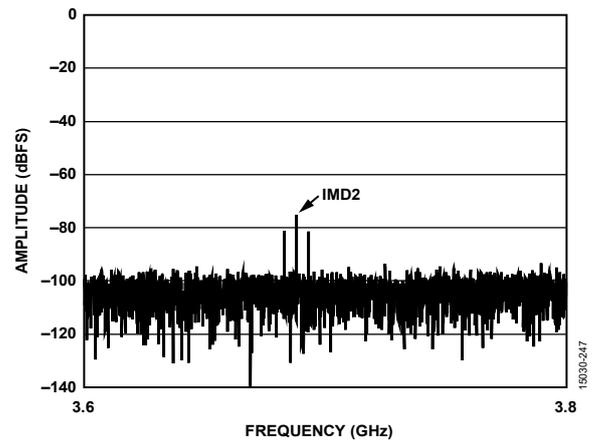


図 61. ツー・トーン FFT (IMD2 拡大、 $f_{IN1} = 1841.5\text{MHz}$ 、 $f_{IN2} = 1846.5\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ - 図 59 参照、 10GSPS)

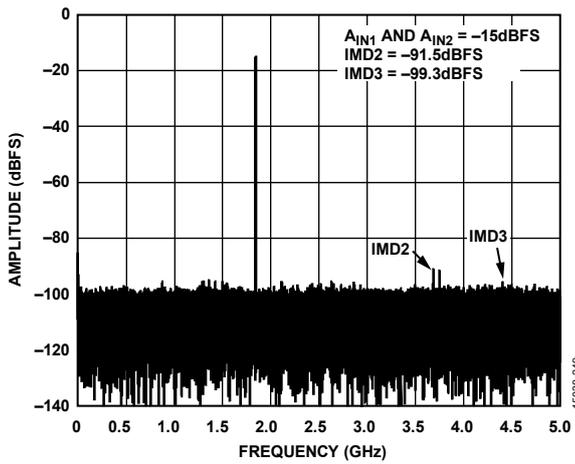


図 62. ツー・トーン FFT ($f_{IN1} = 1841.5\text{MHz}$, $f_{IN2} = 1846.5\text{MHz}$, A_{IN1} および $A_{IN2} = -15\text{dBFS}$, 10GSPS)

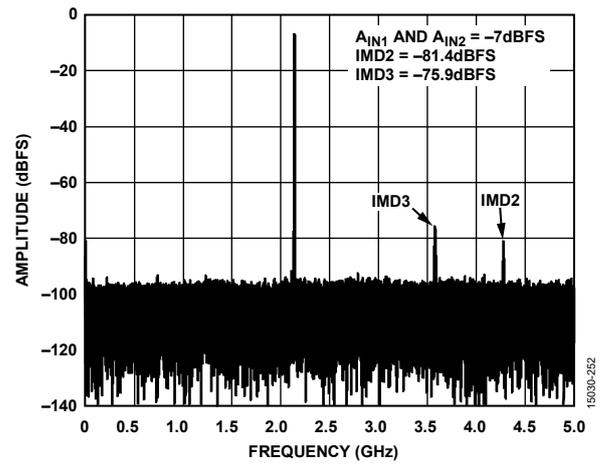


図 65. ツー・トーン FFT ($f_{IN1} = 2137.5\text{MHz}$, $f_{IN2} = 2142.5\text{MHz}$, A_{IN1} および $A_{IN2} = -7\text{dBFS}$, 10GSPS)

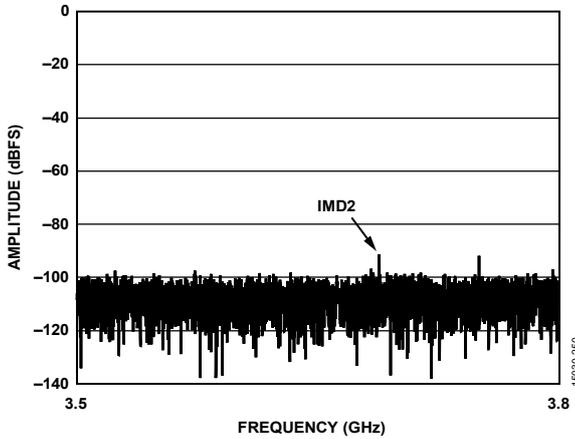


図 63. ツー・トーン FFT
(IMD2 拡大, $f_{IN1} = 1841.5\text{MHz}$, $f_{IN2} = 1846.5\text{MHz}$, A_{IN1} および $A_{IN2} = -15\text{dBFS}$ - 図 62 参照, 10GSPS)

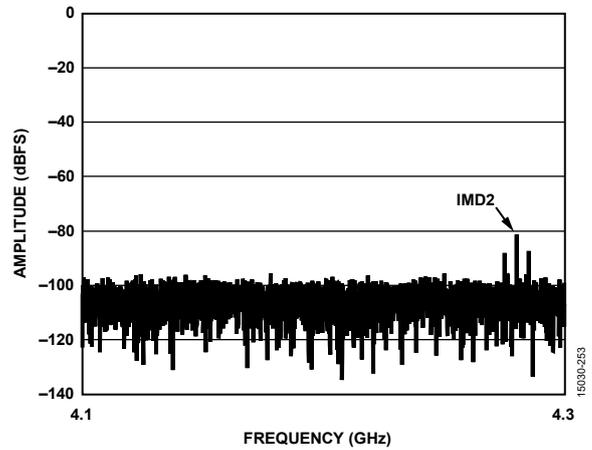


図 66. ツー・トーン FFT
(IMD2 拡大, $f_{IN1} = 2137.5\text{MHz}$, $f_{IN2} = 2142.5\text{MHz}$, A_{IN1} および $A_{IN2} = -7\text{dBFS}$ - 図 65 参照, 10GSPS)

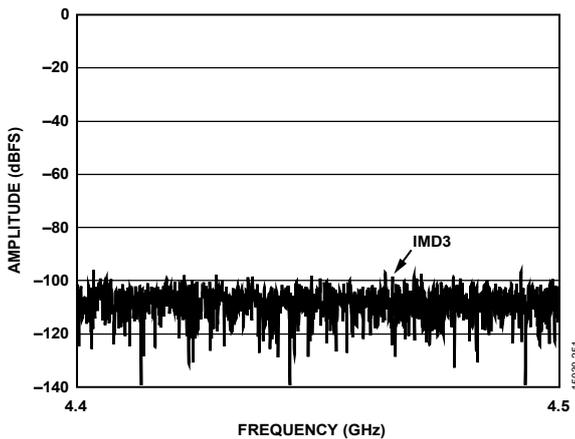


図 64. ツー・トーン FFT
(IMD3 拡大, $f_{IN1} = 1841.5\text{MHz}$, $f_{IN2} = 1846.5\text{MHz}$, A_{IN1} および $A_{IN2} = -15\text{dBFS}$ - 図 62 参照, 10GSPS)

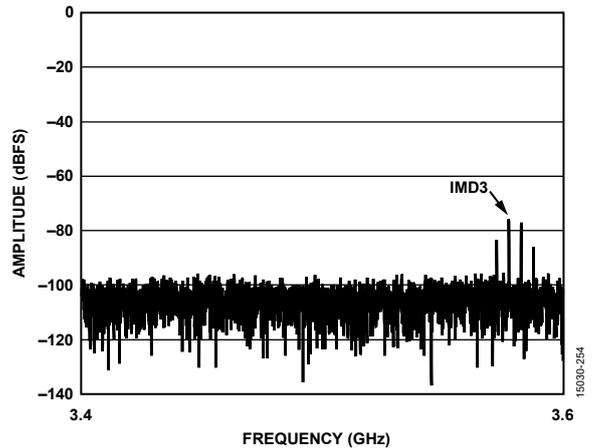


図 67. ツー・トーン FFT
(IMD3 拡大, $f_{IN1} = 2137.5\text{MHz}$, $f_{IN2} = 2142.5\text{MHz}$, A_{IN1} および $A_{IN2} = -7\text{dBFS}$ - 図 65 参照, 10GSPS)

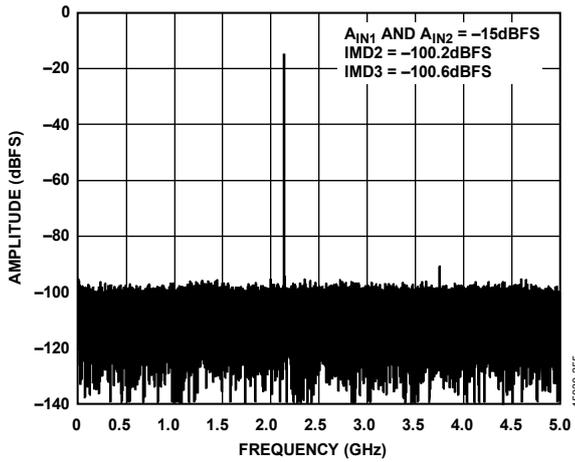


図 68. ツー・トーン FFT ($f_{IN1} = 2137.5\text{MHz}$, $f_{IN2} = 2142.5\text{MHz}$, A_{IN1} および $A_{IN2} = -15\text{dBFS}$, 10GSPS)

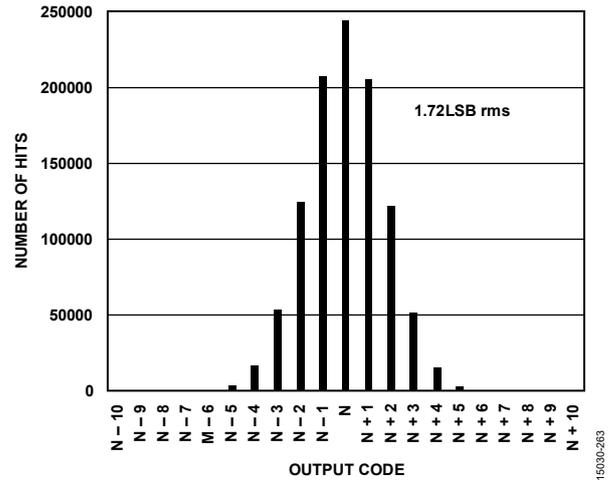


図 71. 入力換算ノイズのヒストグラム (10GSPS)

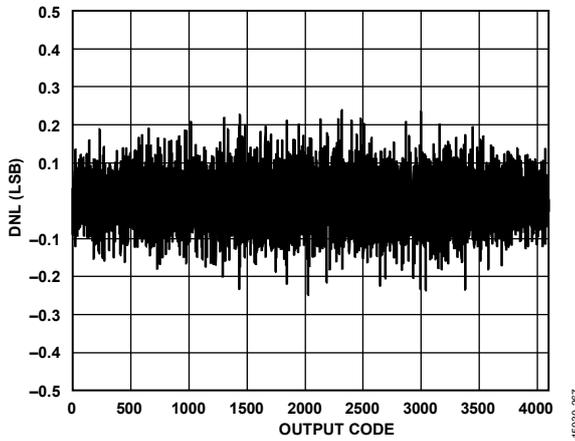


図 69. $f_{IN} = 170\text{MHz}$ 、10GSPS での DNL

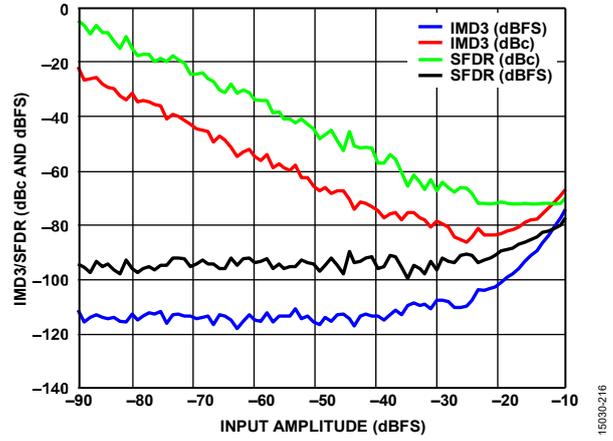


図 72. IMD3 および SFDR と入力振幅の関係 ($f_{IN1} = 2137.5\text{MHz}$, $f_{IN2} = 2142.5\text{MHz}$, 10GSPS)

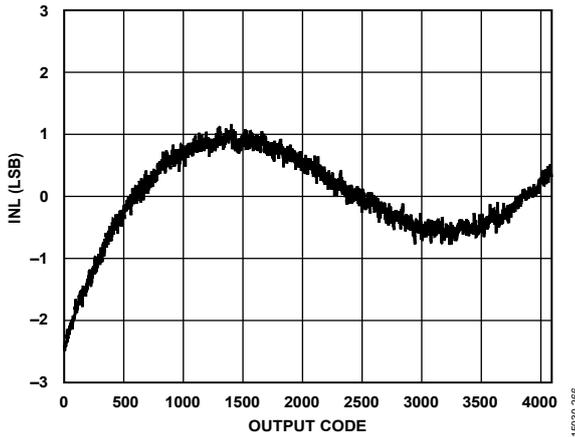


図 70. $f_{IN} = 170\text{MHz}$ 、10GSPS での INL

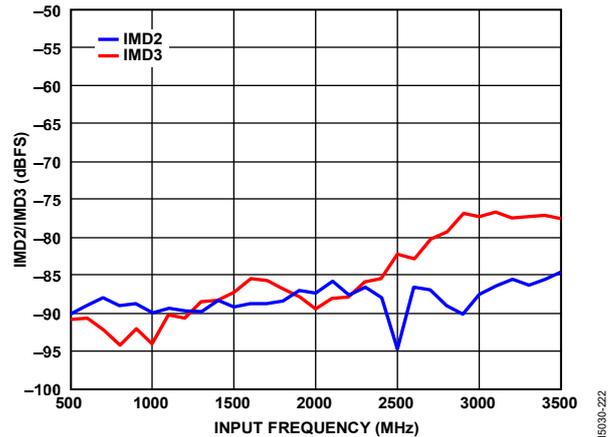


図 73. IMD2 および IMD3 と入力周波数の関係 ($A_{IN} = -7\text{dBFS}$, 100MHz 間隔, 10GSPS)

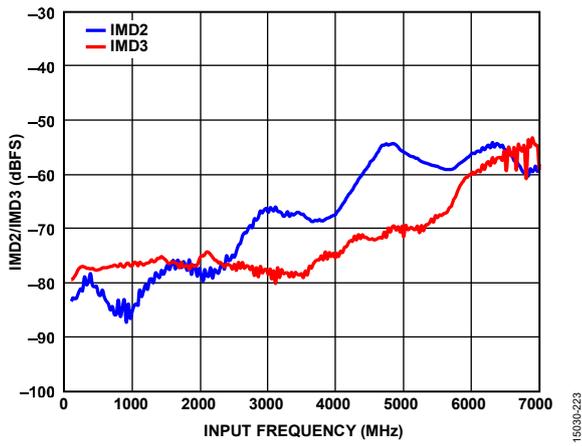


図 74. IMD2/IMD3 と入力周波数の関係
($A_{IN} = -7\text{dBFS}$ 、10MHz 間隔、10GSPS)

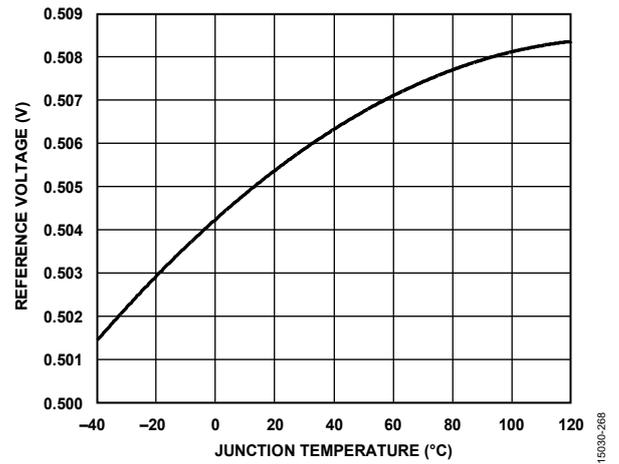


図 75. リファレンス電圧とジャンクション温度の関係
(10GSPS)

等価回路

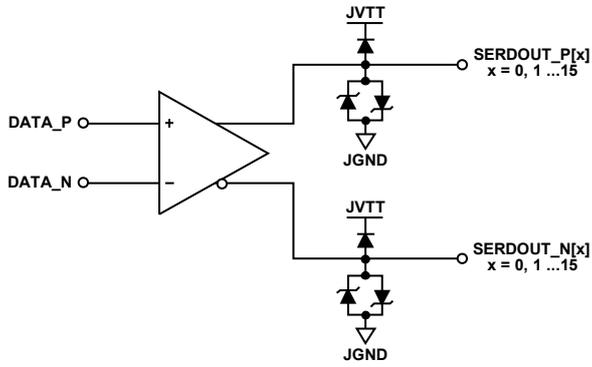


図 76. デジタル出力

15030-100

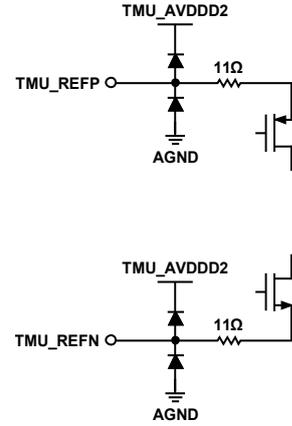


図 79. TMU_REFx 入力

15030-106

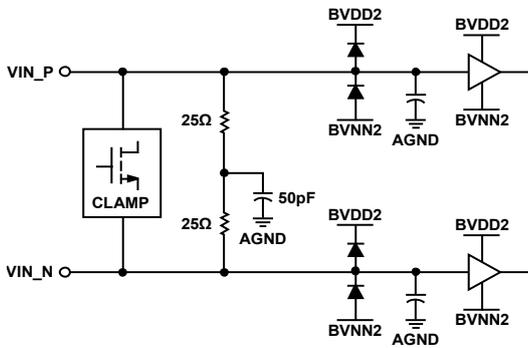


図 77. アナログ入力

15030-101

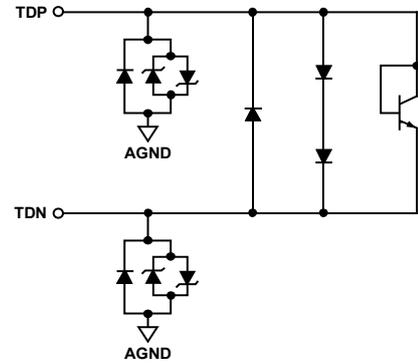


図 80. TDx 温度ダイオード

15030-107

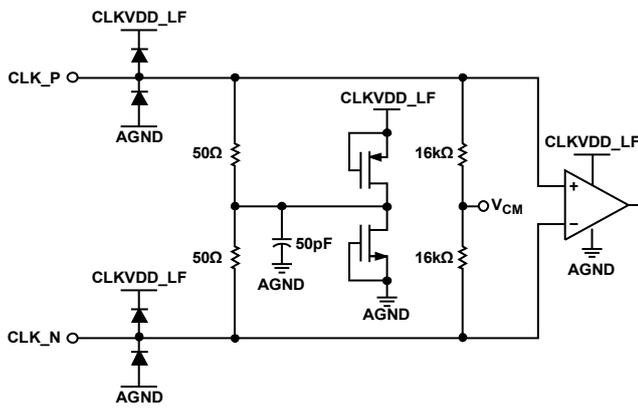
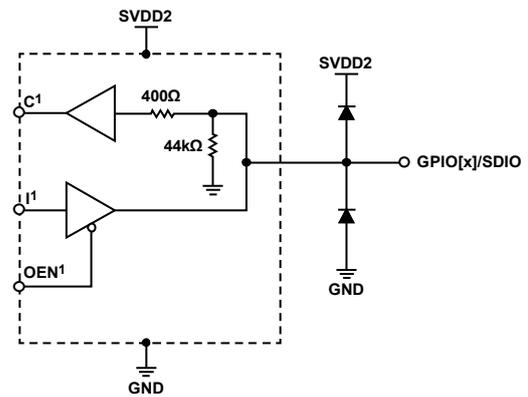


図 78. クロック入力



¹C, I, AND OEN ARE INTERNAL NODES AND ARE NOT USER ACCESSIBLE.

図 81. GPIO [x] と SDIO

15030-109

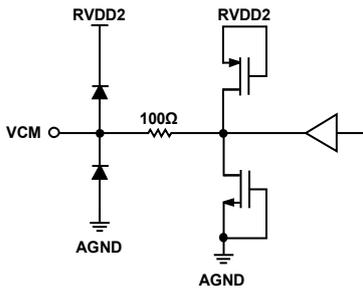
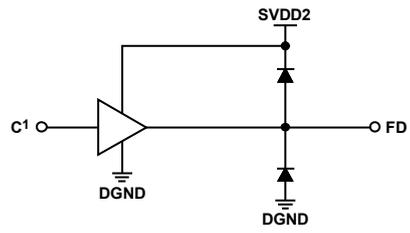


図 82. VCM

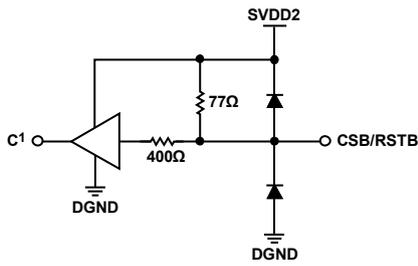
15030-110



1C IS AN INTERNAL NODE AND IS NOT USER ACCESSIBLE.

図 85. FD

15030-114



1C IS AN INTERNAL NODE AND IS NOT USER ACCESSIBLE.

図 83. CSB と RSTB

15030-112

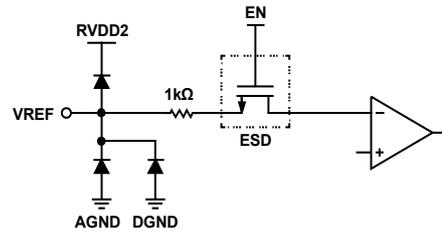


図 86. VREF

15030-115

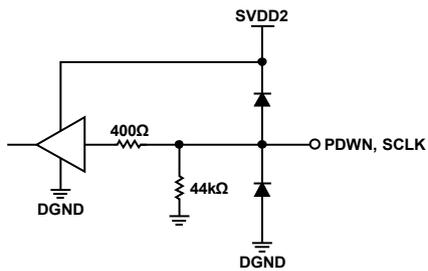
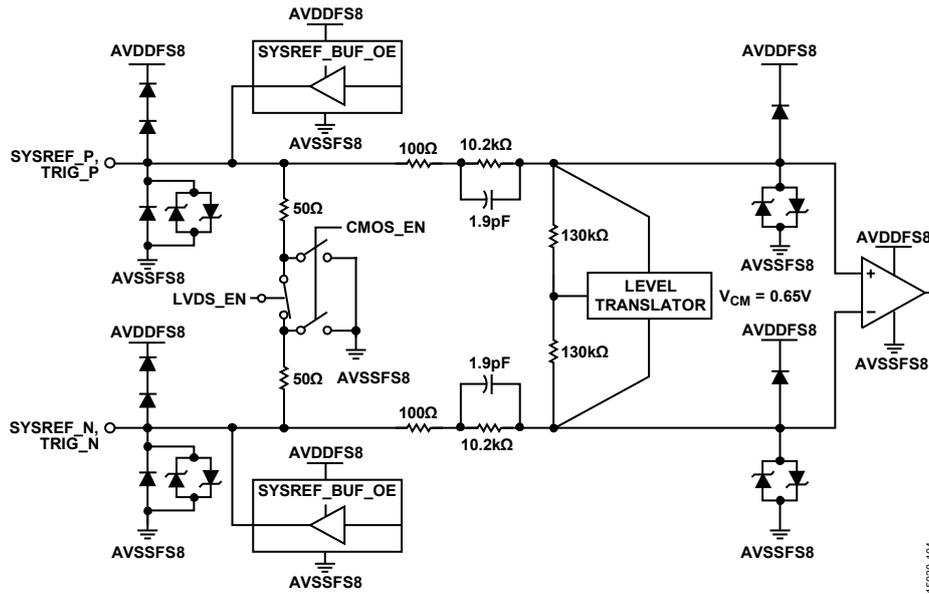


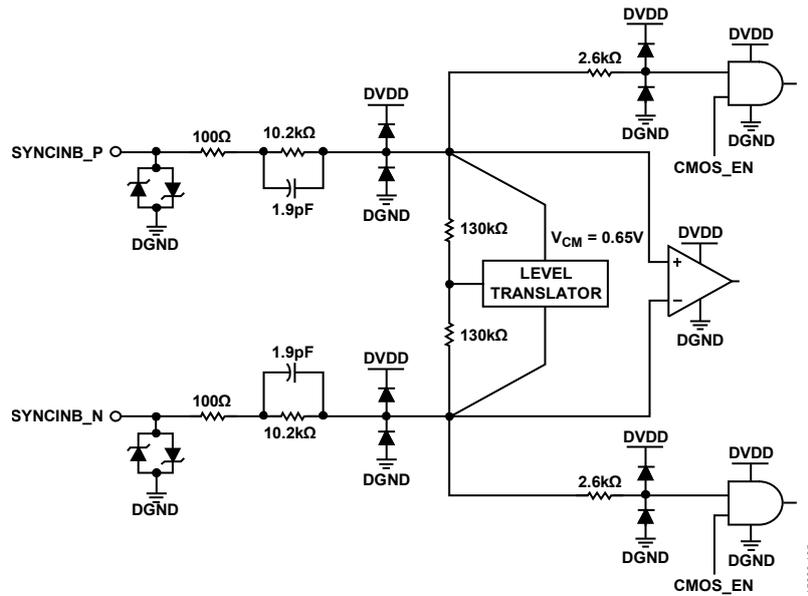
図 84. PDWN と SCLK

15030-113



15030-104

図 87. SYSREF_x 入力と TRIG_x 入力



15030-105

図 88. SYNCINB_x 入力

動作原理

AD9213 は、16 個の JESD204B 出力レーン・ペアを備えたシングル・チャンネル ADC です。この ADC は、最大 6.5GHz の広帯域アナログ信号をサンプリングするように設計されています。AD9213 は、広い入力帯域幅、高いサンプリング・レート、優れた直線性、低消費電力を、小型パッケージで実現できるように最適化されています。

ADC コアはマルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。AD9213 のアナログ入力は、様々な入力レンジをサポートする広い入力帯域幅を備えています。また、電圧リファレンスを内蔵しているため設計が容易になります。

プログラマブル閾値検出器を使うと、ADC のデジタル・バックエンドの信号電力をモニタすることができます。信号レベルがプログラマブル閾値を超えると、FD インジケータがハイ・レベルになります。この閾値インジケータは遅延が小さいため、短時間でシステム・ゲインを下げ ADC 入力でのオーバーレンジ状態を回避することができます。

サブクラス 1 の JESD204B に基づく高速シリアル化出力のデータ・レーンは、サンプリング・レートとデシメーション・レシオに応じて複数の構成にすることができます。複数デバイスの同期は、SYSREF_x 入力ピンと SYNCINB_x 入力ピンを通じてサポートされています。

ADC のアーキテクチャ

AD9213 のアーキテクチャは、入力バッファ付きのパイプライン ADC で構成されています。入力バッファは、アナログ入力信号に 50Ω の終端インピーダンスを提供するように設計されています。図 77 に、アナログ入力終端の等価回路図を示します。入力バッファは、高い直線性、低ノイズ、低消費電力を実現できるように最適化されています。

各段からの量子化出力は、デジタル補正ロジック内で最終的に 1 個の 12 ビット値にまとめられます。パイプライン・アーキテクチャでは最初の段に新しい入力サンプルを処理させ、同時に残りの段にその前のサンプルを処理させることができます。サンプリングはクロックの立上がりエッジで行われます。

アナログ入力に関する考慮事項

AD9213 へのアナログ入力は差動バッファ式です。バッファの内部コモンモード電圧は AVDD/2 (公称値で 0.5V) です。クロック信号は、サンプル・モードとホールド・モードの間で入力回路を交互に切り替えます。

無線周波数では、信号源と AD9213 入力間の回路網の設計に注意を払う必要があります。

負荷の増大は帯域幅に影響し、場合によっては信号の完全性にも影響することがあります。詳細については、アナログ・ダイアログの記事 Transformer-Coupled Front-End for Wideband A/D Converters (Volume 39, 2005 年 4 月) を参照してください。一般に、具体的な構成やコンポーネントの値はアプリケーションによって異なります。

最大限の動的性能を得るには、コモンモードのセトリング誤差を対称に設定するために、VIN_P と VIN_N を駆動するソース・インピーダンスをマッチングさせる必要があります。これらの誤差は、ADC の同相ノイズ除去によって減らすことができます。内部リファレンス・バッファは、ADC コアのスパンを決定する差動リファレンスを生成します。

差動入力構成

AD9213 を能動的あるいは受動的に駆動する方法は複数ありますが、最高性能はアナログ入力を差動で駆動することによって得られます。

大半のアンプのノイズ性能は AD9213 本来の性能を引き出せるほど十分なものではないので、S/N 比と SFDR が重要なパラメータとなるアプリケーションでは、差動トランス結合が推奨入力構成となります。

低周波数域から中周波数域で AD9213 の性能を最大限に引き出すために推奨されるのは、ダブル・ balan またはダブル・トランス回路です。より高い周波数では、広帯域動作を確保するためにフロントエンドの受動コンポーネントの一部を取り除いてください。

入力コモンモード

デフォルトでは、AD9213 のアナログ入力は内部でコモンモード (0.50V) にバイアスされます。

DC カップリング・アプリケーションでは、ADC を正しく動作させるために信号源の V_{CM} を 0.50V にバイアスする必要があります。これらのアプリケーションでは、入力バッファの内部バイアスと、DC オフセット・ゼロ調整をディスエーブルする必要があります。

以下は、入力バッファを DC カップリング用に設定するためのレジスタ書込み用疑似コードです。

VCM 出力ピンを使わずに DC カップリングを行うには、以下の書込みを行ってください：レジスタ 0x1617 = 0x01 (DC カップリング・モード、ゼロ調整ディスエーブル)、および 0x151A = 0x00 (内部バイアスをディスエーブル、VCM 出力をディスエーブル)。

VCM 出力ピンをイネーブルして DC カップリングを行うには、以下の書込みを行ってください：レジスタ 0x1617 = 0x01 (DC カップリング・モード、ゼロ調整ディスエーブル)、および 0x151A = 0x02 (内部バイアスをディスエーブル、ドライバ・アンプに VCM レベルを提供するために VCM 出力をイネーブル)。

VCM 出力は、AD9213 を駆動するアンプの VCM を設定するために使用できます。VCM 出力バッファには 100Ω の直列出力抵抗があります。VCM ピンの負荷は出力電圧を減少させるので、VCM 出力に負荷を加える場合はこの点を考慮する必要があります。VCM 出力は、高ファンアウト、複数負荷のアプリケーションの駆動を意図したものではありません。

V_{CM} に関する代表的性能の変動については、図 22 と図 54 を参照してください。

入力過電圧クランプ

AD9213にはオンチップ過電圧クランプが組み込まれており、図 89 に示すように、大きな電圧変動からデバイスの入力バッファを保護するために、ADC アナログ入力中に差動入力として配置されています。過電圧イベントが発生すると、この N 型金属酸化被膜半導体 (NMOS) クランプがオンチップの 50Ω 差動入力終端を効果的に短絡して、入力レベルを減衰させます。クランプ回路は差動過電圧を検出しますが、入力 V_{CM} は検知しません。クランプ減衰は $f_{IN} < 250\text{MHz}$ で最大となります。 $f_{IN} > 250\text{MHz}$ では、クランプ回路の減衰レベルが低下します。入力周波数が高くなると、クランプ閾値とクランプ入力レベルも高くなります。

周期的な大きい電圧変動から ADC 入力を保護するためにボードレベルの回路を追加すると、多くの場合、システム性能が低下します。この内蔵クランプは入力電圧レベル (代表値) を上げ、システム性能を向上させます。

過電圧イベント発生時は、アクティブ・クランプ回路がオンチップの ADC 入力 50Ω 差動終端 (ADC 信号源から見た負荷終端抵抗) の値を小さくします。

このため、ADC 駆動回路へ反射が生じる可能性があります。これらの反射から生成される大信号が、駆動回路を損傷させることがないようにしてください。

使用するシステム固有の条件に応じて、システムの信頼性を確保する必要があります。

電圧リファレンス

AD9213 には、安定した正確な 0.5V 電圧リファレンスが組み込まれています。この内部 0.5V リファレンスは、ADC のフルスケール入力範囲を設定するために使用します。

また、外部電源から V_{REF} ピンにリファレンス電圧を加えることもできます。所定のアプリケーションにおける適切な外部リファレンスについてのガイダンスは、図 75 を参照してください。

外部電源からのリファレンス電圧を使用するオプションを有効にするには、以下の書き込みを行います：レジスタ $0x1615 = 0x01$ (V_{REF} インポート・パスをイネーブル)、およびレジスタ $0x1616 = 0x01$ (V_{REF} インポート回路をイネーブル)。

これらのレジスタへの書き込みは、スタートアップ・シーケンスのセクションのステップ 5 の直前に行う必要があります。

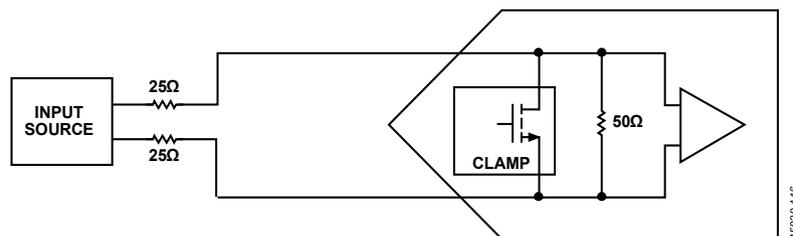


図 89. 入力過電圧クランプ

クロック入力に関する考慮事項

AD9213は低ジッタのクロック・レシーバーを備えています。最大限の性能を引き出すには、AD9213のサンプル・クロック入力（CLK_x）を差動信号で駆動してください。この信号は通常、トランスまたはクロック・ドライバを介してCLK_xピンにACカップリングされます。これらのピンは内部的にバイアスされるので、外部バイアスを追加する必要はありません。

クロック・ジッタ

高速で高分解能のADCは、クロック信号の品質に大きく影響されます。

所定の入力周波数（ f_A ）におけるアパーチャ・ジッタ（ t_j ）だけを原因とするS/N比の低下は、次式で計算できます。

$$S/N \text{ 比} = 20 \times \log_{10} (2 \times \pi \times f_A \times t_j)$$

この式で、RMS アパーチャ・ジッタは、クロック入力、アナログ入力信号、およびADCのアパーチャ・ジッタ仕様を含むすべてのジッタ・ソースの二乗和平方根を表します。

周波数が高くなると、ジッタに対してより敏感になります（図90を参照）。

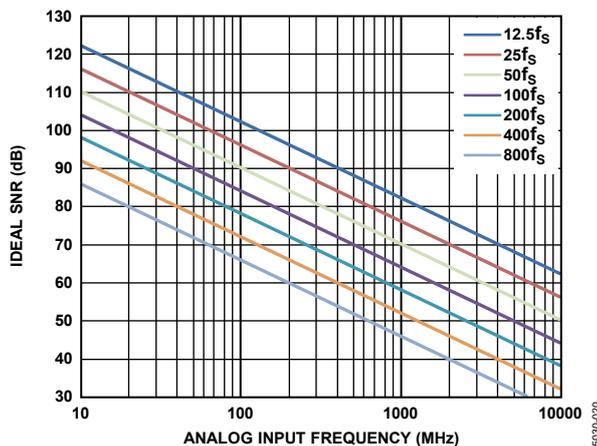


図 90. 理想 S/N 比、アナログ入力周波数、ジッタの関係

アパーチャ・ジッタが AD9213 のダイナミック・レンジに影響する可能性がある場合は、クロック入力をアナログ信号として扱います。デジタル・ノイズによるクロック信号の変調を避けるために、クロック・ドライバ用の電源は ADC 出力ドライバの電源から分離してください。クロックが別のタイプのソースから生成されている場合は（ゲーティング、分周、その他の方法）、最終ステップで、オリジナル・クロックによりクロックのリタイミングを行います。ADC に関連するジッタ性能の詳細については、アプリケーション・ノート AN-501 とアプリケーション・ノート AN-756 を参照してください。

パワーダウン/スタンバイ・モード

AD9213 には PDWN ピンがあり、デバイスをパワーダウン・モードまたはスタンバイ・モードに構成できます。

温度ダイオードとセンサー

AD9213 にはサーマル・モニタリング・ユニット（TMU）が組み込まれています。TMU のセクションに示すように、ダイ温度は SPI によって読み取ることができます。

AD9213 には、ダイ温度測定用にダイオードベースの温度センサーも組み込まれています。このダイオードは、外付けサポート部品と組み合わせて、内部ダイ温度を大まかにモニタするための温度センサーとして使用できます。

TMU

AD9213 は、デジタル温度計として機能する TMU を内蔵しています。TMU は、チップ上の異なる位置に配置された 5 個のセンサーで構成されています。ダイ上の温度値が測定され、ADC を通じてデジタル化されます。

任意の時点において、最も温度の高い場所にあるセンサーからの値がレジスタ 0x1609 のビット [7:0] とレジスタ 0x160A のビット [7:0] に保存されます。これらの値を組み合わせると、16 ビットの最大温度ワードが生成されます。同様に、最も温度の低い場所にあるセンサーからの値がレジスタ 0x160D のビット [7:0] とレジスタ 0x160E のビット [7:0] に保存され、これらの値を組み合わせると 16 ビットの最小温度ワードが生成されます。

それぞれの 16 ビット温度ワードの 9 個の MSB が、2 の補数で表されるダイ温度の整数部分です。7 個の LSB は温度の小数部分、つまり小数点の右側部分を表します。例えば、7 個の LSB の最上位は 2^{-1} を表し、その右隣のビットは 2^{-2} を表します。

最も高い温度値を生成するセンサーの値を得る手順の一例を以下に示します。最小温度を読み出すための手順は最大温度を読み出す手順と同じですが、どの温度レベルを読み出すかに応じて、レジスタのアドレスが異なります。

最大温度を得るには、レジスタ 0x1609 (8 個の LSB を含む最大温度ワード) とレジスタ 0x160A (8 個の MSB を含む最大温度ワード) を読み出します。

例えば

1. レジスタ 0x1609 = 0x76 = 01110110b。
2. レジスタ 0x160A = 0x2C = 00101100b。
3. MSB を LSB につなげて 16 ビット・ワードを生成します：
レジスタ 0x2C76 = 0010110001110110b。
4. このワードの 9 個の MSB が、摂氏温度の整数値 (2 の補数) を表します：
001011000 (2 の補数) = 88 (十進値)
5. 16 ビット・ワードの 7 個の LSB は小数部分で、最上位 (左端) ビットの値が 2^{-1} 、その次のビット値が 2^{-2} を表します (以下同様)。これにより、1110110 = 0.92188 (十進値) となります。

したがって、最も指示値の高いセンサーによってレポートされたダイ温度は、 $88^{\circ}\text{C} + 0.92188^{\circ}\text{C} = 88.92188^{\circ}\text{C}$ となります。TMU の精度は代表値で $\pm 2^{\circ}\text{C}$ なので、温度値の小数部分はそれほど重要な意味を持ちません。

表 9. TMU レジスタの概要

アドレス	レジスタ名	ビット	説明	リセット	アクセス
0x1609	MAX_TEMPERATURE_LSB	[7:0]	すべての温度センサーの最大温度のビット [7:0]。Q9.7 フォーマット。	0x0	R
0x160A	MAX_TEMPERATURE_MSB	[7:0]	すべての温度センサーの最大温度のビット [15:8]。Q9.7 フォーマット。	0x0	R
0x160D	MIN_TEMPERATURE_LSB	[7:0]	すべての温度センサーの最小温度のビット [7:0]。Q9.7 フォーマット。	0x0	R
0x160E	MIN_TEMPERATURE_MSB	[7:0]	すべての温度センサーの最小温度のビット [15:8]。Q9.7 フォーマット。	0x0	R

ADC オーバーレンジと高速検出

レシーバー・アプリケーションでは、コンバータがクリップ状態になるタイミングを確実に判定するメカニズムを備えていることが望まれます。JESD204B 出力の標準オーバーレンジ・ビットは、有用性の低いアナログ入力の状態に関する情報を提供します。したがって、フル・スケール値未満でプログラム可能な閾値を使って、実際にクリップが発生する前に、ゲインを低下させる時間を取れるようにするのが有効です。更に、入力信号のスルー・レートがかなり大きくなる可能性があるため、この機能の遅延が大きな懸念材料となります。高度にパイプライン化されたコンバータでは、遅延も大きくなります。AD9213 には、閾値をモニタして FD ピンをアサートするために、高速検出回路が組み込まれています。

ADC オーバーレンジ

ADC の入力でオーバーレンジが検出されると、ADC オーバーレンジ・インジケータがアサートされます。オーバーレンジ・インジケータは、JESD204B リンク内に制御ビットとして組み込むことができます (CS > 0 の場合)。このオーバーレンジ・インジケータの遅延は、サンプル遅延と一致します。

AD9213 は、2 個ある仮想コンバータのオーバーレンジ状態も記録します (図 109 を参照)。各仮想コンバータのオーバーレンジ状態は、レジスタ 0x623 にスティッキー・ビットとして登録されます。レジスタ 0x623 の内容は、レジスタ 0x624 を使い、仮想コンバータに関連するビットをトグルして位置をセットしリセットすることによりクリアできます。

高速閾値検出 (FD)

入力信号の絶対値が、プログラム可能な上限閾値レベルを超えると、直ちに高速検出ビットがセットされます。FD ビットは、入力信号の絶対値が下限閾値レベルを下回り、その時間がプログラム可能なドウェル時間を超えた場合のみクリアされます。この機能はヒステリシスを発生させて、FD ビットの過度のトグルリングを防ぎます。

上限閾値レジスタと下限閾値レジスタ、およびドウェル時間レジスタの動作を図 91 に示します。

FD インジケータは、入力大きさが上限閾値高速検出レジスタ内にプログラムされた値を超えた場合にアサートされます。これらの検出レジスタは、レジスタ 0x101 とレジスタ 0x102 に置かれています。選択された閾値レジスタは、ADC 出力の信号の大きさと比較されます。上限閾値の高速検出時には、最大で 200 クロック・サイクルの遅延が生じます。上限閾値の概算値は、次式で求められます。

$$\text{上限閾値の大きさ (dBFS)} = 20 \log (\text{閾値の大きさ} / 2^{11})$$

FD インジケータは、信号が下限閾値未満に低下して、その状態がプログラムされたドウェル時間だけ持続するまでクリアされません。下限閾値は、レジスタ 0x103 とレジスタ 0x104 に置かれた下限閾値高速検出レジスタ内に設定されます。下限閾値高速検出レジスタは 11 ビット・レジスタで、ADC 出力の信号の大きさと比較されます。この比較は ADC パイプライン遅延の影響を受けますが、コンバータの分解能に関しては正確です。下限閾値の大きさは、次式で求められます。

$$\text{下限閾値の大きさ (dBFS)} = 20 \log (\text{閾値の大きさ} / 2^{11})$$

例えば、-6dBFS の上限閾値を設定するには、レジスタ 0x101 と 0x102 に 0x3FF を書き込みます。-10dBFS の下限閾値を設定するには、レジスタ 0x103 と 0x104 に 0x287 を書き込みます。

ドウェル時間は、レジスタ 0x105 とレジスタ 0x106 に置かれた高速検出ドウェル時間レジスタに希望の値を設定することによって、1~65,535 サンプル・クロック・サイクルにプログラムできます。詳細についてはメモリ・マップのセクションを参照してください。

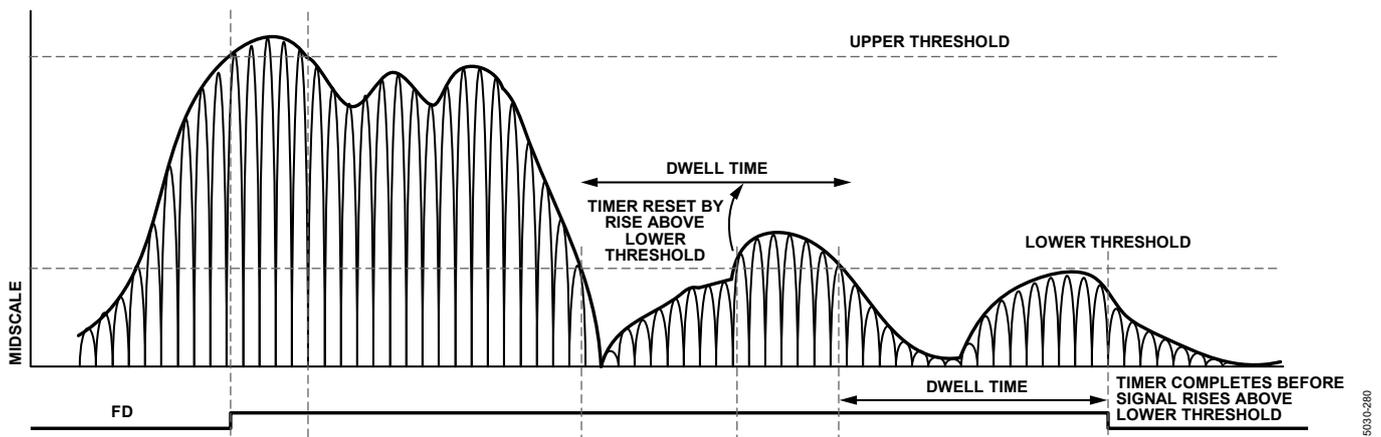


図 91. FD 信号の閾値設定

デジタル・ダウンコンバータ (DDC)

AD9213には、フィルタリングを行って出力データ・レートを下げる DDC が 1 つあります。このデジタル処理セクションには、1 つの数値制御発振器 (NCO)、複数のデシメーティング有限インパルス応答 (FIR) フィルタ、1 つのゲイン段、そして複素数から実数への変換段が 1 つ含まれています。それぞれの処理ブロックはそれぞれ複数の制御ラインを備えており、そのブロックを個別にイネーブルまたはディスエーブルして、必要な処理機能を提供することができます。DDC は、実数 (I) データまたは複素 (Q) データを出力するように構成可能です。

DDC は 16 ビット・ストリームを出力します。コンバータのビット数 N はデフォルト値の 12 に設定します。フル帯域幅動作では、PN のテール・ビットまたは制御ビットをイネーブルしない限り、ADC 出力は最後に 4 個のゼロが付いた 12 ビット・ワードです。

DDC の概要

DDC ブロックは、ADC がキャプチャするフル・デジタル・スペクトラムの一部を抽出します。これらの部分は、広帯域入力信号を必要とする中間周波数 (IF) サンプリングやオーバーサンプリングのベースバンド無線に使用することを意図したものです。

DDC ブロックには以下の信号処理段が含まれています。

- 周波数変換段 (オプション)
- フィルタリング段
- ゲイン段 (オプション)
- 複素数から実数への変換段 (オプション)

周波数変換段 (オプション)

この段は、位相コヒーレント NCO 1 個と複数の直交ミキサーで構成されており、実数入力信号の周波数変換に使用できます。位相コヒーレント NCO は無制限の周波数ホップを可能にしますが、これらの周波数ホップは 1 つの同期イベントにリファレンス・バックされます。また、NCO には、高速スイッチング・アプリケーション用に 16 個のシャドウ・レジスタが含まれています。この段は、使用可能なデジタル・スペクトラムの一部をベースバンドまでシフト・ダウンします。

フィルタリング段

ベースバンドまでシフト・ダウンした後、この段は、レート変換用の複数のローパス FIR フィルタを使って周波数スペクトラムをデシメートします。このデシメーション・プロセスは出力データ・レートを下げ、更にそれによって出力インターフェース・レートを下げます。

ゲイン段 (オプション)

範囲をベースバンドまで下げて実数入力信号をミキシングすると、それに伴い損失が生じるので、この段では処理した信号に 0dB または 6dB のゲインを加えてこれを補償します。

複素数から実数への変換段 (オプション)

実数出力が必要な場合、この段は (f_s) / 4 ミキシング動作と信号の複素成分を除去するフィルタ動作によって、複素数出力を実数に変換し直します。

図 92 に、AD9213 内に実装された DDC の詳細ブロック図を示します。

図 93 は、実数入力信号とハーフバンド・フィルタ 4 個 (HB4 + HB3 + HB2 + HB1) を使用するものとして、4 つある DDC チャンネルのうちの 1 つの使用例を示したものです。図 93 には、複素数出力 (デシメーション・レシオ 16) と実数出力 (デシメーション・レシオ 8) の両方が示されています。

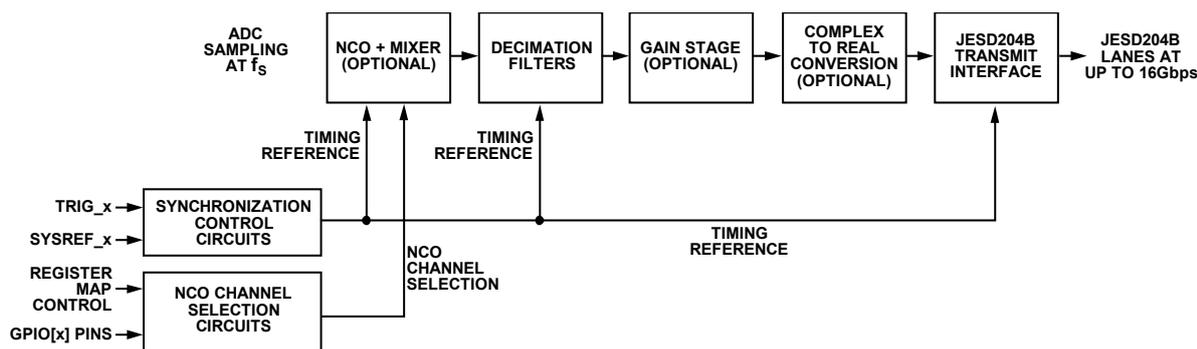


図 92. DDC の詳細ブロック図

19030-117

DDC の周波数変換

周波数変換は、デジタル直交ミキサーを備えた 48 ビット複素 NCO を使用することによって行われます。この段では、IF からの実数入力信号を、ベースバンド複素デジタル出力に変換します（搬送波周波数 = 0Hz）。

各 DDC の周波数変換段は個別に制御可能で、DDC 制御レジスタ（レジスタ 0x630 のビット [3:2]）を使用することによって、4 つの異なる IF モードをサポートします。IF モードは次のとおりです。

- 可変 IF モード
- 0Hz IF またはゼロ IF (ZIF) モード
- $f_s/4$ Hz IF モード
- テスト・モード

可変 IF モード

このモードでは、NCO とミキサーがイネーブルされます。NCO 出力周波数は、IF 周波数のデジタル調整に使用できます。

ZIF モード

このモードではミキサーがバイパスされて、NCO がディスエーブルされます。

$f_s/4$ Hz IF モード

このモードでは、省電力のため、 $f_s/4$ モードによる特別なダウンミキシング時にミキサーと NCO がイネーブルされます。

テスト・モード

このモードでは、入力サンプルが正のフル・スケールまで強制されて NCO がイネーブルされます。テスト・モードでは、NCO でデシメーション・フィルタを直接駆動することができます。

周波数変換段の例を図 94 に示します。

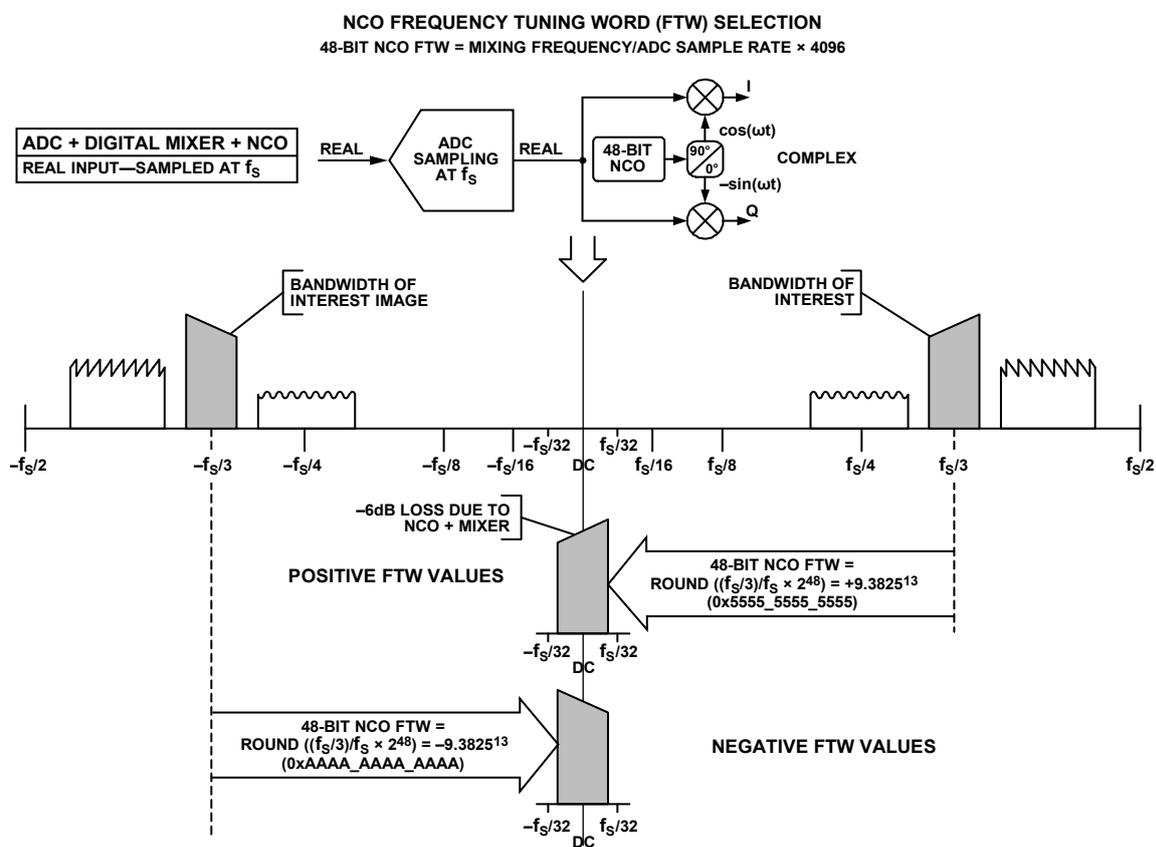


図 94. DDC NCO の周波数チューニング・ワード選択

15030-119

DDC NCO の概要

DDC には NCO が 1 つ内蔵されています。NCO は、複素指数周波数 ($e^{j\omega t}$) を作成することによって周波数変換プロセスをイネーブルします。この周波数を入力スペクトラムとミキシングすれば必要周波数帯を DC に変換でき、更に後段のローパス・フィルタ・ブロックでそれを除去してエイリアシングを防ぐことができます。

可変 IF モードでは、NCO は更に 2 つの異なるモードをサポートします。DDC NCO プログラマブル・モジュラス・モードと DDC NCO コヒーレント・モードです。

DDC NCO プログラマブル・モジュラス・モード

このモードは、単一の搬送波周波数において正確な有理 (M/N) 周波数合成が必要なアプリケーションに対し、48 ビットを超える周波数チューニング精度を実現します。ここで、 M は周波数比を示す有理数の分子を表す整数で、 N は周波数比を示す有理数の分母を表す整数です。

このモードで NCO をセットアップするには、以下のワードを提供します。

- 48 ビットの周波数チューニング・ワード (FTW)
- 48 ビットのモジュラス A ワード (MAW)
- 48 ビットのモジュラス B ワード (MBW)
- 48 ビットの位相オフセット・ワード (POW)

DDC NCO コヒーレント・モード

このモードでは無制限の周波数ホップが可能で、この場合は時間 0 における単一の同期イベントが位相の基準になります。このモードは、異なる周波数帯間での切替え時に位相コヒーレンスを維持する必要がある場合に有用です。このモードでは、NCO をリセットすることなく、任意のチューニング周波数に切り替えることができます。必要な FTW は 1 つだけですが、NCO には、高速スイッチング・アプリケーション用に 16 個のシャドウ・レジスタが含まれています。シャドウ・レジスタの選択は、CMOS 汎用入出力 (GPIO) ピンによって制御するか、SPI のレジスタ・マップを使用して制御します。このモードで NCO をセットアップするには、以下のワードを提供します。

- 最大 16 個の 48 ビット FTW。
- 最大 16 個の 48 ビット POW。
- コヒーレント・モードでは、48 ビット MAW をゼロに設定する必要があります。

1 個の NCO と、設計の他の部分への接続を示すブロック図を、図 95 に示します。コヒーレント位相アキュムレータ・ブロックには、無制限の周波数ホップを可能にするロジックが含まれています。

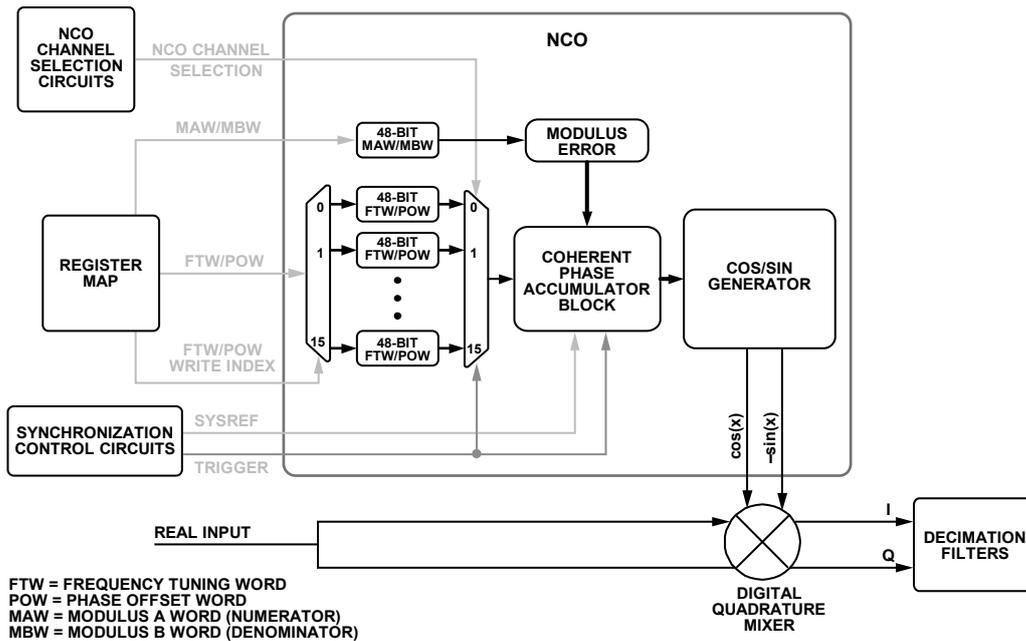


図 95. NCO とミキサのブロック図

15030-120

NCO FTW、POW、MAW、MAB の説明

NCO の周波数値は以下の設定によって決まります。

- FTW に入力された 48 ビットの 2 の補数
- MAW に入力された 48 ビットの符号なし数値
- MBW に入力された 48 ビットの符号なし数値

$-f_s/2$ から $+f_s/2$ までの周波数 ($+f_s/2$ を含まない) は、以下の値を使って表されます。

- $FTW = 0x8000_0000_0000$ と $MAW = 0x0000_0000_0000$ は、周波数 $-f_s/2$ を表します。
- $FTW = 0x0000_0000_0000$ と $MAW = 0x0000_0000_0000$ は、DC を表します (周波数 0Hz)。
- $FTW = 0x7FFF_FFFF_FFFF$ と $MAW = 0x0000_0000_0000$ は、周波数 $+f_s/2$ を表します。

NCO FTW、POW、MAW、MAB プログラマブル・モジュラス・モードの計算例

プログラマブル・モジュラス・モードにするには、MAW をゼロ以外の値 ($0x0000_0000_0000$ でない値) に設定する必要があります。このモードが必要になるのは、48 ビットを超える周波数精度が必要とされる場合に限られます。48 ビットを超える精度を必要とする有理周波数合成条件の一例は、サンプル・レート f_s の $1/3$ の搬送波周波数です。必要とされる周波数精度が 48 ビット以下の場合は、コヒーレント・モードを使用してください (NCO FTW、POW、MAW、MAB コヒーレント・モードのセクションを参照)。

プログラマブル・モジュラス・モードでは、FTW、MAW、MBW が以下の 4 つの式を満たす必要があります (プログラマブル・モジュラス機能の詳細については、アプリケーション・ノート AN-953 を参照)。

$$\frac{\text{mod}(f_c, f_s)}{f_s} = \frac{M}{N} = \frac{FTW + \frac{MAW}{2^{48}}}{2^{48}} \quad (1)$$

$$FTW = \text{floor}\left(2^{48} \frac{\text{mod}(f_c, f_s)}{f_s}\right) \quad (2)$$

$$MAW = \text{mod}(2^{48} \times M, N) \quad (3)$$

$$MBW = N \quad (4)$$

ここで、

$\text{mod}(x)$ は剰余関数。例えば $\text{mod}(110, 100) = 10$ で、負の数の場合は $\text{mod}(-32, +10) = -2$ です。

f_c は必要な搬送波周波数、

f_s は ADC のサンプリング周波数、

M は周波数比を示す有理数の分子を表す整数、

N は周波数比を示す有理数の分母を表す整数、

FTW は NCO FTW を表す 48 ビットの 2 の補数値、

MAW は NCO MAW を表す 48 ビットの符号なし数値 (2^{47} 未満でなければならない) 、

MBW は NCO MBW を表す 48 ビットの符号なし数値、 $\text{floor}(x)$ は x 以下で最も大きい整数として定義されます (例: $\text{floor}(3.6) = 3$) 。

式 1 から式 4 までは、デジタル領域における信号のエイリアシング (アナログ信号をデジタル化する際に生じるエイリアシング) に適用されます。

M と N は互いに素な整数で、MAW と MBW も互いに素な整数です。MAW をゼロに設定すると、プログラマブル・モジュラス・ロジックは自動的にディスエーブルされます。

例えば、 f_s が 10GSPS で、 f_c が $3\frac{1}{3}$ GHz の場合、

$$\frac{\text{mod}\left(3\frac{1}{3}, 10\right)}{10} = \frac{M}{N} = \frac{1}{3}$$

$$FTW = \text{floor}\left(2^{48} \frac{\text{mod}\left(3\frac{1}{3}, 10\right)}{10}\right) = 0x5555_5555_5555$$

$$MAW = \text{mod}(2^{48} \times 1, 3) = 0x0000_0000_0001$$

$$MBW = 0x0000_0000_0003$$

実際の搬送波周波数 (f_{c_ACTUAL}) は、次の式に基づいて計算できます。

$$f_{c_ACTUAL} = \frac{FTW + \frac{MAW}{2^{48}} \times f_s}{\frac{MBW}{2^{48}}}$$

前出の例において、 f_{c_ACTUAL} は次式で得られます。

$$f_{c_ACTUAL} = \frac{0x5555_5555_5555 + \frac{0x0000_0000_0001}{2^{48}} \times 10 \text{ GHz}}{\frac{0x0000_0000_0003}{2^{48}}} = 3\frac{1}{3} \text{ GHz}$$

48 ビット POW は、複数のチップ間、またはあるチップ内の個々の DDC チャンネル間における既知の位相関係を作成するために、各 NCO で使用できます。

プログラマブル・モジュラス・モードでは、FTW と POW の更新時に NCO の確定的位相が維持されません。

NCO FTW、POW、MAW、MAB コヒーレント・モードの計算例

コヒーレント・モードにするには、NCO MAW をゼロ ($0x0000_0000_0000$) に設定する必要があります。このモードでは、次の式によって NCO FTW を計算できます。

$$FTW = \text{round}\left(2^{48} \frac{\text{mod}(f_c, f_s)}{f_s}\right) \quad (5)$$

ここで $\text{round}(x)$ は丸め関数で、 x を最も近い整数に丸めます (例: $\text{round}(3.6) = 4$) 。

式 5 は、デジタル領域における信号のエイリアシング (アナログ信号をデジタル化する際に生じるエイリアシング) に適用されます。コヒーレント・モードを使用するには、MAW をゼロに設定する必要があります。MAW がゼロのときは、プログラマブル・モジュラス・ロジックが自動的にディスエーブルされます。

例えば、ADCの f_s が10GSPSで f_c が2.6GHzの場合は、次のようになります。

$$FTW = \text{round}\left(2^{48} \frac{\text{mod}(1.25, 10)}{10}\right) = 0x2000_0000_0000$$

実際の搬送周波数 (f_{c_ACTUAL}) は、次の式に基づいて計算できます。

$$f_{c_ACTUAL} = (FTW \times f_s) / 2^{48}$$

前出の例において、 f_{c_ACTUAL} は次式で得られます。

$$f_{c_ACTUAL} = (0x2000_0000_0000 \times 10) / 2^{48} = 1.25\text{GHz}$$

48ビットPOWは、複数のチップ間、またはあるチップ内の個々のDDCチャンネル間における既知の位相関係を作成するために、各NCOで使用できます。

コヒーレント・モードでは、いつでもFTWレジスタとPOWレジスタを更新して確定的位相結果をNCO内に維持することができます。

NCOチャンネルの選択

コヒーレント・モードに設定した場合、NCOに必要なFTWは1つだけです。このモードでは、NCOをリセットすることなく、FTWに直接書き込みを行うことによって、任意のチューニング周波数に切り替えることができます。ただしNCOには、すべてのFTWが既知の高速スイッチング・アプリケーション用に、あるいは次のFTWのセットをキューに入れることが可能な高速スイッチング・アプリケーション用に、16個のシャドウ・レジスタが組み込まれています(図96を参照)。これらのシャドウ・レジスタを「NCOチャンネル」と呼びます。

図96に、NCOチャンネル選択ブロックの簡略ブロック図を示します。

一度にアクティブにできるNCOチャンネルは1つだけで、NCOチャンネル選択は、CMOS GPIOピン、レジスタ・マップ、またはプロファイル選択タイマーによって制御します。

以下のセクションに示すように、それぞれのNCOチャンネル・セレクトは4つの異なるモードをサポートしています。

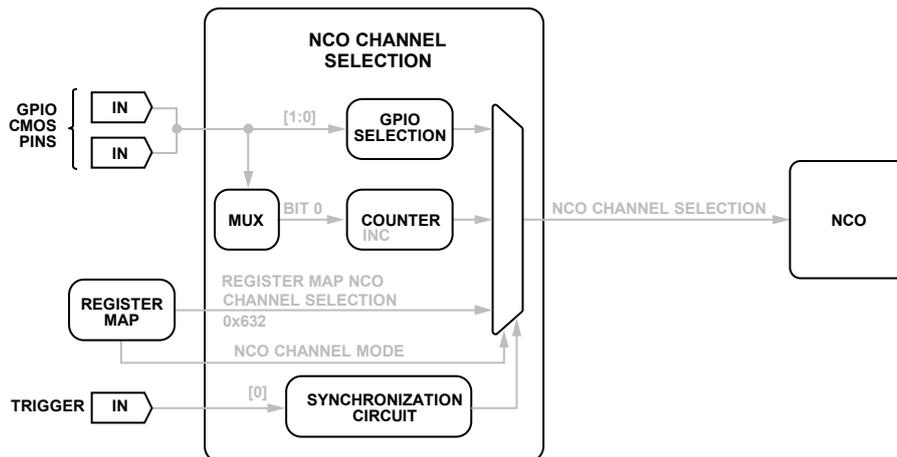


図 96. NCO チャンネル選択ブロック

15030-121

GPIO レベル制御モード

GPIO [x] ピンで、選択する NCO チャンネルを決定します。

NCO チャンネルの選択に GPIO レベル制御を使用するには、以下の手順に従う必要があります。

1. 1本または複数本の GPIO [x] ピンを、NCO チャンネル選択入力として設定します。NCO チャンネル選択用として設定されなかった GPIO [x] ピンは、内部でローに接続されます。
 - a. GPIO [x] ピンを使用するには、レジスタ 0x1606 のビット [3:0] に書き込みを行って、対応する GPIO プロファイルを選択します。
2. 必要な GPIO [x] ピン配置に応じてレジスタ 0x632 のビット [7:4] を 0x1~0x5 に設定することにより、NCO チャンネル・セクタを GPIO レベル制御モードに設定します。
3. GPIO [x] ピンを通じて、必要な NCO チャンネルを選択します。

GPIO エッジ制御モード

GPIO [x] ピンのローからハイへの遷移により、選択する NCO チャンネルを決定します。内部チャンネル選択カウンタは、SYSREF_x 信号または DDC ソフト・リセットによってリセットされます。

NCO チャンネルの選択に GPIO エッジ制御を使用するには、以下の手順に従う必要があります。

1. 1本または複数本の GPIO [x] ピンを NCO チャンネル選択入力として設定します。
 - a. GPIO [x] ピンを使用するには、レジスタ 0x1606 のビット [3:0] に書き込みを行って、対応する GPIO プロファイルを選択します。
2. NCO 制御レジスタ (レジスタ 0x632) のビット [7:4] を、必要な GPIO [x] ピンに応じて 0x8 から 0xB までの値に設定することによって、NCO チャンネル・セクタを GPIO エッジ制御モードに設定します。

3. レジスタ 0x632 のビット [3:0] を設定することによって、NCO チャンネル選択のためのラップ・ポイントを設定します。値を 4 にすると、チャンネル 4 でチャンネル選択がラップされます (例えば 0、1、2、3、4、0、1、2、3、4)。
4. 選択した GPIO [x] ピンがローからハイに遷移すると、NCO チャンネル選択がインクリメントされます。

プロファイル選択タイマー・モード

32 ビットのプロファイル選択タイマー (PST) は、選択する NCO チャンネルを決定します。チャンネル選択カウンタは DDC ソフト・リセットによってリセットされます。

NCO チャンネルの選択にプロファイル選択タイマー制御を使用するには、以下の手順に従う必要があります。

1. レジスタ 0x632 のビット [7:4] を 0xC に設定することによって、NCO チャンネル・セクタをプロファイル選択タイマー・モードに設定します。
2. レジスタ 0x65F から 0x664 を設定することによって、プロファイル選択タイマーを設定します。プロファイル選択タイマーの単位はエンコード・クロックです。
3. レジスタ 0x632 のビット [3:0] を設定することによって、NCO チャンネル選択のためのラップ・ポイントを設定します。値を 4 にすると、チャンネル 4 でチャンネル選択がラップされます (例えば 0、1、2、3、4、0、1、2、3、4)。
4. プロファイル選択タイマーは、周波数ホップ間のサンプル・クロック・サイクル数を指定します。プロファイル選択タイマーが終了すると、NCO チャンネルがインクリメントされます。

レジスタ・マップ・モード

NCO チャンネルの選択は、レジスタ・マップを通じて直接制御されます。

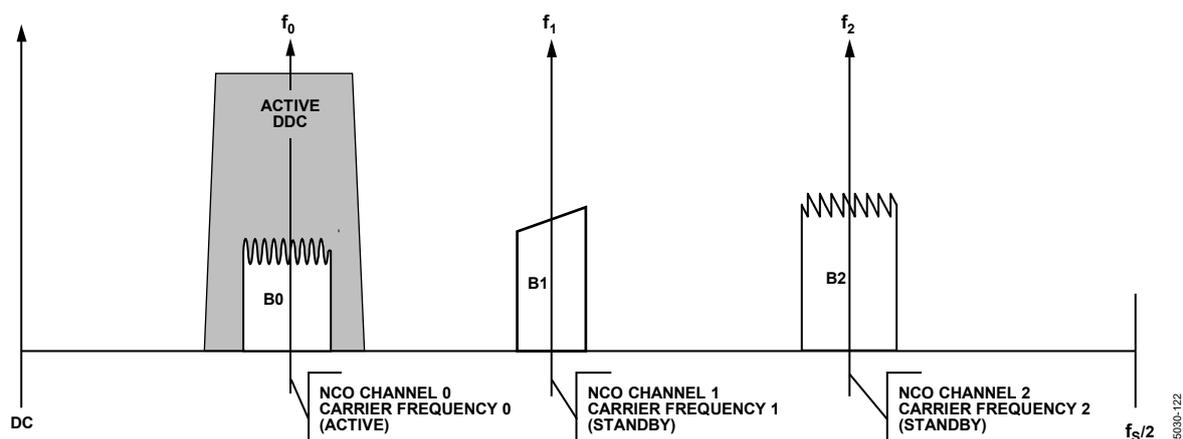


図 97.3 3つの NCO チャンネルを使用する NCO コヒーレント・モード (B0 を選択)

図 97 に、3 つの NCO チャンネルを使用するコヒーレント・モードの使用例を示します。この例では、NCO チャンネル 1 と NCO チャンネル 2 がスタンバイ・モードになって、それぞれが帯域幅 1 (B1) と帯域幅 2 (B2) に合わせてチューニングされた時に、NCO チャンネル 0 が能動的に帯域幅 0 (B0) をダウンコンバートします。

位相コヒーレント NCO のスイッチング機能を使用すると、すべて位相コヒーレントな周波数ホップを無制限に行うことができます。NCO の初期位相は、SYSREF_x 同期または信号から、時間 t_0 が経過した時点で確立されます。

NCOFTW のスイッチングを行っても、位相には影響しません。この機能に必要な FTW は 1 つだけですが、16 チャンネルすべてを使って次のホップの待ち行列を作ることができます。

スタートアップ時の SYSREF_x 同期後は、基本的に複数チップのすべての NCO が同期されます。

マルチチャンネル NCO 機能のセットアップ

マルチチャンネル NCO をセットアップする最初のステップは、FTW をプログラムすることです。AD9213 のメモリ・マップには、DDC の FTW インデックス・レジスタがあります。このインデックスは、どの NCO チャンネルがレジスタ・マップから FTW を受け取るかを決定します。

FTW をプログラムする方法を、順を追って以下に説明します。

1. DDC プロファイル (位相) 更新モードを選択するために、DDC プロファイル (位相) 更新レジスタ (レジスタ 0x633 のビット 7) に書き込みを行います。連続モード以外の更新モードでは、チップ転送が必要になります。
2. FTW インデックス・レジスタ (レジスタ 0x633 のビット [3:0]) に書き込みを行います。
3. FTW に必要な値を書き込みます。FTW レジスタのアドレスは、0x634、0x635、0x636、0x637、0x638、0x639 です。この値は、ステップ 1 に述べた NCO チャンネル・インデックスに適用されます。
4. 他の NCO チャンネルについても、ステップ 1 とステップ 2 を繰り返します。

FTW の設定後は、アクティブな NCO チャンネルを選ぶ必要があります。この選択は、SPI レジスタ、外部 GPIO [x] ピン、またはプロファイル選択タイマーを通じて行うことができます。

SPI を使ってアクティブ NCO チャンネルを選択する方法を、以下に順を追って説明します。

1. レジスタ 0x632、ビット [7:4] の NCO チャンネル選択モードを 0x0 に設定して、SPI 選択をイネーブルします。
2. レジスタ 0x632 のビット [3:0] でアクティブ NCO チャンネルを選択します。

GPIO [x] CMOS ピンを使ってアクティブ NCO チャンネルを選択する方法を、以下に順を追って説明します。

1. レジスタ 0x632、ビット [7:4] の NCO チャンネル選択モードを 0x1 から 0xB までの値に設定して、GPIO [x] ピン選択をイネーブルします。
2. レジスタ 0x1606 に書き込みを行って、GPIO [x] ピンを NCO チャンネル選択入力として設定します。
3. NCO のスイッチングは、GPIO [x] CMOS ピンを外部で制御することによって行います。

TRIG_x ピンを使ってアクティブ NCO チャンネルを選択する方法を、以下に順を追って説明します。

1. レジスタ 0x602 で NCO チャンネル選択入力を設定します。
2. レジスタ 0x151E のビット [3:2] に書き込みを行って、TRIG_x ピンをエッジ制御モードに設定します。
3. NCO のスイッチングは、TRIG_x ピンを外部で制御することによって行います。

NCO の同期

各 NCO には個別の PAW が含まれています。各 PAW の初期リセット値はゼロに設定され、クロック・サイクルごとにインクリメントされます。NCO の瞬時位相は、PAW、FTW、MAW、MBW、POW を使って計算されます。

チップ内の複数の PAW を同期させる方法は 2 つあります。

- SPI の使用 : DDC 同期制御レジスタ内の DDC ソフト・リセット・ビット (レジスタ 0x600 のビット 4) を使い、チップ内のすべての PAW をリセットします。このリセットは、DDC ソフト・リセット・ビットをハイに設定し、続いてこのビットをローに設定して行います。この方法を使用できるのは、同じチップ内の DDC チャンネルを同期する場合に限ります。
- SYSREF_x ピンの使用 : SYSREF 制御レジスタで SYSREF_x ピンをイネーブルし、DDC 同期制御レジスタ (レジスタ 0x600 のビット [1:0]) で DDC 同期をイネーブルすると、SYSREF_x の次の有効エッジ、または SYSREF_x のそれ以降のエッジのいずれかによって、チップ内のすべての PAW がリセットされます。この方法は、同じチップ内の DDC チャンネルを同期する場合や、異なるチップ内の DDC チャンネルを同期する場合に使用できます (表 10 を参照)。

SYSREF_x 信号と TRIG_x 信号を使用する同期メカニズムを図 98 に示します。

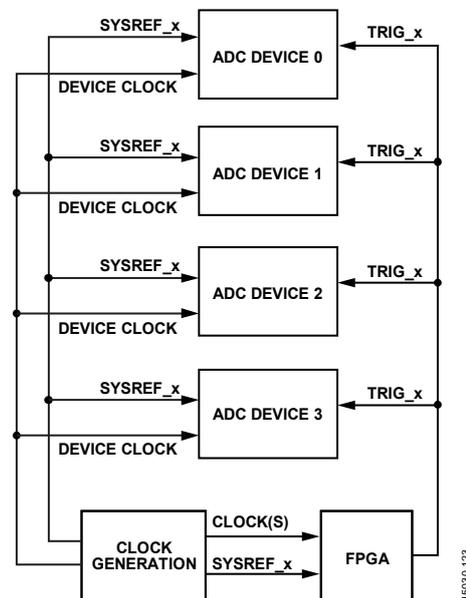


図 98. 同期に TRIG_x と SYSREF_x を使用するシステム

表 10. SYSREF_x 信号による NCO 同期のためのレジスタ設定

レジスタの設定	説明	PAW の同期に使用する SYSREF_x エッジ
0x1621, Bits[3:0] ≠ 0 0x600, Bit 0 = 1 0x600, Bit 1 = 0 0x600, Bit 7 = 0	サブクラス 1、DDC 同期イネーブル、DDC 同期次回ディスエーブル、DDC 同期 TRIG_x ディスエーブル	SYSREF_x 信号の以後のすべてのエッジがチップ内のすべての PAW をリセット。
0x1621, Bits[3:0] ≠ 0 0x600, Bit 0 = 1 0x600, Bit 1 = 1 0x600, Bit 7 = 0	サブクラス 1、DDC 同期イネーブル、DDC 同期次回イネーブル、DDC 同期 TRIG_x ディスエーブル	SYSREF_x 信号の次回有効エッジがチップ内のすべての PAW をリセット。
0x1621, Bits[3:0] ≠ 0 0x600, Bit 0 = 0 0x600, Bit 1 = 0 0x600, Bit 7 = 1	サブクラス 1、DDC 同期ディスエーブル、DDC 同期次回ディスエーブル、DDC 同期 TRIG_x イネーブル	TRIGGER 信号後の SYSREF_x 信号のすべてのエッジがチップ内のすべての PAW をリセット。
0x1621, Bits[3:0] ≠ 0 0x600, Bit 0 = 0 0x600, Bit 1 = 1 0x600, Bit 7 = 1	サブクラス 1、DDC 同期ディスエーブル、DDC 同期次回イネーブル、DDC 同期 TRIG_x イネーブル	TRIGGER 信号後の SYSREF_x 信号の次回有効エッジがチップ内のすべての PAW をリセット。

NCO マルチチップ同期

一部のアプリケーションでは、システムの複数デバイス内にあるすべての NCO とローカル・マルチフレーム・クロック (LMFC) を同期することが求められます。システム内で複数の NCO チューニング周波数を必要とするアプリケーションでは、単一の SYSREF_x パルスを、すべてのデバイスに同時に生成しなければならない場合があります。

多くのシステムでは、以下のような要因で、シングルショットの SYSREF_x パルスをすべてのデバイスで生成あるいは受信することは困難です。

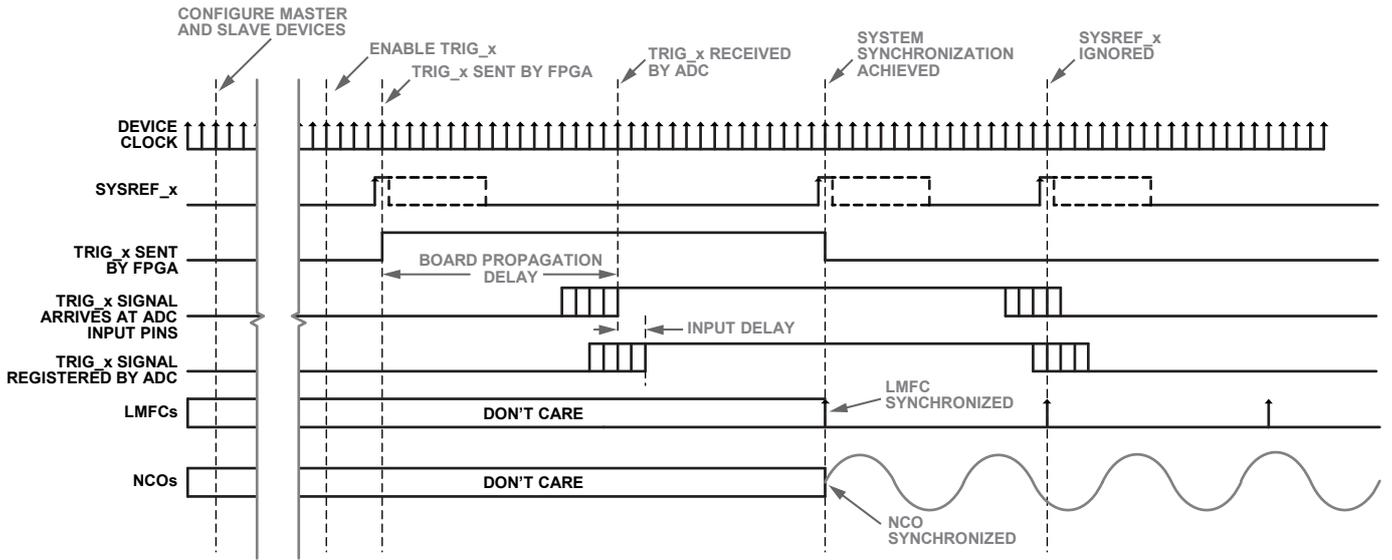
- 多くの場合、SYSREF_x パルスのイネーブルまたはディスエーブルは非同期イベントです。
- すべてのクロック生成チップがこの機能に対応しているわけではありません。

このため AD9213 は、以下のことを可能にする同期トリガリング・メカニズムを内蔵しています。

- システムのスタートアップ時に、すべての NCO と LMFC をマルチチップ同期する。
- 通常動作時に新しいチューニング周波数を適用した後で、すべての NCO をマルチチップ同期する。

スタートアップ時の NCO マルチチップ同期

スタートアップ時にトリガリングと SYSREF_x 信号を使用する NCO マルチチップ同期のタイミング図と、必要なイベント・シーケンスを図 99 に示します。このスタートアップ・シーケンスを使用すると、システム内のすべての NCO と LMFC が同時に同期されます。



LMFC = LOCAL MULTIFRAME CLOCK
NCO = NUMERICALLY CONTROLLED OSCILLATOR

図 99. スタートアップ時の NCO マルチチップ同期 (TRIG_x と SYSREF_x を使用)

15030-124

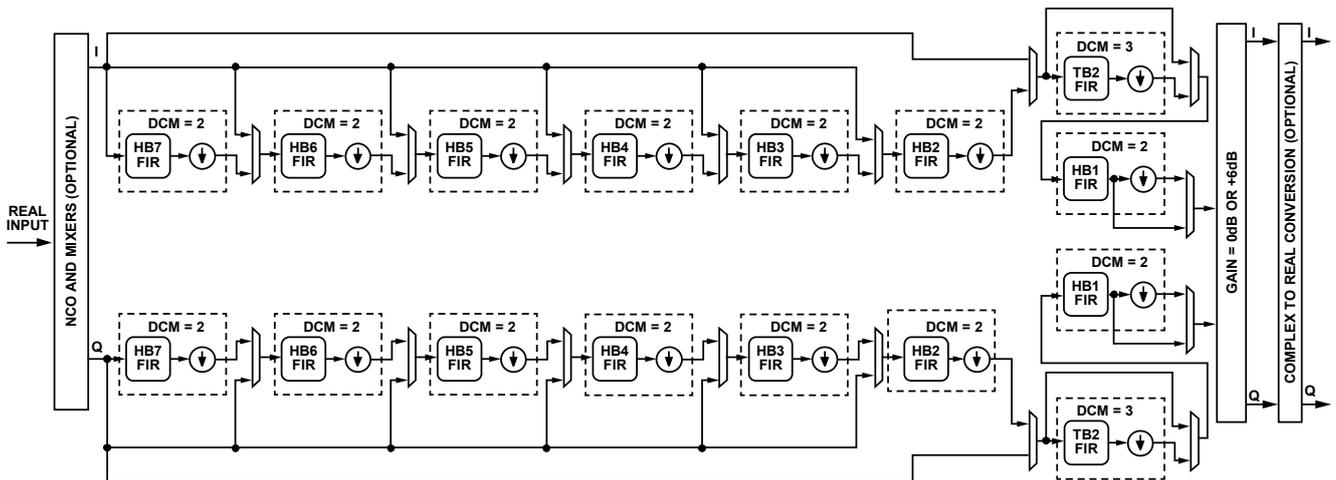


図 100. DDC デシメーション・フィルタのブロック図

15030-125

DDC ミキサーの説明

バイパスされていない場合 (レジスタ 0x606 のビット [3:0] ≠ 0x00)、DDC ミキサーはアナログ直交ミキサーと同様に動作します。DDC は、NCO 周波数をローカル発振器として使用することで入力信号のダウンコンバージョンを行います。DDC の入力の実数信号で、これは (2 つの乗算器を使って) 実数ミキサー動作が行われることを意味します。

DDC NCO、ミキサー損失、SFDR

実数入力信号をベースバンドにミキシングする場合、負のイメージのフィルタリングによって信号に -6dB の損失が生じます。更に、NCO によっても -0.05dB の損失が生じます。つまり、ベースバンドにミキシングされた実数入力信号の合計損失は -6.05dB になるので、DDC ゲイン段で 6dB のゲインをイネーブルすることによってユーザがこの損失を補償し、出力ビットのフル・スケール内で信号のダイナミック・レンジの中心位置を修正することが推奨されます (詳細については DDC ゲイン段のセクションを参照)。

最も厳しい条件下での NCO からのスプリアス信号は、すべての出力周波数で 102dBc SFDR より大きくなります。

DDC デシメーション・フィルタ

周波数変換段の後には、出力データ・レートを下げるために使用される複数のデシメーション・フィルタ段があります。対象となる搬送波を DC までチューン・ダウンした後は (搬送波周波数 = 0Hz)、これらのフィルタがサンプル・レートを効率的に下げ、対象帯域幅付近の不要な隣接搬送波から十分にエイリアスを除去します。

図 100 に、デシメーション・フィルタ段の簡略ブロック図を示します。表 11 は、異なる FIR フィルタ・ブロックのフィルタ特性を示したものです。

また、異なるフィルタを組み込むことによって選択できる、様々なフィルタ構成を表 11 と表 12 に示します。いずれの場合も、DDC フィルタリング段は、使用可能な出力帯域幅の 80%、±0.001dB 未満のパスバンド・リップル、および 100dB を超えるストップ・バンド・エイリアス除去を実現します。

表 11. DDC デシメーション・フィルタ（ハーフバンド・フィルタ）の特性

Filter Name ¹	Decimation Ratio	Pass Band (rad/sec)	Stop Band (rad/sec)	Pass-Band Ripple (dB)	Stop-Band Attenuation (dB)
HB1	2	$0.8 \times \pi/2$	$1.2 \times \pi/2$	$< \pm 0.001$	> 100
HB2	2	$0.4 \times \pi/2$	$1.6 \times \pi/2$	$< \pm 0.001$	> 100
HB3	2	$0.2 \times \pi/2$	$1.8 \times \pi/2$	$< \pm 0.001$	> 100
HB4	2	$0.1 \times \pi/2$	$1.9 \times \pi/2$	$< \pm 0.001$	> 100
HB5	2	$0.05 \times \pi/2$	$1.95 \times \pi/2$	$< \pm 0.001$	> 100
HB6	2	$0.025 \times \pi/2$	$1.975 \times \pi/2$	$< \pm 0.001$	> 100
HB7	2	$0.0125 \times \pi/2$	$1.9875 \times \pi/2$	$< \pm 0.001$	> 100
TB2	3	$0.8 \times \pi/3$	$1.6 \times \pi/3$	$< \pm 0.001$	> 100

¹すべてのフィルタは FIR ローパス・フィルタ。

表 12. DDC フィルタの構成（ADC サンプル・レート = f_s ）

DDC Filter Configuration	Real (I) Output		Complex (I/Q) Outputs		Alias Protected Bandwidth	Ideal SNR Improvement (dB) ¹
	Decimation Ratio	Sample Rate	Decimation Ratio	Sample Rate		
HB1	1	f_s	2	$f_s/2 (I) + f_s/2 (Q)$	$f_s/2 \times 80\%$	1
HB2 + HB1	2	$f_s/2$	4	$f_s/4 (I) + f_s/4 (Q)$	$f_s/4 \times 80\%$	4
TB2 + HB1	3	$f_s/3$	6	$f_s/6 (I) + f_s/6 (Q)$	$f_s/6 \times 80\%$	5.7
HB3 + HB2 + HB1	4	$f_s/4$	8	$f_s/8 (I) + f_s/8 (Q)$	$f_s/8 \times 80\%$	7
TB2 + HB2 + HB1	6	$f_s/6$	12	$f_s/12 (I) + f_s/12 (Q)$	$f_s/12 \times 80\%$	8.8
HB4 + HB3 + HB2 + HB1	8	$f_s/8$	16	$f_s/16 (I) + f_s/16 (Q)$	$f_s/16 \times 80\%$	10
TB2 + HB3 + HB2 + HB1	12	$f_s/12$	24	$f_s/24 (I) + f_s/24 (Q)$	$f_s/24 \times 80\%$	11.8
HB5 + HB4 + HB3 + HB2 + HB1	16	$f_s/16$	32	$f_s/32 (I) + f_s/32 (Q)$	$f_s/32 \times 80\%$	13
TB2 + HB4 + HB3 + HB2 + HB1	24	$f_s/24$	48	$f_s/48 (I) + f_s/48 (Q)$	$f_s/48 \times 80\%$	14.8
HB6 + HB5 + HB4 + HB3 + HB2 + HB1	32	$f_s/32$	64	$f_s/64 (I) + f_s/64 (Q)$	$f_s/64 \times 80\%$	16
TB2 + HB5 + HB4 + HB3 + HB2 + HB1	48	$f_s/48$	96	$f_s/96 (I) + f_s/96 (Q)$	$f_s/96 \times 80\%$	17.8
HB7 + HB6 + HB5 + HB4 + HB3 + HB2 + HB1	64	$f_s/64$	128	$f_s/128 (I) + f_s/128 (Q)$	$f_s/128 \times 80\%$	19

¹オーバーサンプリングによる理論的 S/N 比の改善 + フィルタリング $> 10 \log$ （帯域幅/ $f_s/2$ ）。

表 13. DDC フィルタの構成（ $f_s = 10\text{GSPS}$ ）

DDC Filter Configuration	Real (I) Output		Complex (I/Q) Outputs		Alias Protected Bandwidth (GHz)
	Decimation Ratio	Sample Rate (GSPS)	Decimation Ratio	Sample Rate (GSPS)	
HB1	1	10	2	5 (I) + 5 (Q)	4
HB2 + HB1	2	5	4	2.5 (I) + 2.5 (Q)	2
TB2 + HB1	3	3.3333	6	1.6667 (I) + 1.6667 (Q)	1.3333
HB3 + HB2 + HB1	4	2.5	8	1.25 (I) + 1.25 (Q)	1
TB2 + HB2 + HB1	6	1.6667	12	0.8333 (I) + 0.8333 (Q)	0.6667
HB4 + HB3 + HB2 + HB1	8	1.25	16	0.625 (I) + 0.625 (Q)	0.5
TB2 + HB3 + HB2 + HB1	12	0.8333	24	0.4167 (I) + 0.4167 (Q)	0.3333
HB5 + HB4 + HB3 + HB2 + HB1	16	0.625	32	0.3125 (I) + 0.3125 (Q)	0.25
TB2 + HB4 + HB3 + HB2 + HB1	24	0.4167	48	0.2083 (I) + 0.2083 (Q)	0.1667
HB6 + HB5 + HB4 + HB3 + HB2 + HB1	32	0.3125	64	0.1563 (I) + 0.1563 (Q)	0.125
TB2 + HB5 + HB4 + HB3 + HB2 + HB1	48	0.2083	96	0.1042 (I) + 0.1042 (Q)	0.0833
HB7 + HB6 + HB5 + HB4 + HB3 + HB2 + HB1	64	0.1563	128	0.0781 (I) + 0.0781 (Q)	0.0625

HB7 フィルタの説明

HB7 は、デシメーション・レシオ 2、ハーフバンドのローパス FIR フィルタで、これは、低消費電力を実現できるように最適化された 7 タップ、対称、固定係数のフィルタ実装を使用しています。HB7 フィルタは、複素出力（デシメーション・レシオ 128）または実数出力（デシメーション・レシオ 64）がイネーブルされている場合だけ使われ、それ以外の場合はバイパスされます。HB7 フィルタの係数と応答を表 14 と図 101 に示します。

表 14. HB7 フィルタの係数

HB7 Coefficient Number	Coefficient
C1, C7	-1
C2, C6	0
C3, C5	9
C4	16

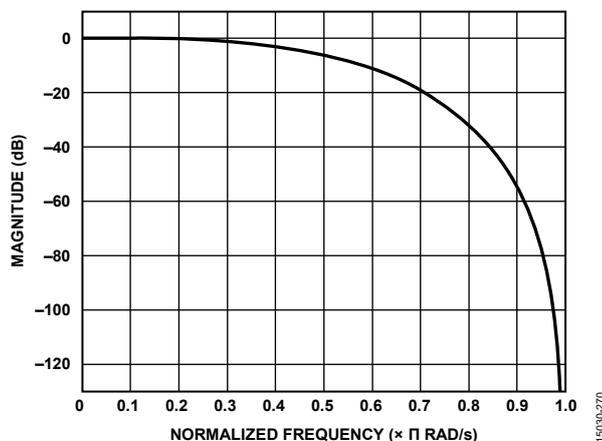


図 101. HB7 フィルタの応答

HB6 フィルタの説明

HB6 は、デシメーション・レシオ 2、ハーフバンドのローパス FIR フィルタで、これは、低消費電力を実現できるように最適化された 7 タップ、対称、固定係数のフィルタ実装を使用しています。HB6 フィルタは、複素出力（デシメーション・レシオ 64 または 128）もしくは実数出力（デシメーション・レシオ 32 または 64）がイネーブルされている場合だけ使われ、それ以外の場合はバイパスされます。HB6 フィルタの係数と応答を表 15 と図 102 に示します。

表 15. HB6 フィルタの係数

HB6 Coefficient Number	Coefficient
C1, C7	-1
C2, C6	0
C3, C5	9
C4	16

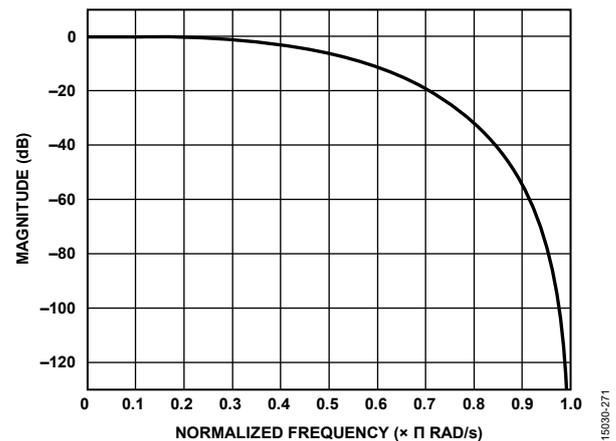


図 102. HB6 フィルタの応答

HB5 フィルタの説明

HB5 は、デシメーション・レシオ 2、ハーフバンドのローパス FIR フィルタで、これは低消費電力を実現できるように最適化された 7 タップ、対称、固定係数のフィルタ実装を使用しています。

HB5 フィルタは、複素出力（デシメーション・レシオ 32、64、または 128）もしくは実数出力（デシメーション・レシオ 16、32、または 64）がイネーブルされている場合だけ使われ、それ以外の場合はバイパスされます。

HB5 フィルタの係数と応答を表 16 と図 103 に示します。

表 16. HB5 フィルタの係数

HB5 Coefficient Number	Coefficient
C1, C7	-128
C2, C6	0
C3, C5	1152
C4	2048

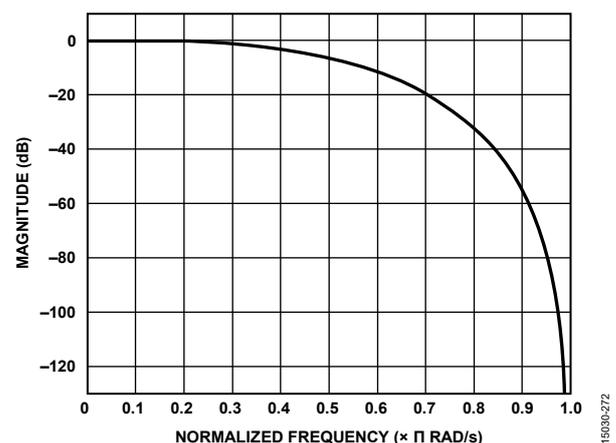


図 103. HB5 フィルタの応答

HB4 フィルタの説明

HB4 は、デシメーション・レシオ 2、ハーフバンドのローパス FIR フィルタで、これは低消費電力を実現できるように最適化された 11 タップ、対称、固定係数のフィルタ実装を使用しています。

HB4 フィルタは、複素出力（デシメーション・レシオ 16、32、64、または 128）もしくは実数出力（デシメーション・レシオ 8、16、32、または 64）がイネーブルされている場合だけ使われ、それ以外の場合はバイパスされます。

HB4 フィルタの係数と応答を表 17 と図 104 に示します。

表 17. HB4 フィルタの係数

HB4 Coefficient Number	Coefficient
C1, C11	99
C2, C10	0
C3, C9	-809
C4, C8	0
C5, C7	4806
C6	8192

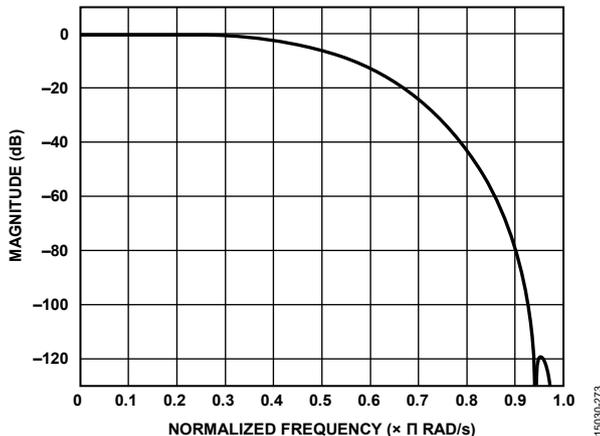


図 104. HB4 フィルタの応答

HB3 フィルタの説明

HB3 は、デシメーション・レシオ 2、ハーフバンドのローパス FIR フィルタで、これは低消費電力を実現できるように最適化された 11 タップ、対称、固定係数のフィルタ実装を使用しています。

HB3 フィルタは、複素出力（デシメーション・レシオ 8、16、32、64、または 128）もしくは実数出力（デシメーション・レシオ 4、8、16、32、または 64）がイネーブルされている場合だけ使われ、それ以外の場合はバイパスされます。

HB3 フィルタの係数と応答を表 18 と図 105 に示します。

表 18. HB3 フィルタの係数

HB3 Coefficient Number	Coefficient
C1, C11	435
C2, C10	0
C3, C9	-3346
C4, C8	0
C5, C7	19295
C6	32,768

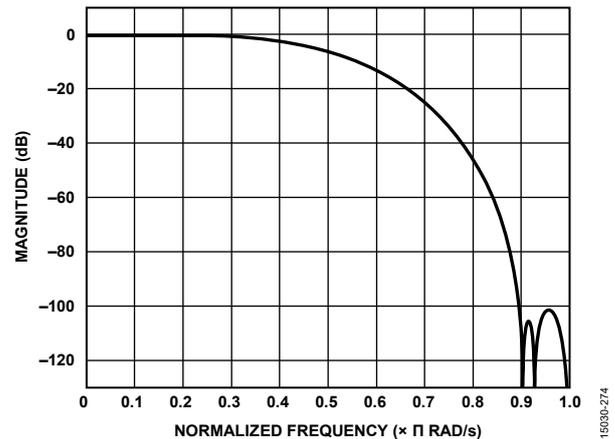


図 105. HB3 フィルタの応答

HB2 フィルタの説明

HB2 は、デシメーション・レシオ 2、ハーフバンドのローパス FIR フィルタで、これは低消費電力を実現できるように最適化された 19 タップ、対称、固定係数のフィルタ実装を使用しています。

HB2 フィルタは、複素出力（デシメーション・レシオ 4、8、16、32、64、または 128）もしくは実数出力（デシメーション・レシオ 2、4、8、16、32、または 64）がイネーブルされている場合だけ使われ、それ以外の場合はバイパスされます。

HB2 フィルタの係数と応答を表 19 と図 106 に示します。

表 19. HB2 フィルタの係数

HB2 Coefficient Number	Coefficient
C1, C19	88
C2, C18	0
C3, C17	-698
C4, C16	0
C5, C15	2981
C6, C14	0
C7, C13	-9723
C8, C12	0
C9, C11	40,120
C10,	65,536

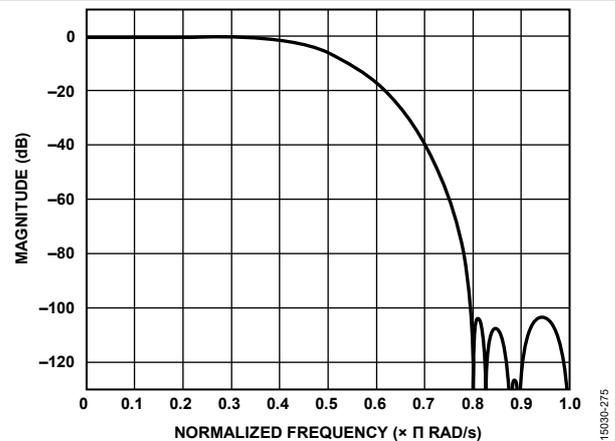


図 106. HB2 フィルタの応答

HB1 フィルタの説明

最後の HB1 は、デシメーション・レシオ 2、ハーフバンドのローパス FIR フィルタで、これは低消費電力を実現できるように最適化された 63 タップ、対称、固定係数のフィルタ実装を使用しています。HB1 フィルタは常にイネーブルされており、バイパスすることはできません。HB1 フィルタの係数と応答を表 20 と図 107 に示します。

表 20. HB1 フィルタの係数

HB1 Coefficient Number	Coefficient
C1, C63	-10
C2, C62	0
C3, C61	38
C4, C60	0
C5, C59	-102
C6, C58	0
C7, C57	232
C8, C56	0
C9, C55	-467
C10, C54	0
C11, C53	862
C12, C52	0
C13, C51	-1489
C14, C50	0
C15, C49	2440
C16, C48	0
C17, C47	-3833
C18, C46	0
C19, C45	5831
C20, C44	0
C21, C43	-8679
C22, C42	0
C23, C41	12,803
C24, C40	0
C25, C39	-19,086
C26, C38	0
C27, C37	29,814
C28, C36	0
C29, C35	-53,421
C30, C34	0
C31, C33	166,138
C32	262,144

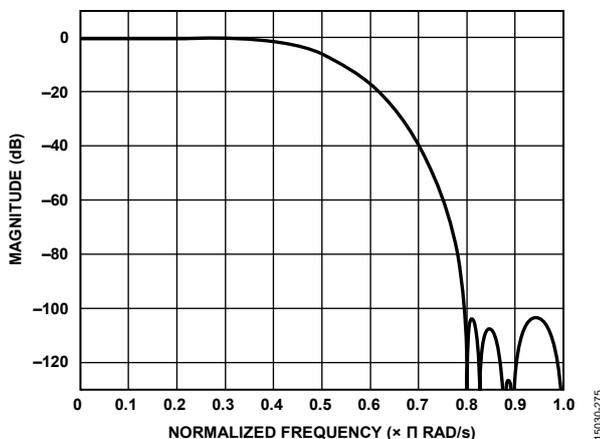


図 107. HB1 フィルタの応答

TB2 フィルタの説明

TB2 はデシメーション・レシオ 3 のローパス FIR フィルタで、33 タップ、対称、固定係数のフィルタ実装を使用しています。TB2 フィルタの係数を表 21 に、TB2 フィルタの応答を図 108 に示します。

表 21. TB2 フィルタの係数

TB2 Coefficient Number	Coefficient
C1, C33	-6
C2, C32	0
C3, C31	174
C4, C30	456
C5, C29	0
C6, C28	-2010
C7, C27	-3668
C8, C26	0
C9, C25	10202
C10, C24	15932
C11, C23	0
C12, C22	-35,988
C13, C21	-53,496
C14, C20	0
C15, C19	134,175
C16, C18	283,748
C17	349,525

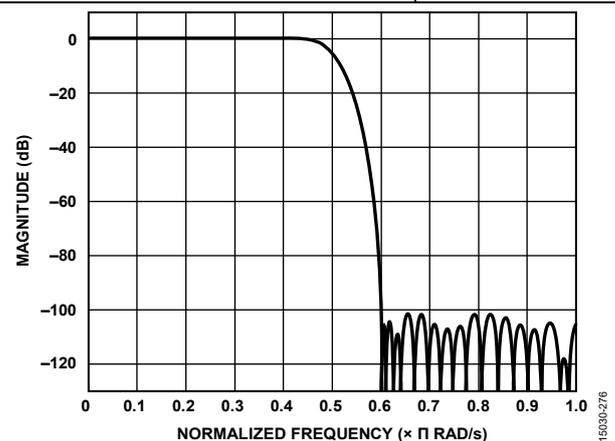


図 108. TB2 フィルタの応答

DDC ゲイン段

各 DDC は、個別に制御されるゲイン段を内蔵しています。ゲインは、0dB または 6dB のどちらかを選択できます。実数入力信号をベースバンドにミキシングする場合は、6dB のゲインをイネーブルして、出力ビットのフル・スケール内で信号のダイナミック・レンジの中心位置を修正することが推奨されます。

DDC の複素数から実数への変換

各 DDC は複素数から実数への変換ブロックを内蔵しており、これらのブロックは個別に制御されます。複素数から実数への変換段は、フィルタリング段の最終フィルタ (HB1 FIR) と $f_s/4$ 複素ミキサーを再使用して信号をアップコンバートします。複素数から実数への変換段を使用する場合、HB1 FIR フィルタの 1/2 ダウンサンプル部分はバイパスされます。信号のアップコンバート後は複素ミキサーの Q 部分が不要になるので、この部分は除外されます。

図 109 に、複素数から実数への変換段の簡略ブロック図を示します。

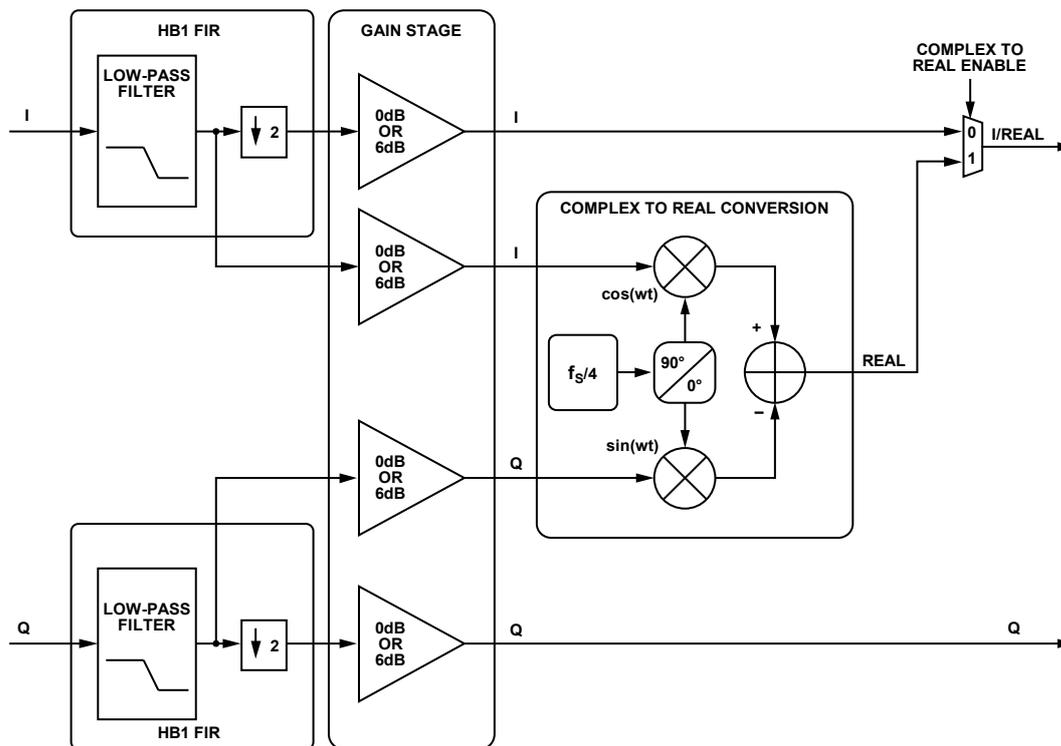


図 109. 複素数から実数への変換ブロック

DDC 構成例

表 22 と表 23 に、DDC の複数の構成例に対するレジスタ設定を示します。ここで、帯域幅の通過帯域リップルは-0.001dB 未満、ストップ・バンド・エイリアス除去は 100dB 超です。

表 22. ADC チャンネル・ペアあたりの DDC 構成例（フル帯域モード）

チップ・アプリケーション層	チップ・デシメーション・レシオ (DCM)	DDC 出力タイプ	DDC あたりの帯域幅 ¹	必要な仮想コンバータ数	レジスタの設定
Full Bandwidth Mode	1	Don't care	50% × f_s	1	0x606 = 0x00 (フル帯域幅モード) 0x607 = 0x00 (チップ・デシメーション・レシオ 1) 0x630 = 0x00 (ドント・ケア) 0x631 = 0x00 (ドント・ケア)

¹ f_s は ADC のサンプル・レートです。

表 23. ADC チャンネル・ペアあたりの DDC 構成例 (1 つの DDC)

チップ・デシメーション・レシオ (DCM)	DDC 出力タイプ	DDC あたりの帯域幅 ¹	必要な仮想コンバータ数	レジスタの設定
1	Real	$40\% \times f_s$	1	レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x00。チップ・デシメーション・レシオ 1。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x00。HB1 フィルタ。 レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
2	Complex	$40\% \times f_s$	2	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x01。チップ・デシメーション・レシオ 2。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x00。HB1 フィルタ。 レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
	Real	$20\% \times f_s$	1	レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x01。チップ・デシメーション・レシオ 2。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x01。HB2 + HB1 フィルタ。 レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
4	Complex	$20\% \times f_s$	2	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x02。チップ・デシメーション・レシオ 4。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x01。HB2 + HB1 フィルタ。 レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
	Real	$10\% \times f_s$	1	レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x02。チップ・デシメーション・レシオ 4。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x02。HB3 + HB2 + HB1 フィルタ。 レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
8	Complex	$10\% \times f_s$	2	0x606 = 0x01。1 つの DDC、I/Q を選択。 0x607 = 0x03。チップ・デシメーション・レシオ 8。 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 0x631 = 0x02。HB3 + HB2 + HB1 フィルタ。 レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
	Real	$5\% \times f_s$	1	レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x03。チップ・デシメーション・レシオ 8。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x03。HB4 + HB3 + HB2 + HB1 フィルタ。 レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
16	Complex	$5\% \times f_s$	2	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x04。チップ・デシメーション・レシオ 16。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x03。HB4 + HB3 + HB2 + HB1 フィルタ。 レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
	Real	$2.5\% \times f_s$	1	レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x04。チップ・デシメーション・レシオ 16。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x04。HB5 + HB4 + HB3 + HB2 + HB1 フィルタ レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
32	Complex	$2.5\% \times f_s$	2	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x0。チップ・デシメーション・レシオ 32。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x04。HB5 + HB4 + HB3 + HB2 + HB1 フィルタ レジスタ 0x634~レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
	Real	$1.25\% \times f_s$	1	レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x05。チップ・デシメーション・レシオ 32。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力

チップ・デシメーション・レシオ (DCM)	DDC 出力タイプ	DDC あたりの帯域幅 ¹	必要な仮想コンバータ数	レジスタの設定
				レジスタ 0x631 = 0x05。HB6 + HB5 + HB4 + HB3 + HB2 + HB1 フィルタ。 レジスタ 0x634、0x635、0x636、0x637、0x638、0x639、0x63A、0x63B、0x63C、0x63D、0x63E、0x63F = DDC の用途に応じて FTW と POW を設定。
64	Complex Real	1.25% × f _s 0.625% × f _s	2 1	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x06。チップ・デシメーション・レシオ 64。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x05。HB6 + HB5 + HB4 + HB3 + HB2 + HB1 フィルタ。 レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。 レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x06。チップ・デシメーション・レシオ 64。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x06。HB7 + HB6 + HB5 + HB4 + HB3 + HB2 + HB1 フィルタ。 レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
128	Complex	0.625% × f _s	2	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x07。チップ・デシメーション・レシオ 128。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x06。HB7 + HB6 + HB5 + HB4 + HB3 + HB2 + HB1 フィルタ。 レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
3	Real	13.33% × f _s	1	レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x09。チップ・デシメーション・レシオ 3。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x08。TB2 + HB1 フィルタ。 レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
6	Complex Real	13.33% × f _s 6.667% × f _s	2 1	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x0A。チップ・デシメーション・レシオ 6。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x08。TB2 + HB1 フィルタ。 レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。 レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x0A。チップ・デシメーション・レシオ 6。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x09。HB2 + TB2 + HB1 フィルタ レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
12	Complex Real	6.667% × f _s 3.333% × f _s	2 1	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x0B。チップ・デシメーション・レシオ 12。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x09。HB2 + TB2 + HB1 フィルタ。 レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。 レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x0B。チップ・デシメーション・レシオ 12。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x0A。HB3 + HB2 + TB2 + HB1 フィルタ レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
24	Complex Real	3.333% × f _s 1.667% × f _s	2 1	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x0C。チップ・デシメーション・レシオ 24。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x0A。HB3 + HB2 + TB2 + HB1 フィルタ。 レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。 レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x0C。チップ・デシメーション・レシオ 24。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x0B。HB4 + HB3 + HB2 + TB2 + HB1 フィルタ。 レジスタ 0x634～レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。

チップ・デシメーション・レシオ (DCM)	DDC 出力タイプ	DDC あたりの帯域幅 ¹	必要な仮想コンバータ数	レジスタの設定
48	Complex	$1.667\% \times f_s$	2	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x0D。チップ・デシメーション・レシオ 48。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x0B。HB4 + HB3 + HB2 + TB2 + HB1 フィルタ。 レジスタ 0x634 ~ レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
	Real	$0.8333\% \times f_s$	1	レジスタ 0x606 = 0x21。1 つの DDC、I のみを選択。 レジスタ 0x607 = 0x0D。チップ・デシメーション・レシオ 48。 レジスタ 0x630 = 0x12。6dB ゲイン、可変 IF、実数出力 レジスタ 0x631 = 0x0C。HB5 + HB4 + HB3 + HB2 + TB2 + HB1 フィルタ。 レジスタ 0x634 ~ レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。
96	Complex	$0.8333\% \times f_s$	2	レジスタ 0x606 = 0x01。1 つの DDC、I/Q を選択。 レジスタ 0x607 = 0x0E。チップ・デシメーション・レシオ 96。 レジスタ 0x630 = 0x02。6dB ゲイン、可変 IF、複素出力。 レジスタ 0x631 = 0x0C。HB5 + HB4 + HB3 + HB2 + TB2 + HB1 フィルタ。 レジスタ 0x634 ~ レジスタ 0x63F = DDC の用途に応じて FTW と POW を設定。

¹ f_s は ADC のサンプル・レートです。

信号モニタ

信号モニタ・ブロックは、ADC でデジタル化される信号に関する追加情報を提供します。信号モニタは、デジタル化された信号のピーク振幅を計算します。この情報は、実際の信号が複数存在する中で、AGC ループを駆動して ADC の範囲の最適化に使用することができます。

信号モニタ・ブロックの結果は、内部の値を SPI ポートからリードバックするか、信号モニタ情報を JESD204B インターフェースに特別な制御ビットとして組み込むことによって得ることができます。測定時間は、グローバルな 24 ビットのプログラム周期によって制御されます。図 110 に信号モニタ・ブロックの簡略ブロック図を示します。

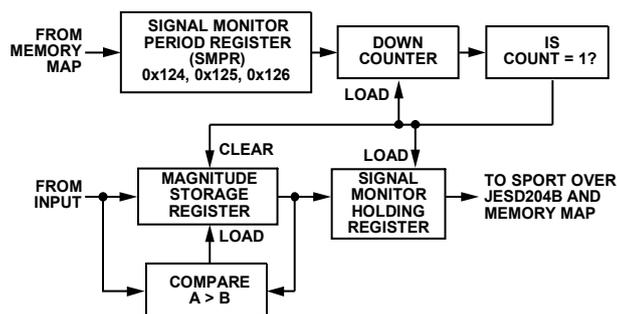


図 110. 信号モニタ・ブロック

ピーク・ディテクタは、観測時間内の最大信号をキャプチャします。このディテクタは信号の振幅だけを観測します。ピーク・ディテクタの分解能は 11 ビットです。観測時間は 24 ビットで、これはコンバータの出力サンプルに相当します。ピーク振幅は、次式を使って求めることができます。

$$\text{ピーク振幅 (dBFS)} = 20 \log \left(\frac{\text{ピーク・ディテクタの値}}{2^{11}} \right)$$

入力ポート信号の振幅はプログラム可能な時間幅でモニタされ、これは信号モニタ時間レジスタ (SMPR) によって決定されます。ピーク・ディテクタ機能は、信号モニタ制御レジスタのレジスタ 0x127 のビット 1 と 4、およびレジスタ 0x131 のビット 0 をセットすることでイネーブルされます。24 ビット SMPR は、このモードをアクティブにする前にレジスタ 0x124～レジスタ 0x126 でプログラムする必要があります。

ピーク検出モードをイネーブルした後は、SMPR 内の値がモニタ時間タイマーにロードされます。このタイマーは、デシメートされたクロック・レートでデクリメントされます。入力信号の大きさは内部の値保存レジスタ (ユーザはアクセス不可) 内の値と比較されて、どちらか大きいほうが最新のピーク・レベルとして更新されます。この値保存レジスタの初期値は、最新の ADC 入力信号の大きさに設定されます。この比較は、モニタ時間タイマーのカウンタ数が 1 になるまで続きます。

モニタ時間タイマーのカウンタ数が 1 になると、11 ビットのピーク・レベル値が信号モニタ保持レジスタに転送されます。このレベル値は、メモリ・マップを通じて読み出したり、JESD204B インターフェース上の SPORT を通じて出力したりすることができます。モニタ時間タイマーは SMPR 内の値で再ロードされ、カウンタダウンが再開されます。更に、最初の入力サンプルの大きさが値保存レジスタ内で更新されて、比較および更新の手順が続けられます。

モニタ値は、レジスタ 0x120、レジスタ 0x121、またはレジスタ 0x122 から Q11.9 値として読み出すことができます。信号モニタは連続して動作します。しかし、この値はレジスタ 0x127 のビット 0 をセットすることによってのみ更新されます。値は、その後の更新が要求されるまで保存されます。

SYSREF_x 信号は時間カウンタをリセットするために使用でき、これにより複数のチップにおける信号モニタを同期することができます。このモードはレジスタ 0x130 で設定できます。

SPORT Over JESD204B

信号モニタ・データは、シリアル化して JESD204B インターフェース経由で制御ビットとして送ることもできます。統計データを再現するには、サンプルから、これらの制御ビットのシリアル化を解除する必要があります。信号制御モニタ機能は、レジスタ 0x128 のビット 0、ビット 1、およびビット 3 をセットすることによって有効にします。JESD204B サンプル内の信号モニタ制御ビットの位置について、図 111 に構成例を 2 つ示します。JESD204B サンプルには最大で 3 つの制御ビットを挿入できます。ただし、信号モニタに必要な制御ビットは 1 つだけです。制御ビットを 1 つだけ挿入する (CS = 1) 場合は、最上位制御ビットだけを使用します (図 111 を参照)。SPORT over JESD204B オプションを選択するには、レジスタ 0x620、レジスタ 0x621、およびレジスタ 0x524 を設定します。これらのビットの設定については、メモリ・マップのセクションを参照してください。

ピーク・ディテクタ値をカプセル化する 25 ビット・フレーム・データを図 112 に示します。このフレーム・データは、5 個の 5 ビット・サブフレームを使って MSB を先頭に送信されます。各サブフレームには開始ビットが含まれており、レシーバーはこのビットを使って、シリアル化が解除されたデータを検証できます。図 112 に、モニタ時間タイマーを 80 サンプルに設定した場合の SPORT over JESD204B 信号モニタ・データを示します。

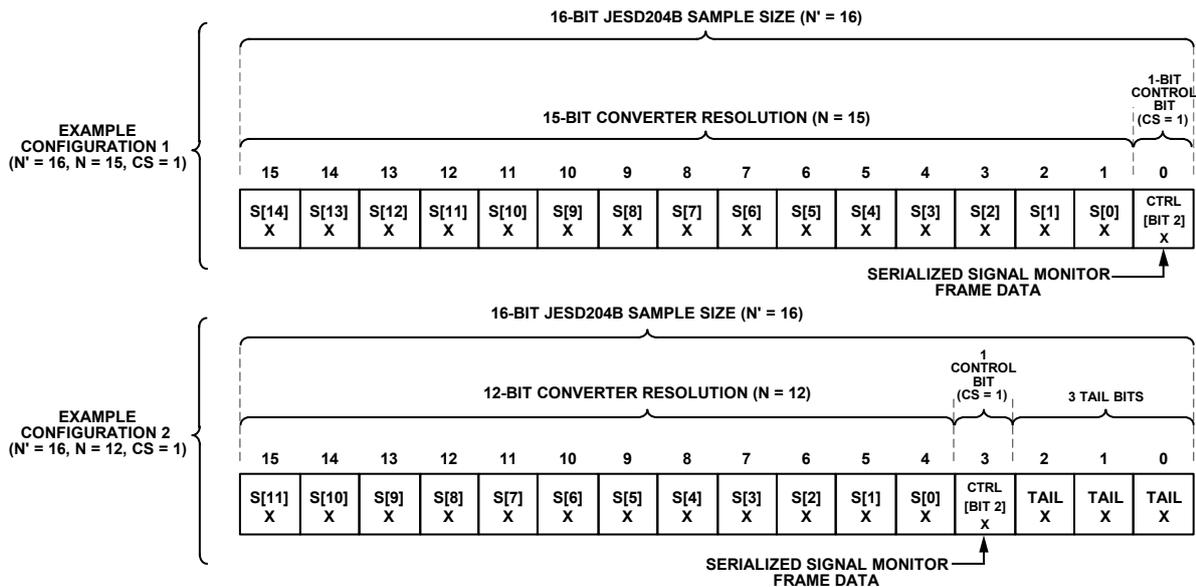


図 111. 信号モニタ制御ビットの位置

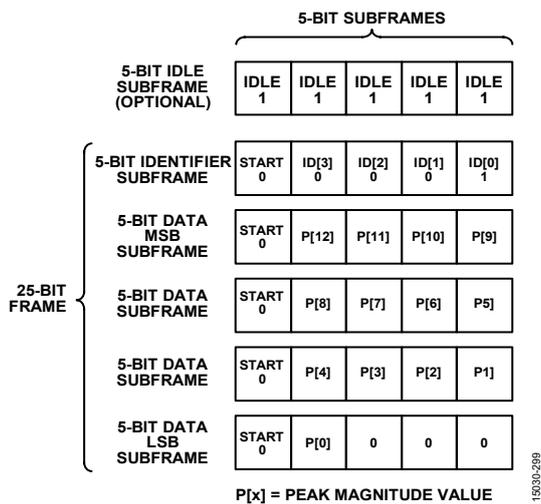
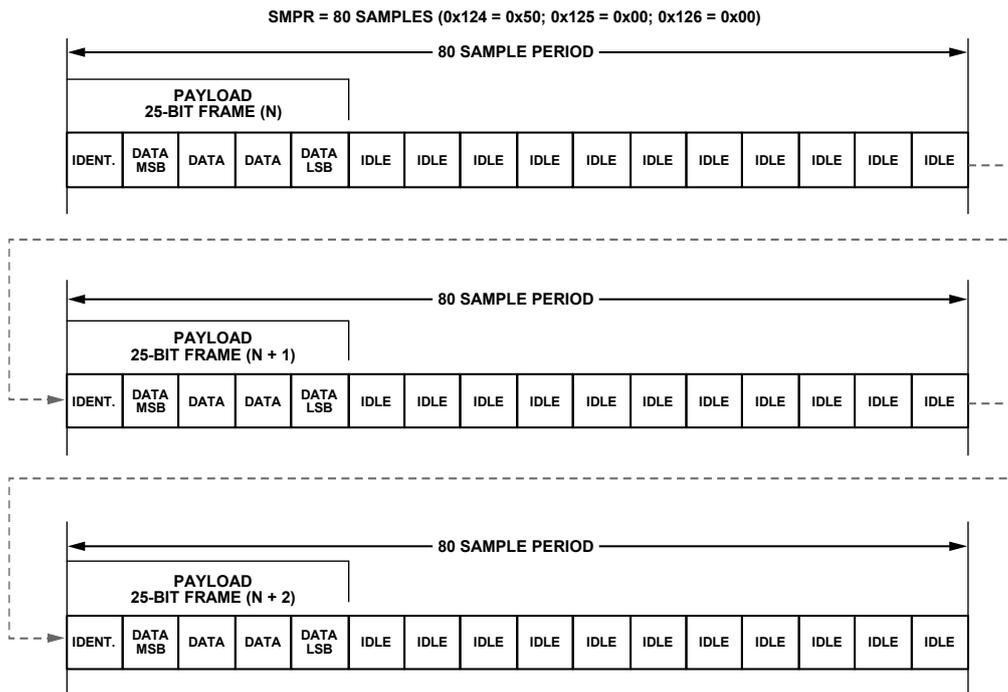


図 112. SPORT over JESD204B 信号モニタ・フレーム・データ



15030-300

図 113. SPORT over JESD204B 信号モニタ例

デジタル出力

JESD204B インターフェースの概要

AD9213 のデジタル出力は、データ・コンバータ用のシリアル・インターフェース規格として JEDEC が制定した JESD204B に合わせて設計されています。JESD204B は、シリアル・インターフェースを経由し、最大 12.5Gbps のレーン・レートで AD9213 をデジタル処理デバイスへリンクするためのプロトコルです。AD9213 の出力はこの値を上回っており、16Gbps まで良好なリンクを維持します。LVDS における JESD204B インターフェースの利点には、データ・インターフェース・ルーティングのために必要なボード面積を減らせることや、コンバータやロジック・デバイスのパッケージを小型化できることなどがあります。

JESD204B の概要

データ・フォーマット (DFORMAT) ブロックは AD9213 内の様々なソースからのデータをフォーマットして、このデータを JESD204B トランスミッタ・インターフェース (JT_x) にマルチプレクスします。JESD204B データ送信ブロックでは、DFORMAT ブロックからのパラレル・データがフレーム化され、8 ビット/10 ビット・エンコーディングとオプションのスクランプリング機能を使用してシリアル出力データが形成されます。レーン同期は、最初のリンク確立時に、特別な制御文字を使用することでサポートされています。データ・ストリームには、その後も同期を維持するために、追加的な制御文字が組み込まれます。シリアル・リンクを完了させるには、JESD204B レシーバーが必要です。JESD204B インターフェースのその他の詳細については、JESD204B 規格を参照してください。

AD9213 の DFORMAT ブロックと JESD204B データ送信ブロックは、リンクを介して 1 つの物理的 ADC、または 1 つまたは 2 つの仮想コンバータ (DDC がイネーブルされている場合) をマップします。リンクは、最大で 16 本の JESD204B レーンを使用するように構成できます。JESD204B 仕様ではいくつかのパラメータを使ってリンクを定義しますが、これらのパラメータは、JESD204B トランスミッタ (AD9213 の出力) と JESD204B レシーバー (ロジック・デバイスの入力) の間で一致している必要があります。

JESD204B リンクは、以下のパラメータに従って記述されます。

- L はコンバータ・デバイスあたりのレーン数 (レーン数/リンク) で、AD9213 では 1、2、4、8、16、3、6、12 です。
- M はコンバータ・デバイスあたりのコンバータ数 (仮想コンバータ数/リンク) で、AD9213 では 1 または 2 です。
- F はフレームあたりのオクテット数で、AD9213 では 1、2、または 4 です。
- N はサンプルあたりのビット数 (JESD204B のワード・サイズ) で、AD9213 では 8、12、または 16 です。

- N はコンバータの分解能で、AD9213 では 7~16 です。
- CS はサンプルあたりの制御ビット数で、AD9213 では 0、1、2、または 3 です。
- K はマルチフレームあたりのフレーム数で、すべての S について K=32 がサポートされています。
- K=16 と 32 は、S=1、レジスタ 0x630 のビット 4=1 を除く構成でサポートされています。S=1、レジスタ 0x630 のビット 4=1 の場合は K=32 だけがサポートされています。
- S は、1 フレーム・サイクルにおけるコンバータあたりの送信サンプル数です。AD9213 では、L、M、F、N に基づいて自動的に設定されます。
- HD は高密度モードで、AD9213 では L、M、F、N に基づいて自動的に設定されます。
- CF は 1 つのコンバータ・デバイスのフレーム・クロック・サイクルあたりの制御ワード数で、AD9213 では 0 です。

図 114 に、AD9213 における JESD204B リンクの簡略ブロック図を示します。デフォルトでは、AD9213 は、16 レーンすべてに出力を行う 1 つのコンバータとして構成されます。

AD9213 のデフォルトでは、12 ビットのコンバータ・ワードが 2 つのオクテット (8 ビットのデータ) に分割されます。ビット 11 (MSB) からビット 4 まだが最初のオクテットを構成します。2 つめのオクテットは、ビット 3 からビット 0 (LSB) までと 4 つのテール・ビットで構成されます。テール・ビットは、ゼロまたは疑似乱数シーケンスとして構成できます。テール・ビットは、オーバーレンジ、SYSREF_x、または高速検出出力を示す制御ビットに置き換えることもできます。

得られた 2 つのオクテットは、スクランプリング可能です。スクランプリングはオプションですが、似たようなデジタル・データ・パターンを送信する場合は、スペクトル・ピークを避けることを推奨します。スクランブラは、 $1 + x^{14} + x^{15}$ という式で定義される、自己同期機能を備えた多項式ベースのアルゴリズムを使用します。レシーバーのデスクランブラは、スクランブラ多項式の自己同期バージョンです。

次に、8 ビット/10 ビット・エンコーダによって、この 2 つのオクテットがエンコードされます。8 ビット/10 ビット・エンコーダは、8 ビットのデータ (1 つのオクテット) を使い、それらのデータを 10 ビット・シンボルにエンコードします。ADC から 12 ビットのデータを取得してテール・ビットを追加し、2 つのオクテットをスクランプリングして、それらのオクテットを 2 つの 10 ビット・シンボルにエンコードする過程を図 115 に示します。図 115 はデフォルトのデータ・フォーマットを示しています。

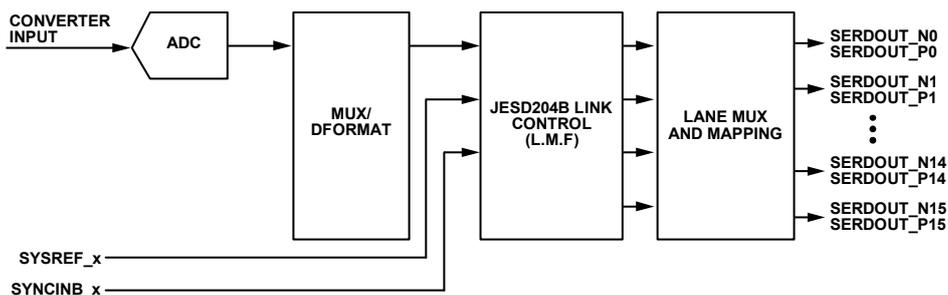


図 114. フル帯域幅モード (レジスタ 0x606 = 0x00) を示す送信リンクの簡略ブロック図

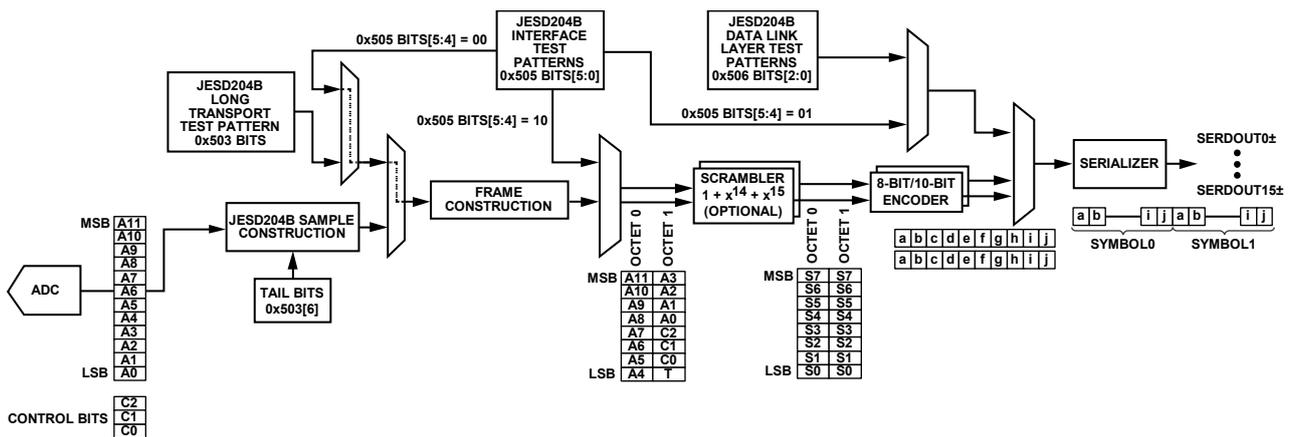


図 115. データ・フレーミングを示す ADC 出力データパス (概念図)

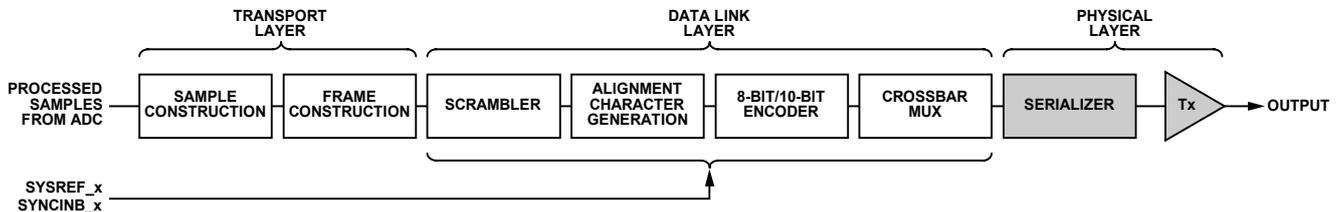


図 116. データ・フロー

機能の概要

図 116 のブロック図は、サンプル入力から JESD204B ハードウェアを通過して、物理出力へ至るデータの流れを示したものです。処理は、通信システムの抽象化層を記述するために広く使われている開放型システム間相互接続 (OSI) モデルに定める複数の層に分けることができます。これらの層は、トランスポート層、データ・リンク層、および物理層 (シリアルライザと出力ドライバ) です。

トランスポート層

トランスポート層は、8 ビット・オクテットにマップされる JESD204B フレームへのデータ (サンプルとオプションの制御ビットから構成される) のパッキングを扱います。これらのオクテットは、データ・リンク層へ送られます。トランスポート層のマッピングは、リンク・パラメータから得られた規則によって制御されます。また、ギャップを埋めるために、必要に応じてテール・ビットが追加されます。

サンプル (JESD204B ワード) 内のテール・ビット数は、次の式を使って決定できます。

$$T = N' - N - CS$$

データ・リンク層

データ・リンク層は、リンクを介してデータを渡すという低レベル機能を受け持ちます。これらには、オプションで、データのスクランプリング、マルチチップ同期/レーン・アライメント/モニタリングのための制御文字挿入、8 ビット・オクテットから 10 ビット・シンボルへのエンコードなどが含まれます。データ・リンク層は、初期レーン・アライメント・シーケンス (ILAS) の送信も行います。このシーケンスには、トランスポート層の設定を確認するためにレシーバーが使用する、リンク構成データが含まれています。

物理層

物理層は、シリアル・クロック・レートでクロックされる高速回路で構成されます。この層内では、パラレル・データが 1 レーンから 16 レーンまでの高速差動シリアル・データに変換されます。

JESD204B リンクの確立

AD9213 の JESD204B トランスミッタ・インターフェースは、JEDEC 規格 JESD204B に定義されているサブクラス 1 で動作します (2011 年 7 月の仕様)。リンク確立プロセスは、以下のステップに分けて行われます。すなわち、コード・グループ同期と SYNCINB_x、初期レーン・アライメント・シーケンス、およびユーザ・データとエラーの修正です。

コード・グループ同期 (CGS) と SYNCINB_x

CGS は、JESD204B レシーバーがデータ・ストリーム内の 10 ビット・シンボル間の境界を確認するプロセスです。CGS フェーズでは、JESD204B 送信ブロックが制御文字/K28.5を送信します。レシーバーは、クロック&データ再生 (CDR) の手法を使って、入力データ・ストリーム内にある/K28.5/文字の位置を特定する必要があります。

レシーバーは、AD9213 の SYNCINB_x ピンをローにアサートすることによって同期リクエストを送信します。続いて JESD204B トランスミッタが/K/文字の送信を開始します。レシーバーは、同期後に少なくとも 4 個の/K/シンボルが連続して正しく受信されるのを待ち、受信後に SYNCINB_x をデアサートします。更に、AD9213 は次の LMFC の境界に ILAS を送信します。

コード・グループ同期フェーズの詳細については、2011 年 7 月付け JEDEC 規格 JESD204B の 5.3.3.1 項を参照してください。

SYNCINB_x ピンの動作は SPI で制御することもできます。SYNCINB_x 信号は、デフォルトでは差動 DC カップリング LVDS モード信号ですが、シングルエンドで駆動することも可能です。SYNCINB_x ピンの動作設定の詳細については、レジスタ 0x508 を参照してください。

SYNCINB_x ピンは、レジスタ 0x508 のビット [5] をセットすることによって、CMOS（シングルエンド）モードで動作するように構成することもできます。SYNCINB_x を CMOS モードで使用するには、CMOS SYNCINB_x 信号をピン F1（SYNCINB_P）に接続し、ピン G1（SYNCINB_N）をフロート状態のままにします。

ILAS

ILAS フェーズは CGS フェーズの後に続くフェーズで、次の LMFC 境界で開始されます。ILAS は 4 つのマルチフレームで構成され、/R/文字が開始位置を、/A/文字が終了位置を示します。ILAS は、/R/文字の後に 1 マルチフレームあたり 0~255 のランブ・データを送ることによって始まります。2 つ目のマルチフレームでは、3 番目の文字から始まるリンク構成データが送られます。2 番目の文字は/Q/で、これは、その後にリンク構成データが続くことを示します。すべての未定義データ・スロットには、ランブ・データが埋め込まれます。ILAS シーケンスがスクランプリングされることはありません。

ILAS シーケンスの構成を図 117 に示します。4 つのマルチフレームの構成は以下のとおりです。

- マルチフレーム 1。/R/文字（/K28.0/）で始まり、/A/文字（/K28.3/）で終わります。
- マルチフレーム 2。/R/文字で始まり、その後に/Q/文字（/K28.4/）と 14 個の構成オクテットからなるリンク構成パラメータが続き（表 24 参照）、/A/文字で終わります。パラメータ値の多くは「値-1」で表記されます。
- マルチフレーム 3。/R/文字（/K28.0/）で始まり、/A/文字（/K28.3/）で終わります。
- マルチフレーム 4。/R/文字（/K28.0/）で始まり、/A/文字（/K28.3/）で終わります。

ユーザ・データとエラー検出

ILAS が完了すると、ユーザ・データが送られます。通常、1 つのフレーム内では、すべての文字がユーザ・データと見なされます。しかし、フレーム・クロックとマルチフレーム・クロックの同期をモニタするために、データが一定の条件を満たす場合は文字を/F/または/A/アライメント文字に置き換えるためのメ

カニズムがあります。これらの条件は、スクランプリングされたデータとされていないデータで異なります。スクランプリング動作はデフォルトで有効になっていますが、SPI を使って無効にすることができます。

スクランプリングされたデータでは、フレームの最後にある 0xFC 文字がすべて/F/に置き換えられ、マルチフレームの最後にある 0x7C 文字はすべて/A/に置き換えられます。JESD204B レシーバーは受信したデータ・ストリーム内にある/F/文字と/A/文字をチェックして、それらが所定の位置にあることを確認します。予期しない/F/または/A/文字が見つかった場合、レシーバーは、ダイナミック・リアライメントを使用するか、4 フレーム以上に対して SYNCINB_x 信号をアサートして再同期を開始することにより、これに対処します。スクランプリングされていないデータでは、連続する 2 つのフレームの最終文字が同じ場合、それが 1 フレームの最後である場合は 2 番目の文字が/F/に置き換えられ、マルチフレームの最後である場合は/A/に置き換えられます。

アライメント文字の挿入は SPI を使用して修正できます。フレーム・アライメント文字挿入（FACI）は、デフォルトでイネーブルされています。リンク制御の詳細は、メモリ・マップのセクションに記載されています（レジスタ 0x503）。

8 ビット/10 ビット・エンコーダ

8 ビット/10 ビット・エンコーダは、8 ビット・オクテットを 10 ビット・シンボルに変換し、必要に応じてストリームに制御文字を挿入します。JESD204B で使われる制御文字を表 24 に示します。8 ビット/10 ビット・エンコーディングは、複数のシンボルに同じ数の 1 と 0 を使うことによって、信号を直流平衡信号にします。

8 ビット/10 ビット・インターフェースには、SPI 経由の制御を可能にするオプションがあります。これらのオプションにはバイパスと反転があります。これらオプションは、デジタル・フロント・エンド（DFE）を検証するためのトラブルシューティング・ツールです。8 ビット/10 ビット・エンコーダを構成する方法については、メモリ・マップのセクションにあるレジスタ 0x504 のビット [2:1] を参照してください。

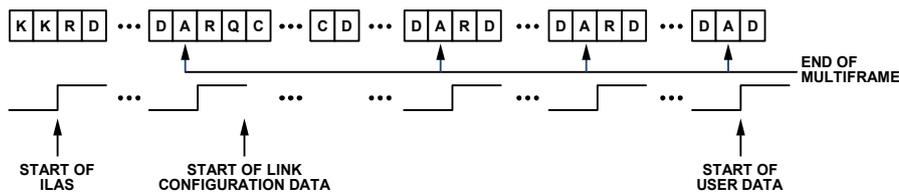


図 117. 初期レーン・アライメント・シーケンス

表 24. JESD204B で使用する AD9213 の制御文字

略号	制御シンボル	8 ビット値	10 ビット値、RD ¹ = -1	10 ビット値、RD ¹ = +1	説明
/R/	/K28.0/	000 11100	001111 0100	110000 1011	マルチフレームの開始
/A/	/K28.3/	011 11100	001111 0011	110000 1100	レーン・アライメント
/Q/	/K28.4/	100 11100	001111 0100	110000 1101	リンク構成データの開始
/K/	/K28.5/	101 11100	001111 1010	110000 0101	グループ同期
/F/	/K28.7/	111 11100	001111 1000	110000 0111	フレーム・アライメント

¹ RD はランニング・ディスパリティ（Running Disparity）を意味します。

物理層（ドライバ）出力

デジタル出力、タイミング、制御

AD9213 の物理層は、JEDEC 規格 JESD204B（2011 年 7 月）に定義されたドライバで構成されています。差動デジタル出力は、デフォルトで起動されます。ドライバは、動的な 100Ω 内部終端を使用して不要な反射を減らしています。

レーシーバーの各入力に 100Ω の差動終端抵抗を配置することにより、レーシーバーで公称値 300mVp-p の振幅が実現されます（図 118 参照）。もしくは、シングルエンドの 50Ω 終端を使用することができます。シングルエンド終端を使用する場合の終端電圧は $V_{DD}/2$ です。

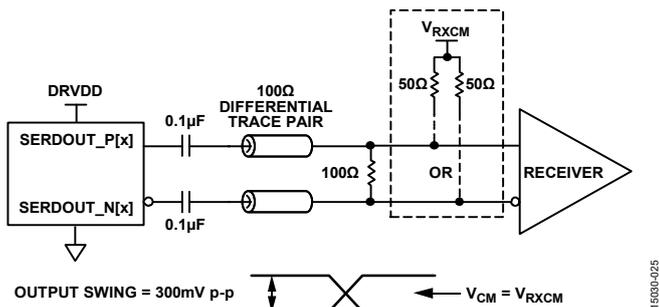


図 118. AC カップリング・デジタル出力の終端例

AD9213 のデジタル出力はカスタム ASIC や FPGA のレーシーバーへのインターフェース接続が可能で、ノイズの多い環境でも優れたスイッチング性能を提供します。レーシーバー入力にできるだけ近い位置に単一の差動 100Ω 終端抵抗を配置した、1 対 1 のポイント・ツー・ポイント・ネットワーク・トポロジを推奨します。

相手側のレーシーバーに終端がなかったり、差動パターンルーティングが適切でなかったりした場合は、タイミング誤差が生じることがあります。このようなタイミング誤差を避けるために、パターン長を 6 インチ未満とし、差動出力パターン同士をできるだけ近づけて、同じ長さとするを推奨します。

デジタル出力データ・アイ、時間間隔誤差 (TIE) ジッタのヒストグラム、および 16Gbps で動作する AD9213 の 1 つのレーンのバスタブ曲線の例を図 119～図 121 に示します。出力データのフォーマットは、2 の補数がデフォルトです。出力データ・フォーマットを変更する方法については、メモリ・マップのセクションを参照してください（レジスタ 0x622）。

ディエンファシス

ディエンファシスは、相互接続挿入損失が JESD204B の仕様を満たさないような条件下で、レーシーバーのアイ・ダイアグラム・マスクに関する要求を満たすことを可能にします。ディエンファシス機能は、挿入損失が大きいためにレーシーバーがクロックを回復できない場合のみ使用してください。通常の条件下では、省電力のために無効になっています。更に、短いリンクに対してディエンファシスを有効にして高すぎる値に設定すると、レーシーバーのアイ・ダイアグラムを正しく表示できなくなることがあります。ディエンファシスは電磁干渉 (EMI) を増大させることがあるので、使用時は注意してください。詳細については、メモリ・マップのセクションを参照してください（表 36 のレジスタ 0x5BA からレジスタ 0x5C1）。

PLL

PLL は、JESD204B のレーン・レートで動作するシリアライザ・クロックを生成します。PLL ロックのステータスは、PLL ロック・ステータス・ビット（レジスタ 0x501 のビット 7）でチェックできます。この読取り専用ビットは、特定のセットアップに対して PLL がロックされた場合に、それをユーザに通知します。JESD204B レーン・レートの制御（レジスタ 0x500 のビット [3:0]）は、レーン・レートに合わせて設定する必要があります。

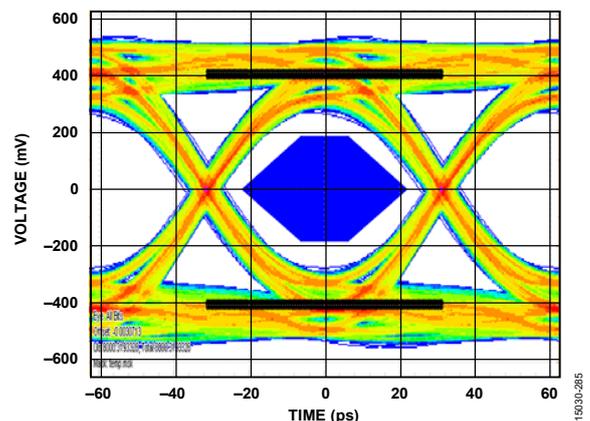


図 119. デジタル出力のデータ・アイ
(外部 100Ω 終端、16Gbps 時)

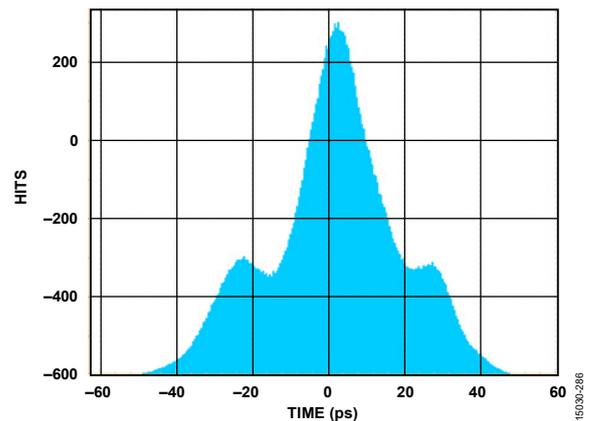


図 120. デジタル出力のヒストグラム
(外部 100Ω 終端、16Gbps 時)

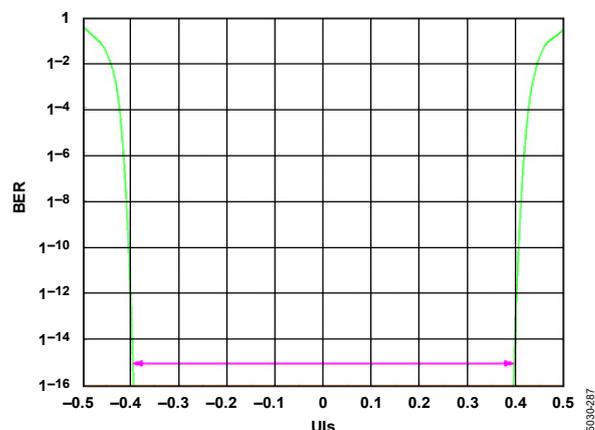


図 121. デジタル出力のバスタブ曲線
(外部 100Ω 終端、16Gbps 時)

AD9213 のデジタル・インターフェースの セットアップ

AD9213 は JESD204B リンクを備えています。このデバイスでは、JESD204B クイック構成レジスタ（レジスタ 0x502）を通じて JESD204B リンクを簡単にセットアップできます。シリアル出力（SERDOUT0_x~SERDOUT15_x）は、1 つの JESD204B リンクの一部と見なされます。リンク・セットアップを決定する基本パラメータは以下のとおりです。

- リンクあたりのレーン数 (L)
- リンクあたりのコンバータ数 (M)
- フレームあたりのオクテット数 (F)

オンチップ・デジタル処理に内部 DDC を使用する場合、M は仮想コンバータの数を表します。仮想コンバータのマッピング・セットアップを TBD のセクションに示します。

AD9213 で許容される最大レーン・レートは 16Gbps です。レーン・ライン・レートは、次の式を使って JESD204B のパラメータに関連付けられます。

$$\text{Lane Line Rate} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{OUT}}{L}$$

ここで、 f_{OUT} は f_{ADC_CLOCK} をデシメーション・レシオで割った値です。

DCM はレジスタ 0x631 でプログラムされるパラメータです。

出力は、以下のステップを使って構成できます。

1. リンクを停止します。
2. JESD204B リンク構成オプションを選択します。
3. 詳細オプションを設定します。
4. 出力レーン・マッピングを設定します（オプション）。
5. 追加ドライバ構成オプションを設定します（オプション）。
6. リンクを起動します。

計算したレーン・ライン・レートが 6.8Gbps 未満の場合は、レジスタ 0x500 に値 0x01 をプログラムすることによって、低ライン・レート・オプションを選択します。

表 25、表 26、および表 27 に、所定の仮想コンバータ数に対し、 $N' = 16$ 、 $N' = 12$ 、 $N' = 8$ についてサポートされている JESD204B 出力構成を示します。所定の構成におけるシリアル・ライン・レートが、1.7Gbps~16Gbps のサポート範囲内に収まるように注意してください。

JESD204B トランスポート層の設定

表 25、表 26、表 27 にリストされているトランスポート層の詳細については、JESD204B の概要のセクションを参照してください。

シリアル・ライン・レート

表 25、表 26、表 27 のシリアル・ライン・レートは以下のとおりです。

- f_{IN} = ADC 入力サンプル・レート。
- CDR = チップのデシメーション・レシオ。
- f_{OUT} = 出力サンプル・レート = f_{IN}/CDR 。
- SLR = JESD204B シリアル・ライン・レート

内部クロック分周器の条件に基づき、以下の式を満たす必要があります。

- $SLR \geq 1700\text{Mbps}$ 、および $SLR \leq 16,000\text{Mbps}$ 。
- $SLR/40 \leq f_{IN}$
- $20 \times CDR \times f_{OUT} / SLR \leq 512$
- $13,600\text{Mbps} < SLR \leq 16,000\text{Mbps}$ の場合は、 $JTX_LOW_LINE_RATE$ （レジスタ 0x500 のビット [3:0]）を 0x3 に設定する必要があります。
- $6,800\text{Mbps} \leq SLR \leq 13,600\text{Mbps}$ の場合は、 $JTX_LOW_LINE_RATE$ （レジスタ 0x500 のビット [3:0]）を 0x0 に設定する必要があります。
- $3,400\text{Mbps} \leq SLR < 6,800\text{Mbps}$ の場合は、 $JTX_LOW_LINE_RATE$ （レジスタ 0x500 のビット [3:0]）を 0x1 に設定する必要があります。
- $1,700\text{Mbps} \leq SLR < 3,400\text{Mbps}$ の場合は、 $JTX_LOW_LINE_RATE$ （レジスタ 0x500 のビット [3:0]）を 0x5 に設定する必要があります。

K 設定

表 25、表 26、表 27 において、1 フレーム・サイクルにおけるコンバータあたりのサンプル数 S は以下のように計算します。

- $S = 8 \times F \times L / (N \times M)$
- $K = 32$ は、すべての S についてサポートされています。
- $K = 16$ と 32 は、 $S = 1$ 、レジスタ 0x630 のビット 4 = 1 を除く構成でサポートされています。 $S = 1$ 、レジスタ 0x630 のビット 4 = 1 の場合は、 $K = 32$ だけがサポートされています。

表 25. JESD204B 出力構成 (N' = 16)

サポートされている 仮想コンバータの数 (Mと同じ値)	JESD204B シリアル ライン・レート ¹	サポートされている DCM ²	JESD204B トランスポート層設定 ³									
			L	M	F	S	HD	N	N'	CS	K	
1	20 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	1	1	2	1	0	8 to 16	16	0 to 3	K 設定のセクションを参照	
	10 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	2	1	1	1	1	8 to 16	16	0 to 3	K 設定のセクションを参照	
	10 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	2	1	2	2	0	8 to 16	16	0 to 3	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	4	1	1	2	1	8 to 16	16	0 to 3	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	4	1	2	4	0	8 to 16	16	0 to 3	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	8	1	1	4	1	8 to 16	16	0 to 3	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	8	1	2	8	0	8 to 16	16	0 to 3	K 設定のセクションを参照	
	1.25 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32	16	1	1	8	1	8 to 16	16	0 to 3	K 設定のセクションを参照	
	1.25 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32	16	1	2	16	0	8 to 16	16	0 to 3	K 設定のセクションを参照	
2	40 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	1	2	4	1	0	8 to 16	16	0 to 3	K 設定のセクションを参照	
	20 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	2	2	2	1	0	8 to 16	16	0 to 3	K 設定のセクションを参照	
	10 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	4	2	1	1	1	8 to 16	16	0 to 3	K 設定のセクションを参照	
	10 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	4	2	2	2	0	8 to 16	16	0 to 3	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	8	2	1	2	1	8 to 16	16	0 to 3	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	8	2	2	4	0	8 to 16	16	0 to 3	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	16	2	1	4	1	8 to 16	16	0 to 3	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	16	2	2	8	0	8 to 16	16	0 to 3	K 設定のセクションを参照	

¹ 詳しい定義と条件については、JESD204B の概要のセクションを参照してください。

² 内部クロック条件のために、特定のリンク・パラメータについては特定のデシメーション・レートだけがサポートされています。

³ 詳しい定義については、JESD204B トランスポート層の設定のセクションを参照してください。

表 26. JESD204B 出力構成 (N' = 12)

サポートされている 仮想コンバータの数 (Mと同じ値)	JESD204B シリアル ライン・レート ¹	サポートされている DCM ²	JESD204B トランスポート層設定 ³									
			L	M	F	S	HD	N	N'	CS	K	
1	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	3	1	1	2	1	8 to 12	12	0 to 3	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	6	1	1	4	1	8 to 12	12	0 to 3	K 設定のセクションを参照	
	1.25 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32	12	1	1	8	1	8 to 12	12	0 to 3	K 設定のセクションを参照	
2	10 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	3	2	1	1	1	8 to 12	12	0 to 3	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	6	2	1	2	1	8 to 12	12	0 to 3	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	12	2	1	4	1	8 to 12	12	0 to 3	K 設定のセクションを参照	

¹ 詳しい定義と条件については JESD204B の概要のセクションを参照。

² 内部クロック条件のために、特定のリンク・パラメータについては特定のデシメーション・レートだけがサポートされています。

³ 詳しい定義については、JESD204B トランスポート層の設定のセクションを参照してください。

表 27. JESD204B 出力構成 (N' = 8)

サポートされている 仮想コンバータの数 (Mと同じ値)	JESD04B シリアル ・ライン・レート ¹	サポートされている DCM ²	JESD204B トランスポート層設定 ³									
			L	M	F	S	HD	N	N'	CS	K	
1	10 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	1	1	1	1	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	10 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	1	1	2	2	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	2	1	1	2	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	2	1	2	4	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	2	1	4	8	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	4	1	1	4	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	4	1	2	8	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	1.25 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32	8	1	1	8	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	1.25 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32	8	1	2	16	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
2	20 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	1	2	2	1	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	10 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	2	2	1	1	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	10 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	2	2	2	2	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	4	2	1	2	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	4	2	2	4	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128	4	2	4	8	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	8	2	1	4	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	8	2	2	8	0	7 to 8	8	0 to 1	K 設定のセクションを参照	
	2.5 × f _{OUT}	1, 2, 4, 6, 8, 12, 16, 24, 32, 48, 64	8	2	4	16	0	7 to 8	8	0 to 1	K 設定のセクションを参照	

¹ 詳しい定義と条件については JESD204B の概要のセクションを参照。

² 内部クロック条件のために、特定のリンク・パラメータについては特定のデシメーション・レートだけがサポートされています。

³ 詳しい定義については、JESD204B トランスポート層の設定のセクションを参照してください。

遅延

エンド to エンドの合計遅延

AD9213 内の遅延は、チップのアプリケーション・モードと JESD204B 構成に依存します。これらのパラメータの定められた組み合わせを使えば、いずれでも遅延は確定的になりますが、この確定的遅延の値は、遅延計算例のセクションの説明に従って計算する必要があります。

表 28 に、AD9213 がサポートする各種チップ・アプリケーション・モードについて、ADC と DSP を通じた合計遅延を示します。表 29 は、M/L 比に基づき、各アプリケーション・モードでの JESD204B ブロックによる遅延を示したものです。どちらの表も遅延は代表値で示されており、単位はエンコード・クロックです。JESD204B ブロックによる遅延は、出力データのタイプ（実数または複素数）には依存しません。したがって、表 28 と表 29 にデータ・タイプは含まれていません。

合計遅延を決定するには、表 28 から該当する ADC + DSP 遅延を選択して、それを表 29 内の該当する JESD204B 遅延に加算します。

表 28. ADC + DSP ブロックでの遅延（代表値、サンプル・クロック数）¹

Chip Application Mode	Enabled Filters	ADC + DSP Latency (Clock Cycles)
Full Bandwidth	Not applicable	180
DCM1, Real	HB1	520
DCM2		
Complex	HB1	518
Real	HB2 + HB1	866
DCM3, Real	TB2 + HB1	1273
DCM4		
Complex	HB2 + HB1	894
Real	HB3 + HB2 + HB1	1655
DCM6		
Complex	TB2 + HB1	1282
Real	TB2 + HB2 + HB1	2339
DCM8		
Complex	HB3 + HB2 + HB1	1662
Real	HB4 + HB3 + HB2 + HB1	3200
DCM12		
Complex	TB2 + HB2 + HB1	2428
Real	TB2 + HB3 + HB2 + HB1	4540
DCM16		
Complex	HB4 + HB3 + HB2 + HB1	3201
Real	HB5 + HB4 + HB3 + HB2 + HB1	6268
DCM24		
Complex	TB2 + HB3 + HB2 + HB1	4733
Real	TB2 + HB4 + HB3 + HB2 + HB1	8582
DCM32		
Complex	HB5 + HB4 + HB3 + HB2 + HB1	6273
Real	HB6 + HB5 + HB4 + HB3 + HB2 + HB1	12,415
DCM48		
Complex	TB2 + HB4 + HB3 + HB2 + HB1	9337
Real	TB2 + HB5 + HB4 + HB3 + HB2 + HB1	17030

遅延計算例

構成例と、その遅延計算方法を以下に示します。

- ADC アプリケーション・モード = 全帯域幅
- 実数出力
- L = 16、M = 1、F = 1、S = 8 (JESD204B モード)
- M/L = 0.0625
- 遅延 = 187 エンコード・クロック周期 + 180 エンコード・クロック周期 = 367 エンコード・クロック周期

LMFC 基準遅延

FPGA ベンダによっては、確定的遅延を適切に調整するために、LMFC 基準遅延の確認が必要になる場合があります。このような場合は、LMFC へのアナログ入力および LMFC からのデータ出力の遅延値として、それぞれ表 28 と表 29 の遅延値を使用します。

Chip Application Mode	Enabled Filters	ADC + DSP Latency (Clock Cycles)
DCM64		
Complex	HB6 + HB5 + HB4 + HB3 + HB2 + HB1	12416
Real	HB7 + HB6 + HB5 + HB4 + HB3 + HB2 + HB1	24707
DCM96, Complex	TB2 + HB5 + HB4 + HB3 + HB2 + HB1	18552
DCM128, Complex	HB7 + HB6 + HB5 + HB4 + HB3 + HB2 + HB1	24705

¹ DCMx はデシメーション・レシオを示します。

表 29. JESD204B ブロックでの遅延 (代表値、サンプル・クロック数) ^{1,2}

Chip Application Mode	M/L Ratio ³							
	0.0625	0.125	0.25	0.5	1	2	4	8
Full Bandwidth	187	108	59	N/A	N/A	N/A	N/A	N/A
DCM1, Real	195	112		N/A	N/A	N/A	N/A	N/A
DCM2								
Complex	N/A	236	140	N/A	N/A	N/A	N/A	N/A
Real	396	236	136	N/A	N/A	N/A	N/A	N/A
DCM3, Real	606	347	197	N/A	N/A	N/A	N/A	N/A
DCM4								
Complex	N/A	478	280	150	N/A	N/A	N/A	N/A
Real	810	467	265	130	N/A	N/A	N/A	N/A
DCM6								
Complex	N/A	738	436	246	N/A	N/A	N/A	N/A
Real	1011	N/A	N/A	N/A	N/A	N/A	N/A	N/A
DCM8								
Complex	N/A	830	574	313	182	N/A	N/A	N/A
Real	1281	893		330	190	N/A	N/A	N/A
DCM12								
Complex	N/A	N/A	852	N/A	N/A	N/A	N/A	N/A
Real	N/A	1264	877	N/A	248	N/A	N/A	N/A
DCM16								
Complex	N/A	N/A	1054	689	424	N/A	N/A	N/A
Real	2437	N/A	N/A	614	334	N/A	N/A	N/A
DCM24								
Complex	N/A	2212	N/A	N/A	516	313	N/A	N/A
Real	N/A	2302	1577	1132	725	N/A	N/A	N/A
DCM32								
Complex	N/A	3073	N/A	N/A	850	576	N/A	N/A
Real	N/A	3198	N/A	N/A	803	N/A	N/A	N/A
DCM48								
Complex	N/A	N/A	N/A	1457	773	N/A	N/A	N/A
Real	N/A	N/A	N/A	2066	1361	N/A	N/A	N/A
DCM64								
Complex	N/A	N/A	3988	2306	1685	1123	N/A	N/A
Real	N/A	N/A	N/A	2499	1697	N/A	N/A	N/A
DCM96, Complex	N/A	N/A	5013	2630	1400	798	N/A	N/A
DCM128, Complex	N/A	N/A	N/A	4484	2949	2115	N/A	N/A

¹ N/A は該当なしを意味し、リストされた M/L 比ではそのアプリケーション・モードがサポートされていないことを示します。

² 高密度 (HD) ビットは、この表に示すすべての数値についてゼロに設定されます (HD=0)。

³ M/L 比は、その構成におけるコンバータ数をレーン数で除した値です。

確定的遅延

JESD204B リンクの両端には、各システムに分散した様々なクロック領域が含まれています。1つのクロック領域から別のクロック領域へデータが渡されると、JESD204B リンクに複数の原因による遅延が生じる可能性があります。これらの遅延は、電源を入れ直すごとに、あるいはリンクのリセットごとに再現性のない不規則な遅延を生じさせる元になります。JESD204B 仕様のセクション 6 は、サブクラス 1 およびサブクラス 2 として定義されているメカニズムに伴う確定的遅延の問題を扱っています。

AD9213 は、JESD204B サブクラス 0 とサブクラス 1 の動作に対応しています。レジスタ 0x525 のビット 5 は AD9213 のサブクラス・モードを設定します。デフォルトはサブクラス 1 動作モードです（レジスタ 0x525 のビット 5 = 1）。確定的遅延がシステムの条件でない場合は、サブクラス 0 動作が推奨されます。SYSREF 信号は必要ありません。サブクラス 0 モードであっても、複数の AD9213 デバイスを互いに同期させる必要のあるアプリケーションでは SYSREF 信号が必要になることがあります。

サブクラス 0 動作

サブクラス 0 モードでの動作（レジスタ 0x525 のビット 5 = 0）にマルチチップ同期に関する条件がない場合は、SYSREF 入力を未接続のままにすることができます。このモードでは、JESD204B のトランスミッタとレシーバーの JESD204B クロック同士の関係が一定しませんが、レシーバーがリンク内のレーンを取得してアラインする能力に影響を与えることはありません。

サブクラス 1 動作

このデータシートのトランスポート層のセクションに示すように、JESD204B プロトコルは、データ・サンプルをオクテット、フレーム、およびマルチフレームに構成します。LMFC は、これらのマルチフレームの開始と同期します。サブクラス 1 動作では、1 リンク内の各デバイスまたは複数リンク内の各デバイスに関し、SYSREF_x 信号を使用して LMFC を同期させます（AD9213 内では、SYSREF_x 信号は内部サンプル・デバイスも同期させます）。これを図 122 に示します。JESD204B レシーバーは、マルチフレームの境界とバッファリングを使用して、レーン間（または複数デバイス間）の遅延が一定になるようにする他、電源のオン/オフやリンク・リセットなどの場合も遅延値が変わらないようにします。

AD9213 では、JESD204B サブクラス 1 動作に、平均 SYSREF モードとサンプリング SYSREF モードの両方を使用することができます。平均 SYSREF モードはすべての AD9213 サンプル・レートに有効で、サンプリング SYSREF モードは 2.5GSPS ~ 3GSPS のサンプル・レートに有効です。詳細についてはマルチチップ同期 (MCS) のセクションを参照してください。

確定的遅延に関する条件

JESD204B サブクラス 1 システムで確定的遅延を実現するには、いくつかの重要な要素が必要になります。

- システム内での SYSREF_x 信号の分配スキューは、そのシステムに求められる不確実性の度合いより小さくなければなりません。
- SYSREF_x のセットアップおよびホールド時間に関する条件を、システム内の各デバイスが満たす必要があります。AD9213 の平均 SYSREF モードでは、外部から加える SYSREF_x 信号のセットアップおよびホールド時間に関する条件はありません。SYSREF_x のセットアップおよびホールド時間を参照するのは、サンプリング SYSREF モードを使用する場合に限られます。
- すべてのレーン、リンク、デバイスにおける合計遅延変動は、1 LMFC 周期以下でなければなりません（図 122 を参照）。これには可変遅延と、システム内のレーンごと、リンクごと、およびデバイスごとの固定遅延の差が含まれません。

確定的遅延レジスタの設定

ロジック・デバイス内の JESD204B レシーバー・バッファは、LMFC 境界から始まるデータをバッファします。システム内の合計リンク遅延が LMFC 周期の整数倍に近い場合は、電源を入れ直すごとに、レシーバー・バッファでのデータ到着時間が LMFC 境界にまたがる可能性があります。この場合に遅延を確定的なものとするには、トランスミッタまたはレシーバーによる LMFC の位相調整が必要になります。通常、レシーバーの LMFC に対しては、受信バッファに対応するための調整が行われます。AD9213 では、LMFC オフセット・レジスタ（レジスタ 0x50A のビット [4:0]）を使用して、この調整を行うことができます。このレジスタは、F パラメータ（1 フレームのレーンあたりのオクテット数）に応じ、フレーム・クロック単位で LMFC を遅らせます。F=1 の場合は、4 の倍数の設定値（0、4、8、…）ごとにクロックが 1 フレームずつシフトします。F=2 の場合は、2 の倍数の設定値（0、2、4、…）ごとにクロックが 1 フレームずつシフトします。F をその他の値にすると、いずれの場合もクロックは 1 フレームずつシフトします。図 123 は、リンク遅延が LMFC 境界に近い場合、AD9213 のローカル LMFC を遅らせてレシーバーへのデータ到着時間を遅延できることを示しています。図 124 に、レシーバーの LMFC を遅らせて、受信バッファのタイミングを合わせる方法を示します。詳しい調整方法については、該当する JESD204B レシーバーのユーザ・ガイドを参照してください。システムの合計遅延が LMFC 周期の整数倍に近くない場合や、クロック・ソースの LMFC 位相に対して適切な調整が行われている場合は、やはり電源を入れ直すごとに遅延が変化する可能性があります。この場合は、SYSREF_x 信号のセットアップおよびホールド時間の条件を満たさなくなっていないかチェックしてください。これは、SYSREF セットアップ/ホールドのモニタ・レジスタ（レジスタ 0x1509）を読み出すことによってチェックできます。

レジスタ 0x1509 からの読み出し結果がタイミングに関する問題の存在を示している場合は、以下の調整を行うことができます。SYSREF 遷移選択ビット (レジスタ 0x1508 のビット 1) を使用して、アライメントに使われる SYSREF レベルを変更することができます。また、CLK エッジ選択ビット (レジスタ 0x1508 のビット 0) を使って、SYSREF を取得するために使用する CLK_x

のエッジを変更することも可能です。これらのオプションについては、共に SYSREF 制御機能のセクション (まだ含まれていない) に説明されています。これらのいずれのオプションでも許容可能なセットアップおよびホールド時間を実現できない場合は、SYSREF_x またはデバイス・クロック (CLK_x) の位相、もしくはその両方の位相を調整する必要があります。

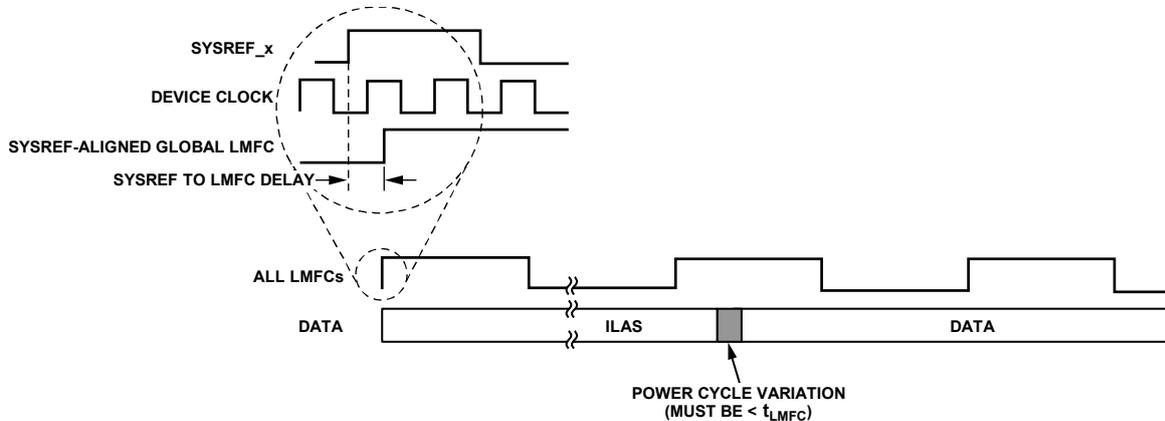


図 122. SYSREF_x と LMFC

15030-034

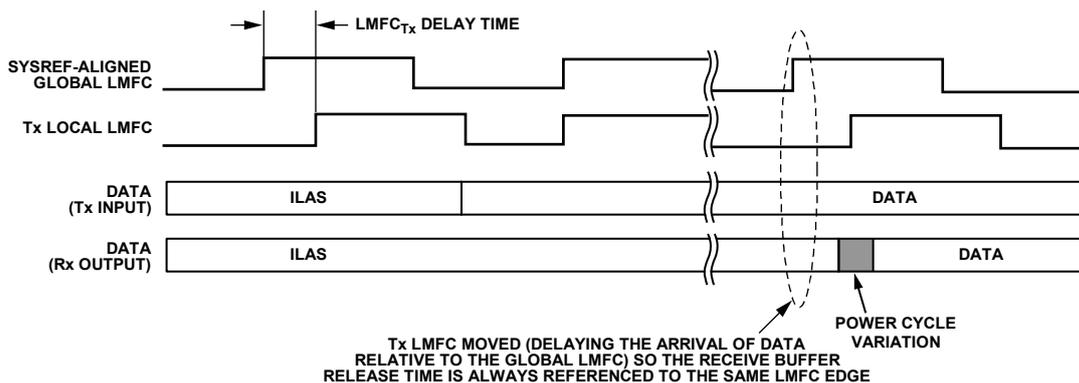


図 123. AD9213 内の JESD204B トランスミッタ LMFC の調整

15030-035

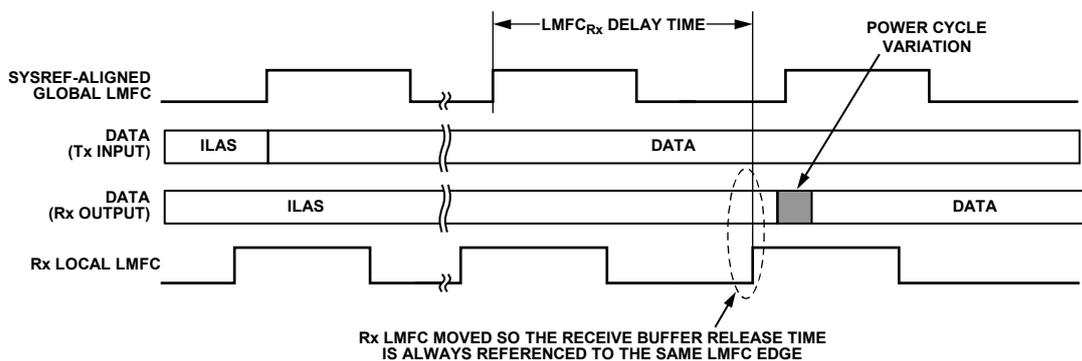


図 124. ロジック・デバイス内の JESD204B レシーバ LMFC の調整

15030-036

マルチチップ同期 (MCS)

AD9213 には JESD204B サブクラス 1 対応の SYSREF_x 入力があり、AD9213 の内部ブロックを同期するための柔軟なオプションを提供します。SYSREF_x 入力は、AD9213 の LMFC を調整するために使用するソース同期システム・リファレンス信号で、複数の AD9213 間でのマルチチップ同期を可能にします。SYSREF_x 入力を使用することで、入力クロック分周器、DDC 信号モニタ・ブロック、および JESD204B リンクを同期することができます。

AD9213 は、加えられた SYSREF 信号を平均して、安定した内部バージョンの信号を生成するモードを備えています。

MCS 用平均 SYSREF モード

平均 SYSREF モードでは、平均化機能が SYSREF_x 信号の位相を決定します。この情報は内部バージョンを生成するために使われます。平均化されたバージョンは外部 SYSREF_x 信号のランダム・ジッタに対する耐性を備えており、ADC 内にある他のダウストリーム・ブロックを同期します。複数の AD9213 は、それぞれ内部で再生した平均化ローカル SYSREF 信号を使用します。

平均化 SYSREF 同期の特性を以下に示します。

- 時間/デジタル・コンバータとフィルタリングを使用して SYSREF 信号の位相を回復し、クリーンな内部ローカル・バージョンを生成します。
- SYSREF 信号には、連続信号またはパルス列を使用できます。
- セットアップ/ホールド時間の違反によるサンプリング上の問題がありません。
- タイミングは平均化された波形から回復されます。
- JESD204B サブクラス 1 を AD9213 のフル・サンプル・レートまで拡張します。
- ジッタ耐性を備えています。SYSREF 信号のジッタは、SYSREF_x タイミングを平均することによって除去されます。

AD9213 で使用するサンプル・レートの大部分は、JESD204B サブクラス 1 の動作に SYSREF モードを必要とします。

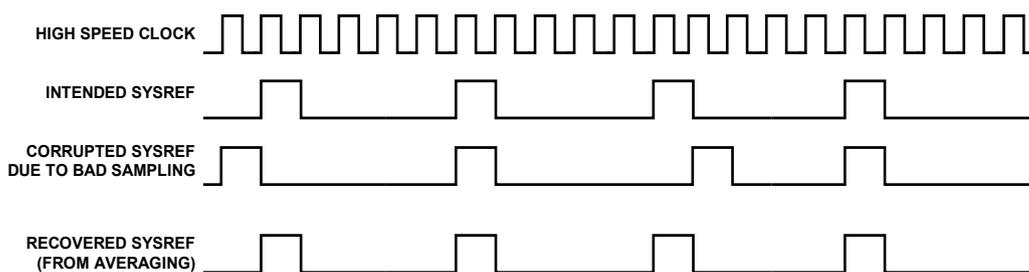


図 125. 回復された SYSREF_x

サンプリング SYSREF モード

サンプリング SYSREF モードでは、SYSREF_x は標準 JESD204B サブクラス 1 信号として動作します。

サンプリング SYSREF_x 同期の特性の一部を以下に示します。

- SYSREF_x の同期サンプリング。
- 信頼できる同期のためにはセットアップ/ホールド時間の条件を満たす必要があります。これは、サンプル・レートが大きくなるにつれて実現が難しくなります。
- SYSREF_x ジッタは、1 サンプル・クロック周期よりも十分に小さくなければなりません。ASIC や FPGA からの SYSREF_x にはかなりのジッタが含まれている可能性があります。

サンプリング SYSREF モードで複数のデバイスを正しく同期するには、サンプル・クロックに関するセットアップおよびホールド時間の条件を満たさなければならないので、サンプリング SYSREF モードは、AD9213 のフル・サンプル・レートでは正しく動作しません。

3GSPS を超えるマルチチップ同期には、平均 SYSREF モードを使用する必要があります。

MCS 平均 SYSREF モードのセットアップ

MCS 平均 SYSREF モードに関する SYSREF_x 信号の制約事項を以下に示します。

- $(f_{CLK} \div 8) \div (f_{SYSREF_x})$ は正の整数でなければなりません。
- f_{SYSREF_x} は 500MHz 以下でなければなりません。
- SYSREF_x サイクルあたりの LMFC サイクル数 (K) は正の整数でなければなりません。

LMFC 周波数 (f_{LMFC}) の計算には以下の条件を使用します。

$$f_{LMFC} = f_s / (DCM \times K \times S)$$

$$S = 8 \times F \times L / (N' \times M)$$

$$K = 32 \text{ または } 16 \text{ フレーム / マルチフレーム}$$

AD9213 を MCS 平均 SYSREF_x モード用に構成するには、以下の手順に従ってください。

1. レジスタ 0x525 のビット 5 に 1 を書き込んで、JESD204B サブクラス 1 モードを選択します。SYSREF_x の周期を設定します。以下の 3 つのレジスタすべてに書き込みを行って、24 ビットの KNOWN_SYSREF_PERIOD ワード (KNOWN_SYSREF_PERIOD [23:0] = $(f_{CLK}/8) / f_{SYSREF_x}$) を設定する必要があります。
 - a. レジスタ 0x1627、ビット [7:0] = KNOWN_SYSREF_PERIOD [7:0]
 - b. レジスタ 0x1628、ビット [7:0] = KNOWN_SYSREF_PERIOD [15:8]
 - c. レジスタ 0x1629、ビット [7:0] = KNOWN_SYSREF_PERIOD [23:16]

例えば、 $f_{CLK} = 10\text{GHz}$ (ユーザが選択) の場合は次のようになります。

$$S = 8 \times F \times L / (N' \times M) = (8 \times 2 \times 16) / (16 \times 1) = 16 \text{ (AD9213 内で自動的に計算)}$$

$$f_{LMFC} = f_{CLK} / (DCM \times K \times S) = 10 \times 10^9 / (1 \times 32 \times 16) = 19,531,250\text{Hz}$$

$$f_{SYSREF_x} = 4.8828125\text{MHz} \text{ (} f_{LMFC} \text{ と } f_{SYSREF_x} \text{ に関する制約を満たすため、この例のために選択)}$$

f_{SYSREF_x} が条件を満たしている場合、KNOWN_SYSREF_PERIOD [23:0] は次式で計算できます。

$$\text{KNOWN_SYSREF_PERIOD [23:0]} = \frac{f_{CLK} / 8}{f_{SYSREF_x}} = \frac{10 \times 10^9}{4.8828125 \times 10^6} = 256 = 0x100$$

KNOWN_SYSREF_PERIOD [23:0] = 0x100 に設定するには、以下の書き込み操作を行う必要があります。

- レジスタ 0x1627、ビット [7:0] = 0x00
- レジスタ 0x1628、ビット [7:0] = 0x01
- レジスタ 0x1629、ビット [7:0] = 0x00

2. サンプル・クロック周期を設定します (レジスタ 0x162D ~ レジスタ 0x1630 のビット [7:0])。ビット [31:16] はピコ秒の整数部分の値を表し、ビット [15:0] は小数部分の値を表します。

例えば、 $f_{CLK} = 6\text{GHz}$ (ユーザが選択) の場合は次のようになります。

$$\text{クロック周期} = 1/6\text{GHz} = 166.667\text{ps}$$

$$166.667_{10} = A6.AAC0_{16}$$

SAMPLE_CLOCK_PERIOD [31:0] = A6.AAC0₁₆ に設定するには、以下の書き込み操作を行う必要があります。

- レジスタ 0x162D、ビット [7:0] = 0xC0
 - レジスタ 0x162E、ビット [7:0] = 0xAA
 - レジスタ 0x162F、ビット [7:0] = 0xA6
 - レジスタ 0x1630、ビット [7:0] = 0x00
3. 無視する SYSREF_x パルスの数を設定します (レジスタ 0x1521、MCS_SYSREF_IGNORE_COUNT [7:0])。この値は、SYSREF_x 信号を安定させるためにそのシステムが必要とするサイクル数によって異なります。例えば 100 個の SYSREF_x パルスを無視するには、以下の書き込み操作を行います。レジスタ 0x1521、ビット [7:0] = MCS_SYSREF_IGNORE_COUNT [7:0] = 0x64
 4. SYSREF_x の平均数を設定します (レジスタ 0x162A のビット [7:0] とレジスタ 0x162B のビット [7:0])。平均数は、外部から加えられる SYSREF_x 信号のタイミングを MCS が決定するために使用する SYSREF_x パルスの数です。平均数が多いほど結果は正確になりますが、MCS ロックを実現するまでにかかる時間が長くなります。平均される SYSREF_x パルスの数は、(レジスタの内容 + 1) × 16 です。レジスタ内容の推奨値は 1000 以上です。例えば、平均数レジスタの内容を 1000 = 0x03E8 に設定するには、以下の書き込み操作を行います。レジスタ 0x162A のビット [7:0] = MCS_SYSREF_AVGING_COUNT [7:0] = 0xE8、およびレジスタ 0x162B のビット [7:0] = MCS_SYSREF_AVGING_COUNT [15:8] = 0x03。この例の書き込みでは、(1000 + 1) × 16 ≈ 16,000 個の SYSREF_x パルスが平均されます。
 5. MCS SYSREF 平均モードを選択します (レジスタ 0x1621 のビット [3:0])。この操作は、MCS ブロック内にある時間/デジタル・コンバータ (TDC) のアナログ入力に加わる信号を平均する際の平均モードを選択します。瞬時周期が計算され、更にそれが平均されて、LMFC のアライメントに使用できるクリーンで安定した内部 SYSREF_x 信号が生成されます。以下の書き込み操作が SYSREF 平均モードを選択します。レジスタ 0x1621 のビット [3:0] = 0x9。
 6. MCS 位相スリップ・モードを設定します (レジスタ 0x1635 のビット 0 = 1)。SYSREF_x 平均モードの場合はこのビットを常に 1 に設定します。

7. ロック・ワンス・モードに設定します。レジスタ 0x1622 のビット [1:0] = 0x0 の場合、MCS は何もしません。レジスタ 0x1622 のビット [1:0] = 0x2 の場合、MCS が平均 SYSREF 信号を正常に取得すると MCS がロックし、温度によってタイミング条件が変化した場合でもそのロック状態を維持します。タイミング条件の変化に応じて MCS がロックをやり直すことはありません。
 8. SYSREF_RESYNC を設定します。レジスタ 0x693 に SYSREF_RESYNC = 0x01 を書き込みます。サブクラス 1 動作の場合は、常にこのレジスタを 0x01 に設定してください。
 9. USER_CTRL_TRANSFER ビットをセットします (レジスタ 0x1600 のビット 0 = 1)。1 にセットすると、このビットが最新の MCS 設定に適用されます。この書き込みは、このセクションに示すレジスタのいずれかを変更することに行ってください。このビットはセルフ・クリア・ビットです。
 10. 待機後に平均モードの SYSREF_x ロックをチェックします。待機時間が経過したら、レジスタ 0x151E のビット 1 を読み出すことによって MCS ロックをチェックしてください。待機時間は、 $\text{SYSREF}_x \text{ 平均数} \times \text{SYSREF}_x \text{ 周期} \times 100$ です。例えば、 $f_{\text{SYSREF}_x} = 4.8828125\text{MHz}$ の場合、 SYSREF_x の周期は約 205ns です。平均数が 16,000 の場合の待機時間は、 $1000 \times 16 \times 205\text{ns} \times 100 = 328\text{ms}$ です。
- 同期しようとしたすべての AD9213 デバイスが MCS ロック状態にある場合は、望む結果が得られています。各デバイスはローカル SYSREF を生成し、それによって LMFC を調整します。次いでこれにより、遅延が確定的なものとなります。十分な時間を取った場合は、ロック・ワンス・モードで MCS がロックされない可能性はかなり低くなります。
- 割り当てられた時間内で 1 つまたは複数の AD9213 の MCS ロックを実現できなかった場合は、以下の手順によってすべての AD9213 の MCS ロックを実現することができます。
1. より多くの時間を割り当てることで、MCS ロックを実現することが可能です。MCS ロックを速やかに実現できないデバイス内では、偶然、ローカル SYSREF が加えられた SYSREF に非常に近い値でかつ、わずかに進んだ値に調整されることがあり、それによって MCS ロックのプロセスに遅延が生じます。ローカル SYSREF と加えられた SYSREF_x が非常に近い値に調整されているというこの状態は、望ましい結果です。しかし、ローカル SYSREF は、MCS ロック・ビットがハイになるまでダウンストリームのデジタル回路に送られません。MCS ロックを実現するまでに長い時間がかかるというのは、ローカル SYSREF の時間アライメント精度が低下したことを示すものではありません。
 2. しかし、AD9213 の SYSREF_x パスに遅延が加わって、MCS ブロックがローカル SYSREF を生成するために使用する内部波形に遅延が生じる可能性があります。
 - a. MCS ロックを実現していないデバイス上では、レジスタ 0x1516 のビット 0 を 1 に設定することによって、微小遅延セルをイネーブルします。
 - b. サンプル・クロック・サイクルの約半分の遅延を加えます。レジスタ 0x1517 の各 LSB は約 1.1ps の遅延を表します。例えば、10GHz クロック周期の半分は 50ps です。したがって、レジスタ 0x1517 のビット [7:0] = 0x2D に設定します ($45 \times 1.1\text{ps}$ ステップ = 49.5ps)。
 - c. 転送ビットを切り替えます。レジスタ 0x1600 のビット 0 = 1 に設定して SYSREF_x の平均化と MCS ロックの手順を再開します。
 - d. MCS ロック (レジスタ 0x151E のビット 1 = 1) をチェックしてください。
 3. それでも MCS ロックが実現されない場合は、セットアップに関する他の問題が存在します。 SYSREF の周波数がステップ 1 の前に示した条件を満たしていることを確認してください。サンプル・クロックと SYSREF の信号源はフェーズ・ロックされていなければなりません。外部から加えられる SYSREF_x 信号と平均化された内部バージョンの時間差は、レジスタ 0x1623、レジスタ 0x1624、レジスタ 0x1625、およびレジスタ 0x1626 の内容を読み出すことによってモニタできます。これらは 4 つの 8 ビット・レジスタで、入力された SYSREF_x 信号と平均化されたローカル SYSREF 間の計算時間差を示す 32 ビット・ワード (CALC_TIME_DIFF [31:0]) を構成します。レジスタ 0x1623 には LSB が格納され、レジスタ 0x1626 には MSB が格納されます。TDC は SYSREF_x 入力とローカル SYSREF カウンタに接続されます。この数値は、レジスタ 0x162A とレジスタ 0x162B によって決定される TDC 測定値の平均です。
- MCS ロックが実現されると、外部から加えられる SYSREF 信号と平均された内部バージョンの時間差は、ADC クロックの 1 周期未満になります。

テスト・モード

JESD204B のテスト・モード

AD9213 の JESD204B ブロックは柔軟なテスト・モードを備えています。これらのテスト・モードは、レジスタ 0x505 とレジスタ 0x506 にリストされています。テスト・パターンは出力データパス上の様々なポイントで挿入できます。テスト挿入ポイントを図 113 に示します。表 30 は、JESD204B ブロックで使用できる様々なテスト・モードを表しています。AD9213 では、テスト・モード (レジスタ 0x505 ≠ 0x00) からノーマル・モード (レジスタ 0x505 = 0x00) への遷移に SPI のソフト・リセットが必要です。リセットするには、レジスタ 0x0000 に 0x81 を書き込みます (自動クリア)。

トランスポート層サンプル・テスト・モード

トランスポート層サンプルは、JEDEC JESD204B 仕様の 5.1.6.3 項に従って AD9213 内に実装されています。これらのテストは、レジスタ 0x503 のビット 5 に示されています。テスト・パターンは、ADC からの未加工サンプルと等価です。

インターフェース・テスト・モード

インターフェース・テスト・モードは、レジスタ 0x505 のビット [3:0] で記述されています。これらのテスト・モードの説明は表 31 にも示されています。インターフェース・テストは、データ上の様々なポイントで挿入できます。テスト挿入ポイントの詳細については、図 113 を参照してください。レジスタ 0x505 のビット [5:4] は、これらのテストをどこで挿入するかを示します。

表 32 と表 33 に、JESD204B サンプル入力、物理層 10 ビット入力、およびスクランブラ 8 ビット入力での挿入する場合のテスト・モードの例を示します。表の UPx は、ユーザ・レジスタ・マップのユーザ・パターン制御ビットを表します。

データ・リンク層テスト・モード

データ・リンク層テスト・モードは、JEDEC JESD204B 仕様の 5.3.3.8.2 項に従って AD9213 内に実装されています。これらのテストは、レジスタ 0x506 のビット [2:0] で実行されます。このポイントで挿入されるテスト・パターンは、データ・リンク層の機能確認に有効です。データ・リンク層テスト・モードを有効にする場合は、レジスタ 0x504 に 0xC0 を書き込んで SYNCINB_x をディスエーブルしてください。

表 30. JESD204B インターフェース・テスト・モード

出力テスト・モードのビット・シーケンス	パターン名	式	デフォルト
0000	Off (default)	Not applicable	該当せず
0001	Alternating checker board	0x5555, 0xAAAA, 0x5555, ...	該当せず
0010	1/0 word toggle	0x0000, 0xFFFF, 0x0000, ...	該当せず
0011	31-bit PN sequence	$x^{31} + x^{28} + 1$	0x0003AFFF
0100	23-bit PN sequence	$x^{23} + x^{18} + 1$	0x003AFF
0101	15-bit PN sequence	$x^{15} + x^{14} + 1$	0x03AF
0110	9-bit PN sequence	$x^9 + x^5 + 1$	0x092
0111	7-bit PN sequence	$x^7 + x^6 + 1$	0x07
1000	Ramp output	$(x) \% 2^{16}$	ランプ・サイズはテスト挿入ポイントにより異なります
1110	Continuous/repeat user test	Register 0x558 to Register 0x55F	ユーザ・パターン 1~ユーザ・パターン 4、その後は繰り返し
1111	Single user test	Register 0x558 to Register 0x55F	ユーザ・パターン 1~4、その後はゼロ

表 31. JESD204B サンプル入力 : M = 1, S = 16, N' = 16 (レジスタ 0x505 のビット [5:4] = 'b00)

Frame Number	Converter Number	Sample Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0	0	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		1	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		2	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		3	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		4	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		5	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		6	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		7	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		8	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		9	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		10	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		11	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		12	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		13	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]

Frame Number	Converter Number	Sample Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
		14	0x5555	0x0000	(x) % 2 ¹⁶	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
		15	0x5555	0x0000	(x) % 2 ¹⁶	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
1	0	0	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		1	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		2	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		3	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		4	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		5	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		6	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		7	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		8	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		9	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		10	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		11	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		12	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		13	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
		14	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
15	0xAAAA	0xFFFF	(x + 1) % 2 ¹⁶	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]		
2	0	0	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		1	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		2	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		3	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		4	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		5	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		6	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		7	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		8	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		9	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		10	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		11	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		12	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		13	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
		14	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
15	0x5555	0x0000	(x + 2) % 2 ¹⁶	0x980C	0xB80A	UP3[15:0]	UP3[15:0]		
3	0	0	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		1	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		2	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		3	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		4	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		5	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		6	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		7	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		8	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		9	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		10	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		11	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		12	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		13	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
		14	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
15	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]		
4	0	0	0x5555	0x0000	(x + 4) % 2 ¹⁶	0x5FD1	0x9B26	UP1[15:0]	0x0000
	0	1	0x5555	0x0000	(x + 4) % 2 ¹⁶	0x5FD1	0x9B26	UP1[15:0]	0x0000
	0	2	0x5555	0x0000	(x + 4) % 2 ¹⁶	0x5FD1	0x9B26	UP1[15:0]	0x0000
	0	3	0x5555	0x0000	(x + 4) % 2 ¹⁶	0x5FD1	0x9B26	UP1[15:0]	0x0000
	0	4	0x5555	0x0000	(x + 4) % 2 ¹⁶	0x5FD1	0x9B26	UP1[15:0]	0x0000

Frame Number	Converter Number	Sample Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
		5	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		6	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		7	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		8	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		9	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		10	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		11	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		12	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		13	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		14	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
		15	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000

表 32. 物理層 10 ビット入力（レジスタ 0x505 のビット [5:4] = 'b01'）

10-Bit Symbol Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0x155	0x000	$(x) \% 2^{10}$	0x125	0x3FD	UP1[15:6]	UP1[15:6]
1	0x2AA	0x3FF	$(x + 1) \% 2^{10}$	0x2FC	0x1C0	UP2[15:6]	UP2[15:6]
2	0x155	0x000	$(x + 2) \% 2^{10}$	0x26A	0x00A	UP3[15:6]	UP3[15:6]
3	0x2AA	0x3FF	$(x + 3) \% 2^{10}$	0x198	0x1B8	UP4[15:6]	UP4[15:6]
4	0x155	0x000	$(x + 4) \% 2^{10}$	0x031	0x028	UP1[15:6]	0x000
5	0x2AA	0x3FF	$(x + 5) \% 2^{10}$	0x251	0x3D7	UP2[15:6]	0x000
6	0x155	0x000	$(x + 6) \% 2^{10}$	0x297	0x0A6	UP3[15:6]	0x000
7	0x2AA	0x3FF	$(x + 7) \% 2^{10}$	0x3D1	0x326	UP4[15:6]	0x000
8	0x155	0x000	$(x + 8) \% 2^{10}$	0x18E	0x10F	UP1[15:6]	0x000
9	0x2AA	0x3FF	$(x + 9) \% 2^{10}$	0x2CB	0x3FD	UP2[15:6]	0x000
10	0x155	0x000	$(x + 10) \% 2^{10}$	0x0F1	0x31E	UP3[15:6]	0x000
11	0x2AA	0x3FF	$(x + 11) \% 2^{10}$	0x3DD	0x008	UP4[15:6]	0x000

表 33. スクランブラ 8 ビット入力（レジスタ 0x505 のビット [5:4] = 'b10'）

8-Bit Octet Number	Alternating Checkerboard	1/0 Word Toggle	Ramp ¹	PN9	PN23	User Repeat	User Single
0	0x55	0x00	$(x) \% 2^8$	0x49	0xFF	UP1[15:9]	UP1[15:9]
1	0xAA	0xFF	$(x + 1) \% 2^8$	0x6F	0x5C	UP2[15:9]	UP2[15:9]
2	0x55	0x00	$(x + 2) \% 2^8$	0xC9	0x00	UP3[15:9]	UP3[15:9]
3	0xAA	0xFF	$(x + 3) \% 2^8$	0xA9	0x29	UP4[15:9]	UP4[15:9]
4	0x55	0x00	$(x + 4) \% 2^8$	0x98	0xB8	UP1[15:9]	0x00
5	0xAA	0xFF	$(x + 5) \% 2^8$	0x0C	0x0A	UP2[15:9]	0x00
6	0x55	0x00	$(x + 6) \% 2^8$	0x65	0x3D	UP3[15:9]	0x00
7	0xAA	0xFF	$(x + 7) \% 2^8$	0x1A	0x72	UP4[15:9]	0x00
8	0x55	0x00	$(x + 8) \% 2^8$	0x5F	0x9B	UP1[15:9]	0x00
9	0xAA	0xFF	$(x + 9) \% 2^8$	0xD1	0x26	UP2[15:9]	0x00
10	0x55	0x00	$(x + 10) \% 2^8$	0x63	0x43	UP3[15:9]	0x00
11	0xAA	0xFF	$(x + 11) \% 2^8$	0xAC	0xFF	UP4[15:9]	0x00

シリアル・ポート・インターフェース (SPI)

AD9213 の SPI を使用すると、ADC 内部にある構造化されたレジスタ空間を使用して、特定の機能や動作に合わせてコンバータを構成することができます。SPI は、アプリケーションに応じて、追加的な柔軟性とカスタマイズ能力をユーザに提供します。アドレスにはシリアル・ポートを介してアクセスし、書込みや読出しを行うことができます。メモリはバイト単位で構成され、更にいくつかのフィールドに分割することができます。これらのフィールドについては、メモリ・マップのセクションに記述されています。動作の詳細については、Serial Control Interface Standard (Rev. 1.0) を参照してください。

SPI を使用する構成設定

AD9213 ADC の SPI を定義するピンは、SCLK ピン、SDIO ピン、CSB ピンの 3 つです (表 34 を参照)。SCLK (シリアル・クロック) ピンは、ADC との間でやりとりするデータの読出しと書込みを同期するために使用します。SDIO (シリアル・データ入出力) ピンは 2 つの機能を兼ね備えたピンで、内部 ADC メモリ・マップ・レジスタからのデータの送信と読出しに使用します。CSB (チップ・セレクト・バー) ピンはアクティブ・ローの制御信号で、読出しサイクルと書込みサイクルをイネーブルまたはディスエーブルします。

CSB の立下がりエッジと SCLK の立上がりエッジの関係によって、フレーミングの開始を決定します。シリアル・タイミングの例とその定義は図 3 と表 5 に示されています。

CSB ピンに関するその他のモードも使用可能です。CSB ピンはローに保持したままにすることが可能で、その間デバイスはイネーブル状態に維持されます。このプロセスをストリーミングと言います。CSB は複数のバイト間でハイを保持して、外部タイミングを追加することができます。CSB をハイに接続すると、SPI 機能が高インピーダンス・モードに置かれます。このモードは SPI の 2 つ目の機能をオンにします。

すべてのデータは、8 ビット・ワードで構成されます。シリアル・データの個々のバイトの最初のビットは、読出しコマンドと書込みコマンドのどちらが送られたのかを示し、これによって SDIO ピンは入力から出力へ方向を変えることができます。

ワード長に加えて、命令フェーズはシリアル・フレームが読出し動作か書込み動作かを決定して、チップのプログラムとオン

チップ・メモリの内容読出しの両方にシリアル・ポートを使用できるようにします。命令がリードバック動作の場合は、リードバックを実行すると、SDIO ピンが、シリアル・フレーム内の適切な位置で入力から出力に方向を変えます。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信できます。MSB ファーストはパワーアップ時のデフォルトですが、SPI ポート構成レジスタを介して変更できます。この機能および他の機能の詳細については、Serial Control Interface Standard (Rev. 1.0) を参照してください。

SPI からアクセスできる機能

表 35 に、SPI を介してアクセスできる一般的な機能の概要を示します。これらの機能については、Serial Control Interface Standard (Rev. 1.0) に詳細が示されています。AD9213 デバイスの具体的な機能については、メモリ・マップのセクションに記載されています。

ハードウェア・インターフェース

表 34 に示すピンは、ユーザ・プログラミング・デバイスと AD9213 のシリアル・ポート間の物理的インターフェースを構成します。SCLK ピンと CSB ピンは、SPI インターフェース使用時の入力として機能します。SDIO ピンは双方向で、書込み時には入力として、読出し時には出力として機能します。

SPI インターフェースは十分な柔軟性を備えており、FPGA またはマイクロコントローラによって制御することができます。アプリケーション・ノート AN-812 Microcontroller-Based Serial Port Interface (SPI) Boot Circuit には、SPI の構成方法の 1 つが詳しく示されています。

コンバータのすべての動的性能が必要な区間では、SPI ポートをアクティブにしないでください。一般に、SCLK 信号、CSB 信号、SDIO 信号は ADC クロックに同期していないため、これらの信号からのノイズによってコンバータの性能が低下することがあります。内蔵 SPI バスを他のデバイスに使用する場合は、このバスと AD9213 の間にバッファを設けて、重要なサンプリング期間にコンバータ入力でこれらの信号が変化することを防止する必要があります。

表 34. SPI ピン

ピン名	機能
SCLK	シリアル・クロック。シリアル・インターフェース、読出し、および書込みの同期に使用するシリアル・シフト・クロック入力。
SDIO	シリアル・データ入出力。2 つの機能を兼ね備えたピンで、一般に、送信される命令とタイミング・フレーム内の相対的位置に応じて、入力または出力として機能します。
CSB	チップ・セレクト・バー。読出しおよび書込みサイクルをゲーティングするアクティブ・ローの制御信号。

表 35. SPI からアクセスできる機能

機能名	説明
モード	パワーダウン・モードまたはスタンバイ・モードに設定できます。
クロック	クロック周波数変更レジスタの SPI にアクセスできます。
DDC	様々なアプリケーション用にデシメーション・フィルタをセットアップできます。
テスト入出力	出力ビットが既知のデータとなるようにテスト・モードを設定できます。
出力モード	出力をセットアップできます。
SERDES 出力セットアップ	振幅やエンファシスなどの SERDES 設定を変更できます。

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読出し

表 36 に、表示された各 16 進数アドレスに対するデフォルトの 16 進数値を示します。表 36 に含まれていないアドレス・ロケーションは、現時点ではこのデバイスでサポートされていません。表にないロケーションへの書込みは行わないでください。

未使用ロケーションと予約済みロケーション

表 36 に含まれていないすべてのアドレス・ロケーションとビット・ロケーションは、現時点ではこのデバイスでサポートされていません。有効アドレス・ロケーションの未使用ビットには、0 以外のデフォルト値が設定されている場合を除いて 0 を書き込んでください。これらのロケーションへの書込みが必要になるのは、アドレス・ロケーションの一部が割り当てられていない場合に限られます。アドレス・ロケーション全体が未使用の場合、そのアドレス・ロケーションには書込みを行わないでください。

デフォルト値

AD9213 のリセット後は、重要レジスタがデフォルト値でロードされます。レジスタのデフォルト値は表 36 に示されています。

表 36. レジスタ・マップ

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x0	SPI_CONFIG_A	7	SOFT_RESET_1		ハードウェア・リセットと同等のリセットを開始します。 0 何もしません。 1 SPI とレジスタをリセットします (自動クリア)。	0x0	R/W
		6	LSB_FIRST_1		最初にシフトするビット (LSB/MSB)。 0 最上位ビットを最初にシフト。 1 最下位ビットを最初にシフト。	0x0	R/W
		5	ADDR_ASCENSION_1		マルチバイト SPI 動作アドレスのインクリメント。 0 自動デクリメント。 1 自動インクリメント。	0x1	R/W
		[4:3]	Reserved		予備。	0x0	R
		2	ADDR_ASCENSION_0		マルチバイト SPI 動作アドレスのインクリメント。 0 自動デクリメント。 1 自動インクリメント。	0x1	R/W
		1	LSB_FIRST_0		最初にシフトするビット (LSB/MSB)。 0 最上位ビットを最初にシフト。 1 最下位ビットを最初にシフト。	0x0	R/W
		0	SOFT_RESET_0		ハードウェア・リセットと同等のリセットを開始します。 0 何もしません。 1 SPI とレジスタをリセットします (自動クリア)。	0x0	R/W
0x2	DEVICE_CONFIG	[7:2]	Reserved		予備。	0x3C	R
		[1:0]	OP_MODE		動作モード。 00 通常動作。 10 スタンバイ・モード。 11 パワーダウン・モード。	0x0	R/W
0x3	CHIP_TYPE	[7:0]	CHIP_TYPE		高速 ADC。	0x3	R
0x4	CHIP_ID_LSB	[7:0]	CHIP_ID[7:0]		チップ ID。	0xE5	R
0x5	CHIP_ID_MSB	[7:0]	CHIP_ID[15:8]		チップ ID。	0x0	R
0x6	CHIP_GRADE	[7:4]	CHIP_SPEED_GRADE		チップの速度グレード。	0x3	R
		[3:0]	Reserved		予備。	0x0	R
0xA	CHIP_SCRATCH	[7:0]	CHIP_SCRATCH		チップ・スクラッチ・パッド・レジスタ。	0x0	R/W
0xC	VENDOR_ID_LSB	[7:0]	CHIP_VENDOR_ID[7:0]		ベンダ ID。	0x56	R
0xD	VENDOR_ID_MSB	[7:0]	CHIP_VENDOR_ID[15:8]		ベンダ ID。	0x4	R

ロジック・レベル

ロジック・レベルに関する用語を以下に説明します。

- 「ビットをセットする」というのは、「ビットをロジック 1 に設定する」、または「そのビットにロジック 1 を書き込む」ということと同義です。
- 「ビットをクリアする」というのは、「ビットをロジック 0 に設定する」、または「そのビットにロジック 0 を書き込む」ということと同義です。
- X はドント・ケア・ビットを表します。

SPI ソフト・リセット

レジスタ 0x000 をプログラムしてソフト・リセットを行った後、AD9213 は回復に 300ms を必要とします。アプリケーション・セットアップのために AD9213 をプログラムする場合は、ソフト・リセットのアサート後からデバイス・セットアップ開始前までの間に、ファームウェア内に適切な遅延をプログラムするようにしてください。

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x26	GEN_CTRL	[7:4]	Reserved		予備。	0x0	R
		3	CLK_SWITCH		クロック・レディ（セルフ・クリア）。	0x0	R/W
		[2:0]	Reserved		予備。	0x0	R
0x100	FD_CTRL	[7:3]	Reserved		予備。	0x0	R
		2	FD_FINE_EN		0 補正 ADC データの高速検出をイネーブル。 1 高速検出をディスエーブル。	0x0	R/W
		1	FD_FORCE_VAL		高速検出の値を強制。FD_FORCE がハイのときは、このビット・フィールドの値が FD ピンに強制されません。	0x0	R/W
		0	FD_FORCE		0 高速検出出力ピンを強制。 1 FD ピンの通常動作。 FD ピンに値を強制（ビット 1 を参照）。	0x0	R/W
0x101	FD_UP_THRESH_LSB	[7:0]	FD_UP_THRESH[7:0]		高速検出上限閾値を示す符号なし数値。高速検出上限閾値を示す 11 ビット値。アナログ入力上限閾値を超えた状態で $f_s/16$ クロック・サイクルが経過すると、高速検出がハイになります。	0x0	R/W
0x102	FD_UP_THRESH_MSB	[7:3]	Reserved		予備。	0x0	R
		[2:0]	FD_UP_THRESH[10:8]		高速検出上限閾値を示す符号なし数値。高速検出上限閾値を示す 11 ビット値。アナログ入力上限閾値を超えた状態で $f_s/16$ クロック・サイクルが経過すると、高速検出がハイになります。	0x0	R/W
0x103	FD_LOW_THRESH_LSB	[7:0]	FD_LOW_THRESH[7:0]		高速検出下限閾値を示す符号なし数値。高速検出下限閾値を示す 11 ビット値。アナログ入力下限閾値を超えた状態で DWELL_THRESH で表される時間が経過すると、高速検出がローになります。	0x0	R/W
0x104	FD_LOW_THRESH_MSB	[7:3]	Reserved		予備。	0x0	R
		[2:0]	FD_LOW_THRESH[10:8]		高速検出下限閾値を示す符号なし数値。高速検出下限閾値を示す 11 ビット値。アナログ入力下限閾値を超えた状態で DWELL_THRESH で表される時間が経過すると、高速検出がローになります。	0x0	R/W
0x105	FD_DWELL_THRESH_LSB	[7:0]	FD_DWELL_THRESH[7:0]		高速検出ドウェル時間カウンタ・ターゲット。アナログ入力高速検出下限閾値を超えた状態で FD_DWELL_THRESH の表す時間が経過すると、高速検出がローになります。これは 16 ビット・カウンタで、値は 16 の倍数です。	0x0	R/W
0x106	FD_DWELL_THRESH_MSB	[7:0]	FD_DWELL_THRESH[15:8]		高速検出ドウェル時間カウンタ・ターゲット。アナログ入力高速検出下限閾値を超えた状態で FD_DWELL_THRESH の表す時間が経過すると、高速検出がローになります。これは 16 ビット・カウンタで、値は 16 の倍数です。	0x0	R/W
0x120	SMON_STATUS_0	[7:0]	SMON_STATUS[7:0]		20 ビットの信号モニタ・シリアル・データ出力ビット。信号モニタ・データ出力ステータス・ビット。ビット [19:9] には、プログラムされた SMON_PERIOD 内で得られるピーク振幅値が格納されます。	0x0	R
0x121	SMON_STATUS_1	[7:0]	SMON_STATUS[15:8]		20 ビットの信号モニタ・シリアル・データ出力ビット。信号モニタ・データ出力ステータス・ビット。ビット [19:9] には、プログラムされた SMON_PERIOD 内で得られるピーク振幅値が格納されます。	0x0	R
0x122	SMON_STATUS_2	[7:0]	SMON_STATUS[19:16]		20 ビットの信号モニタ・シリアル・データ出力ビット。信号モニタ・データ出力ステータス・ビット。ビット [19:9] には、プログラムされた SMON_PERIOD 内で得られるピーク振幅値が格納されます。	0x0	R
0x123	SMON_STATUS_FCNT	[7:0]	SMON_STATUS_FCNT		信号モニタ・フレーム・カウンタ。周期カウンタが終了するとインクリメントします。SMON_STATUS_UPDATE 信号がハイになった場合は、いつでもこのビット・フィールドからカウンタ値をリードバックすることができます。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x124	SMON_PERIOD_0	[7:0]	SMON_PERIOD[7:0]		信号モニタが動作するクロック・サイクル数を設定する 2 ビット値。信号モニタがピーク検出を行う際の 24 ビット周期値。ビット値は 16 の倍数でなければなりません。	0x0	R/W
0x125	SMON_PERIOD_1	[7:0]	SMON_PERIOD[15:8]		信号モニタが動作するクロック・サイクル数を設定する 2 ビット値。信号モニタがピーク検出を行う際の 24 ビット周期値。ビット値は 16 の倍数でなければなりません。	0x0	R/W
0x126	SMON_PERIOD_2	[7:0]	SMON_PERIOD[23:16]		信号モニタが動作するクロック・サイクル数を設定する 2 ビット値。信号モニタがピーク検出を行う際の 24 ビット周期値。ビット値は 16 の倍数でなければなりません。	0x0	R/W
0x127	SMON_STATUS_CTRL	[7:5]	Reserved		予備。	0x0	R
		4	SMON_PEAK_EN		信号モニタ・ピーク・ディテクタのイネーブル。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
		[3:1]	SMON_STATUS_RDSEL		信号モニタ・ステータス・リードバックの選択。0x1 がピーク・ディテクタ。 1 ピーク・ディテクタ・データ。	0x0	R/W
		0	SMON_STATUS_UPDATE		この信号がハイに遷移すると、レジスタ・マップ内のステータス値が変化。このビット・フィールドがハイになると、SMON_STATUS が次のピーク振幅に更新されます。	0x0	R/W
0x128	SMON_SFRAMER	[7:2]	SMON_SFRAMER_INSEL		信号モニタ・シリアル・フレーマの入力選択。 2 ピーク振幅はフレームを通じて送られます。	0x0	R/W
		1	SMON_SFRAMER_MODE		信号モニタ・シリアル・フレーマのモード選択。 5 ビット・フレーマを選択。	0x0	R/W
		0	SMON_SFRAMER_EN		信号モニタ・シリアル・フレーマのイネーブル。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
0x129	SMON_SYNC_CTRL	[7:2]	Reserved		予備。	0x0	R
		1	SMON_SYNC_NEXT		SMON 次回同期モード。 0 連続モード。 1 次回同期モード。このモードでは、SYSREF_x ピンの次回の有効エッジだけが SMON ブロックと同期します。SYSREF_x ピンのその後のエッジは無視されます。次の SYSREF_x エッジが見つかったら、SMON_SYNC_EN ビットがクリアされます。	0x0	R/W
		0	SMON_SYNC_EN		SMON 同期のイネーブル。 0 ディスエーブル。 1 イネーブル。同期をイネーブルすると、SMON_SYNC_NEXT = 1 の場合は、SYSREF_x ピンの次の有効エッジだけが SMON ブロックと同期します。SYSREF_x ピンのその後のエッジは無視されます。このビットは、次の SYSREF_x エッジを受信するとクリアされます。	0x0	R/W
0x131	SMON_CLK_EN	[7:1]	RESERVED		予備。	0x0	R
		0	SMON_CLK_EN		SMON 出力ブロックのイネーブル。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
0x332	CLK_CHG_REQ	[7:5]	Reserved		予備。	0x0	R
		[4:0]	CLKCHGREQ		サンプル・クロック周波数の変更を要求。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x500	PLL_CTRL	7	JTX_PLL_BYPASS_LOCK		PLL ロック入力をバイパス。	0x0	R/W
		[6:4]	Reserved		予備。	0x0	R
		[3:0]	JTX_LOW_LINE_RATE		JESD ロー・ライン・レートの選択。 0011 レーン・レート = 13.6Gbps~16Gbps。 0000 レーン・レート = 6.8Gbps~13.6Gbps。 0001 レーン・レート = 3.4Gbps~6.8Gbps。 0101 レーン・レート = 1.7Gbps~3.4Gbps。 1001 レーン・レート = 850Mbps~1.7Gbps。 1101 レーン・レート = 425Mbps~850Mbps。	0x0	R/W
0x501	PLL_STATUS	7	JTX_PLL_LOCKED		PLL ロック・ステータス・ビット。 0 未ロック。 1 ロック。	0x1	R
		[6:0]	Reserved		予備。	0x0	R
0x503	JTX_LINK_CTRL1	7	JTX_LINK_STDBY_MODE		JESD204B スタンバイ・モード。 0 スタンバイ・モードは、すべてのコンバータ・サンプルを強制的にゼロにします。 1 スタンバイ・モードは、強制的にコード・グループ同期を行います (K28.5/文字)。	0x0	R/W
		6	JTX_TAIL_PN_EN		JESD204B シリアル・テール・ビット疑似乱数 (PN) のイネーブル。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
		5	JTX_TEST_SAMPLE_EN		JESD204B シリアル・テスト・サンプルのイネーブル。 0 JESD204B テスト・サンプルをディスエーブル。 1 JESD204B テスト・サンプルをイネーブル。すべてのリンク・レーン上で長トランスポート層テスト・サンプル・シーケンスが送られます (JESD204B の 5.1.6.3 項の仕様規定による)。	0x0	R/W
		4	JTX_LSYNC_EN		JESD204B シリアル・レーン同期の有効化。 0 FACI による/K28.7/の使用を無効化。 1 FACI による/K28.3/と/K28.7/の使用を有効化。	0x1	R/W
		[3:2]	JTX_ILAS_MODE		JESD204B シリアル初期レーン・アライメント・シーケンス・モード。 0 初期レーン・アライメント・シーケンスを無効化 (JESD204B 5.3.3.5 項)。 1 初期レーン・アライメント・シーケンスを有効化 (JESD204B 5.3.3.5 項)。 11 初期レーン・アライメント・シーケンスは常にテスト・モードになります。すべてのレーンで JESD204B データ・リンク層テスト・モードが送信され、JESD204B の 5.3.3.8.s 項の仕様規定に従ってレーン・アライメント・シーケンスが繰り返されます。	0x1	R/W
		1	JTX_FACI_DISABLE		JESD204B シリアル・フレームアライメント文字の挿入 (FACI) の無効化。 0 フレーム・アライメント文字の挿入を有効化 (JESD204B の 5.3.3.4 項)。 1 フレーム・アライメント文字の挿入を無効化。デバッグ専用 (JESD204B 5.3.3.4 項)。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
		0	JTX_LINK_PD		<p>JESD204B シリアル転送リンクのパワーダウン（アクティブ・ハイ）</p> <p>0 JESD204B シリアル転送リンクを有効化。コード・グループ同期用の/K28.5/文字の転送は、SYNCINB_x ビンによって制御されます。</p> <p>1 JESD204B シリアル転送リンクをパワーダウン（リセットされクロック・ゲーティングされた状態に保持）。</p>	0x0	R/W
0x504	JTX_LINK_CTRL2	[7:6]	JTX_SYNC_PIN_MODE		<p>JESD204B シリアル同期モード。</p> <p>0 ノーマル・モード。</p> <p>10 SYNCINB_x を無視（CGSを強制）。</p> <p>11 SYNCINB_x を無視（ILAS/ユーザ・データを強制）。</p>	0x0	R/W
		5	JTX_SYNC_PIN_INV		<p>JESD204B シリアル同期ビンの反転。</p> <p>0 SYNCINB_x ビンの反転。SYNCINB_x ビンを反転しない。</p> <p>1 SYNCINB_x ビンの反転。SYNCINB_x ビンを反転する。</p>	0x0	R/W
		4	JTX_SYNC_PIN_TYPE		<p>JESD204B シリアル SYNCINB_x ロジック・タイプ。</p> <p>0 SYNCINB_x ビン・タイプ。CMOS、シングルエンド SYNCINB_x 入力。SYNCINB_P を使用。レジスタ 0x508 のビット 5 をセットする必要があります。</p> <p>1 SYNCINB_x ビン・タイプ。LVDS 差動ペア SYNCINB_x 入力。100Ω の外付け差動終端が必要です。</p>	0x1	R/W
		3	Reserved		予備。	0x0	R
		2	JTX_8B10B_BYPASS		<p>JESD204B シリアル 8 ビット/10 ビット・バイパス（テスト・モードのみ）</p> <p>0 8 ビット/10 ビットをイネーブル。</p> <p>1 8 ビット/10 ビットをバイパス（上位 2 ビットが 0）。</p>	0x0	R/W
		1	JTX_10B_INV		<p>JESD204B 10b シリアル転送ビットの反転。</p> <p>0 ノーマル。</p> <p>1 a、b、c、d、e、f、g、h、i、j シンボルを反転。</p>	0x0	R/W
0x505	JTX_LINK_CTRL3	0	JTX_10B_MIRROR		JESD204B 10 ビット・シリアル転送ビットのミラー。	0x0	R/W
		[7:6]	JTX_CHKSUM_MODE		<p>JESD204B チェックサム・モード。</p> <p>00 チェックサムは、リンク構成テーブル内のすべての 8 ビット・レジスタの合計。</p> <p>01 チェックサムは、個々のリンク構成フィールドの合計（LSBをアライン）。</p> <p>10 チェックサムを無効化（ゼロに設定）。テスト専用。</p> <p>11 使用しません。</p>	0x0	R/W
		[5:4]	JTX_TEST_GEN_SEL		<p>JESD204B シリアル・テスト生成入力の選択。</p> <p>00 Nth サンプル入力。</p> <p>01 8 ビット/10 ビット出力の 10 ビット・データ（PHY テスト用）。</p> <p>10 スクランプラ入力の 8 ビット・データ入力。</p>	0x0	R/W
		[3:0]	JTX_TEST_GEN_MODE		<p>JESD204B シリアル・テスト生成モード。</p> <p>0000 通常動作（テスト・モードを無効化）。</p> <p>0001 オルタネーティング・チェッカーボード。</p> <p>0010 1/0 ワード・トグル。</p> <p>0011 31 ビット PN シーケンス：$x^{31} + x^{28} + 1$</p> <p>0100 23 ビット PN シーケンス：$x^{23} + x^{18} + 1$</p> <p>0101 15 ビット PN シーケンス：$x^{15} + x^{14} + 1$</p> <p>0110 9 ビット PN シーケンス：$x^9 + x^5 + 1$</p> <p>0111 7 ビット・シーケンス：$x^7 + x^6 + 1$</p> <p>1000 ランプ出力。</p> <p>1110 連続/反復ユーザ・リセット。</p> <p>1111 シングル・ユース・テスト。</p>	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x506	JTX_LINK_CTRL4	[7:4]	JTX_ILAS_DELAY		初期レーン・アライメント遅延。 0000 SYNCINB_x アサート解除後の最初の LMFC で ILAS を転送。 0001 SYNCINB_x アサート解除後の 2 番目の LMFC で ILAS を転送。 0010 SYNCINB_x アサート解除後の 3 番目の LMFC で ILAS を転送。 0011 SYNCINB_x アサート解除後の 4 番目の LMFC で ILAS を転送。 0100 SYNCINB_x アサート解除後の 5 番目の LMFC で ILAS を転送。 0101 SYNCINB_x アサート解除後の 6 番目の LMFC で ILAS を転送。 0110 SYNCINB_x アサート解除後の 7 番目の LMFC で ILAS を転送。 0111 SYNCINB_x アサート解除後の 8 番目の LMFC で ILAS を転送。 1000 SYNCINB_x アサート解除後の 9 番目の LMFC で ILAS を転送。 1001 SYNCINB_x アサート解除後の 10 番目の LMFC で ILAS を転送。 1010 SYNCINB_x アサート解除後の 11 番目の LMFC で ILAS を転送。 1011 SYNCINB_x アサート解除後の 12 番目の LMFC で ILAS を転送。 1100 SYNCINB_x アサート解除後の 13 番目の LMFC で ILAS を転送。 1101 SYNCINB_x アサート解除後の 14 番目の LMFC で ILAS を転送。 1110 SYNCINB_x アサート解除後の 15 番目の LMFC で ILAS を転送。 1111 SYNCINB_x アサート解除後の 16 番目の LMFC で ILAS を転送。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	JTX_TEST_LINK_MODE		リンク層テスト・モード 000 通常動作（リンク層テスト・モードを無効化）。 001 /D21.5/文字の連続シーケンス。 010 予備。 011 予備。 100 修正ランダム・パターン（RPAT）テスト・シーケンス。 101 ジッタ・スクランブル・パターン（JSPAT）テスト・シーケンス。 110 ジッタ許容値スクランブル・パターン（JTSPAT）テスト・シーケンス。 111 予備。	0x0	R/W
0x507	JTX_LINK_CTRL5	[7:0]	JTX_ILAS_CNT		初期レーン・アライメント・シーケンス数。	0x0	R/W
0x508	JTX_SYNC_CTRL	[7:6]	Reserved		予備。	0x0	R
		5	SPI_CMOS_EN_RC		SYNCINB_x ビン CMOS イネーブル。 0 CMOS 同期バッファをオフ。 1 CMOS 同期バッファをオン。	0x0	R/W
		[4:0]	Reserved		予備。	0x0	R/W
0x509	JTX_CS_BITS_CTRL	[7:2]	Reserved		予備。	0x0	R
		[1:0]	JTX_CS_BITS_MODE		JESD204B 制御ビットに格納されるソース・データを決定。 0x0 ディスエーブル。 0x1 DFORMAT 出力（レジスタ 0x620 とレジスタ 0x621）。 0x2 未定義。 0x3 未定義。	0x2	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x50A	JTX_LMFC_OFFSET	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LMFC_OFFSET		LMFC 位相オフセット値。確定的遅延のセクションを参照。	0x0	R/W
0x50E	JTX_DID_CFG	[7:0]	JTX_DID_CFG		JESD204B シリアル・デバイス識別 (Device IDentification: DID) 番号。	0x0	R/W
0x50F	JTX_BID_CFG	[7:4]	Reserved		予備。	0x0	R
		[3:0]	JTX_BID_CFG		JESD204B シリアル・バンク識別 (Bank IDentification: BID) 番号 (DID のエクステンション)。	0x0	R/W
0x510	JTX_LID0_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID0_CFG		レーン 0 の JESD204B シリアル・レーン識別 (Lane IDentification: LID) 番号。	0x0	R/W
0x511	JTX_LID1_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID1_CFG		レーン 1 の JESD204B シリアル LID 番号。	0x1	R/W
0x512	JTX_LID2_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID2_CFG		レーン 2 の JESD204B シリアル LID 番号。	0x2	R/W
0x513	JTX_LID3_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID3_CFG		レーン 3 の JESD204B シリアル LID 番号。	0x3	R/W
0x514	JTX_LID4_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID4_CFG		レーン 4 の JESD204B シリアル LID 番号。	0x4	R/W
0x515	JTX_LID5_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID5_CFG		レーン 5 の JESD204B シリアル LID 番号。	0x5	R/W
0x516	JTX_LID6_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID6_CFG		レーン 6 の JESD204B シリアル LID 番号。	0x6	R/W
0x517	JTX_LID7_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID7_CFG		レーン 7 の JESD204B シリアル LID 番号。	0x7	R/W
0x518	JTX_LID8_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID8_CFG		レーン 8 の JESD204B シリアル LID 番号。	0x8	R/W
0x519	JTX_LID9_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID9_CFG		レーン 9 の JESD204B シリアル LID 番号。	0x9	R/W
0x51A	JTX_LID10_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID10_CFG		レーン 10 の JESD204B シリアル LID 番号。	0xA	R/W
0x51B	JTX_LID11_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID11_CFG		レーン 11 の JESD204B シリアル LID 番号。	0xB	R/W
0x51C	JTX_LID12_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID12_CFG		レーン 12 の JESD204B シリアル LID 番号。	0xC	R/W
0x51D	JTX_LID13_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID13_CFG		レーン 13 の JESD204B シリアル LID 番号。	0xD	R/W
0x51E	JTX_LID14_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID14_CFG		レーン 14 の JESD204B シリアル LID 番号。	0xE	R/W
0x51F	JTX_LID15_CFG	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_LID15_CFG		レーン 15 の JESD204B シリアル LID 番号。	0xF	R/W
0x520	JTX_SCR_L_CFG	7	JTX_SCR_CFG		JESD204B シリアル・スクランブラ・モード (SCR = JTX_SCR_CFG)。 0 JESD204B スクランブラをディスエーブル (SCR = 0)。 1 JESD204B スクランブラをイネーブル (SCR = 1)。	0x1	R/W
		[6:5]	Reserved		予備。	0x0	R
		[4:0]	JTX_L_CFG		JESD204B シリアル・レーン制御 (L = JTX_L_CFG + 1)。 0x0 リンクあたり 1 レーン (L = 1)。 0x1 リンクあたり 2 レーン (L = 2)。 0x2 リンクあたり 3 レーン (L = 3)。 0x3 リンクあたり 4 レーン (L = 4)。 0x5 リンクあたり 6 レーン (L = 6)。 0x7 リンクあたり 8 レーン (L = 8)。 0xB リンクあたり 12 レーン (L = 12)。 0xF リンクあたり 16 レーン (L = 16)。	0xF	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x521	JTX_F_CFG	[7:0]	JTX_F_CFG		JESD204B のフレームあたりのオクテット数 (F = JTX_F_CFG + 1)。 0000 F = 1。 0001 F = 2。 0011 F = 4。	0x1	R/W
		[7:5]	Reserved		予備。		
		[4:0]	JTX_K_CFG		JESD204B のマルチフレームあたりのフレーム数 (K = JTX_K_CFG + 1)。		
0x522	JTX_M_CFG	[7:0]	JTX_M_CFG		JESD204B のリンクあたりのコンバータ数 (M = JTX_M_CFG)。 000 1 個の仮想コンバータに接続されたリンク (M = 1)。 001 2 個の仮想コンバータに接続されたリンク (M = 2)。	0x0	R/W
0x523	JTX_CS_N_CFG	[7:6]	JTX_CS_CFG		JESD204B のサンプルあたりの制御ビット数。 00 制御ビットなし (CS = 0)。 01 1 制御ビット (CS = 1)、制御ビット 2 のみ。 10 2 制御ビット (CS = 2)、制御ビット 2 と制御ビット 1 のみ。 11 3 制御ビット (CS = 3)、すべての制御ビット (制御ビット 2、制御ビット 1、制御ビット 0)。	0x3	R/W
		5	Reserved		予備。		
		[4:0]	JTX_N_CFG		JESD204B コンバータ分解能 (N = JTX_N_CFG + 1)。 00110 N = 7 ビット分解能。 00111 N = 8 ビット分解能。 01000 N = 9 ビット分解能。 01001 N = 10 ビット分解能。 01010 N = 11 ビット分解能。 01011 N = 12 ビット分解能。 01100 N = 13 ビット分解能。 01101 N = 14 ビット分解能。 01110 N = 15 ビット分解能。 01111 N = 16 ビット分解能。	0x0B	R/W
0x524	JTX_SCV_NP_CFG	[7:5]	JTX_SUBCLASSV_CFG		JESD204B デバイスのサブクラス・バージョン。 000 サブクラス 0。 001 サブクラス 1。	0x1	R/W
		[4:0]	JTX_NP_CFG		JESD204B のサンプルあたりの合計ビット数 (N' = JTX_NP_CFG + 1)。 00111 N' = 8 01011 N' = 12 01111 N' = 16		
0x525	JTX_JV_S_CFG	[7:5]	Reserved		予備。	0x1	R
		[4:0]	JTX_S_CFG		JESD204B のコンバータ・フレーム・サイクルあたりのサンプル数 (S = JTX_S_CFG + 1)。		
0x526	JTX_HD_CF_CFG	7	JTX_HD_CFG		JESD204B 高密度フォーマット (HD)。 0 高密度フォーマットをディスエーブル。 1 高密度フォーマットをイネーブル。	0x0	R
		[6:5]	Reserved		予備。		
		[4:0]	JTX_CF_CFG		JESD204B の 1 リンクにおけるフレーム・クロック・サイクルあたりの制御ワード数 (CF = JTX_CF_CFG)。		
0x527	JTX_CHKSUM0_CFG	[7:0]	JTX_CHKSUM0_CFG		JESD204B のレーン 0 のシリアル・チェックサム値。レーン 0 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 0 のすべてのリンク構成パラメータ) mod 256。	0xDC	R
0x528	JTX_CHKSUM1_CFG	[7:0]	JTX_CHKSUM1_CFG		JESD204B のレーン 1 のシリアル・チェックサム値。レーン 1 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 1 のすべてのリンク構成パラメータ) mod 256。	0xDD	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x52D	JTX_CHKSUM2_CFG	[7:0]	JTX_CHKSUM2_CFG		JESD204B のレーン 2 のシリアル・チェックサム値。 レーン 2 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 2 のすべてのリンク構成パラメータ) mod 256。	0xC5	R
0x52E	JTX_CHKSUM3_CFG	[7:0]	JTX_CHKSUM3_CFG		JESD204B のレーン 3 のシリアル・チェックサム値。 レーン 3 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 3 のすべてのリンク構成パラメータ) mod 256。	0xDF	R
0x52F	JTX_CHKSUM4_CFG	[7:0]	JTX_CHKSUM4_CFG		JESD204B のレーン 4 のシリアル・チェックサム値。 レーン 4 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 4 のすべてのリンク構成パラメータ) mod 256。	0xE0	R
0x530	JTX_CHKSUM5_CFG	[7:0]	JTX_CHKSUM5_CFG		JESD204B のレーン 5 のシリアル・チェックサム値。 レーン 5 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 5 のすべてのリンク構成パラメータ) mod 256。	0xE1	R
0x531	JTX_CHKSUM6_CFG	[7:0]	JTX_CHKSUM6_CFG		JESD204B のレーン 6 のシリアル・チェックサム値。 レーン 6 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 6 のすべてのリンク構成パラメータ) mod 256。	0xE2	R
0x532	JTX_CHKSUM7_CFG	[7:0]	JTX_CHKSUM7_CFG		JESD204B のレーン 7 のシリアル・チェックサム値。 レーン 7 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 7 のすべてのリンク構成パラメータ) mod 256。	0xE3	R
0x533	JTX_CHKSUM8_CFG	[7:0]	JTX_CHKSUM8_CFG		JESD204B のレーン 8 のシリアル・チェックサム値。 レーン 8 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 8 のすべてのリンク構成パラメータ) mod 256。	0xE4	R
0x534	JTX_CHKSUM9_CFG	[7:0]	JTX_CHKSUM9_CFG		JESD204B のレーン 9 のシリアル・チェックサム値。 レーン 9 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 9 のすべてのリンク構成パラメータ) mod 256。	0xE5	R
0x535	JTX_CHKSUM10_CFG	[7:0]	JTX_CHKSUM10_CFG		JESD204B のレーン 10 のシリアル・チェックサム値。 レーン 10 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 10 のすべてのリンク構成パラメータ) mod 256。	0xE6	R
0x536	JTX_CHKSUM11_CFG	[7:0]	JTX_CHKSUM11_CFG		JESD204B のレーン 11 のシリアル・チェックサム値。 レーン 11 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 11 のすべてのリンク構成パラメータ) mod 256。	0xE7	R
0x537	JTX_CHKSUM12_CFG	[7:0]	JTX_CHKSUM12_CFG		JESD204B のレーン 12 のシリアル・チェックサム値。 レーン 12 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 12 のすべてのリンク構成パラメータ) mod 256。	0xE8	R
0x538	JTX_CHKSUM13_CFG	[7:0]	JTX_CHKSUM13_CFG		JESD204B のレーン 13 のシリアル・チェックサム値。 レーン 13 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 13 のすべてのリンク構成パラメータ) mod 256。	0xE9	R
0x539	JTX_CHKSUM14_CFG	[7:0]	JTX_CHKSUM14_CFG		JESD204B のレーン 14 のシリアル・チェックサム値。 レーン 14 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 14 のすべてのリンク構成パラメータ) mod 256。	0xEA	R
0x53A	JTX_CHKSUM15_CFG	[7:0]	JTX_CHKSUM15_CFG		JESD204B のレーン 15 のシリアル・チェックサム値。 レーン 15 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 15 のすべてのリンク構成パラメータ) mod 256。	0xEB	R
0x53B	JTX_LANE_PDWN	[7:0]	JTX_FORCE_LANE_PD[7:0]		物理レーンの強制パワーダウン。16 ビットのビット・フィールドが 2 つのレジスタに分割されます。 JTX_FORCE_LANE_PD [7] = 物理レーン 7 を強制的にパワーダウン。 JTX_FORCE_LANE_PD [6] = 物理レーン 6 を強制的にパワーダウン。 ... JTX_FORCE_LANE_PD [1] = 物理レーン 1 を強制的にパワーダウン。 JTX_FORCE_LANE_PD [0] = 物理レーン 0 を強制的にパワーダウン。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x53C	JTX_LANE_PDWN2	[7:0]	JTX_FORCE_LANE_PD[15:8]		物理レーンの強制パワーダウン。16ビットのビット・フィールドが2つのレジスタに分割されます。 JTX_FORCE_LANE_PD [15] = 物理レーン 15 を強制的にパワーダウン。 JTX_FORCE_LANE_PD [14] = 物理レーン 14 を強制的にパワーダウン。 ... JTX_FORCE_LANE_PD [9] = 物理レーン 9 を強制的にパワーダウン。 JTX_FORCE_LANE_PD [8] = 物理レーン 8 を強制的にパワーダウン。	0x0	R/W
0x53D	JTX_LANE_ASSIGN1	[7:4]	JTX_LANE_ASSIGN_1		物理レーン 1 の割り当て。 0000 論理レーン 0。 0001 論理レーン 1 (デフォルト)。 0010 論理レーン 2。 0011 論理レーン 3。 0100 論理レーン 4。 0101 論理レーン 5。 0110 論理レーン 6。 0111 論理レーン 7。 1000 論理レーン 8。 1001 論理レーン 9。 1010 論理レーン 10。 1011 論理レーン 11。 1100 論理レーン 12。 1101 論理レーン 13。 1110 論理レーン 14。 1111 論理レーン 15。	0x1	R/W
		[3:0]	JTX_LANE_ASSIGN_0		物理レーン 0 の割り当て。 0000 論理レーン 0 (デフォルト)。 0001 論理レーン 1。 0010 論理レーン 2。 0011 論理レーン 3。 0100 論理レーン 4。 0101 論理レーン 5。 0110 論理レーン 6。 0111 論理レーン 7。 1000 論理レーン 8。 1001 論理レーン 9。 1010 論理レーン 10。 1011 論理レーン 11。 1100 論理レーン 12。 1101 論理レーン 13。 1110 論理レーン 14。 1111 論理レーン 15。	0x0	R/W
0x53E	JTX_LANE_ASSIGN2	[7:4]	JTX_LANE_ASSIGN_3		物理レーン 3 の割り当て。 0000 論理レーン 0。 0001 論理レーン 1。 0010 論理レーン 2。 0011 論理レーン 3 (デフォルト)。 0100 論理レーン 4。 0101 論理レーン 5。 0110 論理レーン 6。 0111 論理レーン 7。 1000 論理レーン 8。 1001 論理レーン 9。 1010 論理レーン 10。 1011 論理レーン 11。 1100 論理レーン 12。	0x3	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
				1101 1110 1111	論理レーン 13。 論理レーン 14。 論理レーン 15。		
		[3:0]	JTX_LANE_ASSIGN_2		物理レーン 2 の割り当て。 論理レーン 0。 0001 論理レーン 1。 0010 論理レーン 2 (デフォルト)。 0011 論理レーン 3。 0100 論理レーン 4。 0101 論理レーン 5。 0110 論理レーン 6。 0111 論理レーン 7。 1000 論理レーン 8。 1001 論理レーン 9。 1010 論理レーン 10。 1011 論理レーン 11。 1100 論理レーン 12。 1101 論理レーン 13。 1110 論理レーン 14。 1111 論理レーン 15。	0x2	R/W
0x53F	JTX_LANE_ASSIGN3	[7:4]	JTX_LANE_ASSIGN_5		物理レーン 5 の割り当て。 論理レーン 0。 0001 論理レーン 1。 0010 論理レーン 2。 0011 論理レーン 3。 0100 論理レーン 4。 0101 論理レーン 5 (デフォルト)。 0110 論理レーン 6。 0111 論理レーン 7。 1000 論理レーン 8。 1001 論理レーン 9。 1010 論理レーン 10。 1011 論理レーン 11。 1100 論理レーン 12。 1101 論理レーン 13。 1110 論理レーン 14。 1111 論理レーン 15。	0x5	R/W
		[3:0]	JTX_LANE_ASSIGN_4		物理レーン 4 の割り当て。 論理レーン 0。 0001 論理レーン 1。 0010 論理レーン 2。 0011 論理レーン 3。 0100 論理レーン 4 (デフォルト)。 0101 論理レーン 5。 0110 論理レーン 6。 0111 論理レーン 7。 1000 論理レーン 8。 1001 論理レーン 9。 1010 論理レーン 10。 1011 論理レーン 11。 1100 論理レーン 12。 1101 論理レーン 13。 1110 論理レーン 14。 1111 論理レーン 15。	0x4	R/W
0x540	JTX_LANE_ASSIGN4	[7:4]	JTX_LANE_ASSIGN_7		物理レーン 7 の割り当て。 論理レーン 0。 0001 論理レーン 1。 0010 論理レーン 2。 0011 論理レーン 3。	0x7	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
				0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	論理レーン 4。 論理レーン 5。 論理レーン 6。 論理レーン 7 (デフォルト)。 論理レーン 8。 論理レーン 9。 論理レーン 10。 論理レーン 11。 論理レーン 12。 論理レーン 13。 論理レーン 14。 論理レーン 15。		
		[3:0]	JTX_LANE_ASSIGN_6	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	物理レーン 6 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。 論理レーン 4。 論理レーン 5。 論理レーン 6 (デフォルト)。 論理レーン 7。 論理レーン 8。 論理レーン 9。 論理レーン 10。 論理レーン 11。 論理レーン 12。 論理レーン 13。 論理レーン 14。 論理レーン 15。	0x6	R/W
0x541	JTX_LANE_ASSIGN5	[7:4]	JTX_LANE_ASSIGN_9	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	物理レーン 9 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。 論理レーン 4。 論理レーン 5。 論理レーン 6。 論理レーン 7。 論理レーン 8。 論理レーン 9 (デフォルト)。 論理レーン 10。 論理レーン 11。 論理レーン 12。 論理レーン 13。 論理レーン 14。 論理レーン 15。	0x9	R/W
		[3:0]	JTX_LANE_ASSIGN_8	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011	物理レーン 8 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。 論理レーン 4。 論理レーン 5。 論理レーン 6。 論理レーン 7。 論理レーン 8 (デフォルト)。 論理レーン 9。 論理レーン 10。 論理レーン 11。	0x8	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
				1100 1101 1110 1111	論理レーン 12。 論理レーン 13。 論理レーン 14。 論理レーン 15。		
0x542	JTX_LANE_ASSIGN6	[7:4]	JTX_LANE_ASSIGN_11	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	物理レーン 11 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。 論理レーン 4。 論理レーン 5。 論理レーン 6。 論理レーン 7。 論理レーン 8。 論理レーン 9。 論理レーン 10。 論理レーン 11 (デフォルト)。 論理レーン 12。 論理レーン 13。 論理レーン 14。 論理レーン 15。	0xB	R/W
		[3:0]	JTX_LANE_ASSIGN_10	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	物理レーン 10 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。 論理レーン 4。 論理レーン 5。 論理レーン 6。 論理レーン 7。 論理レーン 8。 論理レーン 9。 論理レーン 10 (デフォルト)。 論理レーン 11。 論理レーン 12。 論理レーン 13。 論理レーン 14。 論理レーン 15。	0xA	R/W
0x543	JTX_LANE_ASSIGN7	[7:4]	JTX_LANE_ASSIGN_13	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	物理レーン 13 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。 論理レーン 4。 論理レーン 5。 論理レーン 6。 論理レーン 7。 論理レーン 8。 論理レーン 9。 論理レーン 10。 論理レーン 11。 論理レーン 12。 論理レーン 13 (デフォルト)。 論理レーン 14。 論理レーン 15。	0xD	R/W
		[3:0]	JTX_LANE_ASSIGN_12	0000 0001 0010	物理レーン 12 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。	0xC	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
					0011 論理レーン 3。 0100 論理レーン 4。 0101 論理レーン 5。 0110 論理レーン 6。 0111 論理レーン 7。 1000 論理レーン 8。 1001 論理レーン 9。 1010 論理レーン 10。 1011 論理レーン 11。 1100 論理レーン 12 (デフォルト)。 1101 論理レーン 13。 1110 論理レーン 14。 1111 論理レーン 15。		
0x544	JTX_LANE_ASSIGN8	[7:4]	JTX_LANE_ASSIGN_15		物理レーン 15 の割り当て。 0000 論理レーン 0。 0001 論理レーン 1。 0010 論理レーン 2。 0011 論理レーン 3。 0100 論理レーン 4。 0101 論理レーン 5。 0110 論理レーン 6。 0111 論理レーン 7。 1000 論理レーン 8。 1001 論理レーン 9。 1010 論理レーン 10。 1011 論理レーン 11。 1100 論理レーン 12。 1101 論理レーン 13。 1110 論理レーン 14。 1111 論理レーン 15 (デフォルト)。	0xF	R/W
		[3:0]	JTX_LANE_ASSIGN_14		物理レーン 14 の割り当て。 0000 論理レーン 0。 0001 論理レーン 1。 0010 論理レーン 2。 0011 論理レーン 3。 0100 論理レーン 4。 0101 論理レーン 5。 0110 論理レーン 6。 0111 論理レーン 7。 1000 論理レーン 8。 1001 論理レーン 9。 1010 論理レーン 10。 1011 論理レーン 11。 1100 論理レーン 12。 1101 論理レーン 13。 1110 論理レーン 14 (デフォルト)。 1111 論理レーン 15。	0xE	R/W
0x547	JTX_QBF_STATUS	[7:0]	JTX_QBF_STATUS		QBF ステータス。	0x7D	R
0x557	JTX_TEST_GEN_INV	[7:1]	Reserved		予備。	0x0	R
		0	JTX_TEST_GEN_INV		JESD テスト・ジェネレータの反転。 0 通常テスト・モード・データ。 1 反転テスト・モード・データ。	0x0	R/W
0x558	CHIP_USR_PAT_1_7_0	[7:0]	CHIP_USR_PAT_1_7_0		CHIP_USR_PAT_1 を選択ユーザ・パターン 1 の 8 LSB。	0x0	R/W
0x559	CHIP_USR_PAT_1_15_8	[7:0]	CHIP_USR_PAT_1_15_8		CHIP_USR_PAT_1 を選択ユーザ・パターン 1 の 8 MSB。	0x0	R/W
0x55A	CHIP_USR_PAT_2_7_0	[7:0]	CHIP_USR_PAT_2_7_0		CHIP_USR_PAT_2 を選択ユーザ・パターン 2 の 8 LSB。	0x0	R/W
0x55B	CHIP_USR_PAT_2_15_8	[7:0]	CHIP_USR_PAT_2_15_8		CHIP_USR_PAT_2 を選択ユーザ・パターン 2 の 8 MSB。	0x0	R/W
0x55C	CHIP_USR_PAT_3_7_0	[7:0]	CHIP_USR_PAT_3_7_0		CHIP_USR_PAT_3 を選択ユーザ・パターン 3 の 8 LSB。	0x0	R/W
0x55D	CHIP_USR_PAT_3_15_8	[7:0]	CHIP_USR_PAT_3_15_8		CHIP_USR_PAT_3 を選択ユーザ・パターン 3 の 8 MSB。	0x0	R/W
0x55E	CHIP_USR_PAT_4_7_0	[7:0]	CHIP_USR_PAT_4_7_0		CHIP_USR_PAT_4 を選択ユーザ・パターン 4 の 8 LSB。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x55F	CHIP_USR_PAT_4_15_8	[7:0]	CHIP_USR_PAT_4_15_8		CHIP_USR_PAT_4を選択ユーザ・パターン4の8 MSB。	0x0	R/W
0x560	SER_PARITY_RESET_EN1	[7:0]	SER_PARITY_RESET_EN[7:0]		パリティ・リセットをイネーブル、ビット [7:0]。	0x0	R/W
0x561	SER_PARITY_RESET_EN2	[7:0]	SER_PARITY_RESET_EN[15:8]		パリティ・リセットをイネーブル、ビット [15:8]。	0x0	R/W
0x564	SER_PARITY_ERR1	[7:0]	SER_PARITY_ERR[7:0]		パリティ・エラー、ビット [7:0]。	0x0	R
0x565	SER_PARITY_ERR2	[7:0]	SER_PARITY_ERR[15:8]		パリティ・エラー、ビット [15:8]。	0x0	R
0x570	PLL_ENABLE_CTRL	[7:5]	Reserved		予備。	0x0	R
		4	LOLSTICKYCLEAR_FORCE_LCPLL_RC		ロック喪失ビットをクリア。	0x0	R/W
		3	Reserved		予備。	0x0	R
		2	LDSYNTH_FORCE_LCPLL_ADC		ショート・パルス1個でVCOキャリブレーションを開始。パルス幅は少なくともリファレンス・クロックの1周期分なければなりません。ユーザが任意にキャリブレーションを行うことができます。	0x0	R/W
		1	RESERVED		予備。	0x0	R
		0	PWRUP_LCPLL	0 1	SERDES PLL のパワーアップ SERDES PLL パワーオフ。 SERDES PLL パワーオン。	0x1	R/W
0x5B0	PWR_DN	[7:0]	PD_SER[7:0]		PHYチャンネルのパワーダウン。アクティブ・ハイ、<0>=チャンネル0、<1>=チャンネル1、…	0x00	R/W
0x5B1	PWR_DN2	[7:0]	PD_SER[15:8]		PHYチャンネルのパワーダウン。アクティブ・ハイ、<0>=チャンネル0、<1>=チャンネル1、…	0x00	R/W
0x5B2	JTX_SWING1	7	Reserved		予備。	0x0	R
		[6:4]	DRVSWING_CH1_SER_RC	0 1 2 3	JESD204Bの出力電圧振幅レベル。 1.0 × V _{JVT} 0.850 × V _{JVT} 0.750 × V _{JVT} 0.500 × V _{JVT}	0x1	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	DRVSWING_CH0_SER_RC	0 1 2 3	JESD204Bの出力電圧振幅レベル。 1.0 × V _{JVT} 0.850 × V _{JVT} 0.750 × V _{JVT} 0.500 × V _{JVT}	0x1	R/W
0x5B3	JTX_SWING2	7	Reserved		予備。	0x0	R
		[6:4]	DRVSWING_CH3_SER_RC	0 1 2 3	JESD204Bの出力電圧振幅レベル。 1.0 × V _{JVT} 0.850 × V _{JVT} 0.750 × V _{JVT} 0.500 × V _{JVT}	0x1	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	DRVSWING_CH2_SER_RC	0 1 2 3	JESD204Bの出力電圧振幅レベル。 1.0 × V _{JVT} 0.850 × V _{JVT} 0.750 × V _{JVT} 0.500 × V _{JVT}	0x1	R/W
0x5B4	JTX_SWING3	7	Reserved		予備。	0x0	R
		[6:4]	DRVSWING_CH5_SER_RC	0 1 2 3	JESD204Bの出力電圧振幅レベル。 1.0 × V _{JVT} 0.850 × V _{JVT} 0.750 × V _{JVT} 0.500 × V _{JVT}	0x1	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	DRVSWING_CH4_SER_RC	0	JESD204Bの出力電圧振幅レベル。 1.0 × V _{JVT}	0x1	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
				1	$0.850 \times V_{JVT}$		
				2	$0.750 \times V_{JVT}$		
				3	$0.500 \times V_{JVT}$		
0x5B5	JTX_SWING4	7	Reserved		予備。	0x0	R
		[6:4]	DRVSWING_CH7_ SER_RC		JESD204B の出力電圧振幅レベル。	0x1	R/W
				0	$1.0 \times V_{JVT}$		
				1	$0.850 \times V_{JVT}$		
				2	$0.750 \times V_{JVT}$		
				3	$0.500 \times V_{JVT}$		
		3	Reserved		予備。	0x0	R
		[2:0]	DRVSWING_CH6_ SER_RC		JESD204B の出力電圧振幅レベル。	0x1	R/W
				0	$1.0 \times V_{JVT}$		
				1	$0.850 \times V_{JVT}$		
				2	$0.750 \times V_{JVT}$		
				3	$0.500 \times V_{JVT}$		
0x5B6	JTX_SWING5	7	Reserved		予備。	0x0	R
		[6:4]	DRVSWING_CH9_ SER_RC		JESD204B の出力電圧振幅レベル。	0x1	R/W
				0	$1.0 \times V_{JVT}$		
				1	$0.850 \times V_{JVT}$		
				2	$0.750 \times V_{JVT}$		
				3	$0.500 \times V_{JVT}$		
		3	Reserved		予備。	0x0	R
		[2:0]	DRVSWING_CH8_ SER_RC		JESD204B の出力電圧振幅レベル。	0x1	R/W
				0	$1.0 \times V_{JVT}$		
				1	$0.850 \times V_{JVT}$		
				2	$0.750 \times V_{JVT}$		
				3	$0.500 \times V_{JVT}$		
0x5B7	JTX_SWING6	7	Reserved		予備。	0x0	R
		[6:4]	DRVSWING_CH11_ SER_RC		JESD204B の出力電圧振幅レベル。	0x1	R/W
				0	$1.0 \times V_{JVT}$		
				1	$0.850 \times V_{JVT}$		
				2	$0.750 \times V_{JVT}$		
				3	$0.500 \times V_{JVT}$		
		3	Reserved		予備。	0x0	R
		[2:0]	DRVSWING_CH10_ SER_RC		JESD204B の出力電圧振幅レベル。	0x1	R/W
				0	$1.0 \times V_{JVT}$		
				1	$0.850 \times V_{JVT}$		
				2	$0.750 \times V_{JVT}$		
				3	$0.500 \times V_{JVT}$		
0x5B8	JTX_SWING7	7	Reserved		予備。	0x0	R
		[6:4]	DRVSWING_CH13_ SER_RC		JESD204B の出力電圧振幅レベル。	0x1	R/W
				0	$1.0 \times V_{JVT}$		
				1	$0.850 \times V_{JVT}$		
				2	$0.750 \times V_{JVT}$		
				3	$0.500 \times V_{JVT}$		
		3	Reserved		予備。	0x0	R
		[2:0]	DRVSWING_CH12_ SER_RC		JESD204B の出力電圧振幅レベル。	0x1	R/W
				0	$1.0 \times V_{JVT}$		
				1	$0.850 \times V_{JVT}$		
				2	$0.750 \times V_{JVT}$		
				3	$0.500 \times V_{JVT}$		

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x5B9	JTX_SWING8	7	Reserved		予備。	0x0	R
		[6:4]	DRVSWING_CH15_SER_RC		JESD204B の出力電圧振幅レベル。 0 1.0 × V _{JVTT} 1 0.850 × V _{JVTT} 2 0.750 × V _{JVTT} 3 0.500 × V _{JVTT}	0x1	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	DRVSWING_CH14_SER_RC		JESD204B の出力電圧振幅レベル。 0 1.0 × V _{JVTT} 1 0.850 × V _{JVTT} 2 0.750 × V _{JVTT} 3 0.500 × V _{JVTT}	0x1	R/W
0x5BA	SERDOUT0/SERDOUT1 de-emphasis select	7	Reserved		予備。	0x0	R
		[6:4]	SERDOUT1		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	SERDOUT0		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
0x5BB	SERDOUT2/SERDOUT3 de-emphasis select	7	Reserved		予備。	0x0	R
		[6:4]	SERDOUT3		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	SERDOUT2		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
0x5BC	SERDOUT4/SERDOUT5 de-emphasis select	7	Reserved		予備。	0x0	R
		[6:4]	SERDOUT5		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
		3	Reserved		予備。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
		[2:0]	SERDOUT4		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
0x5BD	SERDOUT6/SERDOUT7 de-emphasis select	7	Reserved		予備。	0x0	R
		[6:4]	SERDOUT7		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	SERDOUT6		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
0x5BE	SERDOUT8/SERDOUT9 de-emphasis select	7	Reserved		予備。	0x0	R
		[6:4]	SERDOUT9		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	SERDOUT8		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
0x5BF	SERDOUT10/SERDOUT11 de-emphasis select	7	Reserved		予備。	0x0	R
		[6:4]	SERDOUT11		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	SERDOUT10		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x5C0	SERDOUT12/SERDOUT13 de-emphasis select	7	Reserved		予備。	0x0	R
		[6:4]	SERDOUT13		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	SERDOUT12		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
0x5C1	SERDOUT14/SERDOUT15 de-emphasis select	7	Reserved		予備。	0x0	R
		[6:4]	SERDOUT15		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	SERDOUT14		ポスト・タップ・レベルの設定。 0 0dB。 1 3dB。 2 6dB。 3 9dB。 4 12dB。 5 to 7 該当せず。	0x0	R/W
0x5EA	MAIN_DATA_INV	7	OUTPUTDATAINVERT_CH7_SER_RC		JTx、チャンネル7データの反転。 0 ノーマル。 1 反転。	0x0	R/W
		6	OUTPUTDATAINVERT_CH6_SER_RC		JTx、チャンネル6データの反転。 0 ノーマル。 1 反転。	0x0	R/W
		5	OUTPUTDATAINVERT_CH5_SER_RC		JTx、チャンネル5データの反転。 0 ノーマル。 1 反転。	0x0	R/W
		4	OUTPUTDATAINVERT_CH4_SER_RC		JTx、チャンネル4データの反転。 0 ノーマル。 1 反転。	0x0	R/W
		3	OUTPUTDATAINVERT_CH3_SER_RC		JTx、チャンネル3データの反転。 0 ノーマル。 1 反転。	0x0	R/W
		2	OUTPUTDATAINVERT_CH2_SER_RC		JTx、チャンネル2データの反転。 0 ノーマル。 1 反転。	0x0	R/W
		1					

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
		1	OUTPUTDATAINVERT_CH1_SER_RC	0 1	JTx、チャンネル 1 データの反転。 ノーマル。 反転。	0x0	R/W
		0	OUTPUTDATAINVERT_CH0_SER_RC	0 1	JTx、チャンネル 0 データの反転。 ノーマル。 反転。	0x0	R/W
0x5EB	MAIN_DATA_INV2	7	OUTPUTDATAINVERT_CH15_SER_RC	0 1	JTx、チャンネル 15 データの反転。 ノーマル。 反転。	0x0	R/W
		6	OUTPUTDATAINVERT_CH14_SER_RC	0 1	JTx、チャンネル 14 データの反転。 ノーマル。 反転。	0x0	R/W
		5	OUTPUTDATAINVERT_CH13_SER_RC	0 1	JTx、チャンネル 13 データの反転。 ノーマル。 反転。	0x0	R/W
		4	OUTPUTDATAINVERT_CH12_SER_RC	0 1	JTx、チャンネル 12 データの反転。 ノーマル。 反転。	0x0	R/W
		3	OUTPUTDATAINVERT_CH11_SER_RC	0 1	JTx、チャンネル 11 データの反転。 ノーマル。 反転。	0x0	R/W
		2	OUTPUTDATAINVERT_CH10_SER_RC	0 1	JTx、チャンネル 10 データの反転。 ノーマル。 反転。	0x0	R/W
		1	OUTPUTDATAINVERT_CH9_SER_RC	0 1	JTx、チャンネル 9 データの反転。 ノーマル。 反転。	0x0	R/W
		0	OUTPUTDATAINVERT_CH8_SER_RC	0 1	JTx、チャンネル 8 データの反転。 ノーマル。 反転。	0x0	R/W
0x600	DDC_SYNC_CTRL	7	DDC_TRIG_NCO_RESET_EN		DDC トリガの NCO リセットをイネーブル。	0x0	R/W
		[6:5]	Reserved		予備。	0x0	R
		4	DDC_SOFT_RESET	0 1	デジタル・ダウン・コンバータのソフト・リセット。 注記：このビットは、DDC ブロック内の全 NCO の同期に使用できます。 通常動作。 DDC をリセット状態に保持。	0x0	R/W
		[3:2]	Reserved		予備。	0x0	R
		1	DDC_SYNC_NEXT	0 1	DDC 次回同期モード。DDC_SYNC_EN = 1、または DDC_TRIG_NCO_RESET_EN = 1 の場合のみ使用します。これらは、いかなる時点でも同時に 1 にセットしないでください。 連続モード。この機能を連続モードで正しく動作させるには、SYSREF の周波数が NCO 周波数の整数倍になっている必要があります。 同期モード。DDC ブロック内の DDC の同期には、SYSREF_x ピンの次の有効エッジだけが使われます。SYSREF_x ピンのその後のエッジは、DDC_SYNC_EN がクリアされて再度セットされるまで無視されます。	0x1	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
		0	DDC_SYNC_EN		DDC同期のイネーブル。 0 同期ディスエーブル。 1 同期イネーブル。DDC_SYNC_NEXT = 1 の場合は、DDCブロック内のNCOの同期に、SYSREF_xピンの次の有効エッジだけが使われます。SYSREF_xピンのその後のエッジは無視されます。次のSYSREF_xエッジが受信されたときは、そのSYSREF_xエッジのその後の使用に備えてDDC_SYNC_ENビットをクリアする必要があります。	0x0	R/W
0x601	DDC_SYNC_STATUS	[7:1]	Reserved		予備。	0x0	R
		0	DDC_SYNC_EN_CLEAR		DDC同期イネーブルのクリア・ステータス	0x0	R
0x602	DDC_TRIG_CTRL	[7:1]	Reserved		予備。	0x0	R
		0	DDC_TRIG_HOP_EN		DDC TRIG_x ホップのイネーブル。 周波数ホッピングは TRIG_x 信号と無関係に行われ 0 1 周波数ホッピングに TRIG_x 信号が使われます。ディスエーブルした場合、周波数ホッピングは、レジスタ・マップまたは GPIO からデコードされたチャンネル選択に基づいて行われます。シングル・チャンネルの場合、アクティブ・チャンネルのシャドウ・レジスタに PHASE_INC と PHASE_OFFSET が書き込まれ ます。	0x0	R/W
0x606	CHIP_DP_MODE	[7:6]	Reserved		予備。	0x0	R
		5	CHIP_I_ONLY		実数 (I) の選択。 0 実数 (I) と複素数 (Q) を選択。 1 実数 (I) のみを選択。複素数 (Q) は無視。	0x0	R/W
		4	Reserved		予備。	0x0	R
		[3:0]	CHIP_DP_APP_MODE		チップ・アプリケーション層の動作モード。 0x0 フル帯域幅モード (高性能モード)。 0x1 1 DDC モード (DDC0のみ)。 0x2 to 0xF 使用しません。	0x0	R/W
0x607	CHIP_DEC_RATIO	[7:4]	Reserved		予備。	0x0	R
		[3:0]	CHIP_DEC_RATIO		チップのデシメーション・レシオ。 フル・サンプル・レート (デシメーション・レシオ 0x0 1)。 0x1 デシメーション・レシオ 2。 0x2 デシメーション・レシオ 4。 0x3 デシメーション・レシオ 8。 0x4 デシメーション・レシオ 16。 0x5 デシメーション・レシオ 32。 0x6 デシメーション・レシオ 64。 0x7 デシメーション・レシオ 128。 0x8 予備。 0x9 デシメーション・レシオ 3。 0xA デシメーション・レシオ 6。 0xB デシメーション・レシオ 12。 0xC デシメーション・レシオ 24。 0xD デシメーション・レシオ 48。 0xE デシメーション・レシオ 96。 0xF 予備。	0x0	R/W
0x608	CHIP_RES_0	[7:4]	CHIP_CONV_RES_0		チップ・コンバータ分解能 0、ビット [7:4]。アプリケーション層モード 0 (高性能モード) のチップ・コンバータ分解能。 0x0 16 ビット分解能。 0x1 15 ビット分解能。 ... 0x9 7 ビット分解能。 0xA to 0xF 予備。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
		[3:0]	CHIP_OUT_RES_0		チップ出力分解能 0、ビット [3:0]。アプリケーション層モード 0 (高性能モード) のチップ出力分解能。 0x0 16 ビット分解能。 0x1 15 ビット分解能。 ... 0x9 7 ビット分解能 0xA to 0xF 予備。	0x0	R/W
0x609	CHIP_RES_1	[7:4]	CHIP_CONV_RES_1		チップ・コンバータ分解能 1、ビット [7:4]。アプリケーション層モード 1 のチップ・コンバータ分解能。 0x0 16 ビット分解能。 0x1 15 ビット分解能。 ... 0x9 7 ビット分解能 0xA to 0xF 予備。	0x0	R/W
		[3:0]	CHIP_OUT_RES_1		チップ出力分解能 1、ビット [3:0]。アプリケーション層モード 1 のチップ出力分解能。 0x0 16 ビット分解能。 0x1 15 ビット分解能。 ... 0x9 7 ビット分解能 0xA to 0xF 予備。	0x0	R/W
0x620	CTRL_0_1_SEL	[7:4]	DFORMAT_CTRL_BIT_1_SEL		制御ビット 1 の MUX 選択。 0x0 オーバーレンジ・ビット。 0x1 ロー (1'b0) に接続。 0x2 信号モニタ (SMON) ビット。 0x3 高速検出 (FD) ビット。 0x4 予備。 0x5 SYSREF_x。 0x6 予備。 0x7 予備。 0x8 NCO チャンネル選択、ビット 0。 0x9 NCO チャンネル選択、ビット 1。 0xA NCO チャンネル選択、ビット 2。 0xB NCO チャンネル選択、ビット 3。	0x0	R/W
		[3:0]	DFORMAT_CTRL_BIT_0_SEL		制御ビット 0 の MUX 選択。 0x0 オーバーレンジ・ビット。 0x1 ロー (1'b0) に接続。 0x2 SMON ビット 0x3 FD ビット 0x4 予備。 0x5 SYSREF_x。 0x6 予備。 0x7 予備。 0x8 NCO チャンネル選択、ビット 0。 0x9 NCO チャンネル選択、ビット 1。 0xA NCO チャンネル選択、ビット 2。 0xB NCO チャンネル選択、ビット 3。	0x0	R/W
0x621	CTRL_2_SEL	[7:4]	Reserved		予備。	0x0	R
		[3:0]	DFORMAT_CTRL_BIT_2_SEL		制御ビット 2 の MUX 選択。 0x0 オーバーレンジ・ビット。 0x1 ロー (1'b0) に接続。 0x2 SMON ビット 0x3 FD ビット 0x4 予備。 0x5 SYSREF_x。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
				0x6	予備。		
				0x7	予備。		
				0x8	NCO チャンネル選択、ビット 0。		
				0x9	NCO チャンネル選択、ビット 1。		
				0xA	NCO チャンネル選択、ビット 2。		
				0xB	NCO チャンネル選択、ビット 3。		
0x622	OUT_FORMAT_SEL	[7:3]	Reserved		予備。	0x0	R
		2	DFORMAT_INV		出力データ反転のイネーブル。デジタル ADC のサンプル反転。 0 ADC サンプル・データを反転しない。 1 ADC サンプル・データを反転する。	0x0	R/W
		[1:0]	DFORMAT_SEL		出力データ・フォーマットの選択。デジタル ADC のデータ・フォーマット選択 (DFS)。 00 2 の補数 (デフォルト)。 01 オフセット・バイナリ。 10 グレイ・コード。 11 予備。	0x0	R/W
0x623	OVR_STATUS	[7:2]	Reserved		予備。	0x0	R
		[1:0]	DFORMAT_OVR_STATUS		出力オーバーレンジ・ステータス・インジケータ。コンバータ・オーバーレンジ表示用のスティッキー・ビット (アクティブ・ハイ)。各仮想コンバータに 1 ビット。コンバータが仕様規定された入力範囲を超えて駆動された場合はこのビットが 1 にセットされ、対応する DFORMAT_OVR_CLEAR [1:0] ビットに 1 を書き込むことによって明示的にクリアされるまで、スティッキー状態に (セットされたまま) になります。この対応する DFORMAT_OVR_CLEAR [1:0] ビットは、その後もオーバーフローをレポートできるようにクリアする必要があります。 ビット 0: コンバータ 0 のオーバーレンジ・スティッキー・ビット。 ビット 1: コンバータ 1 のオーバーレンジ・スティッキー・ビット。 0 オーバーレンジなし。 1 オーバーレンジが発生。	0x0	R
0x624	OVR_CLR	[7:2]	Reserved		予備。	0x0	R
		[1:0]	DFORMAT_OVR_CLR		オーバーレンジ・ステータスのクリア。コンバータ・オーバーレンジのクリア・ビット (アクティブ・ハイ)。オーバーレンジ・スティッキー・ビットがセットされた場合、そのビットは、対応する DFORMAT_OVR_CLEAR [1:0] ビットに 1 を書き込むことによって明示的にクリアされるまで、セットされたままになります。DFORMAT_OVR_CLEAR [1:0] ビットは、その後もオーバーレンジをレポートできるようにクリアする必要があります。 ビット 0: コンバータ 0 のオーバーレンジ・スティッキー・ビットをクリア。 ビット 1: コンバータ 1 のオーバーレンジ・スティッキー・ビットをクリア。	0x0	R/W
0x625	OUT_CHAN_SEL	[7:2]	Reserved		予備。	0x0	R
		1	DFORMAT_CHAN_REPLICATE		出力チャンネルの複製制御。 0 未使用コンバータの出力はゼロになります。 1 未使用コンバータの出力は有効コンバータ出力の複製になります。例えば、高性能モード (CHIP_APP_MODE = 0x0) ではコンバータ 1 を使用しません。このビットをセットすると、コンバータ 0 がコンバータ 1 に複製されます。	0x0	R/W
		0	DFORMAT_CHAN_SWAP		出力コンバータのチャンネル・スワップ制御。 0 通常のチャンネル・オーダー。 1 チャンネル・スワップをイネーブル。コンバータ 0 とコンバータ 1 がスワップされます。	0x0	R/W
0x626	OUT_RES	[7:5]	Reserved		予備。	0x0	R
		4	DFORMAT_FBW_DITHER_EN		DFORMAT フル帯域幅 (FBW) ディザのイネーブル。モードに合わせて DFORMAT ディザをイネーブル/ディセーブルします。 0 ディザをディセーブル。 1 ディザをイネーブル。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
		[3:0]	DIFORMAT_RES	0x0 0x1 ... 0x9 0xA to 0xF	データ出力分解能。 16 ビット分解能。 15 ビット分解能。 ... 7 ビット分解能。 予備。	0x0	R/W
0x630	DDC_CTRL	[7:5]	Reserved		予備。	0x0	R
		4	DDC0_C2R_EN	0 1	複素数から実数への変換の有効化。 複素 (I と Q) 出力に有効なデータが含まれていま す。 0 1 実数 (I) 出力のみ。複素数から実数への変換を有効 化。実数への変換には追加の $f_s/4$ ミキシングを使用し ます。	0x0	R/W
		[3:2]	DDC0_IF_MODE		DDC 中間周波数 (IF) モード。	0x0	R/W
				00 01 10 11	00 可変 IF モード。ミキサーと NCO をイネーブルしま す。DDC PHASE_INC [11:0] を使って IF 周波数をデ ジタル調整します。 01 0Hz IF モード。ミキサーをバイパスして NCO をディ スエーブルします。このモードはミキサーおよび NCO 内のクロック・ゲーティング・セルを推測し、ミキサ ー乗算器の組み合わせロジックをゲートしてダイナミ ック・ロジックを保存します。 10 $f_s/4$ Hz IF モード。ミキサーと NCO は、 $f_s/4$ モードによ る特別なダウンミキシング時にイネーブルされます。 この省電力モードについては、JESD204B 規格の 1.1.6.1.6 項に詳しく説明されています。このモードの $f_s/4$ IF モード・ゲインは、可変 IF モード $f_s/4$ の場合と は異なります。 11 テスト・モード。入力サンプルは+0.999~ (正のフル ・スケール) に強制されます。このテスト・モード では NCO がイネーブルされ、NCO が直接デシメーシ ョン・フィルタを駆動できます。このモードは、NCO とデシメーション・フィルタの性能の評価に有効で す。		
		1	DDC0_GAIN	0 1	ゲイン選択。ゲインを使用して入力信号をベースバン ドまでミキシングすることに伴う 6dB の損失を補償 し、その負の成分を除去することができます。 0 0dB のゲイン。 1 6dB のゲイン (2 倍)。	0x0	R/W
		0	Reserved		予備。	0x0	R
0x631	DDC_DEC_CTRL	[7:4]	Reserved		予備。	0x0	R
		[3:0]	DDC0_DEC_SEL		デシメーション・レシオの選択。 0 デシメーション・レシオ 2。 1 デシメーション・レシオ 4。 2 デシメーション・レシオ 8。 3 デシメーション・レシオ 16。 4 デシメーション・レシオ 32。 5 デシメーション・レシオ 64。 6 デシメーション・レシオ 128。 7 予備。 8 デシメーション・レシオ 6。 9 デシメーション・レシオ 12。 10 デシメーション・レシオ 24。 11 デシメーション・レシオ 48。 12 デシメーション・レシオ 96。 13 予備。 14 予備。 15 予備。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x632	DDC_NCO_CTRL	[7:4]	DDC0_NCO_CHAN_SEL_MODE		<p>NCO チャンネル選択モード。エッジ制御/周波数ホップ・タイマー (FHT) ベース制御では、内部カウンタの値が DDC_NCO_REGMAP_CHAN_SEL に達すると、カウンタがラップします。</p> <p>0000 レジスタ・マップ制御 (DDC_NCO_REGMAP_CHAN_SEL を使用)。</p> <p>0001 PROFILE_PINS [0] を使用。ピン・レベル制御 (3'b0, PROFILE_PINS [0])。</p> <p>0010 PROFILE_PINS [1:0] を使用。ピン・レベル制御 (2'b0, PROFILE_PINS [1:0])。</p> <p>0011 PROFILE_PINS [2:0] を使用。ピン・レベル制御 (1'b0, PROFILE_PINS [2:0])。</p> <p>0100 PROFILE_PINS [3:0] を使用。ピン・レベル制御 (PROFILE_PINS [3:0])。</p> <p>0101 to 0111 予備。</p> <p>1000 PROFILE_PINS [0]。ピン・エッジ制御、PROFILE_PINS [0] の立上がりエッジで内部カウンタをインクリメントします。</p> <p>1100 FHT 終了ベース制御。FHT の終了時に内部カウンタをインクリメントします。</p> <p>1101 to 1111 予備。</p>	0x0	R/W
		[3:0]	DDC0_NCO_REGMAP_CHAN_SEL		<p>NCO チャンネル選択レジスタのマップ制御。</p> <p>0000 NCO チャンネル 0 を選択。</p> <p>0001 NCO チャンネル 1 を選択。</p> <p>0010 NCO チャンネル 2 を選択。</p> <p>0011 NCO チャンネル 3 を選択。</p> <p>0100 NCO チャンネル 4 を選択。</p> <p>...</p> <p>1111 NCO チャンネル 15 を選択。</p>	0x0	R/W
0x633	DDC_PROFILE_CTRL	7	DDC0_PROFILE_UPDATE_MODE		<p>DDC プロファイル更新モードと DDC 位相更新モード。</p> <p>0 即時/連続更新。位相インクリメント値と位相オフセット値は、直ちに更新されます。</p> <p>1 位相インクリメント値と位相オフセット値は、CHIP_TRANSFER ビットのローからハイへの遷移に同期して更新されます。</p>	0x0	R/W
		[6:4]	Reserved		予備。	0x0	R
		[3:0]	DDC0_PROFILE_UPDATE_INDEX		<p>プロファイル更新インデックス。位相とオフセットが更新された NCO チャンネルをインデックスします。更新方法は DDC_PHASE_UPDATE_MODE に基づいて決定され、連続更新以外はチップ転送が必要になります。</p> <p>0000 NCO チャンネル 0 を更新。</p> <p>0001 NCO チャンネル 1 を更新。</p> <p>0010 NCO チャンネル 2 を更新。</p> <p>0011 NCO チャンネル 3 を更新。</p> <p>0100 NCO チャンネル 4 を更新。</p> <p>...</p> <p>1111 NCO チャンネル 15 を更新。</p>	0x0	R/W
0x634	DDC_PHASE_INC0	[7:0]	DDC0_PHASE_INC0		NCO 位相インクリメント値、ビット [7:0]。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s) / 2^{48}$ 。	0x0	R/W
0x635	DDC_PHASE_INC1	[7:0]	DDC0_PHASE_INC1		NCO 位相インクリメント値、ビット [15:8]。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s) / 2^{48}$ 。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x636	DDC_PHASE_INC2	[7:0]	DDC0_PHASE_INC2		NCO 位相インクリメント値、ビット [23:16]。NCO の 2 の補数の位相インクリメント値。複素ミキシング 周波数 = $(DDC_PHASE_INC \times f_s) / 2^{48}$ 。	0x0	R/W
0x637	DDC_PHASE_INC3	[7:0]	DDC0_PHASE_INC3		NCO 位相インクリメント値、ビット [31:24] NCO の 2 の補数の位相インクリメント値。複素ミキシング 周波数 = $(DDC_PHASE_INC \times f_s) / 2^{48}$ 。	0x0	R/W
0x638	DDC_PHASE_INC4	[7:0]	DDC0_PHASE_INC4		NCO 位相インクリメント値、ビット [39:32] NCO の 2 の補数の位相インクリメント値。複素ミキシング 周波数 = $(DDC_PHASE_INC \times f_s) / 2^{48}$ 。	0x0	R/W
0x639	DDC_PHASE_INC5	[7:0]	DDC0_PHASE_INC5		NCO 位相インクリメント値、ビット [47:40] NCO の 2 の補数の位相インクリメント値。複素ミキシング 周波数 = $(DDC_PHASE_INC \times f_s) / 2^{48}$ 。	0x0	R/W
0x63A	DDC_PHASE_OFFSET0	[7:0]	DDC0_PHASE_OFFSET0		NCO 位相オフセット、ビット [7:0] 値は 2 の補数。	0x0	R/W
0x63B	DDC_PHASE_OFFSET1	[7:0]	DDC0_PHASE_OFFSET1		NCO 位相オフセット、ビット [15:8] 値は 2 の補数。	0x0	R/W
0x63C	DDC_PHASE_OFFSET2	[7:0]	DDC0_PHASE_OFFSET2		NCO 位相オフセット値、ビット [23:16]。値は 2 の補数。	0x0	R/W
0x63D	DDC_PHASE_OFFSET3	[7:0]	DDC0_PHASE_OFFSET3		NCO 位相オフセット、ビット [31:24] 値は 2 の補数。	0x0	R/W
0x63E	DDC_PHASE_OFFSET4	[7:0]	DDC0_PHASE_OFFSET4		NCO 位相オフセット、ビット [39:32] 値は 2 の補数。	0x0	R/W
0x63F	DDC_PHASE_OFFSET5	[7:0]	DDC0_PHASE_OFFSET5		NCO 位相オフセット、ビット [47:40] 値は 2 の補数。	0x0	R/W
0x640	DDC_PHASE_INC_FRAC_A0	[7:0]	DDC0_PHASE_INC_FRAC_A0		位相インクリメントの分子、ビット [7:0] モジュラス 位相アキュムレータの分子補正項 (2 の補数)。	0x0	R/W
0x641	DDC_PHASE_INC_FRAC_A1	[7:0]	DDC0_PHASE_INC_FRAC_A1		位相インクリメントの分子、ビット [15:8] モジュラス 位相アキュムレータの分子補正項 (2 の補数)。	0x0	R/W
0x642	DDC_PHASE_INC_FRAC_A2	[7:0]	DDC0_PHASE_INC_FRAC_A2		位相インクリメントの分子、ビット [23:16] モジュラス 位相アキュムレータの分子補正項 (2 の補数)。	0x0	R/W
0x643	DDC_PHASE_INC_FRAC_A3	[7:0]	DDC0_PHASE_INC_FRAC_A3		位相インクリメントの分子、ビット [31:24] モジュラス 位相アキュムレータの分子補正項 (2 の補数)。	0x0	R/W
0x644	DDC_PHASE_INC_FRAC_A4	[7:0]	DDC0_PHASE_INC_FRAC_A4		位相インクリメントの分子、ビット [39:32] モジュラス 位相アキュムレータの分子補正項 (2 の補数)。	0x0	R/W
0x645	DDC_PHASE_INC_FRAC_A5	[7:0]	DDC0_PHASE_INC_FRAC_A5		位相インクリメントの分子、ビット [47:40] モジュラス 位相アキュムレータの分子補正項 (2 の補数)。	0x0	R/W
0x646	DDC_PHASE_INC_FRAC_B0	[7:0]	DDC0_PHASE_INC_FRAC_B0		位相インクリメントの分母、ビット [7:0] モジュラス 位相アキュムレータの分母補正項 (2 の補数)。	0x0	R/W
0x647	DDC_PHASE_INC_FRAC_B1	[7:0]	DDC0_PHASE_INC_FRAC_B1		位相インクリメントの分母、ビット [15:8] モジュラス 位相アキュムレータの分母補正項 (2 の補数)。	0x0	R/W
0x648	DDC_PHASE_INC_FRAC_B2	[7:0]	DDC0_PHASE_INC_FRAC_B2		位相インクリメントの分母、ビット [23:16] モジュラス 位相アキュムレータの分母補正項 (2 の補数)。	0x0	R/W
0x649	DDC_PHASE_INC_FRAC_B3	[7:0]	DDC0_PHASE_INC_FRAC_B3		位相インクリメントの分母、ビット [31:24] モジュラス 位相アキュムレータの分母補正項 (2 の補数)。	0x0	R/W
0x64A	DDC_PHASE_INC_FRAC_B4	[7:0]	DDC0_PHASE_INC_FRAC_B4		位相インクリメントの分母、ビット [39:32] モジュラス 位相アキュムレータの分母補正項 (2 の補数)。	0x0	R/W
0x64B	DDC_PHASE_INC_FRAC_B5	[7:0]	DDC0_PHASE_INC_FRAC_B5		位相インクリメントの分母、ビット [47:40] モジュラス 位相アキュムレータの分母補正項 (2 の補数)。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x64C	DDC_TRANSFER_CTRL	[7:1]	Reserved		予備。	0x0	R
		0	DDC0_CHIP_TRANSFER		DDC チップ転送。このビットは、 DDC_PHASE_UPDATE_MODE = 1 および DDC_GPIO_CHIP_TRANSFER_MODE = 0 の時に、 DDC 位相インクリメント・レジスタと位相オフセット・レジスタを更新します。 0 何もありません。 1 マスター・レジスタからスレーブ・レジスタへのデータ転送を同期します。	0x0	R/W
0x64D	DDC_TRANSFER_STATUS	[7:1]	Reserved		予備。	0x0	R
		0	DDC0_CHIP_TRANSFER_STATUS		DDC チップ転送ステータス・ビット。 0 マスター・レジスタからスレーブ・レジスタへのデータ転送が完了しました。 1 データ転送が要求されていないこと、または完了していないことを示します。	0x0	R
0x650	MOD_NCO_PHASE_ERROR_LOAD_REG0	[7:0]	MOD_NCO_PHASE_ERROR_LOAD_VALUE[7:0]		MOD NCO 位相エラー値。	0x0	R/W
0x651	MOD_NCO_PHASE_ERROR_LOAD_REG1	[7:0]	MOD_NCO_PHASE_ERROR_LOAD_VALUE[15:8]		MOD NCO 位相エラー値。	0x0	R/W
0x652	MOD_NCO_PHASE_ERROR_LOAD_REG2	[7:0]	MOD_NCO_PHASE_ERROR_LOAD_VALUE[23:16]		MOD NCO 位相エラー値。	0x0	R/W
0x653	MOD_NCO_PHASE_ERROR_LOAD_REG3	[7:0]	MOD_NCO_PHASE_ERROR_LOAD_VALUE[31:24]		MOD NCO 位相エラー値。	0x0	R/W
0x654	MOD_NCO_PHASE_ERROR_LOAD_REG4	[7:0]	MOD_NCO_PHASE_ERROR_LOAD_VALUE[39:32]		MOD NCO 位相エラー値。	0x0	R/W
0x655	MOD_NCO_PHASE_ERROR_LOAD_REG5	[7:0]	MOD_NCO_PHASE_ERROR_LOAD_VALUE[47:40]		MOD NCO 位相エラー値。	0x0	R/W
0x656	MOD_NCO_PHASE_ERROR_LOAD_CTRL	[7:1]	Reserved		予備。	0x0	R
		0	MOD_NCO_PHASE_ERROR_LOAD_ENABLE		MOD NCO 位相エラーのロードをイネーブル。	0x0	R/W
0x657	MOD_NCO_PHASE_ERROR_LOAD_STATUS	[7:3]	Reserved		予備。	0x0	R
		2	MOD_NCO_PHASE_ERROR_LOAD_STATUS		MOD NCO 位相エラーのロード・ステータス。	0x0	R
		[1:0]	Reserved		予備。	0x0	R
0x65F	DDC_PSW_0	[7:0]	DDC0_PSW0		DDC プロファイル選択ワード (PSW) 、 [7:0] 。 PSW は、エンコード・サンプル内のプロファイル選択タイマー (PST) のロールオーバー・ポイントを指定します。チャンネル選択カウンタは PST がゼロにロールオーバーするとインクリメントし、PST を通じてチャンネルが選択されます。	0x0	R/W
0x660	DDC_PSW_1	[7:0]	DDC0_PSW1		DDC PSW、ビット [15:8] 。PSW は、エンコード・サンプル内の PST のロールオーバー・ポイントを指定します。チャンネル選択カウンタは PST がゼロにロールオーバーするとインクリメントし、PST を通じてチャンネルが選択されます。	0x0	R/W
0x661	DDC_PSW_2	[7:0]	DDC0_PSW2		DDC PSW、ビット [23:16] 。PSW は、エンコード・サンプル内の PST のロールオーバー・ポイントを指定します。チャンネル選択カウンタは PST がゼロにロールオーバーするとインクリメントし、PST を通じてチャンネルが選択されます。	0x0	R/W
0x662	DDC_PSW_3	[7:0]	DDC0_PSW3		DDC PSW、ビット [31:24] 。PSW は、エンコード・サンプル内の PST のロールオーバー・ポイントを指定します。チャンネル選択カウンタは PST がゼロにロールオーバーするとインクリメントし、PST を通じてチャンネルが選択されます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x663	DDC_PSW_4	[7:0]	DDC0_PSW4		DDC PSW、ビット [39:23]。PSW は、エンコード・サンプル内の PST のロールオーバー・ポイントを指定します。チャンネル選択カウンタは PST がゼロにロールオーバーするとインクリメントし、PST を通じてチャンネルが選択されます。	0x0	R/W
0x664	DDC_PSW_5	[7:0]	DDC0_PSW5		DDC PSW、ビット [47:40]。PSW は、エンコード・サンプル内の PST のロールオーバー・ポイントを指定します。チャンネル選択カウンタは PST がゼロにロールオーバーするとインクリメントし、PST を通じてチャンネルが選択されます。	0x0	R/W
0x665	DDC_ACTIVE_PHASE_INC0	[7:0]	DDC0_ACTIVE_PHASE_INC0		NCO アクティブ位相インクリメント値、ビット [7:0]	0x0	R
0x666	DDC_ACTIVE_PHASE_INC1	[7:0]	DDC0_ACTIVE_PHASE_INC1		NCO アクティブ位相インクリメント値、ビット [15:8]	0x0	R
0x667	DDC_ACTIVE_PHASE_INC2	[7:0]	DDC0_ACTIVE_PHASE_INC2		NCO アクティブ位相インクリメント値、ビット [23:16]。	0x0	R
0x668	DDC_ACTIVE_PHASE_INC3	[7:0]	DDC0_ACTIVE_PHASE_INC3		NCO アクティブ位相インクリメント値、ビット [31:24]	0x0	R
0x669	DDC_ACTIVE_PHASE_INC4	[7:0]	DDC0_ACTIVE_PHASE_INC4		NCO アクティブ位相インクリメント値、ビット [39:32]	0x0	R
0x66A	DDC_ACTIVE_PHASE_INC5	[7:0]	DDC0_ACTIVE_PHASE_INC5		NCO アクティブ位相インクリメント値、ビット [47:40]	0x0	R
0x66B	DDC_ACTIVE_PHASE_OFFSET0	[7:0]	DDC0_ACTIVE_PHASE_OFFSET0		NCO アクティブ位相インクリメント値、ビット [7:0]	0x0	R
0x66C	DDC_ACTIVE_PHASE_OFFSET1	[7:0]	DDC0_ACTIVE_PHASE_OFFSET1		NCO アクティブ位相インクリメント値、ビット [15:8]	0x0	R
0x66D	DDC_ACTIVE_PHASE_OFFSET2	[7:0]	DDC0_ACTIVE_PHASE_OFFSET2		NCO アクティブ位相インクリメント値、ビット [23:16]。	0x0	R
0x66E	DDC_ACTIVE_PHASE_OFFSET3	[7:0]	DDC0_ACTIVE_PHASE_OFFSET3		NCO アクティブ位相インクリメント値、ビット [31:24]	0x0	R
0x66F	DDC_ACTIVE_PHASE_OFFSET4	[7:0]	DDC0_ACTIVE_PHASE_OFFSET4		NCO アクティブ位相インクリメント値、ビット [39:32]	0x0	R
0x670	DDC_ACTIVE_PHASE_OFFSET5	[7:0]	DDC0_ACTIVE_PHASE_OFFSET5		NCO アクティブ位相インクリメント値、ビット [47:40]	0x0	R
0x671	TIMESTAMP_READ_CTRL	[7:1]	Reserved		予備。	0x0	R
		0	TIMESTAMP_READ_ENABLE		タイムスタンプ読出しのイネーブル。タイムスタンプ読出しイネーブル時の立上がりエッジが検出され、次いでタイムスタンプ・カウンタ・データがラッチされます。この保存されたタイムスタンプ・データは、タイムスタンプ・ステータスの読出しに使われます。	0x0	R/W
0x672	TIMESTAMP_COUNTER_REG 0	[7:0]	TIMESTAMP[7:0]		タイムスタンプ・カウンタ値、ビット [7:0]	0x0	R
0x673	TIMESTAMP_COUNTER_REG 1	[7:0]	TIMESTAMP[15:8]		タイムスタンプ・カウンタ値、ビット [15:8]	0x0	R
0x674	TIMESTAMP_COUNTER_REG 2	[7:0]	TIMESTAMP[23:16]		タイムスタンプ・カウンタ値、ビット [23:16]	0x0	R
0x675	TIMESTAMP_COUNTER_REG 3	[7:0]	TIMESTAMP[31:24]		タイムスタンプ・カウンタ値、ビット [31:24]	0x0	R
0x676	TIMESTAMP_COUNTER_REG 4	[7:0]	TIMESTAMP[39:32]		タイムスタンプ・カウンタ値、ビット [39:32]	0x0	R
0x677	TIMESTAMP_COUNTER_REG 5	[7:0]	TIMESTAMP[47:40]		タイムスタンプ・カウンタ値、ビット [47:40]	0x0	R
0x678	TIMESTAMP_COUNTER_REG 6	[7:0]	TIMESTAMP[55:48]		タイムスタンプ・カウンタ値、ビット [55:48]	0x0	R
0x679	TIMESTAMP_COUNTER_REG 7	[7:0]	TIMESTAMP[63:56]		タイムスタンプ・カウンタ値、ビット [63:56]	0x0	R
0x681	JTX_CLK	[7:5]	Reserved		予備。	0x0	R
		4	JTX_CLK_EN		JTx クロック・イネーブルの選択。 0 DDC および JTx クロックをディスエーブル。 1 DDC および JTx クロックをイネーブル。	0x0	R/W
		[3:0]	Reserved		予備。	0x0	R
0x690	SYSREF_DELAY	[7:0]	SYSREF_PROGDELAY		DDC NCO への SYSREF_x バスのプログラマブル遅延。サンプリング・クロックに関する 8 ビット遅延。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x691	TRIG_DELAY	[7:0]	TRIG_PROGDELAY		DDC NCO への TRIG _x バスのプログラマブル遅延。 サンプリング・クロックに関する 8 ビット遅延。	0x0	R/W
0x692	TIMESTAMP_DELAY	[7:0]	TIMESTAMP_PROGDELAY		DIFORMAT 内のタイムスタンプ・バスのプログラマブル遅延。 サンプリング・クロックに関する 8 ビット遅延。	0x0	R/W
0x693	SYSREF_RESYNC	[7:1]	Reserved		予備。	0x0	R
		0	SYSREF_RESYNC		SYSREF _x 再同期モードのイネーブル。SYSREF _x タイムスタンプ・モードはサブクラス 0 動作です。確定的遅延に関わるすべてのサブクラス 1 動作は、ビット 0 = 1 (SYSREF _x 再同期モードを有効) とする必要があります。 0 SYSREF _x タイムスタンプ・モードを有効化。 1 SYSREF _x 再同期モードを有効化。	0x0	R/W
0x1506	PLL_LOCK	7	Reserved		予備。	0x0	R
		6	JESD_PLL_LOCK_HALT_DIS		JESD PLL のロック解除停止を無効化。	0x1	R/W
		[5:0]	Reserved		予備。	0x3B	R/W
0x1507	RESET_CTRL	[7:5]	Reserved		予備。	0x2	R
		4	RESET_JTX		JTx ブロックをリセット。	0x0	R/W
		3	Reserved		予備。	0x0	R/W
		2	RESET_DPATH		データバスをリセット。メイン・デジタルに適用します。	0x0	R/W
		1	RESET_DIG_ANA		デジタル・ブロックとアナログ・セクションのレジスタをリセット。	0x0	R/W
		0	RESET_ANA		アナログ・セクションをリセット。	0x0	R/W
0x1508	SYSREF_CTRL	[7:2]	Reserved		予備。	0x0	R
		1	SYSREF_TRANSITION_SEL		SYSREF _x 遷移の選択。 0 SYSREF _x は、選択した CLK _x のエッジを使ってローからハイへ遷移する時に有効になります。 1 SYSREF _x は、選択した CLK _x のエッジを使ってハイからローへ遷移する時に有効になります。	0x0	R/W
		0	SYSREF_EDGE_SEL		SYSREF _x 取得エッジの選択。 0 CLK _x 入力の立上がりエッジで取得。 1 CLK _x 入力の立下がりエッジで取得。	0x0	R/W
0x1509	SYSREF_STATUS	[7:4]	SYSREF_HOLD_STATUS		ホールド取得ウィンドウのステータスを付与。	0xF	R
		[3:0]	SYSREF_SETUP_STATUS		セットアップ取得ウィンドウのステータスを付与。	0x8	R
0x150A	LVDS_SEL	[7:2]	Reserved		予備。	0x0	R
		1	TRIG_RX_LVDS_SEL		TRIG _x の LVDS モードと差動 CMOS 入力モードの切替え。 0 差動 CMOS を選択。 1 LVDS を選択。	0x0	R/W
		0	SYSREF_RX_LVDS_SEL		SYSREF _x の LVDS モードと差動 CMOS 入力モードの切替え。 0 差動 CMOS を選択。 1 LVDS を選択。	0x0	R/W
0x150C	SPI_EN_DCS	[7:1]	Reserved		予備。	0x0	R
		0	SPI_EN_DCS		デューティサイクル・スタビライザ。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
0x150D	SPI_EN_FDLY	[7:2]	Reserved		予備。	0x0	R
		1	SPI_EN_SFDLY		超微小遅延セルのイネーブル・ビット。 0 ディスエーブル。 1 イネーブル (微小遅延セルの半分を含む)。	0x0	R/W
		0	SPI_EN_FDLY		微小遅延セルのイネーブル・ビット。微小遅延セルの半分の 2 個直列にします。それぞれ 24 ステップの調整が可能です。 0 ディスエーブル。 1 イネーブル (微小遅延セルの半分の 2 個)。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x150E	SPI_TRM_FINE_DLY	[7:0]	SPI_TRM_FINE_DLY		クロックの微調整。これは、サンプリング・クロック・スキューをステップあたり 1.1ps、合計 48 ステップで調整するための符号なし制御です。これらのビットは、レジスタ 0x150D のビット 1 またはビット 0 が 1 にセットされている場合のみ使われます。最小遅延 = 0、最大遅延 = 48。	0x0	R/W
0x150F	SPI_TRM_SUPER_FINE_DLY	[7:0]	SPI_TRM_SUPER_FINE_DLY		クロックの超微小遅延調整。これは、サンプリング・クロック・スキューをステップあたり 16fs、合計 255 ステップで調整するための符号なし制御です。これらのビットは、レジスタ 0x150D のビット 1 = 1、レジスタ 0x1510 のビット 0 = 0 の場合のみ使われます。最小遅延 = 0、最大遅延 = 255。	0x0	R/W
0x1510	SPI_SFDC_BYPASS	[7:1]	Reserved		予備。	0x0	R
		0	SPI_SFDC_BYPASS		超微小遅延セルのバイパス。このビットは SPI_EN_SFDCLY ビットと共に機能します。SPI_EN_SFDCLY = 0 の時、SPI_SFDC_BYPASS = 0 または 1 (ドント・ケア)。SPI_EN_SFDCLY = 1 の時は、SPI_SFDC_BYPASS = 1 で超微小遅延セルがバイパスされます。	0x0	R/W
0x1511	BKEND_TOP_GAIN_ADJ	[7:1]	Reserved		予備。	0x0	R
		0	GAIN_2X		このビットを 1 に設定すると、出力のデータが 2 倍になります。	0x0	R/W
0x1512	SUPPLY_MON1	[7:6]	Reserved		予備。	0x0	R
		5	SUPMON_VTTPHY_SER_0P9		SERDES 用の 1V 電源モニタ。	0x1	R
		4	SUPMON_VDDSYNTH_LCPLL_0P9		JESD204B シンセサイザ用の 1V 電源モニタ。	0x1	R
		3	SUPMON_VDDD_LCPLL_0P9		JESD PLL 用の 1V デジタル電源モニタ。	0x1	R
		2	SUPMON_VDDA_REFADC_1P0		リファレンス ADC 用の 1V アナログ電源モニタ。	0x1	R
		1	SUPMON_VDDA_CLK_1P0		クロック用の 1V アナログ電源モニタ。	0x1	R
		0	SUPMON_VDDA_1P0		1V アナログ電源モニタ。	0x1	R
0x1513	SUPPLY_MON2	[7:5]	Reserved		予備。	0x0	R
		4	SUPMON_VDDA_TMU_1P8		TMU 用の 2V アナログ電源モニタ。	0x1	R
		3	SUPMON_VDDLDO_LCPLL_1P8		JESD204B LDO 用の 2V 電源モニタ。	0x1	R
		2	SUPMON_VDDD_SPI_1P8		SPI パッド用の 2V デジタル電源モニタ。	0x1	R
		1	SUPMON_VDDA_REF_2P0		リファレンス用の 2V アナログ電源モニタ。	0x1	R
		0	SUPMON_VDDA_BUF_2P0		バッファ用の 2V アナログ電源モニタ。	0x1	R
0x1514	SUPPLY_MON3	[7:2]	Reserved		予備。	0x0	R
		1	SUPMON_VEEA_NEG1P0		-1V アナログ電源モニタ。	0x1	R
		0	SUPMON_VEEA_BUF_NEG1P0		バッファ用の -1V アナログ電源モニタ。	0x1	R
0x1515	PDOWN_CTRL	[7:3]	PDB_REF_NOHCLK		リファレンスのパワーダウン。	0x1F	R/W
		2	SPI_PDB_CLKBUF		クロック・バッファのパワーダウン。	0x1	R/W
		1	STDBY_CHIP		スタンバイ・チップ。	0x0	R/W
		0	PD_CHIP		チップをパワーダウン	0x0	R/W
0x1516	SPI_EN_FDLY_SYS	[7:2]	Reserved		予備。	0x0	R
		1	SPI_EN_SFDCLY_SYS		システム・クロックの超微小遅延セル・イネーブル・ビット。 0 ディスエーブル。 1 イネーブル (微小遅延セルの半分を含む)。	0x0	R/W
		0	SPI_EN_FDLY_SYS		システム・クロックの微小遅延セル・イネーブル・ビット。微小遅延セルの半分を 2 個直列にします。それぞれ 24 ステップの調整が可能です。 0 ディスエーブル。 1 イネーブル (微小遅延セルの半分を 2 個)。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x1517	SPI_TRM_FINE_DLY_SYS	[7:0]	SPI_TRM_FINE_DLY_SYS		システム・クロックの微調整。これは、システム・クロック・スキューをステップあたり 1.1ps、合計 48 ステップで調整するための符号なし制御です。これらのビットは、レジスタ 0x1516 のビット 1 またはビット 0 が 1 に設定されている場合にのみ使われます。最小遅延 = 0、最大遅延 = 48。	0x0	R/W
0x1518	SPI_TRM_SUPER_FINE_DLY_SYS	[7:0]	SPI_TRM_SUPER_FINE_DLY_SYS		SYS クロックの超微小遅延調整。これは、システム・クロック・スキューをステップあたり 16fs、合計 255 ステップで調整するための符号なし制御です。これらのビットは、レジスタ 0x1516 のビット 1 = 1、レジスタ 0x1519 のビット 0 = 0 の場合にのみ使われます。最小遅延 = 0、最大遅延 = 255。	0x0	R/W
0x1519	SPI_SFDC_BYPASS_SYS	[7:1]	Reserved		予備。	0x0	R
		0	SPI_SFDC_BYPASS_SYS		システム・クロックの超微小遅延セルをバイパスします。このビットは SPI_EN_SFDC_SYS ビットと共に機能します。SPI_EN_SFDC_SYS = 0 の時、SPI_SFDC_BYPASS_SYS = 0 または 1 (ドント・ケア)。SPI_EN_SFDC_SYS = 1 の時は、SPI_SFDC_BYPASS_SYS = 1 で超微小遅延セルがバイパスされます。	0x0	R/W
0x151A	EN_VCM_MODE	[7:2]	Reserved		予備。	0x0	R
		[1:0]	EN_VCM_MODE		VCM イネーブル・モード制御。 00 内部および外部 VCM 制御バッファをディスエーブル。 01 スタートアップ。内部 VCM 制御バッファをイネーブル。 10 外部 VCM 制御バッファをイネーブル。 11 内部および外部 VCM 制御バッファをイネーブル。補助モード。	0x1	R/W
0x151B	SPI_NVG1	[7:3]	Reserved		予備。	0x0	R
		[2:1]	SPI_EN_SUM_NVG_IP0		イネーブルされたループを制御するためにイネーブルされる NVG ループは複数あり、それにより公称モードの効率を向上させることができます。入力バッファが高性能モードの時のバイナリ値は 11 で、公称モードの時は 10 です。	0x2	R/W
		0	SPI_EN_NVG_IP0		負の IV ジェネレータ・イネーブル・ビット。 0 パワーダウン。 1 イネーブル。	0x1	R/W
0x151D	CLOCK_DETECT_CTRL	[7:2]	Reserved		予備。	0x0	R
		1	CLOCK_DETECT_DIS_FLAG		クロック検出機能をディスエーブルして停止。 0 イネーブル。 1 ディスエーブル。	0x1	R/W
		0	CLOCK_DETECT		クロック検出ロックの状態。このビットはクロック検出回路の瞬時値を示します。 0 ロック解除。 1 ロック。	0x1	R
0x151E	MCS_CTRL	[7:4]	Reserved		予備。	0x0	R
		[3:2]	MCS_TRIG_FREQ_HOP_MODE		周波数ホッピング用の TRIG_x、または周波数ホップに SYSREF_OUT/div8 カウンタを使用する時にイネーブル。 00 ディスエーブル。 01 EDGE_TRIGGERED。TRIG_x ビンの立上がりエッジが NCO の周波数ホップをトリガします。このモードで必要なのは、TRIG_x バッファをイネーブルすることだけです。	0x0	R/W
		1	MCS_DPLL_LOCK_DETECT		連続 SYSREF_x モードの MCS ロック・ステータス。ロックされた時にアサートされます。	0x0	R
		0	Reserved		予備。	0x0	R/W
0x1521	MCS_SYSREF_IGNORE_COUNT	[7:0]	MCS_SYSREF_IGNORE_COUNT		スタートアップ時に無視する SYSREF_x パルスの数。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x1522	CHIP_SPEED_GRADE	[7:4]	Reserved		予備。	0x0	R
		[3:0]	CHIP_SPEED_GRADE		チップの速度グレード。	0x0	R/W
0x1523	GPIO_PDEB	[7:5]	Reserved		予備。	0x0	R
		[4:0]	GPIO_PDEB		GPIO プルダウン、アクティブ・ロー。	0x1F	R/W
0x1600	USER_CTRL_TRANSFER	[7:1]	Reserved		予備。	0x0	R
		0	USER_CTRL_TRANSFER		制御転送ビットの使用。1 に設定すると、レジスタ 0x1601 の最終設定がレジスタ 0x1636 に適用されます。自動クリア。	0x0	R/W
0x1601	CAL_CONTROL	[7:1]	Reserved		予備。	0x0	R
		0	CAL_FREEZE		バックグラウンド・キャリブレーションを停止するためのフリーズ・ビット。	0x0	R/W
0x1602	CLOCK_RATE	[7:3]	Reserved		予備。	0x0	R
		[2:0]	CLOCK_RATE		キャリブレーション調整のための動作クロック・レートを指定するために使用。最大 4 種類のクロック・レートをサポート (ユーザ選択可能)。 0 クロック・レート 0。 1 クロック・レート 1。 10 クロック・レート 2。 11 クロック・レート 3。	0x0	R/W
0x1606	GPIO_CONTROL	[7:4]	Reserved		予備。	0x0	R
		[3:0]	GPIO_PROFILE		使用する GPIO プロファイルを決定。 0 ディスエーブル。GPIO プロファイルをディスエーブル。 1 GPIO [4] = FREEZE_CAL GPIO [3:0] = Profile [3:0] 10 FREEZE_CAL をディスエーブル GPIO [3:0] = Profile [3:0]	0x0	R/W
0x1609	MAX_TEMPERATURE_LSB	[7:0]	MAX_TEMPERATURE[7:0]		すべての温度センサーの最大温度 Q9.7 フォーマット。TMU のセクションを参照。	0x0	R
0x160A	MAX_TEMPERATURE_MSB	[7:0]	MAX_TEMPERATURE[15:8]		すべての温度センサーの最大温度 Q9.7 フォーマット。	0x0	R
0x160D	MIN_TEMPERATURE_LSB	[7:0]	MIN_TEMPERATURE[7:0]		すべての温度センサーの最小温度 Q9.7 フォーマット。TMU のセクションを参照。	0x0	R
0x160E	MIN_TEMPERATURE_MSB	[7:0]	MIN_TEMPERATURE[15:8]		すべての温度センサーの最小温度 Q9.7 フォーマット。TMU のセクションを参照。	0x0	R
0x160F	FD_OV_CONTROL	[7:2]	Reserved		予備。	0x0	R
		1	OV_EN		過電圧 FD ピンをイネーブル。	0x0	R/W
		0	FD_EN		高速検出 FD ピンをイネーブル。	0x0	R/W
0x1612	CHANNEL_GAIN_CONTROL_LSB	[7:0]	CHANNEL_GAIN_CONTROL[7:0]		チャンネル全体のゲイン調整制御。値は Q2.14 フォーマットで表されます。	0x0	R/W
0x1613	CHANNEL_GAIN_CONTROL_MSB	[7:0]	CHANNEL_GAIN_CONTROL[15:8]		チャンネル全体のゲイン調整制御。値は Q2.14 フォーマットで表されます。	0x40	R/W
0x1614	ENCODE_CHANGE (Only For Changing Sampling Rate On The Fly)	[7:3]	Reserved		予備。	0x0	R
		2	ACK_ENCODE_CHANGE_DONE		アックレッジ・エンコード変更完了。	0x0	R
		1	ENCODE_CHANGE_DONE		エンコード・クロック・レート変更の指示ビット。ユーザ設定。	0x0	R/W
		0	READY_FOR_ENCODE_CHANGE		エンコード・クロック・レート変更許可ビット。ユーザが指示。	0x0	R
0x1615	VREF_IMPORT_EN	[7:1]	Reserved		予備。	0x0	R
		0	VREF_IMPORT_EN		外部バンドギャップ電圧のインポートをイネーブル。	0x0	R/W
0x1616	VREF_MON_SEL	[7:0]	VREF_MON_SEL		外部バンドギャップ電圧 (VREF_IMPORT_EN = 1) をインポート。 1 VREF をインポート。	0x0	R/W
0x1617	DC_COUPLED_MODE_EN	[7:1]	Reserved		予備。	0x0	R
		0	DC_COUPLED_MODE_EN		入力信号の DC 成分保持をイネーブル。 0 AC カップリング・モード。入力信号の DC 成分を能動的にヌル化。 1 DC カップリング・モード。入力信号の DC 成分を保持。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x1621	MCS_MODE	[7:4]	Reserved		予備。	0x0	R
		[3:0]	MCS_MODE		MCS モード。 セットアップ/ホールド時間情報を持つサンプリング SYSREF_x 入力。 1 1001 平均 SYSREF_x モード。	0x0	R/W
0x1622	MCS_CTRL	[7:2]	Reserved		予備。	0x0	R
		1	MCS_LOCK_EN		MCS の内部 SYSREF_x へのロックをイネーブル。 0 動作なし。 1 ロック・ワンス (フォアグラウンド・ロック)。	0x0	R/W
		0	Reserved		予備。	0x0	R/W
0x1623	MCS_CALC_TIME_DIFF1	[7:0]	CALC_TIME_DIFF[7:0]		入力 SYSREF_x とローカル SYSREF の計算時間差、ビット [7:0]。フォーマットは 24.8 で単位はピコ秒、範囲は±8.39ms、分解能は 3.9fs です。	0x0	R/W
0x1624	MCS_CALC_TIME_DIFF2	[7:0]	CALC_TIME_DIFF[15:8]		入力 SYSREF_x とローカル SYSREF の計算時間差、ビット [15:8]。フォーマットは 24.8 で単位はピコ秒、範囲は±8.39ms、分解能は 3.9fs です。	0x0	R/W
0x1625	MCS_CALC_TIME_DIFF3	[7:0]	CALC_TIME_DIFF[23:16]		入力 SYSREF_x とローカル SYSREF の計算時間差、ビット [23:16]。フォーマットは 24.8 で単位はピコ秒、範囲は±8.39ms、分解能は 3.9fs です。	0x0	R/W
0x1626	MCS_CALC_TIME_DIFF4	[7:0]	CALC_TIME_DIFF[31:24]		入力 SYSREF_x とローカル SYSREF の計算時間差、ビット [31:24]。フォーマットは 24.8 で単位はピコ秒、範囲は±8.39ms、分解能は 3.9fs です。	0x0	R/W
0x1627	MCS_KNOWN_SYSREF_PERIOD1	[7:0]	KNOWN_SYSREF_PERIOD[7:0]		入力 SYSREF_x の周期、ビット [7:0]。(エンコードされたクロック周期の) 8 の整数倍で表されます。このレジスタは、ローカルの内部 SYSREF_x を生成する平均 SYSREF_x レートをデバイスに提供します。この値は、サンプル・クロックを 8 で除した値を単位として表されます。したがって、SYSREF_x の周期は $\text{SAMPLE_CLOCK_FREQ} / (8 \times \text{KNOWN_SYSREF_PERIOD})$ です。	0x0	R/W
0x1628	MCS_KNOWN_SYSREF_PERIOD2	[7:0]	KNOWN_SYSREF_PERIOD[15:8]		入力 SYSREF_x の周期、ビット [15:8]。(エンコードされたクロック周期の) 8 の整数倍で表されます。このレジスタは、ローカルの内部 SYSREF_x を生成する平均 SYSREF_x レートをデバイスに提供します。この値は、サンプル・クロックを 8 で除した値を単位として表されます。したがって、SYSREF_x の周期は $\text{SAMPLE_CLOCK_FREQ} / (8 \times \text{KNOWN_SYSREF_PERIOD})$ です。	0x0	R/W
0x1629	MCS_KNOWN_SYSREF_PERIOD3	[7:0]	KNOWN_SYSREF_PERIOD[23:16]		入力 SYSREF_x の周期、ビット [23:16]。(エンコードされたクロック周期の) 8 の整数倍で表されます。このレジスタは、ローカルの内部 SYSREF_x を生成する平均 SYSREF_x レートをデバイスに提供します。この値は、サンプル・クロックを 8 で除した値を単位として表されます。したがって、SYSREF_x の周期は $\text{SAMPLE_CLOCK_FREQ} / (8 \times \text{KNOWN_SYSREF_PERIOD})$ です。	0x0	R/W
0x162A	MCS_SYSREF_AVGING_COUNT1	[7:0]	MCS_SYSREF_AVGING_COUNT[7:0]		平均する SYSREF_x パルスの数、ビット [7:0]。実際の値は、1 回の繰り返しあたり $(N+1) \times 16$ SYSREF_x です。ロック状態にするには、このような繰り返しを複数回行う必要があります。TDC のノイズを平均すると、SYSREF_x 入力のジッタが減少します。TDC のノイズは約 90ps rms で、P サンプルを平均することによってノイズは $\text{SQRT}(P)$ まで減少します。これを 999 に設定することにより、16,000 個の SYSREF_x サンプルが平均されてノイズは 711fs rms になります。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	デフォルト	アクセス
0x162B	MCS_SYSREF_AVGING_COUNT2	[7:0]	MCS_SYSREF_AVGING_COUNT[15:8]		平均する SYSREF_x パルスの数、ビット [15:8]。実際の値は、1 回の繰り返しあたり $(N+1) \times 16$ SYSREF_x です。ロック状態にするには、このような繰り返しを複数回行う必要があります。TDC のノイズを平均すると、SYSREF_x 入力のジッタが減少します。TDC のノイズは約 90ps rms で、P サンプルを平均することによってノイズは SQRT (P) まで減少します。これを 999 に設定することにより、16,000 個の SYSREF_x サンプルが平均されてノイズは 711fs rms になります。	0x0	R/W
0x162D	MCS_SAMPLE_CLK_PERIOD1	[7:0]	SAMPLE_CLOCK_PERIOD[7:0]		サンプル・クロックの周期、ビット [7:0]。値は 16'16 フォーマット、単位はピコ秒、範囲は 65.5ns、分解能は 0.015fs です。これは、ユーザ・アプリケーションにおける既知のサンプル・クロック周期です。この数値はリファレンスなので、MCS_CALC_TIME_DIFF の値は、真の時間領域測定値としてユーザに示すことができます。	0x0	R/W
0x162E	MCS_SAMPLE_CLK_PERIOD2	[7:0]	SAMPLE_CLOCK_PERIOD[15:8]		サンプル・クロックの周期、ビット [15:8]。値は 16'16 フォーマット、単位はピコ秒、範囲は 65.5ns、分解能は 0.015fs です。これは、ユーザ・アプリケーションにおける既知のサンプル・クロック周期です。この数値はリファレンスなので、MCS_CALC_TIME_DIFF の値は、真の時間領域測定値としてユーザに示すことができます。	0x0	R/W
0x162F	MCS_SAMPLE_CLK_PERIOD3	[7:0]	SAMPLE_CLOCK_PERIOD[23:16]		サンプル・クロックの周期、ビット [23:16]。値は 16'16 フォーマット、単位はピコ秒、範囲は 65.5ns、分解能は 0.015fs です。これは、ユーザ・アプリケーションにおける既知のサンプル・クロック周期です。この数値はリファレンスなので、MCS_CALC_TIME_DIFF の値は、真の時間領域測定値としてユーザに示すことができます。	0x0	R/W
0x1630	MCS_SAMPLE_CLK_PERIOD4	[7:0]	SAMPLE_CLOCK_PERIOD[31:24]		サンプル・クロックの周期、ビット [31:24]。値は 16'16 フォーマット、単位はピコ秒、範囲は 65.5ns、分解能は 0.015fs です。これは、ユーザ・アプリケーションにおける既知のサンプル・クロック周期です。この数値はリファレンスなので、MCS_CALC_TIME_DIFF の値は、真の時間領域測定値としてユーザに示すことができます。	0x0	R/W
0x1636	MCS_PHASE_SLIP_MODE	[7:1]	Reserved		予備。	0x0	R
		0	MCS_PHASE_SLIP_MODE		MCS 位相スリップ・モード・ビット。このビットを 0 に設定すると同期精度が 8 サンプル・クロックに限定され、ローカル SYSREF カウンタの駆動には 8 分周の内部クロック分周器が使われます。このビットを 0 に設定するとこの分周器の位相は変更されず、同期精度は 8 サンプル・クロック以内に限定されます。このビットを 1 に設定すると、分周器の位相は、1 サンプル・クロック・サイクル内での同期を実現できるように変更されます。	0x0	R/W

アプリケーション情報

以下のセクションには、与えられたアプリケーションの中で AD9213 を正しく動作させるために必要な手順が含まれています。

スタートアップ・シーケンス

デバイスを起動するには、以下の手順を実行します。

1. AD9213 をパワーアップします。電源シーケンシングに関する条件はありません。サンプル・クロックは電源供給後に供給できます。サンプル・クロックは、レジスタ 0x26 に 0x08 を書き込む（ステップ 5 を参照）前に供給する必要があります。
2. ピン・リセットをアサートします。AD9213 の RSTB ピンをハイ（SVDD2 電圧）からロー（0V）にし、その後再びハイ（SVDD2 電圧）に戻します。
3. レジスタ 0x0 に 0x24 を書き込んで、SPI アドレス・アセンション・モードをインクリメントに設定します。
4. 次のステップ実行まで 100ms 待機します。
5. レジスタ 0x26 に 0x08 を書き込んで、AD9213 がサンプル・クロック信号を受信するように設定します。サンプル・クロックは、このステップを行う前に供給されている必要があります。
6. 次のステップ実行まで 100ms 待機します。
7. DDC、NCO、JESD の設定は必要なアプリケーションによって異なります。ユーザ・アプリケーションに合わせて設定を行ってください。

この例では、16 レーン、M=2、複素デシメーション・レシオ 8、N=N'=16、NCO なしに設定します。

- a) レジスタ 0x504 のビット 4 に 1 を書き込み。SYNC ピンのロジック・タイプを設定：0=CMOS、1=LVDS。
 - b) レジスタ 0x520 に 0x8F を書き込み。スクランブラ・オン、L=16 レーン。
 - c) レジスタ 0x521 に 0x01 を書き込み。F=2 に設定。
 - d) レジスタ 0x522 に 0x1F を書き込み。K=32（デフォルト）。
 - e) レジスタ 0x523 に 0x01 を書き込み。M=2（2 仮想コンバータ、1/Q）。
 - f) レジスタ 0x524 に 0xCF を書き込み。N=16 に設定。
 - g) レジスタ 0x525 に 0x0F を書き込み。N'=16、サブクラス 0 動作。
 - h) レジスタ 0x606 に 0x01 を書き込み。複素デシメーションをイネーブル。
 - i) レジスタ 0x607 に 0x03 を書き込み。チップ・デシメーション・レシオ 8。
 - j) レジスタ 0x630 に 0x00 を書き込み。ビット 4=0。複素出力、ビット [3:2]=0 で NCO イネーブル（0Hz）、ビット 1=0、DDC ゲイン 0dB。
 - k) レジスタ 0x631 に 0x02 を書き込み。DDC デシメーション・レシオ 8。
8. レジスタ 0x681 に 0x10 を書き込み、DDC クロックと JTX クロックをイネーブルします。
 9. レジスタ 0x570 のビット 0 に 0 を書き込んで、JESD204B PLL をパワーダウンします。
 10. レジスタ 0x570 のビット 0 に 1 を書き込んで、JESD204B PLL をパワーアップします。
 11. レジスタ 0x501 を読み出して、JESD204B PLL がロックされているかどうかを確認します。ビット 7=1 がロックを示します。

パワーダウンせずにサンプル・クロック周波数を変更

ADC をパワーダウンせずにサンプル・クロック周波数を変更するには、以下の手順を実行します。

1. レジスタ 0x332 に 0x02 を書き込んで、クロック周波数を変更することを AD9213 に知らせます。
2. レジスタ 0x1614 のビット 0 を読み出して、このビットがハイになるのを待ちます。ハイはユーザがエンコード・クロック・レートを変更できる状態であることを示します。
3. レジスタ 0x1602 に 0x01 を書き込みます。これは、クロック・レート 1 の係数の位置を選択します。
4. CLK_P ピンと CLK_N ピンに加えるクロックの周波数を変更します。
 - a. クロック周波数の変更に伴って変更が必要になる他のパラメータを変更します。例えば、クロック・レートの変更に関する JESD PLL 分周器の設定です。
5. レジスタ 0x1614 のビット 1 に 1 を書き込みます。これは、サンプル・クロック周波数を変更されたことを AD9213 に通知します。
6. レジスタ 0x1614 のビット 2 を読み出して、このビットがハイになるのを待ちます。ハイは変更が完了したことを示します。

以上で、AD9213 は新しいサンプル周波数で動作します。

これで、レジスタ 0x1602 = 0x01 で指定される係数が、新しいユーザ選択クロック周波数になります。この時点で、2 つのクロック周波数に対して係数が保存されます。レジスタ 0x1602 = 0x00 はクロック・レート 0（オリジナルのサンプル・レート）の係数、レジスタ 0x1602 = 0x01 はクロック・レート 1（新しいサンプル・レート）の係数です。

オリジナルのサンプル・レート（クロック・レート 0）に戻すには、このセクションに概要を示す手順を実行して、レジスタ 0x1602 のクロック・レート・パラメータをクロック・レート 0 に設定します。

これで AD9213 は選択したサンプル周波数で動作し、ADC は数マイクロ秒以内にクロック・レート 0 で動作できる状態になります。

このセクションに示す手順は、AD9213 がパワーアップ時に使用するオリジナル周波数を含め、4 つのサンプル・クロック周波数について実行できます。異なるクロック周波数の係数へは、レジスタ 0x1602 に異なる書き込みを行ってアクセスします。

様々なクロック周波数の係数にアクセスするための書き込み操作例を、以下に示します。

- レジスタ 0x1602 に 0x00 を書き込み。これはデフォルト値で、オリジナル・サンプル・クロック周波数（クロック・レート 0）の係数を格納します。
- レジスタ 0x1602 に 0x01 を書き込み。これはクロック・レート 1 をポイントして、ユーザ選択クロック周波数（クロック・レート 1）の係数を格納します。
- レジスタ 0x1602 に 0x02 を書き込み。これはクロック・レート 2 をポイントして、ユーザ選択クロック周波数（クロック・レート 2）の係数を格納します。

- レジスタ 0x1602 に 0x03 を書き込み。これはクロック・レート 3 をポイントして、ユーザ選択クロック周波数（クロック・レート 3）の係数を格納します。

10GSPS の係数は、最初に 4 つすべての位置にデフォルトで保存されています。

最初にサンプル・クロック周波数を使用するときは、係数を収束させてクロック・レート 0、クロック・レート 1、クロック・レート 2、クロック・レート 3 として保存するのに数秒間かかります。次回からは、特定のクロック・レートとそれに対応して保存されている係数のセットを使用し、数マイクロ秒で変更を行うことができます。ただし、このセクションに示す SPI 書き込みをデバイスに行わせる場合は、より長い時間が必要です。

また、AD9213 がパワーダウンされている場合は、この手順を最初から行う必要があります。

電源の推奨事項

AD9213 の電源領域は必要に応じていくつかを組み合わせ、図 126 に示す電源構成で電源を供給することができます。これは、電源部品をと電源領域を最小限に抑える構成の一例です。このアプローチでは、スイッチング・レギュレータのアーチファクトが ADC の電源領域に入り込むリスクがわずかに増大します。この構成を使用した初期評価は、ノイズの影響が最小限であり、通常は構成をシンプルにできて電源部品も少なく済むという利点の方がノイズ影響を上回ることを示唆しています。リニア電圧レギュレータを使用して特定の電源ピンを絶縁すれば、ノイズを減らすことができます。

AD9213 PCB に電源バイパス容量を追加する効果的な方法は、AD9213 BGA 電源パッドの貫通ビアを使用することです。0201 (mm 表記では 0603)、0.1 μ F の表面実装コンデンサをボード裏面の BGA フットプリント直下に使用して、電源ピンを隣接するグラウンド・ピンに接続してください。このコンデンサを使用するには表面実装ハンダ・パッドが必要です。

すべてのグラウンド・ピンは同じプレーンに接続して、ボード・レベルで 1 つの領域にまとめることができます。

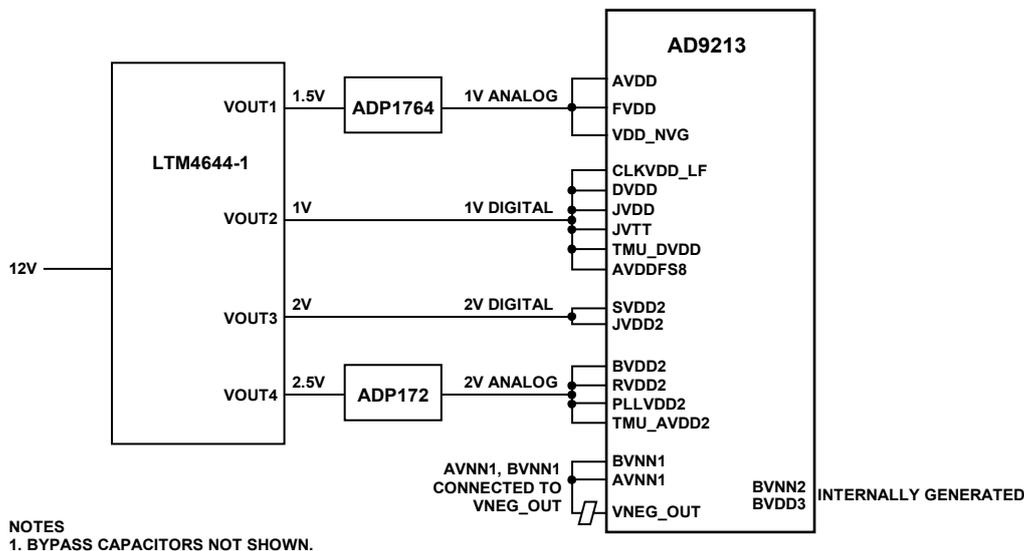
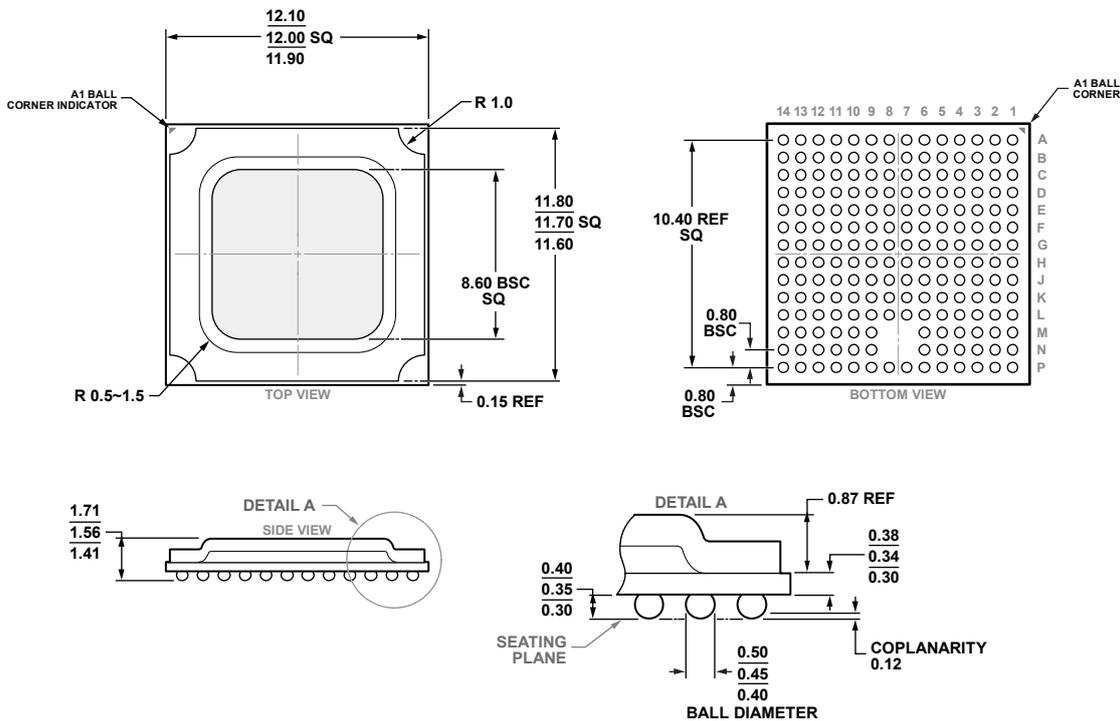


図 126. 電源構成例の簡略図

15030-038

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-275-GGAB-1.

図 127. 熱強化型 192 ボール BGA [BGA_ED]
(BP-192-1)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range ²	Package Description	Package Option
AD9213BBPZ-6G	-20°C to +115°C	192-Ball Ball Grid Array, Thermally Enhanced [BGA_ED]	BP-192-1
AD9213BBPZ-10G	-20°C to +115°C	192-Ball Ball Grid Array, Thermally Enhanced [BGA_ED]	BP-192-1
AD9213-6GEBZ		Evaluation Board	
AD9213-10GEBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。

² 仕様規定された動作時ジャンクション温度 (T_J) T_J = -40°C でのスタートアップが確保されています。