



# クワッド、16ビット、2.8 GSPS TxDAC+<sup>®</sup>D/Aコンバータ

データシート

AD9144

## 特長

- 入力データ・レート 1 GSPS 以上をサポート
- 低スプリアスおよび低歪みの当社独自デザイン
  - 75 MHz IF での 6 キャリア GSM IMD = 77 dBc
  - DC IF、-9 dBFS で SFDR = 82 dBc
  - 柔軟な 8 レーン JESD204B インターフェース
  - 2.8 GSPS でクワッドまたはデュアル DAC モードをサポート
- 複数チップの同期
  - 固定遅延
  - データ・ジェネレータの遅延補償
- 1x、2x、4x、8x が選択可能なインターポレーション・フィルタ
- 低消費電力アーキテクチャ
- 入力信号電力検出
  - ダウストリーム・アナログ回路保護用の緊急停止機能
- 消費電力をさらに削減する送信イネーブル機能
- 高性能低ノイズの位相ロック・ループ (PLL) クロック逡倍器
- デジタル逆 sinc フィルタ
- 低消費電力: 1.6 GSPS で 1.6 W、2.0 GSPS で 1.7 W、フル動作状態
- エクスポーズド・パッド付きの 88 ピン LFCSP パッケージを採用

## 機能ブロック図

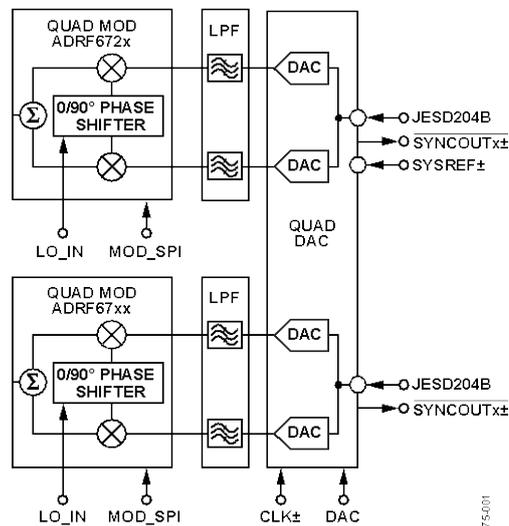


図 1.

## アプリケーション

- ワイヤレス通信
  - 3G/4G W-CDMA 基地局
  - 広帯域レピータ
  - ソフトウェア無線
- 広帯域通信
  - ポイント to ポイント
  - ローカル・マルチポイント・ディストリビューション・サービス (LMDS)、およびマルチチャンネル・マルチポイント・ディストリビューション・サービス (MMDS)
- 送信ダイバーシティ、マルチプル入力/マルチプル出力 (MIMO)
- 計装機器
- 自動テスト装置

## 概要

AD9144 は、広いダイナミックレンジを持つ 16 ビットのクワッド D/A コンバータ(DAC)であり、最大サンプル・レートは 2.8 GSPS で、ナイキスト周波数までのマルチキャリア生成が可能です。DAC 出力は、アナログ・デバイセズの ADRF672x アナログ直交変調器(AQM)とシームレスにインターフェースするように最適化されています。オプションの 3 線式または 4 線式のシリアル・ポート・インターフェース (SPI)を使うと、多くの内部パラメータの書き込み/読出しが可能です。フルスケール出力電流は、13.9 mA~27.0 mA の範囲で設定することができます。AD9144 は 88 ピン LFCSP パッケージを採用しています。

## 製品のハイライト

- 1 GHz を超える超広帯域の複素信号帯域幅により、新しいワイドバンドおよびマルチバンド・ワイヤレス・アプリケーションが可能になります。
- 高度な低スプリアスおよび低歪みデザイン技術により、ベースバンドから高い中間周波数までの広帯域信号の高品質の波形合成が可能です。
- JESD204B Subclass 1 のサポートにより、ソフトウェア・デザインとハードウェア・デザインでのマルチチップ同期が簡素化されます。
- シリアライザ/ディシリアライザ (SERDES) JESD204B 8 レーン・インターフェースにより、データ・インターフェース用のピン数を削減
- プログラマブルな送信イネーブル機能を使うと、消費電力とウェイクアップ時間との間のバランスを容易にデザイン可能
- 12 mm × 12 mm フットプリントの小型パッケージ・サイズ

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

特長.....	1	SERDES クロックのセットアップ .....	30
アプリケーション .....	1	等化モードのセットアップ .....	30
概要.....	1	リンク・レイテンシのセットアップ .....	30
機能ブロック図 .....	1	クロスバーのセットアップ .....	32
製品のハイライト .....	1	JESD204B シリアル・データ・インターフェース .....	33
改訂履歴.....	3	JESD204B の概要 .....	33
詳細機能ブロック図 .....	4	物理層 .....	34
仕様.....	5	データ・リンク層.....	37
DC 仕様 .....	5	トランスポート層.....	45
デジタル仕様.....	6	JESD204B のテスト・モード .....	58
電源ごとの最大 DAC 更新レート仕様 .....	7	JESD204B エラーのモニタ .....	59
JESD204B シリアル・インターフェース速度仕様.....	7	ハードウェアの考慮事項.....	61
SYSREF—DAC 間クロック・タイミング仕様.....	7	デジタル・データパス .....	65
デジタル入力データ・タイミング仕様 .....	8	デュアル・ページング .....	65
遅延変動仕様.....	8	データ・フォーマット.....	65
JESD204B インターフェース電氣的仕様.....	9	インターポレーション・フィルタ .....	65
AC 仕様 .....	10	デジタル変調.....	66
絶対最大定格 .....	11	逆 Sinc .....	67
熱抵抗.....	11	デジタル・ゲイン、位相調整、DC オフセット、群遅延.....	67
ESD の注意 .....	11	I から Q へのスワップ.....	68
ピン配置およびピン機能説明 .....	12	NCO アライメント .....	68
用語.....	15	ダウンストリーム保護.....	70
代表的な性能特性 .....	16	データバス PRBS.....	72
動作原理.....	21	DC テスト・モード.....	72
シリアル・ポート動作 .....	22	割込み要求動作.....	73
データ・フォーマット .....	22	割込みサービス・ルーチン.....	73
シリアル・ポート・ピンの説明 .....	22	DAC 入力クロックの設定.....	75
シリアル・ポートのオプション .....	22	CLK± 入力の駆動 .....	75
チップ情報 .....	24	クロックの逡倍.....	75
デバイスのセットアップ・ガイド.....	25	PLL の起動.....	77
概要.....	25	アナログ出力.....	78
ステップ 1: DAC の起動.....	25	トランスミット DAC 動作.....	78
ステップ 2: デジタル・データパス .....	25	デバイスの消費電力.....	81
ステップ 3: トランスポート層 .....	26	温度センサー .....	81
ステップ 4: 物理層.....	26	起動シーケンス .....	82
ステップ 5: データ・リンク層 .....	27	ステップ 1: DAC の起動.....	82
ステップ 6: オプションのエラー・モニタリング.....	27	ステップ 2: デジタル・データパス .....	82
ステップ 7: オプション機能 .....	27	ステップ 3: トランスポート層 .....	83
DAC PLL のセットアップ.....	28	ステップ 4: 物理層.....	83
インターポレーション .....	28	ステップ 5: データ・リンク層.....	83
JESD204B のセットアップ .....	28	ステップ 6: エラー・モニタリング .....	84

レジスタ・マップと説明 .....	85	外形寸法.....	127
デバイス・コンフィギュレーション・レジスタ・マップ .....	85	オーダー・ガイド.....	127
デバイス・コンフィギュレーション・レジスタの説明 .....	92		
3種類の DAC PLL リファレンス周波数に対するルックアップ・ テーブル .....	123		

## 改訂履歴

7/14—Revision 0: Initial Version

詳細機能ブロック図

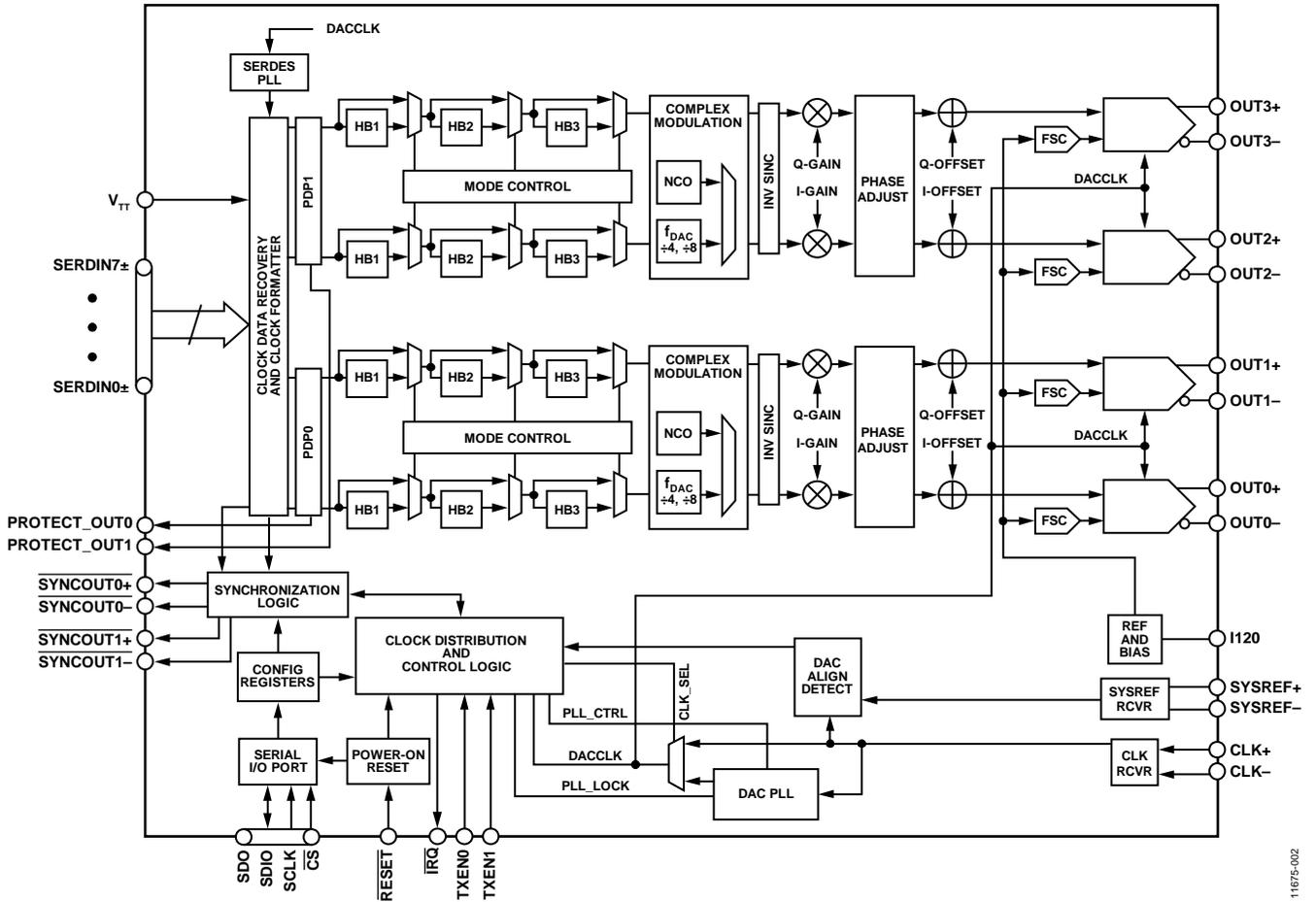


図 2.

11875-002

## 仕様

## DC仕様

特に指定がない限り、AVDD33 = 3.3 V、SIOVDD33 = 3.3 V、IOVDD = 1.8 V、DVDD12 = 1.2 V、CVDD12 = 1.2 V、PVDD12 = 1.2 V、SVDD12 = 1.2 V、V<sub>TT</sub> = 1.2 V、T<sub>A</sub> = -40°C ~ +85°C、I<sub>OUTFS</sub> = 20 mA。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION			16		Bits
ACCURACY	With calibration				
Differential Nonlinearity (DNL)			±1.0		LSB
Integral Nonlinearity (INL)			±2.0		LSB
MAIN DAC OUTPUTS					
Gain Error	With internal reference	-2.5	+2	+5.5	% FSR
I/Q Gain Mismatch		-0.6		+0.6	% FSR
Full-Scale Output Current	Based on a 4 kΩ external resistor between I120 and GND				
Maximum Setting		25.5	27.0	28.6	mA
Minimum Setting		13.1	13.9	14.8	mA
Output Compliance Range		-250		+750	mV
Output Resistance			0.2		MΩ
Output Capacitance			3.0		pF
Gain DAC Monotonicity			Guaranteed		
Settling Time	To within ±0.5 LSB		20		ns
MAIN DAC TEMPERATURE DRIFT					
Offset			0.04		ppm/°C
Gain			32		ppm/°C
Reference Voltage			16		ppm/°C
REFERENCE					
Internal Reference Voltage			1.2		V
ANALOG SUPPLY VOLTAGES					
AVDD33		3.13	3.3	3.47	V
PVDD12		1.14	1.2	1.26	V
CVDD12		1.14	1.2	1.26	V
DIGITAL SUPPLY VOLTAGES					
SIOVDD33		3.13	3.3	3.47	V
V <sub>TT</sub>		1.1	1.2	1.37	V
DVDD12		1.14	1.2	1.26	V
		1.274	1.3	1.326	V
SVDD12		1.14	1.2	1.26	V
		1.274	1.3	1.326	V
IOVDD		1.71	1.8	3.47	V
POWER CONSUMPTION					
4× Interpolation Mode, JESD Mode 4, 8 SERDES Lanes	f <sub>DAC</sub> = 1.6 GSFS, IF = 40 MHz, NCO off, PLL on, digital gain on, inverse sinc on, DAC FSC = 20 mA		1.59	1.84	W
AVDD33			126	134	mA
PVDD12			95.3	112.4	mA
CVDD12			101	111	mA
SVDD12	Includes V <sub>TT</sub>		518.2	654	mA
DVDD12			234	255	mA
SIOVDD33			11	12	mA
IOVDD			36	50	μA

## デジタル仕様

特に指定がない限り、AVDD33 = 3.3 V、SIOVDD33 = 3.3 V、IOVDD = 1.8 V、DVDD12 = 1.2 V、CVDD12 = 1.2 V、PVDD12 = 1.2 V、SVDD12 = 1.2 V、V<sub>TT</sub> = 1.2 V、T<sub>A</sub> = -40°C ~ +85°C、I<sub>OUTFS</sub> = 20 mA。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CMOS INPUT LOGIC LEVEL						
Input Voltage (V <sub>IN</sub> ) Logic						
High		1.8 V ≤ IOVDD ≤ 3.3 V	0.7 × IOVDD			V
Low		1.8 V ≤ IOVDD ≤ 3.3 V			0.3 × IOVDD	V
CMOS OUTPUT LOGIC LEVEL						
Output Voltage (V <sub>OUT</sub> ) Logic						
High		1.8 V ≤ IOVDD ≤ 3.3 V	0.7 × IOVDD			V
Low		1.8 V ≤ IOVDD ≤ 3.3 V			0.3 × IOVDD	V
MAXIMUM DAC UPDATE RATE <sup>1</sup>						
		1× interpolation <sup>2</sup> (see Table 4)	1060			MSPS
		2× interpolation <sup>3</sup>	2120			MSPS
		4× interpolation	2800			MSPS
		8× interpolation	2800			MSPS
ADJUSTED DAC UPDATE RATE						
		1× interpolation	1060			MSPS
		2× interpolation	1060			MSPS
		4× interpolation	700			MSPS
		8× interpolation	350			MSPS
INTERFACE <sup>4</sup>						
Number of JESD204B Lanes				8		Lanes
JESD204B Serial Interface Speed						
Minimum		Per lane			1.42	Gbps
Maximum		Per lane, SVDD12 = 1.3 V ± 2%	10.6			Gbps
DAC CLOCK INPUT (CLK+, CLK-)						
Differential Peak-to-Peak Voltage			400	1000	2000	mV
Common-Mode Voltage		Self biased input, ac-coupled		600		mV
Maximum Clock Rate			2800			MHz
REFCLK Frequency (PLL Mode)		6.0 GHz ≤ f <sub>VCO</sub> ≤ 12.0 GHz	35		1000	MHz
SYSTEM REFERENCE INPUT (SYSREF+, SYSREF-)						
Differential Peak-to-Peak Voltage			400	1000	2000	mV
Common-Mode Voltage			0		2000	mV
SYSREF± Frequency <sup>5</sup>					f <sub>DATA</sub> /(K × (F/S))	Hz
SYSREF TO DAC CLOCK <sup>6</sup>						
Setup Time	t <sub>SSD</sub>	SYSREF differential swing = 0.4 V, slew rate = 1.3 V/ns, common modes tested: ac-coupled, 0 V, 0.6 V, 1.25 V, 2.0 V	131			ps
Hold Time	t <sub>HSD</sub>		119			ps
Keep Out Window	KOW			20		ps
SPI						
Maximum Clock Rate	SCLK	IOVDD = 1.8 V	10			MHz
Minimum SCLK Pulse Width						
High	t <sub>PWH</sub>				8	ns
Low	t <sub>PWL</sub>				12	ns
SDIO to SCLK						
Setup Time	t <sub>DS</sub>		5			ns

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Hold Time SDO to SCLK	$t_{DH}$		2			ns
Data Valid Window $\overline{CS}$ to SCLK	$t_{DV}$		25			ns
Setup Time	$t_{SCSB}$		5			ns
Hold Time	$t_{HCSB}$		2			ns

<sup>1</sup> DAC 更新レート条件の詳細仕様については、表 3 を参照してください。

<sup>2</sup> 1× インターポレーションの最大速度は、JESD インターフェースにより制限されます。詳細については、表 4 を参照してください。

<sup>3</sup> 2× インターポレーションの最大速度は、JESD インターフェースにより制限されます。詳細については、表 4 を参照してください。

<sup>4</sup> JESD 速度条件の詳細仕様については、表 4 を参照してください。

<sup>5</sup> K、F、S は、JESD204B トランスポート層のパラメータです。定義については、表 42 を参照してください。

<sup>6</sup> SYSREF と DAC 間のクロック・タイミング条件の詳細仕様については、表 5 を参照してください。

### 電源ごとの最大 DAC 更新レート仕様

特に指定がない限り、AVDD33 = 3.3 V、SIOVDD33 = 3.3 V、IOVDD = 1.8 V、DVDD12 = 1.2 V、CVDD12 = 1.2 V、PVDD12 = 1.2 V、SVDD12 = 1.2 V、V<sub>TT</sub> = 1.2 V、T<sub>A</sub> = -40°C ~ +85°C、I<sub>OUTFS</sub> = 20 mA。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
MAXIMUM DAC UPDATE RATE	DVDD12, CVDD12 = 1.2 V ± 5%	2.23			GSPS
	DVDD12, CVDD12 = 1.2 V ± 2%	2.41			GSPS
	DVDD12, CVDD12 = 1.3 V ± 2%	2.80			GSPS

### JESD204B シリアル・インターフェース速度仕様

特に指定がない限り、AVDD33 = 3.3 V、SIOVDD33 = 3.3 V、IOVDD = 1.8 V、DVDD12 = 1.2 V、CVDD12 = 1.2 V、PVDD12 = 1.2 V、SVDD12 = 1.2 V、V<sub>TT</sub> = 1.2 V、T<sub>A</sub> = -40°C ~ +85°C、I<sub>OUTFS</sub> = 20 mA。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
HALF RATE	SVDD12 = 1.2 V ± 5%	5.65		8.92	Gbps
	SVDD12 = 1.2 V ± 2%	5.65		9.42	Gbps
	SVDD12 = 1.3 V ± 2%	5.65		10.64	Gbps
FULL RATE	SVDD12 = 1.2 V ± 5%	2.83		4.63	Gbps
	SVDD12 = 1.2 V ± 2%	2.83		4.93	Gbps
	SVDD12 = 1.3 V ± 2%	2.83		5.52	Gbps
OVERSAMPLING	SVDD12 = 1.2 V ± 5%	1.42		2.31	Gbps
	SVDD12 = 1.2 V ± 2%	1.42		2.46	Gbps
	SVDD12 = 1.3 V ± 2%	1.42		2.76	Gbps

### SYSREF—DAC 間クロック・タイミング仕様

特に指定がない限り、AVDD33 = 3.3 V、SIOVDD33 = 3.3 V、IOVDD = 1.8 V、DVDD12 = 1.2 V、CVDD12 = 1.2 V、PVDD12 = 1.2 V、SVDD12 = 1.2 V、V<sub>TT</sub> = 1.2 V、T<sub>A</sub> = -40°C ~ +85°C、I<sub>OUTFS</sub> = 20 mA、SYSREF<sub>±</sub> 同相モード電圧 = 0.0 V、0.6 V、1.25 V、および 2.0 V。

表 5.

Parameter	Test Conditions/Comments	Min	Unit	
SYSREF DIFFERENTIAL SWING = 0.4 V, SLEW RATE = 1.3 V/ns Setup Time	AC-coupled	126	ps	
	DC-coupled	131	ps	
	Hold Time	AC-coupled	92	ps
		DC-coupled	119	ps
SYSREF DIFFERENTIAL SWING = 0.7 V, SLEW RATE = 2.28 V/ns Setup Time	AC-coupled	96	ps	

Parameter	Test Conditions/Comments	Min	Unit
Hold Time	DC-coupled	104	ps
	AC-coupled	77	ps
	DC-coupled	95	ps
SYSREF SWING = 1.0 V, SLEW RATE = 3.26 V/ns			
Setup Time	AC-coupled	83	ps
Hold Time	DC-coupled	90	ps
	AC-coupled	68	ps
	DC-coupled	84	ps

## デジタル入力データ・タイミング仕様

特に指定がない限り、AVDD33 = 3.3 V、SIOVDD33 = 3.3 V、IOVDD = 1.8 V、DVDD12 = 1.2 V、CVDD12 = 1.2 V、PVDD12 = 1.2 V、SVDD12 = 1.2 V、V<sub>TT</sub> = 1.2 V、T<sub>A</sub> = 25°C、I<sub>OUTFS</sub> = 20 mA。

表 6.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
LATENCY					
Interface	With or without modulation		17		PClock <sup>1</sup> cycles
Interpolation					
1×			58		DAC clock cycles
2×			137		DAC clock cycles
4×			251		DAC clock cycles
8×			484		DAC clock cycles
Inverse Sinc			17		DAC clock cycles
Fine Modulation			20		DAC clock cycles
Coarse Modulation					
f <sub>S</sub> /8			8		DAC clock cycles
f <sub>S</sub> /4			4		DAC clock cycles
Digital Phase Adjust			12		DAC clock cycles
Digital Gain Adjust			12		DAC clock cycles
Power-Up Time					
Dual A Only	Register 0x011 from 0x60 to 0x00		60		μs
Dual B Only	Register 0x011 from 0x18 to 0x00		60		μs
All DACs	Register 0x011 from 0x7C to 0x00		60		μs

<sup>1</sup> PClock は AD9144 の内部処理クロックで、レーン・レート ÷ 40 に等しくなります。

## 遅延変動仕様

特に指定がない限り、AVDD33 = 3.3 V、SIOVDD33 = 3.3 V、IOVDD = 1.8 V、DVDD12 = 1.2 V、CVDD12 = 1.2 V、PVDD12 = 1.2 V、SVDD12 = 1.2 V、V<sub>TT</sub> = 1.2 V、T<sub>A</sub> = 25°C、I<sub>OUTFS</sub> = 20 mA。

表 7.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DAC LATENCY VARIATION					
SYNC Off					Given proper calibration of local multiframe clock (LMFC) delay
Subclass 0 Mode	-4		+4	DACCLK cycles	
SYNC On					
PLL Off		0	1	DACCLK cycles	
PLL On	-1		+1	DACCLK cycles	

## JESD204B インターフェース電氣的仕様

特に指定がない限り、AVDD33 = 3.3 V、SIOVDD33 = 3.3 V、IOVDD = 1.8 V、DVDD12 = 1.2 V、CVDD12 = 1.2 V、PVDD12 = 1.2 V、SVDD12 = 1.2 V、 $V_{TT} = 1.2$  V、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $I_{OUTFS} = 20$  mA。

表 8.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
JESD204B DATA INPUTS						
Input Leakage Current		25°C				
Logic High		Input level = 1.2 V $\pm$ 0.25 V, $V_{TT} = 1.2$ V		10		$\mu\text{A}$
Logic Low		Input level = 0 V		-4		$\mu\text{A}$
Unit Interval	UI		94		714	ps
Common-Mode Voltage	$V_{RCM}$	AC-coupled $V_{TT} = SVDD12^1$	-0.05		+1.85	V
Differential Voltage	$R_{V_{DIFF}}$		110		1050	mV
$V_{TT}$ Source Impedance	$Z_{TT}$	At dc			30	$\Omega$
Differential Impedance	$Z_{R_{DIFF}}$	At dc	80	100	120	$\Omega$
Differential Return Loss	$RL_{RDIF}$			8		dB
Common-Mode Return Loss	$RL_{RCM}$			6		dB
DIFFERENTIAL OUTPUTS (SYNCOUT $\pm$ ) <sup>2</sup>						
Output Differential Voltage	$V_{OD}$	Normal swing mode: Register 0x2A5[0] = 0	192		235	mV
Output Offset Voltage	$V_{OS}$		1.19		1.27	V
Output Differential Voltage	$V_{OD}$	High swing mode: Register 0x2A5[0] = 1	341		394	mV
DETERMINISTIC LATENCY						
Fixed					17	PClock <sup>3</sup> cycles
Variable					2	PClock <sup>3</sup> cycles
SYSREF $\pm$ -to-LMFC DELAY				4		DAC clock cycles

<sup>1</sup> AC 結合コンデンサの入力側で測定。

<sup>2</sup> IEEE 規格 1596.3 LVDS に準拠。

<sup>3</sup> PClock は AD9144 の内部処理クロックで、レーン・レート  $\div 40$  に等しくなります。

## AC仕様

特に指定がない限り、AVDD33=3.3V、SIOVDD33=3.3V、IOVDD=1.8V、DVDD12=1.2V、CVDD12=1.2V、PVDD12=1.2V、SVDD12=1.2V<sup>1</sup>、V<sub>TT</sub>=1.2V、T<sub>A</sub>=25°C、I<sub>OUTFS</sub>=20mA。

表 9.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SPURIOUS-FREE DYNAMIC RANGE (SFDR) f <sub>DAC</sub> = 983.04 MSPS f <sub>DAC</sub> = 983.04 MSPS f <sub>DAC</sub> = 1966.08 MSPS f <sub>DAC</sub> = 1966.08 MSPS	-9 dBFS single tone				
	f <sub>OUT</sub> = 20 MHz		82		dBc
	f <sub>OUT</sub> = 150 MHz		76		dBc
	f <sub>OUT</sub> = 20 MHz		81		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD) f <sub>DAC</sub> = 983.04 MSPS f <sub>DAC</sub> = 983.04 MSPS f <sub>DAC</sub> = 1966.08 MSPS f <sub>DAC</sub> = 1966.08 MSPS	-9 dBFS				
	f <sub>OUT</sub> = 20 MHz		90		dBc
	f <sub>OUT</sub> = 150 MHz		82		dBc
	f <sub>OUT</sub> = 20 MHz		90		dBc
NOISE SPECTRAL DENSITY (NSD), SINGLE TONE f <sub>DAC</sub> = 983.04 MSPS f <sub>DAC</sub> = 1966.08 MSPS	0 dBFS				
	f <sub>OUT</sub> = 150 MHz		-162		dBm/Hz
	f <sub>OUT</sub> = 150 MHz		-163		dBm/Hz
W-CDMA FIRST ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER f <sub>DAC</sub> = 983.04 MSPS f <sub>DAC</sub> = 983.04 MSPS f <sub>DAC</sub> = 1966.08 MSPS	0 dBFS				
	f <sub>OUT</sub> = 30 MHz		82		dBc
	f <sub>OUT</sub> = 150 MHz		80		dBc
	f <sub>OUT</sub> = 150 MHz		80		dBc
W-CDMA SECOND ACLR, SINGLE CARRIER f <sub>DAC</sub> = 983.04 MSPS f <sub>DAC</sub> = 983.04 MSPS f <sub>DAC</sub> = 1966.08 MSPS	0 dBFS				
	f <sub>OUT</sub> = 30 MHz		84		dBc
	f <sub>OUT</sub> = 150 MHz		85		dBc
	f <sub>OUT</sub> = 150 MHz		85		dBc

## 絶対最大定格

表 10.

Parameter	Rating
I120 to Ground	-0.3 V to AVDD33 + 0.3 V
SERDIN <sub>x</sub> ±, V <sub>TT</sub> , SYNCOUT1±/ SYNCOUT0±, TXEN <sub>x</sub>	-0.3 V to SIOVDD33 + 0.3 V
OUT <sub>x</sub> ±	-0.3 V to AVDD33 + 0.3 V
SYSREF±	GND - 0.5 V to +2.5 V
CLK± to Ground	-0.3 V to PVDD12 + 0.3 V
RESET, IRQ, CS, SCLK, SDIO, SDO, PROTECT_OUT <sub>x</sub> to Ground	-0.3 V to IOVDD + 0.3 V
LDO_BYP1	-0.3 V to SVDD12 + 0.3 V
LDO_BYP2	-0.3 V to PVDD12 + 0.3 V
LDO24	-0.3 V to AVDD33 + 0.3 V
Ambient Operating Temperature (T <sub>A</sub> )	-40°C to +85°C
Junction Temperature	125°C
Storage Temperature	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

## 熱抵抗

88 ピン LFCSP のエクスポーズド・パッド(EPAD)は、グラウンド・プレーンへハンダ付けする必要があります。EPAD は、ボードに対する電氣的、熱的、機械的な接続を提供します。

θ<sub>JA</sub>、θ<sub>JB</sub>、θ<sub>JC</sub> の各 typ 値は、リード付き表面実装パッケージ用の 4 層 JESD51-7 高実効熱伝導テスト・ボードに対して規定しています。θ<sub>JA</sub> は自然空冷条件で測定しています (JESD51-2)。空気流があると熱放散が大きくなるため実効的に θ<sub>JA</sub> が小さくなります。θ<sub>JB</sub> はダブルリング・コールド・プレート・テスト条件 (JESD51-8) の後に測定します。θ<sub>JC</sub> はエクスポーズド・パッドの底面でモニタしたテスト・ケース温度により取得します。

Ψ<sub>JT</sub> と Ψ<sub>JB</sub> は、自然空冷テスト条件で θ<sub>JA</sub> と一緒に取得する熱特性パラメータです。

ジャンクション温度 (T<sub>J</sub>) は次式で計算されます。

$$T_J = T_T + (\Psi_{JT} \times P), \text{ または}$$

$$T_J = T_B + (\Psi_{JB} \times P)$$

ここで、

T<sub>T</sub> はパッケージ上面で測定した温度。

P はデバイスの合計消費電力。

T<sub>B</sub> はボードで測定した温度。

表 11. 熱抵抗

Package	θ <sub>JA</sub>	θ <sub>JB</sub>	θ <sub>JC</sub>	Ψ <sub>JT</sub>	Ψ <sub>JB</sub>	Unit
88-Lead LFCSP <sup>1</sup>	22.6	5.59	1.17	0.1	5.22	°C/W

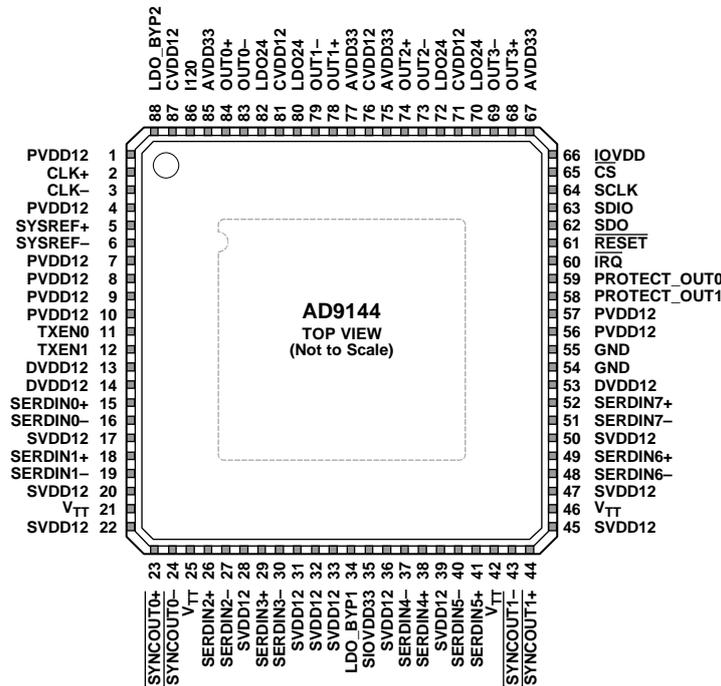
<sup>1</sup> エクスポーズド・パッドはグラウンド・プレーンに接続する必要があります。

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES  
1. THE EXPOSED PAD MUST BE SECURELY CONNECTED TO THE GROUND PLANE.

11675-003

図 3. ピン配置

表 12. ピン機能の説明

ピン番号	記号	説明
1	PVDD12	1.2 V 電源。PVDD12 はできるだけ低ノイズの電源を供給します。
2	CLK+	PLL リファレンス/クロック入力、差動正論理入力。PLL を使用する場合、このピンは正論理のリファレンス・クロック入力になります。PLL を使用しない場合、このピンは正論理のデバイス・クロック入力になります。このピンはセルフバイアスされているため、AC 結合する必要があります。
3	CLK-	PLL リファレンス電圧/クロック入力、差動負論理入力。PLL を使用する場合、このピンは負論理のリファレンス・クロック入力になります。PLL を使用しない場合、このピンは負論理のデバイス・クロック入力になります。このピンはセルフバイアスされているため、AC 結合する必要があります。
4	PVDD12	1.2 V 電源。PVDD12 はノイズのない電源を供給します。
5	SYSREF+	ディタミニスティック・レイテンシ (確定されたレイテンシ) の差動正論理入力のリファレンス電圧クロック。このピンは AC 結合用にセルフバイアスされています。AC 結合または DC 結合することができます。
6	SYSREF-	ディタミニスティック・レイテンシ (確定されたレイテンシ) の差動負論理入力のリファレンス電圧クロック。このピンは AC 結合用にセルフバイアスされています。AC 結合または DC 結合することができます。
7	PVDD12	1.2 V 電源。PVDD12 はできるだけ低ノイズの電源を供給します。
8	PVDD12	1.2 V 電源。PVDD12 はできるだけ低ノイズの電源を供給します。
9	PVDD12	1.2 V 電源。PVDD12 はできるだけ低ノイズの電源を供給します。
10	PVDD12	1.2 V 電源。PVDD12 はできるだけ低ノイズの電源を供給します。
11	TXEN0	DAC0 と DAC1 の送信イネーブル。IOVDD を基準として CMOS レベルが決定されます。
12	TXEN1	DAC2 と DAC3 の送信イネーブル。IOVDD を基準として CMOS レベルが決定されます。
13	DVDD12	1.2 V デジタル電源。
14	DVDD12	1.2 V デジタル電源。
15	SERDIN0+	シリアル・チャンネル入力 0、差動正論理入力。CML 準拠。SERDIN0+ は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
16	SERDIN0-	シリアル・チャンネル入力 0、差動負論理入力。CML 準拠。SERDIN0- は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
17	SVDD12	1.2 V JESD204B レシーバ電源。
18	SERDIN1+	シリアル・チャンネル入力 1、差動正論理入力。CML 準拠。SERDIN1+ は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。

ピン番号	記号	説明
19	SERDIN1-	シリアル・チャンネル入力 1、差動負論理入力。CML 準拠。SERDIN1-は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
20	SVDD12	1.2 V JESD204B レシーバ電源。
21	V <sub>TT</sub>	1.2 V 終端電圧。V <sub>TT</sub> と SVDD12 電源ピンを接続してください。
22	SVDD12	1.2 V JESD204B レシーバ電源。
23	SYNCOUT0+	差動正論理出力の LVDS 同期 (アクティブ・ロー) 出力信号チャンネル・Link 0。
24	SYNCOUT0-	差動負論理出力の LVDS 同期 (アクティブ・ロー) 出力信号チャンネル・Link 0。
25	V <sub>TT</sub>	1.2 V 終端電圧。V <sub>TT</sub> と SVDD12 電源ピンを接続してください。
26	SERDIN2+	シリアル・チャンネル入力 2、差動正論理入力。CML 準拠。SERDIN2+は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
27	SERDIN2-	シリアル・チャンネル入力 2、差動負論理入力。CML 準拠。SERDIN2-は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
28	SVDD12	1.2 V JESD204B レシーバ電源。
29	SERDIN3+	シリアル・チャンネル入力 3、差動正論理入力。CML 準拠。SERDIN3+は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
30	SERDIN3-	シリアル・チャンネル入力 3、差動負論理入力。CML 準拠。SERDIN3-は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
31	SVDD12	1.2 V JESD204B レシーバ電源。
32	SVDD12	1.2 V JESD204B レシーバ電源。
33	SVDD12	1.2 V JESD204B レシーバ電源。
34	LDO_BYPI	LDO SERDES バイパス。このピンには、グラウンドへ接続した 1 μF の補償コンデンサと直列に 1 Ω の抵抗が必要です。
35	SIOVDD33	SERDES 用 3.3 V 電源。
36	SVDD12	1.2 V JESD204B レシーバ電源。
37	SERDIN4-	シリアル・チャンネル入力 4、差動負論理入力。CML 準拠。SERDIN4-は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
38	SERDIN4+	シリアル・チャンネル入力 4、差動正論理入力。CML 準拠。SERDIN4+は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
39	SVDD12	1.2 V JESD204B レシーバ電源。
40	SERDIN5-	シリアル・チャンネル入力 5、差動負論理入力。CML 準拠。SERDIN5-は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
41	SERDIN5+	シリアル・チャンネル入力 5、差動正論理入力。CML 準拠。SERDIN5+は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
42	V <sub>TT</sub>	1.2 V 終端電圧。V <sub>TT</sub> と SVDD12 電源ピンを接続してください。
43	SYNCOUT1-	差動負論理の LVDS 同期 (アクティブ・ロー) 出力信号チャンネル・Link 1。
44	SYNCOUT1+	差動正論理の LVDS 同期 (アクティブ・ロー) 出力信号チャンネル・Link 1。
45	SVDD12	1.2 V JESD204B レシーバ電源。
46	V <sub>TT</sub>	1.2 V 終端電圧。V <sub>TT</sub> と SVDD12 電源ピンを接続してください。
47	SVDD12	1.2 V JESD204B レシーバ電源。
48	SERDIN6-	シリアル・チャンネル入力 6、差動負論理入力。CML 準拠。SERDIN6-は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
49	SERDIN6+	シリアル・チャンネル入力 6、差動正論理入力。CML 準拠。SERDIN6+は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
50	SVDD12	1.2 V JESD204B レシーバ電源。
51	SERDIN7-	シリアル・チャンネル入力 7、差動負論理入力。CML 準拠。SERDIN7-は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
52	SERDIN7+	シリアル・チャンネル入力 7、差動正論理入力。CML 準拠。SERDIN7+は、校正済み 50 Ω 抵抗を使って内部で V <sub>TT</sub> ピン電圧に終端されています。このピンは AC 結合専用です。
53	DVDD12	1.2 V デジタル電源。
54	GND	グラウンド。GND とグラウンド・プレーンを接続してください。
55	GND	グラウンド。GND とグラウンド・プレーンを接続してください。
56	PVDD12	1.2 V 電源。PVDD12 はできるだけノイズの低い電源を供給します。
57	PVDD12	1.2 V 電源。PVDD12 はできるだけノイズの低い電源を供給します。
58	PROTECT_OUT1	DAC2 と DAC3 の電源検出保護ピン出力。電源保護中はピン 58 がハイ・レベルになります。

ピン番号	記号	説明
59	PROTECT_OUT0	DAC0 と DAC1 の電源検出保護ピン出力。電源保護中はピン 59 がハイ・レベルになります。
60	$\overline{\text{IRQ}}$	割込み要求 (アクティブ・ローのオープン・ドレイン)。
61	$\overline{\text{RESET}}$	リセット。このピンはアクティブ・ローです。IOVDD を基準とした CMOS レベルにより決定されます。
62	SDO	シリアル・ポート・データ出力。IOVDD を基準とした CMOS レベルにより決定されます。
63	SDIO	シリアル・ポート・データ入力/出力。IOVDD を基準とした CMOS レベルにより決定されます。
64	SCLK	シリアル・ポート・クロック入力。IOVDD を基準とした CMOS レベルにより決定されます。
65	$\overline{\text{CS}}$	シリアル・ポート・チップ・セレクト。このピンはアクティブ・ローです。IOVDD を基準とした CMOS レベルにより決定されます。
66	IOVDD	CMOS 入力/出力および SPI の IOVDD 電源。1.8 V $\leq$ IOVDD $\leq$ 3.3 V で動作。
67	AVDD33	DAC コアの 3.3 V アナログ電源。
68	OUT3+	DAC3 電流出力、正側コンプリ出力。
69	OUT3-	DAC3 電流出力、負側コンプリ出力。
70	LDO24	2.4 V LDO。1 $\mu$ F のデカップリング・コンデンサ (グラウンドへ接続)が必要。
71	CVDD12	1.2 V クロック電源。ピン 71 のできるだけ近くにバイパス・コンデンサを接続してください。
72	LDO24	2.4 V LDO。1 $\mu$ F のデカップリング・コンデンサ (グラウンドへ接続)が必要。
73	OUT2-	DAC2 電流出力、負側コンプリ出力。
74	OUT2+	DAC2 電流出力、正側コンプリ出力。
75	AVDD33	DAC コアの 3.3 V アナログ電源。
76	CVDD12	1.2 V クロック電源。このピンのできるだけ近くにデカップリング・コンデンサを接続してください。
77	AVDD33	DAC コアの 3.3 V アナログ電源。
78	OUT1+	DAC1 電流出力、正側コンプリ出力。
79	OUT1-	DAC1 電流出力、負側コンプリ出力。
80	LDO24	2.4 V LDO。1 $\mu$ F のデカップリング・コンデンサ (グラウンドへ接続)が必要。
81	CVDD12	1.2 V クロック電源。ピン 81 のできるだけ近くにデカップリング・コンデンサを接続してください。
82	LDO24	2.4 V LDO。1 $\mu$ F のデカップリング・コンデンサ (グラウンドへ接続)が必要。
83	OUT0-	DAC0 電流出力、負側コンプリ出力。
84	OUT0+	DAC0 電流出力、正側コンプリ出力。
85	AVDD33	DAC コアの 3.3 V アナログ電源。
86	I120	DAC フルスケール電流の出力電流設定ピン。I120 ピンとグラウンドの間に 4 k $\Omega$ 抵抗を接続してください。
87	CVDD12	1.2 V クロック電源。このピンのできるだけ近くにデカップリング・コンデンサを接続してください。
88	LDO_BY2P2	DAC PLL の LDO クロック・バイパス。このピンには、グラウンドへ接続した 1 $\mu$ F の補償コンデンサと直列に 1 $\Omega$ の抵抗が必要です。
	EPAD	エクスポーズド・パッド。エクスポーズド・パッド (露出した金属面) は、グラウンド・プレーンに接続する必要があります。

## 用語

### 積分非直線性(INL)

INL は、ゼロスケールとフルスケールを結ぶ直線により決定される理想出力直線と実際のアナログ出力との最大偏差を誤差として定義されます。

### 微分非直線性(DNL)

DNL は、デジタル入力コードでの 1 LSB の変化に対応するアナログ値の変化の測定値で、フルスケールで正規化したものです。

### オフセット誤差

ゼロ・コード時の出力電流と理想値 0 mA との差をオフセット誤差と呼びます。OUTx+出力の場合、全入力が 0 のとき、0 mA の出力が期待されます。OUTx-出力の場合、全入力が 1 のとき、0 mA の出力が期待されます。

### ゲイン誤差

理想的出力範囲と実際の出力範囲の差をいいます。実際の出力スパンは、入力に最小コードが設定されたときの出力と入力に最大コードが設定されたときの出力との差として定義されます。

### 出力コンプライアンス・レンジ

出力コンプライアンス・レンジは、電流出力型 DAC の出力における許容電圧範囲です。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレイクダウンにより直線性性能が劣化することがあります。

### 温度ドリフト

温度ドリフトは、周囲温度(25°C)時の値から T<sub>MIN</sub> または T<sub>MAX</sub> 時の値までの最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトは 1°C 当たりのフルスケール範囲(FSR)に対する ppm 値で表されます。リファレンス・ドリフトの場合は、ドリフトは 1°C 当たりの ppm 値で表されます。

### 電源電圧除去(PSR)

電源が最小規定電圧値から最大規定電圧値へ変化したときのフルスケール出力の最大変化をいいます。

### セトリング・タイム

出力が最終値の規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

### スプリアス・フリー・ダイナミックレンジ(SFDR)

SFDR は、出力信号のピーク振幅と DC から DAC のナイキスト周波数までの範囲にあるピーク・スプリアス・ノイズとの差をデシベルで表したものです。一般に、この帯域内のエネルギーはインターポレーション・フィルタにより除去されます。したがって、この仕様はインターポレーション・フィルタの効果と DAC 出力でのその他の寄生混入パスの影響を規定します。

### 信号対ノイズ比(SNR)

SNR は、測定した出力信号 rms 値 (実効値) の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から 7 次までの高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

### インターポレーション・フィルタ

DAC へのデジタル入力が f<sub>DATA</sub> の倍数レート(インターポレーション・レート)でサンプルされる場合、デジタル・フィルタは f<sub>DATA</sub>/2 近くに急峻な遷移帯域を持つように構成することができます。f<sub>DAC</sub> (出力データ・レート)の近くに現れるイメージは大きく減衰させることができます。

### 隣接チャンネル・リーク比(ACLR)

ACLR は、あるチャンネルと隣接チャンネルの間で測定したキャリア電力間の比を dBc で表した値。

### 複素イメージ除去比

従来型両側波帯アップ・コンバージョンでは、2 次 IF 周波数の周辺に 2 個のイメージが発生します。これらのイメージは、トランスミッタ電力とシステム帯域幅を浪費することになります。2 番目の複素変調器の実数部を最初の複素変調器に直列に配置することにより、2 次 IF 周辺の上側または下側の周波数イメージを除去することができます。

### 調整済み DAC 更新レート

調整済み DAC 更新レートは、DAC 更新レートを最小インターポレーション・ファクタで除算した値です。複数のインターポレーション・ファクタを持つ DAC に対しては、各インターポレーション・ファクタに対する調整済み DAC 更新レートが与えられます。

### 物理レーン

物理レーン x は SERDIN<sub>x±</sub> を意味します。

### 論理レーン

論理レーン x は、オプションでクロスバー・ブロックにより再割当てした後の物理レーンを意味します (レジスタ 0x308 ~ レジスタ 0x30B)。

### リンク・レーン

リンク・レーン x は、リンクごとの論理レーンを意味します。Link 0 (レジスタ 0x300[2] = 0) をページングする場合、リンク・レーン x = 論理レーン x。Link 1 (レジスタ 0x300[2] = 1、デュアル・リンクの場合) をページングする場合、リンク・レーン x = 論理レーン x + 4。

代表的な性能特性

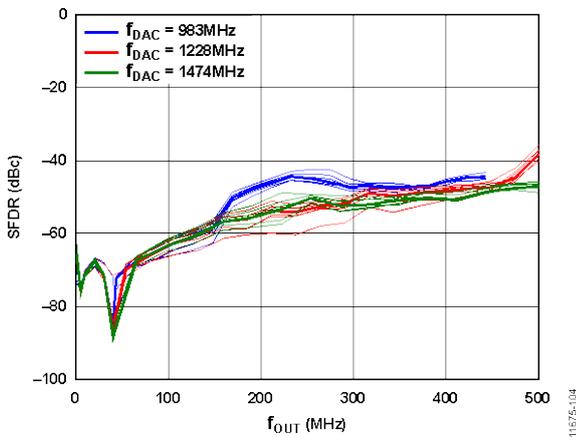


図 4.ファースト・ナイキスト・ゾーン内  $f_{OUT}$  対シングル・トーン SFDR、 $f_{DAC} = 983 \text{ MHz}$ 、 $1228 \text{ MHz}$ 、 $1474 \text{ MHz}$

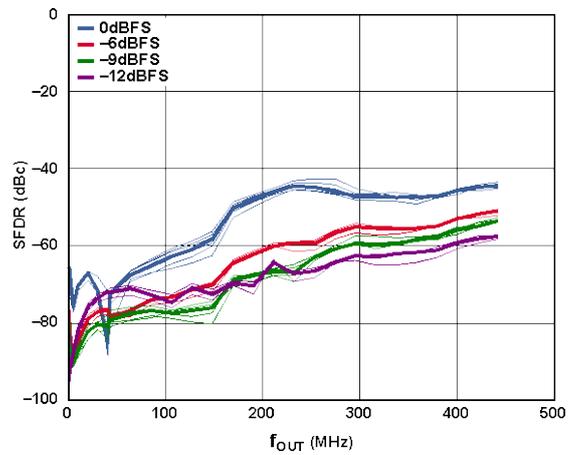


図 7.ファースト・ナイキスト・ゾーンでの  $f_{OUT}$  対シングル・トーン SFDR、デジタル・バックオフ、 $f_{DAC} = 983 \text{ MHz}$

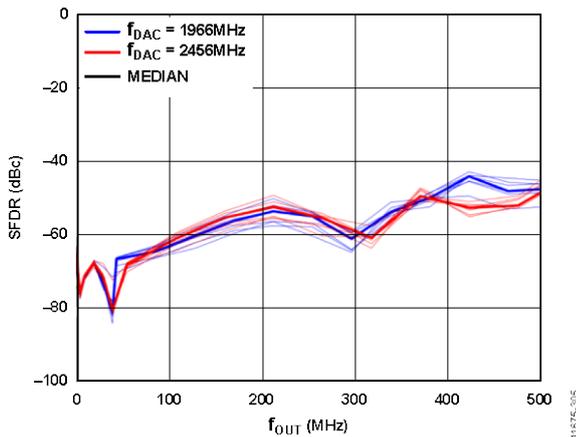


図 5.ファースト・ナイキスト・ゾーン内  $f_{OUT}$  対シングル・トーン SFDR、 $f_{DAC} = 1966 \text{ MHz}$ 、 $2456 \text{ MHz}$

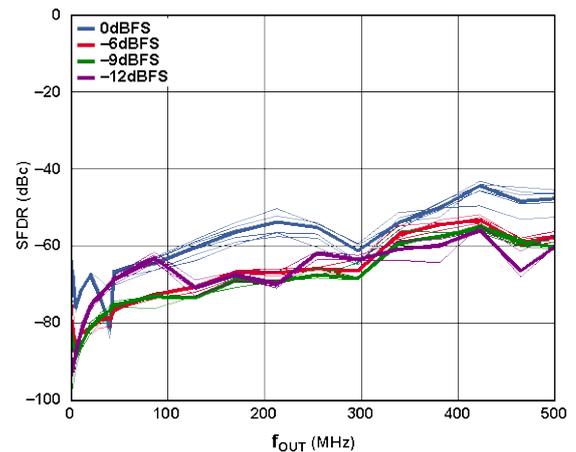


図 8.ファースト・ナイキスト・ゾーンでの  $f_{OUT}$  対シングル・トーン SFDR、デジタル・バックオフ、 $f_{DAC} = 1966 \text{ MHz}$

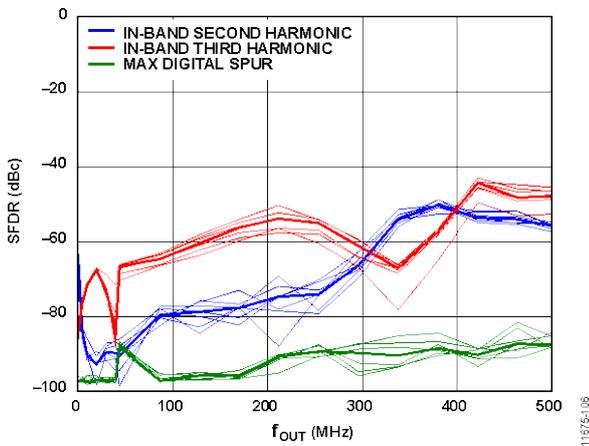


図 6.シングル・トーン 2 次および 3 次高調波およびファースト・ナイキスト・ゾーン内の最大デジタル・スプリアス、 $f_{DAC} = 1966 \text{ MHz}$ 、 $0 \text{ dB}$  バックオフ

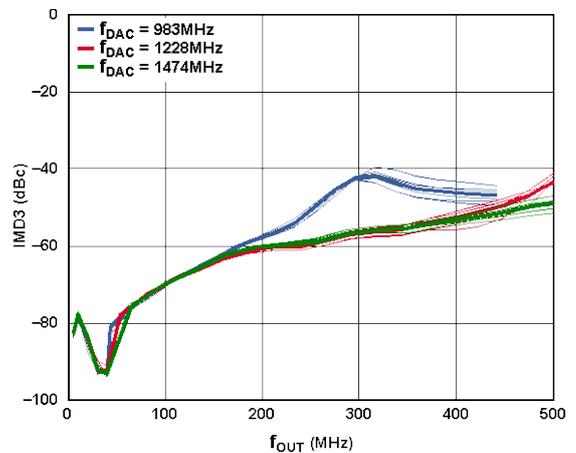
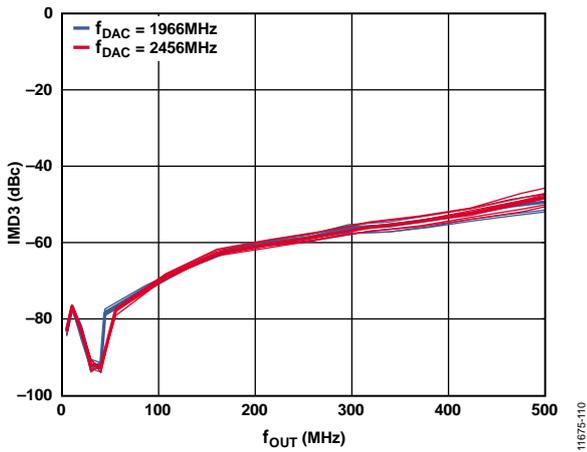
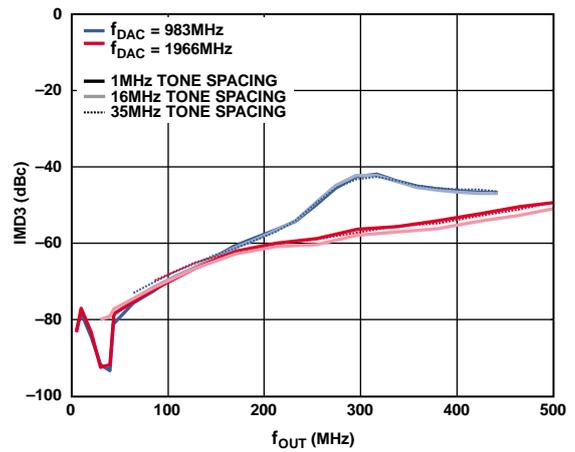


図 9. $f_{OUT}$  対 2 トーン 3 次 IMD (IMD3)  $f_{DAC} = 983 \text{ MHz}$ 、 $1228 \text{ MHz}$ 、 $1474 \text{ MHz}$



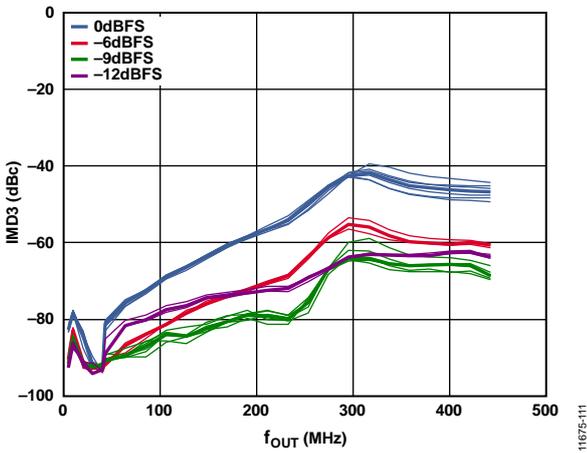
11675-110

図 10.  $f_{OUT}$  対 2 トーン 3 次 IMD (IMD3)  
 $f_{DAC} = 1966 \text{ MHz}$ 、 $2456 \text{ MHz}$



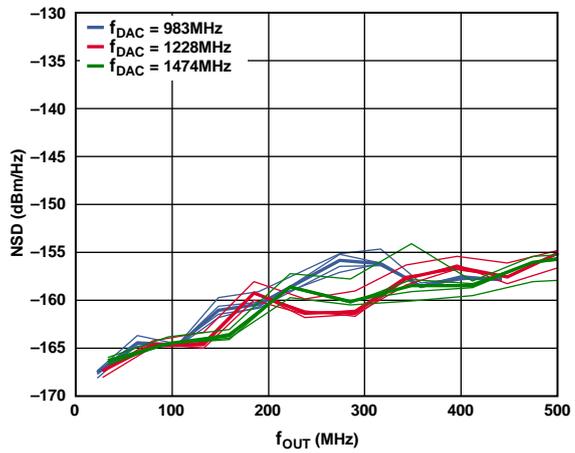
11675-113

図 13.  $f_{OUT}$  対 2 トーン 3 次 IMD (IMD3)  
トーン間隔: 0 dB バックオフ、 $f_{DAC} = 983 \text{ MHz}$ 、 $1966 \text{ MHz}$



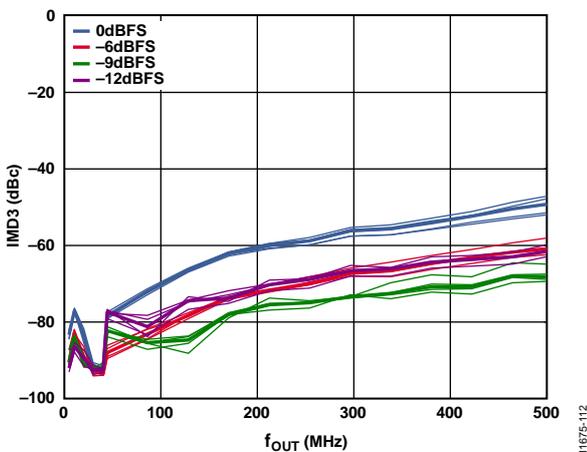
11675-111

図 11.  $f_{OUT}$  対 2 トーン 3 次 IMD (IMD3)  
デジタル・バックオフ、  
 $f_{DAC} = 983 \text{ MHz}$ 、各トーン = -6 dBFS



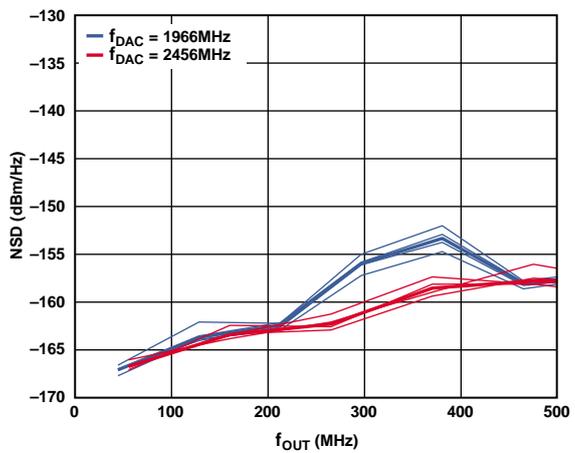
11675-114

図 14.  $f_{OUT}$  対 シングル・トーン (0 dBFS) NSD  
 $f_{DAC} = 983 \text{ MHz}$ 、 $1228 \text{ MHz}$ 、 $1474 \text{ MHz}$



11675-112

図 12.  $f_{OUT}$  対 2 トーン 3 次 IMD (IMD3)  
デジタル・バックオフ、  
 $f_{DAC} = 1966 \text{ MHz}$ 、各トーン = -6 dBFS



11675-115

図 15.  $f_{OUT}$  対 シングル・トーン (0 dBFS) NSD  
 $f_{DAC} = 1966 \text{ MHz}$ 、 $2456 \text{ MHz}$

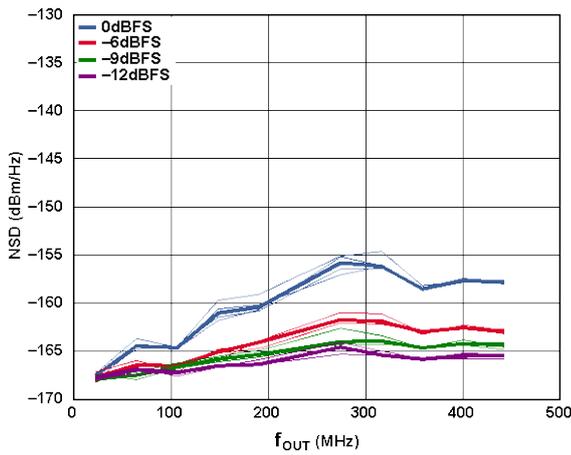


図 16.  $f_{OUT}$  対シングル・トーン NSD  
デジタル・バックオフ、 $f_{DAC} = 983$  MHz

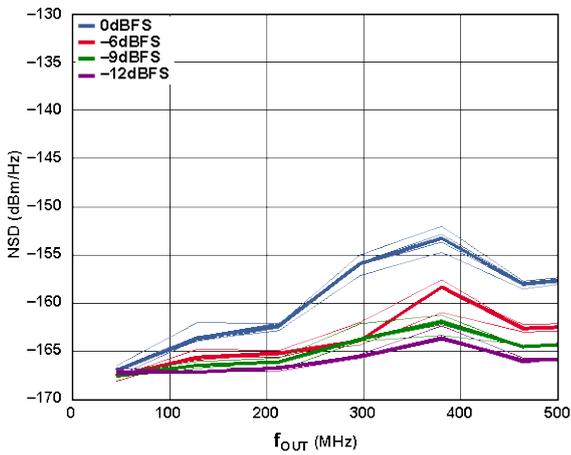


図 17.  $f_{OUT}$  対シングル・トーン NSD  
デジタル・バックオフ、 $f_{DAC} = 1966$  MHz

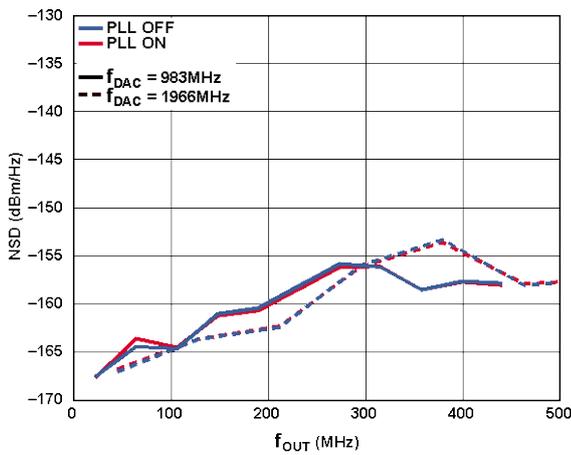


図 18.  $f_{OUT}$  対シングル・トーン NSD (0 dBFS)  
 $f_{DAC} = 983$  MHz、 $1966$  MHz、PLL オン/オフ

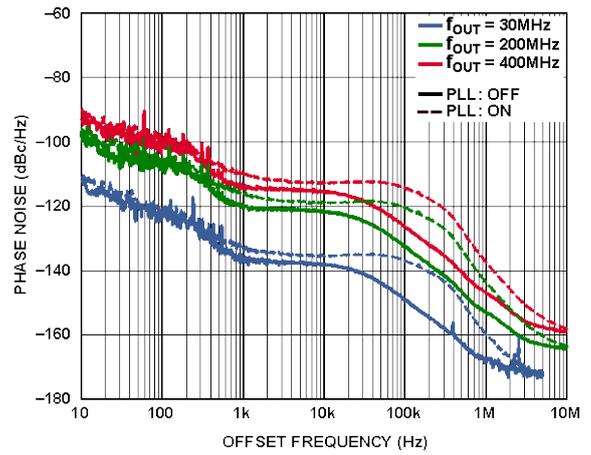


図 19. 様々な  $f_{OUT}$  でのオフセット周波数対  
シングル・トーン位相ノイズ  
 $f_{DAC} = 2.0$  GHz、PLL オン/オフ

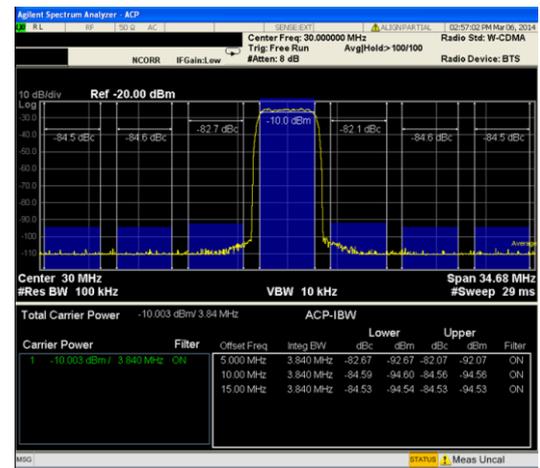


図 20. 1C WCDMA ACLR、 $f_{OUT} = 30$  MHz、 $f_{DAC} = 983$  MHz、 $2\times$   
インターポレーション、PLL 周波数 = 122 MHz

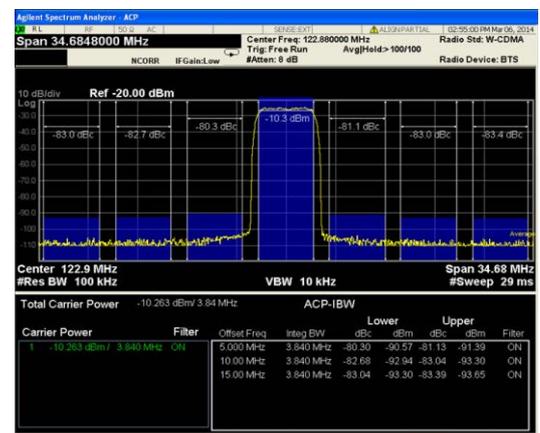


図 21. 1C WCDMA ACLR、 $f_{OUT} = 122$  MHz、 $f_{DAC} = 983$  MHz、 $2\times$   
インターポレーション、PLL 周波数 = 122 MHz

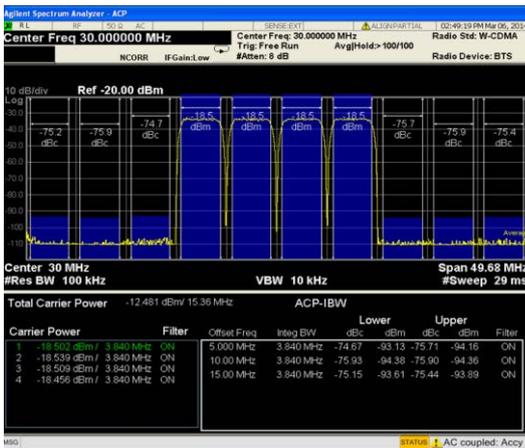


図 22.4C WCDMA ACLR,  $f_{OUT} = 30$  MHz,  $f_{DAC} = 983$  MHz  
2x インターポレーション、PLL 周波数 = 122 MHz

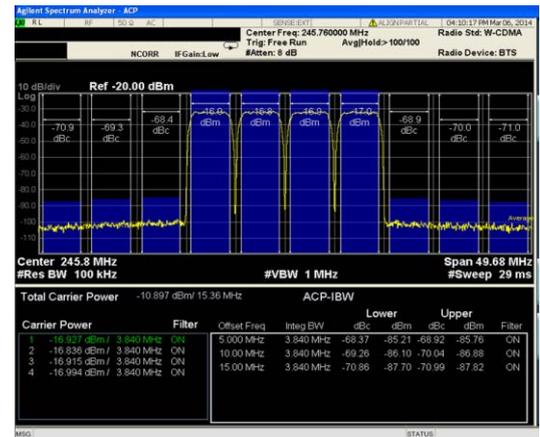


図 25.4C WCDMA ACLR,  $f_{OUT} = 245$  MHz,  $f_{DAC} = 1966$  MHz,  
4x インターポレーション、PLL 周波数 = 245 MHz

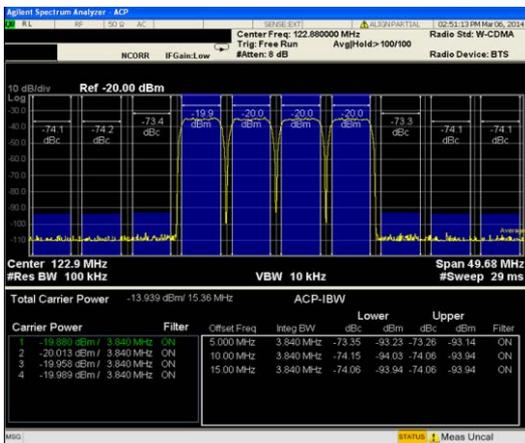


図 23.4C WCDMA ACLR,  $f_{OUT} = 122$  MHz,  $f_{DAC} = 983$  MHz,  
2x インターポレーション、PLL 周波数 = 122 MHz

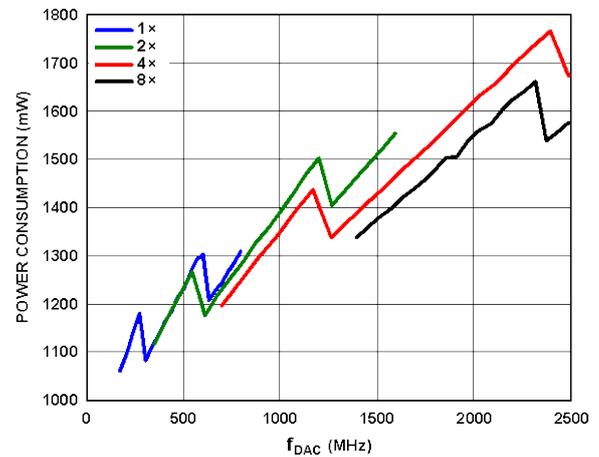


図 26.様々なインターポレーションでの  $f_{DAC}$  対総合消費電力  
8 SERDES レーンをネーブル、NCO、デジタル・ゲイン  
逆 Sinc、DAC PLL をディスエーブル

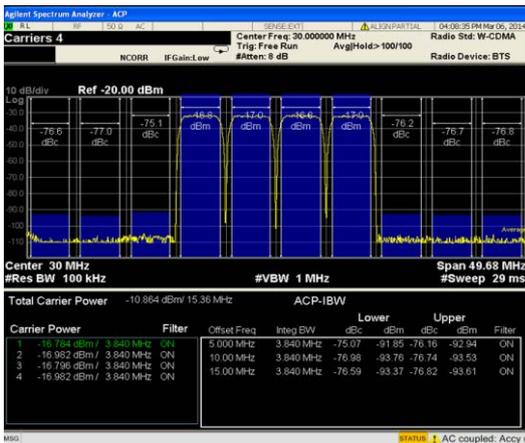


図 24.4C WCDMA ACLR,  $f_{OUT} = 30$  MHz,  $f_{DAC} = 1966$  MHz,  
4x インターポレーション、PLL 周波数 = 245 MHz

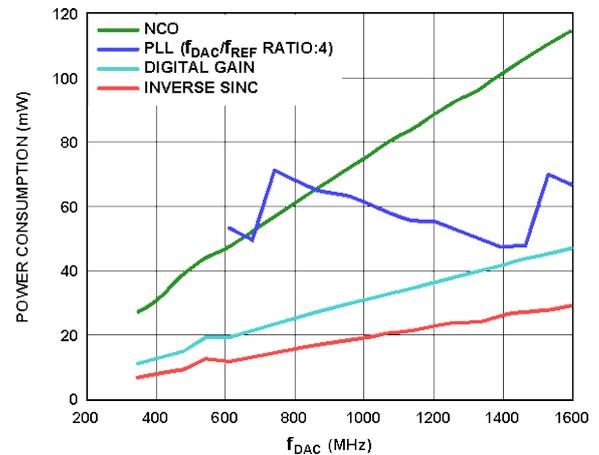


図 27.様々なデジタル機能での  $f_{DAC}$  対消費電力

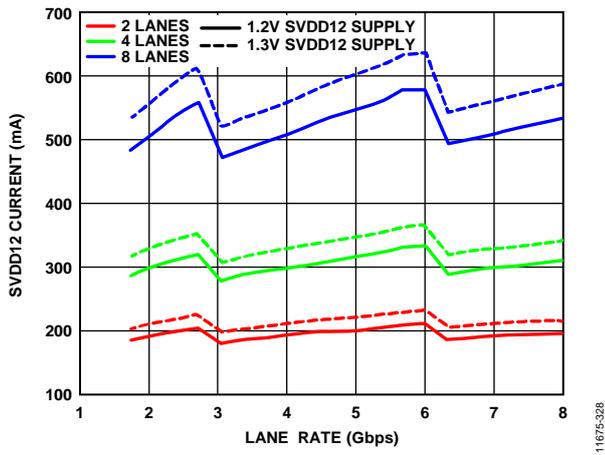


図 28.様々な SERDES レーン数と電源電圧設定でのレーン・レート対 SVDD12 電流

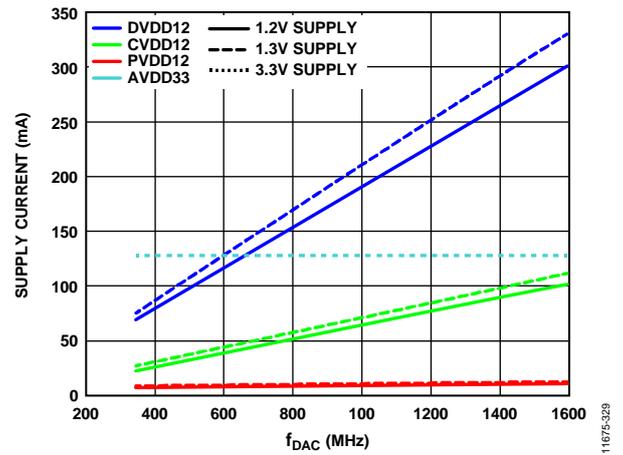


図 29.様々な電源電圧設定での f<sub>DAC</sub> 対 DVDD12、CVDD12、PVDD12、AVDD33 電源電流

## 動作原理

AD9144 は SERDES インターフェースを内蔵する 16 ビットのクワッド DA コンバータ (DAC) です。図 2 に AD9144 の詳しい機能ブロック図を示します。8 個の高速シリアル・レーンは 10.6 Gbps の最大速度でデータを伝送し、1.06 GSPS の入力データ・レートで DAC へ入力します。SERDES インターフェースは、LVDS または CMOS インターフェースと比較すると、ピン数、ボード・レイアウト、デバイスへの入力クロック条件が簡素化されています。

入力データのクロックはデバイス・クロックから発生されます (JESD204B 仕様で規定)。このデバイス・クロックは、DAC クロックを作る内蔵 PLL のリファレンス・クロックか、あるいは直接外部より供給する高品位のサンプリング・クロックを使用します。このデバイスは、必要とされる入力データ・レートに応じて、1、2、4、または 8 レーン・モードで動作するように設定することができます。アプリケーションの柔軟性のため、クワッド DAC をデュアル・リンク・デバイスに設定して、各 JESD204B リンクから 2 つの DAC 対へデータを供給することができます。

AD9144 のデジタル・データパスは、最大 DAC サンプル・レートが 2.8 GSPS の 3 個のハーフバンド・フィルタを使って、4 つのインターポレーション・モード (1x、2x、4x、8x) を提供します。また sync 応答によるロールオフを補償するために逆 sinc フィルタを提供しています。

AD9144 DAC コアは、公称フルスケール電流 20 mA のフル差動電流出力を提供します。フルスケール電流  $I_{OUTFS}$  は、13.9 mA ~ 27.0 mA (typ) の範囲でユーザーによる調整が可能です。差動電流出力は相補形式 (コンプリメンタリ) で、アナログ・デバイス社の ADRF672x AQM と容易に接続できるように最適化されています。AD9144 はマルチチップ同期機能を持つため、複数の DAC を同期化して、DAC に対して一定で確定した (レイテンシ・ロック) パスを確立することができます。各 DAC の遅延は、リンク確立からリンク確立まで一定に維持されます。外部アライメント (SYSREF±) 信号により、AD9144 は Subclass 1 準拠になります。SYSREF± 信号の処理には、システム内で使用するための複数のモードがあります。

SPI は、種々の機能ブロックを設定し、それらの動作状態をモニタします。種々の機能ブロックとデータ・インターフェースは、正常動作のために特定のシーケンスで設定する必要があります (デバイスのセットアップ・ガイドのセクション参照)。評価ボード・パッケージに含まれているシンプルな SPI 初期化ルーチンにより、JESD204B リンクを設定できます。次のセクションで、AD9144 の種々のブロックを詳しく説明します。JESD204B インターフェースの説明、制御パラメータ、デバイスの設定とモニタに使う種々のレジスタが記載してあります。推奨起動ルーチンによりデータ・リンクを確実に設定します。

## シリアル・ポート動作

シリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースを容易に可能にします。シリアル入出力(I/O)は、モトローラ社の SPI プロトコルや Intel®社の SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。このインターフェースを使うと、AD9144を設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。MSB ファーストまたは LSB ファーストの転送フォーマットをサポートしています。このシリアル・ポート・インターフェースは、4 線式インターフェース、または入力と出力が同じ I/O ピン (SDIO) を共用する 3 線式インターフェースとして設定することができます。

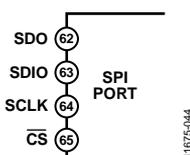


図 30. シリアル・ポート・インターフェース・ピン

AD9144 との通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクル(デバイスに対する命令バイトの書き込み)であり、最初の 16 個の SCLK 立上がりエッジにより実行されます。この命令ワードは、後に続くデータ転送サイクルすなわち通信サイクルの 2 番目のフェーズについての情報を AD9144 のシリアル・ポート・コントローラに提供します。フェーズ 1 の命令ワードは、後続のデータ転送が読みまたは書き込みのいずれかを指定し、さらに後続データ転送の開始レジスタ・アドレスを指定します。

$\overline{CS}$  ピン入力をハイ・レベルにし、続いてロー・レベルにすると、シリアル・ポートのタイミングが命令サイクルの初期状態にリセットされます。この状態から次の 16 個の SCLK の立上がりエッジで、現在の I/O 動作の命令ビットが示されます。

その後続く SCLK エッジが、通信サイクルのフェーズ 2 に該当します。フェーズ 2 では、デバイスとシステム・コントローラとの間で実際にデータ転送が行われます。通信サイクルのフェーズ 2 は、1 バイト以上のデータ転送です。データ転送サイクルで N バイトを転送するためには、 $8 \times N$  個の SCLK サイクルが必要です。周波数チューニング・ワード (FTW) と数値制御発振器 (NCO) 位相オフセットを除く各転送バイトの最終ビットが書き込まれると、そのレジスタ内容は直ちに変わります。しかし周波数チューニング・ワードと NCO 位相オフセットは、周波数チューニング・ワードの FTW\_UPDATE\_REQ ビットがセットされた場合にのみ書き換わります。

### データ・フォーマット

命令バイトは表 13 に示す情報から構成されています。

表 13. シリアル・ポート命令ワード

I15 (MSB)	I[14:0]
R/ $\overline{W}$	A[14:0]

$\overline{R/W}$  (命令ワードのビット 15) は、書き込み命令ワードの後に行うデータ転送が、読みまたは書き込みのいずれであるかを指定します。ロジック 1 は読み動作を、ロジック 0 は書き込み動作を、それぞれ表します。

A14~A0 (命令ワードのビット 14~ビット 0) は、この通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。複数バイト転送の場合、A[14:0] はレジスタの先頭アドレスになります。後に続くレジスタ・アドレスは、ADDRINC ビットにもとづいてデバイスにより発生されます。ADDRINC にハイ・レベルが設定されると (レジスタ 0x000 のビット 5 とビット 2)、マルチバイト SPI 書き込みが A[14:0] から開始され、各 8 ビットの送信/受信ごとに 1 カウントだけインクリメントされます。ADDRINC に 0 が設定されると、各 8 ビットごとにアドレスは 1 カウントだけデクリメントされます。

### シリアル・ポート・ピンの説明

#### シリアル・クロック (SCLK)

シリアル・クロック・ピンは、デバイスとの間のデータを同期化し、内部状態・マシンを動作させます。SCLK の最大周波数は 10 MHz です。すべてのデータ入力は、AD9144 に対する書き込み時には SCLK の立上がりエッジでレジスタに入力されます。すべてのデータは、AD9144 からの読み込み時は SCLK の立上がりエッジで出力されます。

#### チップ・セレクト ( $\overline{CS}$ )

アクティブ・ローを入力すると、通信サイクルが開始されます。この信号を使うと、複数のデバイスを同じシリアル・コミュニケーション・ライン上で動作させることができます。この入力が高レベルのとき、SDIO ピンはハイ・インピーダンス状態になります。通信サイクルでは、チップ・セレクトは常にロー・レベルである必要があります。

#### シリアル・データ I/O (SDIO)

このピンは双方向データ・ラインです。4 線式モードでは、このピンはデータ入力として、SDO はデータ出力として、それぞれ機能します。

### シリアル・ポートのオプション

シリアル・ポートでは、MSB ファーストと LSB ファーストのデータ・フォーマットをサポートすることができます。この機能は、LSBFIRST ビット (レジスタ 0x000 のビット 6 とビット 1) により制御されます。デフォルトは、MSB ファーストです (LSBFIRST = 0)。

LSBFIRST = 0 (MSB ファースト) の場合、命令ビットとデータ・ビットのセットは、MSB から LSB への順序で書き込む必要があります。R/ $\overline{W}$  の後ろには A[14:0] が命令ワードとして続き、D[7:0] はデータワードです。LSBFIRST = 1 (LSB ファースト) の場合、逆になります。A[0:14] の後ろに R/ $\overline{W}$  が続き、その後ろには D[0:7] が続きます。

このシリアル・ポートは、3 線式または 4 線式のインターフェースをサポートします。SDOACTIVE = 1 (レジスタ 0x000 のビット 4 とビット 3) の場合、別々の入力ピン (SDIO) と出力ピン (SDO) を使用する 4 線式インターフェースになります。SDOACTIVE = 0 の場合、SDIO ピンを入力と出力兼用に使い、SDO ピンは使用しません。

複数のデータ・バイトをひとつのフェーズで伝送する、マルチバイト・データ転送も行うことができます。この動作は、命令サイクルに続く先頭データ転送ワードの後に、複数のデータ転送サイクル間 (8 SCLK 間)  $\overline{CS}$  ピンをロー・レベルに維持すると開始されます。命令サイクルに続く最初の 8 個の SCLK で、命令サイクル内で指定されたレジスタに対する読出または書込みが行われます。それに続く各 8 SCLK サイクルで、アドレスがインクリメント (アップ) またはデクリメント (ダウン) されて、新しいレジスタの読み書きが行われます。アドレスのアップ/ダウンの方向は、ADDRINC (レジスタ 0x000 のビット 5 とビット 2) を使って設定することができます。ADDRINC が 1 の場合、マルチサイクル・アドレスはインクリメントされます。ADDRINC が 0 の場合、マルチサイクル・アドレスはデクリメントされます。 $\overline{CS}$  をハイ・レベルにした後ロー・レベルにすると、新しい書き込みサイクルを常に開始することができます。

デバイス間での混乱を防止し一貫性を持たせるため、チップはアドレス・フェーズに続く先頭のニブルをテストし、2 番目のニブルを無視します。これは、独立に LSB 先頭ビットから行われ、ソフト・リセット・ビット (レジスタ 0x000 のビット 0 とビット 7) の後ろに余分なクロック・サイクルが存在することを確認します。これはレジスタ 0x000 への書き込みのときにのみ行われます。

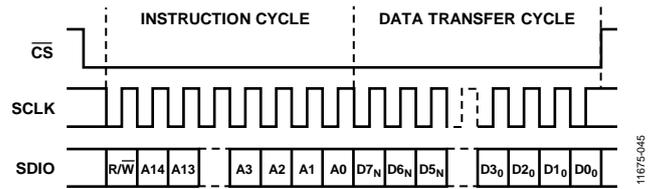


図 31. シリアル・レジスタ・インターフェース・タイミング、MSB ファースト、ADDRINC = 0

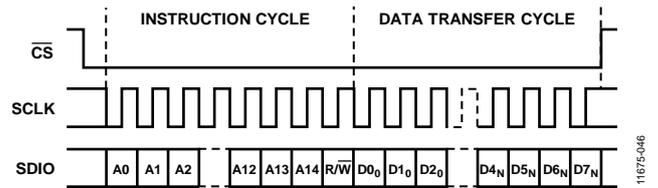


図 32. シリアル・レジスタ・インターフェース・タイミング、LSB ファースト、ADDRINC = 1

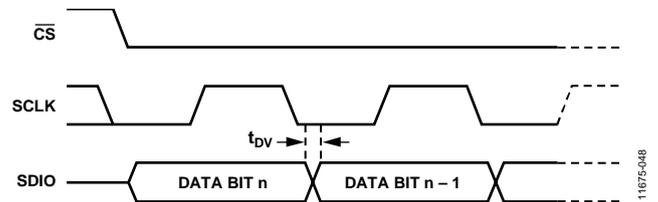


図 33. シリアル・ポート・レジスタ読出しのタイミング図

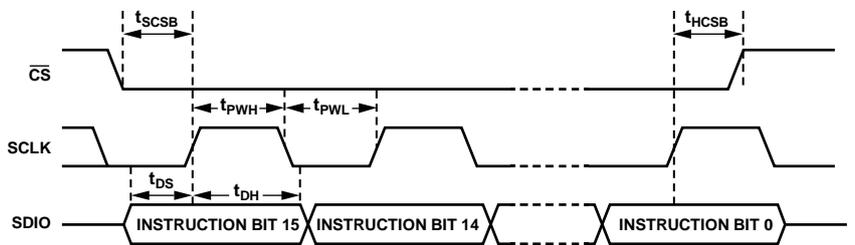


図 34. シリアル・ポート・レジスタ書込のタイミング図

## チップ情報

レジスタ 0x003～レジスタ 0x006 は、表 14 に示すチップの製品情報を格納しています。

表 14. チップ情報

Information	Description
Chip Type	製品タイプは High Speed DAC で、レジスタ 0x003 内のコード 0x04 で表されます。
Product ID	レジスタ 0x005 の上位 8 ビットとレジスタ 0x004 内の下位 8 ビット。製品 ID は 0x9144。
Product Grade	レジスタ 0x006[7:4]。製品グレードは 0x00。
Device Revision	レジスタ 0x006[3:0]。デバイス・レビジョンは 0x02。

## デバイスのセットアップ・ガイド

### 概要

AD9144 を正しく設定するステップを次に示します。

1. SPI インターフェースを設定し、必要な回路ブロックをパワーアップさせ、設定レジスタに必要な書込みを行い、DAC クロックを設定します (ステップ 1: DAC の起動参照)。
2. AD9144 のデジタル機能を設定します (ステップ 2: デジタル・データパス参照)。
3. JESD204B リンクを設定します (ステップ 3: トランスポート層参照)。
4. SERDES インターフェースの物理層を設定します (ステップ 4: 物理層参照)。
5. SERDES インターフェースのデータ・リンク層を設定します (ステップ 5: データ・リンク層参照)。
6. エラーをチェックします (ステップ 6: オプションのエラー・モニタリング参照)。
7. オプションとして、ステップ 7: オプション機能に示す必要な機能をイネーブルします。

表 15～表 21 に示す一連の書込みは、AD9144 のセットアップに必要なレジスタ書込みです。この 2 ページのセットアップ・ガイドを印刷して、アプリケーションの条件に合わせて数値を列に記入することをお勧めします。

灰色背景色の 0x は、ユーザーが設定する必要があるレジスタ設定値を表します。未知レジスタ値を設定するときは、表 15～表 21 の変数列の各変数に対する正しい設定値を選択してください。説明の列には、変数の設定方法、またはこの説明が記載されているセクションへのリンクが示してあります。

### ステップ 1: DAC の起動

このセクションでは、SPI インターフェースの設定方法、必要な回路ブロックのパワーアップ方法、必要な設定レジスタへの書込み方法、DAC クロックの設定方法を説明します。

表 15. パワーアップと DAC の初期化設定

Addr.	Bit No.	Value <sup>1</sup>	Variable	Description
0x000		0xBD		ソフト・リセット。
0x000		0x3C		リセット解除、4 線式 SPI を設定。
0x011		0x		
	7	0		バンド・ギャップ・リファレンスをパワーアップ。
	[6:3]		PdDACs	4 個の DAC すべてを使用する場合、PdDACs = 0。それ以外の場合、DAC パワーダウンのセットアップ・セクション参照。
	2	0		マスター DAC をパワーアップ。
0x080		0x	PdClocks	4 個の DAC すべてを使用する場合、PdClocks = 0。それ以外の場合、DAC パワーダウンのセットアップ・セクション参照。
0x081		0x	PdSysref	サブクラス 1 の場合、PdSysref = 0x00。サブクラス 0 の場合、PdSysref = 0x10。サブクラスの詳細については、サブクラス・セットアップのセクション参照。

<sup>1</sup> 0x はユーザー設定が必要なレジスタ値を表します。該当するレジスタ値の選択については変数と説明の列を参照してください。次のレジスタには書込みが必要で、デバイスが正しく機能するためにはデフォルトから値を変更する必要があります。ソフト・リセット、ハード・リセット、またはパワーアップの後には、これらのレジスタに書込む必要があります。

表 16. 必要なデバイス設定

Addr.	Value	Description
0x12D	0x8B	デジタル・データパス設定
0x146	0x01	デジタル・データパス設定
0x2A4	0xFF	クロック設定
0x1C4	0x73	DAC PLL 設定
0x291	0x49	SERDES PLL 設定
0x29C	0x24	SERDES PLL 設定
0x29F	0x73	SERDES PLL 設定
0x232	0xFF	JESD インターフェース設定
0x333	0x01	JESD インターフェース設定

オプションの DAC PLL を使用する場合は、表 17 のレジスタも設定する必要があります。

表 17. オプションの DAC PLL 設定手順

Addr.	Value <sup>1</sup>	Variable	Description
0x08B	0x	LODivMode	DAC PLL セットアップのセクション参照
0x08C	0x	RefDivMode	DAC PLL セットアップのセクション参照
0x085	0x	BCount	DAC PLL セットアップのセクション参照
Various	0x	LookUpVals	DAC PLL セットアップのセクション参照
0x083	0x10		DAC PLL <sup>2</sup> をイネーブル

<sup>1</sup> 0x はユーザー設定が必要なレジスタ値を表します。該当するレジスタ値の選択については変数と説明の列を参照してください。

<sup>2</sup> DAC PLL をイネーブルした後に、レジスタ 0x084[1] を読出すと 1 が返されることを確認して、DAC PLL がロックされたことを確認してください。

### ステップ 2: デジタル・データパス

このセクションでは、使用するインターポレーション・フィルタと使用するデータ・フォーマットの設定を説明します。変調の微調整と粗調整、デジタル・ゲイン・スケールリング、通過帯域の平坦性を改善するために使用する逆 sinc フィルタなどのその他のデジタル機能もあります。表 22 に、使用可能な機能ブロックの詳細を示します。

表 18. デジタル・データパス設定

Addr.	Bit No.	Value <sup>1</sup>	Variable	Description
0x112		0x	InterpMode	インターポレーションを選択; インターポレーションのセクション参照。
0x110		0x		
	7		DataFmt	2 の補数の場合、DataFmt = 0; 符号なしバイナリの場合、DataFmt = 1。

<sup>1</sup> 0x はユーザー設定が必要なレジスタ値を表します。該当するレジスタ値の選択については変数と説明の列を参照してください。

### ステップ 3: トランスポート層

このセクションでは、JESD204B リンクの設定方法を説明します。パラメータは、所望の JESD204B 動作モードにより決定されます。詳細については、JESD204B のセットアップのセクションを参照してください。

表 19. トランスポート層の設定

Addr	Bit No.	Value <sup>1</sup>	Variable	Description
0x200		0x00		インターフェースをパワーアップ。
0x201		0x	UnusedLanes	JESD204B セットアップのセクション参照。
0x300		0x		
	6		ChecksumMode	JESD204B セットアップのセクション参照。
	3		DualLink	JESD204B セットアップのセクション参照。
	2		CurrentLink	JESD204B セットアップのセクション参照。
0x450		0x	DID	DID をトランスミッタから送信されたデバイス ID と一致するように設定してください。
0x451		0x	BID	BID をトランスミッタから送信されたバンク ID と一致するように設定してください。
0x452		0x	LID	LID をトランスミッタから送信されたレーン ID と一致するように設定してください。
0x453		0x		
	7		Scrambling	JESD204B セットアップのセクション参照。
	[4:0]		$L - 1^2$	JESD204B セットアップのセクション参照。
0x454		0x	$F - 1^2$	JESD204B セットアップのセクション参照。
0x455		0x	$K - 1^2$	JESD204B セットアップのセクション参照。
0x456		0x	$M - 1^2$	JESD204B セットアップのセクション参照。
0x457		0x	$N - 1^2$	$N = 16$ 。
0x458		0x		
	5		Subclass	JESD204B セットアップのセクション参照。
	[4:0]		$N_p - 1^2$	$N_p = 16$ 。
0x459		0x		
	5		JESDVer	JESD204B の場合 JESDVer = 1、JESD204A の場合 JESDVer = 0。
	[4:0]		$S - 1^2$	JESD204B セットアップのセクション参照。
0x45A		0x	HD	JESD204B セットアップのセクション参照。
0x45D		0x	Lane0Checksum	JESD204B セットアップのセクション参照。
0x46C		0x	Lanes	レーンのスキュー補正。
0x476		0x	F	JESD204B セットアップのセクション参照。
0x47D		0x	Lanes	レーンをイネーブル。 JESD204B セットアップのセクション参照。

<sup>1</sup> 0x はユーザー設定が必要なレジスタ値を表します。該当するレジスタ値の選択については変数と説明の列を参照してください。

<sup>2</sup> この JESD204B リンク・パラメータは、注記のように  $n - 1$  の表記で設定されます。例えば、 $L = 8$  (リンクあたり 8 レーン) が必要な場合、 $L - 1$  すなわち 7 をレジスタ 0x453[4:0] に設定します。

デュアル・リンクを使う場合、レジスタ 0x300 ~ レジスタ 0x47D へ  $CurrentLink = 0$  を書き込み、次に同じセットのレジスタへ  $CurrentLink = 1$  の書き込みを繰り返します (レジスタ 0x200 とレジスタ 0x201 は 1 回だけ書き込みが必要です)。

### ステップ 4: 物理層

このセクションでは、SERDES インターフェース物理層の設定方法を説明します。このセクションでは、入力終端の設定値は CDR サンプリングおよび SERDES PLL と一緒に設定します。

表 20. デバイスの設定と物理層の設定

Addr.	Bit No.	Value <sup>1</sup>	Variable	Description
0x2AA		0xB7		JESD インターフェース 終端設定
0x2AB		0x87		JESD インターフェース 終端設定
0x2B1		0xB7		JESD インターフェース 終端設定
0x2B2		0x87		JESD インターフェース 終端設定
0x2A7		0x01		自動チューン PHY 設定
0x2AE		0x01		自動チューン PHY 設定
0x314		0x01		SERDES SPI 設定
0x230		0x		
	5		Halfrate	CDR の設定; SERDES クロック・セットアップのセクション参照
	[2:1]		OvSmp	CDR の設定; SERDES クロック・セットアップのセクション参照
0x206		0x00		CDR をリセット
0x206		0x01		CDR リセットの解除
0x289		0x		
	2	1		SERDES PLL 設定
	[1:0]		PLLDiv	PLL の CDR オーバーサンプリングを設定; SERDES クロック・セットアップのセクション参照
0x280		0x01		SERDES PLL <sup>2</sup> をイネーブル
0x268		0x		
	[7:6]		EqMode	等化モード・セットアップのセクション参照
	[5:0]	0x22		デフォルト この値が必要です

<sup>1</sup> 0x はユーザー設定が必要なレジスタ値を表します。該当するレジスタ値の選択については変数と説明の列を参照してください。

<sup>2</sup> SERDES PLL をイネーブルした後に、レジスタ 0x281[0] を読出すと 1 が返されることを確認して、SERDES PLL がロックされたことを確認してください。

### ステップ 5: データ・リンク層

このセクションでは、SERDES インターフェースのデータ・リンク層の設定方法を説明します。このセクションでは、SYSREF 処理、ディタミニスティック・レイテンシ（確定した遅延）の設定、リンクの確立について説明します。

表 21. データ・リンク層の設定

Address	Bit No.	Value <sup>1</sup>	Variable	Description
0x301		0x	Subclass	JESD204B セットアップのセクション参照。
0x304		0x	LMFCDel	リンク・レイテンシ・セットアップのセクション参照。
0x305		0x	LMFCDel	リンク遅延セクション参照。
0x306		0x	LMFCVVar	リンク・レイテンシ・セットアップのセクション参照。
0x307		0x	LMFCVVar	リンク・レイテンシ・セットアップのセクション参照。
0x03A		0x01		同期モード=ワンショット同期を設定;他の同期オプションについては、LMFC 信号の同期のセクション参照。
0x03A		0x81		同期マシン・ステートをイネーブル。
0x03A		0xC1		同期マシン・ステートの起動用意。
SYSREF±				サブクラス=1 の場合、少なくとも 1 つの SYSREF± エッジをデバイスへ送信してください。 <sup>2</sup>
0x308 to 0x30B		0x	XBarVals	レーンを再マップの場合、クロスバーを設定してください;クロスバー・セットアップのセクション参照。
0x334		0x	InvLanes	所望論理レーンの極性を反転。反転させるときは、各論理レーン x に対して反転レーンのビット x に 1 を設定する必要があります。
0x300		0x		リンクをイネーブルします。
	6		ChkSmMd	JESD204B セットアップのセクション参照。
	3		Subclass	JESD204B セットアップのセクション参照。
	[1:0]		EnLinks	DualLink = 1 の場合(Link 0 と Link 1 をイネーブル)、EnLinks = 3 ; DualLink = 0 の場合(Link 0 のみをイ

				ネーブル)、EnLinks = 1。
--	--	--	--	--------------------

<sup>1</sup> 0x はユーザー設定が必要なレジスタ値を表します。該当するレジスタ値の選択については変数と説明の列を参照してください。

<sup>2</sup> 少なくとも 1 個の SYSREF± エッジをデバイスへ送信した後に、レジスタ 0x03B[3] を読出すと 1 が返されることを確認して、LMFC 同期マシンが正常にロックされたことを表示してください。

### ステップ 6: オプションのエラー・モニタリング

JESD204B のエラー・モニタリングについては、JESD204B エラー・モニタのセクションを参照してください。その他のエラー・チェックについては、割込み要求動作のセクションを参照してください。

### ステップ 7: オプション機能

イネーブルできる多数のオプション機能があります。表 22 に、各機能を説明しているセクションに対するリンクを示します。他に注記がないかぎり、これらの機能はデュアル・ページングのセクションに説明するように、ページングされます。ページングは、デジタル・ゲイン、位相調整、DC オフセットのような 2 つの固有な設定に対して特に重要です。

表 22. オプション機能

Feature	Default	Description
Digital Modulation	Off	データを所望キャリアで変調します。デジタル変調のセクション参照。
Inverse Sinc	On	パス帯域の平坦性を改善。逆 Sinc のセクション参照。
Digital Gain	2.7 dB	データに係数を乗算。逆 Sinc の使用の補償または I/Q 振幅をバランスさせることができます。デジタル・ゲイン・のセクション参照。
Phase Adjust	Off	I/Q 位相をバランスさせるために使用。位相調整のセクション参照。
DC Offset	Off	LO リークの相殺に使用。DC オフセットのセクション参照。
Group Delay	0	全体遅延の制御に使用。群遅延のセクション参照。
Downstream Protection	Off	ダウンストリーム・コンポーネントの保護に使用。ダウンストリーム保護のセクション参照。
Self Calibration	Off	DAC 直線性の改善に使用。デュアル・ページング・レジスタからページングされません。セルフ・キャリブレーションのセクション参照。

## DAC PLL のセットアップ

このセクションでは、ステップ 1: DAC の起動のセクションに示す該当する LODivMode、RefDivMode、BCount の選択方法を説明します。これらのパラメータの設定値は、所望の DAC クロック周波数 ( $f_{DACCLK}$ ) と DAC リファレンス・クロック周波数 ( $f_{REF}$ ) に依存します。DAC PLL を使用する場合、リファレンス・クロック信号を CLK± 差動ピン (ピン 2 とピン 3) に入力します。

表 23. DAC PLL LODivMode の設定

DAC Frequency Range (MHz)	LODivMode, Register 0x08B[1:0]
1500 to 2800	1
750 to 1500	2
420 to 750	3

表 24. DAC PLL RefDivMode の設定

DAC PLL Reference Frequency ( $f_{REF}$ ) (MHz)	Divide by (RefDivFactor)	RefDivMode, Register 0x08C[2:0]
35 to 80	1	0
80 to 160	2	1
160 to 320	4	2
320 to 640	8	3
640 to 1000	16	4

VCO 周波数 ( $f_{VCO}$ ) は、次式で DAC クロック周波数と関係付けられます。

$$f_{VCO} = f_{DACCLK} \times 2^{LODivMode + 1}$$

ここで、 $6 \text{ GHz} \leq f_{VCO} \leq 12 \text{ GHz}$ 。

BCount は 6~127 で、 $f_{DACCLK}$  と  $f_{REF}$  に基づき次のように計算されます。

$$BCount = \text{floor}((f_{DACCLK}) / (2 \times f_{REF} / \text{RefDivFactor}))$$

ここで、 $\text{RefDivFactor} = 2^{\text{RefDivMode}}$  (表 24 参照)。

最後に、いくつかのレジスタを設定して PLL ループを構成します。これらは、PLL リファレンス周波数と VCO 周波数を使用します。表 96~表 98 に、これらの値の設定方法を示します。各表は、特定の PLL リファレンス周波数 (40 MHz、60 MHz、または 80 MHz) に対して最適化されています。実際の PLL リファレンス周波数に最も近い周波数を使ってください。表を選択したら、使用する VCO 周波数 ( $f_{VCO}$ ) を含む行から、または値が表に示す値の間に入る場合は次に低い  $f_{VCO}$  を含む行から、パラメータを選択します。表に示すレジスタに対応する LookUpVals を書込みます。

DAC PLL の詳細については、DAC 入力クロックの設定のセクションを参照してください。

## インターポレーション

送信パスでは、0~3 個のカスケード接続されたインターポレーション・フィルタを使用することができます。これらの各フィルタは、出力データ・レートを 2x に増加させ、ローパス機能を提供します。表 25 に、様々なインターポレーション・モード、対応する有効帯域幅、可能な最大  $f_{DATA}$  レートを示します。

表 25. インターポレーション・モードと有効帯域幅

Interpolation Mode	InterpMode	Usable Bandwidth	Max $f_{DATA}$ (MHz)
1x (bypass)	0x00	$f_{DATA}$	1060 (JESD limited)
2x	0x01	$0.4 \times f_{DATA}$	1060 (JESD limited)
4x	0x03	$0.4 \times f_{DATA}$	700
8x	0x04	$0.4 \times f_{DATA}$	350

有効帯域幅は、1x、2x、4x、8x の各モードに対して、フィルタの通過帯域リップルが  $\pm 0.001 \text{ dB}$  以下で、かつイメージ除去比が 85 dB 以上となる周波数帯域として定義されます。詳細については、インターポレーション・フィルタのセクションを参照してください。

## JESD204B のセットアップ

このセクションでは、アプリケーションに対する JESD204B 動作モードの選択方法を説明します。これは、ChecksumMode、UnusedLanes、DualLink、CurrentLink、Scrambling、L、F、K、M、N、Np、Subclass、S、HD、Lane0Checksum、ステップ 3: トランスポート層のセクションに必要なレーンに対する適切な値を決定することに対応します。

DualLink、Scrambling、L、F、K、M、N、Np、S、HD、Subclass は、送信側と同じ設定にする必要があることに注意してください。

JESD204B システムの動作と各パラメータの意味については、JESD204B シリアル・データ・インターフェースのセクションを参照してください。

## 使用可能な動作モード

表 26. JESD204B 動作モード (シングル・リンクの場合)

Parameter	Mode			
	0	1	2	3
M (Converter Count)	4	4	4	4
L (Lane Count)	8	8	4	2
S ((Samples per Converter) per Frame)	1	2	1	1
F ((Octets per Frame) per Lane)	1	2	2	4

表 27. JESD204B 動作モード (シングルまたはデュアル・リンク)

Parameter	Mode					
	4	5	6	7	9	10
M (Converter Count)	2	2	2	2	1	1
L (Lane Count)	4	4	2	1	2	1
S ((Samples per Converter) per Frame)	1	2	1	1	1	1
F ((Octets per Frame) per Lane)	1	2	2	4	1	2

特定のアプリケーションでは、使用するコンバータ数 (M) と  $f_{DATA}$  (DataRate) は既知です。LaneRate とレーン数 (L) は次のようにトレードオフすることができます。

$$\text{DataRate} = (\text{DACRate}) / (\text{InterpolationFactor})$$

$$\text{LaneRate} = (20 \times \text{DataRate} \times M) / L$$

ここで、LaneRate は 1.42 Gbps~10.64 Gbps。

オクテット数/フレーム/レーン (F) とサンプル数/コンバータ/フレーム (S) により、データのパック方法が決まります。F = 1 の場合、最大密度設定値は 1 に設定する必要があります (HD = 1)。その他の場合は、HD = 0 に設定します。

コンバータの分解能とビット数/サンプル (N と Np) は、両方とも 16 に設定する必要があります。フレーム数/マルチフレーム (K) は、モード 0、モード 4、モード 9 に対して 32 に設定する必要があります。その他のモードでは、K = 16 または K = 32 を使用することができます。

### DualLink

DualLink は 2 つの独立した JESD204B リンクを設定します。これを使うと、各リンクを独立にリセットすることができます。この機能が必要な場合、DualLink に 1 を設定します。シングル・リンクが必要な場合は、DualLink に 0 を設定します。Link 0 と Link 1 は同じパラメータを持つ必要があることに注意してください。デュアル・リンク・モードを使用する際に使用可能な動作モードを表 26 に示します。これらの動作モードの他に、シングル・リンク・モードを使用する際、表 27 に示すモードも使用できます。

### Scrambling (データ・スクランブル)

Scrambling は、リンク・データのスペクトルをランダム化 (ランダムイズ) する機能です。この機能により、スペクトルのピーキングが回避されるので、電氣的インターフェースでの特異周波数で発生するデータ依存のエラーに対する保護機能を提供します。Scrambling を使用する場合は 1 を設定し、使用しない場合は 0 を設定します。

### Subclass

Subclass は、デバイスのレイテンシはディタミニスティックか否か、すなわち外部同期信号を必要とするか否かを指定します。詳細については、Subclass のセットアップのセクションを参照してください。

### CurrentLink

Link 0 または Link 1 のどちらを設定するかに対応して、それぞれ 0 または 1 を CurrentLink に設定します。

### Lanes

Lanes を使用して、2 つのレジスタ内のデータにより特定のレーンを一時的に無効にし、スキューを除去します。

$$Lanes = (2^L) - 1$$

### UnusedLanes

UnusedLanes を使用して、不使用回路ブロックをターンオフして消費電力を削減します。使用しない各物理レーン (SERDINx±) は、レジスタ 0x201 の対応するビットに 1 を書込んで、パワーオフする必要があります。

例えば、デュアル・リンク・モードでモード 6 を使用し、かつ SERDIN0±、SERDIN1±、SERDIN4±、SERDIN5±へデータを送信する場合、UnusedLanes = 0xCC を設定して、物理レーン 2、レーン 3、レーン 6、レーン 7 をパワーオフさせることができます。

### ChecksumMode

ChecksumMode の設定は、送信側で使用したチェックサム・モードと一致する必要があります。使用したチェックサムがリンク設定表内の各フィールドの和である場合、ChecksumMode = 0 です。パックされたリンク設定フィールドを含むレジスタを加算する場合、ChecksumMode = 1 です。2 つのチェックサム・モードを計算する方法については、Lane0Checksum のセクションを参照してください。

### Lane0Checksum

Lane0Checksum をエラー・チェック目的に使用して、トランスミッタが期待通りに設定されたことを確認することができます。

ChecksumMode = 0 の場合、チェックサムは、L-1、M-1、K-1、N-1、Np-1、S-1、Scrambling、HD、Subclass、JESDVer の各変数の和の下位 8 ビットです。

ChecksumMode = 1 の場合、Lane0Checksum はレジスタ 0x450 ~ レジスタ 0x45A を加算した和の下位 8 ビットです。フィールドごと、またはレジスタごとの和を選択して、トランスミッタの設定を一致させてください。

### DAC のパワーダウン設定

ステップ 1: DAC の起動のセクションで説明したように、4 個の全コンバータを使用する場合、PdDAC に 0 を設定する必要があります。4 個より少ないコンバータを使用する場合は、使用しないコンバータをパワーダウンさせなければなりません。表 28 を使って、リンクあたりのコンバータ数 (M) とデバイスが DualLink モードにあるか否かに応じてパワーダウンさせる DAC を決めることができます。

表 28. DAC パワーダウンの設定

M (Converters per link)	DualLink	DACs to Power Down				PdDAC
		0	1	2	3	
1	0	0	1	1	1	0b0111
1	1	0	1	0	1	0b0101
2	0	0	0	1	1	0b0011
2	1	0	0	0	0	0b0000
4	0	0	0	0	0	0b0000

### PdClocks

DAC Dual B 内の両 DAC (DAC2 と DAC3) をパワーダウンさせる場合、DAC Dual B のクロックをパワーダウンさせることができます。この場合、PdClocks = 0x40 にします。その他の場合は、PdClocks = 0x00 にします。

## SERDES クロックのセットアップ

このセクションでは、ステップ 4: 物理層 のセクションの該当する Halfrate、OvSmp、PLLDiv 設定を選択する方法を説明します。これらのパラメータはレーン・レートにのみ依存します (レーン・レートは JESD204B のセットアップのセクションで設定されます)。

表 29.SERDES レーン・レートの設定

Lane Rate (Gbps)	Halfrate	OvSmp	PLLDiv
1.42 to 2.76	0	1	2
2.83 to 5.52	0	0	1
5.65 to 10.64	1	0	0

Halfrate と OvSmp は、クロック検出および再生 (CDR) 回路がサンプルする方法を設定します。この回路ブロックの動作とブロック内の PLLDiv の機能については、SERDES PLL のセクションを参照してください。

## イコライザ (等化器) ・モードのセットアップ

低消費電力動作では、EqMode = 1 を設定してください。プリント回路ボード (PCB) の挿入損失が 12 dB より小さい場合は、このモードを選択してください。挿入損失が 12 dB より大きく、かつ 17.5 dB より小さい場合は、EqMode = 0 を設定してください。詳細については、等化のセクションを参照してください。

## リンク・レイテンシのセットアップ

このセクションでは、Subclass 1 のマルチチップ間のディタミニスティック・レイテンシ (ディレイ時間が確定したタイミング) の保証および Subclass 0 のデバイス内のリンク同期の保証に必要なステップを説明します。このセクションの内容で、ステップ 5: データ・リンク層のセクションの LMFCDel、LMFCVar、Subclass を設定してください。詳細については、LMFC 信号の同期のセクションを参照してください。

### Subclass のセットアップ

AD9144 は、JESD204B の Subclass 0 と Subclass 1 の動作をサポートしています。

#### Subclass 1

このモードは、ディタミニスティック・レイテンシを与え、リンクを  $\frac{1}{2}$  DAC クロック周期以内で同期させます。DAC クロックに正確に位相が一致した外部 SYSREF<sub>±</sub> 信号が必要です。

#### Subclass 0

このモードは、4 個の DAC クロック周期以内のディタミニスティック・レイテンシを与えます。SYSREF<sub>±</sub> ピンに必要な信号はありません (ピンは未接続のままにすることができます)。

Subclass 0 では、すべてのレーンの信号が同じ LMFC サイクル内に到達する必要があるため、またデュアル DAC は互いに同期していなければなりません。(両 DAC は SYSREF<sub>±</sub> 信号ではなく内部クロックに同期する必要があります)。

必要に応じて、Subclass 0 または 1 を設定してください。

### リンク遅延のセットアップ

LMFCVar と LMFCDel を使って、システム内のすべてのレーンが同じ LMFC サイクル内に到達するように遅延を設定します。

遅延設定に関して内部で使用する単位は内部処理クロック (PClock) の周期で、レートはレーン・レートの  $\frac{1}{40}$  です。PClock サイクル数で表現されていない遅延時間は、使用する前に変換する必要があります。

そのために必要な幾つかの有効な内部関数は、次のように示されます。

$$PClockPeriod = 40 / LaneRate$$

PClockPeriod を使って、必要に応じて時間領域から PClock サイクル数に変換することができます。

$$PClockFactor = 4 / F \text{ (PClock あたりのフレーム数)}$$

PClockFactor を使って、PClock サイクル単位から FrameClock サイクル数へ変換できます。これは Subclass 1 の LMFCDel の設定で必要です。

$$PClocksPerMF = K / PClockFactor \text{ (LMFC サイクルあたりの PClocks)}$$

ここで、PClocksPerMF はマルチフレーム・サイクル内の数値すなわち PClock サイクル数です。

PClockFactor と PClocksPerMF の値は、表 30 と表 31 に JESD モードごとに示します。

表 30.LMFC ごとの PClockFactor と PClocksPerMF

JESD Mode ID	0	1	2	3
PClockFactor	4	2	2	1
PClocksPerMF (K = 32)	8	16	16	32
PClocksPerMF (K = 16)	N/A	8	8	16

表 31.LMFC ごとの PClockFactor と PClocksPerMF

JESD Mode ID	4	5	6	7	9	10
PClockFactor	4	2	2	1	4	2
PClocksPerMF (K = 32)	8	16	16	32	8	16
PClocksPerMF (K = 16)	N/A <sup>1</sup>	8	8	16	N/A <sup>1</sup>	8

<sup>1</sup> N/A = 適用なし。

### 既知の遅延の場合

すべてのシステム遅延情報が分かっている場合、LMFCVar と LMFCDel は直接計算することができます。

RxFixed (PClock サイクル数で表した固定レシーバ遅延) と RxVar (PClock サイクル数で表した可変レシーバ遅延) は、表 8 に記載してあります。TxFixed (PClock サイクル数で表した固定トランスミッタ遅延) と TxVar (PClock サイクル数で表した可変レシーバ遅延) は、使用するトランスミッタのデータ・シートから得ることができます。PCBFixed (PClock サイクル数で表した固定 PCB パターン遅延) は、計算用のソフトウェアから求めることができます。この値は一般に PClock サイクルより大幅に小さいため、無視することができます。PCB 遅延とトランスミッタ遅延の時間を PClock サイクル数へ変換してください。

各レーンの場合

$$\begin{aligned} MinDelayLane &= \text{floor}(RxFixed + TxFixed + \\ &PCBFixed) \\ MaxDelayLane &= \text{ceiling}(RxFixed + RxVar + TxFixed \\ &+ TxVar + PCBFixed) \end{aligned}$$

レーン、リンク、デバイス間では:

MinDelay はすべての MinDelayLane 値の最小値  
MaxDelay はすべての MaxDelayLane 値の最大値

安全のため、1 PClock サイクルのガード・バンドをリンク遅延の各終端に次式のように加算します。

$$LMFCVar = (MaxDelay + 1) - (MinDelay - 1)$$

LMFCVar が 10 より大きくなる場合は、AD9144 はシステム内の可変遅延を許容することができません。

Subclass 1 の場合

$$LMFCDel = ((MinDelay - 1) \times PClockFactor) \% K$$

Subclass 0 の場合

$$LMFCDel = (MinDelay - 1) \% PClockPerMF$$

すべてのリンクとデバイスに対して同じ LMFCDel と LMFCVar を設定してください。

計算例については、既知遅延を使用したリンク遅延セットアップの例のセクションを参照してください。

#### 既知の遅延情報がない場合

包括的な遅延に関する情報が存在しないか未知の場合、AD9144 は LMFC<sub>RX</sub> と PClock サイクルで表した、最も遅く到達した LMFC 境界との間のリンク遅延をリードバックすることができます。この情報を使って LMFCVar と LMFCDel を計算します。

各リンクの場合 (各デバイスで)

1. ボードをパワーアップさせます。
2. デバイスのセットアップ・ガイドの表 15～表 21 に示すステップに従います。
3. Subclass を設定して、同期を行います。ワンショット同期の場合、表 32 の書き込みを実行します。別の同期モードについては、LMFC 信号の同期のセクションを参照してください。
4. DYN\_LINK\_LATENCY\_0 (レジスタ 0x302)をそのリンクと Pclock サイクルの遅延値として記録します。
5. DYN\_LINK\_LATENCY\_1 (レジスタ 0x303)をそのリンクと PClock サイクルの遅延値として記録します。

ステップ 1～ステップ 5 をシステム内の各デバイスに対して 20 回繰り返します。すべての実行とデバイスに対して 1 つの遅延値リストを保管してください。

表 32.レジスタの設定とワンショット同期手順

Addr.	Bit. No.	Value1	Variable	Description
0x301		0x	Subclass	サブクラスを設定
0x03A		0x01		同期モード=ワンショット同期を設定
0x03A		0x81		同期マシンをイネーブル
0x03A		0xC1		同期マシンの起動用意
SYSREF <sub>F±</sub>				サブクラス=1 の場合、少なくとも1つの SYSREF <sub>F±</sub> エッジをデバイスへ送信してください。
0x300		0x		リンクをイネーブルします。
	6		ChkSmMd	JESD204B セットアップのセクション参照
	3		Subclass	JESD204B セットアップのセクション参照
	[1:0]		EnLinks	DualLink の場合(Link 0 と Link 1 をイネーブル)、EnLinks = 3 ; DualLink でない場合 (Link 0 のみをイネーブル)、EnLinks = 1。

<sup>1</sup> 0x はユーザー設定が必要なレジスタ値を表します。該当するレジスタ値の選択については変数と説明の列を参照してください。

遅延値リストを使って、LMFCDel と LMFCVar を計算しますが、最初の幾つかの遅延値のマッピングの変更が必要となることがあります。

DYN\_LINK\_LATENCY<sub>x</sub> の可能な最大値は、マルチフレーム内の PCllocks 数 (PCllocksPerMF) より 1 だけ小さい値になります。また場合によりロールオーバー状態に遭遇することがあります。すなわち記録した遅延値のセットがマルチフレームのエッジをロールオーバー (読み飛ばす) することがあります。その場合、遅延値は、0 と PCllocksPerMF の近くの値である可能性があります。これが発生した場合、PCllocksPerMF を 0 近くの値のセットに加算してください。

例えば、6、7、0、1 の遅延値リードバックに対して、0 と 1 の遅延値を 8 と 9 にリマップして、新しいセットの遅延値 6、7、8、9 をつくります。

Pclock サイクル、リンク、デバイスに対して

- MinDelay はすべての遅延測定値の最小値
- MaxDelay はすべての遅延測定値の最大値

安全のため、1 Pclock サイクルのガード・バンドをリンク遅延の各終端に加算して、次式を使って LMFCVar と LMFCDel を計算します。

$$LMFCVar = (MaxDelay + 1) - (MinDelay - 1)$$

LMFCVar が 10 より大きくなる場合は、AD9144 はシステム内の可変遅延に耐えられません。

Subclass 1 の場合

$$LMFCDel = ((MinDelay - 1) \times PclockFactor) \% K$$

Subclass 0 の場合

$$LMFCDel = (MinDelay - 1) \% PclockPerMF$$

すべてのリンクとデバイスに対して同じ LMFCDel と LMFCVar を設定してください。

計算例については、既知遅延を使用しないリンク遅延セットアップの例のセクションを参照してください。

## クロスバーのセットアップ

レジスタ 0x308～レジスタ 0x30B を使うと、物理レーン (SERDIN<sub>x±</sub>) の SERDES ディフレーマで使用される論理レーンへの任意のマッピングが可能になります。

表 33. クロスバー・レジスタ

Address	Bits	Logical Lane
0x308	[2:0]	LOGICAL_LANE0_SRC
0x308	[5:3]	LOGICAL_LANE1_SRC
0x309	[2:0]	LOGICAL_LANE2_SRC
0x309	[5:3]	LOGICAL_LANE3_SRC
0x30A	[2:0]	LOGICAL_LANE4_SRC
0x30A	[5:3]	LOGICAL_LANE5_SRC
0x30B	[2:0]	LOGICAL_LANE6_SRC
0x30B	[5:3]	LOGICAL_LANE7_SRC

データを取得する物理レーン (SERDIN<sub>x±</sub>) の番号が付いた各 LOGICAL\_LANE<sub>y</sub>\_SRC を書込んでください。デフォルトでは、すべての論理レーンが対応する物理レーンをそのデータ・ソースとして使用します。例えば、デフォルトで LOGICAL\_LANE0\_SRC = 0 となり、論理レーン 0 が物理レーン 0 (SERDIN<sub>0±</sub>) からデータを受信します。代わりに、SERDIN<sub>4±</sub> を論理レーン 0 のソースとして使用する場合、LOGICAL\_LANE0\_SRC = 4 を書込む必要があります。

## JESD204B シリアル・データ・インターフェース

### JESD204B の概要

AD9144 は、データを受信する 8 個の JESD204B データ・ポートを内蔵しています。8 個の JESD204B ポートは、シングル JESD204B リンクのデバイスとして、または 1 つのシステム・リファレンス (SYSREF±) とデバイス・クロック (CLK±) を共有する 2 つの別々の JESD204B リンクのデバイス (デュアル・リンク・モード) として、それぞれ設定することができます。

JESD204B シリアル・インターフェース・ハードウェアは、物理層、データ・リンク層、トランスポート層の 3 つの層から構成されています。ハードウェアのこれらのセクションを、後続のセクションで説明します。その中で、各ケースでのインターフェースを設定する情報を説明します。図 35 に、クロックを再生し、データをディシリアライズ、ディスクランブル、ディフレームした後にデバイスのデジタル信号処理セクションに送信する AD9144 シリアル・データ・インターフェースに内蔵されている通信層を示します。

物理層は、トランスミッタとレシーバの間で信頼性の高いチャンネルを確立する機能を持ち、データ・リンク層は、データをオクテット形態に戻し、データをディスクランブル (スクランブルの解除) する機能を持ちます。トランスポート層は、ディスクランブルされた JESD204B フレームを受信して、DAC サンプル・データへ変換する機能を持ちます。

データのバック方法を指定し、シリアル・データをサンプル・データに変換する方法を指定する多数の JESD204B パラメータ (L、F、K、M、N、Np、S、HD、Scrambling) があります。これらのパラメータの詳細は、トランスポート層のセクションで規定されています。

パラメータの所定の組み合わせのみをサポートしています。サポートされる各組み合わせをモードと呼んでいます。AD9144 では、合計 10 個のシングル・リンク・モードがサポートされています (表 34 参照)。デュアル・リンク・モードでは、6 個のモードがサポートされています (表 35 参照)。これらの各表に、レーン・レートが 10 Gbps の場合の対応するクロック・レートを示します。

特定のアプリケーションでは、使用するコンバータ数 (M) と DataRate は既知です。LaneRate とレーン数 (L) は、次のようにトロードオフすることができます。

$$DataRate = (DACRate) / (InterpolationFactor)$$

$$LaneRate = (20 \times DataRate \times M) / L$$

ここで、LaneRate は 1.42 Gbps ~ 10.64 Gbps である必要があります。

レーンの同期の実現と回復は非常に重要です。トランスミッタへのインターフェースを簡素化するため、AD9144 はマスター同期信号を各 JESD204B リンクに対して指定します。シングル・リンク・モードでは、 $\overline{SYNCOUT0\pm}$  をすべてのレーンに対するマスター信号として使用します。デュアル・リンク・モードでは、 $\overline{SYNCOUT0\pm}$  を Link 0 のマスター信号として使い、 $\overline{SYNCOUT1\pm}$  を Link 1 のマスター信号として使います。リンク内のいずれかのレーンが同期を失うと、リンクの同期信号を使って再同期要求がトランスミッタへ送信されます。トランスミッタはデータ送信を停止し、代わりにそのリンク内のすべてのレーンへ同期のシンボル・コードを送信し、これは再同期が完了するまで続きます。

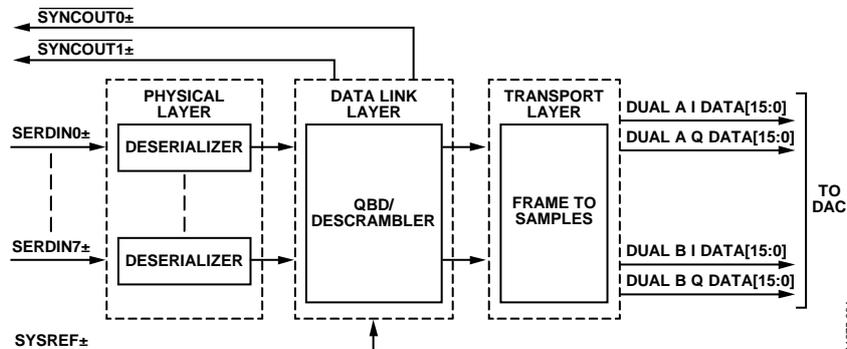


図 35. シリアル・リンク・レシーバの機能ブロック図

表 34. シングル・リンク JESD204B の動作モード

Parameter	Mode									
	0	1	2	3	4	5	6	7	9	10
M (Converter Counts)	4	4	4	4	2	2	2	2	1	1
L (Lane Counts)	8	8	4	2	4	4	2	1	2	1
S (Samples per Converter per Frame)	1	2	1	1	1	2	1	1	1	1
F (Octets per Frame per Lane)	1	2	2	4	1	2	2	4	1	2
Example Clocks for 10 Gbps Lane Rate										
PClock (MHz)	250	250	250	250	250	250	250	250	250	250
Frame Clock (MHz)	1000	500	500	250	1000	500	500	250	1000	500
Sample Clock (MHz)	1000	1000	500	250	1000	1000	500	250	1000	500

表 35.Link 0 と Link 1 に対するデュアル・リンク JESD204B の動作モード

Parameter	Mode					
	4	5	6	7	9	10
M (Converter Counts)	2	2	2	2	1	1
L (Lane Counts)	4	4	2	1	2	1
S (Samples per Converter per Frame)	1	2	1	1	1	1
F (Octets/Frame per Lane)	1	2	2	4	1	2
Example Clock for 10 Gbps Lane Rate						
PClock (MHz)	250	250	250	250	250	250
Frame Clock (MHz)	1000	500	500	250	1000	500
Sample Clock (MHz)	1000	1000	500	250	1000	500

物理層

JESD204B インターフェースの物理層は、ディシリアライザと呼ばれ、8 個の同等なチャンネルを持ちます。各チャンネルは、終端回路、イコライザ、クロックおよびデータ再生 (CDR) 回路、1:40 のディマルチプレクサ機能から構成されています (図 36 参照)。

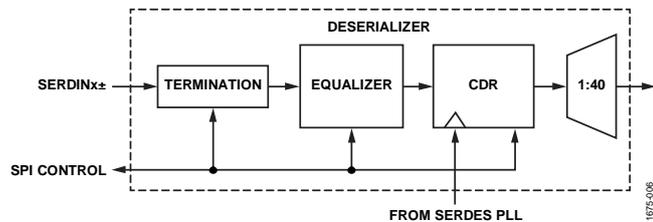


図 36.ディシリアライザのブロック図

JESD204B のデータは、JESD204B 仕様に準拠して SERDINx± 1.2 V 差動入力ピンを使って AD9144 に入力されます。

インターフェースのパワーアップと入力終端

JESD204B インターフェースを使う前に、レジスタ 0x200[0] = 0 を設定してパワーアップさせる必要があります。さらに、使用しない各物理レーン (SERDINx±) をパワーダウンさせる必要があります。このため、レジスタ 0x201 の物理レーン x の対応するビット x に、その物理レーンを使用する場合には 0 を設定し、使用しない場合は 1 を設定します。

AD9144 では入力終端を 50 Ω に自動キャリブレーションします。終端キャリブレーションを実行する前に、レジスタ 0x2AA、レジスタ 0x2AB、レジスタ 0x2B1、レジスタ 0x2B2 に表 36 の値を書込んで正しいキャリブレーションを行う必要があります。レジスタ 0x2A7[0] とレジスタ 0x2AE[0] がロー・レベルからハイ・レベルへ変化すると、終端キャリブレーションが開始されます。レジスタ 0x2A7 が PHY 0、PHY 1、PHY 6、PHY 7 の自動キャリブレーションを、レジスタ 0x2AE が PHY 2、PHY 3、PHY 4、PHY 5 の自動キャリブレーションを、それぞれ制御します。

PHY 終端自動キャリブレーション・ルーチンを表 36 に示します。

表 36.PHY 終端の自動キャリブレーション・ルーチン

Address	Value	Description
0x2AA	0xB7	JESD インターフェース終端設定
0x2AB	0x87	JESD インターフェース終端設定
0x2B1	0xB7	JESD インターフェース終端設定
0x2B2	0x87	JESD インターフェース終端設定
0x2A7	0x01	自動チューン PHY 終端
0x2AE	0x01	自動チューン PHY 終端

DAC の入力終端電圧は、外部から V<sub>TT</sub> ピン (ピン 21、ピン 23、ピン 40、ピン 43) を使って供給されます。V<sub>TT</sub> ピンを SVDD12 に接続して V<sub>TT</sub> を設定してください。JESD204B 入力は、100 nF 直列コンデンサを使って JESD204B 送信デバイスへ AC 結合することが推奨されます。

レシーバ・アイ・マスク

AD9144 はレシーバ・アイ・マスクに関する JESD204B 仕様を満たし、このマスクに準拠するデータを取り込むことができます。図 37 に、V<sub>TT</sub> 振幅 600 mV でデータレート間隔で正規化したレシーバ・アイ・マスクを示します。アイ・マスクと許容レシーバ・アイ開口の詳細については、JESD204B 仕様を参照してください。

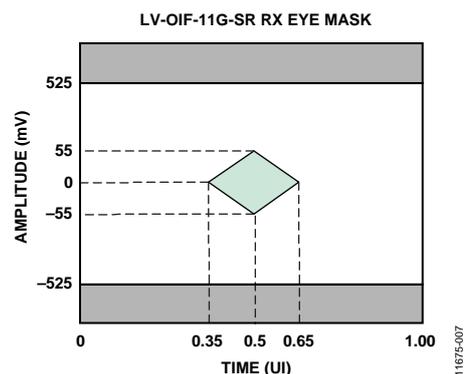


図 37.レシーバ・アイ・マスク

クロックの相互関係

次のクロック・レートは、JESD204B セクション内の他の部分で使用されています。クロック間の関係は、次式から得られます。

$$DataRate = (DACRate)/(InterpolationFactor)$$

$$LaneRate = (20 \times DataRate \times M)/L$$

$$ByteRate = LaneRate/10$$

この関係は、各バイトが 10 ビットで表される 8 ビット/10 ビット・エンコーディングから導かれます。

$$PClockRate = ByteRate/4$$

処理クロックは、クワッド・バイト・デコーダで使用されます。

$$FrameRate = ByteRate/F$$

ここで、F は (バイト/フレーム)/レーンとして定義されます。

$$PClockFactor = FrameRate/PClockRate = 4/F$$

ここで、

M はリンクあたりのコンバータ数の JESD204B パラメータです。

L はリンクあたりのレーン数の JESD204B パラメータです。

F はオクテット数/フレーム/レーンの JESD204B パラメータです。

SERDES PLL

SERDES PLL の機能概要

独立した SERDES PLL では、インテジャ-*N* タイプの回路を使ってクロック生成を行っています。VCO とループ・フィルタを含む SERDES PLL 全体をチップ上に集積しています。SERDES PLL VCO は、5.65 GHz~12 GHz の範囲で動作します。

SERDES PLL 内では、VCO 分周器ブロックが VCO クロックを 2 分周して、ディシリアライザ・コアの 2.825 GHz~6 GHz の直交クロックを発生します。このクロックは、クロックおよびデータの再生のセクションで説明するクロックおよびデータ再生ブロックの入力になっています。

SERDES PLL のリファレンス・クロックは、常に周波数  $f_{REF}$  で動作し、 $f_{REF} = \text{レーン・レート} \times 1/40 = PClockRate$  です。このクロックは DivFactor で分周されて、PFD ブロックへの 35 MHz~80 MHz のクロックとして供給されます。表 37 に、使用可能な各 DivFactor オプションに対するそれぞれの SERDES\_PLL\_DIV\_MODE レジスタ設定値を示します。

表 37.SERDES PLL 分周器の設定

LaneRate (Gbps)	Divide by (DivFactor)	SERDES_PLL_DIV_MODE Register 0x289[1:0]
1.42 to 2.76	1	2
2.83 to 5.52	2	1
5.65 to 10.64	4	0

レジスタ 0x280 は、シンセサイザ・イネーブルおよび再キャリブレーションを制御します。

SERDES PLL をイネーブルするときは、表 37 に従って PLL 分周器レジスタを設定し、次にレジスタ 0x280[0] に 1 を書込んで SERDES PLL をイネーブルします。

レジスタ 0x281 を読出して、SERDES PLL が動作していることを確認します。レジスタ 0x281[0]=1 の場合、SERDES PLL はロックしています。レジスタ 0x281[3]=1 の場合、SERDES PLL は正常にキャリブレーションされています。レジスタ 0x281[4] またはレジスタ 0x281[5] がハイ・レベルの場合、PLL がキャリブレーション範囲の上限または下限にあるため、レジスタ 0x280[2] に 0 を書き込み、続いて 1 を書き込むことにより、再キャリブレーションする必要があります。

SERDES PLL IRQ

SERDES PLL のロック信号とロック喪失 (ロック外れ) 信号は、IRQ (インタラプト要求) イベントになります。レジスタ 0x01F[3:2] を使ってこれらの信号をイネーブルし、次にレジスタ 0x023[3:2] を使ってこれらのステータスをリードバックし、IRQ 信号をリセットします。詳細については、割込み要求動作のセクションを参照してください。

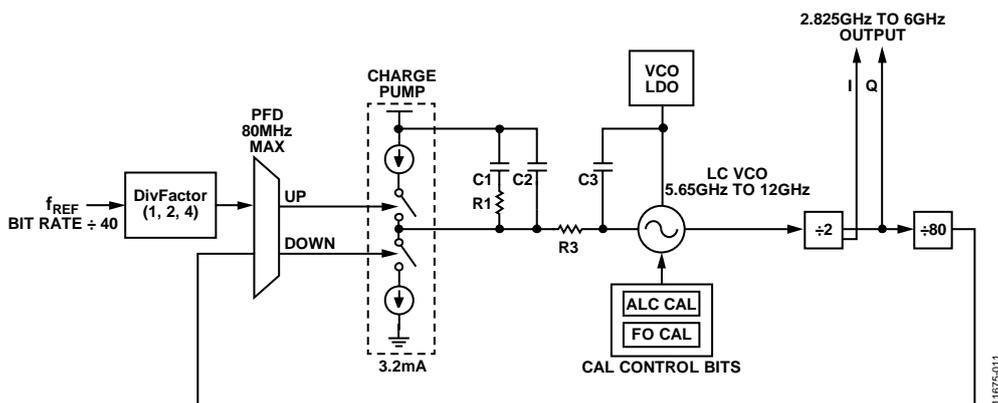


図 38.VCO 分周器ブロックを含む SERDES PLL シンセサイザのブロック図

クロックおよびデータの再生

ディシリアライザは CDR 回路を内蔵しています。JESD204B シリアル・レーンからクロックを再生する代わりに、CDR が SERDES PLL からクロックを再生します。図 38 に示す、SERDES PLL からの 2.825 GHz~6 GHz 出力が CDR への入力になります。

CDR サンプリング・モードは、デバイス内部のレーン・レート・クロックを発生するように選択する必要があります。所望のレーン・レートが 5.65 GHz より大きい場合は、ハーフ・レート CDR 動作を使用する必要があります。所望レーン・レートが 5.65 GHz より小さい場合は、ハーフ・レート動作をディスエーブルする必要があります。レーン・レートが 2.825 GHz より小さい場合は、ハーフ・レートをディスエーブルし、2x オーバーサンプリングをイネーブルして、該当するレーン・レート・クロックを再生します。表 38 に、LaneRate に応じて設定する必要がある CDR サンプリング設定の詳細を示します。

表 38.CDR 動作モード

LaneRate (Gbps)	ENHALFRATE Register 0x230[5]	CDR_OVERSAMP Register 0x230[1]
1.42 to 2.76	0	1
2.83 to 5.52	0	0
5.65 to 10.64	1	0

CDR 回路は、各シリアル・レーンで独立にデータをサンプルする際に使用する位相を同期化します。シリアル・インターフェースごとのこの独立な位相調整により、正確なデータ・サンプリングが可能になり、PCB 上で複数のシリアル・インターフェースを容易に実現できます。

CDR 回路を設定した後、レジスタ 0x206[0]に 1 を書き込み、続いて 0 を書き込んで、リセットとリセット解除をします。

不使用 PHY のパワーダウン

使っていないレーンとイネーブルされたレーンは、そのままでは不必要な電力を消費することに注意してください。PHY\_PD (レジスタ 0x201)の対応するビットに 1 を書き込んで、使用されない各レーン (SERDINx±) をパワーオフする必要があります。

イコライザ (受信信号の補整)

PCB パターン長とインピーダンスに起因して発生する、各 PHY チャンネルの信号インテグリティ歪みを補償するため、AD9144 は各 JESD204B チャンネルに使い易い低消費電力イコライザを採用しています。AD9144 のイコライザは、JESD204B 仕様の要求より遥かに大きい挿入損失を補償することができます。このイコライザには 2 つの動作モードがあり、レジスタ 0x268[7:6]の EQ\_POWER\_MODE レジスタ設定値で指定されます。低消費電力モード (レジスタ 0x268[7:6] = 2b'01) と、最大レーン・レート 10 Gbps の動作では、このイコライザは最大 12 dB の挿入損失を補償することができます。通常モード (レジスタ 0x268[7:6] = 2b'00)では、このイコライザは最大 17.5 dB の挿入損失を補償することができます。図 39 に、挿入損失を JESD204B 仕様に重ねてこの性能を示します。図 39 に、AD9144 の最大ボー・レートに近い 10.0 Gbps での等化性能を示します。

図 40 と図 41 はハードウェア設計者の参考用で、正しくレイアウトされたストリップライン伝送線とマイクロストリップ伝送線の種々の長さに対する挿入損失を示します。JESD204B チャンネルに対する特定のレイアウト推奨事項については、ハードウェア考慮事項のセクションを参照してください。

JESD204B PCB チャンネルの挿入損失が、低消費電力モードでサポートされている最も損失の大きいチャンネルの挿入損失より小さい場合は(図 39 参照)、低消費電力モードが推奨されます。挿入損失がそれより大きく、かつ通常モードでサポートされている最も損失の大きいチャンネルの挿入損失より小さい場合は(図 39 参照)、通常モードを使用してください。10 Gbps 動作での、通常モードの EQ の消費電力は、低消費電力 EQ モードよりレーンあたり約 4 mW 大きくなっています。いずれかのモードをトランスミッタ・プリエンファシスと組み合わせて使用して、機能強化および/または消費電力の最適化を行うことができることに注意してください。

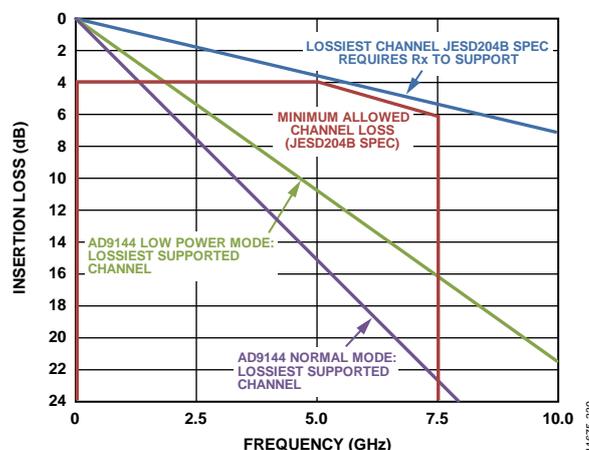


図 39.許容挿入損失

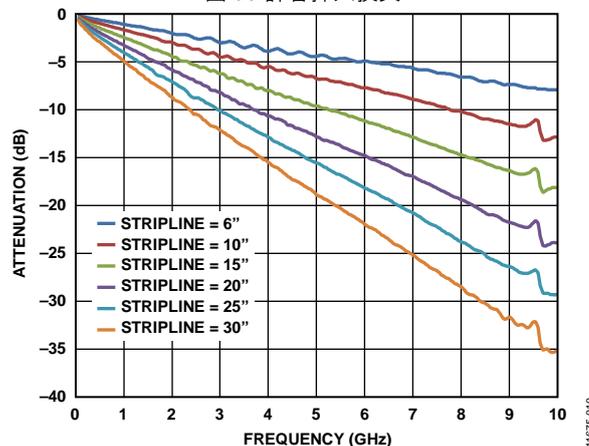


図 40.FR4 上の 50 Ω ストリップラインの挿入損失

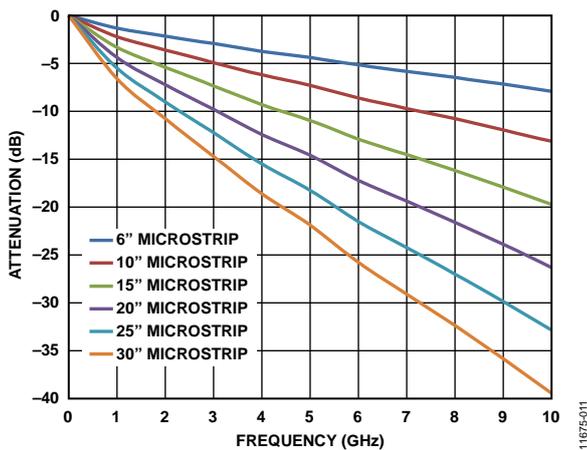


図 41. FR4 上の 50 Ω マイクロストリップの挿入損失

### データ・リンク層

AD9144 JESD204B インターフェースのデータ・リンク層は、PHY からディシリアライズされたデータを受け取り、これらをディフレイムおよびディスクリンブルした後、データ・オクテットとしてトランスポート層へ出力して、DAC サンプルに変換させます。データ・リンク層のアーキテクチャを図 42 に示します。このアーキテクチャは、各レーン用の同期 FIFO、クロスバー・スイッチ、ディフレイマ、ディスクリンブラから構成されています。

AD9144 は、シングル・リンクまたはデュアル・リンクの高速 JESD204B シリアル・データ・インターフェースとして動作することができます。デュアル・リンク・モードで動作する場合、両リンクを同じ JESD204B パラメータで設定してください。これは、デバイス・クロックとシステム・リファレンスを共有しているためです。JESD204B インターフェースの全 8 レーンは、コード・グループ同期、フレーム・アライメント、フレーム同期などのリンク層通信を処理します。

AD9144 は 8 ビット/10 ビット制御文字をデコードして、フレームの開始と終わり、およびシリアル・レーン間のアライメントを識別できるようにします。各 AD9144 シリアル・インターフェース・リンクは、 $\text{SYNCOUT0}\pm/\text{SYNCOUT1}\pm$  信号をロー・レベルに設定して、同期要求を発行することができます。同期プロトコルは、JESD204B 規格のセクション 4.9 に準拠します。AD9144 は連続した 4 個の /K/ シンボル・コードのストリームを受信すると、次の内部 LMFC の立上がりエッジで  $\text{SYNCOUT0}\pm/\text{SYNCOUT1}\pm$  信号をハイ・レベルに設定し、同期要求を取り下げます。次に、トランスミッタが ILAS を発行するのを待ちます。ILAS シーケンスで、/A/ から /R/ へのシンボル・コードの変化を使ってすべてのレーンを整列させます (JESD204B シリアル・リンクの確立のセクション参照)。エラステック・バッファが先に到着したレーンのデータを最後に到達したレーンのアライメント文字が到着するまで保持します。この時点で、すべてのレーンのバッファが開放されて、すべてのレーンが整列されます (図 43 参照)。

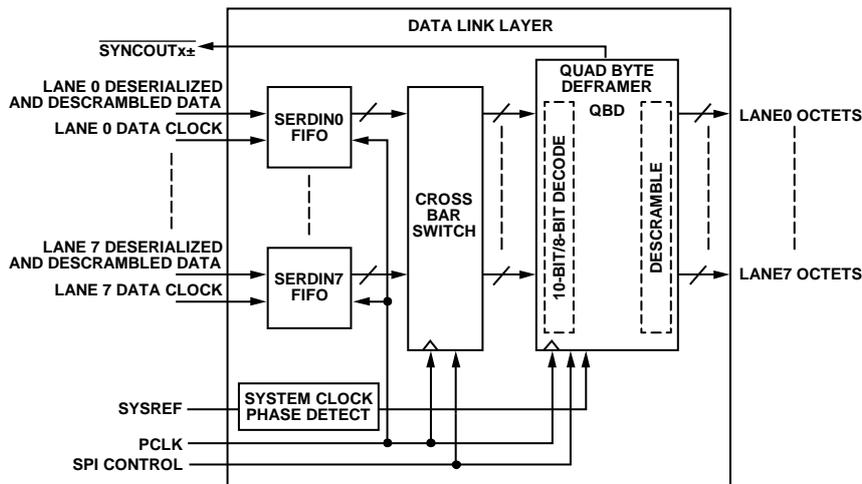


図 42. データ・リンク層のブロック図

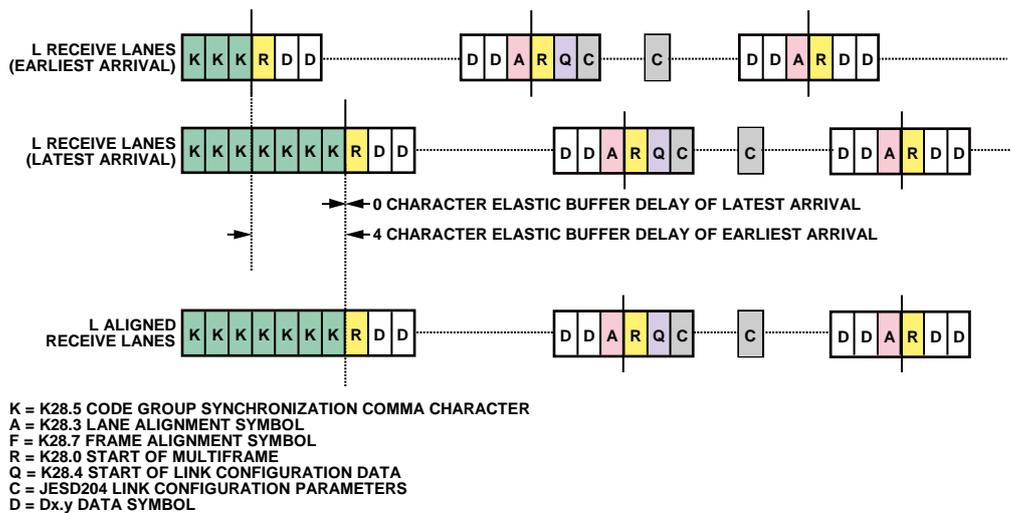


図 43.ILAS でのレーン・アライメント

### JESD204B シリアル・リンクの確立

Subclass 1 高速シリアル・リンク確立プロセスの概要を説明します。詳細については、JESD204B 仕様ドキュメントのセクション 5.3.3 を参照してください。

#### ステップ 1: コード・グループの同期化

各レシーバは、入力データ・ストリーム内で K(K28.5)のシンボル文字を探す必要があります。すべてのリンク・レーンで連続する 4 個の K シンボル文字のコードが検出された後、レシーバ・ブロックはレシーバ・ローカル・マルチフレーム・クロック (LMFC) エッジでトランスミッタ・ブロックに対する SYNCOUT<sub>x±</sub> 信号のアサートを解除します。

トランスミッタは SYNCOUT<sub>x±</sub> 信号の変化を取り込み、次のトランスミッタ LMFC 立上がりエッジで、初期レーン・アライメント・シーケンス (ILAS) を開始します。

#### ステップ 2: 初期レーン・アライメント・シーケンス

このフェーズの主要目的は、リンクのすべてのレーンを整列させ、リンクのパラメータを確認することです。

リンクが確立される前に、レシーバ・デバイスに各リンク・パラメータを書込んで、レシーバ・ブロックへのデータ送信方法を知らせます。

ILAS は 4 個以上のマルチフレームで構成されます。各マルチフレームの最終文字は、マルチフレーム・アライメント文字/A/シンボルです。1 番目、3 番目、4 番目のマルチフレームには既定のデータ値が収容されています。JESD204B 仕様ドキュメントのセクション 8.2 には、ILAS 時に予想されるデータ・ランプが規定されていることに注意してください。デフォルトでは、AD9144 はこのランプを必要としません。レジスタ 0x47E[0] にハイ・レベルを設定して、データ・ランプを要求することができます。ディフレーマは各レーンの最終/A/シンボルを使って、レシーバ内でマルチフレームの終わりを整列させます。2 番目のマルチフレームには、R (K.28.0)、Q (K.28.4)、リンク・パラメータに対応するデータが含まれます。レシーバの必要に応じて ILAS へマルチフレームを追加することができます。デフォルトでは、AD9144 は ILAS 内で 4 個のマルチフレームを使用します (レジスタ 0x478 でこれを変更できます)。Subclass 1 を使用する場合は、4 個のマルチフレームを使用する必要があります。

最後の ILAS の最終/A/ シンボル文字の後に、マルチフレーム・データのストリーミングが開始されます。レシーバは、このポイントでレシーバの内部 LMFC に一致するように /A/ シンボル文字位置を調整します。

#### ステップ 3: データ・ストリーミング

このフェーズで、データがトランスミッタ・ブロックからレシーバ・ブロックへストリームされます。

ここでのオプションとして、データをスクランブルすることができます。スクランブルは、非常に高速なオクテットが ILAS の後に続いて送られるまで開始されません。

レシーバ・ブロックは、受信したデータを処理し、次のようなエラーをチェックします。

- パリティの不一致 (8 ビット/10 ビット・エラー)
- 表に不一致 (8 ビット/10 ビット・エラー)
- 予期しない制御文字
- ILAS 異常
- レーン間スキュー・エラー (文字置換による)

これらのエラーが発生すると、これらはトランスミッタへ幾つかの方法で報告されます (詳細については、JESD204B エラー・モニタのセクションを参照してください)。

- SYNCOUT<sub>x±</sub> 信号のアサーション: 直前の 2 つのエラーについて各エラーに対して再同期 (SYNCOUT<sub>x±</sub> 信号をロー・レベルにします) が要求されます。最初の 3 つのエラーに対して、エラー・カウンタが設定済みエラー・スレッシュホールドに到達したとき、オプションの再同期要求をアサートすることができます。
- 最初の 3 つのエラーに対して、エラーを内部に持つ各マルチフレームが SYNCOUT<sub>x±</sub> に小さいパルスを発生させます。
- オプションで、エラーにより IRQ イベントを発生させることができます。これをトランスミッタへ送信することができます。

JESD204B テスト・モードのセクションに、リンクの正常を確認する様々なテスト・モードを記載してあります。

## レーン FIFO

クロスバー・スイッチの前にある FIFO とディフレーマは、着信データの位相を調整して、高速シリアル・データ・インターフェース上に送信されたサンプルをディフレーマ・クロックと同期化します。FIFO はデータ・ソースとディフレーマとの間のタイミング変動を吸収します。このため、トランスミッタからの最大 2 PClock サイクルまでの変移を許容することができます。FIFO\_STATUS\_REG\_0 レジスタと FIFO\_STATUS\_REG\_1 レジスタ (それぞれアドレス 0x30C と 0x30D) をモニタして、FIFO のフル/エンプティを識別することができます。

## レーン FIFO IRQ

IRQ イベントとして、まとめたレーン FIFO エラー・ビットを使用することもできます。レジスタ 0x01F[1] を使って、FIFO エラー・ビットをイネーブルし、次にレジスタ 0x023[1] を使ってそのステータスをリードバックし、IRQ 信号をリセットします。詳細については、割込み要求動作のセクションを参照してください。

## クロスバー・スイッチ

レジスタ 0x308~レジスタ 0x30B を使うと、物理レーン (SERDIN<sub>x±</sub>) の SERDES ディフレーマで使用される論理レーンへの任意のマッピングが可能になります。

表 39. クロスバー・レジスタ

Address	Bits	Logical Lane
0x308	[2:0]	LOGICAL_LANE0_SRC
0x308	[5:3]	LOGICAL_LANE1_SRC
0x309	[2:0]	LOGICAL_LANE2_SRC
0x309	[5:3]	LOGICAL_LANE3_SRC
0x30A	[2:0]	LOGICAL_LANE4_SRC
0x30A	[5:3]	LOGICAL_LANE5_SRC
0x30B	[2:0]	LOGICAL_LANE6_SRC
0x30B	[5:3]	LOGICAL_LANE7_SRC

データを取得する物理レーン (SERDIN<sub>x±</sub>) の番号が付いた各 LOGICAL\_LANE<sub>y</sub>\_SRC を書込んでください。デフォルトでは、すべての論理レーンが対応する物理レーンをそのデータ・ソースとして使用します。例えば、デフォルトで LOGICAL\_LANE0\_SRC = 0 となり、論理レーン 0 が物理レーン 0 (SERDIN<sub>0±</sub>) からデータを受信します。代わりに、SERDIN<sub>4±</sub> を論理レーン 0 のソースとして使用する場合は、LOGICAL\_LANE0\_SRC = 4 を書込む必要があります。

## レーンの反転

レジスタ 0x334 を使うと、所望の論理レーンを反転させることができます。この機能を使って、SERDIN<sub>x±</sub> 信号のルーティングを容易にすることができます。反転するときは、各論理レーン x について、レジスタ 0x334 のビット x に 1 を設定します。

## ディフレーマ

AD9144 は、2 個のクワッド・バイト・ディフレーマ (QBD) で持っています。各ディフレーマは、ディシリアライザから 8 ビット / 10 ビット・エンコードされたデータを入力し (クロスバー・スイッチを経由後)、これをデコードして、JESD204B フレームヘディスクランブルした後に、トランスポート層へ渡して DAC サンプルへ変換します。ディフレーマは、1 処理クロック (PClock) サイクルで 4 個のシンボル (すなわちオクテット) を処理します。

シングル・リンク・モードでは、ディフレーマ 0 を排他的に使い、ディフレーマ 1 はアクティブにしません。デュアル・リンク・モードでは、両 QBD がアクティブであり、LINK\_PAGE ビット (レジスタ 0x300[2]) を使って設定するリンクを選択して、これらを個別に設定する必要があります。デュアル・リンクの場合 LINK\_MODE ビット (レジスタ 0x300[3]) は 1 で、シングル・リンクの場合 0 です。

各ディフレーマは JESD204B パラメータを使います。これらのパラメータは、ユーザーがデータのパック/アンパックを指定するためレジスタ・マップへ設定します。JESD204B パラメータはトランスポート層のセクションで詳しく説明します。JESD204B フレームをサンプル・データに変換するためには、トランスポート層で多くのパラメータが必要です。

## ディスクランブラ

AD9144 は、多項式  $1 + x^{14} + x^{15}$  による自己同期ディスクランブラを使用するオプションのディスクランブラ・ブロックを提供します。

データ・スクランプリングを有効にすると、フレーム間で同じデータ・オクテットが繰り返されるときに発生するスペクトル・ピークが小さくなります。また、これによりスペクトル・データが独立になるため、電氣的インターフェースに対する周波数選択性の影響によりデータ依存のエラーが発生しなくなります。SCR ビット (レジスタ 0x453[7]) に 1 を設定すると、データのディスクランプリングが有効にされます。

## LMFC 信号の同期

リンクとデバイス間の同期を保証する最初のステップは、LMFC 信号の同期です。各 DAC Dual (DAC Dual A: DAC0/DAC1 および DAC Dual B: DAC2/DAC3) は固有の LMFC 信号を持っています。Subclass 0 では、2 つの各リンクの LMFC 信号が内部処理クロックに同期化されます。Subclass 1 では、すべての LMFC 信号 (すべてのデュアルとデバイス) が外部 SYSREF 信号に同期化されます。すべての LMFC 同期レジスタが、デュアル・ページングのセクションで説明するようにページ化されます。

## SYSREF 信号

SYSREF 信号は差動ソース同期入力であり、この信号は JESD204B Subclass 1 システム内のトランスミッタとレシーバで LMFC 信号を同期化してレイテンシの確定化を実現します。

SYSREF 信号は、デバイス・クロックの立上がりエッジでサンブルされるアクティブ・ハイの信号です。AD9516-x クロック・ジェネレータのような同じソースからデバイス・クロック信号と SYSREF 信号を発生させて、信号間の位相アライメントを固定にすることが最適な方法です。最適なディタミニスティック・レイテンシ動作をデザインするには、マルチポイント・リンク・システム (マルチチップ) での SYSREF 信号のタイミング分布スキューを考慮してください。

AD9144 は、シングル・パルスまたはステップ、または周期的  $SYSREF_{\pm}$  信号をサポートします。周期信号は、連続的、ストローブ、またはギャップのある周期が可能です。 $SYSREF_{\pm}$  信号は常に DC 結合することができます (0 V~2 V の同相モード電圧で)。DC 結合の場合、小さい同相モード電流 (<500  $\mu$ A) が  $SYSREF_{\pm}$  ピンから流出します。 $SYSREF_{\pm}$  内部回路については図 44 を参照してください。

この同相モード電流をなくするために、50% デューティサイクルの周期的  $SYSREF_{\pm}$  信号を AC 結合コンデンサと一緒に使用することができます。AC 結合の場合、AC 結合コンデンサと抵抗の組み合わせ(図 44 参照)で、RC 時定数  $\tau = RC$  のハイパス・フィルタが構成されます。 $\tau > 4/SYSREF$  周波数となるように C を選択します。さらに、エッジ・レートを十分高速にして—表 5 に示すように少なくとも 1.3 V/ns を推奨— $SYSREF$  対 DAC クロック・キープアウト・ウィンドウ (KOW) 条件を満たすようにする必要があります。

$SYSREF$  ヒステリシスを使用すると (レジスタ 0x081 とレジスタ 0x082)、前述の周波数—時定数間の制約を満たすことなく AC 結合モードを使用することができます。ただし、このために  $SYSREF$  周波数、ヒステリシスのレベル、コンデンサの選択、エッジ・レートに応じて、DAC クロック KOW (表 5 は適用されません) が大きくなります。

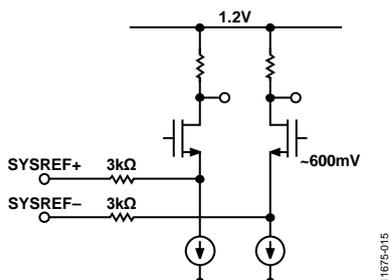


図 44.  $SYSREF_{\pm}$  入力回路

#### 同期処理モードの概要

AD9144 は、種々の LMFC 同期処理モードをサポートします。サポートするモードは、ワンショット、連続、ウィンドウ化連続、モニタ・モードです。すべての同期処理モードでは、LMFC がアライメント・エッジ (同期をとる基準エッジ) に位相が整列されているか否かを調べる位相チェックを実行します。Subclass 1 では  $SYSREF$  パルスがアライメント・エッジとして機能し、Subclass 0 では内部処理クロックがアライメント・エッジとして機能します。信号が同相でない場合、クロック・ローテーションが発生して信号を整列させます。同期モードを次に説明します。LMFC 信号同期化の手順については、同期手順のセクションを参照してください。

#### ワンショット同期モード (SYNCMODE = 0x1)

ワンショット同期モードでは、同期マシン・ステートが準備された後に受信された最初のアライメント・エッジでのみ位相チェックが行われます。位相誤差が規定のウィンドウ・エラー許容誤差より大きい場合、位相調整が発生します。LMFC 同期は 1 回だけ発生しますが、 $SYSREF$  信号は連続のままにすることができます。

#### 連続同期モード (SYNCMODE = 0x2)

連続モードは、周期的  $SYSREF_{\pm}$  信号と一緒に Subclass 1 でのみ使用する必要があります。連続モードでは、位相チェック/アライメントは各アライメント・エッジで行われます。

連続モードは、2つの部分でワンショット・モードと異なります。1 つ目は、デバイスを準備する SPI サイクルが不要です。連続モードがイネーブルされた後に見えるアライメント・エッジにより位相チェックが行われます。2 つ目は、位相チェック (必要な場合、クロック・ローテーション) は、連続モードの各アライメント・エッジで行われます。前の説明に対する 1 つの注意事項は、位相ローテーション・サイクル中に、ロジック・レーンが再度レディになるまで、後続アライメント・エッジが無視されることです。

アライメント・エッジと LMFC エッジとの間の最大許容位相誤差 (DAC クロック・サイクル数) は、エラー・ウィンドウ許容誤差レジスタに設定されます。連続同期モードを非ゼロのエラー・ウィンドウ許容誤差で使用すると、各  $SYSREF$  パルスで位相チェックが行われますが、位相誤差が規定のエラー・ウィンドウ許容誤差より大きい場合にのみアライメント調整が発生します。 $SYSREF_{\pm}$  信号ジッタが表 5 の KOW 仕様を満たさない場合、かつそのために位相誤差が不確定な場合、エラー許容誤差を大きくして一定クロック・ローテーションを回避することができます。これは、ウィンドウ・サイズによるレイテンシの確実性が小さいことを意味することに注意してください。エラー・ウィンドウ許容誤差を 3 より大きく設定する必要がある場合、ワンショット同期を使用する Subclass 0 が推奨されます。これは、AD9144 の場合、確実性が 4 DAC クロック・サイクル内を意味します。

デバッグでは、SYNCARM (レジスタ 0x03A[6]) を使って、連続モードでアライメント・エッジが受信されていることをユーザーに通知することができます。アライメント・エッジを受信した後、SYNCARM ビットが自己クリアされるため、同期 (SYNCARM (レジスタ 0x03A[6]) = 1) 設定して、SYNCARM をリードバックすることができます。SYNCARM = 0 の場合、アライメント・エッジが受信され、位相チェックが実行されます。同期マシンをこのモードで準備しても、デバイス動作には影響を与えません。

#### ワンショット後のモニタ同期モード (SYNCMODE = 0x9)

ワンショット後のモニタ・モードでは、位相誤差をリアルタイムでモニタすることができます。この同期モードは周期的  $SYSREF_{\pm}$  信号と一緒に使用してください。位相チェックとアライメントは、同期マシン・ステートを準備した後に受信した最初のアライメント・エッジで発生します。すべての後続アライメント・エッジで、位相がモニタされ報告されますが、クロック位相調整は発生しません。

位相誤差は、SYNC\_CURRERR\_L レジスタ、(レジスタ 0x03C[3:0]) を使ってモニタすることができます。アライメント発生直後 CURRERR = 0 となっており、アライメント・エッジと LMFC エッジとの間に差がないことを表示します。後続の各アライメント・エッジで、位相がチェックされます。アライメントが失われると、DAC クロック・サイクル内に位相誤差が SYNC\_CURRERR\_L レジスタに報告されます。位相誤差が選択したウィンドウ許容誤差 (レジスタ 0x034[2:0]) を超えると、位相誤差が上側か下側かに応じてレジスタ 0x03D[7:6] の 1 ビットがハイ・レベルに設定されます。

アライメント調整が発生すると、直前の位相誤差のスナップショット (レジスタ 0x03C[3:0]) と対応するエラー・フラグ (レジスタ 0x03D[7:6]) が参考用に読み出し可能レジスタに格納されます (それぞれレジスタ 0x038 とレジスタ 0x039)。

## 同期手順

同期をイネーブルする手順を次に示します。

- レジスタ 0x008~0x03 を設定して、両デュアル (DAC0/DAC1 と DAC2/DAC3)の LMFC を同期させます。
- 所望の同期処理モードを設定します。同期処理モードの設定値を表 40 に示します。
- Subclass 1 の場合、DAC クロックに対する SYSREF± 信号の不確定性とディタミニスティック・レイテンシの不確定性に対するアプリケーションの許容範囲に従ってエラー・ウインドウを設定します。同期ウインドウ許容範囲の設定値を表 41 に示します。
- SYNCENABLE に書き込みを行って (レジスタ 0x03A[7] = 1)、同期をイネーブルします。
- ワンショット・モードでは、SYNCARM に書き込みを行って (レジスタ 0x03A[6] = 1)、同期マシン・ステートを起動準備します。
- Subclass 1 の場合、少なくとも 1 個の SYSREF パルスがデバイスへ送信されたことを確認します。
- 次のビット・フィールドを読み出して、ステータスをチェックします。
  - SYNC\_BUSY (レジスタ 0x03B[7]) = 0 で、同期ロジックがビジーでなくなったことを表示します。
  - SYNC\_LOCK (レジスタ 0x03B[3]) = 1 で、信号が整列していることを示します。各位相チェックでこのビットが更新されます。
  - SYNC\_WLIM (レジスタ 0x03B[1]) = 0 で、位相誤差が指定のエラー・ウインドウを超えないことを示します。各位相チェックでこのビットが更新されます。
  - 同期とアライメントが発生する前に、位相が整列していなかった場合に SYNC\_ROTATE (レジスタ 0x03B[2]) = 1 となります。これはクロック・アライメントが発生したことを示します。このビットは自動リセットではないため、SYNCCLRSTKY コントロール・ビット (レジスタ 0x03A[5])へ書き込みを行うことによるのみクリアすることができます。
  - SYNC\_TRIP (レジスタ 0x03B[0]) = 1 で、アライメント・エッジが受信され、かつ位相チェックが発生したことを表示します。このビットは自動リセットではないため、SYNCCLRSTKY コントロール・ビット (レジスタ 0x03A[5])へ書き込みを行うことによるのみクリアすることができます。

表 40.同期処理モード

Sync Processing Mode	SYNCMODE (Register 0x03A[3:0])
One shot	0x01
Continuous	0x02
One shot then monitor	0x09

表 41.同期ウインドウ許容範囲

Sync Error Window Tolerance	ERRWINDOW (Register 0x034[2:0])
±1/2 DAC clock cycles	0x00
±1 DAC clock cycles	0x01
±2 DAC clock cycles	0x02
±3 DAC clock cycles	0x03

## LMFC 同期 IRQ

IRQ 発生イベントとして、同期ステータス・ビット (SYNCLOCK、SYNCROTATE、SYNCTRIP、SYNCWLIM)が あります。

レジスタ 0x021[3:0]を使って、DAC Dual A (DAC0 と DAC1)の同期ステータス・ビットをイネーブルし、次にレジスタ 0x025[3:0]を使って、これらのステータスをリードバックして、IRQ 信号をリセットします。

レジスタ 0x022[3:0]を使って、DAC Dual B (DAC2 と DAC3)の同期ステータス・ビットをイネーブルし、次にレジスタ 0x026[3:0]を使ってこれらのステータスをリードバックして、IRQ 信号をリセットします。

詳細については、割込み要求動作のセクションを参照してください。

## ディタミニスティック・レイテンシ

JESD204B システムでは、種々のクロック領域が各システムに分散しています。1 つのクロック領域から別のクロック領域に移動するデータは、JESD204B リンクで不明瞭な遅延を発生させます。これらの不明確さにより、新しい各リンクを確立する電源サイクル間に、リンク間の再現性のない遅延になります。JESD204B 仕様のセクション 6 では、Subclass 1 および Subclass 2 として規定されたメカニズムによりディタミニスティック・レイテンシの問題に対処しています。

AD9144 は、JESD204B Subclass 0 と Subclass 1 の動作をサポートしますが、Subclass 2 はサポートしません。レジスタ 0x301[2:0]に Subclass を書き込み、リンクあたり 1 回レジスタ 0x458[7:5]へ書き込んでください。

## Subclass 0

このモードは、4 DAC クロック・サイクル以内のディタミニスティック・レイテンシを与えます。SYSREF± ピンに必要な信号はありません (ピンは未接続のままにすることができます)。

Subclass 0 では、すべてのレーンのデータが同じ LMFC サイクル内に到着する必要があるため、デュアル DAC は互いに同期する必要があります。

## Subclass 0 の注意事項

AD9144 は ILAS を必要とするため、オプションの ILAS を使用する場合、JESD204A 仕様のノンマルチプル・コンバータ・シングル・レーン (NMCDA-SL) のケースのみをサポートします。

F = 1 で Subclass 0 を使用する場合、SYNCOUtx± を使用するエラー報告はサポートしません。

## Subclass 1

このモードはディタミニスティック・レイテンシを与え、リンクを 1/2 DAC クロック周期以内に同期させます。DAC クロックに正確に位相が一致した外部 SYSREF± 信号が必要です。

ディタミニスティック・レイテンシの条件

JESD204B Subclass 1 システムでディタミニスティック・レイテンシを実現するために、幾つかの重要なファクタがあります。

- システム内の SYSREF± 信号のスキュー分布は、所望の不確定性より小さい必要があります。
- SYSREF± のセットアップとホールド・タイムの条件は、システム内の各デバイスに対して満たす必要があります。
- すべてのレーン、リンク、デバイス間の合計遅延変動は 10 PClock 周期より小さい必要があります。これには、システム内のレーン間、リンク間、デバイス間の可変遅延と固定遅延の変動が含まれます。

リンク遅延

JESD204B システムのリンク遅延は、トランスミッタ、チャンネル、レシーバからの固定遅延と可変遅延との和です(図 47)。

正しく動作するためには、リンク上のすべてのレーンを同じ LMFC 周期内に読出す必要があります。JESD204B 仕様のセクション 6.1 では、LMFC 周期は最大リンク遅延より大きい必要があると規定しています。AD9144 の場合これが必要となるケースではなく、AD9144 では SYSREF により整列した LMFC から遅延させることができる各リンク (LMFC<sub>Rx</sub>) のローカル LMFC を使用します。LMFC は周期的のため、任意の大きさの固定遅延に対してこれを取り入れることができます。結果として、LMFC 周期はリンク遅延の変動分より大きい必要があるだけで、

AD9144 は小さい合計遅延で正しい性能を実現することができます。図 45 と図 46 に、リンク遅延が LMFC 周期より大きいケースを示します。LMFC<sub>Rx</sub> を遅延させることにより、これに対応できるようにしてください。

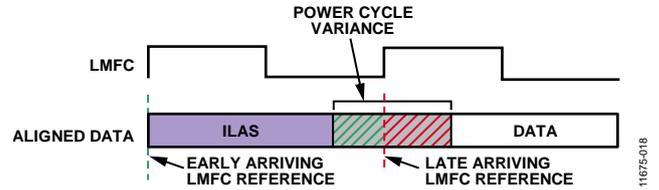


図 45. リンク遅延が LMFC 周期より大きい例

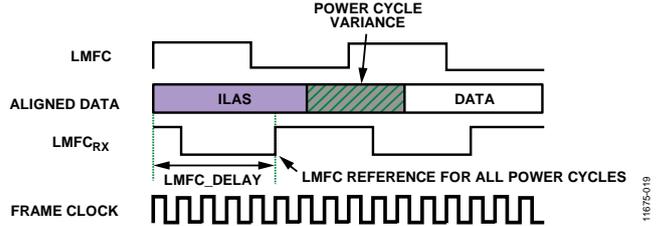


図 46. リンク遅延 > LMFC を補償する LMFC\_DELAY

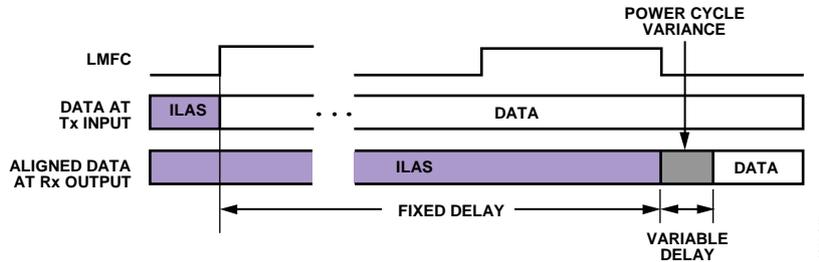
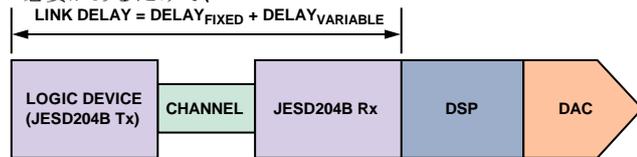


図 47. JESD204B リンク遅延 = 固定遅延 + 可変遅延

リンク遅延のセットアップのセクションに LMFCDel と LMFCVar の設定方法を説明します。

LMFCDel を正しく設定すると、すべての対応するデータ・サンプルが同じ LMFC 周期内に到着することが保証されます。LMFCVar が受信バッファ遅延値(RBD)として書込まれて、すべてのリンク遅延変動が吸収されます。これにより、読出しの前にすべてのデータ・サンプルの到着が保証されます。これらを設定して各実動作と各デバイスで値を固定すると、データミニスティック・レイテンシが実現されます。

JESD204B 仕様で規定される RBD は 1~K FrameClock サイクルの値をとり、AD9144 の RBD は 0~10 PClock サイクルの値をとります。結果として、最大 10 PClock サイクル長の合計遅延変動を吸収することができます。LMFCVar の単位は PClock サイクル数で、LMFCDel の単位は FrameClock サイクル数であるため、これらの 2 つの単位間の変換が必要です。PClockFactor すなわち PClock サイクルあたりのフレーム・クロック・サイクル数は、4/F になります。この関係の詳細については、クロックの相互関係のセクションを参照してください。

次の 2 つの例を用い LMFCVar と LMFCDel の決定方法を示します。これらを計算した後、システム内のすべてのデバイスのレジスタ 0x304 とレジスタ 0x305 に LMFCDel を、システム内のすべてのデバイスのレジスタ 0x306 とレジスタ 0x307 に LMFCVar を、それぞれ書込みます。

**既知の遅延を考慮したリンク遅延セットアップの例**

リンク遅延のセットアップのセクションで説明するように、システムのすべての既知遅延を使って LMFCVar と LMFCDel を計算することができます。

図 48 に示す例は、リンク遅延のセットアップのセクションで説明した手順に従い、次のステップで行います。この例は Subclass 1 でデータミニスティック・レイテンシを実現するもので、PClock サイクルあたり 2 FrameClock サイクルの PClockFactor (4/F) を持ち、K = 32 (フレーム/マルチフレーム)を使用していることに注意してください。PCB の固定遅延 << PClockPeriod であるため、この例では PCB の固定遅延は無視できるので計算に

は含まれていません。

- 表 8 を使ってレシーバ遅延を探します。  
 $RxFixed = 17$  PClock サイクル  
 $RxVar = 2$  PClock サイクル
- トランスミッタ遅延を求めます。JESD コアの例の等価テーブル (Virtex-6 FPGA 上の GTH または GTX トランシーバに組み込み) では、遅延 =  $56 \pm 2$  バイト・クロック・サイクルと規定しています。  
 クロックの関係のセクションで説明したように  $PClockRate = ByteRate/4$  であるため、PClock サイクル数で表したトランスミッタ遅延は、  
 $TxFixed = 54/4 = 13.5$  PClock サイクル  
 $TxVar = 4/4 = 1$  PClock サイクル
- MinDelayLane を次のように計算します。  
 $MinDelayLane = \text{floor}(RxFixed + TxFixed + PCBFixed)$   
 $= \text{floor}(17 + 13.5 + 0)$   
 $= \text{floor}(30.5)$   
 $MinDelayLane = 30$
- MaxDelayLane を次のように計算します。  
 $MaxDelayLane = \text{ceiling}(RxFixed + RxVar + TxFixed + TxVar + PCBFixed)$   
 $= \text{ceiling}(17 + 2 + 13.5 + 1 + 0)$   
 $= \text{ceiling}(33.5)$   
 $MaxDelayLane = 34$
- LMFCVar を次のように計算します。  
 $LMFCVar = (MaxDelay + 1) - (MinDelay - 1)$   
 $= (34 + 1) - (30 - 1) = 35 - 29$   
 $LMFCVar = 6$  PClock サイクル
- LMFCDel を次のように計算します。  
 $LMFCDel = ((MinDelay - 1) \times PClockFactor) \% K$   
 $= ((30 - 1) \times 2) \% 32 = (29 \times 2) \% 32$   
 $= 58 \% 32$   
 $LMFCDel = 26$  FrameClock サイクル
- システム内のすべてのデバイスのレジスタ 0x304 とレジスタ 0x305 に LMFCDel を書込みます。システム内のすべてのデバイスのレジスタ 0x306 とレジスタ 0x307 に LMFCVar を書込みます。

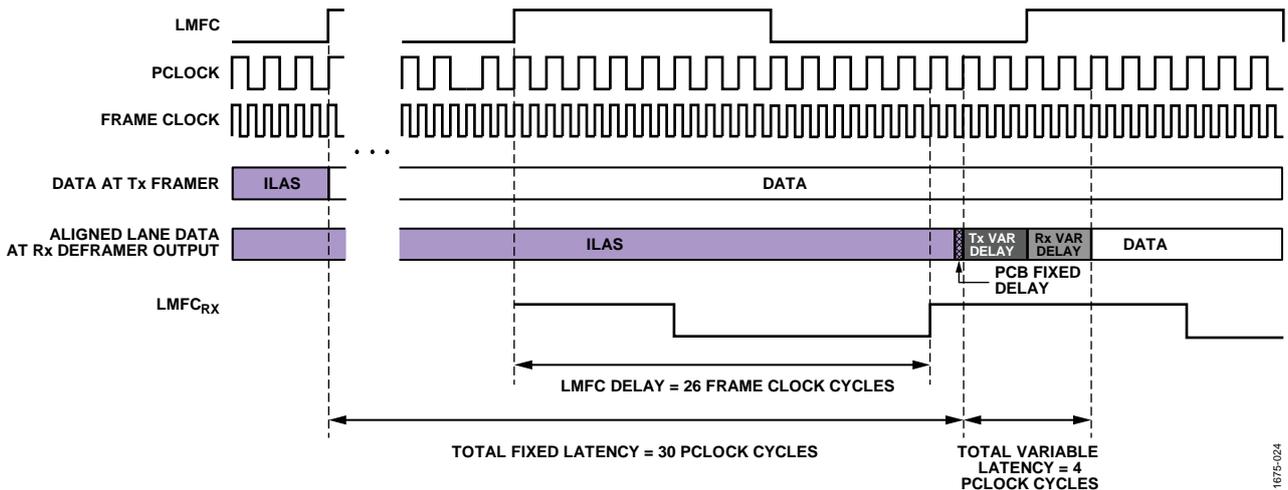


図 48.LMFC\_DELAY の計算例

11875-024

遅延情報が未知でのなリンク遅延セットアップの例、

システム遅延が未知の場合、AD9144 は各リンクの LMFC<sub>RX</sub> と SYSREF に整列した LMFC との間のリンク遅延を読み取ることができます。この情報を使って、LMFCVar と LMFCDel を計算することができます(既知の遅延情報がない場合のセクション参照)。

図 50 に、DYN\_LINK\_LATENCY\_x (レジスタ 0x302 とレジスタ 0x303)が LMFC<sub>RX</sub> と、ILAS から最初のデータ・サンプルへの変化との間の遅延 (PClock サイクル数)を示すリードバック値を得る方法を示します。電源サイクルを繰り返してこの測定を行うことにより、各電源サイクルで求められた最小遅延と最大遅延を求めて、LMFCVar と LMFCDel の計算に使用することができます。

図 50 に示す例は、既知の遅延情報がない場合のセクションで説明した手順に従い、次のステップで行います。この例は Subclass 1 でデータミニスティック・レイテンシを実現するもので、PClockFactor (FrameClockRate/PClkRate)=2 と、K=16 を使用しており、したがって PClocksPerMF = 8 であることに注意してください。

1. 図 50 で、リンク A、リンク B、リンク C に対して、AD9144 (トランスミッタを含む)を内蔵するシステムが電源サイクルを繰り返し、20 回設定されます。AD9144 は、デバイスのセットアップ・ガイドの説明のように設定されます。このポイントで LMFCDel と LMFCVar を求めます。LMFCDel には 0 が設定され、DYN\_LINK\_LATENCY\_x は、Link 0 と Link 1 のそれぞれレジスタ 0x302 とレジスタ 0x303 から読出されます。20 回の動作でのリンク遅延の変動を図 50 に灰色で示します。

- リンク A から 6、7、0、1 のリードバック値が得られます。記録された遅延値のセットは境界 K/PClockFactor=8 でマルチフレームのエッジを超えることに注意してください。PClocksPerMF = 8 を加算して下げてください。遅延値の範囲は 6~9 です。
  - リンク B からの遅延値は 5~7 です。
  - リンク C からの遅延値は 4~7 です。
2. すべての電源サイクル、リンク、デバイスで測定したすべての遅延の最小値を計算します。  
MinDelay = min(全遅延値) = 4
  3. すべての電源サイクル、リンク、デバイスで測定したすべての遅延の最大値を計算します。  
MaxDelay = max(全遅延値) = 9
  4. すべての電源サイクル、リンク、デバイスでの合計遅延変動 (1 クロック分のガードバンドを含む)を計算します。  
LMFCVar = (MaxDelay + 1) - (MinDelay - 1)  
= (9 + 1) - (4 - 1) = 10 - 3 = 7 PClock サイクル
  5. すべての電源サイクル、リンク、デバイス間の FrameClock サイクル数で表した最小遅延 (1 クロック分のガードバンドを含む)を計算します:  
LMFCDel = ((MinDelay - 1) × PClockFactor) % K  
= ((4 - 1) × 2) % 16 = (3 × 2) % 16  
= 6 % 16 = 6 FrameClock サイクル
  6. システム内のすべてのデバイスのレジスタ 0x304 とレジスタ 0x305 に LMFCDel を書込みます。システム内のすべてのデバイスのレジスタ 0x306 とレジスタ 0x307 に LMFCVar を書込みます。

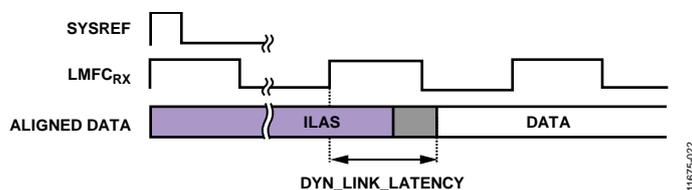


図 49. DYN\_LINK\_LATENCY の説明

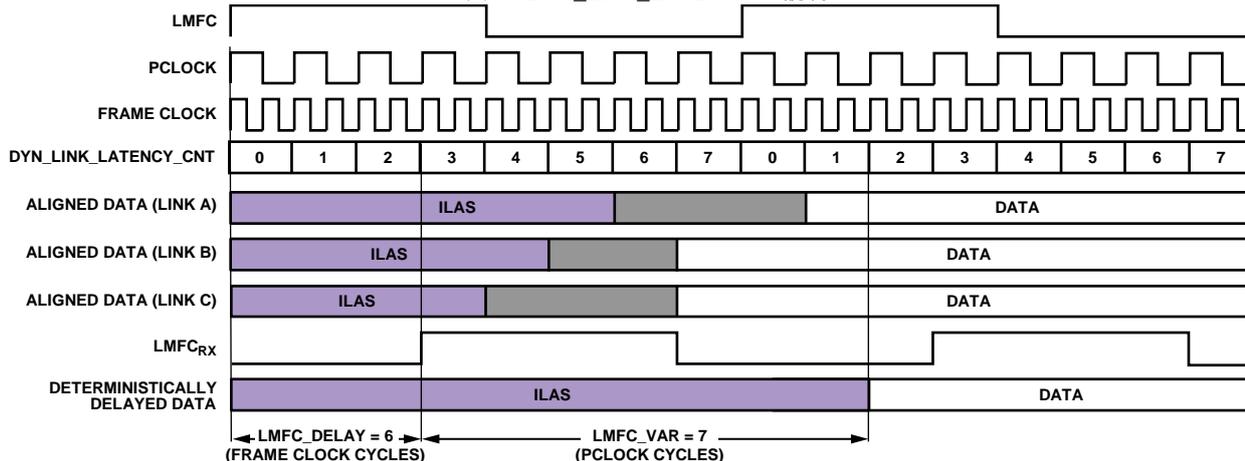


図 50. マルチリンク同期の設定、計算方法の例

トランスポート層

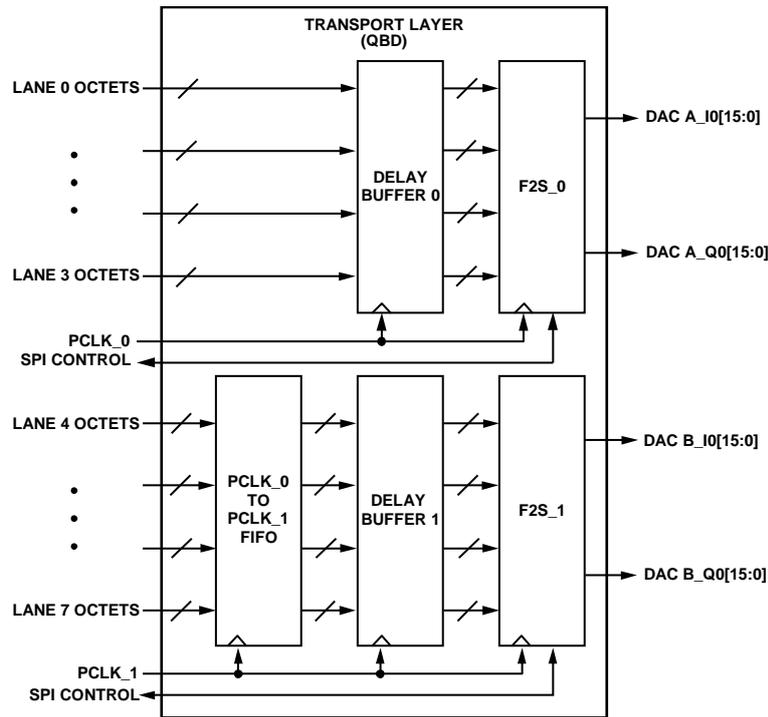


図 51.トランスポート層のブロック図

トランスポート層は、ディスクランブルされた JESD204B フレームを受信して、設定した JESD204B パラメータ(表 42 参照)に基いてこれらを DAC サンプル・データへ変換します。多くのデバイス・パラメータが表 43 に規定してあります。

表 42.JESD204B トランスポート層のパラメータ

Parameter	Description
F	オクテット数/フレーム/レーン: 1、2、4。
K	フレーム数/マルチフレーム。 F=1 の場合 K=32、その他の場合 K=16 または 32。
L	レーン数/コンバータ・デバイス(リンク)は次の通り、 1、2、4、または 8 (シングル・リンク・モード)、 1、2、または 4 (デュアル・リンク・モード)。
M	コンバータ数/デバイス/リンク)は次の通り、 1、2、または 4 (シングル・リンク・モード)、 1 または 2 (デュアル・リンク・モード)。
S	サンプル数/コンバータ、/フレーム: 1 または 2。

表 43.JESD204B デバイスのパラメータ

Parameter	Description
CF	制御ワード数/デバイス・クロック/リンク。サポートしていません。0 である必要があります。
CS	制御ビット数/変換サンプル。サポートしていません。0 である必要があります。
HD	高密度ユーザー・データ・フォーマット。レーン間でサンプル数を分割するときに使用。 F=1 の場合 1 を設定、その他の場合は 0。
N	コンバータ分解能= 16。
N' (aka NP)	合計ビット数/サンプル= 16。

これらのパラメータの所定の組み合わせが JESD204B 動作モードと呼ばれて、AD9144 でサポートされています。サポートされているモードのリストと対応するクロック関係については、表 44 と表 45 を参照してください。

表 44. シングル・リンク JESD204B の動作モード

Parameter	Mode									
	0	1	2	3	4	5	6	7	9	10
M (Converter Count)	4	4	4	4	2	2	2	2	1	1
L (Lane Count)	8	8	4	2	4	4	2	1	2	1
S (Samples per Converter per Frame)	1	2	1	1	1	2	1	1	1	1
F (Octets per Frame, per Lane)	1	2	2	4	1	2	2	4	1	2
K <sup>1</sup> (Frames per Multiframe)	32	16/32	16/32	16/32	32	16/32	16/32	16/32	32	16/32
HD (High Density)	1	0	0	0	1	0	0	0	1	0
N (Converter Resolution)	16	16	16	16	16	16	16	16	16	16
NP (Bits per Sample)	16	16	16	16	16	16	16	16	16	16
Example Clocks for 10 Gbps Lane Rate										
PClock Rate (MHz)	250	250	250	250	250	250	250	250	250	250
FrameClock Rate (MHz)	1000	500	500	250	1000	500	500	250	1000	500
Data Rate (MHz)	1000	1000	500	250	1000	1000	500	250	1000	500

<sup>1</sup>モード0、モード4、モード9では、Kは32である必要があります。他のすべてのモードでは16または32が可能です。

表 45. Link 0 と Link 1 に対するデュアル・リンク JESD204B の動作モード

Parameter	Mode					
	4	5	6	7	9	10
M (Converter Count)	2	2	2	2	1	1
L (Lane Count)	4	4	2	1	2	1
S (Samples per Converter per Frame)	1	2	1	1	1	1
F (Octets per Frame per Lane)	1	2	2	4	1	2
K <sup>1</sup> (Frames per Multiframe)	32	16/32	16/32	16/32	32	16/32
HD (High Density)	1	0	0	0	1	0
N (Converter Resolution)	16	16	16	16	16	16
NP (Bits per Sample)	16	16	16	16	16	16
Example Clocks for 10 Gbps Lane Rate						
PClock Rate (MHz)	250	250	250	250	250	250
FrameClock Rate (MHz)	1000	500	500	250	1000	500
Data Rate (MHz)	1000	1000	500	250	1000	500

<sup>1</sup>モード4とモード9では、Kは32である必要があります。他のすべてのモードでは16または32が可能です。

## 設定パラメータ

AD9144 モードは、L、K、M、N、NP、S、F で表されるリンク設定パラメータと呼ばれます。表 46 に、説明とこれらの設定のアドレスを示します。

表 46. 設定パラメータ

JESD204B Setting	Description	Address
L-1	レーン数-1。	0x453[4:0]
F-1	((オクテット数/フレーム)数/レーン)-1。	0x454[7:0]
K-1	フレーム数/マルチフレーム-1。	0x455[4:0]
M-1	コンバータ数-1。	0x456[7:0]
N-1	コンバータ・ビット分解能-1。	0x457[4:0]
NP-1	ビット・パッキング/サンプル-1。	0x458[4:0]
S-1	((サンプル数/コンバータ)数/フレーム)-1。	0x459[4:0]
HD	高密度フォーマット。F=1 の場合 1 を設定。F≠1 の場合 0 のまま。	0x45A[7]
F <sup>1</sup>	((オクテット数/フレーム)/レーン) で表した F パラメータ。	0x476[7:0]
DID	デバイス ID。トランスミッタから送信されたデバイス ID に一致させます。	0x450[7:0]
BID	バンク ID。トランスミッタから送信されたバンク ID に一致させます。	0x451[3:0]
LID0	レーン 0 のレーン ID。論理レーン 0 でトランスミッタから送信されたレーン ID に一致させます。	0x452[4:0]
JESDV	JESD バージョン。トランスミッタから送信されたバージョンに一致させます(0x0 = JESD204A、0x1 = JESD204B)。	0x459[7:5]

<sup>1</sup> F は 2 箇所設定する必要があります。

### JESD204B レシーバを通過するデータ・フロー

リンク設定パラメータは、JESD204B レシーバ・インターフェース上のシリアル・ビットがディフレーム化され、データ・サンプルとして DAC へ渡される方法を指定します。図 52 に、モード 4 (L = 4、M = 2、S = 1、F = 1) に対して種々のハードウェア・ブロックを通過するデータ・フローの詳細を示します。その他のすべてのモードの簡略化したフロー図は、図 53～図 61 に示します。

## シングルおよびデュアル・リンクの設定

AD9144 では、表 44 と表 45 に示す設定値を使います。モード 0～モード 10 は、シングル・リンク動作に使用することができます。モード 4～モード 10 は、デュアル・リンク動作に使用することができます。

デュアル・リンク・モードを使用するときは、LINK\_MODE (レジスタ 0x300[3]) に 1 を設定します。デュアル・リンク・モードでは、Link 1 に Link 0 と同じパラメータを設定する必要があります。Link 1 に書込むときは、LINK\_PAGE (レジスタ 0x300[2]) に 1 を設定します。

シングル・リンク・モードを使用中の場合、レジスタ 0x203[0] = 1 を設定して、SYNCOUT1±の出力バッファの消費電力を少し削減することができます。

### 正しい設定のチェック

ユーザーの利便のために、AD9144 は迅速な設定チェック機能を提供します。設定不可の LMFC\_DELAY を使うとレジスタ 0x030[5] がハイ・レベルになります。L、M、F、S のサポートしていない組み合わせを使用すると、レジスタ 0x030[3] がハイ・レベルになります。設定不可の K を使うと、レジスタ 0x030[2] がハイ・レベルになります。設定不可の SUBCLASSV を使用すると、レジスタ 0x030[1] がハイ・レベルになります。

### 論理レーンのディスキューとイネーブル

正しい設定の後、論理レーンをディスキューレイネーブルしてデータを取り込む必要があります。

論理レーン x をディスキューするときはレジスタ 0x46C のビット x に 1 を、論理レーンを使用しないときは 0 を、それぞれ設定します。次に、論理レーン x をイネーブルするときはレジスタ 0x47D のビット x に 1 を、論理レーンを使用しないときは 0 それぞれ設定します。

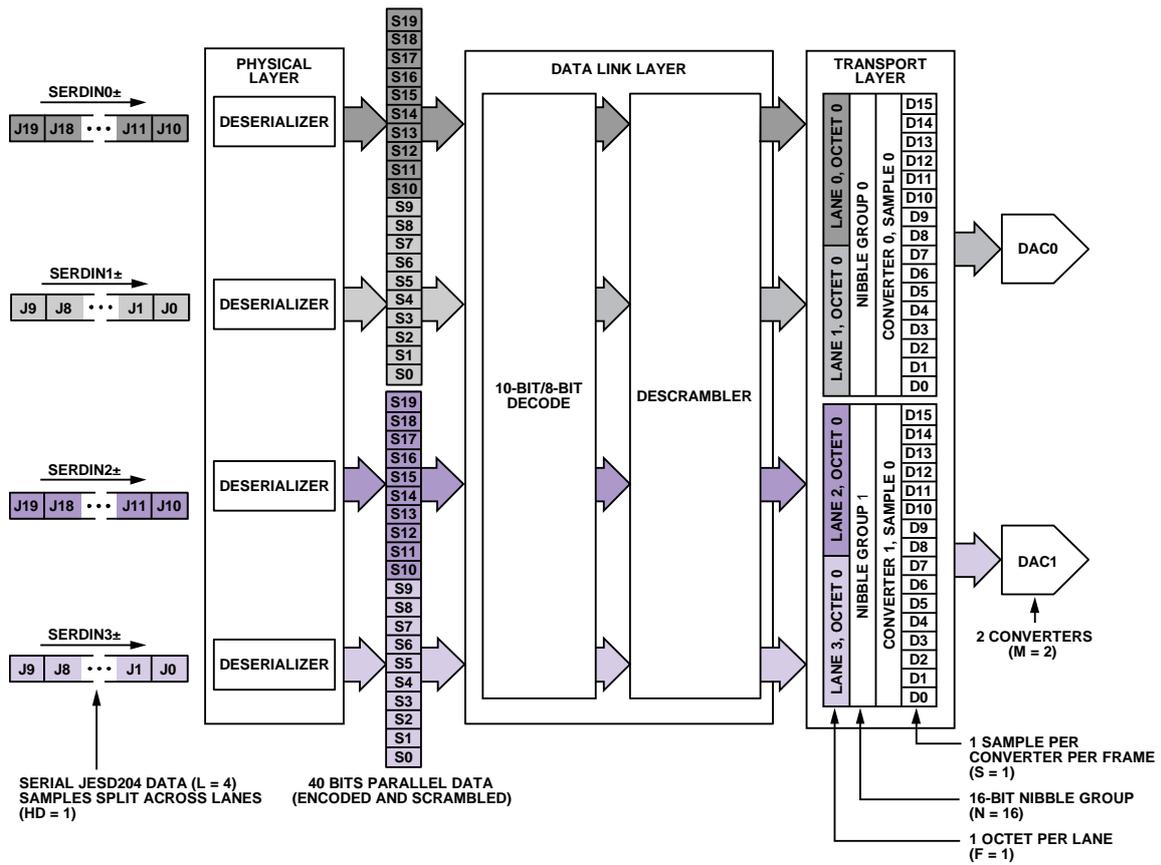


図 52. JESD204B モード 4 データのディフレーム

モード設定のマップ

表 47～表 56 に、図 53～図 61 に示す各モードに対する SPI 設定マップを示します。図 53～図 61 に、各モードに対する JESD204B レシーバのディフレイム・プロセスを通過するデータに対応するデータ・フローを示します。モード 0～モード 10 はシングル・リンク動作に適用されます。モード 4～モード 10 は

デュアル・リンク動作に適用されます。レジスタ 0x300 は、前述のシングルまたはデュアル・リンク動作に従って設定する必要があります。

その他のすべての SPI レジスタの詳細については、レジスタ・マップと説明のセクションを参照してください。

表 47. SPI 設定マップ—モード 0 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x07 or 0x87	レジスタ 0x453[7:0] = 0 または 1: スクランプリングをディスエーブルまたはイネーブル; レジスタ 0x453[4:0] = 0x7: L = 8 レーン/コンバータ
0x454	0x00	レジスタ 0x454[7:0] = 0x00: F = 1 オクテット/フレーム
0x455	0x1F	レジスタ 0x455[4:0] = 0x1F: K = 32 フレーム/マルチフレーム
0x456	0x03	レジスタ 0x456[7:0] = 0x03: M = 4 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6] = 0x0: 常に CS = 0 を設定; レジスタ 0x457[4:0] = 0xF: N = 16、常に 16 ビット分解能を設定
0x458	0x0F or 0x2F	レジスタ 0x458[7:5] = 0x0 または 0x1: サブクラス 0 または サブクラス 1; レジスタ 0x458[4:0] = 0xF: NP = 16 ビット/サンプル
0x459	0x20	レジスタ 0x459[7:5] = 0x1: JESD204B バージョン; レジスタ 0x459[4:0] = 0x0: S = 1 サンプル/コンバータ
0x45A	0x80	レジスタ 0x45A[7] = 1: HD = 1; レジスタ 0x45A[4:0] = 0x00: 常に CF = 0
0x476	0x01	レジスタ 0x476[7:0] = 0x01: F = 1 オクテット/フレーム
0x47D	0xFF	レジスタ 0x47D[7:0] = 0xFF: 8 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

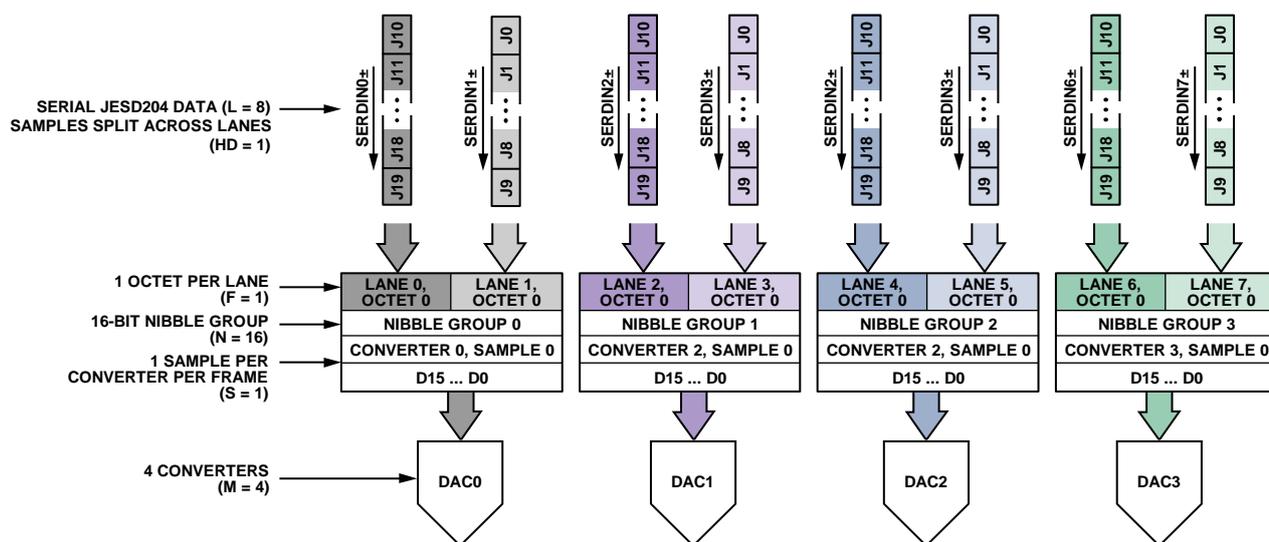


図 53. JESD204B モード 0 データのディフレイム

11675-02B

表 48.SPI 設定マップ—モード 1 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x07 or 0x87	レジスタ 0x453[7] = 0 または 1:スクランプリングをディスエーブルまたはイネーブル;レジスタ 0x453[4:0] = 0x7: L = 8 レーン/コンバータ
0x454	0x01	レジスタ 0x454[7:0] = 0x01: F = 2 オクテット/フレーム
0x455	0x0F or 0x1F	レジスタ 0x455[4:0] = 0x0F または 0x1F: K = 16 または 32 フレーム/マルチフレーム
0x456	0x03	レジスタ 0x456[7:0] = 0x03: M = 4 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6] = 0x0:常に CS = 0;レジスタ 0x457[4:0] = 0x0F: N = 16、常に 16 ビット分解能
0x458	0x0F or 0x2F	レジスタ 0x458[7:5] = 0x0 または 0x1:サブクラス 0 またはサブクラス 1、レジスタ 0x458[4:0] = 0xF: NP = 16 ビット/サンプル
0x459	0x21	レジスタ 0x459[7:5] = 0x1: JESD204B バージョンを設定、レジスタ 0x459[4:0] = 0x1: S = 2 サンプル/コンバータ
0x45A	0x00	レジスタ 0x45A[7] = 0: HD = 0;レジスタ 0x45A[4:0] = 0x00:常に CF = 0
0x476	0x02	レジスタ 0x476[7:0] = 0x02: F = 2 オクテット/フレーム
0x47D	0xFF	レジスタ 0x47D[7:0] = 0xFF: 8 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

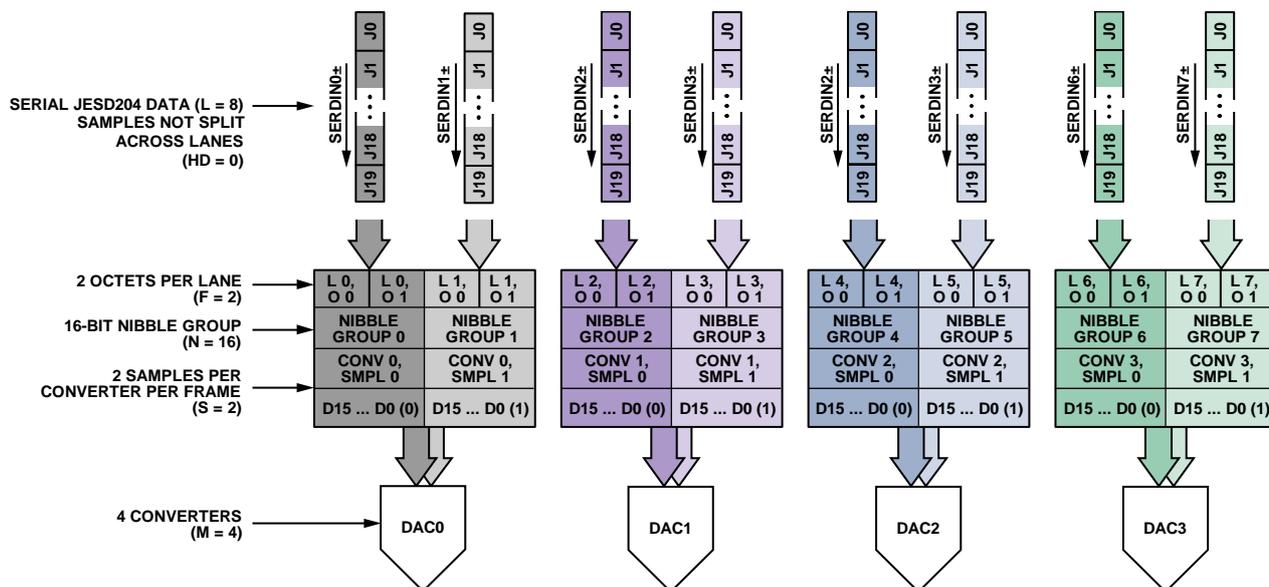


図 54.JESD204B モード 1 データのディフレーム

11675-029

表 49.SPI 設定マップ—モード 2 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x03 or 0x83	レジスタ 0x453[7]=0 または 1:スクランプリングをディスエーブルまたはイネーブル;レジスタ 0x453[4:0]=0x3: L = 4 レーン/コンバータ
0x454	0x01	レジスタ 0x454[7:0]=0x01: F=2 オクテット/フレーム
0x455	0x0F or 0x1F	レジスタ 0x455[4:0]=0x0F または 0x1F: K=16 または 32 フレーム/マルチフレーム
0x456	0x03	レジスタ 0x456[7:0]=0x03: M=4 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6]=0x0:常に CS=0;レジスタ 0x457[4:0]=0x0F: N=16、常に 16 ビット分解能
0x458	0x0F or 0x2F	レジスタ 0x458[7:5]=0x0 または 0x1:サブクラス 0 またはサブクラス 1、レジスタ 0x458[4:0]=0xF: NP=16 ビット/サンプル
0x459	0x20	レジスタ 0x459[7:5]=0x1: JESD204B バージョンを設定、レジスタ 0x459[4:0]=0x0: S=1 サンプル/コンバータ
0x45A	0x00	レジスタ 0x45A[7]=0: HD=0;レジスタ 0x45A[4:0]=0x00:常に CF=0
0x476	0x02	レジスタ 0x476[7:0]=0x02: F=2 オクテット/フレーム
0x47D	0x0F	レジスタ 0x47D[7:0]=0x0F: 4 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

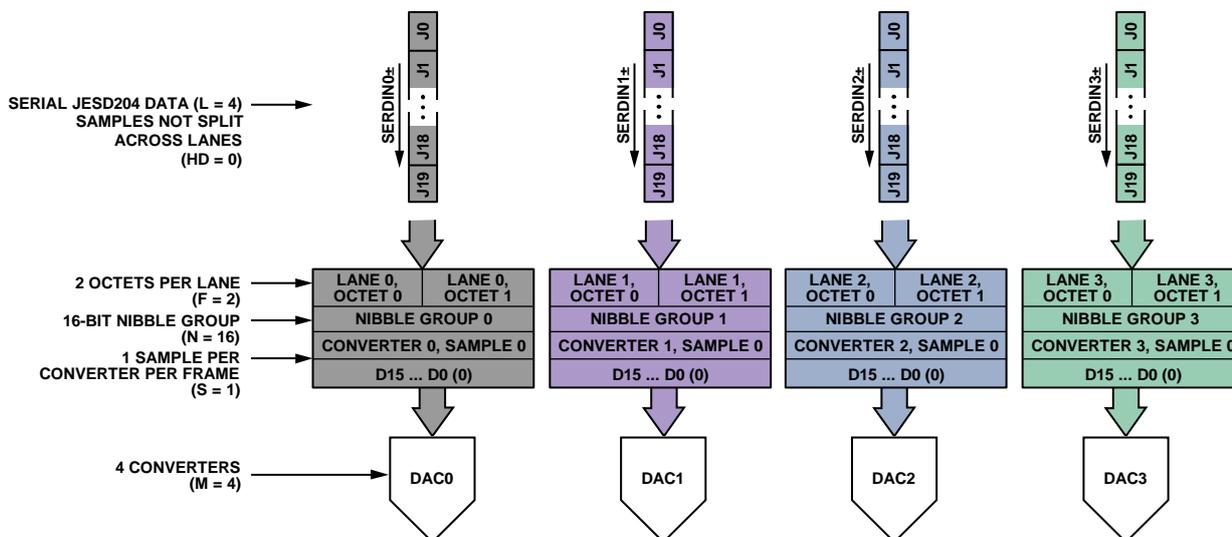


図 55.JESD204B モード 2 データのディフレーム

11675-030

表 50.SPI 設定マップ—モード 3 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x01 or 0x81	レジスタ 0x453[7]=0 または 1:スクランプリングをディスエーブルまたはイネーブル;レジスタ 0x453[4:0]=0x1: L = 2 レーン/コンバータ
0x454	0x03	レジスタ 0x454[7:0]=0x03: F=4 オクテット/フレーム
0x455	0x0F or 0x1F	レジスタ 0x455[4:0]=0x0F または 0x1F: K=16 または 32 フレーム/マルチフレーム
0x456	0x03	レジスタ 0x456[7:0]=0x03: M=4 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6]=0x0:常に CS=0;レジスタ 0x457[4:0]=0x0F: N=16、常に 16 ビット分解能
0x458	0x0F or 0x2F	レジスタ 0x458[7:5]=0x0 または 0x1:サブクラス 0 またはサブクラス 1、レジスタ 0x458[4:0]=0xF: NP=16 ビット/サンプル
0x459	0x20	レジスタ 0x459[7:5]=0x1: JESD204B バージョンを設定、レジスタ 0x459[4:0]=0x0: S=1 サンプル/コンバータ
0x45A	0x00	レジスタ 0x45A[7]=0: HD=0;レジスタ 0x45A[4:0]=0x00:常に CF=0
0x476	0x04	レジスタ 0x476[7:0]=0x04: F=4 オクテット/フレーム
0x47D	0x03	レジスタ 0x47D[7:0]=0x03: 2 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

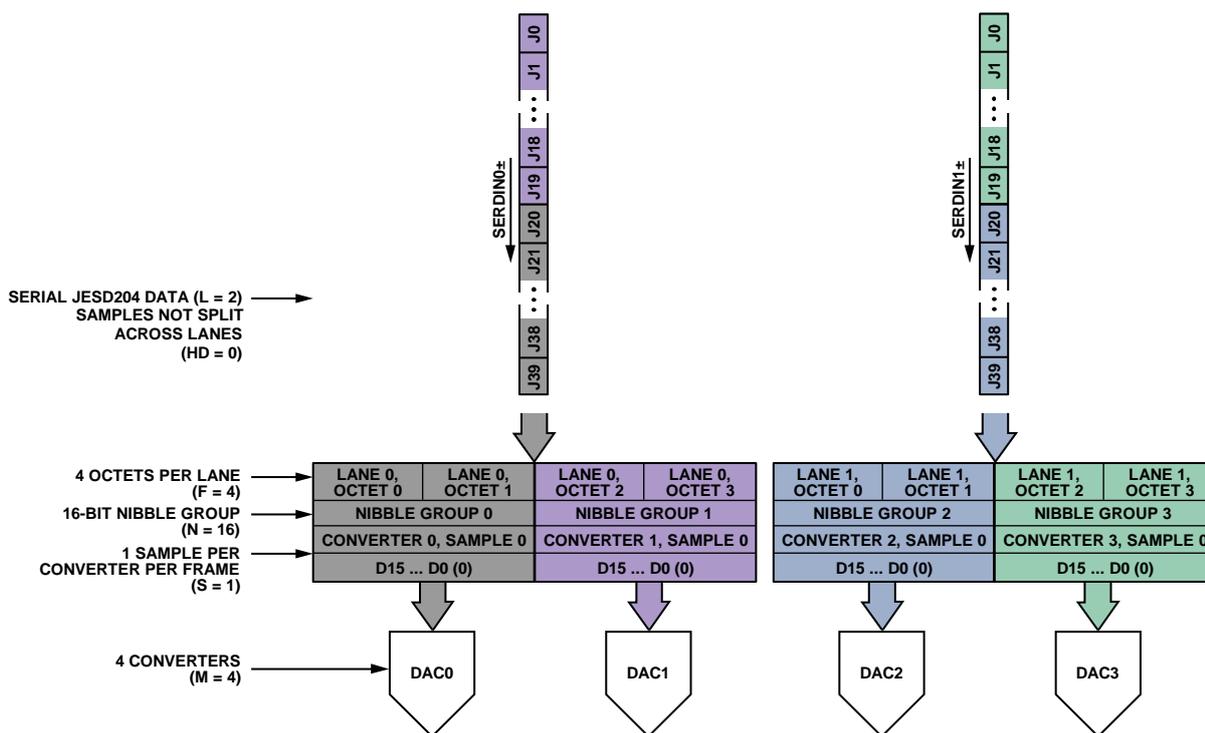


図 56.JESD204B モード 3 データのディフレーム

表 51.SPI 設定マップ—モード 4 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x03 or 0x83	レジスタ 0x453[7]=0 または 1:スクランプリングをディスエーブルまたはイネーブル;レジスタ 0x453[4:0]=0x3: L = 4 レーン/コンバータ
0x454	0x00	レジスタ 0x454[7:0]=0x00: F=1 オクテット/フレーム
0x455	0x0F or 0x1F	レジスタ 0x455[4:0]=0x0F または 0x1F: K=16 または 32 フレーム/マルチフレーム
0x456	0x01	レジスタ 0x456[7:0]=0x01: M=2 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6]=0x0:常に CS=0;レジスタ 0x457[4:0]=0x0F: N=16、常に 16 ビット分解能
0x458	0x0F or 0x2F	レジスタ 0x458[7:5]=0x0 または 0x1:サブクラス 0 またはサブクラス 1、レジスタ 0x458[4:0]=0xF: NP=16 ビット/サンプル
0x459	0x20	レジスタ 0x459[7:5]=0x1: JESD204B バージョンを設定、レジスタ 0x459[4:0]=0x0: S=1 サンプル/コンバータ
0x45A	0x01	レジスタ 0x45A[7]=1: HD=0;レジスタ 0x45A[4:0]=0x00:常に CF=0
0x476	0x01	レジスタ 0x476[7:0]=0x01: F=1 オクテット/フレーム
0x47D	0x0F	レジスタ 0x47D[7:0]=0x0F: 4 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

AD9144 JESD204B モード 4 データ・ディフレーム・プロセスの説明については、図 52 を参照してください。

表 52.SPI 設定マップ—モード 5 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x03 or 0x83	レジスタ 0x453[7] = 0 または 1:スクランプリングをディセーブルまたはイネーブル;レジスタ 0x453[4:0] = 0x3: L = 4 レーン/コンバータ
0x454	0x01	レジスタ 0x454[7:0] = 0x01: F = 2 オクテット/フレーム
0x455	0x0F or 0x1F	レジスタ 0x455[4:0] = 0x0F または 0x1F: K = 16 または 32 フレーム/マルチフレーム
0x456	0x01	レジスタ 0x456[7:0] = 0x01: M = 2 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6] = 0x0:常に CS = 0;レジスタ 0x457[4:0] = 0x0F: N = 16、常に 16 ビット分解能
0x458	0x0F or 0x2F	レジスタ 0x458[7:5] = 0x0 または 0x1:サブクラス 0 またはサブクラス 1、レジスタ 0x458[4:0] = 0xF: NP = 16 ビット/サンプル
0x459	0x21	レジスタ 0x459[7:5] = 0x1: JESD204B バージョンを設定、レジスタ 0x459[4:0] = 0x1: S = 2 サンプル/コンバータ
0x45A	0x00	レジスタ 0x45A[7] = 0: HD = 0;レジスタ 0x45A[4:0] = 0x00:常に CF = 0
0x476	0x02	レジスタ 0x476[7:0] = 0x02: F = 2 オクテット/フレーム
0x47D	0x0F	レジスタ 0x47D[7:0] = 0x0F: 4 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

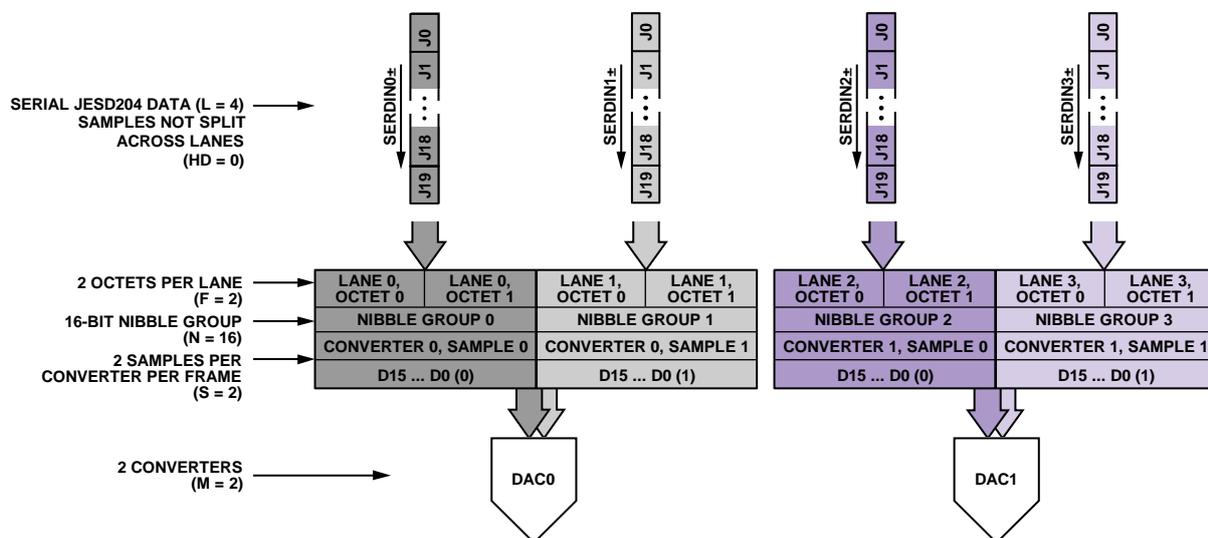


図 57.JESD204B モード 5 データのディフレーム

11675-032

表 53.SPI 設定マップ—モード 6 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x01 or 0x81	レジスタ 0x453[7]=0 または 1:スクランプリングをディセーブルまたはイネーブル;レジスタ 0x453[4:0]=0x1: L = 2 レーン/コンバータ
0x454	0x01	レジスタ 0x454[7:0]=0x01: F=2 オクテット/フレーム
0x455	0x0F or 0x1F	レジスタ 0x455[4:0]=0x0F または 0x1F: K=16 または 32 フレーム/マルチフレーム
0x456	0x01	レジスタ 0x456[7:0]=0x01: M=2 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6]=0x0:常に CS=0;レジスタ 0x457[4:0]=0x0F: N=16、常に 16 ビット分解能
0x458	0x0F or 0x2F	レジスタ 0x458[7:5]=0x0 または 0x1:サブクラス 0 またはサブクラス 1、レジスタ 0x458[4:0]=0xF: NP=16 ビット /サンプル
0x459	0x20	レジスタ 0x459[7:5]=0x1: JESD204B バージョンを設定、レジスタ 0x459[4:0]=0x0: S=1 サンプル/コンバータ
0x45A	0x00	レジスタ 0x45A[7]=0: HD=0;レジスタ 0x45A[4:0]=0x00:常に CF=0
0x476	0x02	レジスタ 0x476[7:0]=0x02: F=2 オクテット/フレーム
0x47D	0x03	レジスタ 0x47D[7:0]=0x03: 2 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

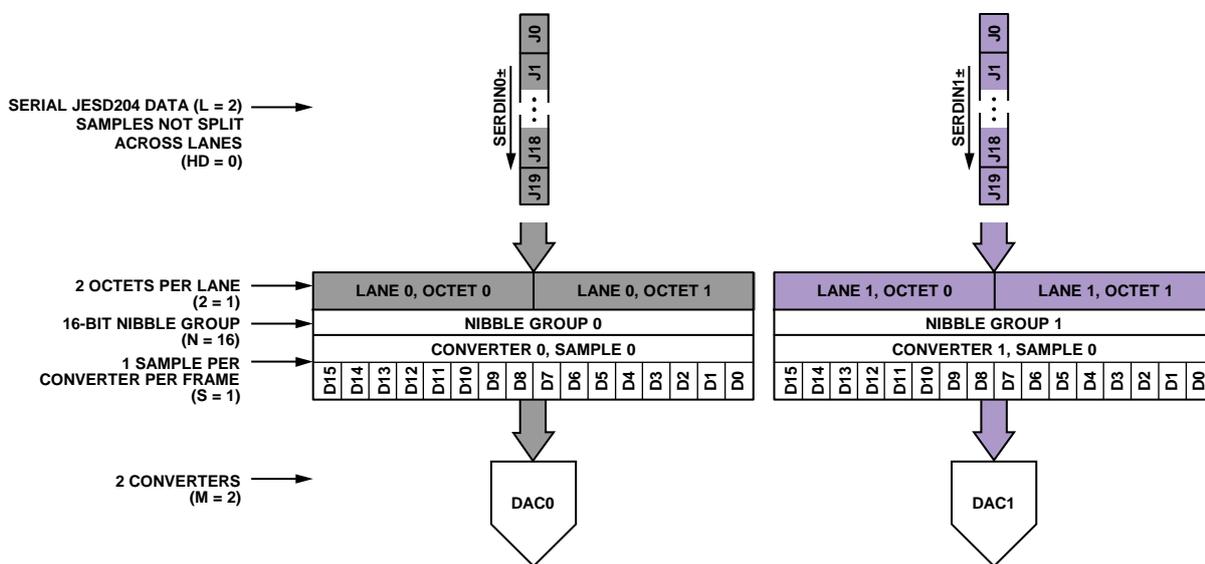


図 58.JESD204B モード 6 データのディフレーム

11675-033

表 54.SPI 設定マップ—モード 7 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x00 or 0x80	レジスタ 0x453[7] = 0 または 1:スクランプリングをディセーブルまたはイネーブル;レジスタ 0x453[4:0] = 0x0: L = 1 レーン/コンバータ
0x454	0x03	レジスタ 0x454[7:0] = 0x03: F = 4 オクテット/フレーム
0x455	0x0F or 0x1F	レジスタ 0x455[4:0] = 0x0F または 0x1F: K = 16 または 32 フレーム/マルチフレーム
0x456	0x01	レジスタ 0x456[7:0] = 0x01: M = 2 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6] = 0x0:常に CS = 0;レジスタ 0x457[4:0] = 0x0F: N = 16、常に 16 ビット分解能
0x458	0x0F or 0x2F	レジスタ 0x458[7:5] = 0x0 または 0x1:サブクラス 0 またはサブクラス 1、レジスタ 0x458[4:0] = 0xF: NP = 16 ビット/サンプル
0x459	0x20	レジスタ 0x459[7:5] = 0x1: JESD204B バージョンを設定、レジスタ 0x459[4:0] = 0x0: S = 1 サンプル/コンバータ
0x45A	0x00	レジスタ 0x45A[7] = 0: HD = 0;レジスタ 0x45A[4:0] = 0x00:常に CF = 0
0x476	0x04	レジスタ 0x476[7:0] = 0x04: F = 4 オクテット/フレーム
0x47D	0x01	レジスタ 0x47D[7:0] = 0x01: 1 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

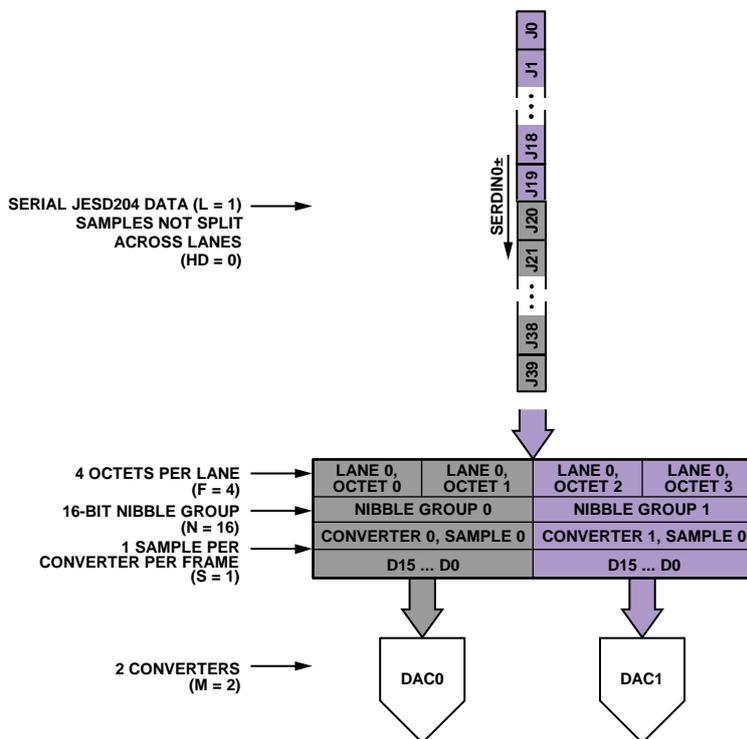


図 59.JESD204B モード 7 データのディフレーム

表 55.SPI 設定マップ—モード 9 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x01 or 0x81	レジスタ 0x453[7] = 0 または 1:スクランプリングをディスエーブルまたはイネーブル;レジスタ 0x453[4:0] = 0x1: L = 2 レーン/コンバータ
0x454	0x00	レジスタ 0x454[7:0] = 0x00: F = 1 オクテット/フレーム
0x455	0x1F	レジスタ 0x455[4:0] = 0x1F: K = 32 フレーム/マルチフレーム
0x456	0x00	レジスタ 0x456[7:0] = 0x00: M = 1 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6] = 0x0:常に CS = 0;レジスタ 0x457[4:0] = 0x0F: N = 16、常に 16 ビット分解能
0x458	0x0F or 0x2F	レジスタ 0x458[7:5] = 0x0 または 0x1:サブクラス 0 またはサブクラス 1、レジスタ 0x458[4:0] = 0xF: NP = 16 ビット/サンプル
0x459	0x20	レジスタ 0x459[7:5] = 0x1: JESD204B バージョンを設定、レジスタ 0x459[4:0] = 0x0: S = 1 サンプル/コンバータ
0x45A	0x01	レジスタ 0x45A[7] = 1: HD = 0;レジスタ 0x45A[4:0] = 0x00:常に CF = 0
0x476	0x01	レジスタ 0x476[7:0] = 0x01: F = 1 オクテット/フレーム
0x47D	0x03	レジスタ 0x47D[7:0] = 0x03: 2 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

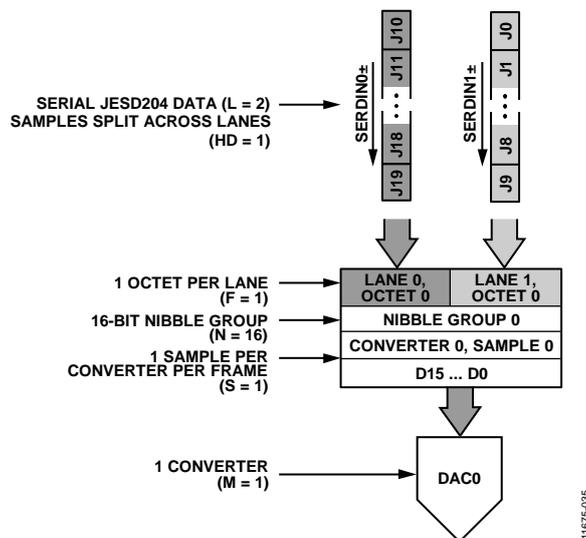


図 60.JESD204B モード 9 データのディフレーム

表 56.SPI 設定マップ—モード 10 用 JESD204B パラメータのレジスタ設定

Address	Setting	Description
0x453	0x00 or 0x80	レジスタ 0x453[7]=0 または 1:スクランプリングをディスエーブルまたはイネーブル;レジスタ 0x453[4:0]=0x0: L = 1 レーン/コンバータ
0x454	0x01	レジスタ 0x454[7:0]=0x01: F=2 オクテット/フレーム
0x455	0x0F or 0x1F	レジスタ 0x455[4:0]=0x0F または 0x1F: K = 16 または 32 フレーム/マルチフレーム
0x456	0x00	レジスタ 0x456[7:0]=0x00: M = 1 コンバータ/デバイス
0x457	0x0F	レジスタ 0x457[7:6]=0x0:常に CS = 0;レジスタ 0x457[4:0]=0x0F: N = 16、常に 16 ビット分解能
0x458	0x0F or 0x2F	レジスタ 0x458[7:5]=0x0 または 0x1:サブクラス 0 またはサブクラス 1、レジスタ 0x458[4:0]=0xF: NP = 16 ビット/サンプル
0x459	0x20	レジスタ 0x459[7:5]=0x1: JESD204B バージョンを設定、レジスタ 0x459[4:0]=0x0: S = 1 サンプル/コンバータ
0x45A	0x00	レジスタ 0x45A[7]=0: HD = 0;レジスタ 0x45A[4:0]=0x00:常に CF = 0
0x476	0x02	レジスタ 0x476[7:0]=0x02: F = 2 オクテット/フレーム
0x47D	0x01	レジスタ 0x47D[7:0]=0x01: 1 レーンをイネーブル、1 ビット/レーンを設定してイネーブル

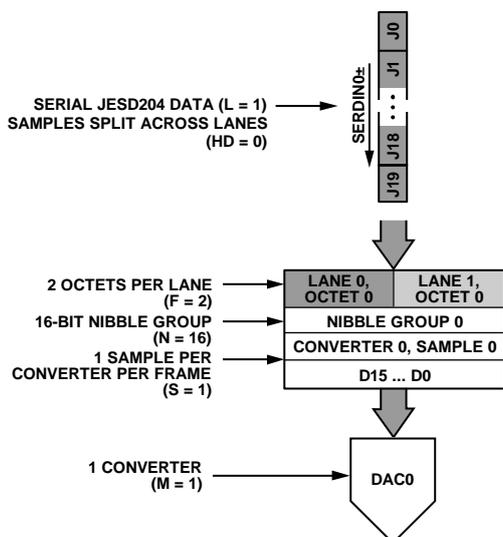


図 61.JESD204B モード 10 データのディフレーム

## JESD204B のテスト・モード

### PHY PRBS のテスト

AD9144 の JESD204B レシーバには、物理層のバックエンドに PRBS パターン・チェッカが内蔵されています。この機能は、JESD204B リンクの各物理レーンのビット・エラー・レート (BER) テストを実行します。PHY PRBS パターン・チェッカ実行には、JESD204B リンクの確立を必要としません。PRBS7、PRBS15、PRBS31 データ・パターンと同期することができます。PRBS パターンの確認は複数のレーンを一度に行うことができます。不合格レーンのエラー・カウントは、JESD204B の 1 レーンごとに報告されます。AD9144 での PRBS テストは次のように実行されます。

1. JESD204B トランスミッタから PRBS7、PRBS15、または PRBS31 パターンの送信を開始します。
2. レジスタ 0x316[3:2] に該当する PRBS パターンを選択して書込みます (表 57 参照)。
3. PHY\_TEST\_EN (レジスタ 0x315) に書込みを行って、テストするすべてのレーンの PHY テストをイネーブルします。レジスタ 0x315 の各ビットが対応するレーンの PRBS テストをイネーブルします。例えば、ビット 0 に 1 を書込むと、物理レーン 0 の PRBS テストがイネーブルされます。
4. PHY\_TEST\_RESET (レジスタ 0x316[0]) を 0 → 1 → 0 に変化させます。
5. PHY\_PRBS\_ERROR\_THRESHOLD (レジスタ 0x319 ~ レジスタ 0x317) を設定します。(BER の限界値)
6. PHY\_TEST\_START (レジスタ 0x316[1]) に 0 次に 1 を書込みます。PHY\_TEST\_START の立上がりエッジでテストが開始されます。
7. 500 ms 間待ちます。
8. PHY\_TEST\_START (レジスタ 0x316[1]) = 0 を書込んで、テストを停止させます。
9. PRBS テスト・リザルトを読出ます。
  - a. PHY\_PRBS\_PASS (レジスタ 0x31D) の各ビットは 1 つの SERDES レーンに対応します。0 = 不合格、1 = 合格。
  - b. PHY\_SRC\_ERR\_CNT (レジスタ 0x316[6:4]) にチェックするレーン番号 (0 ~ 7) を書込み、PHY\_PRBS\_ERR\_COUNT (レジスタ 0x31C ~ レジスタ 0x31A) を読出すと、各不合格レーンの PRBS エラー数を読出すことができます。最大エラー・カウントは  $2^{24}$  です。レジスタ 0x31C ~ レジスタ 0x31A のすべてのビットがハイ・レベルの場合、選択したレーンの最大エラー・カウントを超えます。

表 57. PHY PRBS パターンの選択

PHY_PRBS_PAT_SEL Setting (Register 0x316[3:2])	PRBS Pattern
0b00 (default)	PRBS7
0b01	PRBS15
0b10	PRBS31

### トランスポート層のテスト

AD9144 の JESD204B レシーバは、JESD204B 規格に定めるショート・トランスポート層 (STPL) テストをサポートします。このテストを使って、JESD204B トランスミッタとレシーバとの間のデータ・マッピングを確認することができます。このテストを行うときは、この機能をロジック・デバイス (送信側) に組み込み、それをイネーブルする必要があります。レシーバ側でテストを実行する前に、リンクを確立してエラーなしに動作させる必要があります (デバイスのセットアップ・ガイド参照)。

STPL テストは、各コンバータへの各サンプル・データがコンバータ数 (M) とコンバータあたりのサンプル数 (S) に従い適切にマッピングされることを確認します。JESD204B 規格に規定されるように、コンバータ・メーカーにより送信するテスト・サンプルが指定されます。各サンプルはユニークな値 (異なる値のコード) を持つ必要があります。例えば、M = 2 かつ S = 2 の場合、テストが停止するまで繰り返し送信される 4 個のユニークなサンプルがあります。期待されるサンプル・データをデバイスに設定し、期待されるサンプル・データと受信したサンプルを 1 サンプルずつ比較し、すべてがテストされるまで続きます。AD9144 でこのテストを行う手順を次に示します。

1. JESD204B リンクを同期化します。
2. JESD204B Tx で STPL テストをイネーブルします。
3. テスト用にコンバータ 0 サンプル 0 をを選択します。SHORT\_TPL\_DAC\_SEL (レジスタ 0x32C[3:2]) = 0 と SHORT\_TPL\_SP\_SEL (レジスタ 0x32C[5:4]) = 0 を書込みます。
4. コンバータ 0 の期待されるテスト・サンプル (サンプル 0) を設定します。期待される 16 ビット・テスト・サンプルを SHORT\_TPL\_REF\_SP レジスタ (レジスタ 0x32E とレジスタ 0x32D) に書込みます。
5. STPL テストをイネーブルします。SHORT\_TPL\_TEST\_EN (レジスタ 0x32C[0]) = 1 を書込みます。
6. STPL リセットをトグルします。SHORT\_TPL\_TEST\_RESET (レジスタ 0x32C[1]) に 0 → 1 → 0 の変化をさせます。
7. 不具合をチェックします。SHORT\_TPL\_FAIL (レジスタ 0x32F[0]) を読出します (0 = 合格、1 = 不合格)。
8. ステップ 3 ~ ステップ 7 を各コンバータの各サンプルに対して繰り返します。Conv0Sample0 ~ ConvM-1Samples-1。

### CGS と ILAS の繰り返しテスト

AD9144 は、JESD204B 仕様のセクション 5.3.3.8.2 の規定に従い、/K28.5/ シンボル・データの固定ストリームを受信中か、または CGS とそれに続く ILAS の固定ストリームを受信中かをチェックすることができます。

繰り返し CGS テストを実行するときは、/K28.5/ 文字の固定ストリームを AD9144 SERDES 入力へ送信します。次に、デバイスをセットアップし、デバイスのセットアップ・ガイドのセクションに示すようにリンクをイネーブルします。SYNCOU<sub>Tx±</sub> が開放されたことを確認して、/K28.5/ シンボル・コードを受信中であることを確認し、さらにレジスタ 0x470 を読出して CGS がイネーブルされたすべてのリンク・レーンへ渡されたことを確認します。レジスタ 0x300[2] = 0 を設定して Link 0 のレーンのステータスを、レジスタ 0x300[2] = 1 を設定してデュアル・リンク・モードの Link 1 のレーンのステータスを、それぞれモニタします。

CGS を実行し、続いて繰り返し ILAS シーケンス・テストを実行するときは、デバイスのセットアップ・ガイドのセクションに従います。ただし、最後の書込み (リンクのイネーブル) を行う前に、レジスタ 0x477[7] に 1 を書込んで ILAS テスト・モードをイネーブルします。次に、リンクをイネーブルします。各レーンでデバイスが 4 CGS 文字を認識すると、SYNCOUT<sub>x±</sub>を開放します。この時点で、トランスミッタは繰り返し ILAS シーケンスの送信を開始します。

レジスタ 0x473 を読出して、イネーブルされたすべてのリンク・レーンで初期レーン同期が合格したことを確認します。レジスタ 0x300[2] = 0 を設定して Link 0 のレーンのステータスを、デュアル・リンク・モードの場合レジスタ 0x300[2] = 1 を設定して Link 1 のレーンのステータスを、それぞれモニタします。

## JESD204B エラーのモニタ

### パリティ不一致、テーブルに不一致、予期しない制御文字エラー

AD9144 は、JESD204B 仕様のセクション 7.6 に従い、パリティ不一致エラー、テーブルに不一致エラー、予期しない制御文字エラーを検出し、オプションの同期要求を発行し、これらのエラー発生時にリンクを再初期化することができます。

8ビット/10ビット・デコーディング・テーブルに一致するか否かに無関係に、パリティ不一致エラー・カウンタは無効なパリティ不一致を持つすべての文字をカウントすることに注意してください。これは、8ビット/10ビット・デコーディング・テーブルと一致する場合にのみパリティ不一致エラーをカウントする JESD204B 仕様から少し異なった部分です。

### エラー・カウンタのチェック

エラー・カウンタをチェックして、パリティ不一致エラー、テーブルに不一致エラー、予期しない制御文字エラーを調べることができます。エラー・カウンタは、レーンごとおよびエラー・タイプごとに行います。レーン・セレクトとカウンタ・セレクトはレジスタ 0x46B に設定され、エラー・カウンタは同じアドレスからリードバックされることに注意してください。エラー・カウンタをチェックするときは、次のステップに従います。

- 表示するカウンタのリンク・レーンとエラー・タイプを選択します。表 58 に従って、これらをレジスタ 0x46B に書込みます。リンク・レーンを選択するときは、先ずリンクを選択します (Link 0 を選択するときはレジスタ 0x300[2] = 0、または Link 1 を選択するときはレジスタ 0x300[2] = 1 (デュアル・リンクの場合))。Link 1 を使用する場合、リンク・レーン  $x$  は論理レーン  $x + 4$  を意味することに注意してください。
- エラー・カウンタをレジスタ 0x46B から読出します。最大エラー・カウンタは、レジスタ 0x47C に設定されたエラー・スレッシュホールドと一致することに注意してください。

表 58. エラー・カウンタ

Addr.	Bits	Variable	Description
0x46B	[6:4]	LaneSel	リンク・レーン $x$ のエラー・カウンタをモニタするときは LaneSel = $x$ 。エラー・カウンタのチェックのセクションのステップ 1 のリンク・レーンの注を参照。
	[1:0]	CntrSel	パリティ不一致カウンタ動作の場合 CntrSel = 0b00。テーブル不記載エラー・カウンタの場合 CntrSel = 0b01。予期しない制御文字カウンタの場合 CntrSel = 0b10。

### スレッシュホールドを超えるエラー・カウンタのチェック

エラー・カウンタのチェックのセクションで説明するレーンおよびエラー・タイプごとのエラー・カウンタの読出しの他に、レジスタをチェックして与えられたエラー・タイプに対するエラー・カウンタがプログラマブルなスレッシュホールドに到達したか否かを調べることができます。

同じエラー・スレッシュホールド値を 3 つのエラー・タイプ (パリティ不一致、テーブルに不一致、予期しない制御文字) に使用します。エラー・カウンタは、エラー・タイプごとです。この機能を使うときは、次のステップに従います。

- 所望のエラー・カウンタ・スレッシュホールドを ERRORTHRES (レジスタ 0x47C) に設定します。
- エラー・カウンタがエラー・スレッシュホールドに到達したか否かを調べる場合、各エラー・タイプのエラー・ステータスをリードバックします。
  - パリティ不一致エラーは、レジスタ 0x46D に報告されます。
  - テーブルに不一致エラーは、レジスタ 0x46E に報告されます。
  - 予期しない制御文字は、レジスタ 0x46F に報告されます。

### エラー・カウンタと IRQ 制御

レジスタ 0x46D とレジスタ 0x46F に書込みを行って、エラー・カウンタをリセットまたはディスエーブルし、与えられたレーンの IRQ をリセットすることができます。スレッシュホールドを超えたエラー・カウンタを報告するために使うレジスタは同じであるため (スレッシュホールドを超えるエラー・カウンタのチェックのセクション参照)、リードバック値は書き込まれた値と異なることに注意してください。各エラー・タイプに対して

- アクセスするリンク・レーンを選択します。リンク・レーンを選択するときは、先ずリンクを選択します (Link 0 を選択するときはレジスタ 0x300[2] = 0、Link 1 を選択するときはレジスタ 0x300[2] = 1 (デュアル・リンクの場合))。Link 1 を使用する場合、リンク・レーン  $x$  は論理レーン  $x + 4$  を意味することに注意してください。
- IRQ のリセット、エラー・カウンタのディスエーブル、および/または与えられたレーンとエラー・タイプのエラー・カウンタのリセットのいずれを行うか決めてください。
- リンク・レーンおよび所望のリセットまたはディスエーブル動作を表 59 に従いレジスタ 0x46D ~ レジスタ 0x46F に書込みます。

表 59. エラー・カウンタと IRQ 制御: パリティ不一致 (レジスタ 0x46D)、テーブルに不一致 (レジスタ 0x46E)、予期しない制御文字 (レジスタ 0x46F)

Bits	Variable	Description
7	RstIRQ	ビット[2:0]で選択したレーンの IRQ をリセットするときは RstIRQ = 1。
6	Disable_ErrCnt	ビット[2:0]で選択したレーンのエラー・カウンタをディスエーブルするときは Disable_ErrCnt = 1。
5	RstErrCntr	ビット[2:0]で選択したレーンのエラー・カウンタをリセットするときは RstErrCntr = 1。
[2:0]	LaneAddr	リンク・レーン $x$ のエラー・カウンタをモニタするときは LaneAddr = $x$ 。エラー・カウンタのチェックのセクションのステップ 1 のリンク・レーンの注を参照。

### SYNCOUTx±を使用するエラー・モニタ

1 個または複数のパリティ不一致、テーブルに不一致、または予期しない制御文字エラーが発生した場合、エラーは JESD204B 仕様のセクション 7.6 に従い SYNCOUTx± ピンに報告されます。JESD204B 仕様では、エラーが発生したとき正確に 2 フレーム周期間 SYNCOUTx± 信号をアサートすると規定しています。AD9144 の場合、SYNCOUTx± パルスの幅は  $\frac{1}{2}$ 、1、または 2 PClock サイクルに設定することができます。2 フレーム・クロック・サイクルの SYNCOUTx± パルスを実現する設定を表 60 に示します。

表 60. SYNCOUTx± エラー・パルス幅の設定

JESD Mode IDs	PClockFactor (Frames/PClock)	SYNCB_ERR_DUR (Register 0x312[5:4]) Setting <sup>1</sup>
0, 4, 9	4	0 (default)
1, 2, 5, 6, 10	2	1
3, 7	1	2

<sup>1</sup> これらのレジスタの設定値は、SYNCOUTx± 信号を 2 フレーム・クロック・サイクルのパルス幅でアサートします。

### パリティ不一致、NIT、予期しない制御文字の IRQ

パリティ不一致、テーブルに不一致、予期しない制御文字エラーに対して、スレッシュホールドを超えるエラー・カウント・イベントは、IRQ イベントになります。レジスタ 0x47A[7:5] に書き込みを行って、これらのイベントを有効にします。IRQ をイネーブルした後、同じアドレス (レジスタ 0x47A[7:5]) から IRQ イベント・ステータスを読出すことができます。

IRQ のリセットについては、エラー・カウンタと IRQ 制御のセクションを参照してください。IRQ の詳細については、割込み要求動作のセクションを参照してください。

### 再初期化を必要とするエラー

JESD 仕様のセクション 7.1 に従い 4 個の無効なパリティ不一致文字が受信されると、リンクの再初期化が自動的に発生します。リンクの再初期化が発生すると、再同期要求は 5 フレームおよび 9 オクテット長になります。

パリティ不一致エラー、テーブルに不一致エラー、または予期しない制御文字のエラー・カウントがプログラマブルなエラー・スレッシュホールドに到達したとき、オプション設定でリンクを再初期化することができます。エラー・タイプに対する再初期化機能をイネーブルするときは次の手順に従います。

1. THRESHOLD\_MASK\_EN (レジスタ 0x477[3]) = 1 を設定します。このビットをセットした場合、スレッシュホールドまたは最大値でマスクされていないエラーは飽和しないことに注意してください。
2. 表 61 に従い、SYNC\_ASSERTION\_MASK (レジスタ 0x47B[7:5]) に書き込みを行って、エラーの各タイプの同期アサーション・マスクをイネーブルしてください。
3. 所望のエラー・カウンタ・スレッシュホールドを ERRORTHRES (レジスタ 0x47C) に書き込みます。
4. SYNC\_ASSERTION\_MASK レジスタでイネーブルされた各エラー・タイプに対して、いずれかのレーンのエラー・カウンタが設定されたスレッシュホールドに到達すると、SYNCOUTx± が停止し、同期要求を発行します。リンクの再初期化が発生するとすべてのエラー・カウントがリセットされることに注意してください。しかしながら IRQ はリセットされないため、マニュアルでリセットする必要があります。

表 61. 同期アサーション・マスク

Addr.	Bit No.	Bit Name	Description
0x47B	7	BADDIS_S	パリティ不一致エラー・カウントがスレッシュホールドに到達した場合、1 を設定して SYNCOUTx± をアサート。
	6	NIT_S	テーブル不記載エラー・カウントがスレッシュホールドに到達した場合、1 を設定して SYNCOUTx± をアサート。
	5	UCC_S	予期しない制御文字カウントがスレッシュホールドに到達した場合、1 を設定して SYNCOUTx± をアサート。

### CGS、フレーム同期、チェックサム、ILAS のモニタリング

レジスタ 0x470 ~ レジスタ 0x473 をモニタして、JESD204B リンク確立の各ステージが起動したことを確認することができます。レジスタ 0x300[2] = 0 を設定して Link 0 のレーンのステータスを、レジスタ 0x300[2] = 1 を設定して Link 1 のレーンのステータスを、それぞれモニタします。

リンク・レーン x が少なくとも 4 個の K28.5 シンボルのコードを受信し、コード・グループ同期に成功した場合、CODEGRPSYNCFLAG (レジスタ 0x470) のビット x がハイ・レベルになります。

リンク・レーン x が初期フレーム同期を完了した場合、FRAMESYNCFLAG (レジスタ 0x471) のビット x がハイ・レベルになります。

レーン経由で送信されたチェックサムがリンク・レーン x に対して ILAS 中にレーンを経由して送信された JESD 204B パラメータの和に一致した場合、GOODCHKSUMFLG (レジスタ 0x472) のビット x がハイ・レベルになります。レジスタ内の個々のフィールドを加算することにより、またはバックされたレジスタを加算することにより、パラメータを追加することができます。レジスタ 0x300[6] = 0 (デフォルト) の場合、計算したチェックサムは、DID、BID、LID、SCR、L-1、F-1、K-1、M-1、N-1、SUBCLASSV、NP-1、JESDV、S-1、HD の各フィールドの和の下位 8 ビットになります。レジスタ 0x300[6] = 1 の場合、計算したチェックサムは、レジスタ 0x400 ~ レジスタ 0x40C および LID の和の下位 8 ビットになります。

リンク・レーン x が初期レーン・アライメント・シーケンスに成功すると、INITIALLANESYNC (レジスタ 0x473) のビット x がハイ・レベルになります。

### CGS、FrameSync、Checksum、ILAS の IRQ

CGS、FrameSync、Checksum、ILAS のフェイル信号は IRQ イベントになります。レジスタ 0x47A[3:0] に書き込みを行って、これらをイネーブルします。IRQ をイネーブルした後、IRQ イベント・ステータスは同じアドレス (レジスタ 0x47A[3:0]) から読出すことができます。CGS IRQ をリセットするときは、レジスタ 0x470[7] に 1 を書き込みます。FrameSync IRQ をリセットするときは、レジスタ 0x471 に 1 を書き込みます。Checksum IRQ をリセットするときは、レジスタ 0x472 に 1 を書き込みます。ILAS IRQ をリセットするときは、レジスタ 0x473 に 1 を書き込みます。

詳細については、割込み要求動作のセクションを参照してください。

### 設定不一致 IRQ

AD9144には、IRQ イベントとして使用可能な設定不一致フラグがあります。レジスタ 0x47B[3]を使って不一致フラグをイネーブルし(デフォルトでイネーブルされています)、次にレジスタ 0x47B[4]を使って、ステータスのリードバックと IRQ 信号のリセットを行います。詳細については、割込み要求動作のセクションを参照してください。

リンク設定値 (レジスタ 0x450~レジスタ 0x45D) が送信された JESD204B 設定値 (レジスタ 0x400~レジスタ 0x40D) に一致しないとき、設定不一致イベント・フラグがハイ・レベルになります。これらすべてのレジスタは、リンクごとにページ化されています (レジスタ 0x300)。

この機能はレジスタ 0x472 内の正常チェックサム・フラグとは異なることに注意してください。正常チェックサム・フラグは、送信されたチェックサムが送信された設定値に基づいて計算されたチェックサムと一致することを確認します。設定不一致イベントは、送信された設定が設定値に一致することを確認します。

## ハードウェアの考慮事項

### 電源の推奨事項

各電源の使用領域を表 62 に示します。電源は、図 62 に示すように個別の PCB 領域にグループ化することができます。AD9144 のすべての電源は、最適動作のためにできるだけノイズがないようにする必要があります。電源ノイズは性能に影響を与える周波数成分を持ち、 $V_{rms}$  で規定されます。

電源出力にノイズを減衰させる LC フィルタを使用することが推奨され、AD9144 の直近に配置する必要があります。効果的なフィルタを図 62 に示します。このフィルタ方式は、高周波ノイズ成分を小さくします。AD9144 の各電源ピンとグラウンド・プレーンとの間にも 0.1  $\mu\text{F}$  のデカップリング・コンデンサを接続す

る必要があります(図 62 参照)。このコンデンサは電源ピンのできるだけ近くに配置してください。隣接した電源ピンでは、バイパス・コンデンサを共用することができます。AD9144 のグラウンド・ピンは、ビアを使ってグラウンド・プレーンへ接続します。

### 電源プレーンとグラウンド・プレーン

グラウンド・ループを回避し、制御されたインピーダンスを必要とする高速伝送線に対して安定した途切れることのないグラウンド・リファレンス (基準電位) を提供するため、厚いグラウンド・プレーンの採用が推奨されます。制御されたインピーダンス・パターンの全長が1枚のセグメント化したプレーンを横切らないかぎり、制御されたインピーダンス (伝送路の特性インピーダンス) に対するリファレンスとしてセグメント化した電源プレーンを使用しないでください。これらおよびその他の高速伝送線回路のガイドラインについては、JESD204B シリアル・インターフェース入力 (SERDIN0 $\pm$ ~SERDIN7 $\pm$ ) のセクションを参照してください。

表 62. 電源

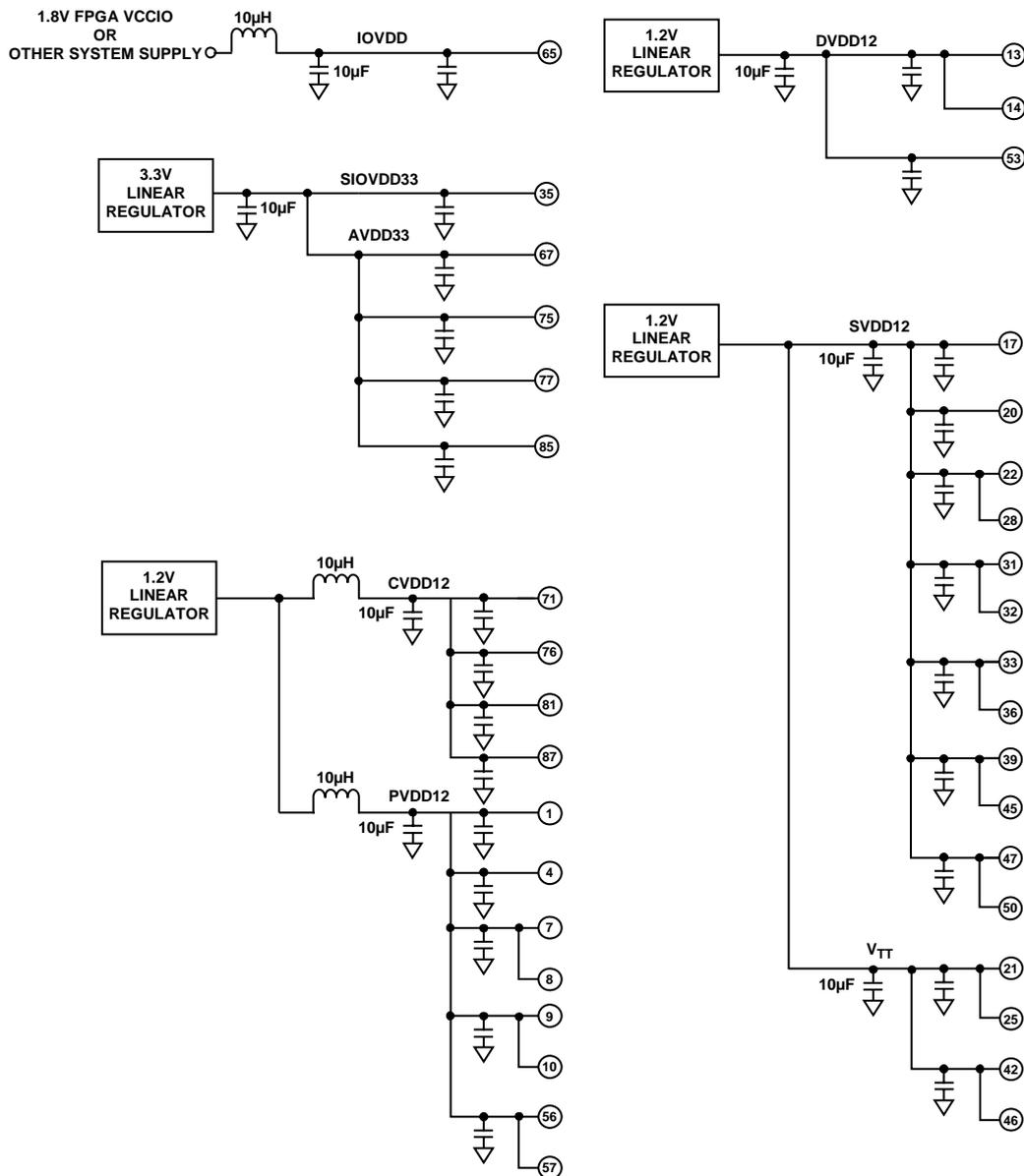
Supply Domain	Voltage (V)	Circuitry
DVDD12 <sup>1</sup>	1.2	Digital core
PVDD12 <sup>2</sup>	1.2	DAC PLL
SVDD12 <sup>3</sup>	1.2	JESD204B receiver interface
CVDD121	1.2	DAC clocking
IOVDD	1.8	SPI interface
$V_{TT}$ <sup>4</sup>	1.2	$V_{TT}$
SIOVDD33	3.3	Sync LVDS transmit
AVDD33	3.3	DAC

<sup>1</sup> 最大 DAC サンプル・レートで動作する場合、この電源は 1.3 V 電源を必要とします。詳細については、表 3 を参照してください。

<sup>2</sup> この電源は同じレギュレータの CVDD12 と組み合わせることができますが、別の電源フィルタとピンの近くに適切なバイパス・コンデンサ回路が必要です。

<sup>3</sup> 最大インターフェース・レートで動作する場合、この電源は 1.3 V 電源を必要とします。詳細については、表 4 を参照してください。

<sup>4</sup> この電源は SVDD12 に接続できますが、別の回路は不要です。



NOTES  
 1. UNLABELED CAPACITORS ARE 0.1µF, AS CLOSE AS POSSIBLE TO DEVICE PIN(S), WITH MINIMUM DISTANCE AND VIAS BETWEEN CAPACITORS AND PIN(S).

11675-039

図 62. JESD204B インターフェース PCB 電源ドメインの推奨事項

**JESD204B シリアル・インターフェース入力 (SERDIN0±~SERDIN7±)**

JESD204B シリアル・インターフェース伝送線のレイアウトでは、最適なリンク性能を維持するために考慮すべき多くのファクタがあります。これらのファクタのなかでも、挿入損失、リターン損失、信号スキュー、差動パターン回路が重要です。

**挿入損失**

JESD204B 仕様では、送信チャンネルで許容される挿入損失量を規定しています (図 39 参照)。AD9144 のイコライザ回路を使うことにより、JESD204B 仕様で要求されるチャンネルで損失限界よりかなり大きい損失を許容できるようになります。

それでも、次のガイドラインに従って PCB デザインでの挿入損失量を小さくすることが重要です。

- AD9144 をできるだけ送信ロジック・デバイスの近くに配置して差動パターン長を短くし、デバイス間のパターンはできるだけ直線的に配線します。
- 厚いグラウンド・プレーンをリファレンスとして使い、同一面のプレーン上で差動対を配線します。
- 可能な場合、誘電率の小さい (<4) PCB 材料を使って、損失を小さくします。

ストリップライン技術またはマイクロストリップ技術を選択する場合、次の点を念頭においてください。すなわち、損失と EMI 放出はストリップライン構成の方が小さいですが (図 40 と図 41 参照)、インピーダンス制御を困難にするビアの使用が必要になります。これに対して、露出面での配線が可能となるような部品の配置と密度の場合、マイクロストリップ構成は容易に実現でき、インピーダンス制御も容易になります。

PCB 上面の使用が問題となる場合、ストリップラインの利点を利用する場合は、次の推奨事項に従ってください。

- ビア数を少なくしてください。
- 可能な場合、ブラインド・ビアを使ってビアの副作用をなくし、マイクロ・ビアを使ってビアのインダクタンスを小さくしてください。
- 標準ビアを使う場合、最大長のビアを使ってスタブ・サイズを小さくしてください。例えば、8 層ボードで 7 層目をストリップライン対に使用します (図 63 参照)。
- 各ビア対に対してグラウンド・ビア対を隣接して配置して、インピーダンスの不連続性を小さくします (図 63 参照)。

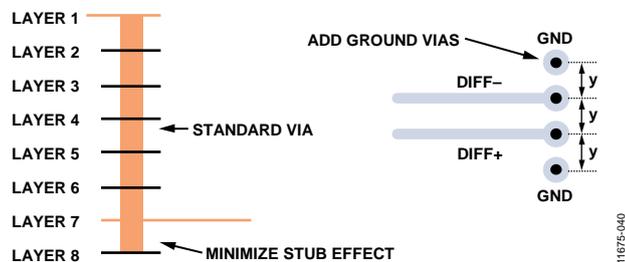


図 63.スタブの影響を小さくし、差動ストリップラインのパターンにグラウンド・ビアを追加

リターンロス

JESD204B 仕様では、コンバータ・デバイスとロジック・デバイス内で許容できるリターン損失量を規定していますが、チャンネルのリターン損失は規定していません。ただし、送信ロジック・デバイスと AD9144 との間の伝送線のインピーダンスの連続性を維持するために必要なことはすべて行う必要があります。挿入損失のセクションに記載したように、ビアの使用を少なくするか、まったく使用しないようにして、伝送線のインピーダンス不整合 (ミスマッチング) の主な原因の 1 つを小さくします。差動パターンの真下 (マイクロストリップラインの場合) または上と下 (ストリップラインの場合) の厚いリファレンス電圧のプレーンを維持して、伝送線インピーダンスの連続性を確保してください。ストリップライン技術を使用する場合、挿入損失のセクションに示すガイドラインに従って、インピーダンス不整合とスタブの影響を小さくしてください。

インピーダンス不整合のもう 1 つの主要原因は、伝送線の両端にあり、ここで終端インピーダンスと伝送線インピーダンスを一致させるように注意する必要があります。AD9144 では、ライン受信端に対するキャリブレーション終端方式を使ってこれを内部で処理します。この回路とキャリブレーション・ルーチンの詳細については、インターフェースのパワーアップと入力終端のセクションを参照してください。

信号スキュー

信号スキューには多くの原因がありますが、PCB のレイアウトで考慮すべき 2 つの原因は、1 本の JESD204B リンク内のインターコネクト・スキューと複数の JESD204B リンク間のスキューです。各ケースとも、最大 10.6 Gbps の速度で JESD204B リンクを動作させるためには、チャンネル長の差を 15 mm 以内で一致させことで十分です。1 本のリンク内でインターコネクト・スキューを管理することは簡単です。複数デバイスで複数のリンクを管理することは複雑ですが、長さを一致させる 15 mm ガイドラインに従ってください。

回路

差動対の片方でグラウンドに対し 50 Ω インピーダンスを実現するように、差動 SERDIN<sub>x±</sub> 対を構成してください。ストリップライン対マイクロストリップのトレードオフを挿入損失のセクションに示します。いずれの場合も、高速デジタル信号やノイズの多い電源のようなノイズ源からこれらの伝送線を離すことが重要です。ストリップラインの差動パターンを使用する場合、同一平面内で配線し、両パターンを同じ層にしてください。この方法は側面配線法 (パターンを隣接層に配線) よりノイズ耐性を向上させませんが、インピーダンスの連続性を維持するように配線し製造することは容易です。側面配線対同一平面配線の説明を図 64 に示します。

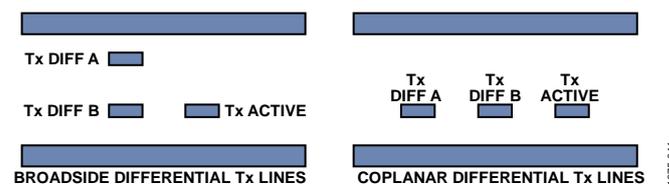


図 64.差動ストリップライン配線技術—側面配線対同一平面配線

パターン幅対銅重量および厚さを考察する場合、インターフェース速度に配慮する必要があります。マルチギガビット速度では、導体の表皮効果により電流が導体表面に集中します。損失を小さくするためパターン幅を広くして、導体の表面積を大きくしてください。さらに、広いパターン幅を可能にするため差動パターンの結合を緩くしてください。部品、ビア、コネクタ、またはその他の配線部品を配置するためパターンを分離させる必要がある場合に、これはクロストークを小さくし、インピーダンス不整合を小さくすることに役立ちます。差動パターンの結合が強い場合と弱い場合を図 65 に示します。

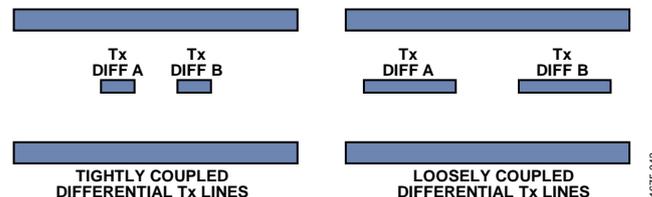


図 65.差動パターンの結合が強い場合と弱い場合

## AC 結合コンデンサ

AD9144 では、JESD204B 入力信号は信号ソースに AC 結合することが必要です。これらのコンデンサは 100 nF で、できるだけ送信ロジック・デバイスの近くに配置する必要があります。パッドでのインピーダンス不整合を小さくするため、PCB 上のパッド・サイズができるだけパターン幅に一致するようにコンデンサのパッケージ・サイズを選択してください。

## SYNCOUTx±、SYSREF±、CLK±の各信号

AD9144 の SYNCOUTx±信号と SYSREF±信号は、低速 LVDS 差動信号です。これらの信号を配線するときは、100 Ω の差動インピーダンスとグラウンドに対して 50 Ω を持つ制御されたインピーダンス・パターンを使ってください。SERDINO±~SERDIN7±のデータ・ペア線と同様に、高速デジタル信号やノイズの多い電源のようなノイズ源からこれらの信号を離すことが重要です。

SYNCOUTx±上のノイズは、誤って/K/シンボル・コードの要求と解釈されてしまうため、SYNCOUTx±信号をその他のノイズの多い信号から離してください。SYNCOUTx±信号には2つの動作モードがあります。レジスタ 0x2A5[0] はデフォルトで 0 になっています。これにより、SYNCOUTx±振幅が通常の振幅モードになります。このビットに 1 を設定すると、SYNCOUTx±振幅は高振幅モードに設定されます。詳細については、表 8 を参照してください。

CLK±信号と SYSREF±信号のクロック・ソースから JESD204B リンクの終端にある各デバイスまでのパターン長を同じ長さに維持することが重要です(図 66 参照)。CLK±と SYSREF±の位相を厳しく制御できるクロック・チップを使う場合、このパターン長の一致条件は大幅に軽減されます。

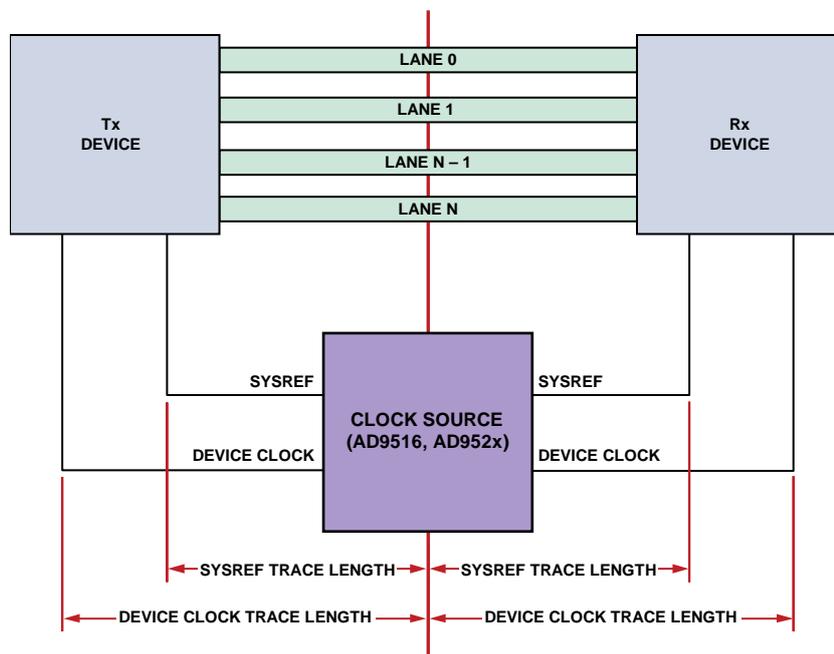


図 66. SYSREF 信号とデバイス・クロックのパターン長

11675-043

## デジタル・データパス

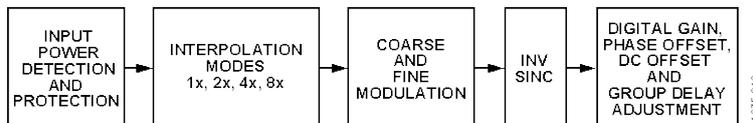


図 67. デジタル・データパスのブロック図

図 67 のブロック図をもとに、デジタル・データパスの機能を示します (全ブロックをバイパスすることもできます)。デジタル処理には、入力電力検出ブロック、3 個のハーフバンド・インターポレーション・フィルタ、微調整分解能 NCO および  $f_{DAC}/4$  と  $f_{DAC}/8$  の粗動変調ブロックから構成される直交変調器、逆 sinc フィルタ、ゲイン、位相、オフセット、群遅延調整ブロックが含まれます。

インターポレーション・フィルタには、個別の I データ・ストリームと Q データ・ストリームを入力します。変調機能を使う場合、正しく機能するためには I と Q は直交データである必要があります。

デジタル・データパス機能がイネーブル/ディスエーブルされると、パイプライン遅延が変化することに注意してください。固定の DAC パイプライン遅延が必要な場合は、初期設定の後これらの機能を設定しないでください。

### デュアル・ページング

DAC Dual を独立にまたは同時に設定可能にするため、デジタル・データパス・レジスタはページ化されます。表 63 に、デュアル・ページング・レジスタの使用法を示します。

表 63. ページング・モード

DUAL_PAGE Reg. 0x008[1:0]	Duals Paged	DACs Updated
1	A	DAC0 and DAC1
2	B	DAC2 and DAC3
3 (default)	A and B	DAC0, DAC1, DAC2, and DAC3

DAC Dual によって、入力データ・フォーマット、ダウンストリーム保護、インターポレーション、変調、逆 sinc、デジタル・ゲイン、位相オフセット、DC オフセット、群遅延、IQ スワップ、データパス PRBS、LMFC 同期、NCO アライメントなどの複数の機能がページ化されます。

### データ・フォーマット

デュアル・ページングのセクションで説明するようにページ化された BINARY\_FORMAT (レジスタ 0x110[7]) は、期待される入力データ・フォーマットを制御します。デフォルトで 0 になっています。これは入力データが 2 の補数であることを意味します。1 を設定することもできます。これは入力データがオフセット・バイナリ (0x0000 が負のフルスケールで、0xFFFF が正のフルスケール) であることを意味します。

### インターポレーション・フィルタ

送信パスには 3 個のハーフバンド・インターポレーション・フィルタが含まれており、各々は出力データ・レートを 2x にし、ローパス機能を提供します。フィルタをカスケード接続して、4x または 8x のインターポレーション比を提供することもできます。表 64 に、各インターポレーション・モードの選択方法、有効帯域幅、最大データ・レートを示します。 $f_{DATA} = f_{DAC}/\text{InterpolationFactor}$  であることに注意してください。インターポレーション・モードはページ化されています (デュアル・ページングのセクション参照)。サポートされていないインターポレーション・モードを選択すると、レジスタ 0x030[0] がハイ・レベルになります。

表 64. インターポレーション・モードと有効帯域幅

Interpolation Mode	INTERP_MODE Reg 0x112[2:0]	Usable Bandwidth	Maximum $f_{DATA}$ (MHz)
1x (Bypass)	0x00	$f_{DATA}$	1060 <sup>1</sup>
2x	0x01	$0.4 \times f_{DATA}$	1060 <sup>1</sup>
4x	0x03	$0.4 \times f_{DATA}$	700
8x	0x04	$0.4 \times f_{DATA}$	350

<sup>1</sup> 1x インターポレーションの最大速度は、JESD インターフェースにより制限されます。

### フィルタの性能

インターポレーション・フィルタは、着信データの変化を小さくすると同時にインターポレーション・イメージの発生を抑制する方法で、既存データと既存データの間を補間します。図 68 に、各フィルタのこの機能を示します。

有効帯域幅 (表 64 参照) は、フィルタが  $\pm 0.001$  dB より小さい通過帯域リップルと 85 dB より大きいイメージ除去比を持つ周波数帯域として定義されます。

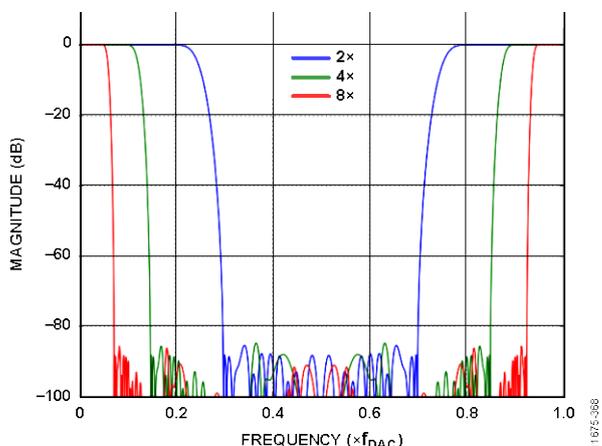


図 68. インターポレーション・フィルタのすべての帯域応答

規定帯域幅を超えたフィルタ性能

インターポレーション・フィルタは、 $0.4 \times f_{DATA}$  (通過帯域)と規定されています。フィルタはこの比を少し超えて使用することができますが、通過帯域リップルが大きくなり、インターポレーション・イメージ比が小さくなるという犠牲が生じます。

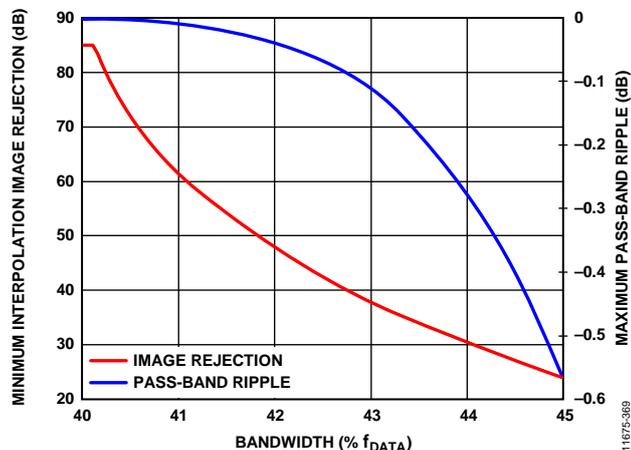


図 69. 規定帯域幅を超えたインターポレーション・フィルタ性能

図 69 に、 $0.4 \times f_{DATA}$  を超えたインターポレーション・フィルタの性能を示します。イメージ除去比の減少より遥かに低速でリップルが増加することに注意してください。これは、アプリケーションでインターポレーション・フィルタのイメージ除去比の性能低下を許容できれば、使用する帯域幅を広げることができることを意味します。

デジタル変調

AD9144 は、ベースバンド直交信号を所望の DAC 出力周波数へ変調するデジタル変調機能を内蔵しています。

粗動変調モード ( $f_{DAC}/4$  と  $f_{DAC}/8$ ) を使うと、これらの特定の周波数で変調することができます。NCO 微動変調モードを使うと、DAC レートに応じて 30 mW~120 mW の消費電力の増加になりますが、プログラマブルな周波数での変調が可能になります。変調モードは表 65 のように選択され、デュアル・ページングのセクションで説明するようにページ化されています。

表 65. 変調モードの選択

Modulation Mode	MODULATION_TYPE Register 0x111[3:2]
None	0b00
NCO Fine Modulation	0b01
Coarse - $f_{DAC}/4$	0b10
Coarse - $f_{DAC}/8$	0b11

NCO 微動変調

この変調モードでは、NCO、位相シフタ、複素変調器を使って、プログラマブルなキャリア信号で信号を変調します(図 70 参照)。この機能を使うと、出力信号を非常に小さい周波数分解能で出力スペクトルの任意の場所に配置することができます。

NCO は直交キャリアを発生して、入力信号を新しい中心周波数へ変換します。直交キャリアとは、同じ周波数の正弦波波形の対で、互いに位相が  $90^\circ$  ずれています。直交キャリアの周波数は、FTW を使って設定されます。直交キャリアは I データおよび Q データとミックスされ、加算されて I データパスと Q データパスに出力されます(図 70 参照)。

$$-f_{DAC}/2 \leq f_{CARRIER} < +f_{DAC}/2$$

$$FTW = (f_{CARRIER}/f_{DAC}) \times 2^{48}$$

ここで、FTW は 48 ビット 2 の補数値です。

周波数チューニング・ワードは、表 66 のように設定され、デュアル・ページングのセクションで説明するようにページ化されます。

表 66. NCO FTW レジスタ

Address	Value	Description
0x114	FTW[7:0]	FTW の最下位 8 ビット
0x115	FTW[15:8]	FTW の次の 8 ビット
0x116	FTW[23:16]	FTW の次の 8 ビット
0x117	FTW[31:24]	FTW の次の 8 ビット
0x118	FTW[39:32]	FTW の次の 8 ビット
0x119	FTW[47:40]	FTW の最上位 8 ビット

FTW レジスタは他のレジスタとは異なり、書込みにより直ちに更新されません。その代わりに、FTW レジスタは FTW\_UPDATE\_REQ (レジスタ 0x113[0]) の立上がりエッジで更新されます。更新要求の後、FTW\_UPDATE\_ACK (レジスタ 0x113[1]) がハイ・レベルになって、FTW が更新されたことを確認する必要があります。

SEL\_SIDE BAND (レジスタ 0x111[1]; デュアル・ページングのセクションの説明に従いページ化)は、負の変調結果を使用するときを設定できる便利なビットです。これは、FTW の符号を反転することと等価です。

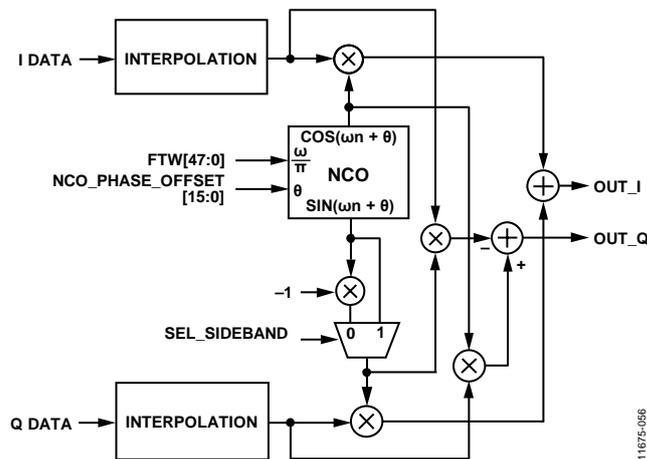


図 70. NCO 変調器のブロック図

## NCO 位相オフセット

位相オフセット機能を使うと、I位相とQ位相のローテーションが可能になります。この機能は位相調整とは異なり、IチャンネルとQチャンネルの位相を一緒に移動させます。位相オフセットは、NCO 微動変調を使用する場合にのみ使用することができます。

$$-180^\circ \leq \text{DegreesOffset} < +180^\circ$$

$$\text{PhaseOffset} = (\text{DegreesOffset}/180^\circ) \times 2^{15}$$

ここで、位相オフセットは16ビットの2の補数値です。

NCO 位相オフセットは、表 67 のように設定され、デュアル・ページングのセクションで説明するようにページ化されます。この機能は微動変調ブロックの一部であるため、位相オフセットは書き込み後直ちに更新されません。代わりに、FTW\_UPDATE\_REQ (レジスタ 0x113[0]) の立上がりエッジで FTW と一緒に更新されます。

表 67.NCO 位相オフセット・レジスタ

Address	Value
0x11A	PhaseOffsetI[7:0]
0x11B	PhaseOffset[15:8]

## 逆 Sinc

AD9144 は、周波数に対する DAC のロールオフを補償するデジタル逆 sinc フィルタを内蔵しています。INVSINC\_ENABLE ビット (レジスタ 0x111[7]; デュアル・ページングのセクションの説明に従いページ化) を設定すると、このフィルタはイネーブルされます。デフォルト設定では、イネーブルされています。

逆 sinc ( $\text{sinc}^{-1}$ ) フィルタは7タップの FIR フィルタです。図 71 に、 $\sin(x)/x$  ロールオフ、逆 sinc フィルタの周波数応答、およびその組み合わせによる応答を示します。コンポジット応答は、 $0.4 \times f_{\text{DACCLK}}$  の最大周波数まで  $\pm 0.05$  dB 以下の通過帯域リップルを持っています。通過帯域の上限に必要なピーキングを提供するため、この逆 sinc フィルタは約 3.8 dB の固有挿入損失を持ちます。多くの場合、これをデジタル・ゲインのセクションで説明するよう部分的に補償することができます。

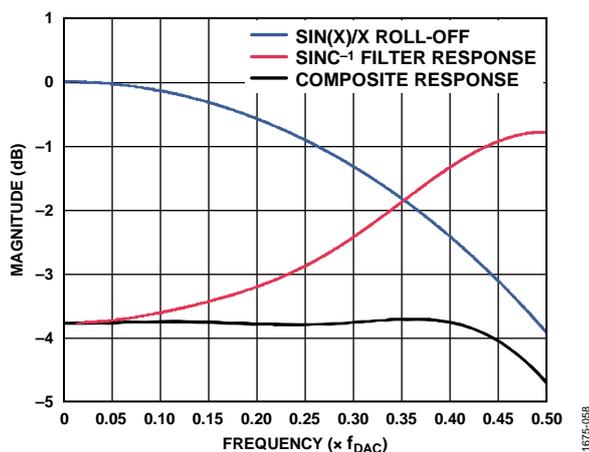


図 71.  $\sin(x)/x$  ロールオフ、 $\text{Sinc}^{-1}$  フィルタ、2つの入力信号電力検出と保護機能のコンポジットの応答

## デジタル・ゲイン、位相調整、DC オフセット、

## 群遅延

デジタル・ゲイン、位相調整、DC オフセット (デジタル・ゲインのセクション、位相調整のセクション、DC オフセットのセクション参照) を使うと、DAC I/Q 出力、直交変調器 I/Q ベースバンド入力、DAC/変調器インターフェース I/Q パスの間のアナログ回路の不一致から発生する I パスと Q パスの不平衡 (アンバランス) を補償することができます。これらの不平衡から次の 2 つの問題が発生します。

- 大きなエネルギーを持つ直交変調器出力の場所に不要なサイドバンド信号が現れます。これは、デジタル・ゲインと位相調整を使って除去することができます。直交ゲインと位相調整値のチューニングにより、シングル・サイドバンド無線での複素イメージ除去比を最適化することができます。あるいは、ゼロ IF (ZIF) アーキテクチャでエラー・ベクタ振幅 (EVM) を最適化することができます。
- I/Q の不一致により、変調器を通過する LO リークが発生しますが、これは DC オフセットを使って除去することができます。

群遅延を使うと、DAC 遅延を調整することができます。これはデジタル・プリディストーション (DPD) ループ遅延の調整で使用することができます。

## デジタル・ゲイン

デジタル・ゲインを使って、各 DAC へ入力するデジタル信号振幅を独立に調整することができます。この機能は、デュアルの I と Q チャンネル間のゲインのバランスをとる場合、または逆 sinc フィルタの挿入損失を相殺させる場合に、役立ちます。ブランキング・ステート・マシンを使用するときは、デジタル・ゲインをイネーブルする必要があります (ダウンストリーム保護のセクション参照)。デジタル・ゲインをディスエーブルする場合、TXENx をハイ・レベルに固定する必要があります。

DIG\_GAIN\_ENABLE ビット (レジスタ 0x111[5]; デュアル・ページングのセクションに従いページ化されています) を設定すると、デジタル・ゲインがイネーブルされます。機能のイネーブルの他に、所望のデジタル・ゲイン量 (GainCode) を設定する必要があります。デフォルトでは、デジタル・ゲインがイネーブルされ、GainCode は 0xAEA です。

$$0 \leq \text{Gain} \leq 4095/2048$$

$$-\infty \text{ dB} \leq \text{dBGain} \leq 6.018 \text{ dB}$$

$$\text{Gain} = \text{GainCode} \times (1/2048)$$

$$\text{dBGain} = 20 \times \log_{10}(\text{Gain})$$

$$\text{GainCode} = 2048 \times \text{Gain} = 2048 \times 10^{\text{dBGain}/20}$$

ここで、GainCode は 12 ビットの符号なしバイナリ値です。

I/Q デジタル・ゲインは表 68 のように設定され、デュアル・ページングのセクションの説明に従いページ化されています。

デフォルトの GainCode (0xAEA = 2.7 dB) は、2x インターポレーションを使用する場合デジタル・クリッピングが発生することなく、逆 sinc フィルタの挿入損失に対処するための適切な値です。この値は、図 71 の  $0.25 \times f_{\text{DAC}}$  から読み取ることができます。これは 2x インターポレーションを使う場合のナイキスト・レートです。4x と 8x のインターポレーションに対する推奨 GainCode 値は、それぞれ 0xBB3 (3.3 dB) と 0xBF8 (3.5 dB) です。

表 68. デジタル・ゲイン・レジスタ

Addr.	Value	Description
0x111[5]	DIG_GAIN_ENABLE	デジタル・ゲインをイネーブルするとき 1 を設定
0x13C	GainCodeI[7:0]	I DAC LSB ゲイン・コード
0x13D	GainCodeI[11:8]	I DAC MSB ゲイン・コード
0x13E	GainCodeQ[7:0]	Q DAC LSB ゲイン・コード
0x13F	GainCodeQ[11:8]	Q DAC MSB ゲイン・コード

### 位相調整

本来、各 DAC 対の I チャンネルと Q チャンネルの間の位相角度は 90°です。位相調整機能は I と Q チャンネルの間の位相角度を変化させます。この機能は、変調器に入力される位相をバランスさせるのに役立ちます。

$$-14 \leq \text{DegreesAdjust} < 14$$

$$\text{PhaseAdj} = (\text{DegreesAdjust}/14) \times 2^{12}$$

ここで、PhaseAdj は 13 ビットの 2 の補数値です。

位相調整は、表 69 のように設定され、デュアル・ページングのセクションで説明するようにページ化されます。

表 69. I/Q 位相調整レジスタ

Addr.	Value	Description
0x111[4]	PHASE_ADJ_ENABL E	位相調整をイネーブルするとき 1 を設定
0x11C	PhaseAdj[7:0]	LSB 位相調整コード
0x11D	PhaseAdj[12:8]	MSB 位相調整コード

### DC オフセット

DC オフセット機能を使って、I DAC または Q DAC に入力されるデータを個別にオフセットさせます。この機能は、LO リークを相殺させるときに使用することができます。

オフセットは、個別に I と Q に対して LSB の 16 ビットの 2 の補数値、および LSB の 16 番目の 5 ビットの 2 の補数値として設定されます(表 70 参照)。デュアル・ページングのセクションの説明に従って DC オフセットはページ化されています。

$$-2^{15} \leq \text{LSBsOffset} < 2^{15}$$

$$-16 \leq \text{SixteenthsOffset} \leq 15$$

表 70. DC オフセット・レジスタ

Addr.	Value	Description
0x135[0]	DC_OFFSET_ON	DC オフセットをイネーブルするとき 1 を設定
0x136	LSBsOffsetI[7:0]	I DAC LSB DC オフセット・コード
0x137	LSBsOffsetI[15:8]	I DAC MSB DC オフセット・コード
0x138	LSBsOffsetQ[7:0]	Q DAC LSB DC オフセット・コード
0x139	LSBsOffsetQ[15:8]	Q DAC MSB DC オフセット・コード
0x13A	SixteenthsOffsetI	I DAC サブ LSB DC オフセット・コード
0x13B	SixteenthsOffsetQ	Q DAC サブ LSB DC オフセット・コード

### 群遅延

群遅延機能を使って、I チャンネルと Q チャンネルを一緒に遅延させることができます。例えば、これは DPD ループ遅延の調整に役立ちます。

$$-4 \leq \text{DACClockCycles} \leq 3.5$$

$$\text{GroupDelay} = (\text{DACClockCycles} \times 2) + 8$$

ここで、GroupDelay は 4 ビットの 2 の補数値です。

GroupDelay を GROUP\_DELAY (レジスタ 0x014) に書込みます。これはデュアル・ページングのセクションの説明に従いページ化されています。

### I から Q へのスワップ

I\_TO\_Q (レジスタ 0x111[0]; デュアル・ページングのセクションの説明に従いページ化)は、I データパスを Q DAC へ、Q データパスを I DAC へ、それぞれ送信するように設定できる便利なビットです。このスワップはデジタル・データパスの最後に(変調、デジタル・ゲイン、位相調整、位相オフセットの後)実行されることに注意してください。

### NCO アライメント

NCO アライメント・ブロックを使って、複数のコンバータからの NCO 出力の位相を一致させます。AD9144 では、2 つの NCO アライメント・モードがサポートされています。1 つ目は SYSREF± アライメント・モードであり、SYSREF± パルスの立上がりエッジに NCO 出力の位相を一致させます。2 つ目のアライメント・モードはデータ・キー・アライメントであり、このモードをイネーブルすると、DAC 入力にユーザー固有のデータ・パターンが到着したとき AD9144 は各 NCO 出力の位相を一致させます。NCO アライメントはデュアルに基づき、デュアル・ページングのセクションの説明に従いページ化されていることに注意してください。

### SYSREF± NCO アライメント

LMFC アライメントの場合と同様に、Subclass 1 では、SYSREF± パルスを使って、システム内の複数デバイスの NCO 出力および同じデバイス内の複数チャンネルの NCO 出力の位相を一致させることができます。Subclass 0 では、このアライメント・モードを使ってデバイス内の NCO 出力の位相を内部処理クロック・エッジに一致させることができますことに注意してください。Subclass 0 では SYSREF± エッジは不要ですが、この場合マルチチップ・アライメントは、実現できません。SYSREF NCO アライメントを実現するときは次のステップに従ってください。

1. NCO\_ALIGN\_MODE (レジスタ 0x050[1:0]= 0b01)を SYSREF NCO アライメント・モードに設定します。
2. NCO\_ALIGN\_ARM (レジスタ 0x050[7]= 1)を設定します。
3. NCO 位相を強制的に一致させる LMFC アライメントを実行します (LMFC 信号の同期のセクション参照)。位相は次の SYSREF エッジで一致します。  
ワンショット同期モードでは、レジスタ 0x03A[6]= 1 を設定して LMFC アライメント・ブロックを準備し、連続モードまたはワンショット後のモニタ・モードでは、LMFC アライン・ブロックを準備する必要はありません。NCO アラインは次の SYSREF± エッジで自動的に切り替わります。
4. アライメント・ステータスをチェックします。NCO 位相アライメントに成功した場合は、NCO\_ALIGN\_PASS (レジスタ 0x050[4])= 1 になります。位相アライメントに失敗した場合は、NCO\_ALIGN\_FAIL (レジスタ 0x050[3])= 1 になります。

### データ・キー NCO アライメント

AD9144 は SYSREF± アライメント・モードのサポートの他に、ユーザー指定のパターンが DAC 入力で検出されたときに NCO 位相アライメントが発生するモードもサポートしています。このデータ・キー NCO アライメントを実現するときは、次のステップに従ってください。

1. NCO\_ALIGN\_MODE (レジスタ 0x050[1:0]) = 0b10 を設定します。
2. I データパスと Q データパスにアライメント開始のキーとなる特定コードの 16 ビット・データ・キーをそれぞれ NCOKEYI (レジスタ 0x051~レジスタ 0x052) と NCOKEYQ (レジスタ 0x053~レジスタ 0x054) に書込みます。
3. NCO\_ALIGN\_ARM (レジスタ 0x050[7]) = 1 を設定します。
4. 開始キーとなる 16 ビットの I データ・キーと Q データ・キーをデバイスへ送信して、NCO アライメントの待ち受け状態とします。
5. アライメント・ステータスをチェックします。期待されるデータ・キーが DAC 入力で検出されると、NCO\_ALIGN\_MTCH (レジスタ 0x050[5]) = 1 になります。NCO 位相アライメントに成功すると、NCO\_ALIGN\_PASS (レジスタ 0x050[4]) = 1 になります。位相アライメントに失

敗すると、NCO\_ALIGN\_FAIL (レジスタ 0x050[3]) = 1 になります。

データ・キー・アライメント・モードで、複数のデバイスの NCO アライメントを実現することができます。マルチチップ NCO アライメントを実現するときは、すべてのデバイスに同じデータ・キーを設定し、すべてのデバイスを準備し、データ・キーのコードをすべてのデバイス/チャンネルへ同時に送信します。

### NCO アライメント IRQ

NCO アラインが実施されたか否かを表示する IRQ イベントがあります。

レジスタ 0x021[4] を使って、DAC Dual A (DAC0 と DAC1) をイネーブルし、次にレジスタ 0x025[4] を使って、ステータスをリロードバックし、IRQ 信号をリセットします。

レジスタ 0x022[4] を使って、DAC Dual B (DAC2 と DAC3) をイネーブルし、次にレジスタ 0x026[4] を使って、ステータスをリロードバックし、IRQ 信号をリセットします。

詳細については、割込み要求動作のセクションを参照してください。

## ダウンストリーム保護

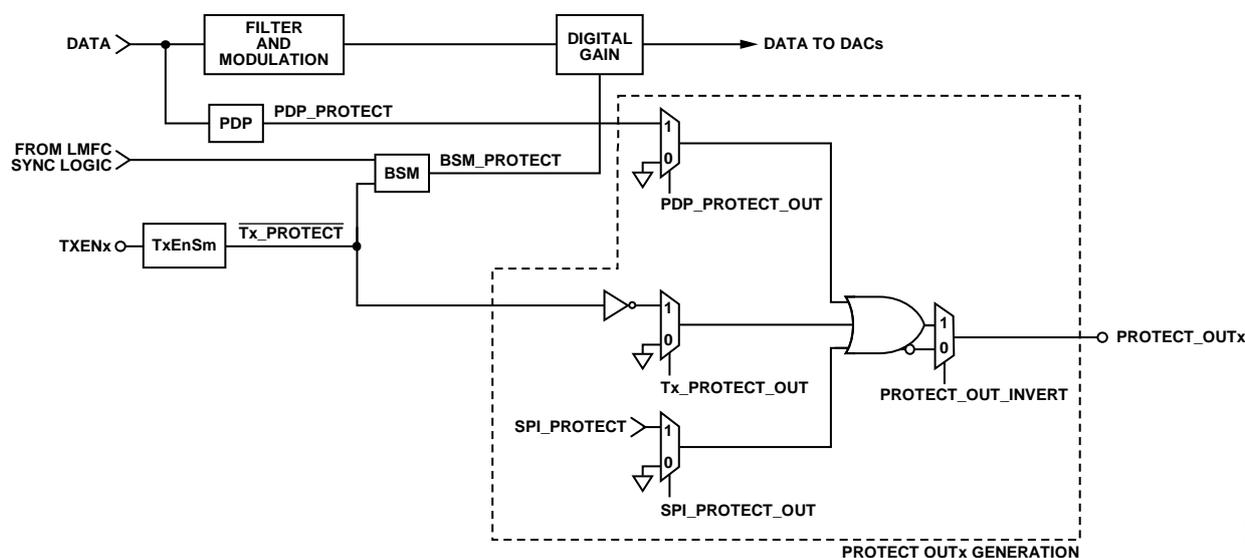


図 72.ダウンストリーム保護のブロック図

AD9144は、システムのパワーアンプ (PA)、およびその他のダウンストリーム・ブロックの保護を手助けするためにデザインされた複数のブロックを内蔵しています。電力検出および保護 (PDP) ブロック、ブランキング・ステート・マシン (BSM)、送信イネーブル・ステート・マシン (TxEnSM)から構成されています。

PDP ブロックを使って着信データをモニタすることができます。データ電力の移動平均があるスレッシュホールドを超えると、PDP ブロックは外部にこれを知らせる信号 (PDP\_PROTECT)を配信します。

TxEnSMは、TXENxとTx\_PROTECT信号との間の遅延を制御するシンプルなブロックです。Tx\_PROTECT信号はBSMへの入力として使用され、その反転信号はオプションで外部に配線することができます。オプションで、TxEnSMは対応するDAC Dualもパワーダウンさせることができます。

BSMはDACに入力されるデータを徐々にダウンさせ、データパスを固定値でクリアにします。BSMはTx\_PROTECT信号によりアクティブにされるか、またはローテーション時にLMFC同期ロジックにより自動的にアクティブにされます。正しく機能するためには、デジタル・ゲインをイネーブルする必要があります。デジタル・ゲインをディスエーブルする場合は、TXENをハイ・レベルに固定します。

最後に、これら各ブロックからの出力を簡単なロジックへ入力して、外部ピンに所望のPROTECT\_OUTx信号を発生するためにこれらを使用します。この信号を使って、PAのようなダウンストリーム・コンポーネントをイネーブル/ディスエーブルすることができます。

## 電力検出と保護

入力信号PDPブロックはDAC入力信号の平均電力を検出して、範囲外信号が次のステージへ渡されるのを防止するようにデザインされています。入力範囲を超える信号は、PAのような電力に弱いデバイスで破壊的なブレークダウンを発生させます。この保護機能は、PAをシャットダウンさせるため外部で利用できる信号 (PDP\_PROTECT)を提供します。

PDPブロックは、データパスより短い遅延を持つ別のパスを使って、範囲外信号がアナログDACコアに到達する前にPDP\_PROTECTがトリガされるようにします。I<sup>2</sup>とQ<sup>2</sup>の和が入力信号の電力表現として計算されます (計算はデータ・サンプルの上位7ビットだけを使用)。計算されたサンプル電力値は移動平均フィルタを使って積算されます。この移動平均フィルタ出力は、所定数のサンプル入力信号電力の平均になります。平均処理フィルタの出力がスレッシュホールドより大きい場合、内部信号PDP\_PROTECTがハイ・レベルになります。この信号は、オプションでPROTECT\_OUTx上の信号をトリガするように設定することができます。PDPブロックは表71のように設定され、デュアル・ページングのセクションで説明するようにページ化されています。

効果的な保護用のPDP\_AVG\_TIME (レジスタ0x062)とPDP\_THRESHOLD (レジスタ0x060~レジスタ0x061)選択は、アプリケーションに依存します。正しい設定のためには、実際のベクタで実験してください。設定済みスレッシュホールドを超えたとき、最大電力を保存することにより、PDP\_POWERリードバック (レジスタ0x063~レジスタ0x064)は役立ちます。

表 71.PDP レジスタ

Addr.	Bit No.	Value	Description
0x060	[7:0]	PDP_THRESHOLD[7:0]	PDP_PROTECT をトリガする電源。下位 8 ビット。
0x061	[4:0]	PDP_THRESHOLD[12:8]	上位 5 ビット。
0x062	7	PDP_ENABLE	PDP をイネーブルするときは 1 を設定。
	[3:0]	PDP_AVG_TIME	0~10 に設定可能。2(9+PDP_AVG_TIME)IQ サンプル対に対する平均。
0x063	[7:0]	PDP_POWER[7:0]	PDP_THRESHOLD を超えると、このときの最大電力がリードバックされます。そうでない場合は、瞬時電力がリードバックされます。下位 8 ビット。
0x064	[4:0]	PDP_POWER[12:8]	上位 5 ビット。

### 電力検出と保護 IRQ

PDP\_PROTECT 信号は、IRQ イベントとして使用することができます。

レジスタ 0x021[7]を使って Dual A (DAC0 と DAC1)用に PDP\_PROTECT をイネーブル、次にレジスタ 0x025[7]を使ってステータスをリードバックし、IRQ 信号をリセットします。

レジスタ 0x022[7]を使って、Dual B (DAC2 と DAC3)用に PDP\_PROTECT をイネーブルし、次にレジスタ 0x026[7]を使って、ステータスをリードバックし、IRQ 信号をリセットします。詳細については、割込み要求動作のセクションを参照してください。

### 送信イネーブル・ステート・マシン

TxEnSM は、TXENx 信号と TX\_PROTECT 信号との間の遅延を制御するシンプルなブロックです。この信号を BSM に対する入力として使い、その反転信号を外部ピン (PROTECT\_OUTx) へ配線して、ダウンストリーム・コンポーネントを必要に応じてターンオン/オフすることができます。

TXENx 信号を使って、対応する DAC Dual をパワーダウンさせることができます。DUALA\_MASK (レジスタ 0x012[0]) = 1 の場合、TXENx の立下がりエッジで DAC Dual A (DAC0 と DAC1)がパワーダウンします。DUALB\_MASK (レジスタ 0x012[0]) = 1 の場合、TXENx の立下がりエッジで DAC Dual B (DAC2 と DAC3)がパワーダウンします。DUALA\_MASK と DUALB\_MASK のイネーブルなしで、TXENx の立上がりエッジで BSM が安定した後には出力が有効になります (ブランキング・ステート・マシン (BSM)のセクション参照)。マスクをイネーブルすると、遅延が追加されます。BSM が安定し、DAC が完全にパワーオンするまで出力は有効になりません (公称約 35 μs 追加)。

TxEnSM は表 72 のように設定され、デュアル・ページングのセクションで説明するようにページ化されています。

表 72.TxEnSM レジスタ

Addr.	Bit No.	Value	Description
0x11F	[7:6]	FALL_COUNTERS	使用する立下がりカウンタ数 (1~2)。
	[5:4]	RISE_COUNTERS	使用する立上がりカウンタ数 (0~2)。
0x121	[7:0]	RISE_COUNT_0	TXEN の立上がりエッジから TX_PROTECT の立上りを 32 × RISE_COUNT_0 DAC クロック・サイクルだけ遅延させます。
0x122	[7:0]	RISE_COUNT_1	TXEN の立上がりエッジから TX_PROTECT の立上りを 32 × RISE_COUNT_1 DAC クロック・サイクルだけ遅延させます。
0x123	[7:0]	FALL_COUNT_0	TXEN の立上がりエッジから TX_PROTECT の立上りを 32 × FALL_COUNT_0 DAC クロック・サイクルだけ遅延させます。少なくとも 0x12 である必要があります。
0x124	[7:0]	FALL_COUNT_1	TXEN の立上がりエッジから TX_PROTECT の立上りを 32 × FALL_COUNT_1 DAC クロック・サイクルだけ遅延させます。

### ブランキング・ステート・マシン (BSM)

BSM は DAC に入力されるデータを徐々にダウンさせ、データパスを固定値でクリーンにします。

TX\_PROTECT の立下がりエッジで (TXENx 信号は TxEnSM により遅延させられます)、データパスは直前のデータ値を保持し、デジタル・ゲインが設定値から 0 まで徐々に下がります。同時に、データパスはゼロ (ミッドスケール) に固定されます。

TX\_PROTECT の立上がりエッジで、TXENx 信号は TxEnSM により遅延させられます。データは再度データパスを通過できるようになり、デジタル・ゲインは 0 から設定されたデジタル・ゲインまでデータを徐々に上がります。

上の両機能は、出力でのグリッチを防止するため、ローテーション時に LMFC 同期ロジックから自動的にトリガすることもできます。

### ランピング (ゲインの上げ下げ)

正しいランピングのために、デジタル・ゲインをイネーブルする必要があります。デジタル・ゲインをディスエーブルする場合は、TXEN をハイ・レベルに固定してください。

ゲインを 0 または指定値へ上下させるときに使用するステップ・サイズは、GAIN\_RAMP\_DOWN\_STEP レジスタ (レジスタ 0x142 とレジスタ 0x143)および GAIN\_RAMP\_UP\_STEP レジスタ (レジスタ 0x140 とレジスタ 0x141)を使って制御することができます。これらのレジスタは、デュアル・ページングのセクションで説明するようにページ化されています。

現状の BSM の状態は、リードバックすることができます (表 73 参照)。

表 73. ブランキング・ステート・マシン・ランピングのリードバック

Address	Value	Description
0x147[7:6]	0b00	データをミッドスケールに保持中。
	0b01	ゲインを 0 へランピング。データはミッドスケールへランピング。
	0b10	ゲインを指定値へランピング。データは通常振幅へランピング。
	0b11	データは通常振幅。

### ブランキング・ステート・マシン IRQ

ブランキング完了は、IRQ イベントとして使用可能です。

レジスタ 0x021[5] を使って、DAC Dual A (DAC0 と DAC1)用のブランキング完了をイネーブルし、次にレジスタ 0x025[5] を使ってステータスをリードバックし、IRQ 信号をリセットします。

レジスタ 0x022[5] を使って、DAC Dual B (DAC2 と DAC3)用のブランキング完了をイネーブルし、次にレジスタ 0x026[5] を使ってステータスをリードバックし、IRQ 信号をリセットします。

詳細については、割込み要求動作のセクションを参照してください。

### PROTECT\_OUTx の生成

レジスタ 0x013 は、外部 PROTECT\_OUTx 信号と OR 処理する信号を制御します。レジスタ 0x11F[2] を使って PROTECT\_OUTx 信号を反転させることができます。デフォルトで、出力が有効なとき、PROTECT\_OUTx はハイ・レベルになります。これらの両レジスタは、デュアル・ページングのセクションの説明に従いページ化されています。

表 74. PROTECT\_OUTx レジスタ

Addr.	Bit No.	Value	Description
0x013	6	PDP_PROTECT_OUT	1: PDP ブロックが PROTECT_OUT をトリガ
	5	TX_PROTECT_OUT	1: TXEnSM が PROTECT_OUT をトリガ
	3	SPI_PROTECT_OUT	1: SPI_PROTECT が PROTECT_OUT をトリガ
	2	SPI_PROTECT	SPI_PROTECT を設定
0x11F	2	PROTECT_OUT_INV ERT	PROTECT_OUTx を反転

### データパス PRBS

データパス PRBS を使って、AD9144 データパスが受信中で、データを正しくデコーディング中であることを確認することができます。データパス PRBS は、トランスミッタとレシーバの JESD204B パラメータが一致し、レシーバのレーンが正しくマッピングされ、必要に応じてレーンは正しく反転され、全体として起動ルーチンが正しく組み込まれていることを確認します。

データパス PRBS は、デュアル・ページングのセクションの説明に従いページ化されています。データパス PRBS テストを実行するときは、次のステップに従います。

1. デバイスを所望の動作モードに設定します。デバイスのセットアップについては、デバイスのセットアップ・ガイドのセクションを参照してください。
2. PRBS7 または PRBS15 データを送信します。
3. PRBS7 に対してレジスタ 0x14B[2] = 0 を、PRBS15 に対しては 1 を、それぞれ書込みます。
4. レジスタ 0x14B[1:0] = 0b11 を書込んで、PRBS テストをイネーブルし、リセットします。
5. レジスタ 0x14B[1:0] = 0b01 を書込んで、PRBS テストをイネーブル、リセットを解除します。
6. 500 ms 間待ちます。
7. データパス PRBS IRQ のセクションの説明に従い DAC0～DAC3 PRBS の IRQ をチェックして、ステータスをチェックします。
8. 不具合がある場合、レジスタ 0x008 = 0x01 を設定して、Dual A (DAC0/DAC1)のステータスを表示します。レジスタ 0x08 = 0x02 を設定して、Dual B (DAC2/DAC3)のステータスを表示します。
9. レジスタ 0x14B[7:6] を読みます。選択したデュアルの I DAC にエラーがある場合、ビット 6 が 0 になります。選択したデュアルの Q DAC にエラーがある場合、ビット 7 が 0 になります。これは IRQ に一致する必要があります。
10. レジスタ 0x14C を読み出して、選択したデュアルの IDAC のエラー・カウントを読み出します。レジスタ 0x14D を読み出して、選択したデュアルの Q DAC のエラー・カウントを読み出します。

PRBS は 1 度に 32 ビットを処理し、新しい 32 ビットと前に設定された 32 ビットを比較することに注意してください。32 ビットの各グループ内の 1 個のエラーのみを検出 (報告) するため、エラー・カウントは、エラーを検出したタイミングにある程度依存します。例えば、

- ビット: 32 正常、31 正常、1 異常; 32 正常 [2 エラー]
- ビット: 32 正常、22 正常、10 異常; 32 正常 [2 エラー]
- ビット: 32 正常、31 正常、1 異常; 31 正常、1 異常; 32 正常 [3 エラー]

### データパス PRBS IRQ

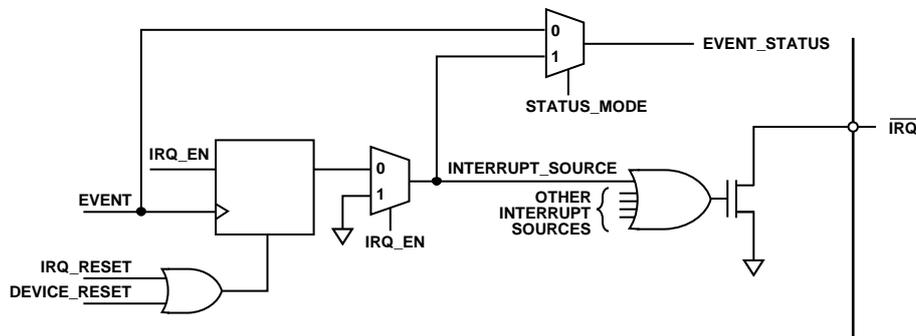
各 DAC の PRBS フェイル信号は IRQ イベントとして使用可能です。レジスタ 0x020[3:0] を使って、フェイル信号をイネーブルし、次にレジスタ 0x024[3:0] を使ってステータスをリードバックし、IRQ 信号をリセットします。詳細については、割込み要求動作のセクションを参照してください。

### DC テスト・モード

利便のために、AD9144 は DC テスト・モードを提供します。レジスタ 0x520[2] を設定すると、このモードがイネーブルされます。このモードをイネーブルすると、データパスのデータに 0 (ミッドスケール) が与えられます。

このテスト・モードは、DC オフセットと組み合わせて、DAC へ所望の DC データを供給します。デジタル変調 (周波数を設定) と DC オフセット (振幅を設定) を組み合わせることにより、このテスト・モードは DAC へ正弦波データを供給することもできます。DC オフセットのセクションを参照してください。

## 割込み要求動作

図 73.  $\overline{\text{IRQ}}$  回路の簡略化した回路図

AD9144 は、ピン 60 ( $\overline{\text{IRQ}}$ ) に割込み要求出力信号を出力します。この信号は、重要なデバイス・イベントを外部ホスト・プロセッサに通知する際に使用することができます。割込みがアサートされると、発生したイベントの詳細な内容をデバイスに問い合わせます。 $\overline{\text{IRQ}}$  ピンは、オープン・ドレインのアクティブ・ロー出力なので、デバイスの外部でこのピンをハイ・レベルプルアップしてください。このピンは、オープン・ドレイン出力を持つ他のデバイスの割込みピンに接続して、これらのピンをワイヤード OR 接続することができます。

図 73 に、IRQ ブロックの動作を説明する簡略化したブロック図を示します。 $\text{IRQ\_EN}$  がロー・レベルの場合、 $\text{INTERRUPT\_SOURCE}$  信号が 0 に設定されます。 $\text{IRQ\_EN}$  がハイ・レベルの場合、 $\text{EVENT}$  の任意の立上がりエッジで、 $\text{INTERRUPT\_SOURCE}$  信号がハイ・レベルに設定されます。任意の  $\text{INTERRUPT\_SOURCE}$  信号がハイ・レベルの場合、 $\overline{\text{IRQ}}$  ピンはロー・レベルになります。 $\text{IRQ\_RESET}$  信号または  $\text{DEVICE\_RESET}$  により、 $\text{INTERRUPT\_SOURCE}$  を 0 にリセットすることができます。

$\text{STATUS\_MODE}$  に応じて、 $\text{EVENT\_STATUS}$  ビットが  $\text{EVENT}$  または  $\text{INTERRUPT\_SOURCE}$  をリードバックします。AD9144 には複数の IRQ レジスタ・ブロックがあり、最大 75 個のイベントまでモニタすることができます (デバイス設定に依存します)。IRQ レジスタ・ブロックごとに詳細は変わります (表 75 参照)。表 76 に、図 73 に示す  $\text{IRQ\_EN}$ 、 $\text{IRQ\_RESET}$ 、 $\text{STATUS\_MODE}$  の各信号が発生するレジスタ、および  $\text{EVENT\_STATUS}$  がリードバックされるアドレスを示します。

表 75. IRQ レジスタ・ブロックの詳細

Register Block	EVENT Reported	EVENT_STATUS
0x01F to 0x026	Per chip	IRQ イネーブルの時 $\text{INTERRUPT\_SOURCE}$ そうでない時 $\text{EVENT}$
0x46D to 0x46F; 0x470 to 0x473; 0x47A	Per link and lane	IRQ イネーブルの時 $\text{INTERRUPT\_SOURCE}$ 相でないときは 0
0x47B[4]	Per link	IRQ イネーブルの時 $\text{INTERRUPT\_SOURCE}$ 、そうでない時は 0

## 割込みサービス・ルーチン

ホストの介入またはモニタリングを必要とするイベント・フラグのセットを選択すると、割込み要求管理が開始されます。ホストのアクションが必要なイベントをイネーブルして、そのイベントが発生したときホストに通知されるようにします。 $\overline{\text{IRQ}}$  が発生したときホストの介入が必要なイベントの場合、次のルーチンを実行して割込み要求をクリアします。

1. モニタ中のイベント・フラグ・ビットのステータスを読出します。
2. 0 を  $\text{IRQ\_EN}$  に書込んで、割込みをディスエーブルします。
3.  $\text{EVENT}$  ソースを読出します。レジスタ 0x01F~レジスタ 0x026 の場合、 $\text{EVENT\_STATUS}$  はライブ・リードバックを持っています。他のイベントの場合、各レジスタを調べます。
4.  $\text{EVENT}$  の原因を解消するために必要なアクションを実行します。多くの場合、特別なアクションは要求されません。
5.  $\text{EVENT}$  原因処理が期待通りに機能していることを確認します。
6.  $\text{IRQ\_RESET}$  に 1 を書込んで、割込みをクリアします。
7.  $\text{IRQ\_EN}$  に 1 を書込んで、割込みをイネーブルします。

表 76. IRQ 信号の IRQ レジスタ・ブロック・アドレスの詳細

Register Block	Address of IRQ Signals			
	IRQ_EN	IRQ_RESET	STATUS_MODE	EVENT_STATUS
0x01F to 0x026	0x01F to 0x022; R/W per chip	0x023 to 0x026; W per chip	STATUS_MODE = IRQ_EN	0x023 to 0x026; R per chip
0x46D to 0x46F	0x47A; W per link	0x46D to 0x46F; W per link and lane	N/A, STATUS_MODE = 1	0x47A; R per link
0x470 to 0x473	0x47A; W per link	0x470 to 0x473; W per link	N/A, STATUS_MODE = 1	0x47A; R per link
0x47B[4]	0x47B[3]; R/W per link; 1 by default	0x47B[4]; W per link	N/A, STATUS_MODE = 1	0x47B[4]; R per link

## DAC入力クロックの設定

AD9144 DAC サンプル・クロック (DACCLK)は CLK± (ピン 2 とピン 3)から直接入力するか、または CLK± 差動入力よりクロック通倍器を使って供給することができます。クロック通倍器は、所望の DACCLK レートの倍数分の 1 のリファレンス・クロックを入力する内蔵 PLL を使用しています。PLL はリファレンス・クロックを所望の DACCLK 周波数まで通倍して、DAC で必要とされるすべての内部クロックの発生に使用します。クロック通倍器は、大部分のアプリケーションの性能条件を満たす高品質のクロックを提供します。この内蔵クロック通倍器を使うと、高速 DACCLK の発振と分配の負担がなくなります。

もうひとつのモードは、クロック通倍回路をバイパスして、DACCLK を直接 DAC コアへ供給できるようにします。このモードを使用すると、非常に高品質のクロックを DAC コアへ供給することができます。

### CLK± 入力の駆動

図 74 に、CLK± 差動入力回路の簡略化した回路図を示します。内蔵クロック・レシーバの差動入力インピーダンスは 10 kΩ です。中点は約 600 mV の同相モード電圧に自己バイアスされています。入力は、クロック・ソースとレシーバの間を AC 結合した差動 PECL または LVDS ドライバから駆動することができます。

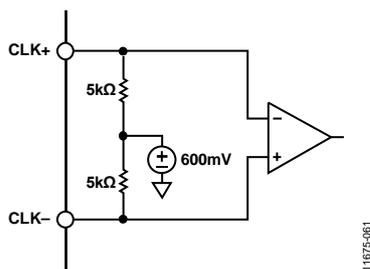


図 74. クロック・レシーバ入力の簡略化した等価回路

差動クロック入力の最小入力駆動レベルは、差動 400 mV p-p です。クロック入力信号は、差動 800 mV p-p～差動 1,000 mV p-p のとき、最適性能が得られます。内蔵クロック通倍器の使用か DACCLK の直接供給かによらず(両ケースとも CLK±ピンを使用)、デバイスへの入力クロック信号は、最適な DAC ノイズ性能を得るために小さいジッタと高速なエッジ・レートを持つ必要があります。低ノイズ・クロックを直接供給すると、DAC 出力で最良の低ノイズ・スペクトル密度が得られます。

デフォルトで、クロックとクロック・レシーバはパワーダウンしています。レジスタ 0x080 に書込みを行って、クロック回路をイネーブルする必要があります。デバイス上のすべてのクロックをイネーブルするときは、レジスタ 0x080 = 0x00 の書込みを行います。レジスタ 0x080 のビット 7 は、DAC0 と DAC1 のクロックをパワーアップさせます。ビット 6 は、DAC2 と DAC3 のクロックを、ビット 5 はデジタル・クロックを、ビット 4 は SERDES クロックを、ビット 3 はクロック・レシーバを、それぞれパワーアップさせます。

### クロックの通倍

内蔵の PLL クロック通倍回路を使って、低い周波数のリファレンス・クロックから高速の DAC サンプル・レート・クロックを発生することができます。このための VCO とループ・フィルタを含む PLL が内蔵されています。VCO は、6 GHz～12 GHz の周波数範囲で動作します。

PLL の動作設定パラメータは、PLL をイネーブルする前に設定する必要があります。PLL 設定方法のステップごとの説明は、PLL の起動のセクションに記載してあります。クロック通倍器の機能ブロック図を図 77 に示します。

クロック通倍回路は、CLK± 差動ピン (ピン 2 とピン 3)に供給される REFCLK 入力から DAC サンプル・クロックを発生します。REFCLK 入力の周波数は  $f_{REF}$  と呼ばれます。

REFCLK 入力は、変数 RefDivFactor で分周されます。位相周波数検出器 (PFD) ブロックへ入力される周波数が 35 MHz～80 MHz となるように RefDivFactor 変数を選択します。RefDivFactor の有効値は、1、2、4、8、16、32 です。各 RefDivFactor は、表 77 に従って該当する REF\_DIV\_MODE レジスタ制御に対応します。REF\_DIV\_MODE レジスタは、レジスタ 0x08C[2:0] を使って設定します。

表 77. RefDivFactor と REF\_DIV\_MODE との対応

DAC Reference Frequency Range (MHz)	Divide by (RefDivFactor)	REF_DIV_MODE Reg. 0x08C[2:0]
35 to 80	1	0
80 to 160	2	1
160 to 320	4	2
320 to 640	8	3
640 to 1000	16	4

$f_{REF}$  の範囲は 35 MHz～1 GHz で、PLL の出力周波数は 420 MHz～2 GHz です。次式を使って RefDivFactor を決めます。

$$35 \text{ MHz} < \frac{f_{REF}}{\text{RefDivFactor}} < 80 \text{ MHz} \quad (1)$$

ここで、

RefDivFactor はリファレンス分周器の分周比。  
 $f_{REF}$  は CLK± 入力ピンのリファレンス周波数。

BCount 値はループ分周器の分周比です。この値は、 $f_{DACCLK}$  を分周して周波数  $f_{REF}/\text{RefDivFactor}$  に一致するように設定します。次式を満たすように BCount を選択します。

$$\frac{f_{DACCLK}}{2 \times \text{BCount}} = \frac{f_{REF}}{\text{RefDivFactor}} \quad (2)$$

ここで、

BCount は帰還ループ分周器の分周比。  
 $f_{DACCLK}$  は DAC のサンプル・クロック。

BCount 値は、レジスタ 0x085 のビット [7:0] で設定されます。6～127 の値を設定することができます。

PFDは  $f_{REF}/RefDivRate$  と  $f_{DAC}/(2 \times BCount)$  を比較し、パルスを出してチャージ・ポンプの電圧を上下させ、それにより VCO 周波数を制御します。低ノイズ VCO は、6 GHz~12 GHz の発振範囲でオクターブ（2倍）の周波数チューニングが可能です。

クロック通信回路は、VCO が周波数  $f_{VCO}$  を出力するように動作します。

$$f_{VCO} = f_{DACCLK} \times LODivFactor \quad (3)$$

さらに式 2 から、DAC サンプル・クロック周波数  $f_{DACCLK}$  は次のようになります。

$$f_{DACCLK} = 2 \times BCount \times \frac{f_{REF}}{RefDivFactor} \quad (4)$$

LODivFactor は、 $f_{VCO}$  が 6 GHz~12 GHz の動作範囲に入るように選択されます。LODivFactor の有効な値は、4、8、16 です。各 LODivFactor は LO\_DIV\_MODE 値に対応します。LO\_DIV\_MODE (レジスタ 0x08B[1:0])は、表 78 のように設定されます。

表 78.DAC VCO 分周比の選択

DAC Frequency Range (MHz)	Divide by (LODivFactor)	LO_DIV_MODE Register 0x08B[1:0]
>1500	4	1
750 to 1500	8	2
420 to 750	16	3

表 79 に、PLL を正しく設定するために必要な RefDivFactor、LODivFactor、BCount 値に対する一般的な周波数例を示します。

表 79.一般的な周波数の例

Frequency (MHz)	$f_{DACCLK}$ (MHz)	$f_{VCO}$ (MHz)	RefDiv-Factor	LODiv-Factor	BCount
368.64	1474.56	11796.48	8	8	16
184.32	1474.56	11796.48	4	8	16
307.2	1228.88	9831.04	8	8	16
122.88	983.04	7864.35	2	8	8
61.44	983.04	7864.35	1	8	8
491.52	1966.08	7864.35	8	4	16
245.76	1966.08	7864.35	4	4	16

RF PLL フィルタはすべて内蔵されており、4 ビットで設定可能な 5 個の部品を持つ標準の受動 3 次フィルタです(図 75 参照)。C1、C2、C3、R1、R3 のフィルタ部品は、レジスタ 0x087~レジスタ 0x089 で設定されます。図 75 と図 76 に、一般に優れた性能を持つシンセサイザ構成向けのループ・フィルタの例を示します。

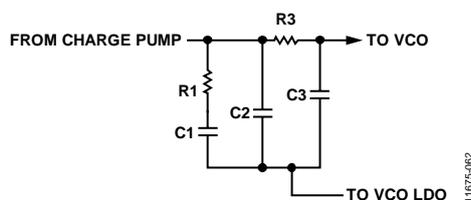


図 75.ループ・フィルタ

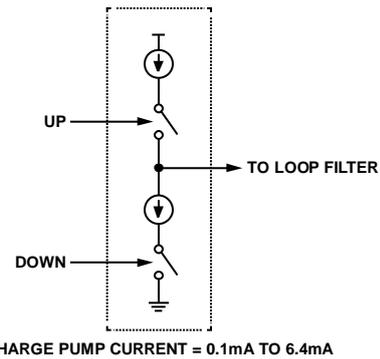


図 76.チャージ・ポンプ

表に、 $f_{VCO}$  に基づく様々なパラメータ・セットを示します。使用する表は、PLL の PFD ブロックに入力する周波数で決めます。表 96 と表 98 に、初期帯域キャリブレーションで温度ドリフトによりロックを失わないようにする最適化された VCO 温度補償係数を示します。

表 80.ルックアップ・テーブルの参照先

PFD Reference Frequency ( $f_{REF}/RefDivFactor$ )	Lookup Table
35 MHz to 50 MHz	40 MHz (see Table 96)
50 MHz to 70 MHz	60 MHz (see Table 97)
70 MHz to 80 MHz	80 MHz (see Table 98)

表 96~98 の必要とする VCO 周波数 ( $f_{VCO}$ ) の列から該当するパラメータ行を選択します。あるいは、使用する  $f_{VCO}$  周波数が表の値の間にある場合は、次の低い  $f_{VCO}$  を表から選択します。Band、Index、VCO  $K_v$  (バラクタのゲイン) と表示された列は、読み易くする参考情報です。他の列のデータは、ユーザーが取得しフォーマットしてデバイスへ書込むデータです。表の一番上の行のヘッダーに、ユーザーの書込みが必要な各設定値の該当するレジスタとビット位置を示します。

VCO パラメータは、先頭に選んだ VCO の番号を持つ行にあります。最後の 6 列は、特定の構成に対するチャージ・ポンプ電流とループ・フィルタの設定値です。ユーザーは、アナログ・デバイセズが提供する表 96~表 98 から VCO パラメータを取り出して、これらをデバイスの指定されたレジスタと位置にそのまま書込む必要があります。ただし、ユーザーは必要に応じて、特定のアプリケーションに合わせてチャージ・ポンプとループ・フィルタ・パラメータを変更することができます。

チャージ・ポンプ電流は 6 ビットで設定可能で、0.1 mA~6.4 mA の範囲で 0.1 mA ステップで変更できます。チャージ・ポンプ電流は、DAC PLL のレジスタ 0x08A に設定します。チャージ・ポンプ・キャリブレーションは、リファレンスのスプリアスを小さくするため、チップ初期化時に 1 回実行する必要があります。このキャリブレーションは、デフォルトでオンになっています。

チャージ・ポンプ・キャリブレーションは、PLL の最初のパワーアップで実行され、キャリブレーション係数はこの後のすべての再起動のために保持されます。レジスタ 0x083 に 0x10 を書込むと、PLL はイネーブルされますが、コンフィギュレーション・レジスタは、PLL をイネーブルする前に設定する必要があります。キャリブレーションではアップ電流とダウン電流を一致するように校正します。これにより、DAC 出力に現れるリファレンス周波数のスプリアスが小さくなります。チャージ・ポンプ・キャリブレーションには、リファレンス・クロックで 64 サイクルを要します。レジスタ 0x084 のビット 5 は、チャージ・ポンプ・キャリブレーションが完了して有効になったことを報告します。

VCO の温度係数 VCO\_VAR\_REF\_TC を正しく設定すると、デバイスは 512 個の VCO 帯域から 1 つを自動的に選択します。これを正しく設定するためには、レジスタ 0x1C4 に 0x73 を書込む必要がありますことに注意してください。デバイスが選択した PLL 設定値は、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$  のデバイス動作温度範囲で調整なしに PLL のロックが維持されることを保証します。初期化時にいずれかの温度限界値を超えていても、PLL はフル温度範囲でロック状態を維持します。

PLL ロック・ビットをチェックして、キャリブレーションが正常に完了したことを確認してください。PLL ロック・ビットは、レジスタ 0x084 のビット 1 です。

### PLL の起動

DAC PLL の設定は次のシーケンスに従います。

1. DAC 周波数条件に基づき VCO 周波数を決定します。
2. 所望の DAC 周波数を実現する VCO 分周器比を決定します。VCO 分周器比をレジスタ 0x08B[1:0] に設定します。
3. 所望の PLL リファレンス周波数 (35 MHz~80 MHz) を設定する BCount 比を決定します。BCount 比をレジスタ 0x085[7:0] に設定します。

4. 所望の PLL リファレンス周波数を実現するリファレンス分周器比を決定します。リファレンス分周器比をレジスタ 0x08C[2:0] に設定します。
5. ループ・フィルタとその他の制御パラメータを決定します。表 96~表 98 の先頭行ヘッダーに示すパラメータを設定します。各表は、特定の PLL リファレンス周波数 (40 MHz、60 MHz、または 80 MHz) に対して最適化されています。実際の PLL リファレンス周波数に最も近い周波数を使用します。表を選択した後、使用する VCO 周波数 ( $f_{\text{VCO}}$ ) を含む行からパラメータを選択するか、値が表の間になる場合は次の最小  $f_{\text{VCO}}$  を選択します。表に記載するレジスタに対応する値を書込みます。
6. レジスタ 0x083[4] に 1 を設定して、DAC PLL シンセサイザをイネーブルします。

レジスタ 0x084[5] は、DAC PLL キャリブレーションが完了して有効になったことを知らせます。

レジスタ 0x084[1] は PLL がロックしたことを知らせます。

レジスタ 0x084[7] とレジスタ 0x084[6] は、DAC PLL が動作帯域のそれぞれ上限または下限になったことを知らせます。これらのいずれかのビットがハイ・レベルになった場合、レジスタ 0x083[7] に 0 を設定した後に 1 を設定して、DAC PLL を再キャリブレーションします。

### DAC PLL IRQ

DAC PLL ロックとロスト信号は、IRQ イベントとして使用可能です。レジスタ 0x01F[5:4] を使ってこれらの信号をイネーブルし、レジスタ 0x023[5:4] を使ってステータスをリードバックして IRQ 信号をリセットします。詳細については、割込み要求動作のセクションを参照してください。

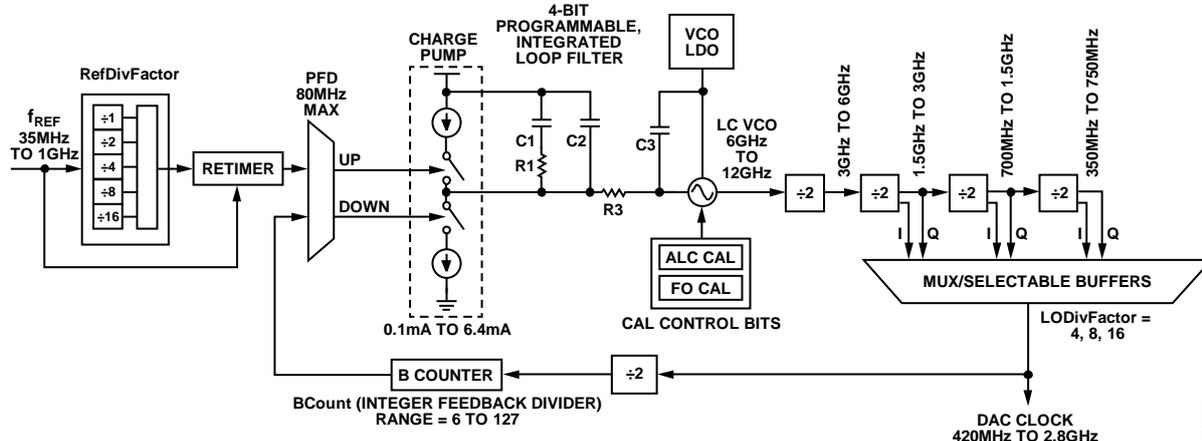


図 77. デバイス・クロック PLL のブロック図

## アナログ出力

### トランスミット DAC 動作

図 78 に、トランスミット・パス DAC の簡略化したブロック図を示します。DAC コアは、電流源アレイ、スイッチ・コア、デジタル制御ロジック、フルスケール出力電流制御から構成されています。DAC のフルスケール出力電流( $I_{OUTFS}$ )は公称 20.48 mA です。OUTx±ピンの出力電流は相補的 (コンプリメンタリ) であり、2 つの電流の和は常に DAC のフルスケール電流に一致します。DAC のデジタル入力コードが、負荷へ印加される実効差動電流を決定します。

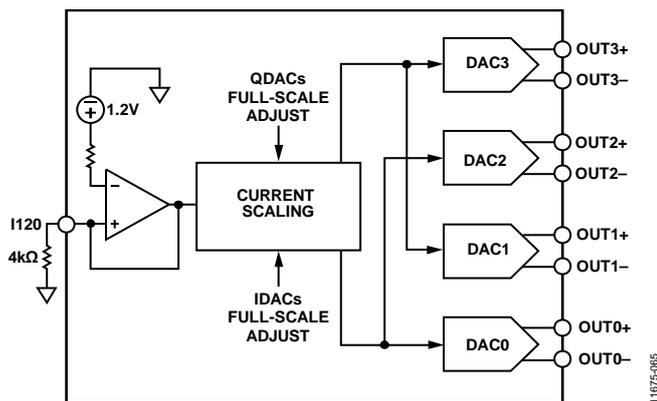


図 78. DAC コアの簡略化したブロック図

DAC は 1.2 V のバンド・ギャップ・リファレンスを内蔵しています。4 kΩ の外付け抵抗  $R_{SET}$  を I120 ピンとグラウンド・プレーン間に接続する必要があります。この抵抗とリファレンス制御アンプの組み合わせで、DAC の正しい内部バイアス電流が設定されます。フルスケール電流はこの抵抗に反比例するため、 $R_{SET}$  の精度誤差はフルスケール出力振幅に影響を与えます。

DACFSC\_x (ここで x は DAC0~DAC3 に対応する 0~3) は、10 ビットの 2 の補数値であり、4 個の各 DAC 出力のフルスケール電流を制御します。これらの値はレジスタ 0x040~レジスタ 0x047 に格納されています(表 81 参照)。

一般に各 DAC のフルスケール電流は次式で与えられます。

$$I_{OUTFS} = 20.48 + (\text{DACFSC}_x \times 13.1 \text{ mA}) / 2^{(10-1)}$$

たとえば  $V_{REF}$  (1.2 V)、 $R_{SET}$  (4 kΩ)、DACFSC\_x (0、これは 2 の補数で表したミッドスケール) の公称値に対して、DAC のフルスケール電流は 20.48 mA (typ) になります。該当する DACFSC\_x 値をレジスタ 0x040~レジスタ 0x047 に設定して、DAC フルスケール電流は 13.9 mA~27.0 mA の範囲で調整することができます。DAC ゲイン・コード対アナログ出力フルスケール電流のプロットを図 79 に示します。

表 81. DAC フルスケール電流レジスタ

Address	Value	Description
0x040[1:0]	DACFSC_0[9:8]	デュアル A I DAC MSB ゲイン・コード
0x041[7:0]	DACFSC_0[7:0]	デュアル A I DAC LSB ゲイン・コード
0x042[1:0]	DACFSC_1[9:8]	デュアル A Q DAC MSB ゲイン・コード
0x043[7:0]	DACFSC_1[7:0]	デュアル A Q DAC LSB ゲイン・コード
0x044[1:0]	DACFSC_2[9:8]	デュアル B I DAC MSB ゲイン・コード
0x045[7:0]	DACFSC_2[7:0]	デュアル B I DAC LSB ゲイン・コード
0x046[1:0]	DACFSC_3[9:8]	デュアル B Q DAC MSB ゲイン・コード
0x047[7:0]	DACFSC_3[7:0]	デュアル B IQDAC LSB ゲイン・コード

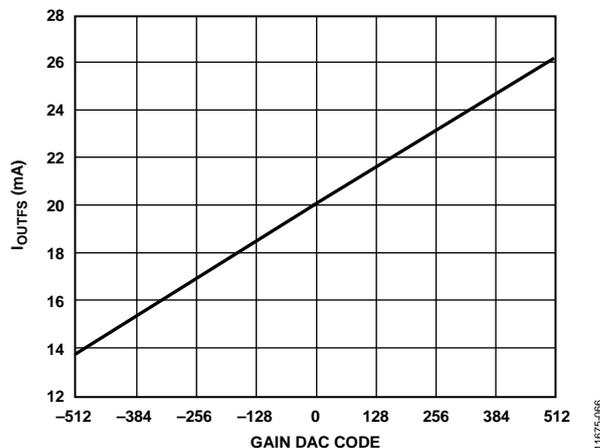


図 79. DAC ゲイン・コード対 DAC フルスケール電流 ( $I_{OUTFS}$ )

### トランスミット DAC の伝達関数

OUTx+ ピンと OUTx- ピンの出力電流は相補的 (コンプリメンタリ) であり、正側電流と負側電流の和は常に DAC のフルスケール電流に一致します。DAC のデジタル入力コードが、負荷へ印加される実効差動電流を決定します。バイナリ・データのすべてのビットがハイ・レベルのとき、OUTx± 両出力の差は最大出力電流値になります。バイナリ・フォーマットを使用する DAC 出力の出力電流対 DACCODE は次のように表されます。

$$I_{OUTP} = \frac{\text{DACCODE}_{BIN}}{2^N - 1} \times I_{OUTFS} \quad (5)$$

$$I_{OUTN} = I_{OUTFS} - I_{OUTP} \quad (6)$$

ここで、

$\text{DACCODE}_{BIN}$  は DAC への符号なしバイナリ 16 ビット入力。

$\text{DACCODE}_{BIN}$  は  $0 \sim 2^N - 1$  の範囲。

データ・フォーマットが 2 の補数の場合、出力電流は次のように表されます。

$$I_{OUTP} = \frac{\text{DACCODE}_{TWS} + 2^{N-1}}{2^N - 1} \times I_{OUTFS} \quad (7)$$

$$I_{OUTN} = I_{OUTFS} - I_{OUTP} \quad (8)$$

ここで、 $\text{DACCODE}_{TWS}$  は DAC への 2 の補数 16 ビット入力。

$\text{DACCODE}_{TWS}$  は  $-2^{N-1} \sim 2^{N-1} - 1$  の範囲。

**未使用 DAC のパワーダウン**

未使用 DAC 出力をパワーダウンさせて、消費電力を節約します。DAC パワーダウンは、レジスタ 0x011 に配置されています。レジスタ 0x011 のビット 6 は DAC0 に、ビット 5 は DAC1 に、ビット 4 は DAC2 に、ビット 3 は DAC3 に、それぞれ対応します。各ビットに 1 を書込んで、該当する DAC をパワーダウンさせます。

レジスタ 0x011 のビット 7 とビット 2 をロー・レベルにすると、それぞれバンド・ギャップと DAC マスター・バイアスがイネーブルされます。

パワーダウンする DAC については、DAC のパワーダウン設定のセクションを参照してください。

**自己キャリブレーション**

AD9144 は、ゼロ（ベースバンド）または低 IF アプリケーションで DAC の DC 直線性と AC 直線性を向上させる自己キャリブレーション機能を内蔵しています。この性能の向上には、デバイスの INL/DNL、2 次と 4 次高調波歪み (HD2 と HD4)、2 次相互変調歪み (IMD2) が含まれます。図 80 と図 81 に、キャリブレーション前後の代表的な DAC INL と DNL を示します。図 82 と図 83 に、HD2、HD4、IMD2 の各性能に対するキャリブレーションの効果を示します。キャリブレーションによる改善は、DAC 出力周波数とともに減少します。HD2 と HD4 の改善には、所望の出力周波数が 100 MHz より低い場合にキャリブレーション・ルーチンを実行することが推奨されます。IMD2 の改善では、所望の出力周波数が 200 MHz より低い場合にこのルーチンを実行することが推奨されます。AC 性能と DC 性能で所望の性能を得るためには、ルーチンを 1 回実行するだけで十分です。

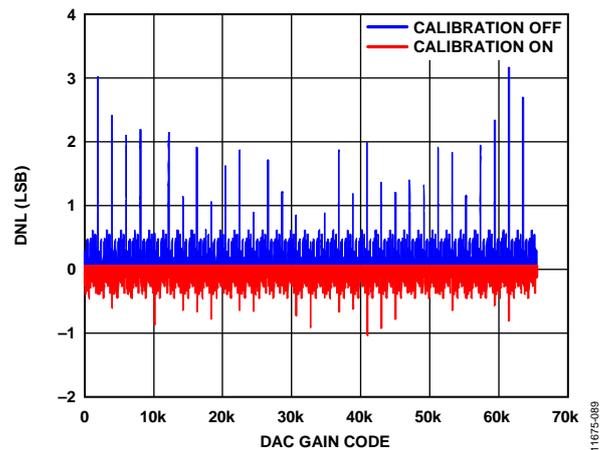


図 81. キャリブレーション前後の DNL

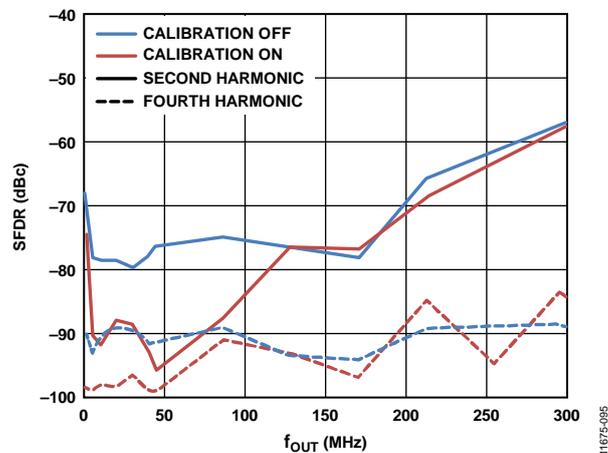


図 82. キャリブレーション前後の HD2 と HD4

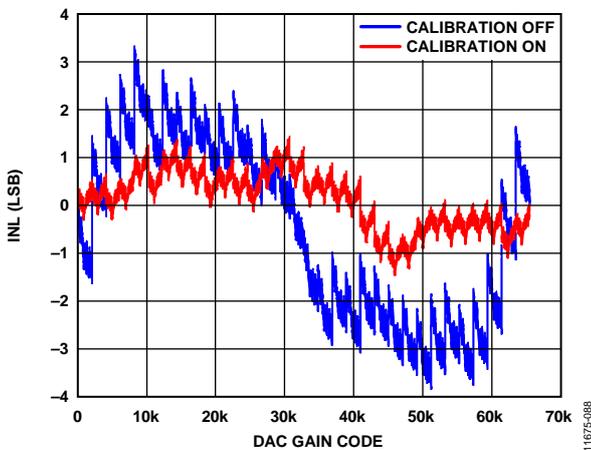


図 80. キャリブレーション前後の INL

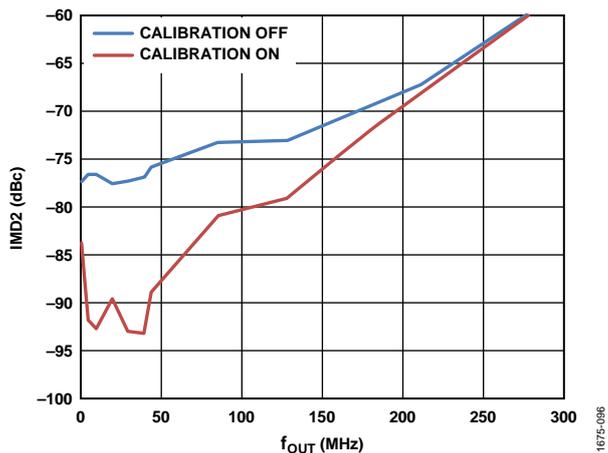


図 83. キャリブレーション前後の IMD2

4個のすべてのDACを使用する場合、表 82 の手順に従ってデバイスのセルフ・キャリブレーションを行ってください。ただし、4個より少ないDACのみを使う場合は、表 83 の手順に従ってください。

表 82.4 個のコンバータ・セットアップに対するデバイス自己キャリブレーション手順

Addr.	SPI Data Byte	Description
0x0E7	0x38	キャリブレーション・クロックをイネーブル。
0x0E8 0x0ED 0x0E2	0x0F 0xA2 0x01	すべてのDACをキャリブレーション。初期値を設定。平均キャリブレーションをイネーブル。
0x0E2 Read 0x023[7:6]	0x03 0b10	平均キャリブレーションを開始。CAL_PASS (レジスタ 0x023[7]) = 1 で、キャリブレーション合格を表示。CAL_PASS = 0 の場合、CAL_FAIL (レジスタ 0x023[6]) をチェックします。CAL_PASS = 0 かつ CAL_FAIL = 0 の場合、キャリブレーションは実行中か、または実行されていません。約 100 ms 待って、CAL_PASS と CAL_FAIL を再度読出すか、キャリブレーション・ルーチンを再実行してください。
0x0E7	0x30	キャリブレーション・クロックをディスエーブル。

4個より少ないコンバータを使用する場合は、表 83 のキャリブレーション・ルーチンを使う必要があります。4個より少ないコンバータを使用する場合、使わないDACのパワーダウんについては、DACのパワーダウん設定を参照してください。

表 83.4個より少ないコンバータをイネーブルする場合のデバイ

ス自己キャリブレーション手順

Addr.	Bit	SPI Data Byte	Description
0x0E7		0x38	最大コンパレータ速度を使用し、キャリブレーション・クロック分周器を設定します。
0x0E8			キャリブレーションするDACを選択します。
	3	0b0 or 0b1	DAC3をイネーブルする場合は1
	2	0b0 or 0b1	DAC2をイネーブルする場合は1
	1	0b0 or 0b1	DAC1をイネーブルする場合は1
	0	0b0 or 0b1	DAC0をイネーブルする場合は1
0x0ED		0xA2	初期値を設定。
0x0E9		0x01	キャリブレーションをイネーブル
0x0E9		0x03	平均キャリブレーションを開始。
0x0E7		0x30	キャリブレーション・クロックをディスエーブル

キャリブレーションした各DACについて、CAL\_INDEX (レジスタ 0x0E8) の対応するビットに1を書込み、レジスタ 0x0E9 を読出して、キャリブレーション・ステータスをチェックします。キャリブレーションが正しく完了すると、CAL\_FIN (レジスタ 0x0E9[7]) = 1 となり、キャリブレーションの完了を表示し、レジスタ 0x0E9[6:4] = 0 となり、エラーが発生しなかったことを表示します。

自己キャリブレーション IRQ

自己キャリブレーション・パスとフェイル信号は IRQ イベントとして使用可能です。レジスタ 0x01F[7:6] を使ってこれらの信号をイネーブルし、レジスタ 0x023[7:6] を使ってステータスをリードバックして IRQ 信号をリセットします。詳細については、割込み要求動作のセクションを参照してください。

## デバイスの消費電力

AD9144 には、AVDD33、DVDD12、SVDD12、SIOVDD33、CVDD12、IOVDD、V<sub>TT</sub>、PVDD12 の 8 個の電源レールがあり、これらを 5 個のレギュレータから駆動して、最適性能を実現することができます(図 62 参照)。

AVDD33 が DAC コア回路の電源を供給します。AVDD33 電源レールの消費電力は、デジタル動作モードとサンプル・レートに依存しません。DAC0~DAC3 のフルスケール電流が公称値 20.48 mA に設定された場合の AVDD33 電源レールの電流は 160 mA (540 mW)です。

PVDD12はDAC PLLの電源で、DAC サンプル・レートに応じて変わります。CVDD12 は PVDD12 レギュレータと共用することができますが、ピンの直近に適切なバイパス・コンデンサ回路が必要です。CVDD12 はクロック・ツリーの電源で、電流は DAC サンプル・レートに比例して変わります。DVDD12はDSP コアの電源で、電流は DSP機能の数と使用する DAC サンプル・レートに応じて変わります。SVDD12 は、SERDES レーンおよび対応する回路(イコライザ、SERDES PLL、PHY、DSP 入力など)の電源です。電流は、レーン数とレーン・ビット・レートに応じて変わります。IOVDD は SPI 回路の電源で、非常に小さい電流が流れます。

SIOVDD33 は、SERDES レーンのイコライザの電源です。V<sub>TT</sub> 終端電圧の電流は小さく 5 mA 以下です。

## 温度センサー

AD9144 には、AD9144 チップの温度変化をモニタするバンド・ギャップ温度センサーが内蔵されています。温度は既知温度を使ってキャリブレーションし、温度の検出に使うバンド・ギャップ回路のデバイス間の誤差を除去する必要があります。

温度変化をモニタするときは、各 AD9144 デバイスのシングル・ポイント・キャリブレーションのために既知の周囲温度を讀出す必要があります。

$$T_x = T_{REF} + 7.3 \times (CODE\_X - CODE\_REF)/1000$$

ここで、

*CODE\_X* は未知温度 *T<sub>x</sub>* でのリードバック・コード。

*CODE\_REF* はキャリブレーション済み温度 *T<sub>REF</sub>* でのリードバック・コード。

温度センサーを使うときは、レジスタ 0x12F[0] に 1 を設定して、イネーブルする必要があります。レジスタ 0x134[0] に 1 を書込んで、レジスタ 0x132 とレジスタ 0x133 からチップ温度を讀み出す必要があります。

## 起動シーケンス（初期設定の例）

表 84 ~ 表 93 に、 $f_{DAC} = 1474.56 \text{ MHz}$ 、 $2\times$  インターポレーション、 $368.64 \text{ MHz}$  のリファレンス・クロックで DAC PLL をイネーブルする場合の AD9144 の設定に必要なレジスタ書き込みを示します。JESD204B インターフェースは、モード 4、デュアル・リンク・モード、Subclass 1、 $7.3728 \text{ Gbps}$  で動作する 8 個すべての SERDES レーンでスクランブルをイネーブル、2 の補数フォーマット・データを入力に設定します。クロスバーを使用するレーンの再マッピングは、この例では行いません。

AD9144 を正しく起動する手順を次に示します。

1. SPI インターフェースを設定し、必要な回路ブロックをパワーアップさせ、コンフィギュレーション・レジスタに必要な書き込みを行い、DAC クロックを設定します (ステップ 1: DAC の起動 参照)。
2. AD9144 のデジタル機能を設定します (ステップ 2: デジタル・データパス参照)。
3. JESD204B リンクを設定します (ステップ 3: トランスポート層参照)。
4. SERDES インターフェースの物理層を設定します (ステップ 4: 物理層参照)。
5. SERDES インターフェースのデータ・リンク層を設定します。この手順は迅速なスタートアップまたはデバッグ専用であるため、データミニスティック・レイテンシを保証しません (ステップ 5: データ・リンク層参照)。
6. Link 0 と Link 1 上のエラーをチェックします (ステップ 6: エラー・モニタリング参照)。

これらのステップは、次のセクションの必要とされるレジスタ書き込みおよび読み出しコマンドを記載した表の中で詳しく説明します。

### ステップ 1: DAC の起動

#### パワーアップと DAC の初期化

表 84. パワーアップと DAC の初期化

Command	Address	Value	Description
W	0x000	0xBD	ソフト・リセット
W	0x000	0x3C	リセットを解除、4 線式 SPI を設定。
W	0x011	0x00	リファレンス、DAC チャンネル、マスター DAC をイネーブル
W	0x080	0x00	すべてのクロックをパワーアップ
W	0x081	0x00	SYSREF レシーバをパワーアップ、ヒステリシスをディスエーブル

### 必要なデバイス設定

表 85. 必要なデバイス設定

Command	Address	Value	Description
W	0x12D	0x8B	デジタル・データパス設定
W	0x146	0x01	デジタル・データパス設定
W	0x2A4	0xFF	クロック設定
W	0x1C4	0x73	DAC PLL 設定
W	0x291	0x49	SERDES PLL 設定
W	0x29C	0x24	SERDES PLL 設定
W	0x29F	0x73	SERDES PLL 設定
W	0x232	0xFF	JESD インターフェース設定
W	0x333	0x01	JESD インターフェース設定

### DAC PLL の設定

表 86. DAC PLL の設定

Command	Address	Value	Description
W	0x08B	0x02	$6 \text{ GHz} \leq f_{VCO} = f_{DACCLK} \times 2^{(LODivMode + 1)} \leq 12 \text{ GHz}$ になるように、VCO LO 分周比を 8 に設定。
W	0x08C	0x03	PLL のリファレンス・クロックが $80 \text{ MHz}$ より低くなるように、リファレンス・クロック分周比を 8 に設定。
W	0x085	0x10	B カウンタに 16 を設定して、DAC クロックを $2\times$ リファレンス・クロックに分周。
W	0x1B5	0x80	表 96 から VCO バラクタへ 0 を書き込みます。ビット 7 はハイ・レベルのままにします。
W	0x1BB	0x04	表 96 から VCO バイアス・リファレンスと TC を書き込みます。
W	0x1B4	0x78	表 96 から VCO キャリブレーション・オフセットを書き込みます。
W	0x1C5	0x08	表 96 から VCO バラクタ・リファレンスを書き込みます。
W	0x08A	0x0A	表 96 からチャージ・ポンプ電流を書き込みます。
W	0x087	0xC3	表 96 から C1 と C2 を設定します。
W	0x088	0xEF	表 96 から R1 と C3 を設定します。
W	0x089	0x0B	表 96 から R3 を設定します。
W	0x083	0x10	DAC PLL をイネーブルします。
R	0x084	0x01	PLL のロックに対して、ビット 1 がハイ・レベルでリードバックされることを確認します。

### ステップ 2: デジタル・データパス

表 87. デジタル・データパス

Command	Address	Value	Description
W	0x112	0x01	インターポレーションに $2\times$ を設定します。
W	0x110	0x00	2 の補数データ・フォーマットを設定します。

## ステップ 3: トランスポート層

表 88.Link 0 トランスポート層

Command	Address	Value	Description
W	0x200	0x00	インターフェースをパワーアップ
W	0x201	0x00	すべてのレーンをイネーブル
W	0x300	0x08	デュアルリンクのときはビット 3=1、Link 0 レジスタをアクセスするときはビット 2=0。
W	0x450	0x00	デバイス ID を Tx に一致するように設定(この例では 0x00)
W	0x451	0x00	バンク ID を Tx に一致するように設定(この例では 0x00)
W	0x452	0x00	レーン ID を Tx に一致するように設定(この例では 0x00)
W	0x453	0x83	デスクランブルおよび L=4 を設定します (n-1 表記)
W	0x454	0x00	F=1 を設定(n-1 表記)
W	0x455	0x1F	K=32 を設定(n-1 表記)
W	0x456	0x01	M=2 を設定(n-1 表記)
W	0x457	0x0F	N=16 を設定(n-1 表記)
W	0x458	0x2F	サブクラス 1 および NP=16 を設定(n-1 表記)
W	0x459	0x20	JESD 204B バージョンおよび S=1 を設定(n-1 表記)
W	0x45A	0x80	HD=1 を設定
W	0x45D	0x45	レーン 0 のチェックサムを設定
W	0x46C	0x0F	レーン 0~レーン 3 のスキューを除去
W	0x476	0x01	F を設定(非 n-1 表記)
W	0x47D	0x0F	レーン 0~レーン 3 をイネーブル

表 89.Link 1 トランスポート層

Command	Address	Value	Description
W	0x300	0x0C	デュアルリンクのときはビット 3=1、Link 1 レジスタをアクセスするときはビット 2=1。
W	0x450	0x00	デバイス ID を Tx に一致するように設定(この例では 0x00)
W	0x451	0x00	バンク ID を Tx に一致するように設定(この例では 0x00)
W	0x452	0x04	レーン ID を Tx に一致するように設定(この例では 0x04)
W	0x453	0x83	デスクランブルおよび L=4 を設定します (n-1 表記)
W	0x454	0x00	F=1 を設定(n-1 表記)
W	0x455	0x1F	K=32 を設定(n-1 表記)
W	0x456	0x01	M=2 を設定(n-1 表記)
W	0x457	0x0F	N=16 を設定(n-1 表記)
W	0x458	0x2F	サブクラス 1 および NP=16 を設定(n-1 表記)
W	0x459	0x20	JESD 204B および S=1 を設定(n-1 表記)
W	0x45A	0x80	HD を設定
W	0x45D	0x45	レーン 0 のチェックサムを設定
W	0x46C	0x0F	レーン 4~レーン 7 のスキューを除去
W	0x476	0x01	F を設定(非 n-1 表記)
W	0x47D	0x0F	レーン 4~レーン 7 をイネーブル

## ステップ 4: 物理層

表 90.物理層

Command	Address	Value	Description
W	0x2AA	0xB7	JESD インターフェース終端設定
W	0x2AB	0x87	JESD インターフェース終端設定
W	0x2B1	0xB7	JESD インターフェース終端設定
W	0x2B2	0x87	JESD インターフェース終端設定
W	0x2A7	0x01	自動チューン PHY 設定
W	0x2AE	0x01	自動チューン PHY 設定
W	0x314	0x01	SERDES SPI 設定
W	0x230	0x28	CDR をハーフ・レート・モードに設定
W	0x206	0x00	CDR ロジックをリセット
W	0x206	0x01	CDR ロジック・リセットを解除
W	0x289	0x04	PLL 分周比に 1 を設定し、PLL に必要な設定を実施
W	0x280	0x01	SERDES PLL をイネーブル
R	0x281	0x01	SERDES PLL のロックに対して、ビット 0 がハイ・レベルでリードバックされることを確認します。
W	0x268	0x62	EQ モードを低消費電力に設定

## ステップ 5: データ・リンク層

この手順ではディタミニスティック・レイテンシを保証しないことに注意してください。

表 91.データリンク層—決定性遅延を保証しません

Command	Address	Value	Description
W	0x301	0x01	サブクラス=1 を設定
W	0x304	0x00	LMFC 遅延設定に 0 を設定
W	0x305	0x00	LMFC 遅延設定に 0 を設定
W	0x306	0x0A	LMFC 受信バッファ遅延に 10 を設定
W	0x307	0x0A	LMFC 受信バッファ遅延に 10 を設定
W	0x03A	0x01	同期モード=ワンショット同期を設定
W	0x03A	0x81	同期マシンをイネーブル
W	0x03A	0xC1	同期マシンの起動用意
SYSREF±			少なくとも 1 つの SYSREF± エッジをデバイスへ送信することを確認してください。
W	0x300	0x0B	Link 0 と Link 1 をイネーブルするときはビット 1=1 およびビット 0=1 を、Link 0 をアクセスするときはビット 2=0 を、それぞれ設定します。

## ステップ 6: エラー・モニタリング

### Link 0 のチェック

表 92 のレジスタが注記のようにリードバックされ、かつシステム・タスクが説明のように完了することを確認してください。

表 92.Link 0 のチェック

Command	Address	Value	Description
R	0x470	0x0F	レーン 0～レーン 3 で 4 個の連続 K28.5 シンボル文字が検出されたことをアクトリッジします。
SYNCOUT0±			SYNCOUT0±のハイ・レベルを確認します。
SERDINx±			ILAS とデータを SERDES ピンへ入力します。
R	0x471	0x0F	すべてのレーンでフレーム同期を確認します。
R	0x472	0x0F	正常チェックサムを確認します。
R	0x473	0x0F	ILAS を確認します。

### Link 1 のチェック

表 93 のレジスタが注記のようにリードバックされ、かつシステム・タスクが説明のように完了することを確認してください。

表 93.Link 1 のチェック

Command	Address	Value	Description
W	0x300	0x0F	Link 1 をアクセスするときはビット 2=1。
R	0x470	0x0F	レーン 4～レーン 7 で 4 個の連続 K28.5 シンボル文字が検出されたことをアクトリッジします。
SYNCOUT1±			SYNCOUT1±のハイ・レベルを確認します。
SERDINx±			ILAS とデータを SERDES ピンへ入力します。
R	0x471	0x0F	すべてのレーンでフレーム同期を確認します。
R	0x472	0x0F	正常チェックサムを確認します。
R	0x473	0x0F	ILAS を確認します。

## レジスタ・マップと説明

次の表で、レジスタ・アドレス (Reg. 列) とリセット (Reset 列) 値は 16 進値です。リード/ライト (R/W) 列で、R は読み出し専用を、W は書き込み専用を、R/W はリード/ライトを、N/A は該当せずを、それぞれ意味します。レジスタ・アドレス列とリセット列のすべての値は 16 進値です。

## デバイス・コンフィギュレーション・レジスタ・マップ

表 94. デバイス・コンフィギュレーション・レジスタ・マップ

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W		
0x000	SPI_INTFCONFA	SOFT RESET_M	LSBFIRST_ M	ADDRINC_M	SDOACTIVE_M	SDOACTIVE	ADDRINC	LSBFIRST	SOFTRESET	0x00	R/W		
0x003	CHIPTYPE	CHIPTYPE								0x04	R		
0x004	PRODIDL	PRODIDL								0x44	R		
0x005	PRODIDH	PRODIDH								0x91	R		
0x006	CHIPGRADE	PROD_GRADE				DEV_REVISION				0x02	R		
0x008	SPI_PAGEINDX	RESERVED							DUAL_PAGE	0x03	R/W		
0x011	PWRCNTRL0	PD_BG	PD_DAC_0	PD_DAC_1	PD_DAC_2	PD_DAC_3	PD_DACM	RESERVED		0x7C	R/W		
0x012	TXENMASK	RESERVED							DUALB_ MASK	DUALA_ MASK	0x00	R/W	
0x013	PWRCNTRL3	RESERVED	PDP_ PROTECT_ OUT	TX_PROTECT_ OUT	RESERVED	SPI_PROTECT_OU T	SPI_PROTECT	RESERVED		0x20	R/W		
0x014	GROUP_DLY	RESERVED				GROUP_DLY				0x88	R/W		
0x01F	IRQEN_ STATUSMODE0	IRQEN_ SMODE_ CALPASS	IRQEN_ SMODE_ CALFAIL	IRQEN_ SMODE_ DACPLLOS T	IRQEN_SMODE_ DACPLLOCK	IRQEN_SMODE_ SERPLLLOST	IRQEN_SMODE_ SERPLLLOCK	IRQEN_ SMODE_ LANEFIFOER R	RESERVED	0x00	R/W		
0x020	IRQEN_ STATUSMODE1	RESERVED				IRQEN_SMODE_ PRBS3	IRQEN_SMODE_ PRBS2	IRQEN_ SMODE_ PRBS1	IRQEN_ SMODE_ PRBS0	0x00	R/W		
0x021	IRQEN_ STATUSMODE2	IRQEN_ SMODE_ PDPERR0	RESERVED	IRQEN_ SMODE_ BLNKDONE0	IRQEN_SMODE_ NCO_ALIGN0	IRQEN_SMODE_ SYNC_LOCK0	IRQEN_SMODE_ SYNC_ROTATE0	IRQEN_ SMODE_ SYNC_ WLIM0	IRQEN_ SMODE_ SYNC_TRIP0	0x00	R/W		
0x022	IRQEN_ STATUSMODE3	IRQEN_ SMODE_ PDPERR1	RESERVED	IRQEN_ SMODE_ BLNKDONE1	IRQEN_SMODE_ NCO_ALIGN1	IRQEN_SMODE_ SYNC_LOCK1	IRQEN_ SMODE_ SYNC_ ROTATE1	IRQEN_ SMODE_ SYNC_ WLIM1	IRQEN_ SMODE_ SYNC_TRIP1	0x00	R/W		
0x023	IRQ_STATUS0	CALPASS	CALFAIL	DACPLL- LOST	DACPLLLOCK	SERPLLLOST	SERPLLLOCK	LANEFIFO- ERR	RESERVED	0x00	R		
0x024	IRQ_STATUS1	RESERVED				PRBS3	PRBS2	PRBS1	PRBS0	0x00	R		
0x025	IRQ_STATUS2	PDPERR0	RESERVED	BLNK- DONE0	NCO_ ALIGN0	SYNC_ LOCK0	SYNC_ ROTATE0	SYNC_ WLIM0	SYNC_ TRIP0	0x00	R		
0x026	IRQ_STATUS3	PDPERR1	RESERVED	BLNK- DONE1	NCO_ ALIGN1	SYNC_ LOCK1	SYNC_ ROTATE1	SYNC_ WLIM1	SYNC_ TRIP1	0x00	R		
0x030	JESD_CHECKS	RESERVED		ERR_DLYOVE R	ERR_WINLIMIT	ERR_JESDBAD	ERR_KUNSUPP	ERR_ SUBCLASS	ERR_ INTSUPP	0x00	R		
0x034	SYNC_ ERRWINDOW	RESERVED					ERRWINDOW				0x00	R/W	
0x038	SYNC_LASTERR_ L	RESERVED				LASTERROR				0x00	R		
0x039	SYNC_LASTERR_ H	LASTUN- DER	LASTOVER	RESERVED								0x00	R
0x03A	SYNC_CONTROL	SYNC- ENABLE	SYNCARM	SYNCCLR- STKY	SYNCCLRLAST	SYNCMODE				0x00	R/W		
0x03B	SYNC_STATUS	SYNC_ BUSY	RESERVED			SYNC_LOCK	SYNC_ ROTATE	SYNC_WLIM	SYNC_ TRIP	0x00	R		
0x03C	SYNC_CURRERR_ L	RESERVED				CURRERROR				0x00	R		

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W			
0x03D	SYNC_CURRERR_H	CURRUNDER	CURROVER	RESERVED							0x00	R		
0x040	DACGAIN0_1	RESERVED					DACFSC_0[9:8]				0x00	R/W		
0x041	DACGAIN0_0	DACFSC_0[7:0]									0x00	R/W		
0x042	DACGAIN1_1	RESERVED					DACFSC_1[9:8]				0x00	R/W		
0x043	DACGAIN1_0	DACFSC_1[7:0]									0x00	R/W		
0x044	DACGAIN2_1	RESERVED					DACFSC_2[9:8]				0x00	R/W		
0x045	DACGAIN2_0	DACFSC_2[7:0]									0x00	R/W		
0x046	DACGAIN3_1	RESERVED					DACFSC_3[9:8]				0x00	R/W		
0x047	DACGAIN3_0	DACFSC_3[7:0]									0x00	R/W		
0x050	NCOALIGN_MODE	NCO_ALIGN_ARM	RESERVED	NCO_ALIGN_MTCH	NCO_ALIGN_PASS	NCO_ALIGN_FAIL	RESERVED	NCO_ALIGN_MODE		0x00	R/W			
0x051	NCOKEY_ILSB	NCOKEYI[7:0]									0x00	R/W		
0x052	NCOKEY_IMSB	NCOKEYI[15:8]									0x00	R/W		
0x053	NCOKEY_QLSB	NCOKEYQ[7:0]									0x00	R/W		
0x054	NCOKEY_QMSB	NCOKEYQ[15:8]									0x00	R/W		
0x060	PDP_THRES0	PDP_THRESHOLD[7:0]									0x00	R/W		
0x061	PDP_THRES1	RESERVED			PDP_THRESHOLD[12:8]							0x00	R/W	
0x062	PDP_AVG_TIME	PDP_ENABLE	RESERVED			PDP_AVG_TIME							0x00	R/W
0x063	PDP_POWER0	PDP_POWER[7:0]									0x00	R		
0x064	PDP_POWER1	RESERVED			PDP_POWER[12:8]							0x00	R	
0x080	CLKCFG0	PD_CLK01	PD_CLK23	PD_CLK_DIG	PD_SERDES_PCLK	PD_CLK_REC	RESERVED				0xF8	R/W		
0x081	SYSREF_ACTRL0	RESERVED			PD_SYSREF	HYS_ON	SYSREF_RISE	HYS_CNTRL1		0x10	R/W			
0x082	SYSREF_ACTRL1	HYS_CNTRL0									0x00	R/W		
0x083	DACPLLCNTRL	RECAL_DACPLL	RESERVED		ENABLE_DACPLL	RESERVED						0x00	R/W	
0x084	DACPLLSTATUS	DACPLL_OVER-RANGE_H	DACPLL_OVER-RANGE_L	DACPLL_CAL_VALID	RESERVED			DACPLL_LOCK	RESERVED	0x00	R			
0x085	DACINTEGER-WORD0	B_COUNT									0x08	R/W		
0x087	DACLOOPFLT1	LF_C2_WORD				LF_C1_WORD						0x88	R/W	
0x088	DACLOOPFLT2	LF_R1_WORD				LF_C3_WORD						0x88	R/W	
0x089	DACLOOPFLT3	LF_BYPASS_R3	LF_BYPASS_R1	LF_BYPASS_C2	LF_BYPASS_C1	LF_R3_WORD						0x08	R/W	
0x08A	DACCPCNTRL	RESERVED		CP_CURRENT								0x20	R/W	
0x08B	DACLOGENCNTRL	RESERVED					LO_DIV_MODE				0x02	R/W		
0x08C	DACLDOCNTRL1	RESERVED				REF_DIV_MODE						0x01	R/W	
0x0E2	CAL_CTRL_GLOBAL	RESERVED						CAL_START_AVG	CAL_EN_AVG			0x00	R/W	
0x0E7	CAL_CLKDIV	RESERVED			CAL_CLK_EN		RESERVED					0x30	R/W	
0x0E8	CAL_PAGE	RESERVED			CAL_PAGE							0x0F	R/W	
0x0E9	CAL_CTRL	CAL_FIN	CAL_ACTIVE	CAL_ERRHI	CAL_ERRLO	RESERVED		CAL_START	CAL_EN			0x00	R/W	
0x0ED	CAL_INIT	CAL_INIT									A6	R/W		
0x110	DATA_FORMAT	BINARY_FORMAT	RESERVED									00	R/W	

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x111	DATAPATH_CTRL	INVSINC_ENABLE	RESERVED	DIG_GAIN_ENABLE	PHASE_ADJ_ENABLE	MODULATION_TYPE		SEL_SIDE_BAND	I_TO_Q	0xA0	R/W	
0x112	INTERP_MODE	RESERVED					INTERP_MODE				0x01	R/W
0x113	NCO_FTW_UPDATE	RESERVED						FTW_UPDATE_ACK	FTW_UPDATE_REQ	0x00	R/W	
0x114	FTW0	FTW[7:0]									0x00	R/W
0x115	FTW1	FTW[15:8]									0x00	R/W
0x116	FTW2	FTW[23:16]									0x00	R/W
0x117	FTW3	FTW[31:24]									0x00	R/W
0x118	FTW4	FTW[39:32]									0x00	R/W
0x119	FTW5	FTW[47:40]									0x10	R/W
0x11A	NCO_PHASE_OFFSET0	NCO_PHASE_OFFSET[7:0]									0x00	R/W
0x11B	NCO_PHASE_OFFSET1	NCO_PHASE_OFFSET[15:8]									0x00	R/W
0x11C	PHASE_ADJ0	PHASE_ADJ[7:0]									0x00	R/W
0x11D	PHASE_ADJ1	RESERVED			PHASE_ADJ[12:8]						0x00	R/W
0x11F	TXEN_SM_0	FALL_COUNTERS		RISE_COUNTERS		RESERVED	PROTECT_OUT_INVERT	RESERVED			0x83	R/W
0x121	TXEN_RISE_COUNT_0	RISE_COUNT_0									0x0F	R/W
0x122	TXEN_RISE_COUNT_1	RISE_COUNT_1									0x00	R/W
0x123	TXEN_FALL_COUNT_0	FALL_COUNT_0									0xFF	R/W
0x124	TXEN_FALL_COUNT_1	FALL_COUNT_1									0xFF	R/W
0x12D	DEVICE_CONFIG_REG_0	DEVICE_CONFIG_0									0x46	R/W
0x12F	DIE_TEMP_CTRL0	RESERVED							AUXADC_ENABLE	0x20	R/W	
0x132	DIE_TEMP0	DIE_TEMP[7:0]									0x00	R
0x133	DIE_TEMP1	DIE_TEMP[15:8]									0x00	R
0x134	DIE_TEMP_UPDATE	RESERVED							DIE_TEMP_UPDATE	0x00	R/W	
0x135	DC_OFFSET_CTRL	RESERVED							DC_OFFSET_ON	0x00	R/W	
0x136	IPATH_DC_OFFSET_1PART0	LSB_OFFSET_I[7:0]									0x00	R/W
0x137	IPATH_DC_OFFSET_1PART1	LSB_OFFSET_I[15:8]									0x00	R/W
0x138	QPATH_DC_OFFSET_1PART0	LSB_OFFSET_Q[7:0]									0x00	R/W
0x139	QPATH_DC_OFFSET_1PART1	LSB_OFFSET_Q[15:8]									0x00	R/W
0x13A	IPATH_DC_OFFSET_2PART	RESERVED			SIXTEENTH_OFFSET_I						0x00	R/W
0x13B	QPATH_DC_OFFSET_2PART	RESERVED			SIXTEENTH_OFFSET_Q						0x00	R/W
0x13C	IDAC_DIG_GAIN0	IDAC_DIG_GAIN[7:0]									0xEA	R/W
0x13D	IDAC_DIG_GAIN1	RESERVED				IDAC_DIG_GAIN[11:8]					0x0A	R/W
0x13E	QDAC_DIG_GAIN0	QDAC_DIG_GAIN[7:0]									0xEA	R/W
0x13F	QDAC_DIG_GAIN1	RESERVED				QDAC_DIG_GAIN[11:8]					0x0A	R/W

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W		
0x140	GAIN_RAMP_UP_STEP0	GAIN_RAMP_UP_STEP[7:0]								0x04	R/W		
0x141	GAIN_RAMP_UP_STEP1	RESERVED				GAIN_RAMP_UP_STEP[11:8]				0x00	R/W		
0x142	GAIN_RAMP_DOWN_STEP0	GAIN_RAMP_DOWN_STEP[7:0]								0x09	R/W		
0x143	GAIN_RAMP_DOWN_STEP1	RESERVED				GAIN_RAMP_DOWN_STEP[11:8]				0x00	R/W		
0x146	DEVICE_CONFIG_REG_1	DEVICE_CONFIG_1								0x00	R/W		
0x147	BSM_STAT	SOFTBLANKRB		RESERVED								0x00	R
0x14B	PRBS	PRBS_GOOD_Q	PRBS_GOOD_I	RESERVED			PRBS_MODE	PRBS_RESET	PRBS_EN	0x10	R/W		
0x14C	PRBS_ERROR_I	PRBS_COUNT_I								0x00	R		
0x14D	PRBS_ERROR_Q	PRBS_COUNT_Q								0x00	R		
0x1B4	DACPLL4	RESERVED	VCO_CAL_OFFSET				RESERVED				0x78	R/W	
0x1B5	DACPLL5	RESERVED				VCO_VAR				0x83	R/W		
0x1B6	DACPLL6	RESERVED				VCO_LVL_OUT				0x4A	R/W		
0x1BB	DACPLLTB	RESERVED			VCO_BIAS_TCF			VCO_BIAS_REF			0x0C	R/W	
0x1BD	DACPLLTD	RESERVED						VCO_CAL_REF_TCF			0x00	R/W	
0x1C4	DEVICE_CONFIG_REG_2	DEVICE_CONFIG_2								0x33	R/W		
0x200	MASTER_PD	RESERVED							SPL_PD_MASTER	0x01	R/W		
0x201	PHY_PD	SPL_PD_PHY								0x00	R/W		
0x203	GENERIC_PD	RESERVED						SPL_SYNC1_PD	SPL_SYNC2_PD	0x00	R/W		
0x206	CDR_RESET	RESERVED							SPL_CDR_RESETN	0x01	R/W		
0x230	CDR_OPERATING_MODE_REG_0	RESERVED		ENHALFRATE	RESERVED			CDR_OVERSAMP	RESERVED	0x28	R/W		
0x232	DEVICE_CONFIG_REG_3	DEVICE_CONFIG_3								0x0	R/W		
0x268	EQ_BIAS_REG	EQ_POWER_MODE		RESERVED								0x62	R/W
0x280	SERDESPLL_ENABLE_CNTRL	RESERVED					RECAL_SERDESPLL	RESERVED	ENABLE_SERDESPLL	0x00	R/W		
0x281	PLL_STATUS	RESERVED		SERDES_PLL_OVERRANGE_H	SERDES_PLL_OVERRANGE_L	SERDES_PLL_CAL_VALID_RB	RESERVED		SERDES_PLL_LOCK_RB	0x00	R		
0x289	REF_CLK_DIVIDER_LDO	RESERVED					DEVICE_CONFIG_4	SERDES_PLL_DIV_MODE		0x00	R/W		
0x291	DEVICE_CONFIG_REG_5	DEVICE_CONFIG_5								0x46	R/W		
0x29C	DEVICE_CONFIG_REG_6	DEVICE_CONFIG_6								0x17	R/W		
0x29F	DEVICE_CONFIG_REG_7	DEVICE_CONFIG_7								0x33	R/W		
0x2A4	DEVICE_CONFIG_REG_8	DEVICE_CONFIG_8								0x4B	R/W		
0x2A5	SYNCOUTB_SWING	RESERVED							SYNCOUTB_SWING_MD	0x00	R/W		

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x2A7	TERM_BLK1_CTRLREG0	RESERVED							RCAL_TERMBLK1	0x00	R/W
0x2AA	DEVICE_CONFIG_REG_9	DEVICE_CONFIG_9								0xC3	R/W
0x2AB	DEVICE_CONFIG_REG_10	DEVICE_CONFIG_10								0x93	R/W
0x2AE	TERM_BLK2_CTRLREG0	RESERVED							RCAL_TERMBLK2	0x00	R/W
0x2B1	DEVICE_CONFIG_REG_11	DEVICE_CONFIG_11								0xC3	R/W
0x2B2	DEVICE_CONFIG_REG_12	DEVICE_CONFIG_12								0x93	R/W
0x300	GENERAL_JRX_CTRL_0	RESERVED	CHECKSUM_MODE	RESERVED		LINK_MODE	LINK_PAGE	LINK_EN		0x00	R/W
0x301	GENERAL_JRX_CTRL_1	RESERVED					SUBCLASSV_LOCAL			0x01	R/W
0x302	DYN_LINK_LATENCY_0	RESERVED			DYN_LINK_LATENCY_0					0x00	R
0x303	DYN_LINK_LATENCY_1	RESERVED			DYN_LINK_LATENCY_1					0x00	R
0x304	LMFC_DELAY_0	RESERVED			LMFC_DELAY_0					0x00	R/W
0x305	LMFC_DELAY_1	RESERVED			LMFC_DELAY_1					0x00	R/W
0x306	LMFC_VAR_0	RESERVED			LMFC_VAR_0					0x06	R/W
0x307	LMFC_VAR_1	RESERVED			LMFC_VAR_1					0x06	R/W
0x308	XBAR_LN_0_1	RESERVED		LOGICAL_LANE1_SRC			LOGICAL_LANE0_SRC			0x08	R/W
0x309	XBAR_LN_2_3	RESERVED		LOGICAL_LANE3_SRC			LOGICAL_LANE2_SRC			0x1A	R/W
0x30A	XBAR_LN_4_5	RESERVED		LOGICAL_LANE5_SRC			LOGICAL_LANE4_SRC			0x2C	R/W
0x30B	XBAR_LN_6_7	RESERVED		LOGICAL_LANE7_SRC			LOGICAL_LANE6_SRC			0x3E	R/W
0x30C	FIFO_STATUS_REG_0	LANE_FIFO_FULL							0x00	R	
0x30D	FIFO_STATUS_REG_1	LANE_FIFO_EMPTY							0x00	R	
0x312	SYNCB_GEN_1	RESERVED		SYNCB_ERR_DUR		RESERVED				0x00	R/W
0x314	SERDES_SPI_REG	SERDES_SPI_CONFIG							0x00	R/W	
0x315	PHY_PRBS_TEST_EN	PHY_TEST_EN							0x00	R/W	
0x316	PHY_PRBS_TEST_CTRL	RESERVED	PHY_SRC_ERR_CNT			PHY_PRBS_PAT_SEL		PHY_TEST_START	PHY_TEST_RESET	0x00	R/W
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	PHY_PRBS_THRESHOLD[7:0]							0x00	R/W	
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	PHY_PRBS_THRESHOLD[15:8]							0x00	R/W	
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	PHY_PRBS_THRESHOLD[23:16]							0x00	R/W	
0x31A	PHY_PRBS_TEST_ERRCNT_LOBITS	PHY_PRBS_ERR_CNT[7:0]							0x00	R	

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	PHY_PRBS_ERR_CNT[15:8]								0x00	R
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	PHY_PRBS_ERR_CNT[23:16]								0x00	R
0x31D	PHY_PRBS_TEST_STATUS	PHY_PRBS_PASS								0xFF	R
0x32C	SHORT_TPL_TEST_0	RESERVED	SHORT_TPL_SP_SEL		SHORT_TPL_DAC_SEL		SHORT_TPL_TEST_RESET	SHORT_TPL_TEST_EN	0x00	R/W	
0x32D	SHORT_TPL_TEST_1	SHORT_TPL_REF_SP_LSB								0x00	R/W
0x32E	SHORT_TPL_TEST_2	SHORT_TPL_REF_SP_MSB								0x00	R/W
0x32F	SHORT_TPL_TEST_3	RESERVED							SHORT_TPL_FAIL	0x00	R
0x333	DEVICE_CONFIG_REG_13	DEVICE_CONFIG_13								0x00	R/W
0x334	JESD_BIT_INVERSE_CTRL	JESD_BIT_INVERSE								0x00	R/W
0x400	DID_REG	DID_RD								0x00	R
0x401	BID_REG	ADJCNT_RD				BID_RD				0x00	R
0x402	LID0_REG	RESERVED	ADJDIR_RD	PHADJ_RD	LID0_RD					0x00	R
0x403	SCR_L_REG	SCR_RD	RESERVED		L-1_RD					0x00	R
0x404	F_REG	F-1_RD								0x00	R
0x405	K_REG	RESERVED				K-1_RD				0x00	R
0x406	M_REG	M-1_RD								0x00	R
0x407	CS_N_REG	CS_RD	RESERVED		N-1_RD					0x00	R
0x408	NP_REG	SUBCLASSV_RD				NP-1_RD				0x00	R
0x409	S_REG	JESDV_RD				S-1_RD				0x00	R
0x40A	HD_CF_REG	HD_RD	RESERVED		CF_RD					0x00	R
0x40B	RES1_REG	RES1_RD								0x00	R
0x40C	RES2_REG	RES2_RD								0x00	R
0x40D	CHECKSUM_REG	FCHK0_RD								0x00	R
0x40E	COMPSUM0_REG	FCMP0_RD								0x00	R
0x412	LID1_REG	RESERVED				LID1_RD				0x00	R
0x415	CHECKSUM1_REG	FCHK1_RD								0x00	R
0x416	COMPSUM1_REG	FCMP1_RD								0x00	R
0x41A	LID2_REG	RESERVED				LID2_RD				0x00	R
0x41D	CHECKSUM2_REG	FCHK2_RD								0x00	R
0x41E	COMPSUM2_REG	FCMP2_RD								0x00	R
0x422	LID3_REG	RESERVED				LID3_RD				0x00	R
0x425	CHECKSUM3_REG	FCHK3_RD								0x00	R
0x426	COMPSUM3_REG	FCMP3_RD								0x00	R
0x42A	LID4_REG	RESERVED				LID4_RD				0x00	R
0x42D	CHECKSUM4_REG	FCHK4_RD								0x00	R
0x42E	COMPSUM4_REG	FCMP4_RD								0x00	R
0x432	LID5_REG	RESERVED				LID5_RD				0x00	R
0x435	CHECKSUM5_REG	FCHK5_RD								0x00	R
0x436	COMPSUM5_REG	FCMP5_RD								0x00	R
0x43A	LID6_REG	RESERVED				LID6_RD				0x00	R
0x43D	CHECKSUM6_REG	FCHK6_RD								0x00	R

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x43E	COMPSUM6_REG	FCMP6_RD									0x00	R
0x442	LID7_REG	RESERVED				LID7_RD				0x00	R	
0x445	CHECKSUM7_REG	FCHK7_RD									0x00	R
0x446	COMPSUM7_REG	FCMP7_RD									0x00	R
0x450	ILS_DID	DID									0x00	R/W
0x451	ILS_BID	ADJCNT				BID				0x00	R/W	
0x452	ILS_LID0	RESERVE D	ADJDIR	PHADJ	LID0				0x00	R/W		
0x453	ILS_SCR_L	SCR	RESERVED			L-1				0x83	R/W	
0x454	ILS_F	F-1									0x00	R/W
0x455	ILS_K	RESERVED			K-1						0x1F	R/W
0x456	ILS_M	M-1									0x01	R/W
0x457	ILS_CS_N	CS		RESERVED		N-1				0x0F	R/W	
0x458	ILS_NP	SUBCLASSV				NP-1				0x2F	R/W	
0x459	ILS_S	JESDV				S-1				0x20	R/W	
0x45A	ILS_HD_CF	HD	RESERVED			CF				0x80	R/W	
0x45B	ILS_RES1	RES1									0x00	R/W
0x45C	ILS_RES2	RES2									0x00	R/W
0x45D	ILS_CHECKSUM	FCHK0									0x45	R/W
0x46B	ERRCNTRMON_RB	READERRORCNTR									0x00	R
0x46B	ERRCNTRMON	RESERVE D	LANESEL			RESERVED		CNTRSEL			0x00	R/W
0x46C	LANEDESKEW	LANEDESKEW									0x0F	R/W
0x46D	BADDISPARITY_R B	BADDIS									0x00	R
0x46D	BADDISPARITY	RST_IRQ_ DIS	DISABLE_ ERR_CNTR_ DIS	RST_ERR_ CNTR_DIS	RESERVED		LANE_ADDR_DIS			0x00	R/W	
0x46E	NIT_RB	NIT									0x00	R
0x46E	NIT_W	RST_IRQ_ NIT	DISABLE_ ERR_CNTR_ _NIT	RST_ERR_ CNTR_NIT	RESERVED		LANE_ADDR_NIT			0x00	R/W	
0x46F	UNEXPECTED- CONTROL_RB	UCC									0x00	R
0x46F	UNEXPECTED- CONTROL_W	RST_IRQ_ UCC	DISABLE_ ERR_CNTR_ _UCC	RST_ERR_ CNTR_UCC	RESERVED		LANE_ADDR_UCC			0x00	R/W	
0x470	CODEGRPSYCNFLC	CODEGRPSYNC									0x00	R/W
0x471	FRAMESYCNFLG	FRAMESYNC									0x00	R/W
0x472	GOODCHKSUMFL G	GOODCHECKSUM									0x00	R/W
0x473	INITLANESYCNFLC	INITIALLANESYNC									0x00	R/W
0x476	CTRLREG1	F									0x01	R/W
0x477	CTRLREG2	ILAS_ MODE	RESERVED			THRESHOLD_ MASK_EN		RESERVED			0x00	R/W
0x478	KVAL	KSYNC									0x01	R/W
0x47A	IRQVECTOR_MAS K	BADDIS_ MASK	NIT_MASK	UCC_ MASK	RESERVED	INITIALLANESYCN _MASK	BADCHECK SUM_MASK	FRAMESYCN_ MASK	CODEGRP SYNCS_MAS K	0x00	R/W	
0x47A	IRQVECTOR_FLA G	BADDIS_ FLAG	NIT_FLAG	UCC_FLAG	RESERVED	INITIALLANESYCN _FLAG	BADCHECKSU M_FLAG	FRAMESYCN_ FLAG	CODEGRP SYNCS_FLA G	0x00	R	
0x47B	SYNCASSERTION- MASK	BADDIS_ S	NIT_S	UCC_S	CMM	CMM_ENABLE	RESERVED			0x008	R/W	

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x47C	ERRORTHRES	ETH								0xFF	R/W
0x47D	LANEENABLE	LANE_ENA								0x0F	R/W
0x47E	RAMP_ENA	RESERVED							ENA_RAMP_CHECK	0x00	R/W
0x520	DIG_TEST0	RESERVED					DC_TEST_MODE	RESERVED	0x1C	R/W	
0x521	DC_TEST_VALUEIQ	DC_TEST_VALUEI[7:0]								0x00	R/W
0x522	DC_TEST_VALUEIH	DC_TEST_VALUEI[15:8]								0x00	R/W
0x523	DC_TEST_VALUEIQ0	DC_TEST_VALUEQ[7:0]								0x00	R/W
0x524	DC_TEST_VALUEQ1	DC_TEST_VALUEQ[15:8]								0x00	R/W

## デバイス・コンフィギュレーション・レジスタの説明

表 95. デバイス・コンフィギュレーション・レジスタの説明

Address	Name	Bit Name	Settings	Description	Reset	Access	
0x000	SPI_INTFCONFA	7	SOFTRESET_M		ソフト・リセット (ミラー)。	0x0	R
		6	LSBFIRST_M		LSB ファースト (ミラー)。	0x0	R
		5	ADDRINC_M		アドレス・インクリメント (ミラー)。	0x0	R
		4	SDOACTIVE_M		SDO アクティブ (ミラー)。	0x0	R
		3	SDOACTIVE		SDO アクティブ。	0x0	R/W
		2	ADDRINC	1 0	アドレス・インクリメント。マルチバイト・データ転送時にアドレスのインクリメントまたはデクリメントを制御します。 マルチバイト・データ転送時にアドレスをインクリメントします。 マルチバイト・データ転送時にアドレスをデクリメントします。	0x0	R/W
		1	LSBFIRST	1 0	LSB ファースト。入力データと出力データを LSB ファーストまたは MSB ファーストのいずれにするかを制御します。 LSB ファーストで入力 MSB ファーストで入力	0x0	R/W
0	SOFTRESET	1	ソフト・リセット。このビットをセットすると、リセットが開始されます。このビットは、ソフト・リセット完了後自動クリアされます。 ソフト・リセットの起動	0x0	R/W		
0x003	CHIPTYPE	[7:0]	CHIPTYPE	製品タイプは“High Speed DAC”で、コード 0x04 で表されます。	0x4	R	
0x004	PRODIDL	[7:0]	PRODIDL	製品識別下位バイト。	0x44	R	
0x005	PRODIDH	[7:0]	PRODIDH	製品識別上位バイト。	0x91	R	
0x006	CHIPGRADE	[7:4]	PROD_GRADE	製品グレード。	0x0	R	
		[3:0]	DEV_REVISION	デバイス・レビジョン。	0x2	R	
0x008	SPI_PAGEINDX	[7:2]	RESERVED	予約済み。	0x0	R	
		[1:0]	DUAL_PAGE	デュアル・ページング。デジタル・ゲイン、DC オフセット、NCO FTW などのデジタル機能を変更する際にアクセスし、書込むデュアル DAC 対を選択します。このページングは、0x013-0x014、0x034-0x03d、0x050-0x064、0x110-0x124、0x135-0x14D の各レジスタに影響を与えます。 デュアル A に対する読み書き デュアル B に対する読み書き 両デュアルの書込み、デュアル A の読出し	0x3	R/W	
0x011	PWRCNTRL0	7	PD_BG	リファレンスをパワーダウンさせます。チップ全体に対するバンド・ギャップ・リファレンスをパワーダウンさせます。回路のバイアス電流は供給されません。 リファレンスをパワーダウンさせます。	0x0	R/W	

Address	Name		Bit Name	Settings	Description	Reset	Access
		6	PD_DAC_0	1	DAC0 をパワーダウンさせます。デュアル A の I チャンネル DAC をパワーダウンさせます。 DAC0 をパワーダウンさせます。	0x1	R/W
		5	PD_DAC_1	1	DAC1 をパワーダウンさせます。デュアル A の Q チャンネル DAC をパワーダウンさせます。 DAC1 をパワーダウンさせます。	0x1	R/W
		4	PD_DAC_2	1	DAC2 をパワーダウンさせます。デュアル B の I チャンネル DAC をパワーダウンさせます。 DAC2 をパワーダウンさせます。	0x1	R/W
		3	PD_DAC_3	1	DAC3 をパワーダウンさせます。デュアル B の Q チャンネル DAC をパワーダウンさせます。 DAC3 をパワーダウンさせます。	0x1	R/W
		2	PD_DACM	1	DAC マスター・バイアスをパワーダウンさせます。マスター・バイアス・セルが電流を供給し、4 個の DAC の DAC フルスケール調整を行います。DAC マスター・バイアスがパワーダウンすると、DAC は動作できません。 DAC マスター・バイアスをパワーダウンさせます。	0x1	R/W
		[1:0]	RESERVED		予約済み。	0x0	R
0x012	TXENMASK	[7:2]	RESERVED		予約済み。	0x0	R
		1	DUALB_MASK	1	デュアル B TXEN1 マスク。TXEN1 の立下がりエッジでデュアル B をパワーダウンさせます。 TXEN1 がロー・レベルの場合、DAC2 と DAC3 をパワーダウンさせます。	0x0	R/W
		0	DUALA_MASK	1	デュアル A TXEN0 マスク。TXEN0 の立下がりエッジでデュアル A をパワーダウンさせます。 TXEN0 がロー・レベルの場合、DAC0 と DAC1 をパワーダウンさせます。	0x0	R/W
0x013	PWRCNTRL3	7	RESERVED		予約済み。	0x0	R
		6	PDP_PROTECT_OUT	1	PDP_PROTECT が PROTECT_OUTx をトリガします。	0x0	R/W
		5	TX_PROTECT_OUT	1	TX_PROTECT が PROTECT_OUTx をトリガします。	0x1	R/W
		4	RESERVED		予約済み。	0x0	R
		3	SPI_PROTECT_OUT	1	SPI_PROTECT が PROTECT_OUTx をトリガします。	0x0	R/W
		2	SPI_PROTECT		SPI_PROTECT	0x0	R/W
0x014	GROUP_DLY	[1:0]	RESERVED		予約済み。	0x0	R
		[7:4]	RESERVED		予約済み。	0x8	R
0x01F	IRQEN_STATUSMODE0	[3:0]	GROUP_DLY		群遅延制御。I チャンネル出力と Q チャンネル出力を一緒に遅延させます。0 = 最小遅延。15 = 最大遅延。遅延の範囲は -4 ~ +3.5 DAC クロック周期で、分解能は 1/2 DAC クロック周期。	0x8	R/W
		7	IRQEN_SMODE_CALPASS	1 0	キャリブレーション合格検出ステータス・モード。 CALPASS がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。CALPASS は現在のステータスを表示します。	0x0	R/W
		6	IRQEN_SMODE_CALFAIL	1 0	キャリブレーション不合格検出ステータス・モード。 CALFAIL がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。CALFAIL は現在のステータスを表示します。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
		5	IRQEN_SMODE_ DACPLLLOST	1 0	DAC PLL ロスト・検出ステータス・モード。  DACPLLLOST がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 DACPLLLOST は現在のステータスを表示します。	0x0	R/W
		4	IRQEN_SMODE_ DACPLLLOCK	1 0	DAC PLL ロック検出ステータス・モード。  DACPLLLOCK がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 DACPLLLOCK は現在のステータスを表示します。	0x0	R/W
		3	IRQEN_SMODE_ SERPLLLOST	1 0	SERDES PLL ロスト・検出ステータス・モード。  SERPLLLOST がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 SERPLLLOST は現在のステータスを表示します。	0x0	R/W
		2	IRQEN_SMODE_ SERPLLLOCK	1 0	SERDES PLL ロック検出ステータス・モード。  SERPLLLOCK がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 SERPLLLOCK は現在のステータスを表示します。	0x0	R/W
		1	IRQEN_SMODE_ LANEFIFOERR	1 0	レーン FIFO エラー検出ステータス・モード。  LANEFIFOERR がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 LANEFIFOERR は現在のステータスを表示します。	0x0	R/W
		0	RESERVED		予約済み。	0x0	R
0x020	IRQEN_ STATUSMODE1	[7:4]	RESERVED		予約済み。	0x0	R
		3	IRQEN_SMODE_ PRBS3	1 0	DAC3 PRBS エラー・ステータス・モード。  PRBS3 がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 PRBS3 は現在のステータスを表示します。	0x0	R/W
		2	IRQEN_SMODE_ PRBS2	1 0	DAC2 PRBS エラー・ステータス・モード。  PRBS2 がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 PRBS2 は現在のステータスを表示します。	0x0	R/W
		1	IRQEN_SMODE_ PRBS1	1 0	DAC1 PRBS エラー・ステータス・モード。  PRBS1 がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 PRBS1 は現在のステータスを表示します。	0x0	R/W
		0	IRQEN_SMODE_ PRBS0	1 0	DAC0 PRBS エラー・ステータス・モード。  PRBS0 がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 PRBS0 は現在のステータスを表示します。	0x0	R/W
		7	IRQEN_SMODE_ PDPERR0	1 0	デュアル A PDP エラー。  PDPERR0 がハイ・レベルになると、それをラッチして、IRQをロー・レベルにします。 PDPERR0 は現在のステータスを表示します。	0x0	R/W
		6	RESERVED		予約済み。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
		5	IRQEN_SMODE_ BLNKDONE0	1 0	デュアル A ブランキング完了ステータス・モード。 BLNKDONE0 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 BLNKDONE0 は現在のステータスを表示します。	0x0	R/W
		4	IRQEN_SMODE_ NCO_ALIGN0	1 0	デュアル A NCO アライン・トリップ・ステータス・モード NCO_ALIGN0 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 NCO_ALIGN0 は現在のステータスを表示します。	0x0	R/W
		3	IRQEN_SMODE_ SYNC_LOCK0	1 0	デュアル A アライメント・ロック・ステータス・モード。 SYNC_LOCK0 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 SYNC_LOCK0 は現在のステータスを表示します。	0x0	R/W
		2	IRQEN_SMODE_ SYNC_ROTATE0	1 0	デュアル A アライメント・ローテイト・ステータス・モード。 SYNC_ROTATE0 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 SYNC_ROTATE0 は現在のステータスを表示します。	0x0	R/W
		1	IRQEN_SMODE_ SYNC_WLIM0	1 0	デュアル A ウィンドウ外ステータス・モード。 SYNC_WLIM0 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 SYNC_WLIM0 は現在のステータスを表示します。	0x0	R/W
		0	IRQEN_SMODE_ SYNC_TRIP0	1 0	デュアル A アライメント・トリップ・ステータス・モード。 SYNC_TRIP0 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 SYNC_TRIP0 は現在のステータスを表示します。	0x0	R/W
0x022	IRQEN_ STATUSMODE3	7	IRQEN_SMODE_ PDPERR1	1 0	デュアル B PDP エラー。  PDPERR1 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 PDPERR1 は現在のステータスを表示します。	0x0	R/W
		6	RESERVED		予約済み。	0x0	R
		5	IRQEN_SMODE_ BLNKDONE1	1 0	デュアル B ブランキング完了ステータス・モード。 BLNKDONE1 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 BLNKDONE1 は現在のステータスを表示します。	0x0	R/W
		4	IRQEN_SMODE_ NCO_ALIGN1	1 0	デュアル B NCO アライン・トリップ・ステータス・モード NCO_ALIGN1 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 NCO_ALIGN1 は現在のステータスを表示します。	0x0	R/W
		3	IRQEN_SMODE_ SYNC_LOCK1	1	デュアル B アライメント・ロック・ステータス・モード。 SYNC_LOCK1 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
				0	SYNC_LOCK1 は現在のステータスを表示します。		
		2	IRQEN_SMODE_SYNC_ROTATE1	1 0	デュアル B アライメント・ローテイト・ステータス・モード。 SYNC_ROTATE1 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 SYNC_ROTATE1 は現在のステータスを表示します。	0x0	R/W
		1	IRQEN_SMODE_SYNC_WLIM1	1 0	デュアル B ウィンドウ外ステータス・モード。 SYNC_WLIM1 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 SYNC_WLIM1 は現在のステータスを表示します。	0x0	R/W
		0	IRQEN_SMODE_SYNC_TRIP1	1 0	デュアル B アライメント・トリップ・ステータス・モード。 SYNC_TRIP1 がハイ・レベルになると、それをラッチして、IRQ をロー・レベルにします。 SYNC_TRIP1 は現在のステータスを表示します。	0x0	R/W
0x023	IRQ_STATUS0	7	CALPASS	1	キャリブレーション合格ステータス。 IRQEN_SMODE_CALPASS がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。	0x0	R
		6	CALFAIL	1	キャリブレーション不合格検出ステータス。 IRQEN_SMODE_CALFAIL がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。	0x0	R
		5	DACPLLLOST	1	DAC PLL ロスト・ステータス。 IRQEN_SMODE_DACPLLLOST がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。	0x0	R
		4	DACPLLLOCK	1	DAC PLL ロック・ステータス。 IRQEN_SMODE_DACPLLLOCK がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。	0x0	R
		3	SERPLLLOST	1	SERDES PLL ロスト・ステータス。 IRQEN_SMODE_SERPLLLOST がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。	0x0	R
		2	SERPLLLOCK		SERDES PLL ロック・ステータス。 IRQEN_SMODE_SERPLLLOCK がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
				1	SERDES PLL がロックしました。		
		1	LANEFIFOERR	1	レーン FIFO エラー・ステータス。 IRQEN_SMODE_LANEFIFOERR がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。 ディシリアライザ・ブロックとコア・デジタルの間の任意の FIFO にフル状態またはエンプティ状態が存在するとき、レーン FIFO エラーが発生します。このエラーを除くためには、リンクをディスエーブルし、再イネーブルする必要があります。レーン FIFO のステータスは、レジスタ 0x30C (FIFO フル)、およびレジスタ 0x30D (FIFO エンプティ)に記載してあります。 レーン FIFO エラー。	0x0	R
		0	RESERVED		予約済み。	0x0	R
0x024	IRQ_STATUS1	[7:4]	RESERVED		予約済み。	0x0	R
		3	PRBS3	1	DAC3 PRBS エラー・ステータス。 IRQEN_SMODE_PRBS3 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 DAC3 が PRBS に不合格。	0x0	R
		2	PRBS2	1	DAC2 PRBS エラー・ステータス。 IRQEN_SMODE_PRBS2 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 DAC2 が PRBS に不合格。	0x0	R
		1	PRBS1	1	DAC1 PRBS エラー・ステータス。 IRQEN_SMODE_PRBS1 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 DAC1 が PRBS に不合格。	0x0	R
		0	PRBS0	1	DAC0 PRBS エラー・ステータス。 IRQEN_SMODE_PRBS0 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 DAC0 が PRBS に不合格。	0x0	R
0x025	IRQ_STATUS2	7	PDPERR0	1	デュアル A PDP エラー。 IRQEN_SMODE_PAERR0 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 デュアル A へのデータが電源スレッシュホールドを超えました。	0x0	R
		6	RESERVED		予約済み。	0x0	R
		5	BLNKDONE0	1	デュアル A ブランキング完了ステータス。 IRQEN_SMODE_BLNKDONE0 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 デュアル A ブランキングが完了。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
		4	NCO_ALIGN0	1	デュアル A NCO アライン・トリップ・ステータス。IRQEN_SMODE_NCO_ALIGN0 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。デュアル A NCO アライン・トリップ。	0x0	R
		3	SYNC_LOCK0	1	デュアル A LMFC アライメント・ロック・ステータス。IRQEN_SMODE_SYNC_LOCK0 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。デュアル A LMFC アライメント・ロック。	0x0	R
		2	SYNC_ROTATE0	1	デュアル A LMFC アライメント・ローテイト・ステータス。IRQEN_SMODE_SYNC_ROTATE0 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。デュアル A LMFC アライメント・ローテイト。	0x0	R
		1	SYNC_WLIM0	1	デュアル A ウインドウ外ステータス。IRQEN_SMODE_SYNC_WLIM0 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。デュアル A LMFC 位相がウインドウ外。	0x0	R
		0	SYNC_TRIP0	1	デュアル A LMFC アライメント・トリップ・ステータス。IRQEN_SMODE_SYNC_TRIP0 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。デュアル A LMFC アライメントがトリップ。	0x0	R
0x026	IRQ_STATUS3	7	PDPERR1	1	デュアル B PDP エラー。IRQ_SMODE_PDPERR1 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。デュアル B へのデータが電源スレッシュホールドを超えました。	0x0	R
		6	RESERVED		予約済み。	0x0	R
		5	BLNKDONE1	1	デュアル B ブランキング完了ステータス。IRQEN_SMODE_BLNKDONE1 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。デュアル B ブランキングが完了。	0x0	R
		4	NCO_ALIGN1	1	デュアル B NCO アライン・トリップ・ステータス。IRQEN_SMODE_NCO_ALIGN1 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。デュアル B NCO アラインがトリップ。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
		3	SYNC_LOCK1	1	デュアル B LMFC アライメント・ロック・ステータス。IRQEN_SMODE_SYNC_LOCK1 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 デュアル A LMFC アライメントがロック。	0x0	R
		2	SYNC_ROTATE1	1	デュアル B LMFC アライメント・ローテイト・ステータス。 IRQEN_SMODE_SYNC_ROTATE1 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 デュアル A LMFC アライメントがローテイト。	0x0	R
		1	SYNC_WLIM1	1	デュアル B ウィンドウ外ステータス。 IRQEN_SMODE_SYNC_WLIM1 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 デュアル B LMFC 位相がウィンドウ外。	0x0	R
		0	SYNC_TRIP1	1	デュアル B LMFC アライメント・トリップ・ステータス。 IRQEN_SMODE_SYNC_TRIP1 がロー・レベルの場合、このビットは現在のステータスを表示します。そうでない場合、このビットは立上がりエッジでラッチし、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。 デュアル B LMFC アライメントがトリップ。	0x0	R
0x030	JESD_CHECKS	[7:6]	RESERVED		予約済み。	0x0	R
		5	ERR_DLYOVER	1	エラー: LMFC_Delay > JESD_K パラメータ > LMFC_Delay > JESD_K	0x0	R
		4	ERR_WINLIMIT	1	サポート外のウィンドウ規定値。 サポート外の SYSREF ウィンドウ規定値	0x0	R
		3	ERR_JESDBAD	1	サポート外の M/L/S/F 選択。 この JESD 組み合わせはサポートしていません。	0x0	R
		2	ERR_KUNSUPP	1	サポート外の K 値。16 と 32 はサポートしています。 サポート外の K 値です。	0x0	R
		1	ERR_SUBCLASS	1	サポート外のサブクラス値。0 と 1 はサポートしています。 サポート外のサブクラス値。	0x0	R
		0	ERR_INTSUPP	1	サポート外のインターポレーション・レート係数。1、2、4、8 はサポートしています。 サポート外のインターポレーション・レート・ファクタです。	0x0	R
0x034	SYNC_ERRWINDO W	[7:2]	RESERVED		予約済み。	0x0	R
		[1:0]	ERRWINDOW		LMFC 同期エラー・ウィンドウ。このエラー・ウィンドウを使うと、クロック調整を行うことなく、ウィンドウ境界内で SYSREF サンプル位相を変更できます。これは、ターゲット位相に対応するデバイス・クロックの同じ周期内に常に SYSREF が到着することを保証できない場合に役立ちます。 エラー・ウィンドウ許容誤差 = ±ERR ウィンドウ	0x0	R/W
0x038	SYNC_LASTERR_L	[7:4]	RESERVED		予約済み。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
		[3:0]	LASTERROR		LMFC 同期直前アライメント・エラー。4 ビットの 2 の補数値で、クロックが直前に調整された場合の位相エラー(DAC クロック・サイクル数)を表します。		R
0x039	SYNC_LASTERR_H	7	LASTUNDER	1	LMFC 同期直前エラー・アンダー・フラグ。直前位相エラーが下側ウィンドウ許容誤差境界を超えました。	0x0	R
		6	LASTOVER	1	LMFC 同期直前エラー・オーバー・フラグ。直前位相エラーが上側ウィンドウ許容誤差境界を超えました。	0x0	R
		[5:0]	RESERVED		予約済み。	0x0	R
0x03A	SYNC_CONTROL	7	SYNCENABLE	1 0	LMFC 同期ロジック・イネーブル。同期ロジックをイネーブル 同期ロジックをディスエーブル	0x0	R/W
		6	SYNCARM	1	LMFC 同期アーミング・ストローブ。同期ワンショットを用意します。	0x0	R/W
		5	SYNCCLRSTKY		LMFC 同期ステッキークリア。このビットは、立上がりエッジで SYNC_ROTATE と SYNC_TRIP をクリアします。	0x0	R/W
		4	SYNCCLRRLAST		LMFC 直前同期エラー・クリア。このビットは立上がりエッジで、LASTERROR、LASTUNDER、LASTOVER をクリアします。	0x0	R/W
		[3:0]	SYNCMODE	0b0001 0b0010 0b1000 0b1001	LMFC 同期モード。 同期ワンショット・モード 同期連続モード 同期モニタ専用モード 同期ワンショットの後にモニタ	0x0	R/W
0x03B	SYNC_STATUS	7	SYNC_BUSY	1	LMFC 同期マシン・ビジー。同期ロジック SM がビジー	0x0	R
		[6:4]	RESERVED		予約済み。	0x0	R
		3	SYNC_LOCK	1	LMFC 同期アライメント・ロック。同期ロジックがウィンドウ内でアライン	0x0	R
		2	SYNC_ROTATE	1	LMFC 同期ローテイト。同期ロジックが SYSREF (スティキー) とともにローテイト。	0x0	R
		1	SYNC_WLIM	1	LMFC 同期アライメント規定値範囲。位相エラーがウィンドウ・スレッショールド外。	0x0	R
		0	SYNC_TRIP	1	アーミング後 LMFC 同期トリップ。同期が SYSREF パルス (スティキー) を受信しました。	0x0	R
0x03C	SYNC_CURRERR_L	[7:4]	RESERVED		予約済み。	0x0	R
		[3:0]	CURRERROR		LMFC 同期アライメント・エラー。4 ビット 2 の補数値で、位相エラーを DAC クロック・サイクル数 (すなわち、LMFC エッジと SYSREF エッジの間の DAC クロック数) で表します。 与えられた任意の SYSREF に対してクロック調整を行う場合、位相エラーの値が SYNC_LASTERR に格納され、SYNC_CURRERR は 0 に設定されます。	0x0	R
0x03D	SYNC_CURRERR_H	7	CURRUNDER	1	LMFC 同期現在エラー・アンダー・フラグ。現在の位相エラーが下側ウィンドウ許容誤差境界を超えました。	0x0	R
		6	CURROVER	1	LMFC 同期現在エラー・オーバー・フラグ。現在の位相エラーが上側ウィンドウ許容誤差境界を超えました。	0x0	R
		[5:0]	RESERVED		予約済み。	0x0	R
0x040	DACGAIN0_1	[7:2]	RESERVED		予約済み。	0x0	R
		[1:0]	DACFSC_0[9:8]		I チャンネル DAC ゲイン・デュアル A の上位 2 ビットです。DAC 0 のアナログ・フルスケール電流に対して次のように割り当てられた 10 ビット 2 の補数値。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
					0111111111 = 27.0 mA 0000000000 = 20.48 mA 1000000000 = 13.9 mA		
0x041	DACGAIN0_0	[7:0]	DACFSC_0[7:0]		Iチャンネル DAC ゲイン・デュアル A の下位 8 ビット。	0x0	R/W
0x042	DACGAIN1_1	[7:2]	RESERVED		予約済み。	0x0	R
		[1:0]	DACFSC_1[9:8]		Qチャンネル DAC ゲイン・デュアル A の上位 2 ビットです。DAC 1 のアナログ・フルスケール電流に対して、レジスタ 0x040 に示すように割り当てられた 10 ビット 2 の補数値。 0111111111 = 27.0 mA 0000000000 = 20.48 mA 1000000000 = 13.9 mA	0x0	R/W
0x043	DACGAIN1_0	[7:0]	DACFSC_1[7:0]		Qチャンネル DAC ゲイン・デュアル A の下位 8 ビット。	0x0	R/W
0x044	DACGAIN2_1	[7:2]	RESERVED		予約済み。	0x0	R
		[1:0]	DACFSC_2[9:8]		Iチャンネル DAC ゲイン・デュアル B の上位 2 ビットです。DAC のアナログ・フルスケール電流に対して、レジスタ 0x040 に示すように割り当てられた 10 ビット 2 の補数値。 0111111111 = 27.0 mA 0000000000 = 20.48 mA 1000000000 = 13.9 mA	0x0	R/W
0x045	DACGAIN2_0	[7:0]	DACFSC_2[7:0]		Iチャンネル DAC ゲイン・デュアル B の下位 8 ビット。	0x0	R/W
0x046	DACGAIN3_1	[7:2]	RESERVED		予約済み。	0x0	R
		[1:0]	DACFSC_3[9:8]		Qチャンネル DAC ゲイン・デュアル B の上位 2 ビットです。DAC 3 のアナログ・フルスケール電流に対して、レジスタ 0x40 に示すように割り当てられた 10 ビット 2 の補数値。 0111111111 = 27.0 mA 0000000000 = 20.48 mA 1000000000 = 13.9 mA	0x0	R/W
0x047	DACGAIN3_0	[7:0]	DACFSC_3[7:0]		Qチャンネル DAC ゲイン・デュアル B の下位 8 ビット。	0x0	R/W
0x050	NCOALIGN_MODE	7	NCO_ALIGN_ARM		NCO アラインのアーム。立上がりエッジで、NCO アライン動作を用意します。	0x0	R/W
		6	RESERVED		予約済み。	0x0	R
		5	NCO_ALIGN_MTCH	1 0	NCO がデータ一致にアライン。 キーNCO がデータ一致にアライン終了すると、データ一致に NCO はアラインしません。	0x0	R
		4	NCO_ALIGN_PAS S	1 0	NCO アライン合格。 NCO アライン有効 クリアはまだ無効	0x0	R
		3	NCO_ALIGN_FAIL	1 0	NCO アライン不合格。 ローテイト時に NCO リセット 未完了	0x0	R
		2	RESERVED		予約済み。	0x0	R
		[1:0]	NCO_ALIGN_MODE	00 10 01	NCO アライン・モード。 NCO アラインをディスエーブル データ・キーへの NCO アライン SYSREF への NCO アライン	0x0	R/W
0x051	NCOKEY_ILSB	[7:0]	NCOKEYI[7:0]		Iチャンネルの NCO データ・キー。	0x0	R/W
0x052	NCOKEY_IMSB	[7:0]	NCOKEYI[15:8]		Iチャンネルの NCO データ・キー。	0x0	R/W
0x053	NCOKEY_QLSB	[7:0]	NCOKEYQ[7:0]		Qチャンネルの NCO データ・キー。	0x0	R/W
0x054	NCOKEY_QMSB	[7:0]	NCOKEYQ[15:8]		Qチャンネルの NCO データ・キー。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
0x060	PDP_THRES0	[7:0]	PDP_THRES-HOLD[7:0]		PDP_THRESHOLD は、比較用の平均電力スレッシュホールドになります。信号電力の移動平均がこのスレッシュホールドを超えると、PDP_PROTECT がハイ・レベルに設定されます。	0x0	R/W
0x061	PDP_THRES1	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	PDP_THRESHOLD[12:8]		レジスタ 0x60 を参照してください。	0x0	R/W
0x062	PDP_AVG_TIME	7	PDP_ENABLE	1	平均電力計算のイネーブル。	0x0	R/W
		[6:4]	RESERVED		予約済み。	0x0	R
		[3:0]	PDP_AVG_TIME		0~10 に設定可能。2^(9+PDP_AVG_TIME) IQ サンプル対に対する平均。	0x0	R/W
0x063	PDP_POWER0	[7:0]	PDP_POWER[7:0]		PDP_POWER が PDP_THRESHOLD を超えていない場合、PDP_POWER が信号電力 (I <sup>2</sup> + Q <sup>2</sup> ) の移動平均をリードバックします。PDP_THRESHOLD が超えた場合、PDP_POWER は対応する IRQ (0x025[7] または 0x026[7]) がクリアされるまで、最大値を格納します。電力計算では上位 7 ビットのデータだけ使用します。	0x0	R
0x064	PDP_POWER1	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	PDP_POWER[12:8]		レジスタ 0x063 を参照してください。	0x0	R
0x080	CLKCFG0	7	PD_CLK01		デュアル A クロックのパワーダウン。このビットは、デュアル A のデジタル・クロックとアナログ・クロックをディスエーブルします。	0x1	R/W
		6	PD_CLK23		デュアル B クロックのパワーダウン。このビットは、デュアル B のデジタル・クロックとアナログ・クロックをディスエーブルします。	0x1	R/W
		5	PD_CLK_DIG		すべての DAC クロックのパワーダウン。このビットは、両デュアルのデジタル・クロックとアナログ・クロックの両方をディスエーブルします。これには、すべてのリファレンス・クロック、PCLK、DAC クロック、デジタル・クロックが含まれます。	0x1	R/W
		4	PD_SERDES_PCLK		SERDES PLL クロックのパワーダウン。このビットは、SERDES PLL に対するリファレンス・クロックをディスエーブルします。これはシリアル・インターフェースの動作に必要です。	0x1	R/W
		3	PD_CLK_REC		クロック・レシーバのパワーダウン。このビットは、アナログ DAC クロック・レシーバ・ブロックをパワーダウンさせます。このビットをセットすると、クロックが内部回路に供給されません。	0x1	R/W
		[2:0]	RESERVED		予約済み。	0x0	R
0x081	SYSREF_ACTRL0	[7:5]	RESERVED		予約済み。	0x0	R
		4	PD_SYSREF		SYSREF バッファのパワーダウン。このビットは SYSREF レシーバをパワーダウンさせます。サブクラス 1 が動作するためには、このバッファをイネーブルする必要があります。	0x1	R/W
		3	HYS_ON		ヒステリシスのイネーブル。このビットは、SYSREF レシーバに対するプログラマブルなヒステリシス制御をイネーブルします。ヒステリシスを使うと、ノイズ耐性が得られますが、HYS_CNTRL と SYSREF± edge rate に応じて SYSREF± エッジが遅延します。ヒステリシスを使うと、SYSREF± KOW は保証されません。	0x0	R/W
		2	SYSREF_RISE	0	SYSREF をサンプルする DAC クロック・エッジの選択。 アライメントのために SYSREF のサンプルに DAC クロックの立下がりエッジを使用します。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
				1	アライメントのために SYSREF のサンプルに DAC クロックの立上がりエッジを使用します。		
		[1:0]	HYS_CNTRL1		ヒステリシス・コントロール・ビット[9:8]。HYS_CNTRL は、10 ビットの温度計コード値です。各ビットのセットにより、10 mV の差動ヒステリシスが SYSREF レシーバに加えられます。	0x0	R/W
0x082	SYSREF_ACTRL1	[7:0]	HYS_CNTRL0		ヒステリシス・コントロール・ビット[7:0]。	0x0	R/W
0x083	DACPLLCNTRL	7	RECAL_DACPLL		DAC PLL の再キャリブレーション。このビットの立上がりエッジで、DAC PLL が再キャリブレーションされます。	0x0	R/W
		[6:5]	RESERVED		予約済み。	0x0	R
		4	ENABLE_DACPLL		シンセサイザのイネーブル。このビットは、DAC PLL をイネーブルしてキャリブレーションします。	0x0	R/W
		[3:0]	RESERVED		予約済み。	0x0	R
0x084	DACPLLSTATUS	7	DACPLL_OVERRANGE_H		DAC PLL 上側オーバーレンジ。このビットは、DAC PLL が動作帯域の上限に一致したことを表示します。再キャリブレーション。	0x0	R
		6	DACPLL_OVERRANGE_L		DAC PLL 下側オーバーレンジ。このビットは、DAC PLL が動作帯域の下限に一致したことを表示します。再キャリブレーション。	0x0	R
		5	DACPLL_CAL_VALID		DAC PLL キャリブレーション有効。このビットは、DAC PLL が正常にキャリブレーションされたことを表示します。	0x0	R
		[4:2]	RESERVED		予約済み。	0x0	R
		1	DACPLL_LOCK		DAC PLL ロック・ビット。PLL がロックしたとき、PLL がこのビットをハイ・レベルに設定します。	0x0	R
		0	RESERVED		予約済み。	0x0	R
0x085	DACINTEGERWORD0	[7:0]	B_COUNT		整数除算ワード。このビットは、DAC PLL の整数帰還分周器を制御します。次式を使って DAC クロック周波数を求めます(詳細については、クロック通倍のセクションを参照してください): $f_{DAC} = f_{REF} / (REF\_DIVRATE) \times 2 \times B\_COUNT$ $f_{VCO} = f_{REF} / (REF\_DIVRATE) \times 2 \times B\_COUNT \times LO\_DIV\_MODE$ 最小値は 6 です。	0x8	R/W
0x087	DACLOOPFLT1	[7:4]	LF_C2_WORD		C2 コントロール・ワード。C2 に対応する値については、3 種類の DAC PLL リファレンス周波数に対するルックアップ・テーブルのセクションを参照してください。	0x8	R/W
		[3:0]	LF_C1_WORD		C1 コントロール・ワード。C1 に対応する値については、3 種類の DAC PLL リファレンス周波数に対するルックアップ・テーブルのセクションを参照してください。	0x8	R/W
0x088	DACLOOPFLT2	[7:4]	LF_R1_WORD		R1 コントロール・ワード。R1 に対応する値については、3 種類の DAC PLL リファレンス周波数に対するルックアップ・テーブルのセクションを参照してください。	0x8	R/W
		[3:0]	LF_C3_WORD		C3 コントロール・ワード。C3 に対応する値については、3 種類の DAC PLL リファレンス周波数に対するルックアップ・テーブルのセクションを参照してください。	0x8	R/W
0x089	DACLOOPFLT3	7	LF_BYPASS_R3		R3 抵抗のバイパス。このビットをセットすると、R3_WORD が 0 に設定されたとき、R3 コンデンサがバイパスされます (0 pF に設定)。	0x0	R/W
		6	LF_BYPASS_R1		R1 抵抗のバイパス。このビットをセットすると、R1_WORD が 0 に設定されたとき、R1 コンデンサがバイパスされます (0 pF に設定)。	0x0	R/W
		5	LF_BYPASS_C2		バイパス C2 コンデンサ。このビットをセットすると、C2_WORD が 0 に設定されたとき、C2 コンデンサがバイパスされます (0 pF に設定)。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
		4	LF_BYPASS_C1		バイパス C1 コンデンサ。このビットをセットすると、C1_WORD が 0 に設定されたとき、C1 コンデンサがバイパスされます (0 pF に設定)。	0x0	R/W
		[3:0]	LF_R3_WORD		R3 コントロール・ワード。R3 に対応する値については、3 種類の DAC PLL リファレンス周波数に対するルックアップ・テーブルのセクションを参照してください。	0x8	R/W
0x08A	DACPCNTRL	[7:6]	RESERVED		予約済み。	0x0	R
		[5:0]	CP_CURRENT		チャージポンプ電流の制御。チャージポンプ電流に対応する値については、3 種類の DAC PLL リファレンス周波数に対するルックアップ・テーブルのセクションを参照してください。	0x20	R/W
0x08B	DACLOGENCNTRL	[7:2]	RESERVED		予約済み。	0x0	R
		[1:0]	LO_DIV_MODE	01 10 11	この範囲は、VCO クロック・レートと DAC クロック・レートの間の RF クロック分周比を制御します。オプションとして、4x、8x、または 16x の分周比があります。6 GHz < f <sub>vco</sub> < 12 GHz となるように LO_DIV_MODE を選択してください (詳細については、クロック通倍のセクションを参照してください): DAC クロック = VCO/4 DAC クロック = VCO/8 DAC クロック = VCO/16	0x2	R/W
0x08C	DACLDOCNTRL1	[7:3]	RESERVED		予約済み。	0x0	R
		[2:0]	REF_DIV_MODE	000 001 010 011 100	リファレンス・クロック分周比。このフィールドは、リファレンス・クロックとして PLL へ供給する前に CLK+/CLK- ピンで入力クロックに対して行われる分周比を制御します。リファレンス・クロック周波数は 35 MHz ~ 80 MHz である必要がありますが、CLK+/CLK- 入力周波数は 35 MHz ~ 1 GHz の範囲が可能です。ユーザーがこの分周比を設定して 35 MHz ~ 80 MHz PLL のリファレンス周波数を実現します。詳細については、クロック通倍のセクションを参照してください。	0x1	R/W
0x0E2	CAL_CTRL_GLOBAL	[7:2]	RESERVED		予約済み。	0x0	R
		1	CAL_START_AVG		平均キャリブレーションの開始。立上がりエッジで、DAC をキャリブレーションします。すべての DAC をキャリブレーションする場合にのみ使用してください。	0x0	R/W
		0	CAL_EN_AVG	1	平均キャリブレーションのイネーブル。CAL_START_AVG でキャリブレーションを開始する前にセットしてください。このビットがセットされている間、キャリブレーションを実行でき、結果が適用されます。平均キャリブレーションをイネーブル	0x0	R/W
0x0E7	CAL_CLKDIV	[7:4]	RESERVED		正常動作のためにはデフォルト値を書込む必要があります。	0x3	R/W
		3	CAL_CLK_EN	1 0	セルフ・キャリブレーション・クロックのイネーブル。 キャリブレーション・クロックをイネーブル キャリブレーション・クロックをディスエーブル	0x0	R/W
		[2:0]	RESERVED		予約済み。	0x0	R
0x0E8	CAL_PAGE	[7:4]	RESERVED		予約済み。	0x0	R
		[3:0]	CAL_PAGE		DAC キャリブレーション・ページング。キャリブレーションまたはキャリブレーション・リードバックのためにアクセスする	0xF	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
					DAC を選択します。このページングは、レジスタ 0x0E9 とレジスタ 0x0ED に有効です。 キャリブレーション: 書込みとキャリブレーションのために、任意数の DAC を同時にアクセスすることができます。DAC x を選択するときはビット x に 1 を書込んでください。 リードバック: CAL_CTRL (レジスタ 0x0E9) をリードバックするときは、1 回に 1 個の DAC をアクセスすることができます。DAC x を読出すときはビット x に 1 を書込んでください (他のビットは 0 である必要があります)。		
0x0E9	CAL_CTRL	7	CAL_FIN	1	キャリブレーション完了。キャリブレーションが完了すると、このビットがハイ・レベルになります。キャリブレーションが完了し、かつ CAL_ERRHI または CAL_ERRLO がハイ・レベルの場合、キャリブレーションは有効と見なされ、タイムアウト・イベントと見なされます。 キャリブレーションが完了しました。	0x0	R
		6	CAL_ACTIVE	1	キャリブレーション・アクティブ。キャリブレーション中、このビットはハイ・レベルになります。 キャリブレーション実行中	0x0	R
		5	CAL_ERRHI	1	SAR データ・エラー: 高過ぎる。任意のキャリブレーション DAC が上側で範囲外となった場合、キャリブレーション・サイクルの終わりにこのビットがセットされます。これは一般に、アルゴリズムがキャリブレーション DAC のキャリブレーション既定値を調整して、もう一度サイクルを実行することを意味します。 データが上側で飽和	0x0	R
		4	CAL_ERRLO	1	SAR データ・エラー: 低過ぎる。任意のキャリブレーション DAC が下側で範囲外となった場合、キャリブレーション・サイクルの終わりにこのビットがセットされます。これは一般に、アルゴリズムがキャリブレーション DAC のキャリブレーション既定値を調整して、もう一度サイクルを実行することを意味します。 データが下側で飽和	0x0	R
		[3:2]	RESERVED		予約済み。	0x0	R
		1	CAL_START	0 1	キャリブレーションの開始。このビットの立上がりエッジで、CAL_INDX レジスタで選択された DAC に対するキャリブレーション・シーケンスが開始されます。 ノーマル動作 キャリブレーション・ステート・マシンを起動	0x0	R/W
		0	CAL_EN	0 1	キャリブレーションのイネーブル。コンバータのキャリブレーション DAC をイネーブルします。エンジンとマシンのキャリブレーションをイネーブルします。キャリブレーションの開始を準備します。被キャリブレーション DAC に適用するキャリブレーション係数に対して、このビットはハイ・レベルである必要があります。 キャリブレーション DAC を使用しないでください。 キャリブレーション DAC を使用します。	0x0	R/Wr
0x0ED	CAL_INIT	[7:0]	CAL_INIT		キャリブレーションの初期化。キャリブレーションまたは平均キャリブレーションの開始前に 0xA2 に書込を行う必要があります。	0xA6	R/W
0x110	DATA_FORMAT	7	BINARY_FORMAT	0 1	データ・バスのバイナリフォーマットまたは 2 の補数フォーマット。 入力データは 2 の補数 入力データはオフセット・バイナリ	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
		[6:0]	RESERVED		予約済み。	0x0	R
0x111	DATAPATH_CTRL	7	INVSINC_ENABLE	1 0	逆 Sinc フィルタのイネーブル。  逆 sinc フィルタをイネーブル 逆 sinc フィルタをディスエーブル	0x1	R/W
		6	RESERVED		予約済み。	0x0	R
		5	DIG_GAIN_ENABLE	1 0	デジタル・ゲインのイネーブル。  デジタル・ゲイン機能をイネーブル デジタル・ゲイン機能をディスエーブル	0x1	R/W
		4	PHASE_ADJ_ENABLE	1 0	位相補償のイネーブル。  位相調整補償をイネーブル 位相調整補償をディスエーブル	0x0	R/W
		[3:2]	MODULATION_TYPE	00 01 10 11	変調動作タイプの選択。  無変調 微変調 (FTW 使用) $f_s/4$ 粗変調 $f_s/8$ 粗変調	0x0	R/W
		1	SEL_SIDE BAND		スペクトル反転制御。微変調でのみ使用可能。これにより、負側サイドバンドが選択され、FTW の符号変更と同じになります。。	0x0	R/W
		0	I_TO_Q		I データの Q DAC への送信。DAC に入力される前のデジタル・データパスの終わりで I データと Q データを交換します。	0x0	R/W
0x112	INTERP_MODE	[7:3]	RESERVED		予約済み。	0x0	R
		[2:0]	INTERP_MODE	000 001 011 100	インターポレーション・モード。  1× モード 2× モード 4× モード 8× モード	0x1	R/W
0x113	NCO_FTW_UPDATE	[7:2]	RESERVED		予約済み。	0x0	R
		1	FTW_UPDATE_ACK		周波数チューニング・ワード更新アクリッジ。FTW が更新されると、このリードバックがハイ・レベルになります。	0x0	R
		0	FTW_UPDATE_REQ		SPI からの周波数チューニング・ワード更新要求。大部分のレジスタとは異なり、NCO 微変調に関するレジスタ (レジスタ 0x114~レジスタ 0x11B) は、書込みの後に直ちに更新されません。FTW 値と位相オフセット値を書込んだ後、このビットをセットしてください。これらのレジスタは、このビットの立上がりエッジで更新されます。内部状態がレジスタ 0x114~レジスタ 0x11B に一致するのは、この更新の後です。この更新発生の確認は、このレジスタのビット 1 をリードバックすることにより可能で、その確認は更新アクリッジに対してハイ・レベルを設定します。	0x0	R/W
0x114	FTW0	[7:0]	FTW[7:0]		NCO 周波数チューニング・ワード。	0x0	R/W
0x115	FTW1	[7:0]	FTW[15:8]		NCO 周波数チューニング・ワード。	0x0	R/W
0x116	FTW2	[7:0]	FTW[23:16]		NCO 周波数チューニング・ワード。	0x0	R/W
0x117	FTW3	[7:0]	FTW[31:24]		NCO 周波数チューニング・ワード。	0x0	R/W
0x118	FTW4	[7:0]	FTW[39:32]		NCO 周波数チューニング・ワード。	0x0	R/W
0x119	FTW5	[7:0]	FTW[47:40]		NCO 周波数チューニング・ワード。	0x10	R/W
0x11A	NCO_PHASE_OFFSET0	[7:0]	NCO_PHASE_OFFSET[7:0]		NCO 位相オフセットの下位 8 ビット。NCO_PHASE_OFFSET は、I データと Q データの位相を変更し、NCO 微変調を使用する場合にのみ機能します。16 ビットの 2 の補数値で、.0055°ステップで -180~+180° の範囲です。	0x0	R/W
0x11B	NCO_PHASE_OFFSET1	[7:0]	NCO_PHASE_OFFSET[15:8]		NCO 位相オフセットの上位 8 ビット。	0x0	R/W
0x11C	PHASE_ADJ0	[7:0]	PHASE_ADJ[7:0]		位相補償ワードの下位 8 ビット。位相補償は、I データと Q データの間の位相を変更します。PHASE_ADJ は 13 ビットの 2 の補数	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
					値です。-14°~+14°の範囲で、0.0035°の分解能ステップで制御します。		
0x11D	PHASE_ADJ1	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	PHASE_ADJ[12:8]		位相補償ワードの上位 5 ビット。	0x0	R/W
0x11F	TXEN_SM_0	[7:6]	FALL_COUNTERS		立下がりカウンタ数。TXENx の立下がりエッジから TX_PROTECT の立下がりを遅延させるために使用するカウンタ数。1 または 2 を設定する必要があります。	0x2	R/W
		[5:4]	RISE_COUNTERS		立上がりカウンタ数。TXENx の立上がりエッジから TX_PROTECT の立上がりを遅延させるために使用するカウンタ数。	0x0	R/W
		3	RESERVED		予約済み。	0x0	R
		2	PROTECT_OUT_INVERT	0	PROTECT_OUTx 反転。 出力が有効なとき PROTECT_OUTx がハイ・レベルになります。送信時にダウンストリーム・コンポーネントのイネーブルに適しています。	0x0	R/W
				1	出力が無効なとき PROTECT_OUTx がハイ・レベルになります。非送信時にダウンストリーム・コンポーネントのディスエーブルに適しています。		
		[1:0]	RESERVED		正常動作のためにはデフォルト値を書込む必要があります。	0x3	R/W
0x121	TXEN_RISE_COUNT_0	[7:0]	RISE_COUNT_0		TXENx の立上がりエッジから TX_PROTECT の立上がりを遅延させるために使用する 1 つ目のカウンタ。32 × RISE_COUNT_0 DAC クロック・サイクルだけ遅延させます。	0xF	R/W
0x122	TXEN_RISE_COUNT_1	[7:0]	RISE_COUNT_1		TXENx の立上がりエッジから TX_PROTECT の立上がりを遅延させるために使用する 2 つ目のカウンタ。32 × RISE_COUNT_1 DAC クロック・サイクルだけ遅延させます。	0x0	R/W
0x123	TXEN_FALL_COUNT_0	[7:0]	FALL_COUNT_0		TXENx の立下がりエッジから TX_PROTECT の立下がりを遅延させるために使用する 1 つ目のカウンタ。32 × FALL_COUNT_0 DAC クロック・サイクルだけ遅延させます。最小値 0x12 を設定する必要があります。	0xFF	R/W
0x124	TXEN_FALL_COUNT_1	[7:0]	FALL_COUNT_1		TXENx の立下がりエッジから TX_PROTECT の立下がりを遅延させるために使用する 2 つ目のカウンタ。32 × FALL_COUNT_1 DAC クロック・サイクルだけ遅延させます。	0xFF	R/W
0x12D	DEVICE_CONFIG_REG_0	[7:0]	DEVICE_CONFIG_0		適切なデジタル・データパス設定のためには 0x8B を設定する必要があります。	0x46	R/W
0x12F	DIE_TEMP_CTRL0	[7:1]	RESERVED		正常動作のためにはデフォルト値を書込む必要があります。	0x10	R/W
		0	AUXADC_ENABLE	0	AUX ADC ブロックのイネーブル。 AUX ADC をディスエーブル	0x0	R/W
				1	AUX ADC をイネーブル		
0x132	DIE_TEMP0	[7:0]	DIE_TEMP[7:0]		補助 ADC のリードバック値。	0x0	R
0x133	DIE_TEMP1	[7:0]	DIE_TEMP[15:8]		補助 ADC のリードバック値。	0x0	R
0x134	DIE_TEMP_UPDATE	[7:1]	RESERVED		予約済み。	0x0	R
		0	DIE_TEMP_UPDATE		チップ温度の更新。立上がりエッジで、新しい温度コードが発生されます。	0x0	R/W
0x135	DC_OFFSET_CTRL	[7:1]	RESERVED		予約済み。	0x0	R
		0	DC_OFFSET_ON	1	DC オフセット・オン。 DC オフセット・モジュールをイネーブル	0x0	R/W
0x136	IPATH_DC_OFFSET_1PART0	[7:0]	LSB_OFFSET_I[7:0]		IPath DC オフセットの下位 8 ビット。 LSB_OFFSET_I は 16 ビットの 2 の補数値で、着信データに加算されます。	0x0	R/W
0x137	IPATH_DC_OFFSET_1PART1	[7:0]	LSB_OFFSET_I[15:8]		IPath DC オフセットの上位 8 ビット。 LSB_OFFSET_I は 16 ビットの 2 の補数値で、着信 I データに加算されます。	0x0	R/W
0x138	QPATH_DC_OFFSET_1PART0	[7:0]	LSB_OFFSET_Q[7:0]		QPath DC オフセットの下位 8 ビット。 LSB_OFFSET_Q は 16 ビットの 2 の補数値で、着信 Q データに加算されます。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
0x139	QPATH_DC_OFFSET_1PART1	[7:0]	LSB_OFFSET_Q[15:8]		QPath DC オフセットの上位 8 ビット。LSB_OFFSET_Q は 16 ビットの 2 の補数値で、着信 Q データに加算されます。	0x0	R/W
0x13A	IPATH_DC_OFFSET_2PART	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	SIXTEENTH_OFFSET_I	x	SIXTEENTH_OFFSET_I は LSB の 16 番目の 5 ビット 2 の補数値で、着信 I データに加算されます。 x/16 LSB DC オフセット	0x0	R/W
0x13B	QPATH_DC_OFFSET_2PART	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	SIXTEENTH_OFFSET_Q	x	SIXTEENTH_OFFSET_Q は LSB の 16 番目の 5 ビット 2 の補数値で、着信 Q データに加算されます。 x/16 LSB DC オフセット	0x0	R/W
0x13C	IDAC_DIG_GAIN0	[7:0]	IDAC_DIG_GAIN[7:0]		IDAC デジタル・ゲインの下位 8 ビット。IDAC_DIG_GAIN は、IDAC のデジタル・ゲインです。デジタル・ゲインは、1/2048 ステップの 0~4095/2048 の乗数です。	0xEA	R/W
0x13D	IDAC_DIG_GAIN1	[7:4]	RESERVED		予約済み。	0x0	R
		[3:0]	IDAC_DIG_GAIN[11:8]		IDAC デジタル・ゲインの上位 4 ビット	0xA	R/W
0x13E	QDAC_DIG_GAIN0	[7:0]	QDAC_DIG_GAIN[7:0]		Q DAC デジタル・ゲインの下位 8 ビット。QDAC_DIG_GAIN は、QDAC のデジタル・ゲインです。デジタル・ゲインは、1/2048 ステップの 0~4095/2048 の乗数です。	0xEA	R/W
0x13F	QDAC_DIG_GAIN1	[7:4]	RESERVED		予約済み。	0x0	R
		[3:0]	QDAC_DIG_GAIN[11:8]		Q DAC デジタル・ゲインの上位 4 ビット	0xA	R/W
0x140	GAIN_RAMP_UP_STEP0	[7:0]	GAIN_RAMP_UP_STEP[7:0]	0x0 0xFFF	ゲイン・ランプアップ・ステップの下位 8 ビット。GAIN_RAMP_UP_STEP は、ゲインが割り当てられた値へランプさせられるとき、BSM のランピング機能の振幅ステップ・サイズを制御します。 最小ランプアップ・ステップ・サイズ 最大ランプアップ・ステップ・サイズ	0x4	R/W
0x141	GAIN_RAMP_UP_STEP1	[7:4]	RESERVED		予約済み。	0x0	R
		[3:0]	GAIN_RAMP_UP_STEP[11:8]		ゲイン・ランプアップ・ステップの上位 4 ビット。説明についてはレジスタ 0x140 を参照してください。	0x0	R/W
0x142	GAIN_RAMP_DOWN_STEP0	[7:0]	GAIN_RAMP_DOWN_STEP[7:0]	0 0xFFF	ゲイン・ランプダウン・ステップの下位 8 ビット。GAIN_RAMP_DOWN_STEP は、ゲインが 0 へランプさせられるとき、BSM のランピング機能の振幅ステップ・サイズを制御します。 最小ランプダウン・ステップ・サイズ 最大ランプダウン・ステップ・サイズ	0x9	R/W
0x143	GAIN_RAMP_DOWN_STEP1	[7:4]	RESERVED		予約済み。	0x0	R
		[3:0]	GAIN_RAMP_DOWN_STEP[11:8]		ゲイン・ランプダウン・ステップの上位 4 ビット。説明についてはレジスタ 0x142 を参照してください。	0x0	R/W
0x146	DEVICE_CONFIG_REG_1	[7:0]	DEVICE_CONFIG_1		適切なデジタル・データパス設定のためには 0x01 を設定する必要があります。	0x0	R/W
0x147	BSM_STAT	[7:6]	SOFTBLANKRB	00 01 10 11	ブランキング・ステート。 データがフル・ブランクです。 データ処理からフル・ブランキングへランピング フル・ブランクからデータ処理へランピング データの処理中	0x0	R
		[5:0]	RESERVED		予約済み。	0x0	R
0x14B	PRBS	7	PRBS_GOOD_Q	0 1	正常データ・インジケータ虚数チャンネル。 不正シーケンスを検出 正常 PRBS シーケンスを検出	0x0	R
		6	PRBS_GOOD_I		正常データ・インジケータ実数チャンネル。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
				0	不正シーケンスを検出		
				1	正常 PRBS シーケンスを検出		
		[5:3]	RESERVED		予約済み。	0x0	R
		2	PRBS_MODE	0	多項式の選択	0x0	R/W
				1	7 ビット: $x^7 + x^6 + 1$ 15 ビット: $x^{15} + x^{14} + 1$		
		1	PRBS_RESET	0	エラー・カウンタのリセット。	0x0	R/W
				1	通常動作 カウンタをリセット		
		0	PRBS_EN	0	PRBS チェックをイネーブル。	0x0	R/W
				1	ディスエーブル イネーブル		
0x14C	PRBS_ERROR_I	[7:0]	PRBS_COUNT_I		エラー・カウント値実数チャンネル。	0x0	R
0x14D	PRBS_ERROR_Q	[7:0]	PRBS_COUNT_Q		エラー・カウント値虚数チャンネル。	0x0	R
0x1B4	DACPLLT4	7	RESERVED		予約済み。	0x0	R
		[6:3]	VCO_CAL_OFFSE T		VCO キャリブレーション用のオフセットの 開始。VCO キャリブレーション・オフセッ トに対応する値については、3 種類の DAC PLL リファレンス周波数に対するルックア ップ・テーブルのセクションを参照してくだ さい。	0xF	R/W
		[2:0]	RESERVED		予約済み。	0x0	R
0x1B5	DACPLLT5	[7:4]	RESERVED		正常動作のためにはデフォルト値を書込む必 要があります。	0x8	R/W
		[3:0]	VCO_VAR		バラクタ KVO 設定。VCO バラクタ・リファ レンスに対応する値については、3 種類の DAC PLL リファレンス周波数に対するルッ クアップ・テーブルのセクションを参照して ください。	0x3	R/W
0x1B6	DACPLLT6	[7:4]	RESERVED		正常動作のためにはデフォルト値を書込む必 要があります。	0x4	R/W
		[3:0]	VCO_LVL_OUT		VCO 振幅制御。VCO 出力レベルに対応する 値については、3 種類の DAC PLL リファレ ンス周波数に対するルックアップ・テーブ ルのセクションを参照してください。	0xA	R/W
0x1BB	DACPLLTB	[7:5]	RESERVED		予約済み。	0x0	R
		[4:3]	VCO_BIAS_TCF		VCO バイアスの温度係数。VCO バイアス温 度係数に対応する値については、3 種類の DAC PLL リファレンス周波数に対するルッ クアップ・テーブルのセクションを参照して ください。	0x1	R/W
		[2:0]	VCO_BIAS_REF		VCO バイアス制御。VCO バイアス・リファ レンスに対応する値については、3 種類の DAC PLL リファレンス周波数に対するルッ クアップ・テーブルのセクションを参照して ください。	0x4	R/W
0x1BD	DACPLLTD	[7:3]	RESERVED		予約済み。	0x0	R
		[2:0]	VCO_CAL_REF_ TCF		キャリブレーション・リファレンスの温度係 数。このフィールドは、VCO バンド・キャ リブレーション・リファレンス電圧の設定に 使用する電流の温度係数を設定します。	0x0	R/W
0x1C4	DEVICE_CONFIG_ REG_2	[7:0]	DEVICE_CONFIG _2		適切な DAC PLL 設定のためには 0x73 を設 定する必要があります。	0x33	R/W
0x200	MASTER_PD	[7:1]	RESERVED		予約済み。	0x0	R
		0	SPI_PD_MASTER		JESD レシーバ・アナログ全体のパワーダウ ン(全 8 チャンネル+バイアス)。	0x1	R/W
0x201	PHY_PD	[7:0]	SPI_PD_PHY		各 PHY パワーダウンでの SPI 優先。 SERDINx± PHY をパワーダウンさせるときは 対応するビット x をセットします	0x0	R/W
0x203	GENERIC_PD	[7:2]	RESERVED		予約済み。	0x0	R
		1	SPI_SYNC1_PD		SYNCOUT0±の LVDS バッファのパワーダウ ン。	0x0	R/W
		0	SPI_SYNC2_PD		SYNCOUT1±の LVDS バッファのパワーダウ ン。	0x0	R/W
0x206	CDR_RESET	[7:1]	RESERVED		予約済み。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
		0	SPI_CDR_RESETN	0 1	全 PHY のデジタル制御ロジックのリセット。 CDR をリセット状態に維持 CDR をイネーブル	0x1	R/W
0x230	CDR_OPERATING_MODE_REG_0	[7:6]	RESERVED		予約済み。	0x0	R
		5	ENHALFRATE		ハーフ・レート CDR 動作をイネーブル。 5.65 Gbps ≤ レーン・レート ≤ 10.64 の場合、1 に設定してください。	0x1	R/W
		[4:2]	RESERVED		正常動作のためにはデフォルト値を書込む必要があります。	0x2	R/W
		1	CDR_OVERSAMP		入力データのオーバーサンプリングをイネーブル。 1.42 Gbps ≤ レーン・レート ≤ 2.76 Gbps の場合、1 に設定してください。	0x0	R/W
		0	RESERVED		予約済み。	0x0	R
0x232	DEVICE_CONFIG_REG_3	[7:0]	DEVICE_CONFIG_3		適切な JESD インターフェース設定のためには 0xFF を設定する必要があります。	0x0	R/W
0x268	EQ_BIAS_REG	[7:6]	EQ_POWER_MODE	00 01	イコライザ・パワー/挿入損失機能の制御。 通常モード 低消費電力モード	0x1	R/W
		[5:0]	RESERVED		正常動作のためにはデフォルト値を書込む必要があります。	0x22	R/W
0x280	SERDESPLL_ENABLE_CNTRL	[7:3]	RESERVED		予約済み。	0x0	R
		2	RECAL_SERDESPLL		SERDES PLL の再キャリブレーション。立上がりエッジで、SERDES PLL が再キャリブレーションされます。	0x0	R/W
		1	RESERVED		予約済み。	0x0	R
		0	ENABLE_SERDESPLL		SERDES PLL のイネーブル。このビットを設定すると、SERDES PLL がイネーブルされてキャリブレーションされます。	0x0	R/W
0x281	PLL_STATUS	[7:6]	RESERVED		予約済み。	0x0	R
		5	SERDES_PLL_OVERRANGE_H		SERDES PLL 上側オーバーレンジ。このビットは、DAC PLL が動作帯域の下限に一致したことを表示します。再キャリブレーション。	0x0	R
		4	SERDES_PLL_OVERRANGE_L		SERDES PLL 下側オーバーレンジ。このビットは、DAC PLL が動作帯域の下限に一致したことを表示します。再キャリブレーション。	0x0	R
		3	SERDES_PLL_CAL_VALID_RB		SERDES PLL キャリブレーション有効。このビットは、SERDES PLL が正常にキャリブレーションされたことを表示します。	0x0	R
		[2:1]	RESERVED		予約済み。	0x0	R
		0	SERDES_PLL_LOCK_RB		SERDES PLL のロック。PLL がロックしたとき、PLL がこのビットをハイ・レベルに設定します。	0x0	R
0x289	REF_CLK_DIVIDER_LDO	[7:3]	RESERVED		予約済み。	0x0	R
		2	DEVICE_CONFIG_4		適切な SERDES PLL 設定のためには 1 を設定する必要があります。	0x0	R/W
		[1:0]	SERDES_PLL_DIV_MODE	00 01 10	SERDES PLL リファレンス・クロック分周比。このフィールドは、SERDES PLL 位相周波数検出器 (PFD) に入力する前に、SERDES PLL リファレンス・クロックの分周を制御します。 $f_{REF}/DivFactor = 35 \sim 80MHz$ となるように設定する必要があります。 5.65 Gbps ~ 10.64 Gbps のレーン・レートの場合 4 分周 2.83 Gbps ~ 5.52 Gbps のレーン・レートの場合 2 分周 1.42 Gbps ~ 2.76 Gbps のレーン・レートの場合 1 分周	0x0	R/W
0x291	DEVICE_CONFIG_REG_5	[7:0]	DEVICE_CONFIG_5		適切な SERDES PLL 設定のためには 0x49 を設定する必要があります。	0x46	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
0x29C	DEVICE_CONFIG_REG_6	[7:0]	DEVICE_CONFIG_6		適切な SERDES PLL 設定のためには 0x24 を設定する必要があります。	0x17	R/W
0x29F	DEVICE_CONFIG_REG_7	[7:0]	DEVICE_CONFIG_7		適切な SERDES PLL 設定のためには 0x73 を設定する必要があります。	0x33	R/W
0x2A4	DEVICE_CONFIG_REG_8	[7:0]	DEVICE_CONFIG_8		適切なクロック設定のためには 0xFF を設定する必要があります。	0x4B	R/W
0x2A5	SYNCOUTB_SWING	[7:1]	RESERVED		予約済み。	0x0	R
		0	SYNCOUTB_SWING_MD	0 1	SYNCOUTB $\pm$ 振幅モード。SYNCOUTB $\pm$ ピンの出力差動振幅モードを設定します。詳細については、表 8 を参照してください。 通常振幅モード 大振幅モード	0x0	R/W
0x2A7	TERM_BLK1_CTRLREG0	[7:1]	RESERVED		予約済み。	0x0	R
		0	RCAL_TERMBLK_1		終端のキャリブレーション。このビットの立上がりエッジで、PHY0、PHY1、PHY6、PHY7 の各終端が 50 $\Omega$ にキャリブレーションされます。	0x0	R/W
0x2AA	DEVICE_CONFIG_REG_9	[7:0]	DEVICE_CONFIG_9		適切な JESD インターフェース終端設定のためには 0xB7 を設定する必要があります。	0xC3	R/W
0x2AB	DEVICE_CONFIG_REG_10	[7:0]	DEVICE_CONFIG_10		適切な JESD インターフェース終端設定のためには 0x87 を設定する必要があります。	0x93	R/W
0x2AE	TERM_BLK2_CTRLREG0	[7:1]	RESERVED		予約済み。	0x0	R
		0	RCAL_TERMBLK_2		終端のキャリブレーション。このビットの立上がりエッジで、PHY2、PHY3、PHY4、PHY5 の各終端が 50 $\Omega$ にキャリブレーションされます。	0x0	R/W
0x2B1	DEVICE_CONFIG_REG_11	[7:0]	DEVICE_CONFIG_11		適切な JESD インターフェース終端設定のためには 0xB7 を設定する必要があります。	0xC3	R/W
0x2B2	DEVICE_CONFIG_REG_12	[7:0]	DEVICE_CONFIG_12		適切な JESD インターフェース終端設定のためには 0x87 を設定する必要があります。	0x93	R/W
0x300	GENERAL_JRX_CTRL_0	7	RESERVED		予約済み。	0x0	R
		6	CHECKSUM_MODE	0 1	チェックサム・モード。このビットは、ローカルに発生される JESD204B リンク・パラメータのチェックサム方法を制御します。値は FCMP レジスタ (レジスタ 0x40E、レジスタ 0x416、レジスタ 0x41E、レジスタ 0x426、レジスタ 0x42E、レジスタ 0x436、レジスタ 0x43E、レジスタ 0x446) に格納されます。 チェックサムは、JESD204B 規格の表 20 のセクション 8.3 に規定されるリンク設定表内の各フィールドを加算して計算されます。 チェックサムは、バックされたリンク設定フィールドを格納するレジスタを加算して計算されます ( $\Sigma[0x450:0x45C] \text{ modulo } 256$ )。	0x0	R/W
		[5:4]	RESERVED		予約済み。	0x0	R
		3	LINK_MODE	0 1	リンク・モード。このレジスタは、シングル・リンクまたはデュアル・リンク・モードを選択します。 シングル・リンク・モード デュアル・リンク・モード	0x0	R/W
		2	LINK_PAGE	0 1	リンク・ページング。使用するリンクのレジスタ・マップを選択します。このページングは、レジスタ 0x401~0x47E に有効です。 Link 0 レジスタ・マップを使用 Link 1 レジスタ・マップを使用	0x0	R/W
		[1:0]	LINK_EN		リンク・イネーブル。これらのビットは JESD204B レシーバ・デジタル回路を起動します。ビット 0 は Link 0 を、ビット 1 は Link 1 をそれぞれ起動します。すべての JESD204B パラメータが設定され、DAC PLL がイネーブル/ロックされ (レジスタ 0x084[1] = 1)、JESD204B PHY がイネーブルされ (レジスタ 0x200 = 0x00)、キャリブレーションされた (レジスタ 0x281[2] = 0) された後、リンクがイネーブルされます。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
				0b00	JESD Link 1 および JESD Link 0 をディスエーブル		
				0b01	JESD Link 1 をディスエーブルし、JESD Link 0 をイネーブル		
				0b10	JESD Link 1 をイネーブル、JESD Link 0 をディスエーブル		
				0b11	JESD Link 1 および JESD Link 0 をイネーブル		
0x301	GENERAL_JRX_CTRL_1	[7:3]	RESERVED		予約済み。	0x0	R
		[2:0]	SUBCLASSV_LOCAL	000 001	JESD204B サブクラス。  サブクラス 0 サブクラス 1	0x1	R/W
0x302	DYN_LINK_LATENCY_0	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	DYN_LINK_LATENCY_0		ダイナミック・リンク遅延: Link 0。Link 0 の LMFC <sub>Rx</sub> と直前到着の LMFC 境界との間の、PCLK サイクル数で表した遅延。ディタミニスティック・レイテンシのセクションを参照してください。	0x0	R
0x303	DYN_LINK_LATENCY_1	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	DYN_LINK_LATENCY_1		ダイナミック・リンク遅延: Link 1。Link 1 の LMFC <sub>Rx</sub> と直前到着の LMFC 境界との間の、PCLK サイクル数で表した遅延。ディタミニスティック・レイテンシのセクションを参照してください。	0x0	R
0x304	LMFC_DELAY_0	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LMFC_DELAY_0		LMFC 遅延: Link 0 の LMFC から LMFC <sub>Rx</sub> までの Link 0 遅延。単位はサブクラス 1 に対してはフレーム・クロック・サイクル数、サブクラス 0 に対しては PCLK サイクル数です。ディタミニスティック・レイテンシのセクションを参照してください。	0x0	R/W
0x305	LMFC_DELAY_1	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LMFC_DELAY_1		LMFC 遅延: Link 1 の LMFC から LMFC <sub>Rx</sub> までの Link 1 遅延。単位はサブクラス 1 に対してはフレーム・クロック・サイクル数、サブクラス 0 に対しては PCLK サイクル数です。ディタミニスティック・レイテンシのセクションを参照してください。	0x0	R/W
0x306	LMFC_VAR_0	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LMFC_VAR_0		可変遅延バッファ: Link 0。リンク間および電源サイクル間で一貫性を確保するためにバッファからデータを読み出すタイミングを設定します。単位は PCLK サイクル数。ディタミニスティック・レイテンシのセクションを参照してください。 この設定値は 10 を超えることはできません。	0x6	R/W
0x307	LMFC_VAR_1	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LMFC_VAR_1		可変遅延バッファ: Link 1。リンク間および電源サイクル間で一貫性を確保するためにバッファからデータを読み出すタイミングを設定します。単位は PCLK サイクル数。ディタミニスティック・レイテンシのセクションを参照してください。 この設定値は 10 を超えることはできません。	0x6	R/W
0x308	XBAR_LN_0_1	[7:6]	RESERVED		予約済み。	0x0	R
		[5:3]	LOGICAL_LANE1_SRC	x	論理レーン 1 ソース。論理レーン 1 へ対応させる物理レーンを選択。 SERDIN <sub>x</sub> からのデータ	0x1	R/W
		[2:0]	LOGICAL_LANE0_SRC	x	論理レーン 0 ソース。論理レーン 0 へ対応させる物理レーンを選択。 SERDIN <sub>x</sub> からのデータ	0x0	R/W
0x309	XBAR_LN_2_3	[7:6]	RESERVED		予約済み。	0x0	R
		[5:3]	LOGICAL_LANE3_SRC	x	論理レーン 3 ソース。論理レーン 3 へ対応させる物理レーンを選択。 SERDIN <sub>x</sub> からのデータ	0x3	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
		[2:0]	LOGICAL_LANE2_SRC	x	論理レーン 2 ソース。論理レーン 2 へ対応させる物理レーンを選択。 SERDINx からのデータ	0x2	R/W
0x30A	XBAR_LN_4_5	[7:6]	RESERVED		予約済み。	0x0	R
		[5:3]	LOGICAL_LANE5_SRC	x	論理レーン 5 ソース。論理レーン 5 へ対応させる物理レーンを選択。 SERDINx からのデータ	0x5	R/W
		[2:0]	LOGICAL_LANE4_SRC	x	論理レーン 4 ソース。論理レーン 4 へ対応させる物理レーンを選択。 SERDINx からのデータ	0x4	R/W
0x30B	XBAR_LN_6_7	[7:6]	RESERVED		予約済み。	0x0	R
		[5:3]	LOGICAL_LANE7_SRC	x	論理レーン 7 ソース。論理レーン 7 へ対応させる物理レーンを選択。 SERDINx からのデータ	0x7	R/W
		[2:0]	LOGICAL_LANE6_SRC	x	論理レーン 6 ソース。論理レーン 6 へ対応させる物理レーンを選択。 SERDINx からのデータ	0x6	R/W
0x30C	FIFO_STATUS_REG_0	[7:0]	LANE_FIFO_FULL		各論理レーンの FIFO フル・フラグ。フル FIFO は、JESD204B 構成またはシステム・クロックでのエラーを表示します。 レーン x の FIFO がフルの場合、このレジスタのビット x がハイ・レベルになります。	0x0	R
0x30D	FIFO_STATUS_REG_1	[7:0]	LANE_FIFO_EMPTY		各論理レーンの FIFO エンプティ・フラグ。エンプティ FIFO は、JESD204B 構成またはシステム・クロックでのエラーを表示します。 論理レーン x の FIFO がエンプティの場合、このレジスタのビット x がハイ・レベルになります。	0x0	R
0x312	SYNCB_GEN_1	[7:6]	RESERVED		予約済み。	0x0	R/W
		[5:4]	SYNCB_ERR_DUR	0 1 2	エラー時の SYNCOUTx±ロー・レベルの継続時間。この継続時間は、SYNCOUT0 および SYNCOUT1 に適用されます。1 回または複数のパリティ不一致、テーブルに不記載または予想外の制御文字エラーに遭遇した場合、同期エラーがマルチフレームの終わりにアサートされます。 ½ PCLK サイクル 1 PCLK サイクル 2 PCLK サイクル		
		[3:0]	RESERVED		予約済み。	0x0	R/W
0x314	SERDES_SPI_REG	[7:0]	SERDES_SPI_CONFIG		SERDES SPI 設定。物理層セットアップ・ステップとして 0x01 を書き込む必要があります。	0x0	R/W
0x315	PHY_PRBS_TEST_EN	[7:0]	PHY_TEST_EN		PHY テスト・イネーブル。PHY BER テストをイネーブルします。 レーン x の PHY テストをイネーブルするときはビット x をセットします。	0x0	R/W
0x316	PHY_PRBS_TEST_CTL	7	RESERVED		予約済み。	0x0	R
		[6:4]	PHY_SRC_ERR_CNT	x	PHY エラー・カウント・ソース。レジスタ 0x31A～レジスタ 0x31C に報告する PHY エラーを選択します。 レーン x のエラー・カウントを報告します。	0x0	R/W
		[3:2]	PHY_PRBS_PATTERN	00 01 10	PHY PRBS パターンの選択。PHY BER テストの PRBS パターンを選択します。 PRBS7 PRBS15 PRBS31	0x0	R/W
		1	PHY_TEST_START	0 1	PHY PRBS テストの開始。PHY PRBS テストの開始と停止を行います。 テストを停止 テスト中	0x0	R/W
		0	PHY_TEST_RESET		PHY PRBS テストのリセット。PHY PRBS テスト・ステート・マシンとエラー・カウンタをリセットします。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
				0	PHY PRBS テスト・ステート・マシンをイネーブルします。		
				1	PHY PRBS テスト・ステート・マシンをリセット状態に維持します。		
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	[7:0]	PHY_PRBS_THRESHOLD[7:0]		PHY PRBS エラー・スレッショールドの下位 8 ビット。	0x0	R/W
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	[7:0]	PHY_PRBS_THRESHOLD[15:8]		PHY PRBS エラー・スレッショールドの下位 8 ビット。	0x0	R/W
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	[7:0]	PHY_PRBS_THRESHOLD[23:16]		PHY PRBS エラー・スレッショールドの上位 8 ビット。	0x0	R/W
0x31A	PHY_PRBS_TEST_ERRCNT_LOBITS	[7:0]	PHY_PRBS_ERRCNT[7:0]		PHY PRBS エラー・カウンタの下位 8 ビット。 レジスタ 0x316[6:4]を使って選択したレーンから報告された PHY BERT エラー・カウンタ。	0x0	R
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	[7:0]	PHY_PRBS_ERRCNT[15:8]		PHY PRBS エラー・カウンタの下位 8 ビット。	0x0	R
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	[7:0]	PHY_PRBS_ERRCNT[23:16]		PHY PRBS エラー・カウンタの上位 8 ビット。	0x0	R
0x31D	PHY_PRBS_TEST_STATUS	[7:0]	PHY_PRBS_PASS		PHY PRBS テスト合格/不合格。 ビット x は、レーン x の PHY PRBS 合格/不合格物理に対応します。 物理レーン x のエラー・カウンタが PHY_PRBS_THRESHOLD を下回っている場合、このビットは 1 に設定されます。	0xFF	R
0x32C	SHORT_TPL_TEST_0	[7:6]	RESERVED		予約済み。	0x0	R
		[5:4]	SHORT_TPL_SP_SEL	x	ショート・トランスポート層サンプルの選択。ビット[3:2]を使って選択する DAC からチェックするサンプルを選択します。 サンプル x	0x0	R/W
		[3:2]	SHORT_TPL_DAC_SEL	x	ショート・トランスポート層テスト DAC の選択。サンプルする DAC を選択します。 DAC x からのサンプル	0x0	R/W
		1	SHORT_TPL_TEST_RESET	0 1	ショート・トランスポート層テストのリセット。ショート・トランスポート層テストの結果をリセットします。 リセットしない リセットする	0x0	R/W
		0	SHORT_TPL_TEST_EN	0 1	ショート・トランスポート層テストのイネーブル。このテストの実行方法については、サブクラス 0 のセクションを参照してください。 ディスエーブル イネーブル	0x0	R/W
0x32D	SHORT_TPL_TEST_1	[7:0]	SHORT_TPL_REF_SP_LSB		ショート・トランスポート層テストのリファレンス、サンプル LSB。これは、期待される DAC サンプルの下位 8 ビットです。 JESD204B レシーバ出力で受信された DAC サンプルとの比較に使用されます。	0x0	R/W
0x32E	SHORT_TPL_TEST_2	[7:0]	SHORT_TPL_REF_SP_MSB		ショート・トランスポート層テストのリファレンス、サンプル MSB。これは、期待される DAC サンプルの上位 8 ビットです。 JESD204B レシーバ出力で受信された DAC サンプルとの比較に使用されます。	0x0	R/W
0x32F	SHORT_TPL_TEST_3	[7:1]	RESERVED		予約済み。	0x0	R
		0	SHORT_TPL_FAIL	0 1	ショート・トランスポート層テスト不合格。このビットは、選択した DAC サンプルがリファレンス・サンプルと一致するか否かを表示します。一致する場合、テストに合格で、その他の場合はテストに不合格です。 テストに合格 テストに不合格	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
0x333	DEVICE_CONFIG_REG_13	[7:0]	DEVICE_CONFIG_13		適切な JESD インターフェース設定のためには 0x01 を設定する必要があります。	00	R/W
0x334	JESD_BIT_INVERSE_CTRL	[7:0]	JESD_BIT_INVERSE		論理レーンの反転。論理レーン x 上の JESD デシリアライズ・データを反転させるときはビット x にハイ・レベルを設定します。	0x0	R/W
0x400	DID_REG	[7:0]	DID_RD		デバイス識別番号。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。	0x0	R
0x401	BID_REG	[7:4]	ADJCNT_RD		DAC LMFC の調整分解能。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。0 である必要があります。	0x0	R
		[3:0]	BID_RD		バンク識別: DID の拡張子。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。	0x0	R
0x402	LID0_REG	7	RESERVED		予約済み。	0x0	R
		6	ADJDIR_RD		DAC LMFC の調整方向。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。0 である必要があります。	0x0	R
		5	PHADJ_RD		JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信した DAC リンク情報に対する位相調整要求。0 である必要があります。	0x0	R
		[4:0]	LID0_RD		レーン 0 のレーン識別情報。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。	0x0	R
0x403	SCR_L_REG	7	SCR_RD	0 1	送信スクランプリング・ステータス。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。 スクランプリングをディスエーブル スクランプリングをイネーブル	0x0	R
		[6:5]	RESERVED		予約済み。	0x0	R
		[4:0]	L-1_RD	0 1 3	コンバータ・デバイスあたりのレーン数。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。 コンバータあたり 1 レーン コンバータあたり 2 レーン コンバータあたり 4 レーン	0x0	R
0x404	F_REG	[7:0]	F-1_RD	0 1 3	フレームあたりのオクテット数。フレームあたり 1、2、4 オクテットの設定は有効です。JESD204B のセクション 8.3 の規定に従いリンク Lane 0 で受信したリンク情報。 (1 オクテット/フレーム)/レーン (2 オクテット/フレーム)/レーン (4 オクテット/フレーム)/レーン	0x0	R
0x405	K_REG	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	K-1_RD	0x0F 0x1F	マルチフレームあたりのフレーム数。16 または 32 の設定は有効です。JESD204B のセクション 8.3 の規定に従いリンク Lane 0 で受信したリンク情報。 16 フレーム/マルチフレーム 32 フレーム/マルチフレーム	0x0	R
0x406	M_REG	[7:0]	M-1_RD	0 1 3	デバイスあたりのコンバータ数。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。0、1、または 3 である必要があります。 1 コンバータ/デバイス 2 コンバータ/デバイス 4 コンバータ/デバイス	0x0	R
0x407	CS_N_REG	[7:6]	CS_RD		サンプルあたりのコントロール・ビット数。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。CS は 0 である必要があります。	0x0	R
		5	RESERVED		予約済み。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
		[4:0]	N-1_RD	0x0F	コンバータ分解能。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。コンバータ分解能は 16 である必要があります。 コンバータ分解能 = 16	0x0	R
0x408	NP_REG	[7:5]	SUBCLASSV_RD		デバイス・サブクラス・バージョン。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。	0x0	R
		[4:0]	NP-1_RD	0x0F	サンプルあたりの合計ビット数。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。サンプルあたり 16 ビットである必要があります。 サンプルあたり 16 ビット。	0x0	R
0x409	S_REG	[7:5]	JESDV_RD	000 001	JESD204B バージョン。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。 JESD204A JESD204B	0x0	R
		[4:0]	S-1_RD	0 1	フレーム・サイクルあたりの 1 コンバータのサンプル数。1 と 2 の設定は有効です。表 34 と表 35 を参照してください。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。 フレームあたり 1 コンバータのサンプル数 = 1 フレームあたり 1 コンバータのサンプル数 = 2	0x0	R
0x40A	HD_CF_REG	7	HD_RD	0 1	高密度フォーマット。JESD294B 規格のセクション 5.1.3 を参照してください。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。 低密度モード 高密度モード: JESD204B のセクション 8.3 の規定に従いレーン 0 で受信したリンク情報。	0x0	R
		[6:5]	RESERVED		予約済み。	0x0	R
		[4:0]	CF_RD		リンクあたりフレーム・クロック周期あたりのコントロール・ワード数。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。ビット [4:0] は 0 である必要があります。	0x0	R
0x40B	RES1_REG	[7:0]	RES1_RD		予約済みフィールド 1。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。	0x0	R
0x40C	RES2_REG	[7:0]	RES2_RD		予約済みフィールド 2。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。	0x0	R
0x40D	CHECKSUM_REG	[7:0]	FCHK0_RD		リンク・レーン 0 のチェックサム。JESD204B のセクション 8.3 の規定に従いリンク・レーン 0 で受信したリンク情報。	0x0	R
0x40E	COMPUSUM0_REG	[7:0]	FCMP0_RD		リンク・レーン 0 の計算したチェックサム。JESD204B レシーバは JESD204B のセクション 8.3 で規定されたレーン 0 で受信したリンク情報のチェックサムを計算します。計算方法は CHECKSUM_MODE ビット (アドレス 0x300[6]) で設定され、レジスタ 0x40D で同様に計算されたチェックサムに一致する必要があります。	0x0	R
0x412	LID1_REG	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LID1_RD		リンク・レーン 1 のレーン識別情報。JESD204B のセクション 8.3 の規定に従いレーン 0 で受信したリンク情報。	0x0	R
0x415	CHECKSUM1_REG	[7:0]	FCHK1_RD		リンク・レーン 1 のチェックサム。JESD204B のセクション 8.3 の規定に従いレーン 0 で受信したリンク情報。	0x0	R
0x416	COMPUSUM1_REG	[7:0]	FCMP1_RD		リンク・レーン 1 の計算されたチェックサム。レジスタ 0x40E の説明を参照してください。	0x0	R
0x41A	LID2_REG	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LID2_RD		リンク・レーン 2 のレーン識別。	0x0	R
0x41D	CHECKSUM2_REG	[7:0]	FCHK2_RD		リンク・レーン 2 のチェックサム。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
0x41E	COMPSUM2_REG	[7:0]	FCMP2_RD		リンク・レーン2の計算されたチェックサム(レジスタ 0x40Eの説明を参照してください)。	0x0	R
0x422	LID3_REG	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LID3_RD		リンク・レーン3のレーン識別。	0x0	R
0x425	CHECKSUM3_REG	[7:0]	FCHK3_RD		リンク・レーン3のチェックサム。	0x0	R
0x426	COMPSUM3_REG	[7:0]	FCMP3_RD		リンク・レーン3の計算されたチェックサム(レジスタ 0x40Eの説明を参照してください)。	0x0	R
0x42A	LID4_REG	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LID4_RD		リンク・レーン4のレーン識別。	0x0	R
0x42D	CHECKSUM4_REG	[7:0]	FCHK4_RD		リンク・レーン4のチェックサム。	0x0	R
0x42E	COMPSUM4_REG	[7:0]	FCMP4_RD		リンク・レーン4の計算されたチェックサム(レジスタ 0x40Eの説明を参照してください)。	0x0	R
0x432	LID5_REG	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LID5_RD		リンク・レーン5のレーン識別。	0x0	R
0x435	CHECKSUM5_REG	[7:0]	FCHK5_RD		リンク・レーン5のチェックサム。	0x0	R
0x436	COMPSUM5_REG	[7:0]	FCMP5_RD		リンク・レーン5の計算されたチェックサム(レジスタ 0x40Eの説明を参照してください)。	0x0	R
0x43A	LID6_REG	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LID6_RD		リンク・レーン6のレーン識別。	0x0	R
0x43D	CHECKSUM6_REG	[7:0]	FCHK6_RD		リンク・レーン6のチェックサム。	0x0	R
0x43E	COMPSUM6_REG	[7:0]	FCMP6_RD		リンク・レーン6の計算されたチェックサム(レジスタ 0x40Eの説明を参照してください)。	0x0	R
0x442	LID7_REG	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	LID7_RD		リンク・レーン7のレーン識別。	0x0	R
0x445	CHECKSUM7_REG	[7:0]	FCHK7_RD		リンク・レーン7のチェックサム。	0x0	R
0x446	COMPSUM7_REG	[7:0]	FCMP7_RD		リンク・レーン7の計算されたチェックサム(レジスタ 0x40Eの説明を参照してください)。	0x0	R
0x450	ILS_DID	[7:0]	DID		デバイス識別番号。JESD204Bのセクション8.3の規定に従いリンク・レーン0で受信したリンク情報。レジスタ 0x400で読出される値を設定する必要があります。	0x0	R/W
0x451	ILS_BID	[7:4]	ADJCNT		DAC LMFC 調整分解能は0に設定する必要があります。	0x0	R/W
		[3:0]	BID		バンク識別: DIDの拡張子は、レジスタ 0x401[3:0]で読出される値を設定する必要があります。	0x0	R/W
0x452	ILS_LID0	7	RESERVED		予約済み。	0x0	R
		6	ADJDIR		DAC LMFCの調整方向。0に設定する必要があります。	0x0	R/W
		5	PHADJ		DACに対する位相調整要求。0に設定する必要があります。	0x0	R/W
		[4:0]	LID0		リンク・レーン0のレーン識別。レジスタ 0x402[4:0]で読出される値を設定する必要があります。	0x0	R/W
0x453	ILS_SCR_L	7	SCR	0	レシーバ・ディスクランプリング・イネーブル。	0x1	R/W
				1	ディスクランプリングをディスエーブル		
		[6:5]	RESERVED		予約済み。	0x0	R
		[4:0]	L-1		コンバータ・デバイスあたりのレーン数。表 34と表 35を参照してください。 コンバータあたり 1レーン コンバータあたり 2レーン コンバータあたり 4レーン コンバータあたり 8レーン(シングル・リンクの場合)	0x3	R/W
				0			
				1			
				3			
0x454	ILS_F	[7:0]	F-1		フレームあたりレーンあたりのオクテット数。フレームあたり 1、2、4(オクテット/レーン)の設定は有効です。表 34と表 35を参照してください。 (1オクテット/レーン)/フレーム (2オクテット/レーン)/フレーム (4オクテット/レーン)/フレーム	0x0	R/W
0x455	ILS_K	[7:5]	RESERVED		予約済み。	0x0	R
		[4:0]	K-1		マルチフレームあたりのフレーム数。16または32の設定は有効です。F=1の場合、32	0x1F	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
				0x0F 0x1F	を設定する必要があります(レジスタ 0x476)。 16 フレーム/マルチフレーム 32 フレーム/マルチフレーム		
0x456	ILS_M	[7:0]	M-1	0 1 3	デバイスあたりのコンバータ数。表 34 と表 35 を参照してください。 1 コンバータ/リンク 2 コンバータ/リンク 4 コンバータ/リンク (シングル・リンクの場合)	0x1	R/W
0x457	ILS_CS_N	[7:6]	CS	0	サンプルあたりのコントロール・ビット数。 0 に設定する必要があります。コントロール・ビットはサポートしていません。 サンプルあたりのコントロール・ビットは 0 です。	0x0	R/W
		5	RESERVED		予約済み。	0x0	R
		[4:0]	N-1	0xF	コンバータ分解能。16 ビット分解能を設定する必要があります。 コンバータ分解能 = 16	0xF	R/W
0x458	ILS_NP	[7:5]	SUBCLASSV	0 1	デバイス・サブクラス・バージョン。 サブクラス 0 サブクラス 1	0x1	R/W
		[4:0]	NP-1	0xF	サンプルあたりの合計ビット数。サンプルあたり 16 ビットである必要があります。 サンプルあたり 16 ビット。	0xF	R/W
0x459	ILS_S	[7:5]	JESDV	000 001	JESD204 バージョン。 JESD204A JESD204B	0x1	R/W
		[4:0]	S-1	0 1	フレーム・サイクルあたりの 1 コンバータのサンプル数。1 と 2 の設定は有効です。表 34 と表 35 を参照してください。 フレームあたり 1 コンバータのサンプル数 = 1 フレームあたり 1 コンバータのサンプル数 = 2	0x0	R/W
0x45A	ILS_HD_CF	7	HD	0 1	高密度フォーマット。F=1 の場合、HD に 1 を設定する必要があります。その他の場合は、HD に 0 を設定する必要があります。 JESD204B 規格のセクション 5.1.3 を参照してください。 低密度モード 高密度モード	0x1	R/W
		[6:5]	RESERVED		予約済み。	0x0	R
		[4:0]	CF		リンクあたりフレーム・クロック周期あたりのコントロール・ワード数。0 に設定する必要があります。コントロール・ビットはサポートしていません。	0x0	R/W
0x45B	ILS_RES1	[7:0]	RES1		予約済みフィールド 1。	0x0	R/W
0x45C	ILS_RES2	[7:0]	RES2		予約済みフィールド 2。	0x0	R/W
0x45D	ILS_CHECKSUM	[7:0]	FCHK0		リンク・レーン 0 のチェックサム。計算したチェックサム。計算は 0x300[6] に依存します。	0x45	R/W
0x46B	ERRCNTRMON_RB	[7:0]	READERRORCNT R		JESD204B エラー・カウンタの読出し。 LANESEL と CNTRSEL (両方ともこの同じレジスタ内) に書き込みを行ってレーンとエラー・カウンタを選択した後に、選択したエラー・カウンタをここでリードバックします。	0x0	R
0x46B	ERRCNTRMON	7	RESERVED		予約済み。	0x0	R
		[6:4]	LANESEL	x	JESD204B エラー・カウンタに対するリンク・レーン選択。このレジスタでリードバックするエラーが発生したレーンを選択します。 リンク・レーン x を選択します。	0x0	W
		[3:2]	RESERVED		予約済み。	0x0	R
		[1:0]	CNTRSEL	00 01 10	JESD204B エラー・カウンタの選択。このレジスタでリードバックするエラー・タイプを選択します。 BADDISCNTR: パリティ不一致カウンタの誤動作 NITCNTR: テーブル不記載エラー・カウンタ UCCCNTR: 予期しない制御文字カウンタ	0x0	W
0x46C	LANEDESKEW	[7:0]	LANEDESKEW		レーン・スキューの除去。ビット x を設定すると、リンク・レーン x のスキューが除去されます。	0xF	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
0x46D	BADDISPARITY_RB	[7:0]	BADDIS		パリティ不一致文字エラー (BADDIS)。リンク・レーン x のパリティ不一致エラー・カウンタがレジスタ 0x47C のスレッシュホールドに到達すると、ビット x がセットされます。	0x0	R
0x46D	BADDISPARITY	7	RST_IRQ_DIS		BADDIS IRQ のリセット。このビットに 1 を書き込んで、ビット[2:0]を使って選択したレーンの BADDIS IRQ をリセットします。	0x0	W
		6	DISABLE_ERR_CNTR_DIS		BADDIS エラー・カウンタのディスエーブル。このビットに 1 を書き込んで、ビット[2:0]を使って選択したレーンの BADDIS エラー・カウンタをディスエーブルします。	0x0	W
		5	RST_ERR_CNTR_DIS		BADDIS エラー・カウンタのリセット。このビットに 1 を書き込んで、ビット[2:0]を使って選択したレーンの BADDIS エラー・カウンタをリセットします。	0x0	W
		[4:3]	RESERVED		予約済み。	0x0	R
		[2:0]	LANE_ADDR_DIS		ビット[7:5]で指定する機能のリンク・レーン・アドレス。	0x0	W
0x46E	NIT_RB	[7:0]	NIT		テーブル不記載文字エラー (NIT)。リンク・レーン x の NIT エラー・カウンタがレジスタ 0x47C のスレッシュホールドに到達すると、ビット x がセットされます。	0x0	R
0x46E	NIT_W	7	RST_IRQ_NIT		IRQ のリセット。このビットに 1 を書き込んで、ビット[2:0]を使って選択したレーンの IRQ をリセットします。	0x0	W
		6	DISABLE_ERR_CNTR_NIT		エラー・カウンタのディスエーブル。このビットに 1 を書き込んで、ビット[2:0]を使って選択したレーンのエラー・カウンタをディスエーブルします。	0x0	W
		5	RST_ERR_CNTR_NIT		エラー・カウンタのリセット。このビットに 1 を書き込んで、ビット[2:0]を使って選択したレーンのエラー・カウンタをリセットします。	0x0	W
		[4:3]	RESERVED		予約済み。	0x0	R
		[2:0]	LANE_ADDR_NIT		ビット[7:5]で指定する機能のリンク・レーン・アドレス。	0x0	W
0x46F	UNEXPECTED-CONTROL_RB	[7:0]	UCC		予期しない制御文字エラー (UCC)。リンク・レーン x の UCC エラー・カウンタがレジスタ 0x47C のスレッシュホールドに到達すると、ビット x がセットされます。	0x0	R
0x46F	UNEXPECTED-CONTROL_W	7	RST_IRQ_UCC		IRQ のリセット。このビットに 1 を書き込んで、ビット[2:0]を使って選択したレーンの IRQ をリセットします。	0x0	W
		6	DISABLE_ERR_CNTR_UCC		エラー・カウンタのディスエーブル。このビットに 1 を書き込んで、ビット[2:0]を使って選択したレーンのエラー・カウンタをディスエーブルします。	0x0	W
		5	RST_ERR_CNTR_UCC		エラー・カウンタのリセット。このビットに 1 を書き込んで、ビット[2:0]を使って選択したレーンのエラー・カウンタをリセットします。	0x0	W
		[4:3]	RESERVED		予約済み。	0x0	R
		[2:0]	LANE_ADDR_UC		ビット[7:5]で指定する機能のリンク・レーン・アドレス。	0x0	W
0x470	CODEGRPSYNCFLG	[7:0]	CODEGRPSYNC		コード・グループ同期フラグ (各インスタンス化されたレーン)。ビット 7 に 1 を書き込むと、IRQ がリセットされます。対応する IRQ フラグはレジスタ 0x47A[0]に配置されています。CODEGRPSYNC 喪失で、同期要求がアサーションされます。SYNCOUT 信号と SYSREF 信号のセクションおよびディタミニステック・レイテンシのセクションを参照してください。 0 同期がロストしました。 1 同期しました。	0x0	R/W
0x471	FRAMESYNCFLG	[7:0]	FRAMESYNC		フレーム同期フラグ (各インスタンス化されたレーン)。このレジスタは、各レーンのライブ・ステータスを表示します。ビット 7 に 1 を書き込むと、IRQ がリセットされます。フレーム同期が外れると、自動的に同期シーケンスが開始されます。 0 同期がロストしました。 1 同期しました。	0x0	R/W

Address	Name		Bit Name	Settings	Description	Reset	Access
0x472	GOODCHKSUMFLG	[7:0]	GOODCHECKSUM	0 1	正常チェックサム・フラグ (各インスタンス化されたレーン)。ビット7に1を書込むと、IRQがリセットされます。対応するIRQフラグはレジスタ0x47A[2]に配置されています。直前に計算されたチェックサムが不正 直前に計算されたチェックサムが正常	0x0	R/W
0x473	INITLANESYNCF LG	[7:0]	INITIALLANESYN C		初期レーン同期フラグ (各インスタンス化されたレーン)。ビット7に1を書込むと、IRQがリセットされます。対応するIRQフラグはレジスタ3x47A[0]に配置されています。同期外れは、 <u>SYNCOUT1</u> または <u>SYNCOUT0</u> でも報告されます。SYNCOUT信号とSYSREF信号のセクションおよびデータミニステック・レイテンシのセクションを参照してください。	0x0	R/W
0x476	CTRLREG1	[7:0]	F	1 2 4	フレームあたりのオクテット数。1、2または4の設定は有効です。表34と表35を参照してください。 1 オクテット/フレーム 2 オクテット/フレーム 4 オクテット/フレーム	0x1	R/W
0x477	CTRLREG2	7	ILAS_MODE	1 0	ILASテスト・モード。JESD204B仕様のセクション5.3.3.8で規定されています。JESD204Bレシーバは、受信ILASフレームを継続的に受信します。通常リンク動作	0x0	R/W
		[6:4]	RESERVED		予約済み。	0x0	R
		3	THRESHOLD_MASK_EN		スレッショルド・マスクのイネーブル。SYNC_ASSERTION_MASK (レジスタ0x47B[7:5])を使用する場合、このビットをセットします。	0x0	R/W
0x478	KVAL	[2:0]	RESERVED		予約済み。	0x0	R
		[7:0]	KSYNC	x	ILAS時のKマルチフレーム数(4分周)。マルチフレーム数を設定して、初期レーン・アライメント・シーケンスを送信します。0を設定することはできません。ILAS時に4xマルチフレーム	0x1	R/W
0x47A	IRQVECTOR_MASK	7	BADDIS_MASK	1	パリティ不一致マスク。パリティ不一致カウントが任意のレーンでERRORTHRESHに到達すると、IRQがロー・レベルになります。	0x0	W
		6	NIT_MASK	1	テーブル不記載マスク。テーブル不記載文字カウントが任意のレーンでERRORTHRESHに到達すると、IRQがロー・レベルになります。	0x0	W
		5	UCC_MASK	1	予期しない制御文字エラー・マスク。予期しない制御文字エラー・カウントが任意のレーンでERRORTHRESHに到達すると、IRQがロー・レベルになります。	0x0	W
		4	RESERVED		予約済み。	0x0	R
		3	INITIALLANESYN C_MASK	1	初期レーン同期マスク。初期レーン同期(0x473)が任意のレーンで失敗すると、IRQがロー・レベルになります。	0x0	W
		2	BADCHECKSUM_MASK	1	チェックサム不一致マスク。任意のレーンでチェックサム(0x472)不一致が発生すると、IRQがロー・レベルになります。	0x0	W
		1	FRAMESYNC_MASK	1	フレーム同期マスク。レーン同期(0x471)が任意のレーンで失敗すると、IRQがロー・レベルになります。	0x0	W
		0	CODEGRPSYNC_MASK	1	コード・グループ同期マシン・マスク。コード・グループ同期(0x470)が任意のレーンで失敗すると、IRQがロー・レベルになります。	0x0	W
0x47A	IRQVECTOR_FLAG	7	BADDIS_FLAG	1	パリティ不一致エラー・カウント。パリティ不一致文字カウントが少なくとも1レーンでERRORTHRESH(0x47C)に到達しました。レジスタ0x46Dを読み出して、エラーが発生したレーンを特定してください。	0x0	R
		6	NIT_FLAG	1	テーブル不記載エラー・カウント。テーブル不記載エラーカウントが少なくとも1レーンでERRORTHRESH(0x47C)に到達し	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
					ました。レジスタ 0x46E を読み出して、エラーが発生したレーン特定してください。		
		5	UCC_FLAG	1	予期しない制御文字エラー・カウント 予期しない制御文字カウントが少なくとも 1 レーンで ERRORTHRESH (0x47C) に到達しました。レジスタ 0x46F を読み出して、エラーが発生したレーン特定してください。	0x0	R
		4	RESERVED		予約済み。	0x0	R
		3	INITIALLANESYNC_FLAG	1	初期レーン同期フラグ。 初期レーン同期が少なくとも 1 レーンで喪失しました。レジスタ 0x473 を読み出して、エラーが発生したレーン特定してください。	0x0	R
		2	BADCHECKSUM_FLAG	1	チェックサム不一致フラグ。 チェックサム不一致が少なくとも 1 レーンで発生しました。レジスタ 0x472 を読み出して、エラーが発生したレーン特定してください。	0x0	R
		1	FRAMESYNC_FLAG	1	フレーム同期フラグ。 フレーム同期が少なくとも 1 レーンで喪失しました。レジスタ 0x471 を読み出して、エラーが発生したレーン特定してください。	0x0	R
		0	CODEGRPSYNC_FLAG	1	コード・グループ同期フラグ。 コード・グループ同期が少なくとも 1 レーンで喪失しました。レジスタ 0x470 を読み出して、エラーが発生したレーン特定してください。	0x0	R
0x47B	SYNCASSERTIONMASK	7	BADDIS_S	1	同期でのパリティ不一致エラー。  パリティ不一致文字カウントがレジスタ 0x47C のスレッシュホールドに到達すると、SYNCOUTx±に同期要求がアサートされます。	0x0	R/W
		6	NIT_S	1	同期でのテーブル不記載エラー。 テーブル不記載文字カウントがレジスタ 0x47C のスレッシュホールドに到達すると、SYNCOUTx±に同期要求がアサートされます。	0x0	R/W
		5	UCC_S	1	同期での予期しない制御文字エラー。 予期しない制御文字カウントがレジスタ 0x47C のスレッシュホールドに到達すると、SYNCOUTx±に同期要求がアサートされます。	0x0	R/W
		4	CMM	1	設定不一致 IRQ。CMM_ENABLE がハイ・レベルの場合、このビットは立上がりエッジでラッチして、IRQ をロー・レベルにします。ラッチした場合に 1 を書込むと、このビットはクリアされます。CMM_ENABLE がロー・レベルの場合、このビットは機能しません。 リンク・レーン 0 設定レジスタ (レジスタ 0x450 ~ レジスタ 0x45D) は、JESD204B 送信設定 (レジスタ 0x400 ~ レジスタ 0x40D) に一致しません。	0x0	R/W
		3	CMM_ENABLE	1 0	設定不一致 IRQ イネーブル。 設定不一致が検出された場合、IRQ の発生がイネーブルされます。 設定不一致 IRQ をディスエーブル	0x1	R/W
		[2:0]	RESERVED		予約済み。	0x0	R
0x47C	ERRORTHRES	[7:0]	ETH		エラー・スレッシュホールド。パリティ不一致、テーブル不記載、予期しない制御文字の各エラーがカウントされ、エラー・スレッシュホールド値と比較されます。カウントがスレッシュホールドに到達すると、IRQ が発生するか、またはマスク・レジスタ設定に従い SYNCOUTx± 信号がアサートされます。または両方が発生します。すべてのレーンで機能が実行されます。	0xFF	R/W
0x47D	LANEENABLE	[7:0]	LANE_ENA		レーンのイネーブル。ビット x を設定すると、リンク・レーン x がイネーブルされます。  正常動作のためにはコード・グループ・パターンを受信する前にこのレジスタを設定する必要があります。	0xF	R/W
0x47E	RAMP_ENA	[7:1]	RESERVED		予約済み。	0x0	R

Address	Name		Bit Name	Settings	Description	Reset	Access
		0	ENA_RAMP_CHECK	0 1	ILAS 開始でのランプ・チェックのイネーブル。 ILAS 開始でのランプ・チェックをディスエーブル; ILAS データをランプする必要があります。 ランプ・チェックをイネーブル; ILAS データは 00-01-02 で開始するランプである必要があります。そうでない場合は、ランプ ILAS は失敗するため、デバイスは起動しません。	0x0	W
0x520	DIG_TEST0	[7:2]	RESERVED		正常動作のためにはデフォルト値を書込む必要があります。	0x7	R/W
		1	DC_TEST_MODE		DC テスト・モード	0x0	R/W
		0	RESERVED		予約済み。	0x0	R/W
0x521	DC_TEST_VALUEI0	[7:0]	DC_TEST_VALUEI[7:0]		IDAC の DC テスト・モードの DC 値下位バイト。	0x0	R/W
0x522	DC_TEST_VALUEI1	[7:0]	DC_TEST_VALUEI [15:8]		IDAC の DC テスト・モードの DC 値上位バイト。	0x0	R/W
0x523	DC_TEST_VALUEQ0	[7:0]	DC_TEST_VALUEQ[7:0]		Q DAC の DC テスト・モードの DC 値下位バイト。	0x0	R/W
0x524	DC_TEST_VALUEQ1	[7:0]	DC_TEST_VALUEQ[15:8]		Q DAC の DC テスト・モードの DC 値上位バイト。	0x0	R/W

### 3種類のDAC PLL リファレンス周波数に対するルックアップ・テーブル

ルックアップ・テーブルを新しい値で置き換えるか、またはループ・フィルタ・レジスタに新しい値を直接書込むことにより、シンセサイザ性能を調整するためにループ・フィルタを再設定することが可能です。任意の特定の要求を満たすため標準のPLL フィルタ式を使ってカスタム・ループ・フィルタを計算するためのVCO ゲイン定数が表に記載してあります。

内蔵部品の分解能と設定可能なチャージ・ポンプ電流の組み合わせにより、与えられた周波数動作に対して非常に広範囲なループ帯域幅が得られます。

表 96～表 98 に、様々な DAC PLL リファレンス周波数を示します。VCO 温度補償を可能にするため、表 96～表 98 に種々のリファレンス周波数を示します。目的は、ユーザーがより長くより正確なキャリブレーション時間を使って、デバイス動作状態が限りなく続くようにすることです。

表 96、表 97、表 98 は、それぞれ 40 MHz、60 MHz、80 MHz のリファレンス周波数を対象としています。正しい表の使用は、ループ f<sub>REF</sub> を動作モードに最も近づける方法です。

表 96. リファレンス周波数 40 MHz、ループ帯域幅 = 0.25 MHz

Band	Index	VCO Freq. (GHz)	DAC	Reg. 0x1B6 [3:0]	Reg. 0x1B5 [3:0]	Reg. 0x1BB [2:0]	Reg. 0x1B B [4:3]	Reg. 0x1B4 [6:3]	Reg. 0x1C5 [3:0]	Reg. 0x08A [5:0]	Reg. 0x087 [7:4]	Reg. 0x087 [3:0]	Reg. 0x088 [7:4]	Reg. 0x088 [3:0]	0x089 [3:0]
			VCO Kv (MHz)	VCO Output Level	VCO Vara <sup>1</sup>	VCO Bias Ref	VCO Bias TC <sup>2</sup>	VCO Cal Offset	VCO Vara1 Ref.	Charge Pump Current	Loop Filter C2	Loop Filter C1	Loop Filter R1	Loop Filter C3	Loop Filter R3
0	1	12.605	151.8	10	0	4	0	15	8	8	12	3	14	15	11
8	2	12.245	137.3	10	0	4	0	15	8	9	12	3	14	15	11
16	3	11.906	124.9	10	0	4	0	15	8	9	12	3	14	15	11
24	4	11.588	114.2	10	0	4	0	15	8	10	12	3	14	15	11
32	5	11.288	104.9	10	0	4	0	15	8	11	12	3	14	15	11
40	6	11.007	96.74	10	0	4	0	15	8	11	12	3	14	15	11
48	7	10.742	89.57	10	0	4	0	14	8	12	12	3	14	15	11
56	8	10.492	83.23	10	0	5	1	14	9	13	12	3	14	15	11
64	9	10.258	77.58	10	0	5	1	14	9	13	12	3	14	15	11
72	10	10.036	72.54	10	0	5	1	14	9	14	12	3	14	15	11
80	11	9.8270	68.01	10	0	5	1	14	9	15	12	3	14	15	11
88	12	9.6311	63.93	10	0	5	1	14	9	15	12	3	14	15	11
96	13	9.4453	60.24	10	0	5	1	14	9	16	12	3	14	15	11
104	14	9.2698	56.89	10	0	5	1	14	9	17	12	3	14	15	11
112	15	9.1036	53.84	10	0	5	1	14	9	17	12	3	14	15	11
120	16	8.9463	51.05	10	0	5	1	14	9	18	12	3	14	15	11
128	17	8.7970	67.48	10	1	6	1	15	11	13	12	3	14	15	11
136	18	8.6553	64.22	10	1	6	1	15	11	14	12	3	14	15	11
144	19	8.5206	61.21	10	1	6	1	15	11	14	12	3	14	15	11
152	20	8.3923	58.43	10	1	6	1	15	11	15	12	3	14	15	11
160	21	8.2699	55.86	10	1	6	1	15	11	15	12	3	14	15	11
168	22	8.1531	53.48	10	1	6	1	15	11	16	12	3	14	15	11
176	23	8.0414	51.26	10	1	6	1	15	11	16	12	3	14	15	11
184	24	7.9344	49.19	10	1	6	1	15	11	17	12	3	14	15	11
192	25	7.8318	47.26	10	1	6	1	15	11	17	12	3	14	15	11
200	26	7.7332	45.46	10	1	6	1	15	11	17	12	3	14	15	11
208	27	7.6384	43.76	10	1	6	1	15	11	18	12	3	14	15	11
216	28	7.5471	42.17	10	1	6	1	15	11	18	12	3	14	15	11
224	29	7.4590	40.68	10	1	6	1	15	11	19	12	3	14	15	11
232	30	7.3740	39.27	10	1	7	2	15	12	19	12	3	14	15	11
240	31	7.2919	37.94	10	1	7	2	15	12	20	12	3	14	15	11
248	32	7.2124	36.68	10	1	7	2	15	12	20	12	3	14	15	11
256	33	7.1355	35.49	10	1	7	2	15	14	21	12	3	14	15	11
264	34	7.0610	34.37	10	1	7	2	15	14	21	12	3	14	15	11
272	35	6.9887	33.30	10	1	7	2	15	14	22	12	3	14	15	11
280	36	6.9186	32.28	10	1	7	2	15	14	22	12	3	14	15	11
288	37	6.8506	31.32	10	1	7	2	15	14	23	12	3	14	15	11
296	38	6.7846	30.41	10	1	7	2	15	14	23	12	3	14	15	11
304	39	6.7205	29.53	10	1	7	2	15	14	24	12	3	14	15	11

Band	Index	VCO Freq. (GHz)	DAC	Reg. 0x1B6 [3:0]	Reg. 0x1B5 [3:0]	Reg. 0x1BB [2:0]	Reg. 0x1B B [4:3]	Reg. 0x1B4 [6:3]	Reg. 0x1C5 [3:0]	Reg. 0x08A [5:0]	Reg. 0x087 [7:4]	Reg. 0x087 [3:0]	Reg. 0x088 [7:4]	Reg. 0x088 [3:0]	0x089 [3:0]
			VCO Kv (MHz)	VCO Output Level	VCO Vara <sup>1</sup>	VCO Bias Ref	VCO Bias TC <sup>2</sup>	VCO Cal Offset	VCO Vara <sup>1</sup> Ref.	Charge Pump Current	Loop Filter C2	Loop Filter C1	Loop Filter R1	Loop Filter C3	Loop Filter R3
312	40	6.6582	28.70	10	1	7	2	15	14	24	12	3	14	15	11
320	41	6.5978	27.91	10	1	7	2	15	14	25	12	3	14	15	11
328	42	6.5392	27.16	10	1	7	2	15	14	25	12	3	14	15	11
336	43	6.4823	26.43	10	1	7	2	15	14	26	12	3	14	15	11
344	44	6.4270	25.75	10	1	7	2	15	14	26	12	3	14	15	11
352	45	6.3734	39.20	10	3	7	3	15	12	17	12	3	14	15	11
360	46	6.3214	38.21	10	3	7	3	15	12	17	12	3	14	15	11
368	47	6.2709	37.27	10	3	7	3	15	12	17	12	3	14	15	11
376	48	6.2220	36.37	10	3	7	3	15	12	18	12	3	14	15	11
384	49	6.1745	35.50	10	3	7	3	15	12	18	12	3	14	15	11
392	50	6.1284	34.68	10	3	7	3	15	12	18	12	3	14	15	11
400	51	6.0836	33.88	10	3	7	3	15	12	18	12	3	14	15	11
408	52	6.0401	33.12	10	3	7	3	15	12	19	12	3	14	15	11
416	53	5.9977	32.38	10	3	7	3	15	12	19	12	3	14	15	11

<sup>1</sup> Vara はバラクタです。

<sup>2</sup> TC は温度係数です。

表 97. リファレンス周波数 60 MHz、ループ帯域幅 = 0.25 MHz

Band	Index	VCO Freq. (GHz)	DAC	Reg. 0x1B6 [3:0]	Reg. 0x1B5 [3:0]	Reg. 0x1BB [2:0]	Reg. 0x1B B [4:3]	Reg. 0x1B4 [6:3]	Reg. 0x1C5 [3:0]	Reg. 0x08A [5:0]	Reg. 0x087 [7:4]	Reg. 0x087 [3:0]	Reg. 0x088 [7:4]	Reg. 0x088 [3:0]	Reg. 0x089 [3:0]
			VCO Kv (MHz)	VCO Output Level	VCO Vara <sup>1</sup>	VCO Bias Ref	VCO Bias TC <sup>2</sup>	VCO Cal Offset	VCO Vara <sup>1</sup> Ref.	Charge Pump Current	Loop Filter C2	Loop Filter C1	Loop Filter R1	Loop Filter C3	Loop Filter R3
0	1	12.605	151.8	10	0	4	0	15	8	10	15	4	13	15	10
8	2	12.245	137.3	10	0	4	0	15	8	11	15	4	13	15	10
16	3	11.906	124.9	10	0	4	0	15	8	11	15	4	13	15	10
24	4	11.588	114.2	10	0	4	0	15	8	12	15	4	13	15	10
32	5	11.288	104.9	10	0	4	0	15	8	13	15	4	13	15	10
40	6	11.007	96.74	10	0	4	0	14	8	14	15	4	13	15	10
48	7	10.742	89.57	10	0	4	0	14	8	15	15	4	13	15	10
56	8	10.492	83.23	10	0	5	1	14	9	15	15	4	13	15	10
64	9	10.258	77.58	10	0	5	1	14	9	16	15	4	13	15	10
72	10	10.036	72.54	10	0	5	1	14	9	17	15	4	13	15	10
80	11	9.8270	68.01	10	0	5	1	14	9	18	15	4	13	15	10
88	12	9.6311	63.93	10	0	5	1	14	9	19	15	4	13	15	10
96	13	9.4453	60.24	10	0	5	1	14	9	19	15	4	13	15	10
104	14	9.2698	56.89	10	0	5	1	14	9	20	15	4	13	15	10
112	15	9.1036	53.84	10	0	5	1	13	9	21	15	4	13	15	10
120	16	8.9463	51.05	10	0	5	1	13	9	22	15	4	13	15	10
128	17	8.7970	67.48	10	1	6	1	15	11	16	15	4	13	15	10
136	18	8.6553	64.22	10	1	6	1	15	11	17	15	4	13	15	10
144	19	8.5206	61.21	10	1	6	1	15	11	17	15	4	13	15	10
152	20	8.3923	58.43	10	1	6	1	15	11	18	15	4	13	15	10
160	21	8.2699	55.86	10	1	6	1	15	11	18	15	4	13	15	10
168	22	8.1531	53.48	10	1	6	1	15	11	19	15	4	13	15	10
176	23	8.0414	51.26	10	1	6	1	15	11	19	15	4	13	15	10
184	24	7.9344	49.19	10	1	6	1	15	11	20	15	4	13	15	10

Band	Index	VCO Freq. (GHz)	DAC	Reg. 0x1B6 [3:0]	Reg. 0x1B5 [3:0]	Reg. 0x1B B [2:0]	Reg. 0x1B B [4:3]	Reg. 0x1B 4 [6:3]	Reg. 0x1C 5 [3:0]	Reg. 0x08A [5:0]	Reg. 0x08 7 [7:4]	Reg. 0x08 7 [3:0]	Reg. 0x08 8 [7:4]	Reg. 0x08 8 [3:0]	Reg. 0x08 9 [3:0]
			VCO Kv (MHz)	VCO Output Level	VCO Bias Ref	VCO Bias TC <sup>2</sup>	VCO Cal Offset	VCO Vara1 Ref.	Charge Pump Current	Loop Filter C2	Loop Filter C1	Loop Filter R1	Loop Filter C3	Loop Filter R3	
192	25	7.8318	47.26	10	1	6	1	15	11	21	15	4	13	15	10
200	26	7.7332	45.46	10	1	6	1	15	11	21	15	4	13	15	10
208	27	7.6384	43.76	10	1	6	1	15	11	22	15	4	13	15	10
216	28	7.5471	42.17	10	1	6	1	15	11	22	15	4	13	15	10
224	29	7.4590	40.68	10	1	6	1	15	11	23	15	4	13	15	10
232	30	7.3740	39.27	10	1	7	2	15	12	23	15	4	13	15	10
240	31	7.2919	37.94	10	1	7	2	15	12	24	15	4	13	15	10
248	32	7.2124	36.68	10	1	7	2	15	12	25	15	4	13	15	10
256	33	7.1355	35.49	10	1	7	2	15	14	25	15	4	13	15	10
264	34	7.0610	34.37	10	1	7	2	15	14	26	15	4	13	15	10
272	35	6.9887	33.30	10	1	7	2	15	14	26	15	4	13	15	10
280	36	6.9186	32.28	10	1	7	2	15	14	27	15	4	13	15	10
288	37	6.8506	31.32	10	1	7	2	15	14	27	15	4	13	15	10
296	38	6.7846	30.41	10	1	7	2	15	14	28	15	4	13	15	10
304	39	6.7205	29.53	10	1	7	2	15	14	29	15	4	13	15	10
312	40	6.6582	28.70	10	1	7	2	15	14	29	15	4	13	15	10
320	41	6.5978	27.91	10	1	7	2	15	14	30	15	4	13	15	10
328	42	6.5392	27.16	10	1	7	2	15	14	30	15	4	13	15	10
336	43	6.4823	26.43	10	1	7	2	15	14	31	15	4	13	15	10
344	44	6.4270	25.75	10	1	7	2	15	14	32	15	4	13	15	10
352	45	6.3734	39.20	10	3	7	3	15	12	20	15	4	13	15	10
360	46	6.3214	38.21	10	3	7	3	15	12	21	15	4	13	15	10
368	47	6.2709	37.27	10	3	7	3	15	12	21	15	4	13	15	10
376	48	6.2220	36.37	10	3	7	3	15	12	21	15	4	13	15	10
384	49	6.1745	35.50	10	3	7	3	15	12	22	15	4	13	15	10
392	50	6.1284	34.68	10	3	7	3	15	12	22	15	4	13	15	10
400	51	6.0836	33.88	10	3	7	3	15	12	22	15	4	13	15	10
408	52	6.0401	33.12	10	3	7	3	15	12	23	15	4	13	15	10
416	53	5.9977	32.38	10	3	7	3	15	12	23	15	4	13	15	10

<sup>1</sup> Vara はバラクタです。

<sup>2</sup> TC は温度係数です。

表 98. リファレンス周波数 80 MHz、ループ帯域幅 = 0.25 MHz

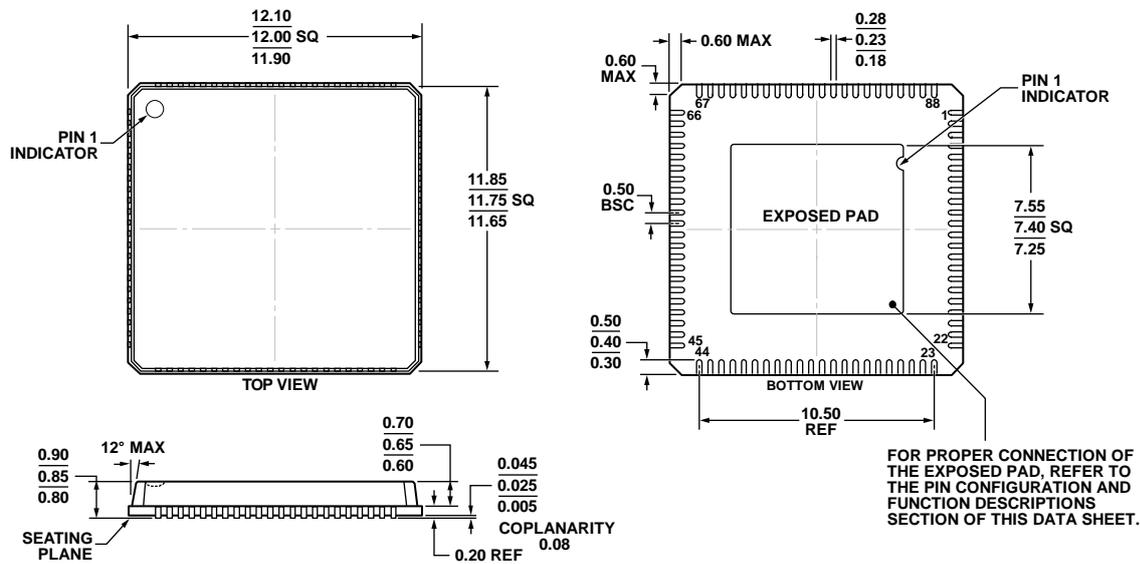
Band	Index	VCO Freq. (GHz)	DAC	Reg. 0x1B6 [3:0]	Reg. 0x1B5 [3:0]	Reg. 0x1B B [2:0]	Reg. 0x1B B [4:3]	Reg. 0x1B 4 [6:3]	Reg. 0x1C 5 [3:0]	Reg. 0x08A [5:0]	Reg. 0x08 7 [7:4]	Reg. 0x08 7 [3:0]	Reg. 0x08 8 [7:4]	Reg. 0x08 8 [3:0]	Reg. 0x08 9 [3:0]
			VCO Kv (MHz)	VCO Output Level	VCO Bias Ref	VCO Bias TC <sup>2</sup>	VCO Cal Offset	VCO Vara2 Ref.	Charge Pump Current	Loop Filter C2	Loop Filter C1	Loop Filter R1	Loop Filter C3	Loop Filter R3	
0	1	12.605	151.8	10	0	4	0	15	8	8	13	4	13	15	9
8	2	12.245	137.3	10	0	4	0	15	8	9	13	4	13	15	9
16	3	11.906	124.9	10	0	4	0	15	8	10	13	4	13	15	9
24	4	11.588	114.2	10	0	4	0	15	8	11	13	4	13	15	9
32	5	11.288	104.9	10	0	4	0	15	8	11	13	4	13	15	9
40	6	11.007	96.74	10	0	4	0	14	8	12	13	4	13	15	9
48	7	10.742	89.57	10	0	4	0	14	8	13	13	4	13	15	9
56	8	10.492	83.23	10	0	5	1	14	9	13	13	4	13	15	9
64	9	10.258	77.58	10	0	5	1	14	9	14	13	4	13	15	9

Band	Index	VCO Freq. (GHz)	DAC	Reg. 0x1B6 [3:0]	Reg. 0x1B5 [3:0]	Reg. 0x1B4 [2:0]	Reg. 0x1B3 [4:3]	Reg. 0x1B2 [6:3]	Reg. 0x1B1 [3:0]	Reg. 0x08A [5:0]	Reg. 0x087 [7:4]	Reg. 0x087 [3:0]	Reg. 0x088 [7:4]	Reg. 0x088 [3:0]	Reg. 0x089 [3:0]
			VCO Kv (MHz)	VCO Output Level	VCO Bias Ref	VCO Bias TC <sup>2</sup>	VCO Cal Offset	VCO Vara2 Ref	Charge Pump Current	Loop Filter C2	Loop Filter C1	Loop Filter R1	Loop Filter C3	Loop Filter R3	
72	10	10.036	72.54	10	0	5	1	14	9	15	13	4	13	15	9
80	11	9.8270	68.01	10	0	5	1	14	9	15	13	4	13	15	9
88	12	9.6311	63.93	10	0	5	1	13	9	16	13	4	13	15	9
96	13	9.4453	60.24	10	0	5	1	13	9	17	13	4	13	15	9
104	14	9.2698	56.89	10	0	5	1	13	9	18	13	4	13	15	9
112	15	9.1036	53.84	10	0	5	1	13	9	18	13	4	13	15	9
120	16	8.9463	51.05	10	0	5	1	13	9	19	13	4	13	15	9
128	17	8.7970	67.48	10	1	6	1	15	11	14	13	4	13	15	9
136	18	8.6553	64.22	10	1	6	1	15	11	14	13	4	13	15	9
144	19	8.5206	61.21	10	1	6	1	15	11	15	13	4	13	15	9
152	20	8.3923	58.43	10	1	6	1	15	11	15	13	4	13	15	9
160	21	8.2699	55.86	10	1	6	1	15	11	16	13	4	13	15	9
168	22	8.1531	53.48	10	1	6	1	15	11	16	13	4	13	15	9
176	23	8.0414	51.26	10	1	6	1	15	11	17	13	4	13	15	9
184	24	7.9344	49.19	10	1	6	1	15	11	17	13	4	13	15	9
192	25	7.8318	47.26	10	1	6	1	15	11	18	13	4	13	15	9
200	26	7.7332	45.46	10	1	6	1	15	11	18	13	4	13	15	9
208	27	7.6384	43.76	10	1	6	1	15	11	19	13	4	13	15	9
216	28	7.5471	42.17	10	1	6	1	15	11	19	13	4	13	15	9
224	29	7.4590	40.68	10	1	6	1	15	11	20	13	4	13	15	9
232	30	7.3740	39.27	10	1	7	2	15	12	20	13	4	13	15	9
240	31	7.2919	37.94	10	1	7	2	15	12	21	13	4	13	15	9
248	32	7.2124	36.68	10	1	7	2	15	12	21	13	4	13	15	9
256	33	7.1355	35.49	10	1	7	2	15	14	22	13	4	13	15	9
264	34	7.0610	34.37	10	1	7	2	15	14	22	13	4	13	15	9
272	35	6.9887	33.30	10	1	7	2	15	14	23	13	4	13	15	9
280	36	6.9186	32.28	10	1	7	2	15	14	23	13	4	13	15	9
288	37	6.8506	31.32	10	1	7	2	15	14	24	13	4	13	15	9
296	38	6.7846	30.41	10	1	7	2	15	14	24	13	4	13	15	9
304	39	6.7205	29.53	10	1	7	2	15	14	25	13	4	13	15	9
312	40	6.6582	28.70	10	1	7	2	15	14	25	13	4	13	15	9
320	41	6.5978	27.91	10	1	7	2	15	14	26	13	4	13	15	9
328	42	6.5392	27.16	10	1	7	2	15	14	26	13	4	13	15	9
336	43	6.4823	26.43	10	1	7	2	15	14	27	13	4	13	15	9
344	44	6.4270	25.75	10	1	7	2	15	14	27	13	4	13	15	9
352	45	6.3734	39.20	10	3	7	3	15	12	18	13	4	13	15	9
360	46	6.3214	38.21	10	3	7	3	15	12	18	13	4	13	15	9
368	47	6.2709	37.27	10	3	7	3	15	12	18	13	4	13	15	9
376	48	6.2220	36.37	10	3	7	3	15	12	19	13	4	13	15	9
384	49	6.1745	35.50	10	3	7	3	15	12	19	13	4	13	15	9
392	50	6.1284	34.68	10	3	7	3	15	12	19	13	4	13	15	9
400	51	6.0836	33.88	10	3	7	3	15	12	19	13	4	13	15	9
408	52	6.0401	33.12	10	3	7	3	15	12	20	13	4	13	15	9
416	53	5.9977	32.38	10	3	7	3	15	12	20	13	4	13	15	9

<sup>1</sup> Vara はバラクタです。

<sup>2</sup> TC は温度係数です。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VRRD

08-10-2012-A

図 84.88 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_VQ]  
 12 mm × 12 mm ボディ、極薄クワッド  
 (CP-88-6)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD9144BCPZ	-40°C to +85°C	88-Lead LFCSP_VQ	CP-88-6
AD9144BCPZRL	-40°C to +85°C	88-Lead LFCSP_VQ	CP-88-6
AD9144-EBZ		DPG3 Evaluation Board	
AD9144-FMC-EBZ		FMC Evaluation Board	
AD9144-M6720-EBZ		DPG3 Evaluation Board with ADRF6720 Modulator	

<sup>1</sup> Z = RoHS 準拠製品。