



16ビット、1600 MSPS、TxDAC+ D/Aコンバータ

データシート

AD9139

特長

- 1xまたは2xインターポレーション・フィルタが選択可能
- 575 MHz までの入力信号帯域幅をサポート
- 非常に小さい固有遅延変動: DAC クロック 2 サイクル以下
- 低スプリアスおよび低歪みの当社独自デザイン
- 6 キャリア GSM ACLR = 200 MHz IF で 79 dBc
- ゼロ IF で SFDR >85 dBc (帯域幅 = 300 MHz)
- 柔軟な 16 ビット LVDS インターフェース
- ワード・ロードとバイト・ロードをサポート
- 複数チップの同期
- 固定遅延とデータ・ジェネレータ遅延を補償
- FIFO によりシステム・タイミングを簡素化し、エラー検出機能を内蔵
- 高性能低ノイズの PLL クロック逓倍器
- デジタル逆 sinc フィルタ
- 低消費電力: 1230 MSPS で 700 mW
- 72 ピン LFCSP パッケージを採用

アプリケーション

- ワイヤレス通信: 3G/4G および MC-GSM 基地局、広帯域リピータ、ソフトウェア定義無線
- 広帯域通信: ポイント to ポイント、LMDS/MMDS
- トランスミット・ダイバーシティー/MIMO
- 計装機器
- 自動テスト装置

概要

AD9139 は、広いダイナミックレンジを持つ 16 ビットの D/A コンバータ (DAC) であり、サンプル・レートは 1600 MSPS で、ナイキスト周波数までのマルチキャリア生成が可能です。AD9139 TxDAC+®は、1x および 2x インターポレーション、遅延ロックド・ループ (DLL) により強化された高速インターフェース、サンプル・エラー検出、パリティ検出などの広帯域通信アプリケーション用に最適化された機能を内蔵しています。多くの内部パラメータの設定と読み出し用に 3 線式シリアル・ポート・インターフェースを内蔵しています。フルスケール出力電流は、9 mA~33 mA の範囲で設定することができます。AD9139 は 72 ピン LFCSP パッケージを採用しています。

製品のハイライト

- 575 MHz の有効入力信号帯域幅。
- 高度な低スプリアスおよび低歪みデザイン技術により、ベースバンドから高い中間周波数までの広帯域信号の高品質シンセシスが可能です。
- 固有遅延変動が非常に小さいため、システムのソフトウェア・デザインとハードウェア・デザインが簡素化されます。多くのアプリケーションで複数チップの同期が容易です。
- 低消費電力アーキテクチャにより電力効率を改善。

機能ブロック図

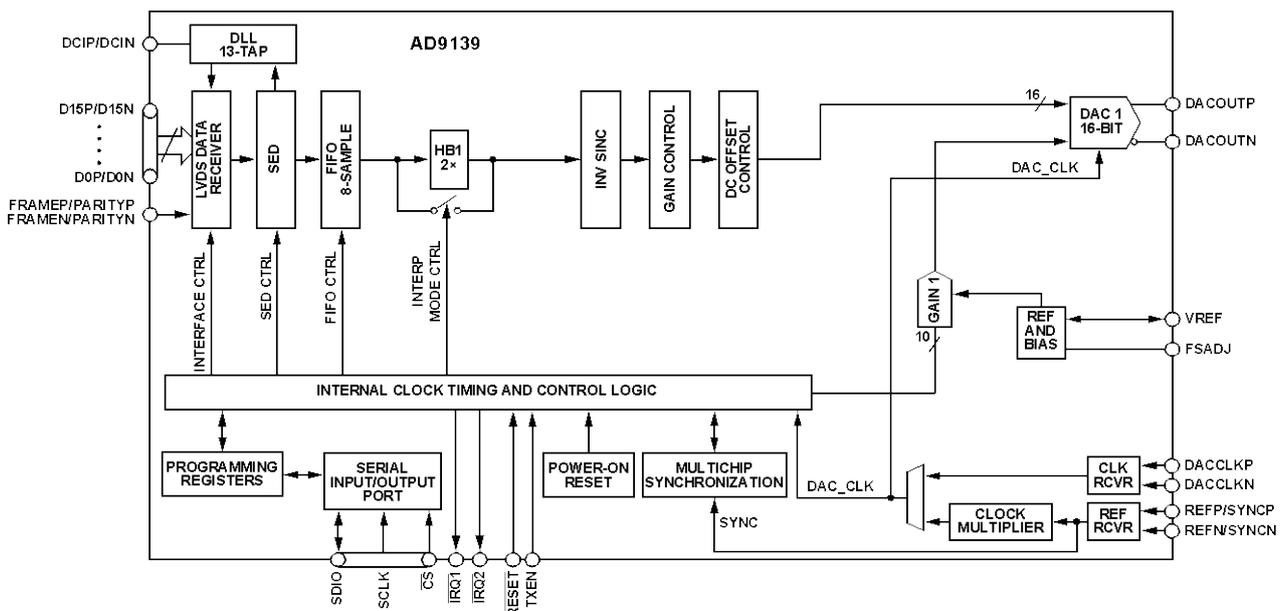


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2013–2014 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	割込みサービス・ルーチン.....	32
アプリケーション.....	1	温度センサー.....	33
概要.....	1	DAC 入力クロックの設定.....	34
製品のハイライト.....	1	DACCLK 入力と REFCLK 入力の駆動.....	34
機能ブロック図.....	1	クロックの直接供給.....	34
改訂履歴.....	3	クロックの通倍.....	34
仕様.....	4	PLL の設定値.....	35
DC 仕様.....	4	VCO チューニング帯域の設定.....	35
デジタル仕様.....	5	VCO 帯域自動選択.....	35
遅延変動仕様.....	6	VCO 帯域のマニュアル選択.....	35
AC 仕様.....	6	PLL イネーブル・シーケンス.....	35
動作速度仕様.....	6	アナログ出力.....	36
絶対最大定格.....	7	トランスミット DAC 動作.....	36
熱抵抗.....	7	変調器へのインターフェース.....	37
ESD の注意.....	7	ローカル発振器のリークと不要なサイドバンドの削減.....	38
ピン配置およびピン機能説明.....	8	スタートアップ・ルーチン.....	39
代表的な性能特性.....	11	デバイスの設定レジスタ・マップと説明.....	40
用語.....	15	SPI 設定レジスタ.....	42
シリアル・ポート動作.....	16	パワーダウン・コントロール・レジスタ.....	42
データ・フォーマット.....	16	割込みイネーブル 0 レジスタ.....	42
シリアル・ポート・ピンの説明.....	16	割込みイネーブル 1 レジスタ.....	42
シリアル・ポートのオプション.....	16	割込みフラグ 0 レジスタ.....	43
データ・インターフェース.....	18	割込みフラグ 1 レジスタ.....	43
LVDS 入力データ・ポート.....	18	割込みセレクト 0 レジスタ.....	43
ワード・インターフェース・モード.....	18	割込みセレクト 1 レジスタ.....	44
バイト・インターフェース・モード.....	18	フレーム・モード・レジスタ.....	44
データ・インターフェース構成オプション.....	18	データ・コントロール 0 レジスタ.....	44
DLL インターフェース・モード.....	18	データ・コントロール 1 レジスタ.....	44
パリティ.....	21	データ・コントロール 2 レジスタ.....	45
SED 動作.....	21	データ・コントロール 3 レジスタ.....	45
SED の例.....	22	データ・ステータス 0 レジスタ.....	45
遅延線インターフェース・モード.....	22	DAC クロック・レシーバ・コントロール・レジスタ.....	46
FIFO 動作.....	24	基準クロック・レシーバ・コントロール・レジスタ.....	46
FIFO のリセット.....	25	PLL コントロール 0 レジスタ.....	46
シリアル・ポートからの FIFO リセット.....	25	PLL コントロール 2 レジスタ.....	47
フレームからの FIFO リセット.....	25	PLL コントロール 3 レジスタ.....	47
デジタル・データパス.....	27	PLL ステータス 0 レジスタ.....	47
インターポレーション・フィルタ.....	27	PLL ステータス 1 レジスタ.....	48
逆 Sinc フィルタ.....	28	DAC FS 調整 LSB レジスタ.....	48
デジタル機能の設定.....	28	DAC FS 調整 MSB レジスタ.....	48
複数デバイスの同期と固定遅延.....	29	チップ温度センサー・コントロール・レジスタ.....	48
非常に小さい固有遅延変動.....	29	チップ温度 LSB レジスタ.....	48
遅延変動をさらに削減.....	29	チップ温度 MSB レジスタ.....	49
同期の実現.....	29	チップ ID レジスタ.....	49
同期化手順.....	30	割込み設定レジスタ.....	49
割込み要求動作.....	32	同期コントロール・レジスタ.....	49
割込みの動作メカニズム.....	32	フレーム・リセット・コントロール・レジスタ.....	49

FIFO レベル設定レジスタ	50	SED パターン S0 ロー・ビット・レジスタ	54
FIFO レベル・リードバック・レジスタ	50	SED パターン S0 ハイ・ビット・レジスタ	54
FIFO コントロール・レジスタ	50	SED パターン S1 ロー・ビット・レジスタ	54
データ・フォーマット選択レジスタ	51	SED パターン S1 ハイ・ビット・レジスタ	54
データパス・コントロール・レジスタ	51	SED パターン S2 ロー・ビット・レジスタ	54
インターポレーション・コントロール・レジスタ	51	SED パターン S2 ハイ・ビット・レジスタ	54
パワーダウン・データ入力0 レジスタ	51	SED パターン S3 ロー・ビット・レジスタ	54
DAC DC OFFSET 0 レジスタ	51	SED パターン S3 ハイ・ビット・レジスタ	55
DAC DC OFFSET 1 レジスタ	51	極性コントロール・レジスタ	55
DAC ゲイン調整レジスタ	52	極性エラー立上がりエッジ・レジスタ	55
ゲイン・ステップ・コントロール 0 レジスタ	52	極性エラー立下がりエッジ・レジスタ	55
ゲイン・ステップ・コントロール 1 レジスタ	52	バージョン・レジスタ	55
TX イネーブル・コントロール・レジスタ	52	パッケージとオーダー情報	56
DAC 出力コントロール・レジスタ	53	外形寸法	56
DLL セル・イネーブル 0 レジスタ	53	オーダー・ガイド	56
DLL セル・イネーブル 1 レジスタ	53		
SED コントロール・レジスタ	53		

改訂履歴

3/14—Rev. 0 to Rev. A

Change to Register 0x7F, Table 21	41
Change to Table 80	55

10/13—Revision 0: Initial Version

仕様

DC仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3\text{ V}$ 、 $DVDD18 = 1.8\text{ V}$ 、 $CVDD18 = 1.8\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大サンプル・レート。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION			16		Bits
ACCURACY					
Differential Nonlinearity (DNL)			±2.1		LSB
Integral Nonlinearity (INL)			±3.7		LSB
MAIN DAC OUTPUT					
Offset Error		-0.001	0	+0.001	% FSR
Gain Error	With internal reference	-3.2	+2	+4.7	% FSR
Full-Scale Output Current	10 kΩ external resistor between FSADJ and AVSS	19.06	19.8	20.6	mA
Output Compliance Range		-1.0		+1.0	V
Output Resistance			10		MΩ
Gain DAC Monotonicity			Guaranteed		
Settling Time to Within ±0.5 LSB			20		ns
MAIN DAC TEMPERATURE DRIFT					
Offset			0.04		ppm/°C
Gain			100		ppm/°C
Reference Voltage			30		ppm/°C
REFERENCE					
Internal Reference Voltage		1.17		1.19	V
Output Resistance			5		kΩ
ANALOG SUPPLY VOLTAGES					
AVDD33		3.13	3.3	3.47	V
CVDD18		1.7	1.8	1.9	V
DIGITAL SUPPLY VOLTAGES					
DVDD18		1.7	1.8	1.9	V
DVDD18 Variation over Operating Conditions ¹		-2.5%		+2.5%	V
POWER CONSUMPTION					
1× Mode	$f_{DAC} = 614\text{ MSPS}$		440		mW
	$f_{DAC} = 1230\text{ MSPS}$		700		mW
2× Mode	$f_{DAC} = 800\text{ MSPS}$		670		mW
	$f_{DAC} = 1600\text{ MSPS}$		1150		mW
Phase-Locked Loop			70		mW
Inverse Sinc	$f_{DAC} = 1230\text{ MSPS}$		60		mW
Reduced Power Mode (Power-Down)				57.3	mW
AVDD33 Current				0.4	mA
CVDD18 Current				26.6	mA
DVDD18 Current				4.5	mA
OPERATING RANGE		-40	+25	+85	°C

¹ このパラメータは、データ・インターフェース DLL をイネーブルしたときにデバイスに入力した DVDD18 と比較した、動作状態での DVDD18 の最大許容変動を規定します。

デジタル仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3\text{ V}$ 、 $DVDD18 = 1.8\text{ V}$ 、 $CVDD18 = 1.8\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大サンプル・レート。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CMOS INPUT LOGIC LEVEL						
Input						
Logic High		DVDD18 = 1.8 V	1.2			V
Logic Low		DVDD18 = 1.8 V			0.6	V
CMOS OUTPUT LOGIC LEVEL						
Output						
Logic High		DVDD18 = 1.8 V	1.4			V
Logic Low		DVDD18 = 1.8 V			0.4	V
LVDS RECEIVER INPUTS		Data and frame inputs				
Input Voltage Range	V_{IA} or V_{IB}		825		1675	mV
Input Differential Threshold	V_{IDTH}		-175		+175	mV
Input Differential Hysteresis	V_{IDTHH} to V_{IDTHL}			20		mV
Receiver Differential Input Impedance	R_{IN}			100		Ω
DLL SPEED RANGE			250		575	MHz
DAC UPDATE RATE					1600	MSPS
DAC Adjusted Update Rate		1× interpolation			1150	MSPS
		2× interpolation			800	MSPS
DAC CLOCK INPUT (DACCLKP, DACCLKN)						
Differential Peak-to-Peak Voltage			100	500	2000	mV
Common-Mode Voltage		Self biased input, ac-coupled		1.25		V
REFCLK/SYNCCLK INPUT (REFP/SYNCP, REFN/SYNCN)						
Differential Peak-to-Peak Voltage			100	500	2000	mV
Common-Mode Voltage				1.25		V
Input Clock Frequency		$1.03\text{ GHz} \leq f_{VCO} \leq 2.07\text{ GHz}$			450	MHz
SERIAL PORT INTERFACE						
Maximum Clock Rate	SCLK		40			MHz
Minimum Pulse Width						
High	t_{PWH}				12.5	ns
Low	t_{PWL}				12.5	ns
SDIO to SCLK Setup Time	t_{DS}		1.5			ns
SDIO to SCLK Hold Time	t_{DH}		0.68			ns
\overline{CS} to SCLK Setup Time	t_{DCSB}		2.38	1.4		ns
\overline{CS} to SCLK Hold Time	t_{DCSB}		9.6			ns
SDIO to SCLK Delay	t_{DV}	Wait time for valid output from SDIO	11			ns
SDIO High-Z to \overline{CS}		Time for SDIO to relinquish the output bus	8.5			ns
SDIO LOGIC LEVEL						
Voltage Input High	V_{IH}		1.2	1.8		V
Voltage Input Low	V_{IL}			0	0.5	V
Voltage Output High	I_{IH}	With 2 mA loading	1.36		2	V
Voltage Output Low	I_{IL}	With 2 mA loading	0		0.45	V

遅延変動仕様

表 3.

Parameter	Min	Typ	Max	Unit
DAC LATENCY ¹ VARIATION				
SYNC Off		1	2	DAC clock cycles
SYNC On		0	1	DAC clock cycles

¹ DAC遅延は、データ・サンプルがデバイス入力が入力されてからアナログ出力が変化を開始するまでの経過時間として定義されます。

AC仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33 = 3.3 \text{ V}$ 、 $DVDD18 = 1.8 \text{ V}$ 、 $CVDD18 = 1.8 \text{ V}$ 、 $I_{OUTFS} = 20 \text{ mA}$ 、最大サンプル・レート。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SPURIOUS-FREE DYNAMIC RANGE (SFDR)	-14 dBFS single tone				
$f_{DAC} = 737.28 \text{ MSPS}$	$f_{OUT} = 200 \text{ MHz}$				
Bandwidth (BW) = 125 MHz			85		dBc
BW = 270 MHz			80		dBc
$f_{DAC} = 983.04 \text{ MSPS}$	$f_{OUT} = 200 \text{ MHz}$				
BW = 360 MHz			85		dBc
$f_{DAC} = 1228.8 \text{ MSPS}$	$f_{OUT} = 280 \text{ MHz}$				
BW = 200 MHz			85		dBc
BW = 500 MHz			75		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)	-12 dBFS each tone				
$f_{DAC} = 737.28 \text{ MSPS}$	$f_{OUT} = 200 \text{ MHz}$		80		dBc
$f_{DAC} = 983.04 \text{ MSPS}$	$f_{OUT} = 200 \text{ MHz}$		82		dBc
$f_{DAC} = 1228.8 \text{ MSPS}$	$f_{OUT} = 280 \text{ MHz}$		80		dBc
NOISE SPECTRAL DENSITY (NSD)	Eight-tone, 500 kHz tone spacing				
$f_{DAC} = 737.28 \text{ MSPS}$	$f_{OUT} = 200 \text{ MHz}$		-160		dBm/Hz
$f_{DAC} = 983.04 \text{ MSPS}$	$f_{OUT} = 200 \text{ MHz}$		-161.5		dBm/Hz
$f_{DAC} = 1228.8 \text{ MSPS}$	$f_{OUT} = 280 \text{ MHz}$		-164.5		dBm/Hz
W-CDMA ADJACENT CHANNEL LEAKAGE RATIO (ACLR)	Single carrier				
$f_{DAC} = 983.04 \text{ MSPS}$	$f_{OUT} = 200 \text{ MHz}$		81		dBc
$f_{DAC} = 1228.8 \text{ MSPS}$	$f_{OUT} = 20 \text{ MHz}$		83		dBc
	$f_{OUT} = 280 \text{ MHz}$		80		dBc
W-CDMA SECOND (ACLR)	Single carrier				
$f_{DAC} = 983.04 \text{ MSPS}$	$f_{OUT} = 200 \text{ MHz}$		85		dBc
$f_{DAC} = 1228.8 \text{ MSPS}$	$f_{OUT} = 20 \text{ MHz}$		86		dBc
	$f_{OUT} = 280 \text{ MHz}$		86		dBc

動作速度仕様

表 5.

Interpolation Factor	DVDD18, CVDD18 = 1.8 V \pm 5%		DVDD18, CVDD18 = 1.9 V \pm 5% or 1.8 V \pm 2%		DVDD18, CVDD18 = 1.9 V \pm 2%	
	f_{DCI} (MSPS) Max	f_{DAC} (MSPS) Max	f_{DCI} (MSPS) Max	f_{DAC} (MSPS) Max	f_{DCI} (MSPS) Max	f_{DAC} (MSPS) Max
1 \times	575	1150	575	1150	575	1150
2 \times	350	1400	375	1500	400	1600

絶対最大定格

表 6.

Parameter	Rating
AVDD33 to GND	-0.3 V to +3.6 V
DVDD18, CVDD18 to GND	-0.3 V to +2.1 V
FSADJ, VREF, DACOUTP/DACOUTN, to GND	-0.3 V to AVDD33 + 0.3 V
D15P to D0P/D15N to D0N, FRAMEP/FRAMEN, DCIP/DCIN to GND	-0.3 V to DVDD18 + 0.3 V
DACCLKP/DACCLKN, REFP/SYNCP/REFN/SYCN to GND	-0.3 V to CVDD18 + 0.3 V
RESET, IRQ1, IRQ2, CS, SCLK, SDIO to GND	-0.3 V to DVDD18 + 0.3 V
Junction Temperature	125°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

72 ピン LFCSP のエクスポーズド・パッド(EPAD)は、グラウンド・プレーン(AVSS)へハンダ付けする必要があります。EPAD は、ボードに対する電気的、熱的、機械的な接続を提供します。

θ_{JA} 、 θ_{JB} 、 θ_{JC} の typ 値は、自然空冷の 4 層ボードに対して規定します。空気流があると放熱効果が良くなるため、実質的に θ_{JA} と θ_{JB} が小さくなります。

表 7.熱抵抗

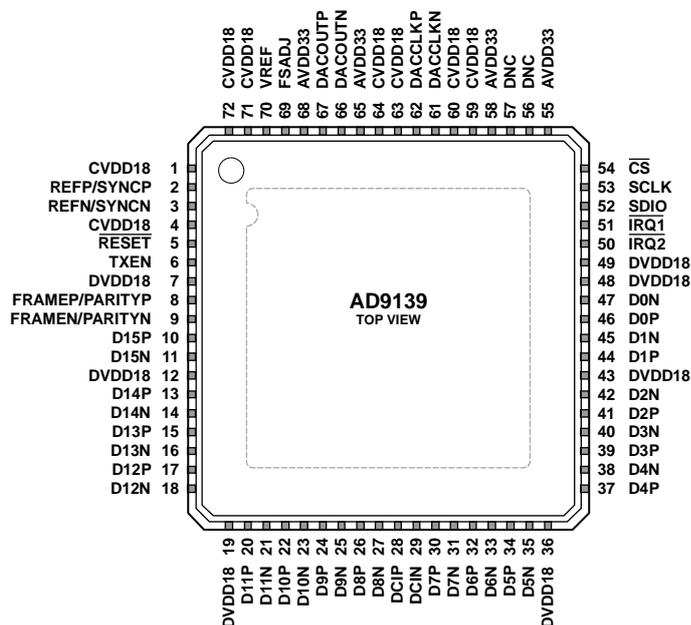
Package	θ_{JA}	θ_{JB}	θ_{JC}	Unit	Conditions
72-Lead LFCSP	20.7	10.9	1.1	°C/W	EPAD soldered to ground plane

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



- NOTES**
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
 2. THE EXPOSED PAD MUST BE SOLDERED TO THE GROUND PLANE (AVSS, DVSS, CVSS). THE EPAD PROVIDES AN ELECTRICAL, THERMAL, AND MECHANICAL CONNECTION TO THE BOARD.

図 2. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	CVDD18	1.8 V PLL 電源。CVDD18 からクロック・レシーバ、クロック通倍器、クロック分配器へ電源を供給します。
2	REFP/SYNCP	正の PLL 基準クロック/同期クロック入力。
3	REFN/SYCN	負の PLL 基準クロック/同期クロック入力。
4	CVDD18	1.8 V PLL 電源。CVDD18 からクロック・レシーバ、クロック通倍器、クロック分配器へ電源を供給します。
5	RESET	リセット、アクティブ・ロー。DVDD18 を基準とする CMOS レベル。推奨リセット・パルス長は 1 μ s。
6	TXEN	アクティブ・ハイの送信パス・イネーブル。DVDD18 を基準とする CMOS レベル。このピンをロー・レベルにすると、DAC 内で 2 つの選択可能な動作が開始されます。詳細については、表 64 のレジスタ 0x43 を参照してください。
7	DVDD18	1.8 V デジタル電源。ピン 7 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力/出力ピン、RESET、IRQ1、IRQ2 へ電源を供給します。
8	FRAMEP/PARITYP	正のフレーム/極性入力。
9	FRAMEN/PARITYN	負のフレーム/極性入力。
10	D15P	データ・ビット 15 (MSB)、正。
11	D15N	データ・ビット 15 (MSB)、負。
12	DVDD18	1.8 V デジタル電源。ピン 12 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力/出力ピン、RESET、IRQ1、IRQ2 へ電源を供給します。
13	D14P	データ・ビット 14、正。
14	D14N	データ・ビット 14、負。
15	D13P	データ・ビット 13、正。
16	D13N	データ・ビット 13、負。
17	D12P	データ・ビット 12、正。
18	D12N	データ・ビット 12、負。
19	DVDD18	1.8 V デジタル電源。ピン 19 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力/出力ピン、RESET、IRQ1、IRQ2 へ電源を供給します。
20	D11P	データ・ビット 11、正。
21	D11N	データ・ビット 11、負。
22	D10P	データ・ビット 10、正。

ピン番号	記号	説明
23	D10N	データ・ビット 10、負。
24	D9P	データ・ビット 9、正。
25	D9N	データ・ビット 9、負。
26	D8P	データ・ビット 8、正。
27	D8N	データ・ビット 8、負。
28	DCIP	データ・クロック入力、正。
29	DCIN	データ・クロック入力、負。
30	D7P	データ・ビット 7、正。
31	D7N	データ・ビット 7、負。
32	D6P	データ・ビット 6、正。
33	D6N	データ・ビット 6、負。
34	D5P	データ・ビット 5、正。
35	D5N	データ・ビット 5、負。
36	DVDD18	1.8 V デジタル電源。ピン 36 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力/出力ピン、 $\overline{\text{RESET}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ2}}$ へ電源を供給します。
37	D4P	データ・ビット 4、正。
38	D4N	データ・ビット 4、負。
39	D3P	データ・ビット 3、正。
40	D3N	データ・ビット 3、負。
41	D2P	データ・ビット 2、正。
42	D2N	データ・ビット 2、負。
43	DVDD18	1.8 V デジタル電源。ピン 43 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力/出力ピン、 $\overline{\text{RESET}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ2}}$ へ電源を供給します。
44	D1P	データ・ビット 1、正。
45	D1N	データ・ビット 1、負。
46	D0P	データ・ビット 0、正。
47	D0N	データ・ビット 0、負。
48	DVDD18	1.8 V デジタル電源。ピン 48 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力/出力ピン、 $\overline{\text{RESET}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ2}}$ へ電源を供給します。
49	DVDD18	1.8 V デジタル電源。ピン 49 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力/出力ピン、 $\overline{\text{RESET}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ2}}$ へ電源を供給します。
50	$\overline{\text{IRQ2}}$	セカンド割込み要求。オープン・ドレイン、アクティブ・ロー出力。10 k Ω の外付けプルアップ抵抗で DVDD18 へ接続してください。
51	$\overline{\text{IRQ1}}$	ファースト割込み要求。オープン・ドレイン、アクティブ・ロー出力。10 k Ω の外付けプルアップ抵抗で DVDD18 へ接続してください。
52	SDIO	シリアル・ポート・データ入力/出力。DVDD18 を基準とする CMOS レベル。
53	SCLK	シリアル・ポート・クロック入力。DVDD18 を基準とする CMOS レベル。
54	$\overline{\text{CS}}$	シリアル・ポート・チップ・セレクト。アクティブ・ロー(DVDD18 を基準とする CMOS レベル)。
55	AVDD33	3.3 V のアナログ電源。
56	DNC	未接続。このピンは、フローティングのままにしてください。
57	DNC	未接続。このピンは、フローティングのままにしてください。
58	AVDD33	3.3 V のアナログ電源。
59	CVDD18	1.8 V クロック電源。CVDD18 からクロック・レシーバとクロック分配器へ電源を供給します。
60	CVDD18	1.8 V クロック電源。CVDD18 からクロック・レシーバとクロック分配器へ電源を供給します。
61	DACCLKN	DAC クロック入力、負。
62	DACCLKP	DAC クロック入力、正。
63	CVDD18	1.8 V クロック電源。CVDD18 からクロック・レシーバとクロック分配器へ電源を供給します。
64	CVDD18	1.8 V クロック電源。CVDD18 からクロック・レシーバとクロック分配器へ電源を供給します。
65	AVDD33	3.3 V のアナログ電源。
66	DACOUTN	DAC 電流出力、負側。
67	DACOUTP	DAC 電流出力、正側。
68	AVDD33	3.3 V のアナログ電源。
69	FSADJ	フルスケール電流出力の調整。このピンと AVSS の間に 10 k Ω の抵抗を接続します。

ピン番号	記号	説明
70	VREF	リファレンス電圧。公称 1.2 V 出力。VREF を AVSS へデカップリングしてください。
71	CVDD18	1.8 V クロック電源。ピン 71 から、クロック・レシーバ、クロック通倍器、クロック分配器へ電源を供給します。
72	CVDD18	1.8 V クロック電源。ピン 72 から、クロック・レシーバ、クロック通倍器、クロック分配器へ電源を供給します。
	EPAD	エクスポーズド・パッド。エクスポーズド・パッド (EPAD) は、グラウンド・プレーン (AVSS、DVSS、CVSS) へハンダ付けする必要があります。EPAD は、ボードに対する電氣的、熱的、機械的な接続を提供します。

代表的な性能特性

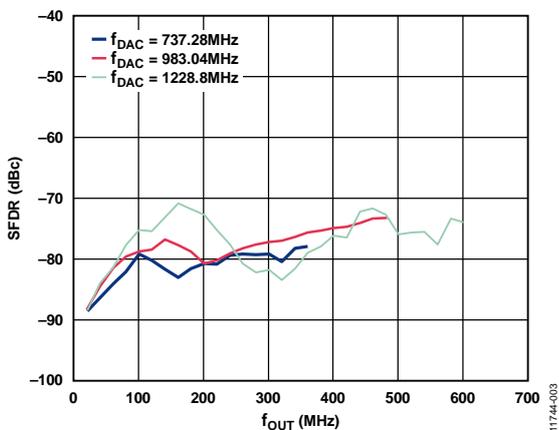


図 3. 様々な f_{DAC} でのファースト・ナイキスト・ゾーン内 f_{OUT} 対シングル・トーン(0 dBFS) SFDR

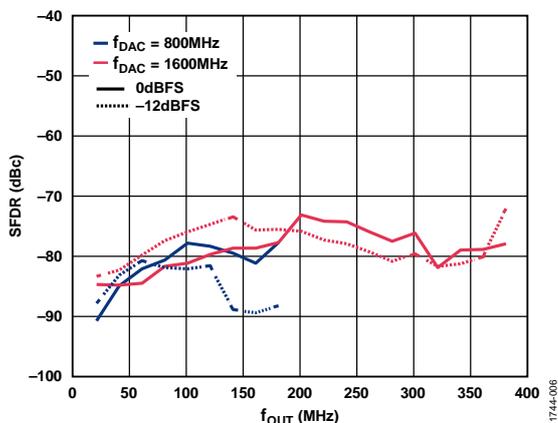


図 6. 様々な f_{DAC} とデジタル・バックオフでのファースト・ナイキスト・ゾーン内 f_{OUT} 対シングル・トーン SFDR (2次および3次高調波を除く)

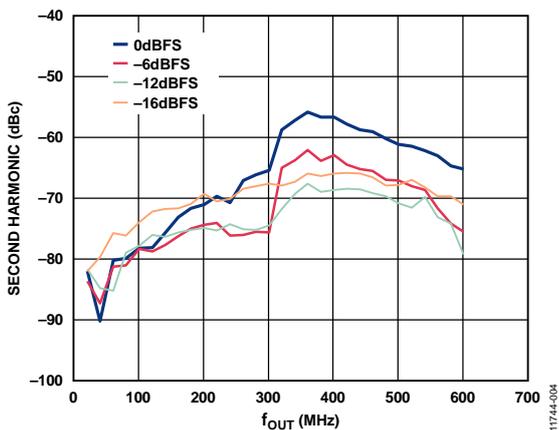


図 4. 様々なデジタル・バックオフでのファースト・ナイキスト・ゾーン内 f_{OUT} 対シングル・トーン 2次高調波 $f_{DAC} = 1,228.8 \text{ MHz}$

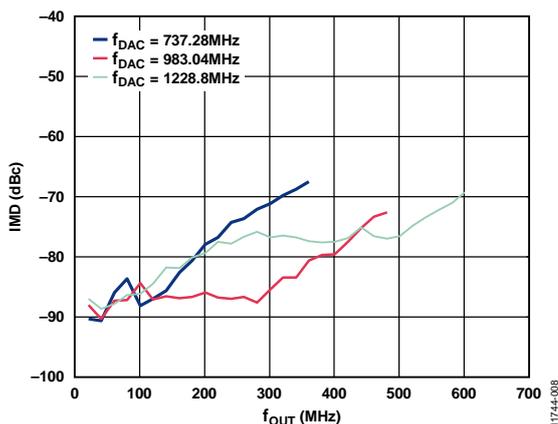


図 7. 様々な f_{DAC} での f_{OUT} 対 2 トーン 3 次 IMD

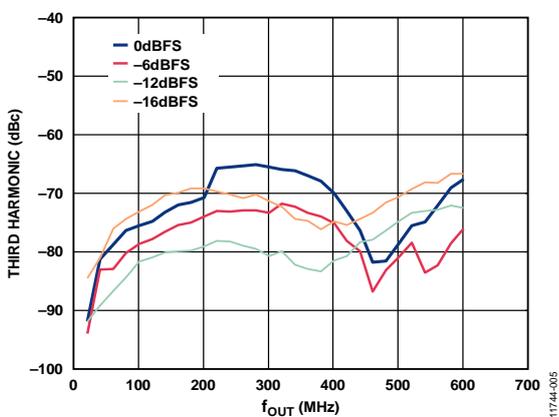


図 5. 様々なデジタル・バックオフでのファースト・ナイキスト・ゾーン内 f_{OUT} 対シングル・トーン 3次高調波 $f_{DAC} = 1,228.8 \text{ MHz}$

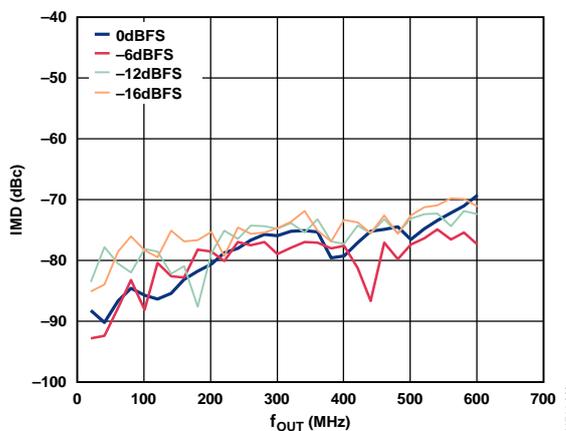


図 8. 様々なデジタル・バックオフでの f_{OUT} 対 2 トーン 3 次 IMD $f_{DAC} = 1,228.8 \text{ MHz}$

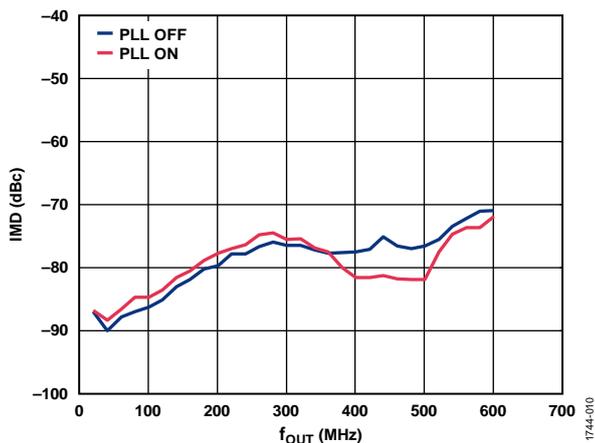


図 9. f_{OUT} 対 2 トーン 3 次 IMD、PLL オン/オフ
 $f_{DAC} = 1228.8 \text{ MHz}$

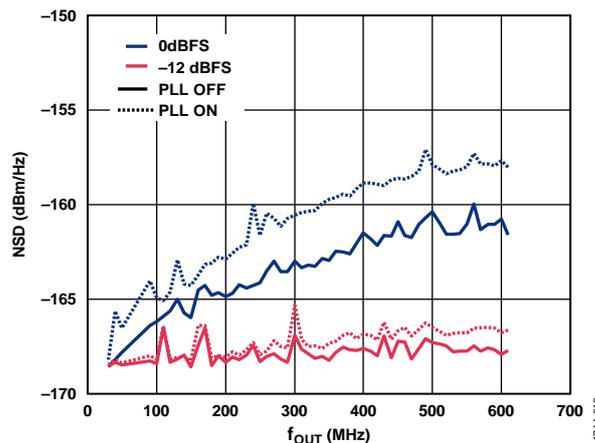


図 12. 様々なデジタル・バックオフでの f_{OUT} 対シングル・トーン NSD、PLL オン/オフ

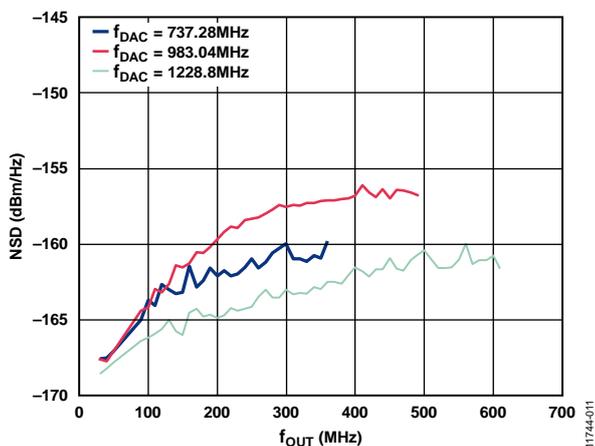


図 10. 様々な f_{DAC} での f_{OUT} 対シングル・トーン(0 dBFS) NSD

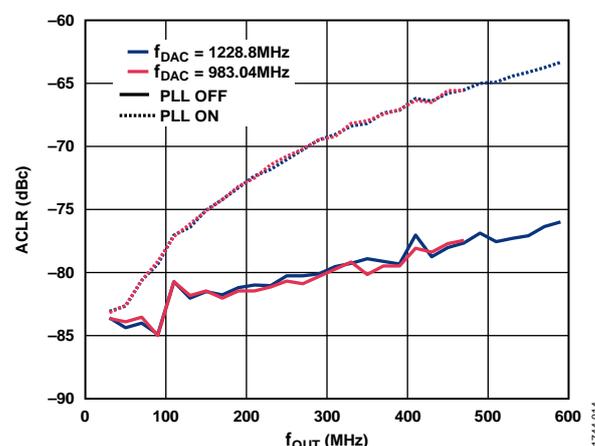


図 13. 様々な f_{DAC} での f_{OUT} 対 1 キャリア WCDMA 1 次隣接 ACLR、PLL オン/オフ

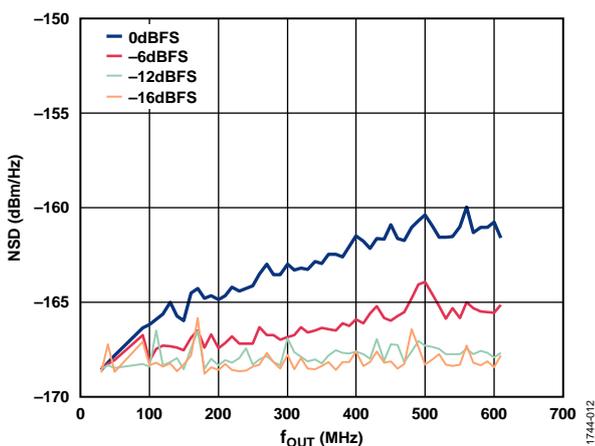


図 11. 様々なデジタル・バックオフでの f_{OUT} 対シングル・トーン NSD、 $f_{DAC} = 1,228.8 \text{ MHz}$

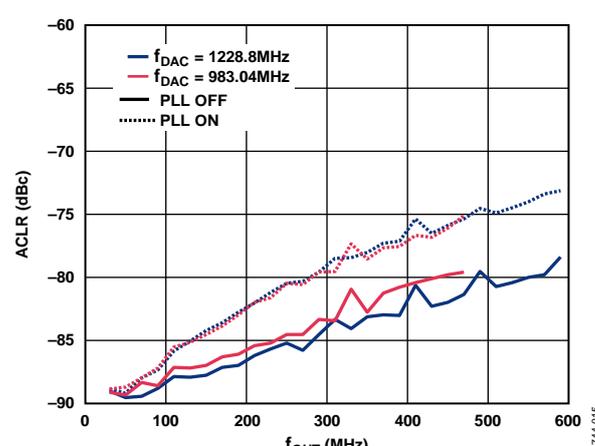


図 14. 様々な f_{DAC} での f_{OUT} 対 1 キャリア WCDMA 2 次隣接 ACLR、PLL オン/オフ

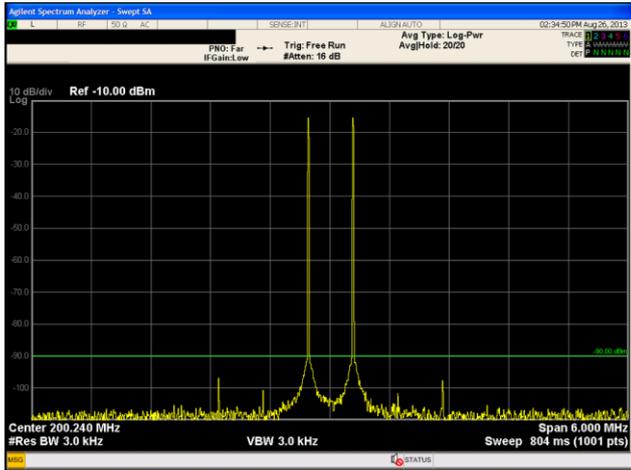


図 15.2 トーン 3 次 IMD 性能、IF = 200 MHz、
 $f_{DAC} = 1228.8$ MHz、-9 dBFS

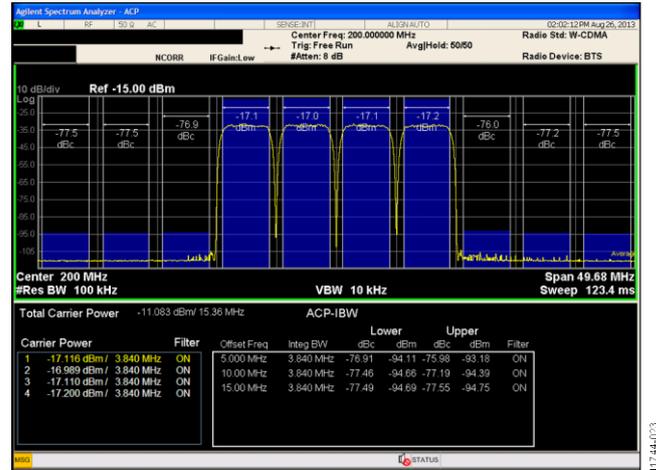


図 18.4 キャリア WCDMA ACLR 性能、IF = 200 MHz、
 $f_{DAC} = 1228.8$ MHz

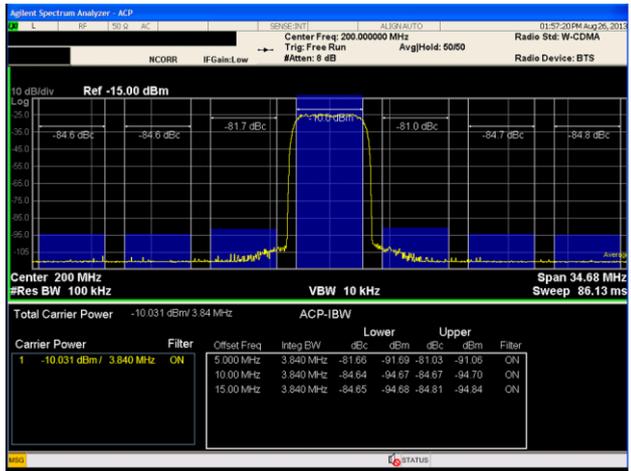


図 16.1 キャリア WCDMA ACLR 性能、IF = 200 MHz、
 $f_{DAC} = 1228.8$ MHz

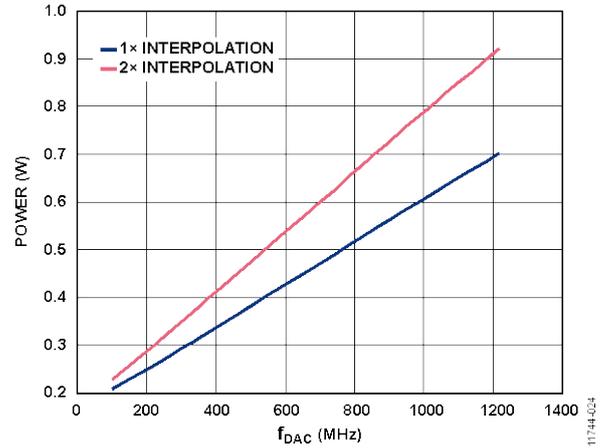


図 19.様々なインターポレーションでの f_{DAC} 対総合消費電力

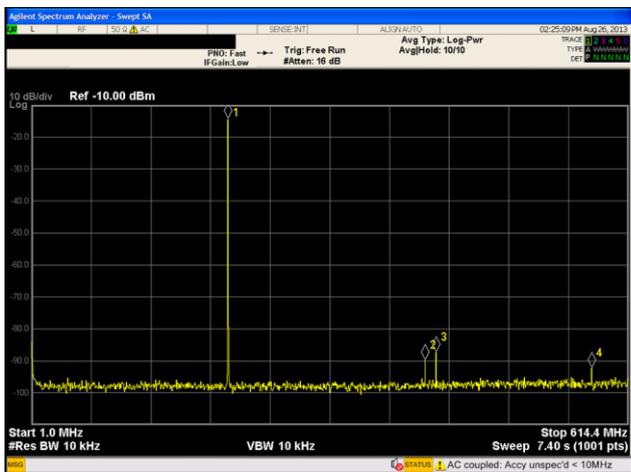


図 17.シングル・トーン性能、IF = 200 MHz、 $f_{DAC} = 1228.8$ MHz

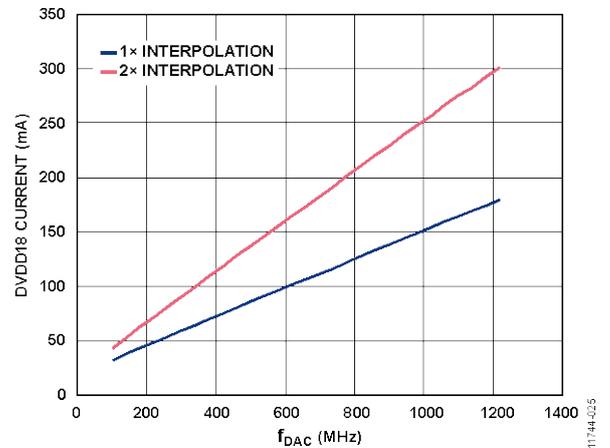


図 20.様々なインターポレーションでの f_{DAC} 対 DVDD18 電流

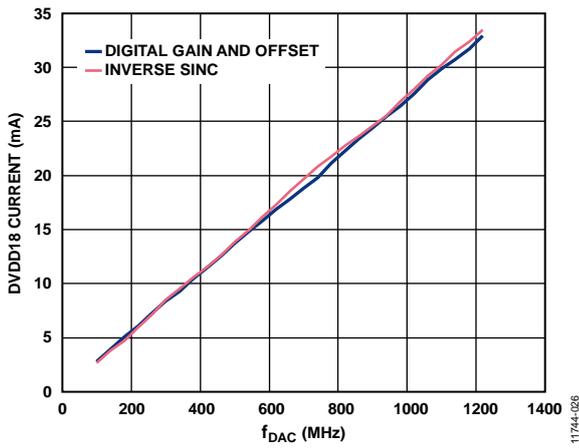


図 21.様々なデジタル機能での f_{DAC} 対 DVDD18 電流

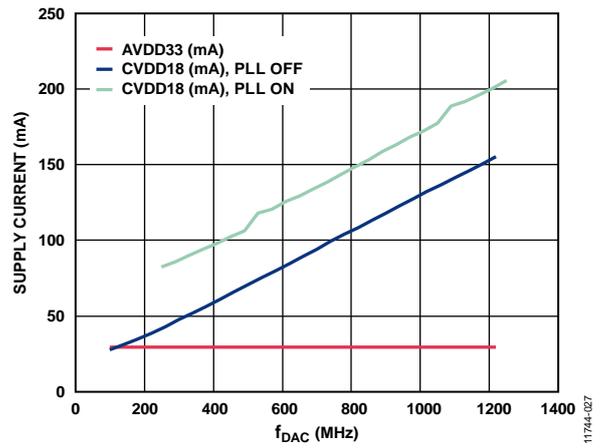


図 22. f_{DAC} 対 CVDD18 および AVDD18 電流

用語

積分非直線性(INL)

INLは、ゼロスケールとフルスケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

微分非直線性(DNL)

DNLは、デジタル入力コードでの1 LSBの変化に対応するアナログ値の変化の測定値で、フルスケールで正規化したものです。

オフセット誤差

出力電流と理論0 mAとの差をオフセット誤差と呼びます。DACOUTPの場合、全入力が0のとき、0 mAの出力が期待されます。DACOUTNの場合、全入力が1のとき、0 mAの出力が期待されます。

ゲイン誤差

理論出力範囲と実際の出力範囲の差をいいます。実際の出力スパンは、全入力ビットが1に設定されたときの出力と全入力ビットが0に設定されたときの出力との差として定義されます。

出力コンプライアンス・レンジ

出力コンプライアンス・レンジは、電流出力型DACの出力における許容電圧範囲です。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性性能が発生することがあります。

温度ドリフト

温度ドリフトは、周囲温度(25°C)時の値から T_{MIN} または T_{MAX} 時の値までの最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトは1°C当たりのフルスケール範囲(FSR)に対するppm値で表されます。リファレンス・ドリフトの場合は、ドリフトは1°C当たりのppm値で表されます。

電源電圧除去(PSR)

電源が最小規定電圧値から最大規定電圧値へ変化したときのフルスケール出力の最大変化をいいます。

セトリング・タイム

出力が最終値の規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

スプリアス・フリー・ダイナミックレンジ(SFDR)

SFDRは、出力信号のピーク振幅とDCからDACのナイキスト周波数までの範囲にあるピーク・スプリアス信号との差をデシベルで表したものです。一般に、この帯域内のエネルギーはインターポレーション・フィルタにより除去されます。したがって、この仕様はインターポレーション・フィルタの効果とDAC出力でのその他の寄生混入パスの影響を規定します。

信号対ノイズ比(SNR)

SNRは、測定した出力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和から6次までの高調波成分とDC成分を除いた分に対する比です。SNRは、デシベル値で表されます。

インターポレーション・フィルタ

DACへのデジタル入力が f_{DATA} の倍数レート(インターポレーション・レート)でサンプルされる場合、デジタル・フィルタは $f_{DATA}/2$ 近くに急峻な遷移帯域を持つように構成することができます。 f_{DAC} (出力データ・レート)の近くに現れるイメージは大きく減衰させることができます。

隣接チャンネル・リーク比(ACLR)

ACLRは、あるチャンネルと隣接チャンネルの間で測定したキャリア電力(dBc)間の比をdBcで表した値。

複素イメージ除去比

従来型両側波帯アップ・コンバージョンでは、2次IF周波数の周辺に2つのイメージが発生します。これらのイメージは、トランスミッタ電力とシステム帯域幅を浪費することになります。2番目の複素変調器の実数部を最初の複素変調器に直列に配置することにより、2次IF周辺の上側または下側の周波数イメージを除去することができます。

シリアル・ポート動作

シリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準マイクロコントローラ/マイクロプロセッサと容易にインターフェースすることができます。シリアル I/O は、モトローラ社の SPI プロトコルや Intel®社の SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。このインターフェースを使うと、AD9139 を設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。MSB ファーストまたは LSB ファーストの転送フォーマットをサポートしています。このシリアル・ポート・インターフェースは、3 線式専用インターフェースです。入力と出力は、1 本の入力/出力ピン(SDIO)を共用しています。

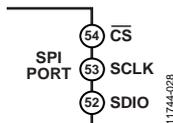


図 23. シリアル・ポート・インターフェース・ピン

AD9139 との通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクル(デバイスに対する命令バイトの書き込み)であり、最初の 16 個の SCLK 立上がりエッジを使います。この命令ワードは、データ転送サイクルすなわち通信サイクルのフェーズ 2 についての情報をシリアル・ポート・コントローラに提供します。フェーズ 1 の命令ワードは、後続のデータ転送が読出しまたは書き込みのいずれかを指定し、さらに後続データ転送の開始レジスタ・アドレスを指定します。

\overline{CS} ピンにハイ・レベルを入力し、続いてロー・レベルを入力すると、シリアル・ポートのタイミングが命令サイクルの初期状態にリセットされます。この状態から次の 16 個の SCLK 立上がりエッジで、現在の I/O 動作の命令ビットが表されます。

残りの SCLK エッジが、通信サイクルのフェーズ 2 に該当します。フェーズ 2 では、デバイスとシステム・コントローラとの間で実際にデータ転送が行われます。通信サイクルのフェーズ 2 は、1 データ・バイトの転送です。レジスタは、各転送バイトの最終ビットを書込むと、直ちに変更されます。

データ・フォーマット

命令バイトは表 9 に示す情報から構成されています。

表 9. シリアル・ポート命令ワード

I15 (MSB)	I[14:0]
R/ \overline{W}	A[14:0]

$\overline{R/\overline{W}}$ (命令ワードのビット 15) は、命令ワードの書き込み後に、読出しと書き込みのいずれのデータ転送が行われるかを指定します。ロジック 1 は読出し動作を、ロジック 0 は書き込み動作を、それぞれ表します。

A14~A0 (命令ワードのビット 14~ビット 0) は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。複数バイト転送の場合、A14 が開始アドレスで、残りのレジスタ・アドレスは SPI_LSB_FIRST ビットに基いてデバイスが生成しません。

シリアル・ポート・ピンの説明

シリアル・クロック(SCLK)

シリアル・クロック・ピン(SCLK)は、デバイスとの間のデータを同期化し、内部ステート・マシンを動作させます。SCLK の最大周波数は 40 MHz です。すべてのデータ入力は、SCLK の立上がりエッジで読込まれます。すべてのデータは SCLK の立下がりエッジで出力されます。

チップ・セレクト(\overline{CS})

\overline{CS} は、アクティブ・ロー入力で、通信サイクルの開始とゲーティングを行います。このため、同じシリアル通信ライン上で複数のデバイスを使用することができます。 \overline{CS} 入力がハイ・レベルのとき、SDIO ピンは高インピーダンス状態になります。通信サイクル中、 \overline{CS} はロー・レベルを維持します。

シリアル・データ I/O (SDIO)

SDIO ピンは双方向のデータ・ラインです。

シリアル・ポートのオプション

シリアル・ポートでは MSB ファーストと LSB ファーストのデータ・フォーマットをサポートしています。この機能は SPI_LSB_FIRST ビット (レジスタ 0x00、ビット 6) から制御されます。デフォルトは MSB ファースト (SPI_LSB_FIRST = 0) です。

SPI_LSB_FIRST = 0 (MSB ファースト) の場合、命令とデータビットは、MSB から LSB への順序で書込む必要があります。MSB ファースト・フォーマットでの複数バイトのデータ転送は、上位データバイトのレジスタ・アドレスを含む命令ワードから開始されます。後続のデータバイトは、上位アドレスから下位アドレスの順で続く必要があります。MSB ファースト・モードでは、シリアル・ポートの内部ワード・アドレス・ジェネレータが、複数バイトの通信サイクルの各データバイトに対してデクリメントします。

SPI_LSB_FIRST = 1 (LSB ファースト) の場合、命令ビットとデータビットは、LSB から MSB への順序で書込む必要があります。LSB ファースト・フォーマットでの複数バイトのデータ転送は、下位データバイトのレジスタ・アドレスを含む命令ワードから開始されます。後続のデータバイトは、下位アドレスから上位アドレスの順で続く必要があります。LSB ファースト・モードでは、シリアル・ポートの内部ワード・アドレス・ジェネレータが、複数バイトの通信サイクルの各データバイトに対してインクリメントします。

MSB ファースト・モードがアクティブの場合、シリアル・ポート・コントローラのデータ・アドレスは、複数バイト I/O 動作に対して、書込まれたデータ・アドレスから 0x00 へ向かってデクリメントされます。LSB ファースト・モードがアクティブの場合、シリアル・ポート・コントローラのデータ・アドレスは、複数バイト I/O 動作に対して、書込まれたデータ・アドレスから 0xFF へ向かってインクリメントされます。

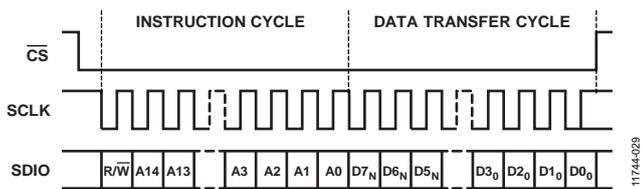


図 24. シリアル・レジスタ・インターフェースのタイミング、MSB ファースト

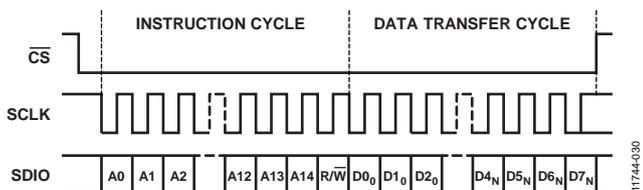


図 25. シリアル・レジスタ・インターフェースのタイミング、LSB ファースト

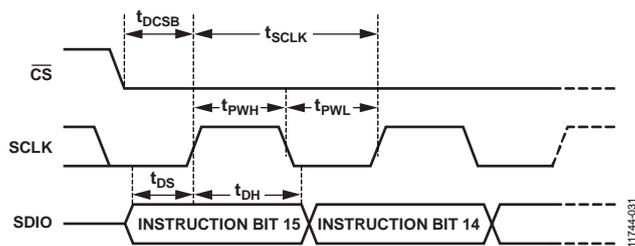


図 26. シリアル・ポート・レジスタ書込のタイミング図

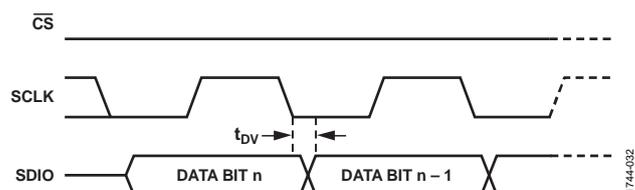


図 27. シリアル・ポート・レジスタ読出しのタイミング図

データ・インターフェース

LVDS 入力データ・ポート

AD9139 は、ワード幅(16 ビット)またはバイト幅(8 ビット)フォーマットの 16 ビット・データを受け付ける 16 ビット LVDS バスを使用しています。ワード幅インターフェース・モードでは、データは 16 ビット・データ・バスを使って送信されます。バイト幅インターフェース・モードでは、データは LVDS バスの下位 8 ビット(D7~D0)を使って送信されます。表 10 に、各モードに対するバスのピン割り当てと SPI レジスタ構成を示します。

表 10.LVDS 入力データ・モード

Interface Mode	Input Data Width	SPI Register Configuration
Word	D15 to D0	Register 0x26, Bit 0 = 0
Byte	D7 to D0	Register 0x26, Bit 0 = 1

ワード・インターフェース・モード

ワード・モードでは、デジタル・クロック入力(DCI)信号がダブル・データ・レート(DDR)のデータ・サンプリング・クロックを発生する基準ビットになります。DCI 信号とデータが時間的に整列します。

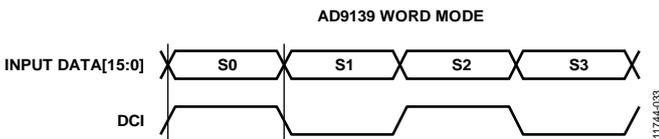


図 28.ワード・モードの AD9139 タイミング図

バイト・インターフェース・モード

バイト・モードでは、入力データ・ストリームの必要とされるシーケンスは、S0[15:8]、S0[7:0]、S1[15:8]、S1[7:0]、などの順です。入力データ・バイトを正しく整列させるために、フレーム信号が必要です。DCI 信号とフレーム信号が時間的にデータと整列します。フレームの立上がりエッジがシーケンスの開始を表示します。フレームとしては、ワンショット信号またはデバイスが最初の立上がりエッジを正しく取り込める長さを持つ周期的信号が可能です。ワンショット・フレームの場合、フレーム・パルスは少なくとも DCI の 1 サイクル間ハイ・レベルを維持する必要があります。周期的フレームの場合、周波数は次のようになります。

$$f_{fci}(2 \times n)$$

ここで、 n は正整数で、1、2、3、...

図 29 に、バイト・モードでの信号タイミングの例を示します。

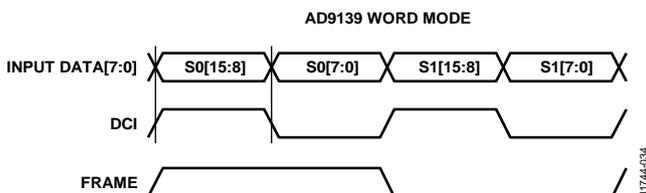


図 29.バイト・モードのタイミング図

データ・インターフェース構成オプション

データ・インターフェースの柔軟性を強化するための追加オプションを表 11 に示します。

表 11.データ・インターフェース構成オプション

Register 0x26, Bit 7	Description
DATA_FORMAT	バイナリまたは 2 の補数フォーマットを選択します。

DLL インターフェース・モード

ソース同期 LVDS インターフェースは、データ・ホストと AD9139 との間で使用され、インターフェースを簡素化すると同時に高いデータ・レートを実現します。FPGA または ASIC から 16 ビット入力データを AD9139 へ供給します。FPGA または ASIC は入力データと一緒に、DDR DCI を供給します。

250 MHz~575 MHz の DCI クロック・レートで動作するようにデザインされた遅延ロックド・ループ (DLL) 回路は、DCI 信号の位相をシフトさせたバージョンを発生します。この信号はデータ・サンプリング・クロック (DSC) と呼ばれ、立上がりエッジと立下がりエッジの両方で入力データを取り込みます。

図 31 に示すように、DCI クロック・エッジは、最小のスキューとジッタで、データ・ビットの変化と一致する必要があります。入力データの公称サンプリング・ポイントは DCI クロック・エッジの中央で発生します。このポイントはデータ・アイの中心に対応するためです。これはまた、DCI クロックの 90° の公称位相シフトと等価です。

データ・タイミング条件は、データ有効ウィンドウ (DVW) により決定されます。このウィンドウは、データ・クロック入力のスキュー、入力データのジッタ、遅延設定値に対する DLL 遅延線の変動に依存します。DVW は次式で定義されます。

$$DVW = t_{DATA PERIOD} - t_{DATA SKEW} - t_{DATA JITTER}$$

データ・インターフェース・タイミングの有効マージンは次式で与えられます。

$$t_{MARGIN} = DVW - (t_s + t_h)$$

セットアップ・タイムとホールド・タイムの差はキープアウト・ウィンドウ (KOW) とも呼ばれ、データの変化が禁止される領域を表します。タイミング・マージンを使うと、DLL 遅延を設定することができます(図 30 参照)。

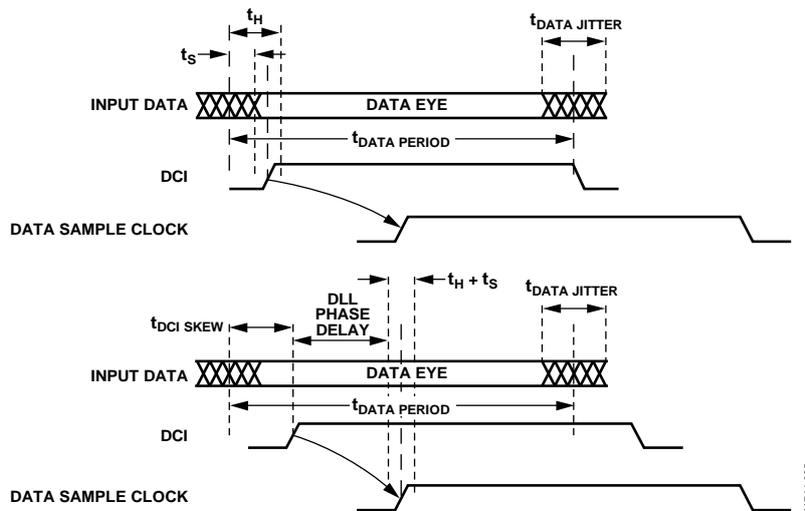


図 30.LVDS データ・ポートのタイミング条件

図 30 では、DSC 信号に対する最適ロケーションは DCI 入力から 90°の位相ずれであることを示していますが、データに対して DCI にはスキューがあるため、アイ・ダイアグラムの中心でデータをサンプルさせるように、DSC 位相オフセットを変化させる必要があります。レジスタ 0x0A のビット[3:0]を使って 90°の公称 DLL 位相シフト値を離散的な値だけオフセットさせて、サンプリング・タイミングを変化させます。このレジスタは符号付きの値を格納します。MSB が符号で、下位ビットは大きさを表します。次式により、位相オフセットの関係が与えられます。

$$\text{位相オフセット} = 90^\circ + n \times 11.25^\circ, |n| < 7$$

ここで、 n は DLL 位相オフセット設定値。

図 31 に、DCI 信号とデータ信号に対する DSC のセットアップ・タイムとホールド・タイムを示します。

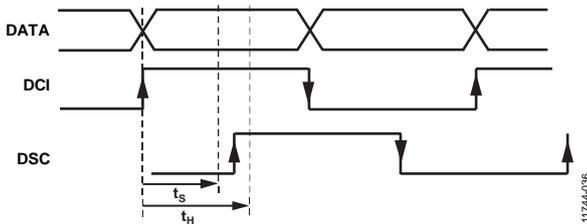


図 31.LVDS データ・ポートのセットアップ・タイムとホールド・タイム

表 12 に、動作条件に対する保証値を示します。これらの値は、50% のデューティ・サイクルと 450 mV p-p の DCI 振幅で取得されました。最適性能のためには、デューティ・サイクル変動を ±5% 以下にし、DCI 入力を最大 1200 mV p-p までできるだけ高くなります。

表 12.DLL 位相のセットアップ・タイムとホールド・タイム (保証値)

Frequency, f_{DCI} (MHz)	Time (ps)	Data Port Setup and Hold Times (ps) at DLL Phase		
		-3	0	+3
307	t_s	-125	-385	-695
	t_H	834	1120	1417
368	t_s	-70	-305	-534
	t_H	753	967	1207
491	t_s	-81	-245	-402
	t_H	601	762	928
614	t_s	-54.0	-167	-277
	t_H	497	603	721

表 13. DLL 位相のセットアップ・タイムとホールド・タイム (typ 値)

Frequency, fDCI ¹ (MHz)	Time (ps)	Data Port Setup and Hold Times (ps) at DLL Phase												
		-6	-5	-4	-3	-2	-1	0	+1	+2	+3	+4	+5	+6
250	t _s	-93	-196	-312	-416	-530	-658	-770	-878	-983	-1093	-1193	-1289	-1412
	t _H	468	579	707	825	947	1067	1188	1315	1442	1570	1697	1777	1876
275	t _s	-87	-172	-264	-364	-464	-556	-653	-756	-859	-956	-1053	-1151	-1251
	t _H	451	537	646	757	878	977	1092	1218	1311	1423	1537	1653	1728
300	t _s	-82	-166	-256	-341	-426	-515	-622	-715	-809	-900	-1001	-1097	-1184
	t _H	422	500	598	703	803	897	1000	1105	1203	1303	1411	1522	1612
325	t _s	-46	-114	-190	-271	-358	-447	-538	-612	-706	-806	-891	-966	-1044
	t _H	405	483	563	647	740	832	914	1000	1100	1200	1292	1380	1476
350	t _s	-23	-92	-180	-252	-328	-409	-491	-574	-654	-731	-819	-889	-959
	t _H	383	451	524	607	682	762	844	930	1011	1097	1186	1277	1358
375	t _s	-7	-82	-150	-225	-315	-391	-461	-526	-595	-661	-726	-786	-853
	t _H	401	466	504	569	641	718	783	863	941	1025	1106	1187	1264
400	t _s	-46	-98	-161	-243	-303	-384	-448	-513	-578	-643	-713	-771	-833
	t _H	385	445	503	546	604	674	748	826	890	965	1039	1110	1178
425	t _s	4	-52	-110	-170	-229	-297	-394	-449	-517	-579	-641	-704	-752
	t _H	358	408	465	524	595	625	692	762	829	900	966	1032	1097
450	t _s	11	-34	-92	-147	-209	-269	-324	-386	-446	-509	-564	-622	-672
	t _H	354	406	457	516	573	637	693	731	792	852	917	983	1042
475	t _s	-15	-51	-95	-147	-198	-255	-313	-366	-425	-480	-530	-585	-640
	t _H	355	399	451	499	556	613	675	727	779	815	873	930	988
500	t _s	9	-28	-77	-128	-183	-233	-288	-333	-390	-438	-495	-545	-594
	t _H	313	354	399	445	500	555	615	668	726	783	825	881	934
525	t _s	-7	-52	-100	-147	-187	-237	-285	-335	-387	-436	-483	-530	-581
	t _H	311	356	395	438	489	537	592	645	692	746	799	850	909
550	t _s	-5	-39	-74	-107	-147	-192	-249	-302	-352	-397	-440	-486	-529
	t _H	300	340	378	423	468	510	560	610	659	710	756	810	865
575	t _s	8	-28	-66	-102	-143	-181	-245	-280	-336	-366	-406	-443	-488
	t _H	312	348	379	414	453	496	544	599	654	708	759	806	847

¹ 表 13 に選択した f_{DCI} 周波数に対するキャラクタライゼーション・データを示します。他の周波数も可能です。性能の予測には表 13 を使ってください。

表 13 に、データ有効マージンを計算するために必要な種々の DCI クロック周波数に対する時間(typ)を示します。表 13 を使って、DSC サンプリング・ポイントのチューニングに使用できるマージンを求めます。

DCI 信号とデータ信号のアイを大きく開くようにすると、データ・ポート・インターフェースの信頼性が向上します。ホスト・プロセッサと AD9139 入力との間の差動パターンはインピーダンスを制御した等しい長さ (等しい遅延) にします。DCI 信号は、データ・ビットと変化を一致させるため、データに対して使用する同じ出力ドライバから出力される交互変化 (010101...) するビット・シーケンスを持つデータ・ラインとして構成します。

DCI 信号はデフォルトで AC 結合されているため、DCI 信号をなくすると、DCI 入力のランダム性から DAC 出力にチャタリングが生じます。これを回避するため、DCI 信号がない場合、レジスタ 0x01[7] の DAC 出力電流パワーダウン・ビットに 1 を設定して、DAC 出力をディスエーブルしてください。DCI 信号を再度使用する場合は、レジスタ 0x01[7] に 0 を設定して、DAC 出力をイネーブルしてください。

レジスタ 0x0D は、動作周波数範囲で DLL 安定性を最適化します。表 14 に推奨設定値を示します。

表 14. DLL 設定オプション

DCI Speed	Register 0x0D
≥350 MHz	0x06
<350 MHz	0x86

アドレス 0x0E のデータ・ステータス・レジスタを読み出して、DLL のステータスをポーリングしてください。ビット 0 は、DLL が動作中でロック試行中を表し、ビット 7 は DLL がロックすると 1 になります。ビット 2 は、有効なデータ・クロック入力 (DCI) が検出されると 1 になります。レジスタ 0x0E の警報ビット [6:4] は、DAC が遅延線の非最適ロケーションで動作していることを表示するインジケータとして使用することができます。これらのビットは、DLL の実際の速度より可成り低い SPI ポート速度で読出されることに注意してください。これは、実際に発生していることのリアルタイム表示ではなくスナップショットを提供していることを意味します。

DLL 設定例 1

次の DLL 設定例では、 $f_{DCI} = 600$ MHz、DLL をイネーブル、DLL 位相オフセット = 0 にしています。

1. `0x5E → 0xFE /* Turn off LSB delay cell*/`
2. `0x0D → 0x06 /* Select DLL configure options */`
3. `0x0A → 0xC0 /* Enable DLL and duty cycle correction. Set DLL phase offset to 0 */`
4. `Read 0x0E[7:4] /* Expect 1000b if the DLL is locked */`

DLL 設定例 2

次の DLL 設定例では、 $f_{DCI} = 300$ MHz、DLL をイネーブル、DLL 位相オフセット = 0 にしています。

1. `0x5E → 0xFE /* Turn off LSB delay cell*/`
2. `0x0D → 0x86 /* Select DLL configure options */`
3. `0x0A → 0xC0 /* Enable DLL and duty cycle correction. Set DLL phase offset to 0 */`
4. `Read 0x0E[7:4] /* Expect 1000b if the DLL is locked */`

パリティ

レジスタ `0x6A[7]` のパリティ・ビット機能をイネーブルし、レジスタ `0x09` に `0x21` を設定してフレーム/パリティ・ビットをパリティとして設定すると、データ・インターフェースを連続的にモニタすることができます。この場合、ホストが各データ・サンプルごとにパリティ・ビットを送信します。このビットは次式に従って設定されます。ここで、 n はチェック対象のデータ・サンプルです。

偶数パリティの場合

$$XOR[FRM(n), D0(n), D1(n), D2(n), \dots, D15(n)] = 0$$

奇数パリティの場合

$$XOR[FRM(n), D0(n), D1(n), D2(n), \dots, D15(n)] = 1$$

パリティ・ビットは、17 ビット (フレーム/パリティ・ビットを含む) に対して計算されます。

パリティ・エラーが発生すると、パリティ・エラー・カウンタ (レジスタ `0x6B` or レジスタ `0x6C`) がインクリメントされます。DCI 信号の立上がりエッジでサンプルされたビットで極性エラーが発生すると、立上がりエッジ・パリティ・カウンタ (レジスタ `0x6B`) がインクリメントされて、`PARERRRIS` ビット (レジスタ `0x6A[0]`) がセットされます。DCI の立下がりエッジでサンプルされたビットで極性エラーが発生すると、立下がりエッジ・パリティ・カウンタ (レジスタ `0x6C`) がインクリメントされて、`PARERRFAL` ビット (レジスタ `0x6A[1]`) がセットされます。パリティ・カウンタは、クリアされるか最大値 255 に到達するまで積算を続けます。このカウンタをクリアするときは、レジスタ `0x6A[5]` に 1 を書込みます。

パリティ・エラーが発生したときに `IRQ` を発生させるときは、レジスタ `0x04` のビット 7 に 1 を書込みます。これにより、立上がりエッジまたは立下がりエッジ・パリティ・エラーが発生すると、`IRQ` が発生します。レジスタ `0x06[7]` または選択した `IRQx` ピンを使って、`IRQ` ピンのステータスを知ることができます。レジスタ `0x06[7]` に 1 を書込むと、`IRQ` がクリアされます。

パリティ・ビット機能を使って、インターフェース・タイミングの有効を確認します。前述のように、ホストがパリティ・ビットとデータ・サンプルを供給し、`IRQ` を発生するように `AD9139` を設定します。次に、`AD9139` の入力レジスタのサン

プリング・タイミングを掃引して、どのポイントでサンプリング・エラーが発生したかを知ることができます。`SPI` レジスタ `0x0A` のビット [3:0] を使って 90° の公称 DLL 位相シフト値を離散的な値だけオフセットさせて、サンプリング・タイミングを変化させることができます。

SED 動作

`AD9139` は、入力データ・インターフェースの評価を簡素化するサンプル・エラー検出 (SED) 回路を内蔵しています。SED は、デジタル入力ピンで取り込んだ入力データ・サンプルを比較値のセットと比較します。比較値は、`SPI` ポートを介してレジスタにロードされます。取り込んだ値と比較値との差が検出されます。SED テスト・シーケンシングとエラー処理をカスタマイズするオプションがあります。

SED 回路を使うと、アプリケーションは、高速ソース同期データ・バスが正しく構成され、タイミング条件を満たすことを確認するためのユーザー定義の短いパターンをテストすることができます。SED 回路はパリティ・ビットとは異なり、`AD9139` をアプリケーションで使用する前に初期システム・キャリブレーションで使うことが予想されています。SED 回路は、`S0`、`S1`、`S2`、`S3` で表されるユーザー定義の入力ワードから構成されるデータ・セット上で動作します。ユーザー定義のパターンは、シーケンシャルなデータワード・サンプル (`S0` は `DCI` の立上がりエッジでサンプルされ、`S1` は `DCI` の次の立下がりエッジでサンプルされ、`S2` は次の `DCI` 立上がりエッジでサンプルされ、`S3` は次の `DCI` 立下がりエッジでサンプルされます) で構成されています。ユーザーは、このデータ・パターンをバイト・フォーマットでレジスタ `0x61` ~ レジスタ `0x68` にロードします。

ユーザー定義のパターンの深さは、`SED_CTRL` レジスタ (`0x60`) のビット 4 を使って選択することができます。デフォルトの 0 は、深さ 2 を意味し (`S0` と `S1` を使用)、さらに 1 は深さ 4 を意味します (`S0`、`S1`、`S2`、`S3` を使用し、`SED` ステート・マシンに対して `S0` を定義するためにフレーム信号入力の使用を要求します)。

深さ 4 を使って入力サンプルを正しく整列させるために、最小 2 つの全入力サンプルの間フレーム信号をアサートして、`S0` を表示します。フレーム信号はデータ送信の開始時に 1 回発行することができます。あるいは、`S0` ワードと同じ間隔で繰り返しアサートすることができます。

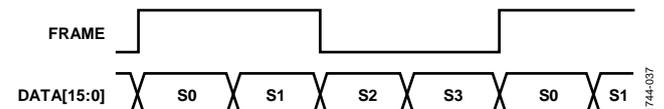


図 32. SED の入力データを整列させるために必要な拡張 `FRAMEx` 信号のタイミング図

SED には、入力サンプルの比較結果を表示する 3 つのフラグ・ビットがあります (レジスタ `0x60` のビット 0、ビット 1、ビット 2)。サンプル・エラー検出ビット (レジスタ `0x60`、ビット 0) はエラーが検出されたときにセットされ、クリアされるまでセットのままになります。

自動サンプル・エラー検出 (AED) モードは、比較フェイル・ビットと比較パス・ビット (レジスタ `0x60` のビット 1 とビット 2) をアクティブにする 2 つの機能を持つ自動クリア・モードです。直前の比較がサンプルにエラーがなかったことを表示した場合、比較パス・ビットがセットされます。エラーが検出されると、比較フェイル・ビットがセットされます。自動クリア・モードがイネーブルされたとき、連続した 8 個のエラーのない比較が受信されると、比較フェイル・ビットは自動的にクリアされます。

サンプル・エラー・フラグは必要に応じて、イベント・フラグ・レジスタ (レジスタ 0x04、ビット 6)の該当するビットをイネーブルして、アクティブのときにIRQ を発生するように設定することができます。

SED の例

ノーマル動作

次の例に、入力データを連続モニタし、エラーが 1 つ検出されたときIRQを発生するように、AD9139 のSED を設定する方法を示します。

1. 次のレジスタに書込みを行い、SED をイネーブルし、比較値に深さ 4 のユーザー・パターンをロードします。比較値は任意に選択できますが、頻繁なビット・トグルを必要とする値を選択すると、最も強固なテストになります。
 - a. レジスタ 0x61[7:0]→ S0[7:0]
 - b. レジスタ 0x62[7:0]→ S0[15:8]
 - c. レジスタ 0x63[7:0]→ S1[7:0]
 - d. レジスタ 0x64[7:0]→ S1[15:8]
 - e. レジスタ 0x65[7:0]→ S2[7:0]
 - f. レジスタ 0x66[7:0]→ S2[15:8]
 - g. レジスタ 0x67[7:0]→ S3[7:0]
 - h. レジスタ 0x68[7:0]→ S3[15:8]
2. SED をイネーブルします。
 - a. レジスタ 0x60 → 0xD0
 - b. レジスタ 0x60 → 0x90
3. SED エラー検出フラグをイネーブルして、 $\overline{\text{IRQx}}$ ピンをアサートします。
 - a. レジスタ 0x04[6] = 1
4. 入力データ・パターンの送信を開始します (パターンの深さが 4 であるため FRAMEx も必要です)。

遅延線インターフェース・モード

DLL は、非常に高速なデータ・レートのアプリケーションでインターフェース・タイミング条件の簡素化に役立つようにデザインされています。DLL の最小サポート・インターフェース速度は 250 MHz です(表 2 参照)。この速度より低いインターフェース・レートでは、インターフェース遅延線を使ってください。このモードでは、DLL がパワーオフされ、データ・バスと DCI との間のタイミング調整に使える 4 タップ付きの遅延線が用意されています。表 15 に、各遅延タップのセットアップ・タイムとホールド・タイムを規定します。

表 15.遅延線のセットアップ・タイムとホールド・タイム (保証値)

Delay Setting	0	1	2	3
Register 0x5E[7:0]	0x00	0x80	0xF0	0xFE
Register 0x5F[2:0]	0x60	0x67	0x67	0x67
t_s (ns) ¹	-0.81	-0.97	-1.13	-1.28
t_H (ns)	1.96	2.20	2.53	2.79
$ t_s + t_H $ (ns)	1.15	1.23	1.40	1.51

¹ 負符号はセットアップ・タイムの方向を表します。セットアップ・タイムは、クロック・エッジの左側にあるときに正と、クロック・エッジの右側にあるとき負と、それぞれ定義されます。

遅延線をイネーブルすると、DCI 信号で固定 1.38 ns の遅延が発生します。各タップにより公称遅延 200 ps が固定遅延に加わります。最適なタイミング・マージンを実現するため、すなわちセットアップおよびホールド・ウインドウをデータ・アイの中央に位置させるため、データ・ソース内の DCI 信号に対してデータ・バスを遅延させる必要が生じることがあります。図 33 に、最適な外部遅延の計算例を示します。

レジスタ 0x0D[4]が、動作周波数範囲での最適インターフェース性能に対する DCI 信号結合設定値を設定します。遅延線インターフェース・モードでは、このビットに 1 (DCI を DC 結合) を設定することが推奨されます。

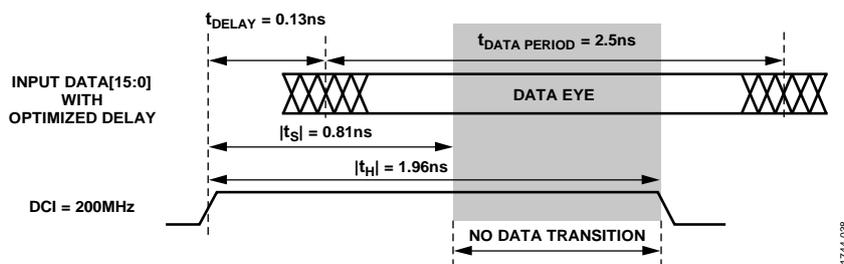


図 33.遅延線採用モードでのインターフェース・タイミング例

インターフェース・タイミング条件

遅延線インターフェース・モードで最適サンプリング・タイミングを実現する、データ・ソースでの最適遅延の計算例をつぎに示します。

- $f_{DCI} = 200 \text{ MHz}$
- 遅延設定 = 0

図 33 の灰色の領域は、0 に設定されたインターフェース・セットアップおよびホールド・タイム・ウインドウです。インターフェース・タイミングを最適化するためには、このウインドウをデータ変化の中心に位置させる必要があります。入力はダブル・データ・レートであるため、有効データ周期は 2.5 ns です。したがって、データ・ソースでの DCI 信号に対する最適データ・バス遅延は次式で計算できます。

$$t_{DELAY} = \frac{(|t_S| + |t_H|)}{2} - \frac{t_{DATA PERIOD}}{2} = 1.38 - 1.25 = 0.13 \text{ ns}$$

遅延線採用モードをイネーブルするための SPI シーケンス

次の SPI シーケンスを使って遅延線採用モードをイネーブルしてください。

1. 0x5E → 0x00 /* Configure the delay setting */
2. 0x5F → 0x60
3. 0x0D → 0x16 /* DC couple DCI */
4. 0x0A → 0x00 /* Turn off DLL and duty cycle correction */

FIFO動作

AD9139 では、データ・レシーバでソース同期クロックを採用しています(データ・インターフェースのセクション参照)。ソース同期クロックでは、受信デバイスで別々のクロック・ドメインを設けます。DAC では、DAC クロック・ドメイン、すなわち DACCLK になります。このため、DAC 内部には DCI と DACCLK の 2 つのクロック・ドメインが存在します。これらの 2 つのクロック・ドメインは非同期であることがあり、正しいデータ転送のためにタイミングを調整するステージの追加が必要となる場合があります。AD9139 では、DCI ドメインと DACCLK ドメインとの間に FIFO ステージを挿入して、受信データを DAC のコア・クロック・ドメイン(DACCLK)へ転送しています。

AD9139 は、幅 16 ビット、深さ 8 ワードの FIFO を 2 チャンネル内蔵しています。FIFO はバッファとして動作し、2 つのクロック・ドメイン間のタイミング変動を吸収します。システム内の 2 つのクロック・ドメイン間のタイミング余裕は、FIFO の深さにより大幅に緩和されます。

図 34 に、FIFO を通るデータパスのブロック図を示します。入力データはデバイスにラッチされ、フォーマット化され、FIFO レジスタに書込まれます。この FIFO レジスタは FIFO 書き込みポインタにより指定されます。書き込みポインタ値は、新しいワードが FIFO にロードされるごとにインクリメントされます。一方、

データは FIFO レジスタから読出されます。この FIFO レジスタは読出しポインタにより指定され、デジタル・データバスへ出力されます。読出しポインタ値は、データが FIFO からデータバスへ読出されるごとにインクリメントされます。FIFO ポインタは、データ・レートでインクリメントされます。このデータ・レートは、DACCLK レートをインターポレーション・レートで分周したものです。

有効なデータは、FIFO がオーバーフロー(フル)またはアンダーフロー(エンプティ)しない限り FIFO を経由して送信されます。オーバーフロー状態またはアンダーフロー状態は、書き込みポインタと読出しポインタが同じ FIFO スロットを指したときに発生します。データのこの同時アクセスにより、FIFO を経由した信頼度の低いデータ転送が発生するため回避する必要があります。

通常、FIFO の深さを一定に維持するため FIFO に対するデータの書込と読出は同じレートで行われます。データの FIFO への書込がデータの読出より高速になると、FIFO の深さが増加します。データの FIFO からの読出がデータの書込より高速になると、FIFO の深さが減少します。最適タイミング・マージンを実現するためには、FIFO の深さを半分近く(書き込みポインタ値と読出しポインタ値との差が 4)に維持する必要があります。FIFO の深さは FIFO パイプライン遅延を表し、AD9139 の全体遅延の一部になります。

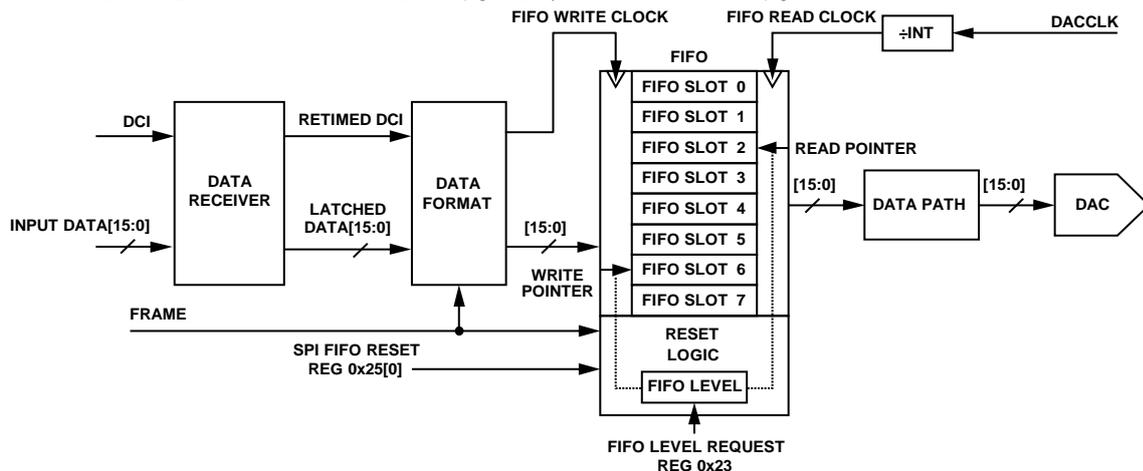


図 34.FIFO のブロック図

11744-039

FIFOのリセット

デバイスがパワーオンすると、読出しポインタと書込みポインタは任意のスロットから初めて巡回し始めるため、FIFOの深さは未知です。同じFIFOアドレスに対する読出しと書込みの同時発生を回避して、各パワーオンごとに固定のパイプライン遅延を維持するためには、デバイスがパワーオンまたはウェイクアップするごとにFIFOポインタを既知状態にリセットすることが重要です。この状態は、所要FIFOレベルで規定されています(このデータシートではFIFOの深さとFIFOレベルは同じ意味で使用しています)。この規定は整数FIFOレベルと非整数FIFOレベルの2つから構成されています。

整数FIFOレベルは、入力データ周期($1/f_{DATA}$)の単位で表した読出しポイントと書込みポイントの間の状態数の差です。非整数FIFOレベルは、入力データ周期より小さいFIFOポインタの差を表します。非整数FIFOレベルの分解能は、入力データ周期をインターポレーション比で除算した値で表わされるため、DACCLKの1サイクルに等しくなります。

正確なFIFOレベル、すなわちFIFO遅延は次式で計算できます。

$$FIFO \text{ 遅延} = \text{整数レベル} + \text{非整数レベル}$$

FIFOには8個のデータ・スロットがあるため、8個のFIFO整数レベルが可能です。AD9139でサポートされる最大インターポレーション・レートは、2xインターポレーションです。このため、2つのFIFO非整数レベルが可能です。

レジスタ0x23内にある2個の3ビット・レジスタが2つのFIFOレベルを表すために次のように割り当てられています。

- ビット[6:4]はFIFO整数レベルを表します
- ビット[2:0]はFIFO非整数レベルを表します

例えば、インターポレーション・レートが2xで、必要とされるFIFOの合計深さが4.5入力データ周期の場合、FIFO_LEVEL_CONFIG(レジスタ0x23)に0x41を設定します(ここで、4は4データ・サイクルを、1は1DACサイクル(=データ・サイクルの1/2)を、それぞれ意味します)。

FIFOをリセットし、次のいずれかの方法でFIFOレベルを初期化します。

- シリアル・ポート(SPI)からのFIFOリセット
- フレームからのFIFOリセット

シリアル・ポートからのFIFOリセット

SPIからのFIFOリセットは、FIFOをリセットする最も一般的な方法です。シリアル・ポートからFIFOレベルを初期化するときは、FIFO_SPI_RESET_REQUEST(レジスタ0x25のビット0)を0から1へ変化させ、0へ戻します。このレジスタへの書込みが完了すると、FIFOレベルは要求されたFIFOレベルに初期化され、FIFO_SPI_RESET_ACK(レジスタ0x25のビット1)のリードバックが1に設定されます。FIFOレベル要求と同じフォーマットのFIFOレベルのリードバックは、要求されるレベルの ± 1 DACCLK サイクル以内にある必要があります。例えば、2xインターポレーションで要求される値が0x40の場合、リードバック値は0x31、0x40、0x41のいずれかである必要があります。 ± 1 DACCLK サイクルの範囲は、各パワーオンごとに同期なしでの、デフォルトのDAC遅延不確定性を表します。

シリアル・ポートFIFOリセットに対する推奨手順は次の通りです。

1. DACを所要インターポレーション・モードに設定します(レジスタ0x28[7])。
2. DACCLKクロックとDCIクロックが動作中で、クロック入力で安定していることを確認します。
3. レジスタ0x23に0x41を設定します。
4. レジスタ0x25[0]に1を設定して、FIFOレベルのリセットを要求します。
5. レジスタ0x25[1]に1を設定して、デバイスが要求をアクノリッジしたことを確認します。
6. レジスタ0x25[0]に0を設定して要求を取り除きます。
7. レジスタ0x25[1]に0を設定して、デバイスがアクノリッジ信号を取り下げたことを確認します。
8. レジスタ0x06[2]とレジスタ0x06[1]をリードバックします。両ビットが0の場合、ステップ9を続けます。2ビットの内的一方が1の場合、レジスタ0x23に0x40を設定します。
9. レジスタ0x24を複数回リードバックして、実際にFIFOレベルが要求レベルに設定され(レジスタ0x23)、リードバック値が安定していることを確認します。デザイン上、リードバックは要求されたレベルに対して ± 1 DACCLK以内にある必要があります。

フレームからのFIFOリセット

フレーム入力には2つの機能があります。1つ目の機能は、バイト・インターフェース・モードでバイト・ストリームの開始を表示することです(データ・インターフェースのセクション参照)。もう1つの機能は、DACにデータの2サンプルをロードするために要する最小時間の間フレーム信号をハイ・レベルに維持して、FIFOレベルを初期化することです。これは、ワード・モードでは1DCI周期に、バイト・モードでは2DCI周期に、それぞれ対応します。バイト・ストリームのみを構成する場合、フレーム・パルス長のこの条件はフレーム信号の条件より長いことに注意してください。デバイスは、連続フレーム信号またはワンショット・フレーム信号を受け付けます。

連続リセット・モードでは、FIFO は各有効フレーム・パルスに
応答して、自身をリセットします。ワンショット・リセット・
モードでは、FIFO は FRAME_RESET_MODE ビット(レジスタ
0x22[1:0])がセットされた後の最初の有効フレーム・パルスのみ
に応答します。このため、連続フレーム入力の場合でも、FIFO
は 1 回だけリセットします。これにより、FIFO が周期的リセッ
トによる 2 つの状態の間でトグルするのを防止します。ワンシ
ョット・フレーム・リセット・モードはデフォルトであり、推
奨モードです。

フレームからの FIFO リセットに対する推奨手順は次の通りで
す。

1. DAC を所要インターポレーション・モードに設定します
(レジスタ 0x28[7])。
2. DACCLK クロックと DCI クロックが動作中で、クロック入
力で安定していることを確認します。
3. DLL がロックされたことを(DLL モードの場合)、または
DCI クロックが正しく送信されていることを(バイパス・モ
ードの場合)を確認します。
4. レジスタ 0x23 に 0x41 を設定します。
5. FRAME_RESET_MODE ビット(レジスタ 0x22[1:0])に 10 を
設定します。
6. EN_CON_FRAME_RESET (レジスタ 0x22[2])に 0 を書込んで、
ワンショット・フレーム・モード選択します。
7. フレーム入力を 0 から 1 に変えて 0 に戻します。パルス幅
は、最小条件より長い必要があります。
8. レジスタ 0x06[2]とレジスタ 0x06[1]をリードバックします。
両ビットが 0 の場合、ステップ 9 を続けます。2 ビットの
内の一方が 1 の場合、レジスタ 0x23 に 0x40 を設定します。
9. レジスタ 0x24 を複数回リードバックして、実際に FIFO レ
ベルが要求レベルに設定され (レジスタ 0x23)、リードバッ
ク値が安定していることを確認します。デザイン上、リー
ドバックは要求されたレベルに対して±1 DACCLK 以内
にある必要があります。

これらの手順は、同期オフ・モードでのみ使用します。同期オ
ン・モードでの FIFO のリセットについては、複数デバイスの
同期と固定遅延 のセクションの同期手順を参照してください。
FIFO リセットは、同期を実現するステップの 1 つです。

FIFO ステータスのモニタリング

SPI レジスタ 0x24 からリアルタイム FIFO ステータスをモニタし、
FIFO リセットの後のリアルタイムの FIFO の深さを反映させるこ
とができます。システム内にタイミング・ドリフトがないため、
このリードバックは FIFO リセットによる結果から変化しま
せん。タイミング・ドリフトまたは他の異常なクロック状況があ
る場合、FIFO レベルのリードバックは変化することがあります
が、FIFO がオーバーフローまたはアンダーフローしない限り、
データ伝送にはエラーが発生しません。レジスタ 0x06 内のステ
ータス・ビット(ビット[2:1])は、FIFO でのアンダーフローまた
はオーバーフローの有無を表示します。ハードウェア割込
み IRQ1 と IRQ2 を発生するときは、2 ビットのステータスをラ
ッチします。ラッチ機能と割込みをイネーブルするときは、レ
ジスタ 0x03 とレジスタ 0x04 の対応するビットを設定します。

デジタル・データパス

図 35 のブロック図にデジタル・データパスの機能を示します。デジタル処理には次が含まれます。

- ハーフバンド・インターポレーション・フィルタが 1 個
- 逆 sinc フィルタが 1 個
- ゲインおよびオフセット調整ブロック

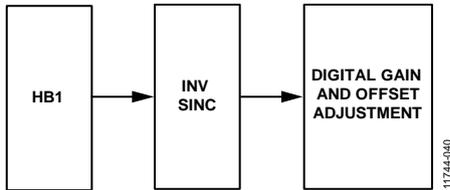


図 35. デジタル・データパスのブロック図

インターポレーション・フィルタ

送信パスには 1 個のハーフバンド・インターポレーション・フィルタがあります。このインターポレーション・フィルタは、出力データ・レートを 2 倍に増加し、さらにローパス機能を提供します。

AD9139 には、2 つのインターポレーション・モードがあります。各モードは、1 つの動作モードで異なる有効信号帯域幅を提供します。選択するモードは、必要とされる信号帯域幅と DAC 更新レートに依存します。各インターポレーション・モードの最大速度と信号帯域幅については、表 5 を参照してください。

1x インターポレーションでの有効帯域幅は、DCI レートすなわち入力データ・レートの 1/2 です。2x インターポレーションでの有効帯域幅は、DCI レートの 0.8 倍すなわち入力データ・レートの 0.4 倍です。有効帯域幅は、フィルタが ± 0.001 dB より小さい通過帯域リップルと 85 dB より大きい阻止帯域除去比を持つ周波数帯域として定義されます。

2x インターポレーション・モード

図 36 と図 37 に、2xモードの通過帯域と全帯域フィルタ応答を示します。遷移帯域から阻止帯域への変化は、通過帯域から遷移帯域への変化よりかなり急峻であることに注意してください。このため、所要出力信号が規定された通過帯域から外れると、信号イメージ(阻止帯域で除去されるはず)が、通過帯域平坦性の低下に起因する信号自体の低下より高速に増加します。低下したイメージ除去比を許容できる場合または DAC 出力のアナログ・ローパス・フィルタで補償できる場合、規定の有効信号帯域幅を超えて出力信号を広げることができます。

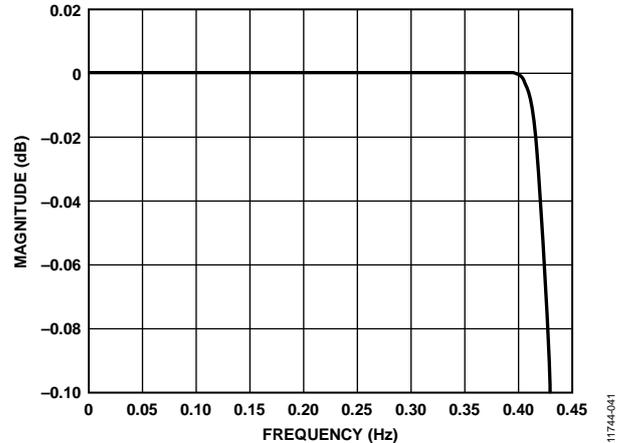


図 36. 2xモードの通過帯域詳細

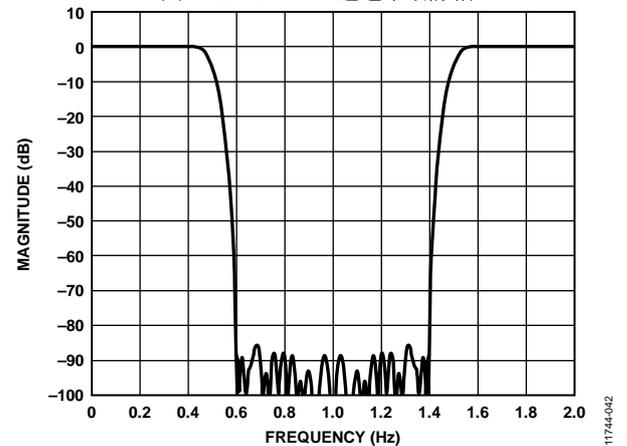


図 37. 2xモードの全帯域応答

表 16. ハーフバンド・フィルタ 1 の係数

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(55)	-4
H(2)	H(54)	0
H(3)	H(53)	+13
H(4)	H(52)	0
H(5)	H(51)	-32
H(6)	H(50)	0
H(7)	H(49)	+69
H(8)	H(48)	0
H(9)	H(47)	-134
H(10)	H(46)	0
H(11)	H(45)	+239
H(12)	H(44)	0
H(13)	H(43)	-401
H(14)	H(42)	0
H(15)	H(41)	+642
H(16)	H(40)	0
H(17)	H(39)	-994
H(18)	H(38)	0
H(19)	H(37)	+1512
H(20)	H(36)	0
H(21)	H(35)	-2307
H(22)	H(34)	0
H(23)	H(33)	+3665
H(24)	H(32)	0
H(25)	H(31)	-6638
H(26)	H(30)	0
H(27)	H(29)	+20,754
H(28)		+32,768

逆 Sinc フィルタ

AD9139 は、周波数に対する DAC ロールオフを補償するデジタル逆 sinc フィルタを提供します。逆 sinc (sinc^{-1}) フィルタは 7 タップの FIR フィルタです。図 38 に、 $\text{sin}(x)/x$ ロールオフの周波数応答、逆 sinc フィルタ、コンポジット応答を示します。コンポジット応答は、周波数 $0.4 \times f_{\text{DAC}}$ まで ± 0.05 dB 以下の通過帯域リップルを持っています。

通過帯域の上端に必要なピーキングを提供するため、逆 sinc フィルタは約 3.8 dB の固有挿入損失を持っています。デジタル・ゲインの損失は出力信号対ノイズ比(SNR)への影響小さくするため、デジタル・ゲイン調整設定値を大きくしてオフセットさせることができますが、デジタル・ゲインの追加により、特に高い出力周波数で信号サチレーションが生じないように注意する必要があります。 sinc^{-1} フィルタは、デフォルトでディスエーブルされていますが、レジスタ 0x27[7]の INVSINC_ENABLE ビットに 1 を設定してイネーブルすることができます。

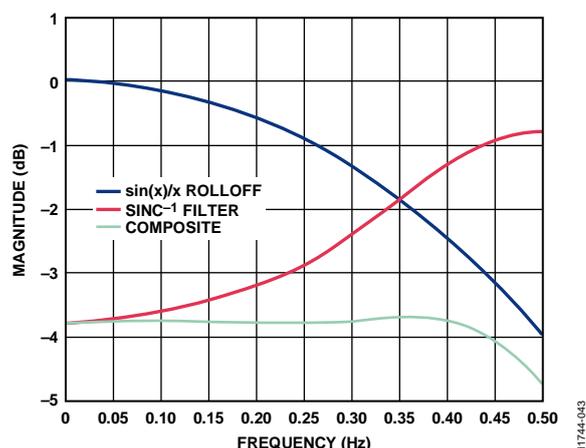


図 38. $\text{sin}(x)/x$ ロールオフ応答(青)、 Sinc^{-1} フィルタ応答(赤)、両方のコンポジット応答 (黒)

表 17. 逆 Sinc フィルタ

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(7)	-1
H(2)	H(6)	+4
H(3)	H(5)	-16
H(4)		+192

デジタル機能の設定

逆 sinc フィルタは、イネーブルまたはディスエーブルすることができます。DAC のパイプライン遅延は、イネーブルまたはディスエーブルされているデジタル機能ブロックに依存します。動作中に固定 DAC パイプライン遅延が必要な場合は、これらの各デジタル機能ブロックを初期設定後に常にオンにするか、オフにしたままにします。

複数デバイスの同期と固定遅延

DAC により、システムにパイプライン遅延の変動が発生します。遅延変動により、DAC 出力の位相が各パワーオンごとに変化するようにになります。このため、異なる DAC デバイスからの出力は、クロックとデジタル入力が整列していても、完全に整列しません。複数の DAC 出力間のスキューは各パワーオンごとに変化します。

決定性遅延を必要とするトランスミット・ダイバーシティーまたはデジタル・プリディストーションのようなアプリケーションでは、パイプライン遅延の変動を小さくする必要があります。このデータシートで使う決定性遅延とは、各パワーオンごとの DAC のデジタル入力からアナログ出力までの固定時間遅延を意味します。各パワーオンごとに、このグループ内の各 DAC が一定の同じ遅延を持つ場合、この複数の DAC デバイスは互いに同期しているとみなします。これらのデバイスが同期していると見なすためには、次の 3 つの条件がすべてのその同期可能デバイスで一致する必要があります。

- DAC 内部クロックの位相
- FIFO レベル
- 入力データの整列(アライメント)

非常に小さい固有遅延変動

AD9139 の技術革新的なアーキテクチャでは、固有遅延変動が小さくなっています。AD9139 のワーストケース変動は、DAC クロックで 2 サイクルです。例えば、1.6 GHz サンプル・レートの場合、変動はどのような場合でも 1.25 ns 以下です。このため、同期エンジンのターンオンなしで、複数の AD9139 デバイスからの DAC 出力は、DCI と DACCLK の間のタイミングに無関係に、DAC クロックで 2 サイクル以内に整列することが保証されます。この精度を実現するためにその他のクロックは不要です。起動時に、各 DAC デバイス内の FIFO を SPI からリセットする必要があります。このため、複数送信チャンネルのアプリケーションでは AD9139 によりシステム・デザインが簡素化されます。

デザイン内の各 DCI 信号の整列に注意してください。複数デバイス内の FIFO と内部クロック位相を整列させるため、AD9139 デザインでは DCI が基準として使用されます。実現できる DAC 出力の整列は、各デバイス入力での DCI 信号の整列の程度に依存します。次式は、DCI 信号が不整列の場合のワーストケース DAC 出力整列精度を表します。

$$tsk(out) = tsk(DCI) + 2/f_{DAC}$$

ここで、

$tsk(out)$ は、2 個の AD9139 デバイスの DAC 出力間のワーストケース・スキュー。

$tsk(DCI)$ は、2 個の AD9139 デバイスの DCI 入力での 2 個の DCI 間のスキュー。

f_{DAC} は DACCLK 周波数。

DCI 信号の整列が良いほど、2 個の DAC 出力間の全体スキューは小さくなります。

遅延変動をさらに削減

アプリケーションでさらに高い同期精度が必要な場合(DAC 遅延変動 < DAC クロックの 2 サイクル)、AD9139 は複数のデバイスを DAC クロックの 1 サイクル以内で互いに同期化する方法も提供します。

DAC の遅延変動をさらに削減するときは、同期マシンをターンオンし、システム内で 2 つの外部クロック(フレームと同期)が発生して、すべての DAC デバイスへ供給する必要があります。

セットアップとホールドのタイミング条件

同期クロック(SYNCCLK)はシステム内で基準クロックとして機能し、複数の AD9139 デバイス内のクロック発生回路を同時にリセットします。DAC 内部では、同期クロックを DACCLK でサンプリングして、内部クロックを整列させるための基準ポイントを発生するため、同期クロックと DAC クロックの間にセットアップとホールドのタイミング条件があります。

連続フレーム・リセット・モードを使用する場合、すなわち FIFO と同期エンジンを周期的にリセットする場合、同期クロックと DAC クロックのタイミング条件を満たす必要があります。そうしないと、デバイスのロックが失われて、出力が壊れます。ワンショット・フレーム・リセット・モードでも、同期ルーチンを動作させるときこのタイミングを満たすことが推奨されます。このタイミングを満たさないと、同期整列精度が DAC の 1 クロック・サイクルだけ低下します(表 18 参照)。

ワンショット法でデバイスを同期化し、同期ステータスのモニタを続けるモードも AD9139 は提供します。この機能では、連続な同期およびフレーム・クロックを提供してデバイスを同期化させて、最初の有効フレーム・パルスが検出された後はクロック・サイクルを無視します。この方法では、周期的にデバイスを再同期化することなく同期ステータスをモニタすることができます。ワンショット同期モードを使うときは、レジスタ 0x22[2] に 0 を設定します。

表 18. 同期クロックと DAC クロックのセットアップ・タイムおよびホールド・タイム

Falling Edge Sync Timing (Default)	Min (ps)
t_s (ns)	324
t_H (ns) ¹	-92
$ t_s + t_H $ (ns)	232

¹ 負符号はセットアップ・タイムの方向を表します。セットアップ・タイムは、クロック・エッジの左側にあるときに正と、クロック・エッジの右側にあるとき負と、それぞれ定義されます。

同期の実現

AD9139 では、同期クロックをサンプリングするために、DAC クロックの立上がりエッジまたは立下がりエッジを選択することができます。このため、タイミング条件を満たすことが容易になります。同期クロック f_{SYNC} は、 $1/8 \times f_{DCI}$ または $1/2n$ 倍である必要があります。ここで n は整数 (1, 2, 3...) です。同期クロック・レシーバが AC 結合であるため、同期クロックを低速にするには限界があることに注意してください。信号振幅が表 2 に示すデータ・シート仕様を満たすように、適切な値の AC 結合コンデンサを選択してください。

フレーム・クロックは、複数の AD9139 デバイス内の FIFO をリセットします。フレームとしては、ワンショットまたは連続クロックが可能です。いずれの場合も、フレームのパルス幅は、ワード・モードでは 1 DCI サイクルより、バイト・モードでは 2 DCI サイクルより、それぞれ長い必要があります。フレームが連続クロック f_{FRAME} の場合、 $1/8 \times f_{DCI}$ または $1/2n$ 倍である必要があります。ここで n は整数 (1, 2, 3...) です。ワンショット・フレーム・リセットが推奨される方法です。DCI クロックと DAC クロックは 2 つの異なるクロック・ドメインで発生されるため、2 つのクロックの間のタイミング・ドリフトにより、連続リセット・モードで FIFO レベルが 2 つの値の間でトグルするために DAC 出力が壊れることがあります。表 19 に、様々な条件でのフレーム・クロックの条件を示します。

表 19. フレーム・クロックの速度とパルス幅の条件

Sync Clock	Maximum Speed	Minimum Pulse Width
One Shot	N/A ¹	For both one shot and continuous sync clocks, word mode = one DCI cycle, and byte mode = two DCI cycles.
Continuous	$f_{DCI}/8$	

¹ N/A = 適用なし。

同期化手順

アプリケーションの同期精度が 2 DAC クロック・サイクルより緩い場合は、同期マシンをターンオフさせることが推奨されます。これは、通常の起動シーケンス以外の追加ステップが不要なためです。

同期精度が 2 DAC クロック・サイクルより厳しいアプリケーションでは、次のセクションに示す手順に従ってシステムをセットアップし、デバイスを設定してください。

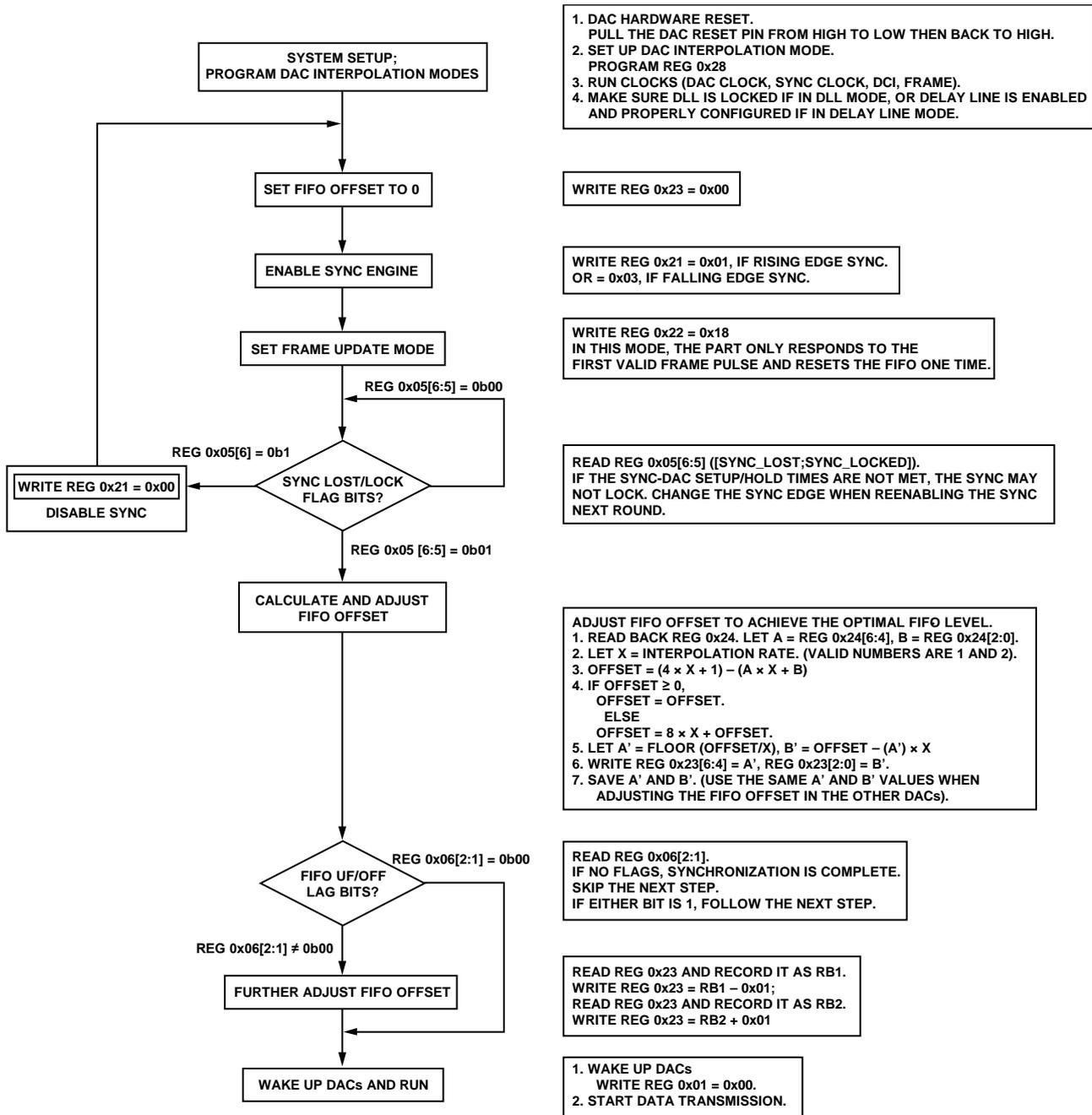


図 39.同期手順図

1174-034

割込み要求動作

AD9139 には、ピン 50 とピン 51 (それぞれ $\overline{\text{IRQ2}}$ と $\overline{\text{IRQ1}}$) に割込み要求出力信号があります。これらの出力信号を使って、重要なデバイス・イベントを外部ホスト・プロセッサに通知することができます。割込みがアサートされたら、発生したイベントの詳細をデバイスへ問い合わせます。 $\overline{\text{IRQ1}}$ ピンと $\overline{\text{IRQ2}}$ ピンは、オープン・ドレインのアクティブ・ロー出力です。デバイスの外部で $\overline{\text{IRQx}}$ ピンをハイ・レベル(DVDD18 電源)へプルアップしてください。 $\overline{\text{IRQx}}$ ピンは、オープン・ドレイン出力を持つ他のデバイスの割込みピンに接続して、これらのピンをワイヤード OR 接続することができます。

11 個のイベント・フラグでデバイスの内部を表示します。これらのフラグは、2 個のイベント・フラグ・レジスタ(レジスタ 0x05 とレジスタ 0x06)に配置されています。各イベント・フラグの動作は、割込みイネーブル・レジスタ(レジスタ 0x03 とレジスタ 0x04)で独立に選択されます。フラグ割込みがイネーブルされると、イベント・フラグがラッチされ、 $\overline{\text{IRQ1}}$ ピンおよび/または $\overline{\text{IRQ2}}$ ピンがトリガされます。フラグ割込みがディスエーブルされると、イベント・フラグはソース信号をモニタしますが、 $\overline{\text{IRQ1}}$ ピンと $\overline{\text{IRQ2}}$ ピンは非アクティブのままになります。

割込みの動作メカニズム

図 40 に、割込みに関係する回路とイベント・フラグ信号が $\overline{\text{IRQx}}$ 出力まで到達する方法を示します。INTERRUPT_ENABLE 信号は、割込みイネーブル・レジスタからの 1 ビットを表します。EVENT_FLAG_SOURCE 信号は、イベント・フラグ・レジスタからの 1 ビットを表します。EVENT_FLAG_SOURCE 信号は、PLL 位相検出器からの PLL_LOCK 信号や FIFO コントローラからの FIFO_OVERFLOW 信号のような、モニタ可能なデバイス信号の 1 つを表します。

割込みイネーブル・ビットがハイ・レベルに設定されると、対応するイベント・フラグ・ビットに EVENT_FLAG_SOURCE 信号が正に変化した結果が反映されます。すなわち、イベント・フラグ・ビットが EVENT_FLAG_SOURCE 信号の立上がりエッジでラッチされます。この信号が外部 $\overline{\text{IRQx}}$ ピンもアサートします。

割込みイネーブル・ビットがロー・レベルに設定されると、イベント・フラグ・ビットに EVENT_FLAG_SOURCE 信号の現在のステータスが反映され、イベント・フラグは外部 $\overline{\text{IRQx}}$ ピンに影響を与えません。

イベント・フラグのラッチされたバージョン(INTERRUPT_SOURCE 信号)は 2 つの方法でクリアします。推奨方法は、対応するイベント・フラグ・ビットに 1 を書き込む方法です。2 つ目の

方法は、ハードウェア・リセットまたはソフトウェア・リセットを使って INTERRUPT_SOURCE 信号をクリアする方法です。

$\overline{\text{IRQ2}}$ 回路は、 $\overline{\text{IRQ1}}$ 回路と同じ方法で動作します。任意の 1 個または複数のイベント・フラグをイネーブルして、 $\overline{\text{IRQx}}$ ピンをトリガすることができます。イネーブルされたイベント・フラグに対して一方または両方のハードウェア割込みピンを選択することができます。レジスタ 0x07 とレジスタ 0x08 を使って、各イベント・フラグを接続するピンを指定します。 $\overline{\text{IRQ1}}$ の場合はレジスタ 0x07 とレジスタ 0x08 に 0 を、 $\overline{\text{IRQ2}}$ の場合はこれらのレジスタに 1 を、それぞれ設定します。

割込みサービス・ルーチン

ホストの介入またはモニタリングを必要とするイベント・フラグのセットを選択すると、割込み要求管理が開始されます。ホストのアクションが必要なイベントをイネーブルして、イベントが発生したときホストに通知されるようにします。 $\overline{\text{IRQx}}$ が発生したときホストの介入が必要なイベントの場合、次のルーチンを実行して割込み要求をクリアします。

1. モニタ中のイベント・フラグ・ビットのステータスを読出します。
2. 割込みイネーブル・ビットをロー・レベルに設定して、ラッチされない EVENT_FLAG_SOURCE 信号を直接モニタできるようにします。
3. EVENT_FLAG_SOURCE 信号をクリアするために必要とされる任意のアクションを実行します。多くの場合、特別なアクションは要求されません。
4. イベント・フラグを読出して、実行されたアクションにより EVENT_FLAG_SOURCE 信号がクリアされたことを確認します。
5. イベント・フラグ・ビットに 1 を書き込んで割込みをクリアします。
6. モニタするイベントの割込みイネーブル・ビットをセットします。

幾つかの EVENT_FLAG_SOURCE 信号はラッチされた信号であることに注意してください。対応するイベント・フラグ・ビットに書き込みを行って、これらの信号をクリアします。イベント・フラグの詳細については、デバイスの設定レジスタ・マップと説明のセクションを参照してください。

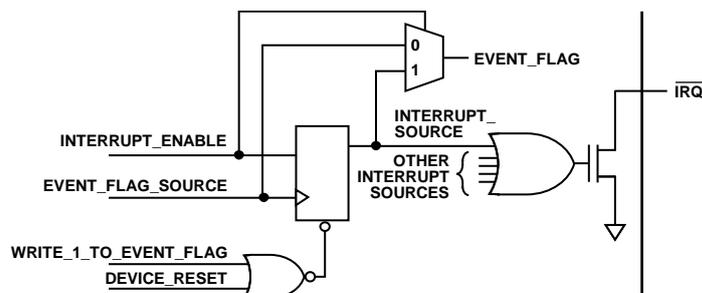


図 40. $\overline{\text{IRQx}}$ 回路の簡略化した回路図

温度センサー

AD9139 は、チップ温度を測定するダイオード・ベースの温度センサーを内蔵しています。温度測定値は、レジスタ 0x1D とレジスタ 0x1E から得られます。チップ温度は次式で計算することができます。

$$T_{DIE} = \frac{(DIETEMP[150] - 41,237)}{106}$$

ここで、 T_{DIE} はチップ温度(°C)です。

温度精度は、-40°C~+85°C の範囲で±7°C (typ)であり、既知温度に対してワン・ポイント温度キャリブレーションを行っています。チップ温度対チップ温度コード・リードバックの代表的なプロットを図 41 に示します。

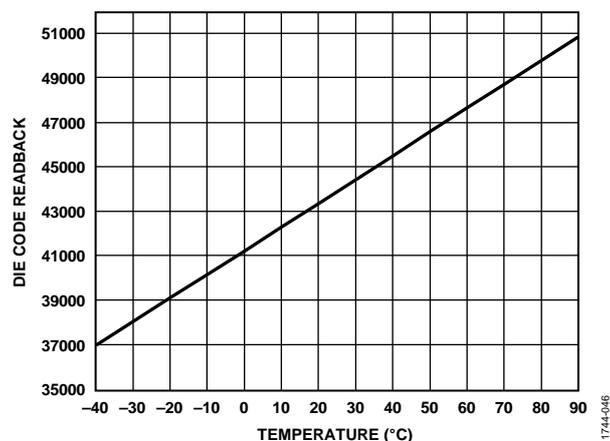


図 41. チップ温度対チップ温度コード・リードバック

デバイス消費電力が既知の場合、周囲温度を計算することができます。例えば、デバイス消費電力が 800 mW でチップ温度測定値が 50°C の場合、周囲温度は次のように計算することができます。

$$T_A = T_{DIE} - P_D \times \theta_{JA} = 50 - 0.8 \times 20.7 = 33.4^\circ\text{C}$$

ここで、

T_A は周囲温度(°C)。

T_{DIE} はチップ温度(°C)です。

P_D はデバイスの消費電力。

θ_{JA} は AD9139 のジャンクション-周囲間の熱抵抗(表 7 参照)。

温度センサーを使うときは、レジスタ 0x1C[0]に 1 を設定して温度センサーをイネーブルする必要があります。さらに、正確な測定値を得るためには、チップ温度コントロール・レジスタ(レジスタ 0x1C)に 0x03 を設定する必要があります。

DAC入力クロックの設定

AD9139 DAC のサンプル・クロック(DACCLK)は、直接供給するか、またはクロック通倍器から供給することができます。クロック通倍器では内蔵の位相ロック・ループ(PLL)を採用しています。この PLL には、所望 DACCLK レートの整数分の 1 で動作する基準クロックを入力します。PLL は基準クロックを所望の DACCLK 周波数まで通倍して、これを DAC で必要とされるすべての内部クロックの発生に使うことができます。クロック通倍器は、大部分のアプリケーションの性能条件を満たす高品質のクロックを提供します。この内蔵クロック通倍器を使うと、高速 DACCLK の発生と分配の負担がなくなります。

2 つ目のモードでは、クロック通倍回路をバイパスして、DACCLK を直接 DAC コアに供給します。このモードを使うと、非常に高品質のクロックを直接 DAC コアへ供給することができます。

DACCLK 入力と REFCLK 入力の駆動

DACCLKx 差動入力と REFCLKx 差動入力は同じクロック・レシーバ入力回路を共有します。図 42 に入力の簡略化した回路図を示します。内蔵クロック・レシーバの差動入力インピーダンスは約 10 kΩ です。このレシーバは、約 1.25 V の同相モード電圧にセルフバイアスされます。入力は、クロック・ソースとレシーバの間を AC 結合した差動 PECL または LVDS ドライバで駆動してください。

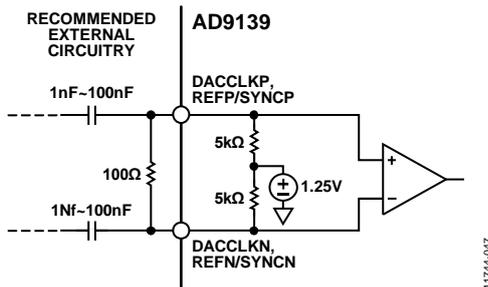


図 42. クロック・レシーバ入力の簡略化した等価回路

差動クロック入力の最小入力駆動レベルは、100 mV p-p 差動です。クロック入力信号が 800 mV p-p 差動~1.6 V p-p 差動のとき、最適性能が得られます。内蔵クロック通倍器の使用か DACCLK の直接供給かによらず、デバイスへの入力クロック信号は、最適な DAC ノイズ性能を得るために小さいジッタと高速なエッジ・レートを持つ必要があります。

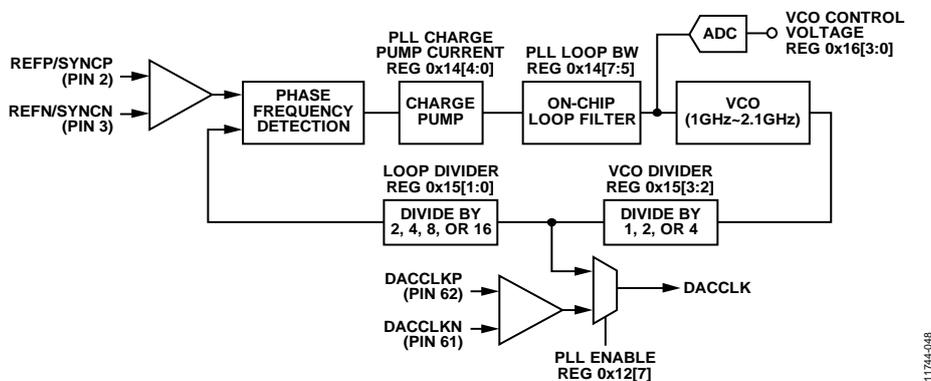


図 43. PLL クロック通倍回路

クロックの直接供給

低ノイズ・クロックを直接供給すると、DAC 出力で最小のノイズ・スペクトル密度が得られます。差動クロック入力を DAC サンプル・クロックのソースとして選択するときは、PLL イネーブル・ビット(レジスタ 0x12[7])に 0 を設定します。これにより内蔵 PLL クロック通倍器がパワーダウンし、DACCLKP ピンと DACCLKN ピンからの入力を内部 DAC サンプル・クロックのソースとして選択します。REFCLKx 入力はフローティングのままにすることができます。

このデバイスには、クロック・デューティ・サイクル補正回路と差動入力レベル補正回路も内蔵されています。これらの回路をイネーブルすると、場合によって性能を向上させることができます。これらの機能のコントロール・ビットは、レジスタ 0x10 とレジスタ 0x11 に配置されています。

クロックの通倍

内蔵の PLL クロック通倍回路は、低い周波数の基準クロックから DAC サンプル・レート・クロックを発生します。PLL イネーブル・ビット(レジスタ 0x12[7])に 1 を設定すると、クロック通倍回路は低いレートの REFCLK 入力から DAC サンプル・クロックを発生し、DACCLKx 入力はフローティングのままになります。図 43 にクロック通倍器の機能ブロック図を示します。

クロック通倍回路は、VCO が周波数 f_{VCO} を出力するように動作します。この f_{VCO} は、REFCLKx 入力信号周波数を $N1 \times N0$ 倍した値になります。 $N1$ はループ・デバイダの分周比で、 $N0$ は VCO デバイダの分周比です。

$$f_{VCO} = f_{REFCLK} \times (N1 \times N0)$$

DAC サンプル・クロック周波数 f_{DACCLK} は次の値になります。

$$f_{DACCLK} = f_{REFCLK} \times N1$$

VCO の出力周波数は、 f_{VCO} が 1.0 GHz~2.1 GHz の最適動作範囲内になるように選択する必要があります。所望の DACCLK 周波数が合成でき、かつ VCO 出力周波数が正しい範囲内になるように、基準クロック周波数および $N1$ と $N0$ の値を選択することが重要です。

PLL の設定値

PLL 回路では、公称値として 3 つの設定値を設定する必要があります。これらのパラメータの推奨設定値を表 20 に示します。

表 20.PLL の設定値

PLL SPI Control Register	Register Address	Optimal Setting (Binary)
PLL Loop Bandwidth	0x14[7:5]	111
PLL Charge Pump Current	0x14[4:0]	00111
PLL Cross Point Control Enable	0x15[4]	0

VCO チューニング帯域の設定

PLL VCO には約 1.03 GHz~2.07 GHz の有効動作範囲があり、64 個の重複する周波数帯域でカバーされています。任意の所望 VCO 出力周波数に対して、複数の有効 PLL 帯域選択値が存在する場合があります。代表的なデバイスの周波数帯域については図 44 を参照してください。デバイス間変動と動作温度により、実際の帯域周波数範囲が影響を受けます。このため、個々のデバイスに対して最適な PLL 帯域選択値を決定することが必要とされます。

VCO 帯域自動選択

このデバイスは、VCO 帯域自動選択機能を内蔵しています。VCO 帯域自動選択機能の使用は、VCO 周波数帯域を設定するシンプルかつ信頼度の高い方法です。PLL をマニュアル・モードで起動してこの機能をイネーブルした後、レジスタ 0x12 に値 0x00 を設定し、次に値 0x80 を設定して、PLL を帯域自動選択モードにします。これらの値が書込まれると、デバイスは自動化されたルーチンを実行して、デバイスに対する最適な VCO 帯域設定を決定します。

デバイスにより選択された設定値は、さらなる調整なしで、-40°C~+85°C のデバイス動作温度範囲で PLL のロック状態を維持することを保証します。初期化時にいずれかの温度限界値を超えても、PLL はフル温度範囲でロック状態を維持します。

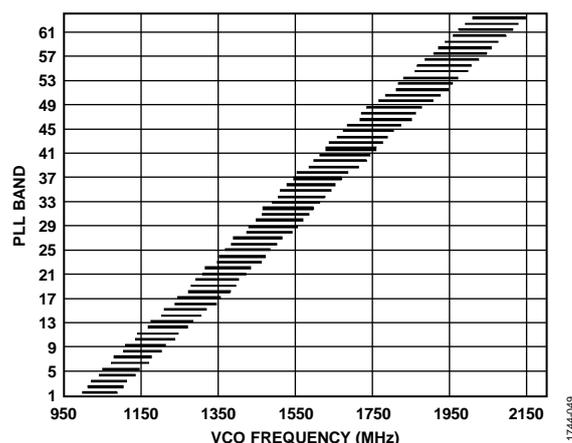


図 44. 代表的なデバイスの PLL ロック範囲

VCO 帯域のマニュアル選択

このデバイスは、ユーザーが VCO チューニング帯域を選択できるようにするマニュアル帯域選択モード(PLL 自動マニュアル・イネーブルのレジスタ 0x12[6] = 1)を内蔵しています。マニュアル・モードでは、マニュアル VCO 帯域ビット(レジスタ 0x12[5:0])に書込んだ値で VCO 帯域を直接設定します。

PLL イネーブル・シーケンス

自動モードまたはマニュアル・モードで PLL をイネーブルするときは、次のシーケンスに従います。

自動モード・シーケンス

1. ループ・デバイダ・レジスタと VCO デバイダ・レジスタに所望の分周比を設定します。
2. PLL チャージ・ポンプ電流に 00111 を、最適性能を得るため PLL ループ帯域幅に 111 を、それぞれ設定します。レジスタ 0x14 = 0xE7 (デフォルト)。
3. レジスタ 0x12[6] = 1 を使って、PLL モードにマニュアルを設定します。
4. レジスタ 0x12[7] = 1 を使って PLL をイネーブルします。
5. レジスタ 0x12[6] = 0 を使って、PLL モードに自動を設定します。

マニュアル・モード

1. ループ・デバイダ・レジスタと VCO デバイダ・レジスタに所望の分周比を設定します。
2. PLL チャージ・ポンプ電流に 00111 を、最適性能を得るため PLL ループ帯域幅に 111 を、それぞれ設定します。レジスタ 0x14 = 0xE7 (デフォルト)。
3. レジスタ 0x12[5:0] を使って帯域を選択します。
4. レジスタ 0x12[6] = 1 を使って、PLL モードにマニュアルを設定します。
5. レジスタ 0x12[7] = 1 を使って PLL をイネーブルします。

アナログ出力

トランスミット DAC 動作

図 45 に、トランスミット・パス DAC の簡略化したブロック図を示します。DAC コアは、電流源アレイ、スイッチ・コア、デジタル制御ロジック、フルスケール出力電流制御から構成されています。DAC のフルスケール出力電流(I_{OUTFS})は公称 20 mA です。DACOUTP ピンと DACOUTN ピンの出力電流は相補であり、2 つの電流の和は常に DAC のフルスケール電流に一致します。DAC のデジタル入力コードが、負荷へ渡される実効差動電流を決定します。

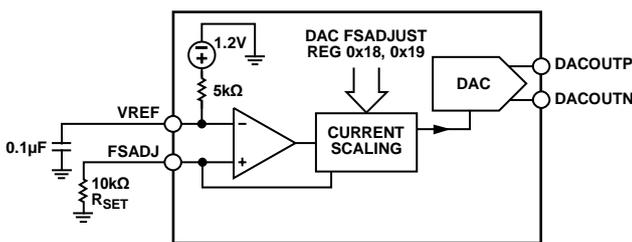


図 45. DAC コアの簡略化したブロック図

この DAC は、出力インピーダンス 5 kΩ の 1.2 V バンド・ギャップ・リファレンス電圧を内蔵しています。このリファレンス電圧は VREF ピンに出力されます。内蔵リファレンス電圧を使用するときは、0.1 μF のコンデンサで VREF ピンを AVSS へデカップリングしてください。内蔵リファレンス電圧は 2 μA 以下の DC 電流を流す外部回路にのみ使用してください。2 μA より大きいダイナミック負荷またはスタティック負荷の場合、VREF ピンをバッファしてください。必要に応じて、外付けリファレンス (1.10 V ~ 1.30 V) をピンに接続して、内蔵リファレンス電圧を上書きすることができます。

10 kΩ の外付け抵抗 RSET を FSADJ ピンと AVSS の間に接続する必要があります。この抵抗とリファレンス制御アンプの組み合わせにより、DAC の正しい内部バイアス電流が設定されます。フルスケール電流はこの抵抗に反比例するため、RSET の許容誤差はフルスケール出力振幅に影響を与えます。

フルスケール電流の式を次に示します。ここでは、DAC ゲインがレジスタ 0x18 とレジスタ 0x19 に設定されます。

$$I_{FS} = \frac{V_{REF}}{R_{SET}} \times \left(72 + \left(\frac{3}{16} \times \text{DAC gain} \right) \right)$$

VREF (1.2 V)、RSET (10 kΩ)、DAC ゲイン (512) の公称値に対して、DAC のフルスケール電流は 20 mA (typ) になります。DAC フルスケール電流は DAC ゲイン・パラメータを設定して、8.64 mA ~ 31.68 mA で調整することができます (図 46)。

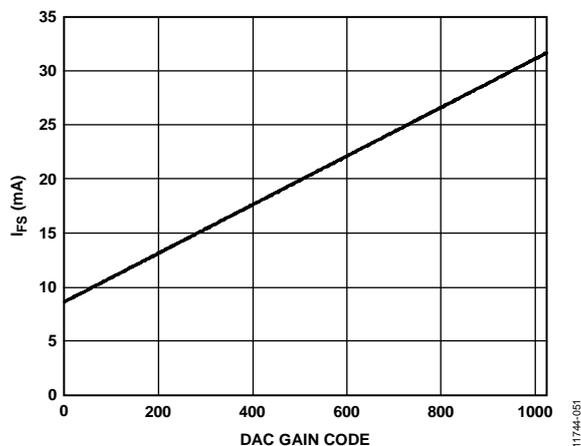


図 46. DAC ゲイン・コード対 DAC フルスケール電流

トランスミット DAC の伝達関数

DACOUTP ピンと DACOUTN ピンの出力電流は相補であり、2 つの電流の和は常に DAC のフルスケール電流に一致します。DAC のデジタル入力コードが、負荷へ渡される実効差動電流を決定します。すべてのビットがハイ・レベルのとき、DACOUTP ピンは最大電流を出力します。DAC 出力に対する出力電流対 DACCODE は次式で表されます。

$$I_{OUTP} = \left[\frac{\text{DACCODE}}{2^N} \right] \times I_{OUTFS} \quad (1)$$

$$I_{OUTN} = I_{OUTFS} - I_{OUTP} \quad (2)$$

ここで、DACCODE = 0 ~ 2^N - 1。

トランスミット DAC の出力構成

AD9139 のノイズと歪みの最適性能は、差動動作構成のときに得られます。トランスまたは差動アンプの同相モード除去比により、DAC 出力の同相モード誤差原因は大幅に減少します。これらの同相モード誤差原因には、偶数次の歪み項とノイズが含まれています。再生波形の周波数成分が増えるほど、および/またはその振幅が大きくなるほど、歪み性能の改善効果が大きくなります。これは、種々のダイナミックな同相モード歪みメカニズム、デジタル信号の混入、ノイズの 1 次的な相殺に起因します。

図 47 に最も基本的な DAC 出力回路を示します。一對の抵抗 R_o が、各相補出力電流を差動電圧出力 V_{OUT} へ変換します。DAC の電流出力は高インピーダンスであるため、DAC 出力の差動駆動ポイント・インピーダンス R_{OUT} は 2 × R_o に等しくなります。出力電圧波形については図 48 を参照してください。

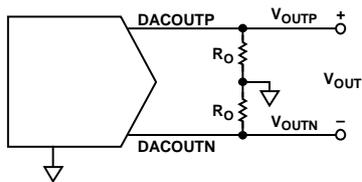


図 47. トランスミット DAC 出力の基本回路

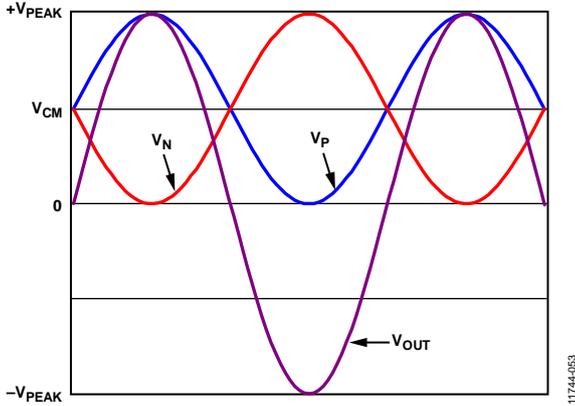


図 48. 出力電圧波形

同相モード信号電圧 V_{CM} は次のように計算されます。

$$V_{CM} = \frac{I_{FS}}{2} \times R_O$$

差動ピーク to ピーク出力電圧 V_{PEAK} は、次のように計算されま
す。

$$V_{PEAK} = 2 \times I_{FS} \times R_O$$

変調器へのインターフェース

AD9139 は、ADL537x ファミリーの変調器に対して最小部品数
でインターフェースします。推奨インターフェース回路例を図
49 に示します。

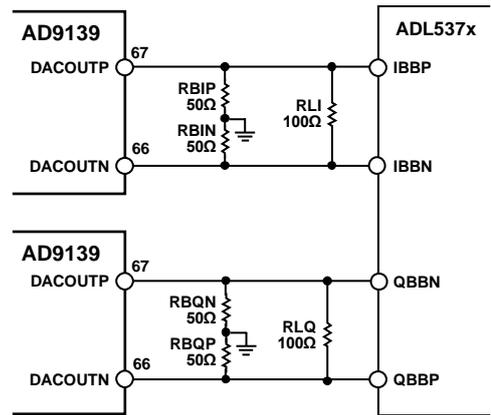


図 49. AD9139 と ADL537x ファミリー変調器との間の代表的な
インターフェース回路

ADL537x ファミリーのベースバンド入力では 500 mV の DC バ
イアスが必要です。DAC の各出力の公称ミッドスケール出力電
流は 10 mA (フルスケール電流の 1/2) です。このため、グラウン
ドと各 DAC 出力との間に 50 Ω 抵抗を 1 本接続すると、
ADL537x 入力に対する所望の 500 mV DC 同相モード・バイアス
が得られます。変調器入力に並列に負荷抵抗を追加すると、信
号レベルが小さくなります。送信信号のピーク to ピーク電圧振
幅は次式で表されます。

$$V_{\text{SIGNAL}} = I_{\text{FS}} \times \frac{(2 \times R_B \times R_L)}{(2 \times R_B + R_L)}$$

ベースバンド・フィルタの構成

大部分のアプリケーションでは、DAC と変調器の間にベースバ
ンド折り返し防止フィルタを接続して、ナイキスト・イメージ
と広帯域 DAC ノイズを除去する必要があります。このフィルタ
は、DAC 出力の終端抵抗と変調器入力の信号レベル設定抵抗
の間に挿入することができます。この構成により、フィルタの入
力インピーダンスと出力インピーダンスが設定されます。

図 50 に、5 次ローパス・フィルタを示します。フィルタ・コン
デンサを 2 つに分けて、中点をグラウンドに接続すると、同相
モード・ローパス・フィルタが構成されるので、高周波信号の
同相モード除去比を大きくすることができます。純粋な差動フ
ィルタは、同相モード信号を通過させることができます。

AD9139 DAC の IQ 変調器へのインターフェースの詳細につい
ては、アナログ・デバイセス・ウェブサイトの [Circuits from the Lab™, Circuit Note CN-0205](#) 「*Interfacing the ADL5375 IQ Modulator to the AD9122 Dual Channel, 1.2 GSPS High Speed DAC*」を参照し
てください。

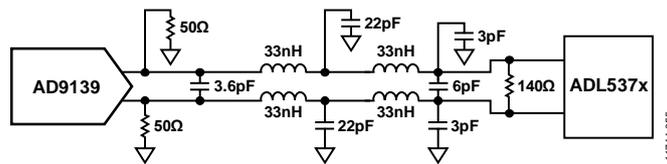


図 50. 5 次ローパス・フィルタによる DAC 変調器インターフェース

ローカル発振器のリークと不要なサイドバンドの削減

アナログ直交変調器は、IとQのベースバンド入力内のDCオフセット電圧と、ローカル発振器(LO)の入力から出力へのフィードスルー・パスのために、LO周波数で不要な信号を発生することがあります。

効果的なサイドバンド除去には、I信号とQ信号のゲイン一致と位相一致が必要です。DAC FS 調整レジスタ (レジスタ 0x18~レジスタ 0x19)を使って、送信パスのゲインをキャリブレーション

して、サイドバンド除去比を最適化することができます。

LO リークとサイドバンド・イメージの削減の詳細については、アナログ・デバイセズ・ウェブサイトのアプリケーション・ノート [AN-1039](#) 「*Correcting Imperfections in IQ Modulators to Improve RF Signal Fidelity*」とアプリケーション・ノート [AN-1100](#) 「*Wireless Transmitter IQ Balance and Sideband Suppression*」を参照してください。

スタートアップ・ルーチン

AD9139 の信頼度の高い起動のためには、所定のシーケンスに従う必要があります。

デバイス設定と起動シーケンス 1

1. $f_{DCI} = 600$ MHz、 $f_{DATA} = 1200$ MHz、インターポレーション = 1×を設定します。
2. PLL をイネーブルし、 $f_{REF} = 300$ MHz を設定します。
3. 逆 sinc フィルタをイネーブルします。
4. DLL 使用のインターフェース・モードを使用し、DLL 位相オフセット = 0 を設定します。

PLL 設定値の導出

次の PLL 設定値は、デバイス設定から導出されます。

- $f_{DAC} = 1200 \times 1 = 1,200$ MHz。
- $f_{VCO} = f_{DAC} = 1,200$ MHz ($1 \text{ GHz} < f_{VCO} < 2 \text{ GHz}$)。
- VCO デバイダ = $f_{VCO}/f_{DAC} = 1$ 。
- ループ・デバイダ = $f_{DAC}/f_{REF} = 4$ 。

セットアップ・シーケンス 1

1. デバイスをパワーアップします(特別な電源シーケンスは不要)。
2. 安定な DAC クロックを供給します。
3. 安定な DCI クロックを供給します。
4. 安定入力データを入力します。
5. ハードウェア・リセットを発行します(オプション)。

```
/* Device configuration register write
sequence */
0x00 → 0x20 /* Issue software reset */
0x20 → 0x01 /* Device Startup Configuration */
/* Configure PLL */
0x14 → 0xE7 /* Configure PLL loop BW and charge
pump current */
0x15 → 0xC1 /* Configure VCO divider and loop
divider */
0x12 → 0xC0 /*Enable the PLL */
0x12 → 0x80
Wait 10ms
Read 0x16[7] /* Expect 1b if the PLL is locked
*/

/* Configure Data Interface */
0x5E → 0xFE /* Turn off LSB delay cell */
0x0A → 0xC0 /* Enable the DLL and duty cycle
correction. Set DLL phase offset to 0 */
Read 0x0E[7:4] /* Expect 1000b if the DLL is
locked */

/* Configure Interpolation filter */
0x28 → 0x80 /* 1× interpolation */
/* Reset FIFO */
0x25 → 0x01
```

```
Read 0x25[1] /* Expect 1b if the FIFO reset is
complete */
```

```
Read 0x24 /* The readback should be one of the
three values: 0x30, 0x40, or 0x50 */
```

```
/* Enable Inverse SINC filter */
```

```
0x27 → 0x80
```

```
/* Power up DAC outputs */
```

```
0x01 → 0x00
```

デバイス設定とセットアップ・シーケンス 2

1. $f_{DCI} = 200$ MHz、 $f_{DATA} = 400$ MHz、 $f_{DAC} = 800$ MHz、インターポレーション = 2×を設定します。
2. PLL をディスエーブルします。
3. 逆 sinc フィルタをイネーブルします。
4. 遅延線使用インターフェース・モード、遅延設定 = 0 を使います。

セットアップ・シーケンス 2

1. デバイスをパワーアップします(特別な電源シーケンスは不要)。
2. 安定な DAC クロックを供給します。
3. 安定な DCI クロックを供給します。
4. 安定入力データを入力します。
5. ハードウェア・リセットを発行します(オプション)。

```
/* Device configuration register write
sequence */
0x00 → 0x20 /* Issue software reset */
0x20 → 0x01 /* Device Startup Configuration */

/* Configure Data Interface */
0x5E → 0x00 /* Configure the delay setting */
0x5F → 0x60
0x0D → 0x16 /* DC couple DCI */
0x0A → 0x00 /* Turn off DLL and duty cycle
correction */
/* Configure Interpolation filter */
0x28 → 0x00 /* 2× interpolation */

/* Reset FIFO */
Follow the serial port FIFO reset procedure in
the FIFO Operation section.

/* Enable Inverse SINC filter */
0x27 → 0x80

/* Power up DAC outputs */
0x01 → 0x00
```

デバイスの設定レジスタ・マップと説明

表 21. デバイス設定レジスタ・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	Common	[7:0]	Reserved	SPI_LSB_FIRST	DEVICE_RESET	Reserved					0x00	RW	
0x01	PD_CONTROL	[7:0]	PD_DAC	Reserved	PD_DATARCV	Reserved		PD_DEVICE	PD_DACCLK	PD_FRAME	0xC0	RW	
0x03	INTERRUPT_ENABLE0	[7:0]	Reserved	ENABLE_SYNC_LOST	ENABLE_SYNC_LOCKED	ENABLE_SYNC_DONE	ENABLE_PLL_LOST	ENABLE_PLL_LOCKED	Reserved		0x00	RW	
0x04	INTERRUPT_ENABLE1	[7:0]	ENABLE_PARITY_FAIL	ENABLE_SED_FAIL	ENABLE_DLL_WARNING	ENABLE_DLL_LOCKED	Reserved	ENABLE_FIFO_UNDERFLOW	ENABLE_FIFO_OVERFLOW	Reserved	0x00	RW	
0x05	INTERRUPT_FLAG0	[7:0]	Reserved	SYNC_LOST	SYNC_LOCKED	SYNC_DONE	PLL_LOST	PLL_LOCKED	Reserved		0x00	R	
0x06	INTERRUPT_FLAG1	[7:0]	PARITY_FAIL	SED_FAIL	DLL_WARNING	DLL_LOCKED	Reserved	FIFO_UNDERFLOW	FIFO_OVERFLOW	Reserved	0x00	R	
0x07	IRQ_SEL0	[7:0]	Reserved	SEL_SYNC_LOST	SEL_SYNC_LOCKED	SEL_SYNC_DONE	SEL_PLL_LOST	SEL_PLL_LOCKED	Reserved		0x00	RW	
0x08	IRQ_SEL1	[7:0]	SEL_PARITY_FAIL	SEL_SED_FAIL	SEL_DLL_WARNING	SEL_DLL_LOCKED	Reserved	FIFO_UNDERFLOW	FIFO_OVERFLOW	Reserved	0x00	RW	
0x09	FRAME_MODE	[7:0]	Reserved		PARUSAGE	FRMUSAGE	Reserved		FRAME_PIN_USAGE		0x00	RW	
0x0A	DATA_CNTR_0	[7:0]	DLL_ENABLE	DUTY_CORRECTION_EN	Reserved		DLL_PHASE_OFFSET				0x40	RW	
0x0B	DATA_CNTR_1	[7:0]	CLEAR_WARN	Reserved								0x39	RW
0x0C	DATA_CNTR_2	[7:0]	Reserved									0x64	RW
0x0D	DATA_CNTR_3	[7:0]	LOW_DCI_EN	Reserved		DC_COUPLE_LOW_EN	Reserved					0x06	RW
0x0E	DATA_STAT_0	[7:0]	DLL_LOCK	DLL_WARN	DLL_START_WARNING	DLL_END_WARNING	Reserved	DCI_ON	Reserved	DLL_RUNNING	0x00	R	
0x10	DACCLK_RECEIVER_CTRL	[7:0]	DACCLK_DUTYCYCLE_CORRECTION	Reserved	DACCLK_CROSSPOINT_CTRL_ENABLE	DACCLK_CROSSPOINT_LEVEL						0xFF	RW
0x11	REFCLK_RECEIVER_CTRL	[7:0]	DUTYCYCLE_CORRECTION	Reserved	REFCLK_CROSSPOINT_CTRL_ENABLE	REFCLK_CROSSPOINT_LEVEL						0x5F	RW
0x12	PLL_CTRL0	[7:0]	PLL_ENABLE	AUTO_MANUAL_SEL	PLL_MANUAL_BAND							0x00	RW
0x14	PLL_CTRL2	[7:0]	PLL_LOOP_BW			PLL_CP_CURRENT						0xE7	RW
0x15	PLL_CTRL3	[7:0]	DIGLOGIC_DIVIDER		Reserved	CROSSPOINT_CTRL_EN	VCO_DIVIDER		LOOP_DIVIDER		0xC9	RW	
0x16	PLL_STATUS0	[7:0]	PLL_LOCK	Reserved			VCO_CTRL_VOLTAGE_READBACK					0x00	R
0x17	PLL_STATUS1	[7:0]	Reserved		PLL_BAND_READBACK							0x00	R
0x18	DAC_FS_ADJ0	[7:0]	DAC_FULLSCALE_ADJUST_LSB									0xF9	RW
0x19	DAC_FS_ADJ1	[7:0]	BG_TRIM			RESERVED				DAC_FULLSCALE_ADJUST_MSB		0xE1	RW
0x1C	DIE_TEMP_SENSOR_CTRL	[7:0]	Reserved	FS_CURRENT			REF_CURRENT			DIE_TEMP_SENSOR_EN	0x02	RW	
0x1D	DIE_TEMP_LSB	[7:0]	DIE_TEMP_LSB									0x00	R
0x1E	DIE_TEMP_MSB	[7:0]	DIE_TEMP_MSB									0x00	R
0x1F	CHIP_ID	[7:0]	CHIP_ID									0x0A	R
0x20	INTERRUPT_CONFIG	[7:0]	INTERRUPT_CONFIGURATION									0x00	RW
0x21	SYNC_CTRL	[7:0]	Reserved						SYNC_CLK_EDGE_SEL	SYNC_ENABLE	0x00	RW	
0x22	FRAME_RST_CTRL	[7:0]	Reserved				ARM_FRAME	EN_CON_FRAME_RESET	FRAME_RESET_MODE		0x12	RW	
0x23	FIFO_LEVEL_CONFIG	[7:0]	Reserved	INTEGER_FIFO_LEVEL_REQUEST			Reserved	FRACTIONAL_FIFO_LEVEL_REQUEST			0x40	RW	
0x24	FIFO_LEVEL_READBACK	[7:0]	Reserved	INTEGER_FIFO_LEVEL_READBACK			Reserved	FRACTIONAL_FIFO_LEVEL_READBACK			0x00	R	

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x25	FIFO_CTRL	[7:0]	Reserved							FIFO_SPI_RESET_ACK	FIFO_SPI_RESET_REQUEST	0x00	RW
0x26	DATA_FORMAT_SEL	[7:0]	DATA_FORMAT	Reserved							DATA_BUS_WIDTH	0x00	RW
0x27	DATAPATH_CTRL	[7:0]	INVSINC_ENABLE	Reserved	DIG_GAIN_DCOFFSET_ENABLE	Reserved					0x00	RW	
0x28	INTERPOLATION_CTRL	[7:0]	INTERPOLATION_MODE									0x00	RW
0x39	LVDS_IN_PWR_DOWN_0	[7:0]	Reserved				PWR_DOWN_DATA_INPUT_BITS				0x00	RW	
0x3B	DAC_DC_OFFSET0	[7:0]	DAC_DC_OFFSET_LSB									0x00	RW
0x3C	DAC_DC_OFFSET1	[7:0]	DAC_DC_OFFSET_MSB									0x00	RW
0x3F	DAC_DIG_GAIN	[7:0]	Reserved			DAC_DIG_GAIN					0x20	RW	
0x41	GAIN_STEP_CTRL0	[7:0]	Reserved			RAMP_UP_STEP					0x01	RW	
0x42	GAIN_STEP_CTRL1	[7:0]	DAC_OUTPUT_STATUS	DAC_OUTPUT_ON	RAMP_DOWN_STEP					0x01	RW		
0x43	TX_ENABLE_CTRL	[7:0]	Reserved					TXENABLE_GAINSTEP_EN	TXENABLE_SLEEP_EN	TXENABLE_POWER_DOWN_EN	0x07	RW	
0x44	DAC_OUTPUT_CTRL	[7:0]	DAC_OUTPUT_CTRL_EN	Reserved			FIFO_WARNING_SHUTDOWN_EN	Reserved		FIFO_ERROR_SHUTDOWN_EN	0x8F	RW	
0x5E	ENABLE_DLL_DELAY_CELL0	[7:0]	ENABLE_DLL_DELAY_CELL[7:0]									0xFF	
0x5F	ENABLE_DLL_DELAY_CELL1	[7:0]	Reserved					ENABLE_DLL_DELAY_CELL[10:8]				0x67	RW
0x60	SED_CTRL	[7:0]	SED_ENABLE	SED_ERR_CLEAR	AED_ENABLE	SED_DEPTH	Reserved	AED_PASS	AED_FAIL	SED_FAIL	0x00	RW	
0x61	SED_PATT_L_S0	[7:0]	SED_PATTERN_RISE_S0 [7:0]									0x00	RW
0x62	SED_PATT_H_S0	[7:0]	SED_PATTERN_RISE_S0 [15:8]									0x00	RW
0x63	SED_PATT_L_S1	[7:0]	SED_PATTERN_FALL_S1 [7:0]									0x00	RW
0x64	SED_PATT_H_S1	[7:0]	SED_PATTERN_FALL_S1 [15:8]									0x00	RW
0x65	SED_PATT_L_S2	[7:0]	SED_PATTERN_RISE_S2 [7:0]									0x00	RW
0x66	SED_PATT_H_S2	[7:0]	SED_PATTERN_RISE_S2 [15:8]									0x00	RW
0x67	SED_PATT_L_S3	[7:0]	SED_PATTERN_FALL_S3 [7:0]									0x00	RW
0x68	SED_PATT_H_S3	[7:0]	SED_PATTERN_FALL_S3 [15:8]									0x00	RW
0x6A	PARITY_CTRL	[7:0]	PARITY_ENABLE	PARITY_EVEN	PARITY_ERR_CLEAR	Reserved			PARERRFAL	PARERRRIS	0x00	RW	
0x6B	PARITY_ERR_RISING	[7:0]	PARITY RISING EDGE ERROR COUNT									0x00	R
0x6C	PARITY_ERR_FALLING	[7:0]	PARITY FALLING EDGE ERROR COUNT									0x00	R
0x7F	Version	[7:0]	Version									0x0B	R

SPI 設定レジスタ

アドレス: 0x00、リセット: 0x00、名前: Common

表 22.Common のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
6	SPI_LSB_FIRST	0	シリアル・ポート通信、MSB ファーストまたは LSB ファーストの選択。 MSB ファースト。	0	R/W
		1	LSB ファースト。		
5	DEVICE_RESET		このビットに 1 を書込むとデバイスがリセットされます。DEVICE_RESET はセルフ・クリア・ビットです。リセット後、このビットは自動的に 0 に戻ります。読出すと常に 0 が返されます。	0	R/W

パワーダウン・コントロール・レジスタ

アドレス: 0x01、リセット: 0xC0、名前: PD_CONTROL

表 23.PD_CONTROL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	PD_DAC		PD_DAC に 1 を設定すると DAC がパワーダウンします。このビットは DAC のアナログ部分のみをパワーダウンさせます。DAC のデジタル・データ・パスは影響を受けません。	1	R/W
6	Reserved		デフォルト値を設定する必要があります。	1	R/W
5	PD_DATARCV		PD_DATARCV に 1 を設定すると、データ・インターフェース回路がパワーダウンします。このビットは、データ・インターフェースと FIFO の書き込み側をパワーダウンさせます。	0	R/W
2	PD_DEVICE		1 を設定すると、バンド・ギャップ回路がパワーダウンします。このビットは、チップ全体をパワーダウンさせます。	0	R/W
1	PD_DACCLK		PD_DEVICE に 1 を設定すると、DAC クロックがパワーダウンします。このビットは、DAC クロック・パスをパワーダウンさせるため、デジタル機能の大部分がパワーダウンします。	0	R/W
0	PD_FRAME		PD_FRAME に 1 を設定すると、フレーム・レシーバがパワーダウンします。フレーム信号は内部でプルダウンされています。フレームを使用しない場合は、1 を設定してください。	0	R/W

割り込みイネーブル 0 レジスタ

アドレス: 0x03、リセット: 0x00、名前: INTERRUPT_ENABLE0

表 24.INTERRUPT_ENABLE0 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
6	ENABLE_SYNC_LOST		同期喪失割り込みをイネーブルします。	0	R/W
5	ENABLE_SYNC_LOCKED		同期ロック割り込みをイネーブルします。	0	R/W
4	ENABLE_SYNC_DONE		同期完了割り込みをイネーブルします。	0	R/W
3	ENABLE_PLL_LOST		PLL 喪失割り込みをイネーブルします。	0	R/W
2	ENABLE_PLL_LOCKED		PLL ロック割り込みをイネーブルします。	0	R/W

割り込みイネーブル 1 レジスタ

アドレス: 0x04、リセット: 0x00、名前: INTERRUPT_ENABLE1

表 25.INTERRUPT_ENABLE1 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	ENABLE_PARITY_FAIL		パリティ故障割り込みをイネーブルします。	0	R/W
6	ENABLE_SED_FAIL		SED 故障割り込みをイネーブルします。	0	R/W
5	ENABLE_DLL_WARNING		DLL 警告割り込みをイネーブルします。	0	R/W
4	ENABLE_DLL_LOCKED		DLL ロック割り込みをイネーブルします。	0	R/W
2	ENABLE_FIFO_UNDERFLOW		FIFO アンダーフロー割り込みをイネーブルします。	0	R/W
1	ENABLE_FIFO_OVERFLOW		FIFO オーバーフロー割り込みをイネーブルします。	0	R/W

割込みフラグ 0 レジスタ

アドレス: 0x05、リセット: 0x00、名前: INTERRUPT_FLAG0

表 26. INTERRUPT_FLAG0 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
6	SYNC_LOST		同期が失われると、SYNC_LOST が 1 に設定されます。	0	R
5	SYNC_LOCKED		同期がロックすると、SYNC_LOCKED が 1 に設定されます。	0	R
4	SYNC_DONE		同期が完了すると、SYNC_DONE が 1 に設定されます。	0	R
3	PLL_LOST		PLL のロックが失われると、PLL_LOST が 1 に設定されます。	0	R
2	PLL_LOCKED		PLL がロックすると、PLL_LOCKED が 1 に設定されます。	0	R

割込みフラグ 1 レジスタ

アドレス: 0x06、リセット: 0x00、名前: INTERRUPT_FLAG1

表 27. INTERRUPT_FLAG1 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	PARITY_FAIL		パリティ・チェックが失敗すると、PARITY_FAIL が 1 に設定されます。	0	R
6	SED_FAIL		SED 比較が失敗すると、SED_FAIL が 1 に設定されます。	0	R
5	DLL_WARNING		DLL が警告を発生すると、DLL_WARNING が 1 に設定されます。	0	R
4	DLL_LOCKED		DLL がロックすると、DLL_LOCKED が 1 に設定されます。	0	R
2	FIFO_UNDERFLOW		FIFO 読出しポインタが FIFO 書込みポインタに一致すると、FIFO_UNDERFLOW が 1 に設定されます。	0	R
1	FIFO_OVERFLOW		FIFO 書込みポインタが FIFO 読出しポインタに一致すると、FIFO_OVERFLOW が 1 に設定されます。	0	R

割込みセレクト 0 レジスタ

アドレス: 0x07、リセット: 0x00、名前: IRQ_SEL0

表 28. IRQ_SEL0 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
6	SEL_SYNC_LOST	0	IRQ1 ピンを選択します。	0	R/W
		1	IRQ2 ピンを選択します。		
5	SEL_SYNC_LOCKED	0	IRQ1 ピンを選択します。	0	R/W
		1	IRQ2 ピンを選択します。		
4	SEL_SYNC_DONE	0	IRQ1 ピンを選択します。	0	R/W
		1	IRQ2 ピンを選択します。		
3	SEL_PLL_LOST	0	IRQ1 ピンを選択します。	0	R/W
		1	IRQ2 ピンを選択します。		
2	SEL_PLL_LOCKED	0	IRQ1 ピンを選択します。	0	R/W
		1	IRQ2 ピンを選択します。		

割込みセレクト1レジスタ

アドレス: 0x08、リセット: 0x00、名前: IRQ_SEL1

表 29. IRQ_SEL1 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	SEL_PARITY_FAIL	1	IRQ2 ピンを選択します。	0	R/W
		0	IRQ1 ピンを選択します。		
6	SEL_SED_FAIL	1	IRQ2 ピンを選択します。	0	R/W
		0	IRQ1 ピンを選択します。		
5	SEL_DLL_WARNING	0	IRQ1 ピンを選択します。	0	R/W
4	SEL_DLL_LOCKED	1	IRQ2 ピンを選択します。	0	R/W
		0	IRQ1 ピンを選択します。		
2	SEL_FIFO_UNDERFLOW	1	IRQ2 ピンを選択します。	0	R/W
		0	IRQ1 ピンを選択します。		
1	SEL_FIFO_OVERFLOW	1	IRQ2 ピンを選択します。	0	R/W
		0	IRQ1 ピンを選択します。		

フレーム・モード・レジスタ

アドレス: 0x09、リセット: 0x00、名前: FRAME_MODE

表 30. FRAME_MODE のビット説明

Bit No.	Bit Name	Description	Reset	Access
5	PARUSAGE	パリティを使用する場合、1を設定します。	0	R/W
4	FRMUSAGE	フレームを使用する場合、1を設定します。	0	R/W
[1:0]	FRAME_PIN_USAGE	0 = 無効。 1 = パリティ。 2 = フレーム。 3 = 予約済み。	0x0	R/W

データ・コントロール0レジスタ

アドレス: 0x0A、リセット: 0x40、名前: DATA_CNTR_0

表 31. DATA_CNTR_0 のビット説明

Bit No.	Bit Name	Description	Reset	Access
7	DLL_ENABLE	1 = DLL をイネーブル。	0	R/W
		0 = DLL をディスエーブル。		
6	DUTY_CORRECTION_EN	1 = デューティ・サイクル補正をイネーブル。	1	R/W
		0 = デューティ・サイクル補正をディスエーブル。		
[3:0]	DLL_PHASE_OFFSET	ロック時位相 = $90^\circ + n \times 11.25^\circ$ 、ここで n は 4 ビット符号付き数値。	0x0	R/W

データ・コントロール1レジスタ

アドレス: 0x0B、リセット: 0x39、名前: DATA_CNTR_1

表 32. DATA_CNTR_1 のビット説明

Bit No.	Bit Name	Description	Reset	Access
7	CLEAR_WARN	1: データ・レシーバ警告ビット(レジスタ 0x0E[6:4])をクリアします。	0	R/W
[6:0]	Reserved	最適性能のためにはデフォルト値を書込みます。	0x39	R/W

データ・コントロール 2 レジスタ

アドレス: 0x0C、リセット: 0x64、名前: DATA_CNTR_2

表 33.DATA_CNTR_2 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	Reserved	最適性能のためにはデフォルト値を書込みます。	0x64	R/W

データ・コントロール 3 レジスタ

アドレス: 0x0D、リセット: 0x06、名前: DATA_CNTR_3

表 34.DATA_CNTR_3 のビット説明

Bit No.	Bit Name	Description	Reset	Access
7	LOW_DCI_EN	DLL をイネーブルし、かつ DCI レート ≥ 350 MHz の場合、0 を設定します。 DLL をイネーブルし、かつ DCI レート < 350 MHz の場合、1 を設定します。	0	R/W
4	DC_COUPLE_LOW_EN	DLL をイネーブルし、かつ遅延線をディスエーブルする場合、0 を設定します。 DLL をディスエーブルし、かつ遅延線をイネーブルする場合、1 を設定します。 250 MHz より高速な DCI レートの場合は DLL モードを、250 MHz より低速の DCI レートの場合は遅延線モードを、それぞれ使用することが推奨されます。	0	R/W
[3:0]	Reserved	最適性能のためにはデフォルト値を書込みます。	0x6	R/W

データ・ステータス 0 レジスタ

アドレス: 0x0E、リセット: 0x00、名前: DATA_STAT_0

表 35.DATA_STAT_0 のビット説明

Bit No.	Bit Name	Description	Reset	Access
7	DLL_LOCK	1 = DLL がロック。	0	R
6	DLL_WARN	1 = DLL が遅延線の始点/終点近く。	0	R
5	DLL_START_WARNING	1 = DLL が遅延線の始点。	0	R
4	DLL_END_WARNING	1 = DLL が遅延線の終点。	0	R
3	Reserved	予約済み。	0	R
2	DCI_ON	1 = ユーザーが DCI クロックを提供。	0	R
1	Reserved	予約済み。	0	R
0	DLL_RUNNING	1 = クローズ・ループ DLL がロック試行中。 0 = 遅延線中央の遅延固定。	0	R

DAC クロック・レシーバ・コントロール・レジスタ

アドレス: 0x10、リセット: 0xFF、名前: DACCLK_RECEIVER_CTRL

表 36.DACCLK_RECEIVER_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	DACCLK_DUTYCYCLE_CORRECTION		DACCLK 入力でのデューティ・サイクル補正をイネーブルします。最適性能のためには、デフォルトおよび推奨ステータスはターンオンです。	1	R/W
6	Reserved			1	R/W
5	DACCLK_CROSSPOINT_CTRL_ENABLE		DACCLK 入力でのクロスポイント制御をイネーブルします。最適性能のためには、デフォルトおよび推奨ステータスはターンオンです。	1	R/W
[4:0]	DACCLK_CROSSPOINT_LEVEL	01111 11111	2 の補数値。最適性能のためには、DACCLK_CROSSPOINT_LEVEL にデフォルト値を設定してください。 最高クロスポイント。 最低クロスポイント。	0x1F	R/W

基準クロック・レシーバ・コントロール・レジスタ

アドレス: 0x11、リセット: 0x5F、名前: REFCLK_RECEIVER_CTRL

表 37.REFCLK_RECEIVER_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	DUTYCYCLE_CORRECTION		REFCLK 入力でのデューティ・サイクル補正をイネーブルします。最適性能のためには、デフォルトおよび推奨ステータスはターンオフです。	0	RW
6	Reserved		最適性能のためにはデフォルト値を書込みます。	1	R/W
5	REFCLK_CROSSPOINT_CTRL_ENABLE		REFCLK 入力でのクロスポイント制御をイネーブルします。最適性能のためには、デフォルトおよび推奨ステータスはターンオフです。	0	RW
[4:0]	REFCLK_CROSSPOINT_LEVEL	01111 11111	2 の補数値。最適性能のためには、REFCLK_CROSSPOINT_LEVEL にデフォルト値を設定してください。 最高クロスポイント。 最低クロスポイント。	0x1F	RW

PLL コントロール 0 レジスタ

アドレス: 0x12、リセット: 0x00、名前: PLL_CTRL0

表 38.PLL_CTRL0 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	PLL_ENABLE		PLL クロック通倍器をイネーブル。	0	R/W
6	AUTO_MANUAL_SEL	0 1	PLL 帯域選択モード。 自動モード。 マニュアル・モード。	0	R/W
[5:0]	PLL_MANUAL_BAND	000000 111111	マニュアル・モードでの PLL 帯域設定。合計 64 帯域、1 GHz~2.1 GHz VCO 範囲を変換。 最低帯域 (1.03 GHz)。 最高帯域 (2.07 GHz)。	0x00	R/W

PLL コントロール 2 レジスタ

アドレス: 0x14、リセット: 0xE7、名前: PLL_CTRL2

表 39.PLL_CTRL2 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:5]	PLL_LOOP_BW	0x00 0x1F	PLL ループ・フィルタ帯域幅の選択。最適 PLL 性能のためのデフォルトおよび推奨設定は 111。 最低設定。 最高設定。	0x7	R/W
[4:0]	PLL_CP_CURRENT	0x00 0x1F	公称 PLL チャージ・ポンプ電流の設定。最適 PLL 性能のためのデフォルトおよび推奨設定は 00111。 最低設定。 最高設定。	0x07	R/W

PLL コントロール 3 レジスタ

アドレス: 0x15、リセット: 0xC9、名前: PLL_CTRL3

表 40.PLL_CTRL3 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:6]	DIGLOGIC_DIVIDER	00 01 10 11	REFCLKx 対 PLL デジタル・クロック分周比。PLL デジタル・クロックが内部 PLL ロジックを駆動します。PLL デジタル・クロックが 75 MHz より低くなるように分周比を設定する必要があります。 $f_{REFCLK}/f_{DIG} = 2$ 。 $f_{REFCLK}/f_{DIG} = 4$ 。 $f_{REFCLK}/f_{DIG} = 8$ 。 $f_{REFCLK}/f_{DIG} = 16$ 。	0x3	R/W
4	CROSSPOINT_CTRL_EN		ループ分周器クロスポイント制御をイネーブルします。最適 PLL 性能のためのデフォルトおよび推奨設定は 0 です。	0	R/W
[3:2]	VCO_DIVIDER	00 01 10 11	PLL VCO 分周器。この分周器は、VCO 周波数と DACCLK 周波数との比を決定します。 $f_{VCO}/f_{DACCLK} = 1$ 。 $f_{VCO}/f_{DACCLK} = 2$ 。 $f_{VCO}/f_{DACCLK} = 4$ 。 $f_{VCO}/f_{DACCLK} = 4$ 。	0x2	R/W
[1:0]	LOOP_DIVIDER	00 01 10 11	PLL ループ分周器。この分周器は、DACCLK 周波数と REFCLK 周波数との比を決定します。 $f_{DACCLK}/f_{REFCLK} = 2$ 。 $f_{DACCLK}/f_{REFCLK} = 4$ 。 $f_{DACCLK}/f_{REFCLK} = 8$ 。 $f_{DACCLK}/f_{REFCLK} = 16$ 。	0x1	R/W

PLL ステータス 0 レジスタ

アドレス: 0x16、リセット: 0x00、名前: PLL_STATUS0

表 41.PLL_STATUS0 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	PLL_LOCK		PLL クロック通倍器出力は安定しています。	0	R
[3:0]	VCO_CTRL_VOLTAGE_READBACK	1111 0111 0000	VCO 制御電圧のリードバック。バイナリ値。 最大 VCO 制御電圧。 適切な VCO 帯域を選択したときの中心値。PLL がロックした場合、高い VCO 帯域を選択するとこの値が小さくなり、低い VCO 帯域を選択するとこの値が大きくなります。 最小 VCO 制御電圧。	0x0	R

PLL ステータス 1 レジスタ

アドレス: 0x17、リセット: 0x00、名前: PLL_STATUS1

表 42.PLL_STATUS1 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[5:0]	PLL_BAND_READBACK		現在選択中の VCO 帯域を表示します。	0x00	R

DAC FS 調整 LSB レジスタ

アドレス: 0x18、リセット: 0xF9、名前: DAC_FS_ADJ0

表 43.DAC_FS_ADJ0 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:0]	DAC_FULLSCALE_ADJUST_LSB		レジスタ 0x19 を参照してください。	0xF9	R/W

DAC FS 調整 MSB レジスタ

アドレス: 0x19、リセット: 0xE1、名前: DAC_FS_ADJ1

表 44.DAC_FS_ADJ1 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:5]	BG_TRIM		バンドギャップ・トリム・コード。最適性能のためにはデフォルト値を設定してください。	0x7	R/W
[1:0]	DAC_FULLSCALE_ADJUST_MSB		DAC フルスケール調整のビット[9:0]は、DAC フルスケール電流を設定します。フルスケール電流は 8.64 mA~31.68 mA の範囲で調整することができます。デフォルト値 (0x1F9)は、フルスケール電流 20 mA を設定します。	0x1	R/W

チップ温度センサー・コントロール・レジスタ

アドレス: 0x1C、リセット: 0x02、名前: DIE_TEMP_SENSOR_CTRL

表 45.DIE_TEMP_SENSOR_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[6:4]	FS_CURRENT	000 001 ... 110 111	温度センサー ADC のフルスケール電流。デフォルト設定の使用が推奨されます。 50 μ A。 62.5 μ A。 125 μ A。 137.5 μ A。	0x0	R/W
[3:1]	REF_CURRENT	000 001 ... 110 111	温度センサー ADC のリファレンス電流。デフォルト設定の使用が推奨されます。 12.5 μ A。 19 μ A。 50 μ A。 56.5 μ A。	0x1	R/W
0	DIE_TEMP_SENSOR_EN		内蔵温度センサーをイネーブルします。	0x0	R/W

チップ温度 LSB レジスタ

アドレス: 0x1D、リセット: 0x00、名前: DIE_TEMP_LSB

表 46.DIE_TEMP_LSB のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:0]	DIE_TEMP_LSB		このレジスタは、レジスタ 0x1E と組み合わせて使用します。	0x00	R

チップ温度 MSB レジスタ

アドレス: 0x1E、リセット: 0x00、名前: DIE_TEMP_MSB

表 47.DIE_TEMP_MSB のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:0]	DIE_TEMP_MSB		チップ温度、ビット[15:0]はチップ温度の近似値を表示します。詳細については、温度センサー・セクションを参照してください。	0x00	R

チップ ID レジスタ

アドレス: 0x1F、リセット: 0x0A、名前: CHIP_ID

表 48.CHIP_ID のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:0]	CHIP_ID		AD9139のチップ ID は 0x0A です。	0x0A	R

割込み設定レジスタ

アドレス: 0x20、リセット: 0x00、名前: INTERRUPT_CONFIG

表 49.INTERRUPT_CONFIG のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:0]	INTERRUPT_CONFIGURATION	0x00	テスト・モード。	0x00	R/W
		0x01	推奨モード (割込み要求動作のセクションに記載)。		

同期コントロール・レジスタ

アドレス: 0x21、リセット: 0x00、名前: SYNC_CTRL

表 50.SYNC_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
1	SYNC_CLK_EDGE_SEL	0	同期クロックの DACCLK サンプリング・エッジを選択します。	0	R/W
		1	SYNC CLK を DACCLK の立下がりエッジでサンプルします。		
0	SYNC_ENABLE		複数チップ同期をイネーブルします。	0	R/W

フレーム・リセット・コントロール・レジスタ

アドレス: 0x22、リセット: 0x12、名前: FRAME_RST_CTRL

表 51.FRAME_RST_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
3	ARM_FRAME		このビットは、ワンショット・モードでフレーム・リセットを再起動するときに使います (ビット 2 = 0)。このビットに 1 を設定すると、デバイスが次の有効フレーム・パルスにตอบสนองするように要求されます。	0	R/W
2	EN_CON_FRAME_RESET	0	フレーム・リセット・モードの選択。	0	R/W
		1	最初の有効フレーム・パルスにตอบสนองし、FIFO を 1 回だけリセットします。これがデフォルトおよび推奨モードになっています。		
			各有効フレーム・パルスにตอบสนองし、FIFO を連続的にリセットします。		
[1:0]	FRAME_RESET_MODE	10	これらのビットは、デバイスが有効なフレーム信号を受信したとき、リセットすべき内容を指定します。	0x2	R/W
		11	FIFO。 なし。		

FIFO レベル設定レジスタ

アドレス: 0x23、リセット: 0x40、名前: FIFO_LEVEL_CONFIG

表 52.FIFO_LEVEL_CONFIG のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[6:4]	INTEGER_FIFO_LEVEL_REQUEST	000 001 ... 111	整数 FIFO レベルの設定。この値は、読出しポインタ値と書込みポインタ値の差を入力データ・レート (f_{DATA}) を単位として表したものです。デフォルトおよび推奨 FIFO レベルは、整数レベル=4 および非整数レベル=0 です。詳細については、FIFO 動作のセクションを参照してください。	0x4	R/W
[2:0]	FRACTIONAL_FIFO_LEVEL_REQUEST	000 001	非整数 FIFO レベルの設定。この値は、読出しポインタ値と書込みポインタ値の差を DACCLK レート (F_{DAC}) を単位として表したものです。最大許容設定値=インターポレーション・レート-1。詳細については、FIFO 動作のセクションを参照してください。	0x0	R/W

FIFO レベル・リードバック・レジスタ

アドレス: 0x24、リセット: 0x00、名前: FIFO_LEVEL_READBACK

表 53.FIFO_LEVEL_READBACK のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[6:4]	INTEGER_FIFO_LEVEL_READBACK		整数 FIFO レベル・リードバック。全体 FIFO レベル要求とリードバックの差は、DACCLK で 2 サイクル以内です。詳細については、FIFO 動作のセクションを参照してください。	0x0	R
[2:0]	FRACTIONAL_FIFO_LEVEL_READBACK		非整数 FIFO レベル・リードバック。この値は、ビット[6:4] のリードバックと組み合わせて使います。	0x0	R

FIFO コントロール・レジスタ

アドレス: 0x25、リセット: 0x00、名前: FIFO_CTRL

表 54.FIFO_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
1	FIFO_SPI_RESET_ACK		シリアル・ポート初期化 FIFO リセットに対するアクノリッジ。	0x0	R
0	FIFO_SPI_RESET_REQUEST		シリアル・ポート経由で FIFO リセットを初期化します。	0x0	R/W

データ・フォーマット選択レジスタ

アドレス: 0x26、リセット: 0x00、名前: DATA_FORMAT_SEL

表 55.DATA_FORMAT_SEL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	DATA_FORMAT	0	バイナリまたは 2 の補数データ・フォーマットの選択。 入力データは 2 の補数フォーマット。	0	R/W
		1	入力データはバイナリ・フォーマット。		
0	DATA_BUS_WIDTH	0	データ・インターフェース・モード。様々なインターフェース・モード動作については、LVDS 入力データ・ポートのセクションを参照してください。	0	R/W
		1	ワード・モード; 16 ビット・インターフェース・バス幅。 バイト・モード; 8 ビット・インターフェース・バス幅。		

データパス・コントロール・レジスタ

アドレス: 0x27、リセット: 0x00、名前: DATAPATH_CTRL

表 56.DATAPATH_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	INVSINC_ENABLE		逆 sinc フィルタをイネーブルします。	0	RW
5	DIG_GAIN_DCOFFSET_ENABLE		デジタル・ゲイン調整および DC オフセットをイネーブルします。	0	RW

インターポレーション・コントロール・レジスタ

アドレス: 0x28、リセット: 0x00、名前: INTERPOLATION_CTRL

表 57.INTERPOLATION_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	INTERPOLATION_MODE	0	インターポレーション・モードの選択。 2x モード。	0x0	RW
		1	1x モード。		

パワーダウン・データ入力 0 レジスタ

アドレス: 0x39、リセット: 0x00、名前: LVDS_IN_PWR_DOWN_0

表 58.LVDS_IN_PWR_DOWN_0 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[3:0]	PWR_DOWN_DATA_INPUT_BITS		データ入力ビット [3:0] をパワーダウンさせます。各ビットが 1 データ入力ビットを制御します。これらのビットは、個別にパワーダウンさせることができます。	0x0	R/W

DAC DC OFFSET 0 レジスタ

アドレス: 0x3B、リセット: 0x00、名前: DAC_DC_OFFSET0

表 59.DAC_DC_OFFSET0 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:0]	DAC_DC_OFFSET_LSB		レジスタ 0x3C を参照してください。	0x00	RW

DAC DC OFFSET 1 レジスタ

アドレス: 0x3C、リセット: 0x00、名前: DAC_DC_OFFSET1

表 60.DAC_DC_OFFSET1 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:0]	DAC_DC_OFFSET_MSB		DAC DC オフセットのビット [15:0] は、DAC に書込まれるサンプル値に直接加算される DC 値を表します。	0x00	RW

DAC ゲイン調整レジスタ

アドレス: 0x3F、リセット: 0x20、名前: DAC_DIG_GAIN

表 61. DAC_GAIN_ADJ のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[5:0]	DAC_DIG_GAIN		このレジスタは、6 ビットのデジタル・ゲイン調整です。ビットの重みは MSB = 2 ⁰ 、LSB = 2 ⁻⁵ で、乗算器範囲が 0~2 すなわち -∞~6 dB になります。デフォルトのゲイン設定は 0x20 で、ユニティ・ゲイン (0 dB) に対応します。	0x20	RW

ゲイン・ステップ・コントロール 0 レジスタ

アドレス: 0x41、リセット: 0x01、名前: GAIN_STEP_CTRL0

表 62. GAIN_STEP_CTRL0 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[5:0]	RAMP_UP_STEP		このレジスタは、ゲイン増加のステップ・サイズを設定します。デジタル・ゲインは、ゲインが DAC_GAIN_ADJ (レジスタ 0x3F) の設定値に到達するまで、DAC の 4 サイクルごとに設定された値だけ増加します。このビットの重みは MSB = 2 ¹ 、LSB = 2 ⁻⁴ です。このレジスタ値を DAC_GAIN_ADJ の値より大きくしないように注意してください。	0x01	RW

ゲイン・ステップ・コントロール 1 レジスタ

アドレス: 0x42、リセット: 0x01、名前: GAIN_STEP_CTRL1

表 63. GAIN_STEP_CTRL1 のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	DAC_OUTPUT_STATUS		このビットは、DAC 出力のオン/オフ・ステータスを表示します。DAC 出力が自動的にターンオフすると、このビットは 1 になります。	0x0	RW
6	DAC_OUTPUT_ON		Tx イネーブル・モードで DAC 出力が自動的にターンオフする場合、このレジスタを使うと、DAC 出力をマニュアルでターンオンさせることができます。これはセルフ・クリア・ビットです。	0x0	R
[5:0]	RAMP_DOWN_STEP		このレジスタは、ゲイン減少のステップ・サイズを設定します。デジタル・ゲインは、ゲインが 0 になるまで、DAC の 4 サイクルごとに設定された値だけ減少します。このビットの重みは MSB = 2 ¹ 、LSB = 2 ⁻⁴ です。このレジスタ値を DAC_GAIN_ADJ (レジスタ 0x3F) の値より大きくしないように注意してください。	0x01	RW

TX イネーブル・コントロール・レジスタ

アドレス: 0x43、リセット: 0x07、名前: TX_ENABLE_CTRL

表 64. TX_ENABLE_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
2	TXENABLE_GAINSTEP_EN		レジスタ 0x41 とレジスタ 0x42 の設定値に従い、TXEN ピンからの TX イネーブル信号により制御されて、DAC 出力が穏やかにターンオン/ターンオフします。	1	RW
1	TXENABLE_SLEEP_EN		1 を設定すると、TXEN ピンからの TX イネーブル信号がロー・レベルのとき、デバイスはスリープ・モードになります。	1	RW
0	TXENABLE_POWER_DOWN_EN		1 を設定すると、TXEN ピンからの TX イネーブル信号がロー・レベルのとき、デバイスはパワーダウン・モードになります。	1	RW

DAC 出力コントロール・レジスタ

アドレス: 0x44、リセット: 0x8F、名前: DAC_OUTPUT_CTRL

表 65.DAC_OUTPUT_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	DAC_OUTPUT_CTRL_EN		DAC 出力制御のイネーブル。このレジスタの他のビットをイネーブルするときは、このビットに 1 を設定する必要があります。	0x1	RW
3	FIFO_WARNING_SHUTDOWN_EN		このビットとビット 7 が共にハイ・レベルの場合、FIFO 警告が発生すると、DAC 出力が自動的にシャットダウンします。デフォルトで、この機能はオンになっています。	0x1	RW
0	FIFO_ERROR_SHUTDOWN_EN		FIFO が警報が発生すると、DAC 出力はターンオフします。	0x1	RW

DLL セル・イネーブル 0 レジスタ

アドレス: 0x5E、リセット: 0xFF、名前: ENABLE_DLL_DELAY_CELL0

表 66.ENABLE_DLL_DELAY_CELL0 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	DELAY_CELL_ENABLE [7:0]	各ビットを設定して、遅延セルをイネーブル/ディスエーブルします。遅延セル数は、ビット番号に対応します。 1 = 遅延セルをイネーブル (デフォルト)。 0 = 遅延セルをディスエーブル。 DLL モードと遅延ライン・モードで様々な推奨値を使用します。DLL インターフェース・モードのセクションを参照してください。	0xFF	RW

DLL セル・イネーブル 1 レジスタ

アドレス: 0x5F、リセット: 0x67、名前: ENABLE_DLL_DELAY_CELL1

表 67.ENABLE_DLL_DELAY_CELL1 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:3]	Reserved	最適性能のためにはデフォルト値を書込みます。	0x0C	RW
[2:0]	DELAY_CELL_ENABLE [10:8]	各ビットを設定して、遅延セルをイネーブル/ディスエーブルします。遅延セル数 (10、9、8) は、ビット (2、1、0) に対応します。 1 = 遅延セルをイネーブル (デフォルト)。 0 = 遅延セルをディスエーブル。	0x7	RW

SED コントロール・レジスタ

アドレス: 0x60、リセット: 0x00、名前: SED_CTRL

表 68.SED_CTRL のビット説明

Bit No.	Bit Name	Description	Reset	Access
7	SED_ENABLE	1 を設定して、SED 比較ロジックをイネーブルします。	0	RW
6	SED_ERR_CLEAR	1 の場合、SED 報告のエラー・ビット、ビット 2、ビット 1、ビット 0 をすべてクリアします。	0	RW
5	AED_ENABLE	1 の場合、AED 機能をイネーブルします (SED は 8 個の合格セットの後に自動クリア)。	0	RW
4	SED_DEPTH	0 = SED 深さ 2 ワード、1 = SED 深さ 4 ワード。	0	RW
3	Reserved	予約済み。	0	R
2	AED_PASS	AED = 1 の場合、8 個の真の比較サイクルを報告します。	0	RW
1	AED_FAIL	AED = 1 の場合、比較での不一致を報告します。	0	R
0	SED_FAIL	比較で SED 不一致が発生したことを報告します (SED または AED はイネーブル)。	0	R

SED パターン S0 ロー・ビット・レジスタ

アドレス: 0x61、リセット: 0x00、名前: SED_PATT_L_S0

表 69.SED_PATT_L_S0 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	SED_PATTERN_RISE_S0 [7:0]	SED S0 立上がりエッジ・ロー・ビット。	0x00	RW

SED パターン S0 ハイ・ビット・レジスタ

アドレス: 0x62、リセット: 0x00、名前: SED_PATT_H_S0

表 70.SED_PATT_H_S0 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	SED_PATTERN_RISE_S0 [15:8]	SED S0 立上がりエッジ・ハイ・ビット。	0x00	RW

SED パターン S1 ロー・ビット・レジスタ

アドレス: 0x63、リセット: 0x00、名前: SED_PATT_L_S1

表 71.SED_PATT_L_S1 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	SED_PATTERN_FALL_S1 [7:0]	SED S1 立下がりエッジ・ロー・ビット。	0x00	RW

SED パターン S1 ハイ・ビット・レジスタ

アドレス: 0x64、リセット: 0x00、名前: SED_PATT_H_S1

表 72.SED_PATT_H_S1 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	SED_PATTERN_FALL_S1 [15:8]	SED S1 立下がりエッジ・ハイ・ビット。	0x00	RW

SED パターン S2 ロー・ビット・レジスタ

アドレス: 0x65、リセット: 0x00、名前: SED_PATT_L_S2

表 73.SED_PATT_L_S2 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	SED_PATTERN_RISE_S2 [7:0]	SED S2 立上がりエッジ・ロー・ビット。	0x00	RW

SED パターン S2 ハイ・ビット・レジスタ

アドレス: 0x66、リセット: 0x00、名前: SED_PATT_H_S2

表 74.SED_PATT_H_S2 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[2:0]	SED_PATTERN_RISE_S2 [15:8]	SED S2 立上がりエッジ・ハイ・ビット。	0x00	RW

SED パターン S3 ロー・ビット・レジスタ

アドレス: 0x67、リセット: 0x00、名前: SED_PATT_L_S3

表 75. SED_PATT_L_S3 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	SED_PATTERN_FALL_S3 [7:0]	SED S3 立下がりエッジ・ロー・ビット。	0x00	RW

SED パターン S3 ハイ・ビット・レジスタ

アドレス: 0x68、リセット: 0x00、名前: SED_PATT_H_S3

表 76.SED_PATT_H_S3 のビット説明

Bit No.	Bit Name	Description	Reset	Access
[2:0]	SED_PATTERN_FALL_S3 [15:8]	SED S3 立下がりエッジ・ハイ・ビット。	0x00	RW

極性コントロール・レジスタ

アドレス: 0x6A、リセット: 0x00、名前: PARITY_CTRL

表 77.PARITY_CTRL のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
7	PARITY_ENABLE	1	パリティのイネーブル。	0	RW
6	PARITY_EVEN	0 1	奇数パリティ。 偶数パリティ。	0	RW
5	PARITY_ERR_CLEAR		1 を設定して、パリティ・エラー・カウンタをクリアします。	0	RW
[4:2]	Reserved		予約済み。	0x0	R
1	PARERRFAL		1 の場合、立下がりエッジ・パリティ・エラーが検出されたことを通知します。	0	R
0	PARERRRIS		1 の場合、立上がりエッジ・パリティ・エラーが検出されたことを通知します。	0	R

極性エラー立上がりエッジ・レジスタ

アドレス: 0x6B、リセット: 0x00、名前: PARITY_ERR_RISING

表 78.PARITY_ERR_RISING のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	PARITY RISING EDGE ERROR COUNT	検出された立上がりエッジによるエラー数 (S0 と S2)。256 にクリップされます。	0x00	R

極性エラー 立下がりエッジ・レジスタ

アドレス: 0x6C、リセット: 0x00、名前: PARITY_ERR_FALLING

表 79.PARITY_ERR_FALLING のビット説明

Bit No.	Bit Name	Description	Reset	Access
[7:0]	PARITY FALLING EDGE ERROR COUNT	検出された立下がりエッジによるエラー数 (S1 と S3)。256 にクリップされます。	0x00	R

バージョン・レジスタ

アドレス: 0x7F、リセット: 0x0B、名前: Version

表 80.Version のビット説明

Bit No.	Bit Name	Settings	Description	Reset	Access
[7:0]	Version		チップ・バージョン	0x0B	R

パッケージとオーダー情報

外形寸法

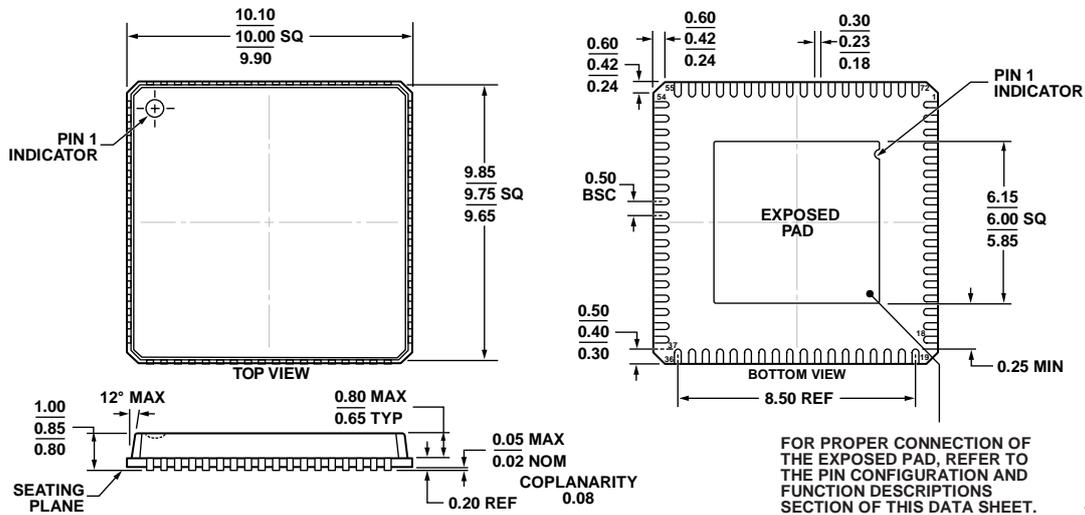


図 51.72 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 10 mm x 10 mm ボディ、極薄クワッド
 (CP-72-7)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9139BCPZ	-40°C to +85°C	72-lead LFCSP_VQ	CP-72-7
AD9139BCPZRL	-40°C to +85°C	72-lead LFCSP_VQ	CP-72-7
AD9139-EBZ		Evaluation Board for Single AD9139 Evaluation	
AD9139-DUAL-EBZ		Evaluation Board for Dual AD9139 Evaluation	

¹ Z = RoHS 準拠製品。