

**AD9114/AD9115/AD9116/AD9117****特長**

消費電力: 3.3 Vで出力 20 mA

10 MSPS で 191 mW

125 MSPS で 232 mW

スリープ・モード: 3.3 Vで 3 mW 以下

電源電圧: 1.8 V~3.3 V

ナイキスト周波数までの SFDR

1 MHz 出力で 86 dBc

10 MHz 出力で 85 dBc

1 MHz 出力、125 MSPS、20mA での AD9117 の NSD: -162 dBc/Hz

差動電流出力: 4 mA~20 mA

補助 DAC を 2 個内蔵

シングル・ポート動作の CMOS 入力

出力同相モード: 0 V~1.2 V で調整可能

小型フットプリントの 40 ピン LFCSP Pb フリー・パッケージを採用

**アプリケーション**

ワイヤレス・インフラストラクチャ

ピコセル、フェムトセルの基地局

医療計測機器

超音波トランスジューサの励起

ポータブル計装機器

信号ジェネレータ、任意波形ジェネレータ

**概要**

AD9114/AD9115/AD9116/AD9117 は、ピン・コンパチブルの 8/10/12/14 ビット低消費電力デュアル D/A コンバータ(DAC)で 125 MSPS のサンプル・レートで動作します。これらの TxDAC® コンバータは、通信システムの送信信号パス向けに最適化されています。すべてのデバイスは、同じインターフェース、LFCSP、ピン配置を持つため、性能、分解能、価格に応じて柔軟な部品選択が可能です。

AD9114/AD9115/AD9116/AD9117 は、優れた AC および DC 性能を提供し、最大 125 MSPS の更新レートをサポートします。

AD9114/AD9115/AD9116/AD9117 は、1.8 V~3.6 V の柔軟な電源動作範囲と低消費電力を持つため、ポータブルおよび低消費電力アプリケーションに最適です。

**製品のハイライト**

1. 低消費電力。1.8 V~3.3 V の単電源で動作し、100 MSPS での合計消費電力を 225 mW まで削減。アイドル区間で低消費電力を実現するスリープ・モードとパワーダウン・モード。
2. CMOS クロック入力。125 MSPS の変換レートをサポートする高速シングルエンド CMOS クロック入力。
3. 他の部品への容易なインターフェース。0 V~1.2 V で調整可能な出力同相モードにより、0 V より高い同相モード・レベルを受け付ける他の部品へ容易にインターフェースが可能。

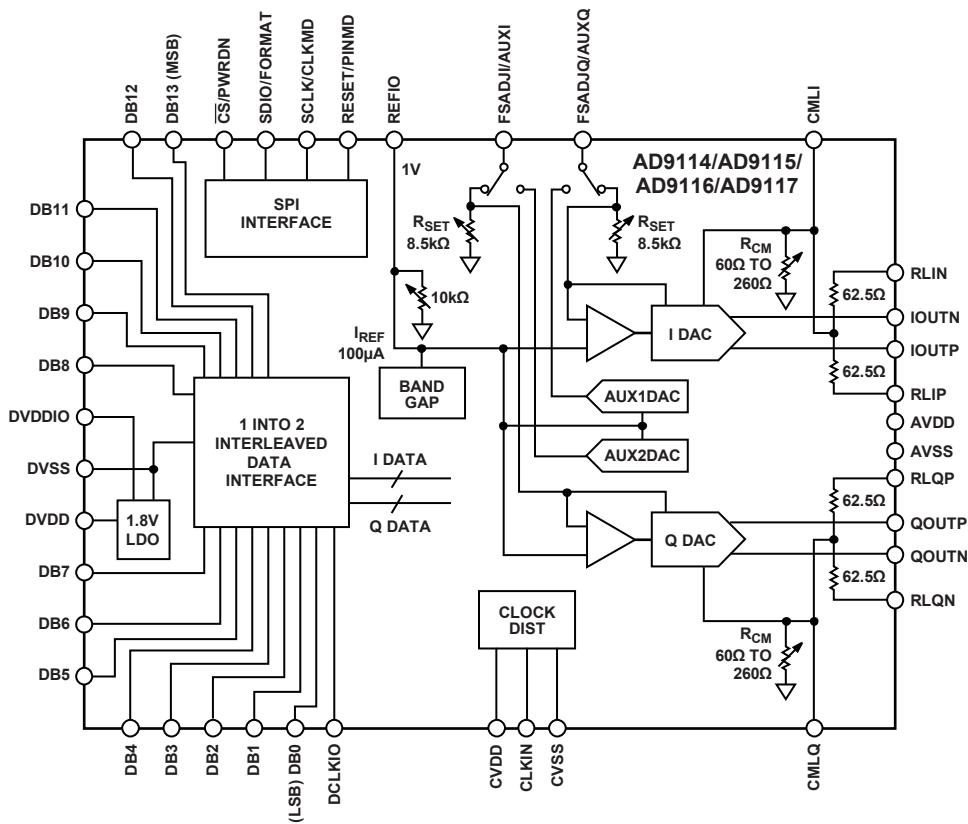
## 目次

特長.....	1	SPIレジスタ・マップ.....	33
アプリケーション.....	1	SPIレジスタの説明.....	34
概要.....	1	デジタル・インターフェースの動作.....	37
製品のハイライト.....	1	デジタル・データのラッチとリタイマー・セクション.....	38
改訂履歴.....	2	DACパイプラインの全体遅延の計算.....	39
機能ブロック図.....	3	セルフ・キャリブレーション.....	40
仕様.....	4	ゲインの粗調整.....	41
DC仕様.....	4	内部終端抵抗の使用.....	42
デジタル仕様.....	6	アプリケーション情報.....	43
AC仕様.....	7	出力の構成.....	43
絶対最大定格.....	8	トランスを使用する差動結合.....	43
熱抵抗.....	8	オペアンプを使用したバッファ付きシングルエンド出力.....	43
ESDの注意.....	8	オペアンプを使った差動バッファ付き出力.....	44
ピン配置およびピン機能説明.....	9	補助DAC.....	44
代表的な性能特性.....	17	DAC—変調器間のインターフェース.....	45
用語.....	29	IF/RF変換での直交変調器の非理想的な性能の補正.....	45
動作原理.....	30	I/Qチャンネル間のゲイン・マッチング.....	45
シリアル・ペリフェラル・インターフェース(SPI).....	31	LOフィードスルーの補償.....	45
シリアル・インターフェースの全般的な動作.....	31	ゲインとオフセットの補正結果.....	46
命令バイト.....	31	ADL5370内蔵の直交変調器を使用するための評価ボードの変更.....	47
シリアル・インターフェース・ポート・ピンの説明.....	31	外形寸法.....	48
MSB/LSBの転送.....	32	オーダー・ガイド.....	48
シリアル・ポートの動作.....	32		
ピン・モード.....	32		

## 改訂履歴

8/08—Revision 0: Initial Version

機能ブロック図



07466-001

図 1.

## 仕様

## DC仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $DVDDIO = 3.3\text{ V}$ 、 $CVDD = 3.3\text{ V}$ 、 $I_{OUTFS} = 2\text{ mA}$ 、最大サンプル・レート。

表 1.

Parameter	AD9114			AD9115			AD9116			AD9117			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	8			10			12			14			Bits
ACCURACY @ 3.3 V													
Differential Nonlinearity (DNL)													
Precalibration	±0.02			±0.06			±0.4			±1.4			LSB
Postcalibration	±0.02			±0.04			±0.2			±0.6			LSB
Integral Nonlinearity (INL)													
Precalibration	±0.03			±0.19			±0.68			±1.2			LSB
Postcalibration	±0.03			±0.07			±0.42			±0.6			LSB
ACCURACY @ 1.8 V													
Differential Nonlinearity (DNL)													
Precalibration	±0.02			±0.08			±0.5			±1.8			LSB
Postcalibration	±0.01			±0.06			±0.2			±1.0			LSB
Integral Nonlinearity (INL)													
Precalibration	±0.04			±0.2			±0.5			±1.8			LSB
Postcalibration	±0.02			±0.1			±0.3			±1.1			LSB
MAIN DAC OUTPUTS													
Offset Error	-1		+1	-1		+1	-1		+1	-1		+1	mV
Gain Error Internal Reference	-2		+2	-2		+2	-2		+2	-2		+2	% of FSR
Full-Scale Output Current <sup>1</sup>													
$V_{CC} = 3.3\text{ V}$	4	8	20	4	8	20	4	8	20	4	8	20	mA
$V_{CC} = 1.8\text{ V}$	4	8	16	4	8	16	4	8	16	4	8	16	mA
Output Common-Mode Level (8 mA CML Pin)	-0.5	0	+1.2	-0.5	0	+1.2	-0.5	0	+1.2	-0.5	0	+1.2	V
Output Compliance Range (8 mA CML Pin)	-0.5	0	+1.2	-0.5	0	+1.2	-0.5	0	+1.2	-0.5	0	+1.2	V
Output Resistance	200			200			200			200			MΩ
Crosstalk, Q DAC to I DAC ( $f_{OUT} = 30\text{ MHz}$ )	95			95			95			95			dB
Crosstalk, Q DAC to I DAC ( $f_{OUT} = 60\text{ MHz}$ )	76			76			76			76			dB
MAIN DAC TEMPERATURE DRIFT													
Offset	0			0			0			0			ppm/°C
Gain	±40			±40			±40			±40			ppm/°C
Reference Voltage	±25			±25			±25			±25			ppm/°C
AUXDAC OUTPUTS													
Resolution	10			10			10			10			Bits
Full-Scale Output Current (Current Sourcing Mode)	125			125			125			125			μA
Voltage Output Mode													
Output Compliance Range (Sourcing 1 mA)	$V_{SS}$		$V_{DD} - 0.25$	$V_{SS}$		$V_{DD} - 0.25$	$V_{SS}$		$V_{DD} - 0.25$	$V_{SS}$		$V_{DD} - 0.25$	V
Output Compliance Range (Sinking 1 mA)	$V_{SS} + 0.25$		$V_{DD}$	$V_{SS} + 0.25$		$V_{DD}$	$V_{SS} + 0.25$		$V_{DD}$	$V_{SS} + 0.25$		$V_{DD}$	V
Output Resistance in Current Output Mode $V_{SS}$ to +1 V	1			1			1			1			MΩ
AUXDAC Monotonicity Guaranteed	10			10			10			10			Bits

# AD9114/AD9115/AD9116/AD9117

Parameter	AD9114			AD9115			AD9116			AD9117			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
REFERENCE OUTPUT													
Internal Reference Voltage	0.98	1.025	1.08	0.98	1.025	1.08	0.98	1.025	1.08	0.98	1.025	1.08	V
Output Resistance		10			10			10			10		k $\Omega$
REFERENCE INPUT													
Voltage Compliance	0.1		1.25	0.1		1.25	0.1		1.25	0.1		1.25	V
Input Resistance Ext Ref Mode		1			1			1			1		M $\Omega$
DAC MATCHING													
Gain Matching	-1		+1	-1		+1	-1		+1	-1		+1	% of FSR
ANALOG SUPPLY VOLTAGES													
AVDD	1.7		3.5	1.7		3.5	1.7		3.5	1.7		3.5	V
CVDD	1.7		3.5	1.7		3.5	1.7		3.5	1.7		3.5	V
DIGITAL SUPPLY VOLTAGES													
DVDD	1.7		3.5	1.7		3.5	1.7		3.5	1.7		3.5	V
DVDDIO	1.7		3.5	1.7		3.5	1.7		3.5	1.7		3.5	V
POWER CONSUMPTION @ 3.3 V													
$f_{DAC} = 125$ MSPS, $I_F = 12.5$ MHz		220			220			220			220		mW
$I_{AVDD}$		55			55			55			55		mA
$I_{DVDDIO}$		10			10			10			10		mA
$I_{CVDD}$		3			3			3			3		mA
Power-Down Mode with Clock		8.5			8.5			8.5			8.5		mW
Power-Down Mode No Clock		3			3			3			3		mW
Power Supply Rejection Ratio, AVDD = 3.3 V		-0.009			-0.009			-0.009			-0.009		% FSR/V
POWER CONSUMPTION @ 1.8 V													
$f_{DAC} = 125$ MSPS, $I_F = 12.5$ MHz		58			58			58			58		mW
$I_{AVDD}$		24			24			24			24		mA
$I_{DVDD}$		8			8			8			8		mA
$I_{CVDD}$		2			2			2			2		mA
Power-Down Mode with Clock		12			12			12			12		mW
Power-Down Mode No Clock		850			850			850			850		$\mu$ W
Power Supply Rejection Ratio, AVDD = 1.8 V		-0.007			-0.007			-0.007			-0.007		% FSR/V
OPERATING RANGE													
	-40	+25	+85	-40	+25	+85	-40	+25	+85	-40	+25	+85	$^{\circ}$ C

<sup>1</sup> 10 k $\Omega$  の外付け抵抗を使用。

## デジタル仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $DVDDIO = 3.3\text{ V}$ 、 $CVDD = 3.3\text{ V}$ 、 $I_{OUTFS} = 2\text{ mA}$ 、最大サンプル・レート。

表 2.

Parameter	Min	Typ	Max	Unit
DAC CLOCK INPUT (CLKIN)				
$V_{IH}$	2.1	3		mV
$V_{IL}$		0	0.9	mV
Maximum Clock Rate			125	MSPS
SERIAL PERIPHERAL INTERFACE				
Maximum Clock Rate (SCLK)		25		MHz
Minimum Pulse Width High		20		ns
Minimum Pulse Width Low		20		ns
INPUT DATA TIMING				
1.8 V Q-Channel or DCLKIO Falling Edge				
Setup		0.25		ns
Hold		1.2		ns
I-Channel or DCLKIO Rising Edge				
Setup		0.13		ns
Hold		1.1		ns
3.3 V Q-Channel or DCLKIO Falling Edge				
Setup		-0.2		ns
Hold		1.5		ns
I-Channel or DCLKIO Rising Edge				
Setup		-0.2		ns
Hold		1.6		ns
$V_{IH}$	2.1	3		V
$V_{IL}$		0	0.9	

## AC仕様

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $DVDDIO = 1.8\text{ V}$ 、 $CVDD = 3.3\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大サンプル・レート。

表 3.

Parameter	AD9114			AD9115			AD9116			AD9117			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SPURIOUS FREE DYNAMIC RANGE (SFDR) 3.3 V													
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 10\text{ MHz}$		76			85			85			85		dBc
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 50\text{ MHz}$		55			55			55			55		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)													
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 10\text{ MHz}$		81			81			81			82		dBc
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 50\text{ MHz}$		60			60			60			61		dBc
NOISE SPECTRAL DENSITY (NSD) EIGHT-TONE, 500 kHz TONE SPACING													
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 10\text{ MHz}$		-132			-143			-153			-157		dBc/Hz
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 50\text{ MHz}$		-128			-138			-146			-149		dBc/Hz
W-CDMA ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER													
$f_{DAC} = 61.44\text{ MSPS}$ , $f_{OUT} = 20\text{ MHz}$		-78			-78			-78			-78		dBc
$f_{DAC} = 122.88\text{ MSPS}$ , $f_{OUT} = 30\text{ MHz}$		-80			-80			-80			-80		dBc

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 1.8\text{ V}$ 、 $DVDD = 1.8\text{ V}$ 、 $DVDDIO = 1.8\text{ V}$ 、 $CVDD = 3.3\text{ V}$ 、 $I_{OUTFS} = 8\text{ mA}$ 、最大サンプル・レート。

表 4.

Parameter	AD9114			AD9115			AD9116			AD9117			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SPURIOUS FREE DYNAMIC RANGE (SFDR) 3.3 V													
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 10\text{ MHz}$		73			76			76			76		dBc
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 50\text{ MHz}$		48			48			48			48		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)													
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 10\text{ MHz}$		76			76			76			76		dBc
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 50\text{ MHz}$		50			50			50			50		dBc
NOISE SPECTRAL DENSITY (NSD) EIGHT-TONE, 500 kHz TONE SPACING													
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 10\text{ MHz}$		-125			-136			-146			-150		dBc/Hz
$f_{DAC} = 125\text{ MSPS}$ , $f_{OUT} = 50\text{ MHz}$		-117			-127			-135			-138		dBc/Hz
W-CDMA ADJACENT CHANNEL LEAKAGE RATIO (ACLR), SINGLE CARRIER													
$f_{DAC} = 61.44\text{ MSPS}$ , $f_{OUT} = 20\text{ MHz}$		-69			-69			-69			-69		dBc
$f_{DAC} = 122.88\text{ MSPS}$ , $f_{OUT} = 30\text{ MHz}$		-72			-72			-72			-72		dBc

## 絶対最大定格

表 5.

Parameter	Rating
AVDD, DVDDIO, CVDD to AVSS, DVSS, CVSS	-0.3 V to +3.9 V
DVDD to DVSS	-0.3 V to +2.1 V
AVSS to DVSS, CVSS	-0.3 V to +0.3 V
DVSS to AVSS, CVSS	-0.3 V to +0.3 V
CVSS to AVSS, DVSS	-0.3 V to +0.3 V
VREF, FSADJQ, FSADJI, CMLQ, CMLI to AVSS	-0.3 V to AVDD + 0.3 V
QOUTP, QOUTN, IOUTP, IOUTN, RLQP, RLQN, RLIP, RLIN to AVSS	-1.0 V to AVDD + 0.3 V
D13 to D0, $\overline{\text{CS}}$ , SCLK, SDIO, SDO, RESET to DVSS	-0.3 V to DVDD + 0.3 V
CLKIN to CVSS	-0.3 V to CVDD + 0.3 V
$\overline{\text{CS}}$ , SCLK, SDIO, SDO to DVSS	-0.3 V to DVDD + 0.3 V
Junction Temperature	125°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

表 6.

Package Type	$\theta_{JA}$	Unit
40-Lead LFCSP (With No Airflow Movement)	29.8	°C/W

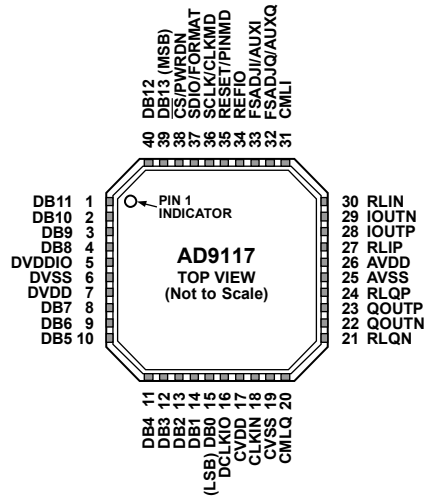
## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



ピン配置およびピン機能説明



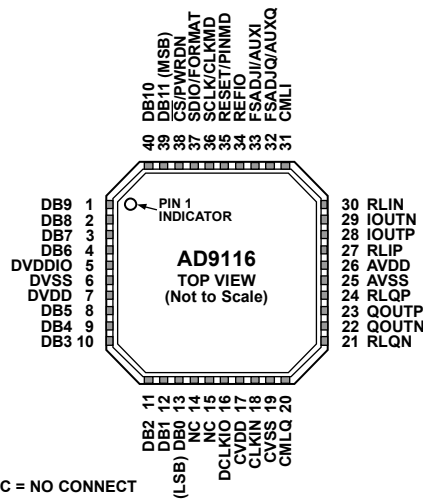
NOTES  
 1. THE HEAT SINK PAD IS CONNECTED TO AVSS AND MUST BE SOLDERED TO THE GROUND PLANE. EXPOSED METAL AT PACKAGE CORNERS IS CONNECTED TO THIS PAD.

図 2.AD9117 のピン配置

表 7.AD9117 のピン機能説明

ピン番号	記号	説明
1~4	DB[11:8]	デジタル入力。
5	DVDDIO	デジタル I/O 電源電圧(公称 1.8 V~3.3 V)。
6	DVSS	デジタル・コモン。
7	DVDD	デジタル・コア電源電圧(1.8 V)。
8~14	DB[7:1]	デジタル入力。
15	DB0 (LSB)	デジタル入力(LSB)。
16	DCLKIO	データ入力/出カクロック。データの入力に使うクロック。
17	CVDD	サンプリング・クロックの電源電圧(1.8 V~3.3 V)。CVDD ≥ DVDD。
18	CLKIN	LVC MOS サンプリング・クロック入力。
19	CVSS	サンプリング・クロック電源電圧のコモン。
20	CMLQ	Q DAC 出力同相モード・レベル。
21	RLQN	負荷抵抗(62.5 Ω)、CMLQ ピンとの間に接続。
22	QOUTN	Q DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
23	QOUTP	Q DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
24	RLQP	負荷抵抗(62.5 Ω)、CMLQ ピンとの間に接続。
25	AVSS	アナログ・コモン。
26	AVDD	アナログ電源電圧(1.8 V~3.3 V)。
27	RLIP	負荷抵抗(62.5 Ω)、CMLI ピンとの間に接続。
28	IOUTP	IDAC 相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
29	IOUTN	IDAC の電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
30	RLIN	負荷抵抗(62.5 Ω)、CMLI ピンとの間に接続。
31	CMLI	IDAC 出力同相モード・レベル。
32	FSADJQ/AUXQ	Q DAC のフル・スケール電流出力調整。抵抗を介して AVSS へ接続。 内蔵 R <sub>SET</sub> のイネーブル時は Q DAC 補助出力。
33	FSADJI/AUXI	IDAC のフル・スケール電流出力調整。抵抗を介して AVSS へ接続。 内蔵 R <sub>SET</sub> のイネーブル時は IDAC 補助出力。
34	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧モードのとき 1.0 V のリファレンス電圧を出力(AVSS との間に 0.1 μF のコンデンサが必要)。

ピン番号	記号	説明
35	RESET/PINMD	リセット。SPIモードで、RESETに正パルスを入力すると、SPIレジスタがデフォルト値にリセットされます。ピン・モード。ロジック1(固定)を入力すると、デバイスはピン・モードになります。
36	SCLK/CLKMD	SPIモードではシリアル・ポートのクロック入力。 クロック・モード。ピン・モードでは、CLKMDにより内部リタイミング・クロックの位相を指定。 DCLKIO = CLKIN: CLKMDを0レベルに固定。 DCLKIO ≠ CLKIN:内部リタイマーをCLKMDの0から1への立ち上がりエッジで起動(リタイマーのセクション参照)。
37	SDIO/FORMAT	SPIモードではシリアル・ポートの双方向データ・ライン。 データ・フォーマット。ピン・モードでは、FORMATにより、デジタル・データのデータ・フォーマットを指定。
38	$\overline{\text{CS}}$ /PWRDN	SPIモードでは、アクティブ・ローのチップ・セレクト。 パワーダウン。ピン・モードでは、PWRDNにより、デバイス(SPIポート以外)をパワーダウンさせます。
39	DB13 (MSB)	デジタル入力(MSB)。
40	DB12	デジタル入力。
	ヒート・シンク・パッド	ヒート・シンク・パッドはAVSSに接続して、グラウンド・プレーンへハンダ付けする必要があります。パッケージの角にある露出金属がこのパッドに接続されます。



NC = NO CONNECT

**NOTES**  
 1. THE HEAT SINK PAD IS CONNECTED TO AVSS AND MUST BE SOLDERED TO THE GROUND PLANE. EXPOSED METAL AT PACKAGE CORNERS IS CONNECTED TO THIS PAD.

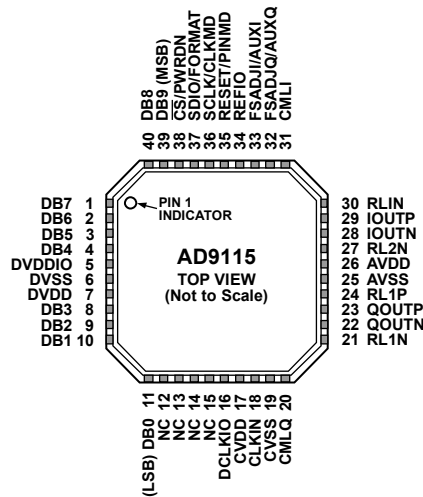
07466-003

図 3.AD9116 ピン配置

表 8.AD9116 ピン機能説明

ピン番号	記号	説明
1~4	DB[9:6]	デジタル入力。
5	DVDDIO	デジタル I/O 電源電圧(公称 1.8 V~3.3 V)。
6	DVSS	デジタル・コモン。
7	DVDD	デジタル・コア電源電圧(1.8 V~3.3 V)。
8~12	DB[5:1]	デジタル入力。
13	DB0 (LSB)	デジタル入力(LSB)。
14, 15	NC	未接続。これらのピンはチップに接続されていません。
16	DCLKIO	データ入力/出力クロック。データの入力に使うクロック。
17	CVDD	サンプリング・クロックの電源電圧(1.8 V~3.3 V)。CVDD ≥ DVDD。
18	CLKIN	LVC MOS サンプリング・クロック入力。
19	CVSS	サンプリング・クロック電源電圧のコモン。
20	CMLQ	Q DAC 出力同相モード・レベル。
21	RLQN	負荷抵抗(62.5 Ω)、CMLQ ピンとの間に接続。
22	QOUTN	Q DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
23	QOUTP	Q DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
24	RLQP	負荷抵抗(62.5 Ω)、CMLQ ピンとの間に接続。
25	AVSS	アナログ・コモン。
26	AVDD	アナログ電源電圧(1.8 V~3.3 V)。
27	RLIP	負荷抵抗(62.5 Ω)、CMLI ピンとの間に接続。
28	IOUTP	相補 1 DAC 電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
29	IOUTN	1 DAC の電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
30	RLIN	負荷抵抗(62.5 Ω)、CMLI ピンとの間に接続。
31	CMLI	1 DAC 出力同相モード・レベル。
32	FSADJQ/AUXQ	Q DAC のフル・スケール電流出力調整。抵抗を介して AVSS へ接続。 内蔵 R <sub>SET</sub> のイネーブル時は Q DAC 補助出力。
33	FSADJI/AUXI	1 DAC のフル・スケール電流出力調整。抵抗を介して AVSS へ接続。 内蔵 R <sub>SET</sub> のイネーブル時は 1 DAC 補助出力。
34	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧モードのとき 1.0 V のリファレンス電圧を出力(AVSS との間に 0.1 μF のコンデンサが必要)。
35	RESET/PINMD	リセット。SPI モードで、RESET に正パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。

ピン番号	記号	説明
36	SCLK/CLKMD	ピン・モード。ロジック 1(固定)を入力すると、デバイスはピン・モードになります。 SPI モードではシリアル・ポートのクロック入力。 クロック・モード。ピン・モードでは、CLKMD により内部リタイミング・クロックの位相を指定。 DCLKIO = CLKIN: 0 レベルに固定。 DCLKIO ≠ CLKIN:内部リタイマーを CLKMD の立ち上がりエッジで起動(リタイマーのセクション参照)。
37	SDIO/FORMAT	SPI モードではシリアル・ポートの双方向データ・ライン。
38	$\overline{\text{CS}}$ /PWRDN	データ・フォーマット。ピン・モードでは、FORMAT により、デジタル・データのデータ・フォーマットを指定。 SPI モードでは、アクティブ・ローのチップ・セレクト。 パワーダウン。ピン・モードでは、PWRDN により、デバイス(SPI ポート以外)をパワーダウンさせます。
39	DB11 (MSB)	デジタル入力(MSB)。
40	DB10	デジタル入力。
	ヒート・シンク・パッド	ヒート・シンク・パッドは AVSS に接続して、グラウンド・プレーンへハンダ付けする必要があります。パッケージの角にある露出金属がこのパッドに接続されます。



NC = NO CONNECT

**NOTES**

1. THE HEAT SINK PAD IS CONNECTED TO AVSS AND MUST BE SOLDERED TO THE GROUND PLANE. EXPOSED METAL AT PACKAGE CORNERS IS CONNECTED TO THIS PAD.

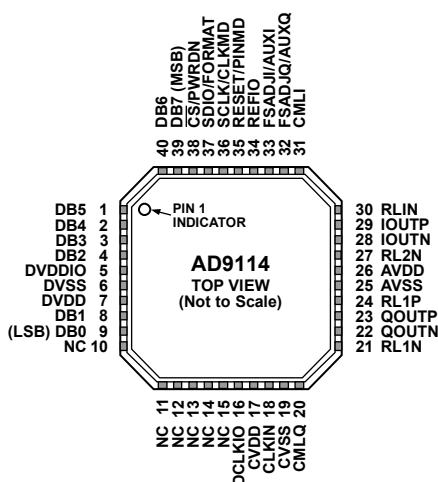
07466-004

図 4.AD9115 ピン配置

表 9.AD9115 ピン機能説明

ピン番号	記号	説明
1~4	DB[7:4]	デジタル入力。
5	DVDDIO	デジタル I/O 電源電圧(公称 1.8 V~3.3 V)。
6	DVSS	デジタル・コモン。
7	DVDD	デジタル・コア電源電圧(1.8 V~3.3 V)。
8~10	DB[3:1]	デジタル入力。
11	DB0 (LSB)	デジタル入力(LSB)。
12~15	NC	未接続。これらのピンはチップに接続されていません。
16	DCLKIO	データ入力/出力クロック。データの入力に使うクロック。
17	CVDD	サンプリング・クロックの電源電圧(1.8 V~3.3 V)。CVDD ≥ DVDD。
18	CLKIN	LVC MOS サンプリング・クロック入力。
19	CVSS	サンプリング・クロック電源電圧のコモン。
20	CMLQ	Q DAC 出力同相モード・レベル。
21	RLIN	負荷抵抗(62.5 Ω)、CMLQ ピンとの間に接続。
22	QOUTN	Q DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
23	QOUTP	Q DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
24	RLIP	負荷抵抗(62.5 Ω)、CMLQ ピンとの間に接続。
25	AVSS	アナログ・コモン。
26	AVDD	アナログ電源電圧(1.8 V~3.3 V)。
27	RL2N	負荷抵抗(62.5 Ω)、CMLI ピンとの間に接続。
28	IOUTN	I DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
29	IOUTP	I DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
30	RLIN	負荷抵抗(62.5 Ω)、CMLI ピンとの間に接続。
31	CMLI	I DAC 出力同相モード・レベル。
32	FSADJQ/AUXQ	Q DAC のフル・スケール電流出力調整。抵抗を介して AVSS へ接続。 内蔵 R <sub>SET</sub> のイネーブル時は Q DAC 補助出力。
33	FSADJI/AUXI	I DAC のフル・スケール電流出力調整。抵抗を介して AVSS へ接続。 内蔵 R <sub>SET</sub> のイネーブル時は I DAC 補助出力。
34	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧モードのとき 1.0 V のリファレンス電圧を出力(AVSS との間に 0.1 μF のコンデンサが必要)。
35	RESET/PINMD	リセット。SPI モードで、RESET に正パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。

ピン番号	記号	説明
36	SCLK/CLKMD	ピン・モード。ロジック 1(固定)を入力すると、デバイスはピン・モードになります。 SPI モードではシリアル・ポートのクロック入力。 クロック・モード。ピン・モードでは、CLKMD により内部リタイミング・クロックの位相を指定。 DCLKIO = CLKIN: 0 レベルに固定。 DCLKIO ≠ CLKIN:内部リタイマーを CLKMD の立ち上がりエッジで起動(リタイマーのセクション参照)。
37	SDIO/FORMAT	SPI モードではシリアル・ポートの双方向データ・ライン。 データ・フォーマット。ピン・モードでは、FORMAT により、デジタル・データのデータ・フォーマットを指定。
38	$\overline{\text{CS}}$ /PWRDN	SPI モードでは、アクティブ・ローのチップ・セレクト。 パワーダウン。ピン・モードでは、PWRDN により、デバイス(SPI ポート以外)をパワーダウンさせます。
39	DB9	デジタル入力(MSB)。
40	DB8	デジタル入力。
	ヒート・シンク・パッド	ヒート・シンク・パッドは AVSS に接続して、グラウンド・プレーンへハンダ付けする必要があります。パッケージの角にある露出金属がこのパッドに接続されます。



NC = NO CONNECT

**NOTES**

1. THE HEAT SINK PAD IS CONNECTED TO AVSS AND MUST BE SOLDERED TO THE GROUND PLANE. EXPOSED METAL AT PACKAGE CORNERS IS CONNECTED TO THIS PAD.

07466-005

図 5.AD9114 ピン配置

表 10.AD9114 ピン機能説明

ピン番号	記号	説明
1~4	DB[5:2]	デジタル入力。
5	DVDDIO	デジタル I/O 電源電圧(公称 1.8 V~3.3 V)。
6	DVSS	デジタル・コモン。
7	DVDD	デジタル・コア電源電圧(1.8 V~3.3 V)。
8	DB1	デジタル入力。
9	DB0 (LSB)	デジタル入力(LSB)。
10~15	NC	未接続。これらのピンはチップに接続されていません。
16	DCLKIO	データ入力/出力クロック。データの入力に使うクロック。
17	CVDD	サンプリング・クロックの電源電圧(1.8 V~3.3 V)。CVDD ≥ DVDD。
18	CLKIN	LVC MOS サンプリング・クロック入力。
19	CVSS	サンプリング・クロック電源電圧のコモン。
20	CMLQ	Q DAC 出力同相モード・レベル。
21	RLIN	負荷抵抗(62.5 Ω)、CMLQ ピンとの間に接続。
22	QOUTN	Q DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
23	QOUTP	Q DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
24	RL1P	負荷抵抗(62.5 Ω)、CMLQ ピンとの間に接続。
25	AVSS	アナログ・コモン。
26	AVDD	アナログ電源電圧(1.8 V~3.3 V)。
27	RL2N	負荷抵抗(62.5 Ω)、CMLI ピンとの間に接続。
28	IOUTN	I DAC の相補電流出力。すべてのデータ・ビットが 0 のとき、フル・スケール電流が流れます。
29	IOUTP	I DAC 電流出力。すべてのデータ・ビットが 1 のとき、フル・スケール電流が流れます。
30	RLIN	負荷抵抗(62.5 Ω)、CMLI ピンとの間に接続。
31	CMLI	I DAC 出力同相モード・レベル。
32	FSADJQ/AUXQ	Q DAC のフル・スケール電流出力調整。抵抗を介して AVSS へ接続。 内蔵 R <sub>SET</sub> のイネーブル時は Q DAC 補助出力。
33	FSADJI/AUXI	I DAC のフル・スケール電流出力調整。抵抗を介して AVSS へ接続。 内蔵 R <sub>SET</sub> のイネーブル時は I DAC 補助出力。
34	REFIO	リファレンス電圧入力/出力。内部リファレンス電圧のディスエーブル時は、リファレンス入力として機能。内部リファレンス電圧モードのとき 1.0 V のリファレンス電圧を出力(AVSS との間に 0.1 μF のコンデンサが必要)。
35	RESET/PINMD	リセット。SPI モードで、RESET に正パルスを入力すると、SPI レジスタがデフォルト値にリセットされます。 ピン・モード。ロジック 1(固定)を入力すると、デバイスはピン・モードになります。

ピン番号	記号	説明
36	SCLK/CLKMD	SPI モードではシリアル・ポートのクロック入力。 クロック・モード。ピン・モードでは、CLKMD により内部リタイミング・クロックの位相を指定。 DCLKIO = CLKIN: 0 レベルに固定。 DCLKIO ≠ CLKIN: 内部リタイマーを CLKMD の立ち上がりエッジで起動(リタイマーのセクション参照)。
37	SDIO/FORMAT	SPI モードではシリアル・ポートの双方向データ・ライン。 データ・フォーマット。ピン・モードでは、FORMAT により、デジタル・データのデータ・フォーマットを指定。
38	$\overline{\text{CS}}$ /PWRDN	SPI モードでは、アクティブ・ローのチップ・セレクト。 パワーダウン。ピン・モードでは、PWRDN により、デバイス(SPI ポート以外)をパワーダウンさせます。
39	DB7	デジタル入力(MSB)。
40	DB6	デジタル入力。
	ヒート・シンク・パッド	ヒート・シンク・パッドは AVSS に接続して、グラウンド・プレーンへハンダ付けする必要があります。パッケージの角にある露出金属がこのパッドに接続されます。



## 代表的な性能特性

特に指定がない限り、AVDD、DVDD、DVDDIO、CVDD = 1.8 V、 $I_{OUTFS} = 8$  mA、最大サンプル・レート(125 MSPS)。

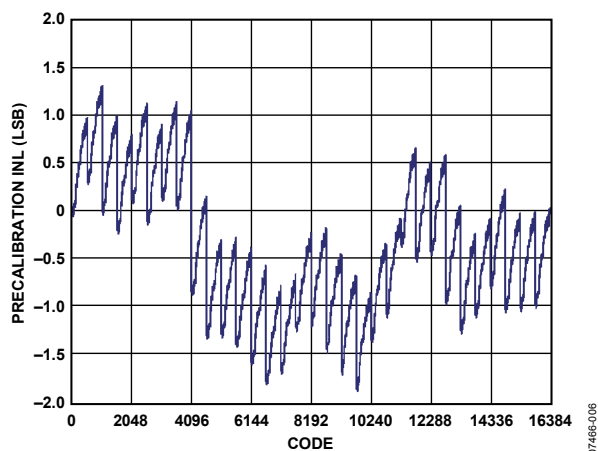


図 6.AD9117 の INL プリキャリブレーション、1.8 V、8 mA

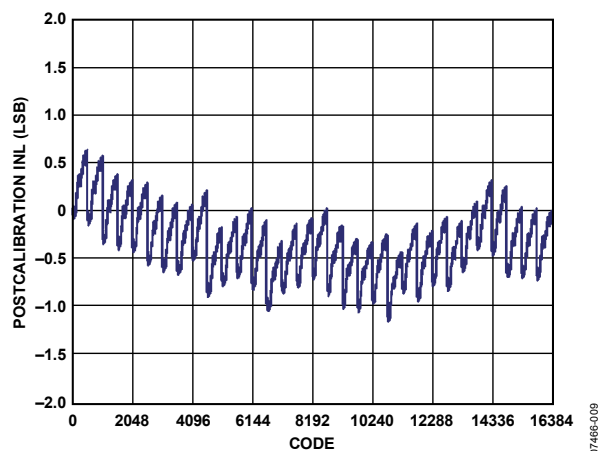


図 9.AD9117 の INL ポストキャリブレーション、1.8 V、8 mA

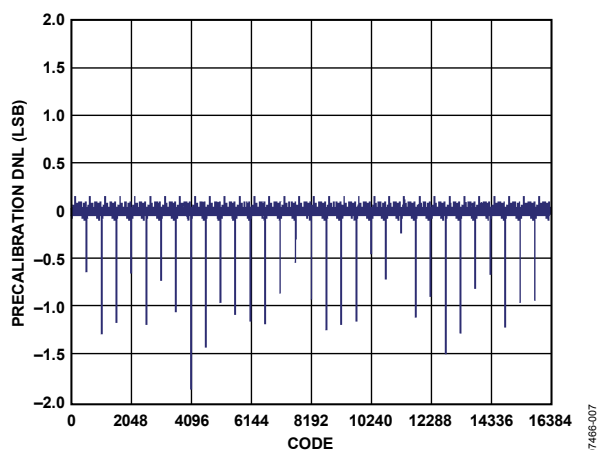


図 7.AD9117 の DNL プリキャリブレーション、1.8 V、8 mA

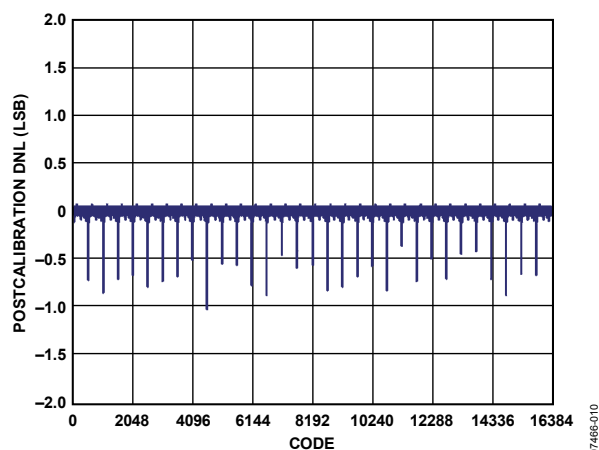


図 10.AD9117 の DNL ポストキャリブレーション、1.8 V、8 mA

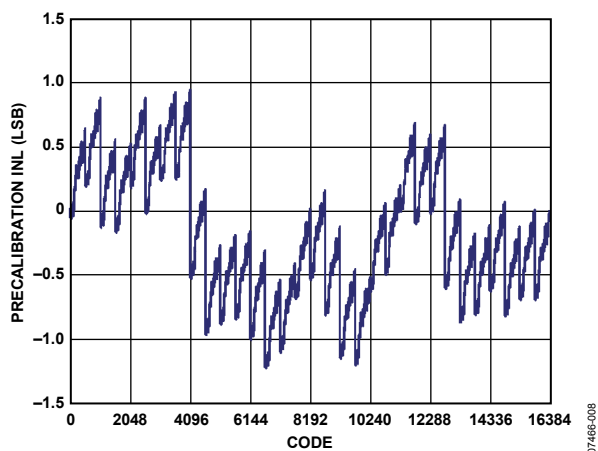


図 8.AD9117 の INL プリキャリブレーション、3.3 V、20 mA

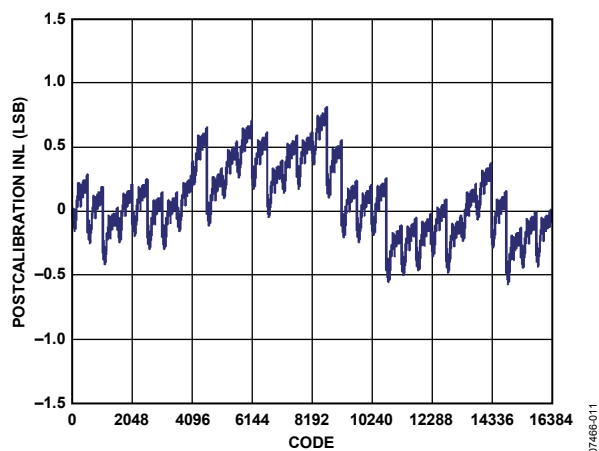


図 11.AD9117 の INL ポストキャリブレーション、3.3 V、20 mA

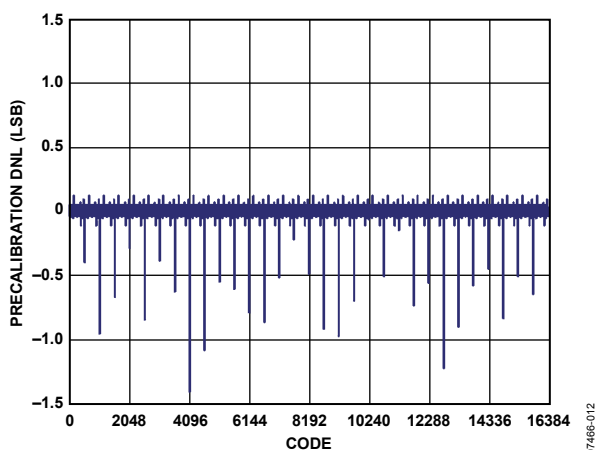


図 12. AD9117 の DNL プリキャリブレーション、3.3 V、20 mA

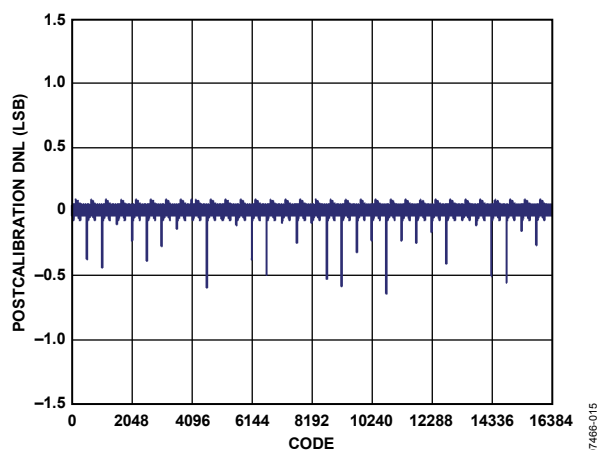


図 15. AD9117 の DNL ポストキャリブレーション、3.3 V、20 mA

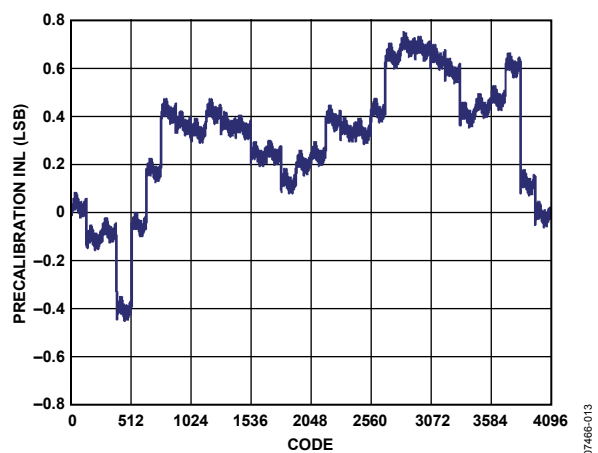


図 13. AD9116 の INL プリキャリブレーション、1.8 V、8 mA

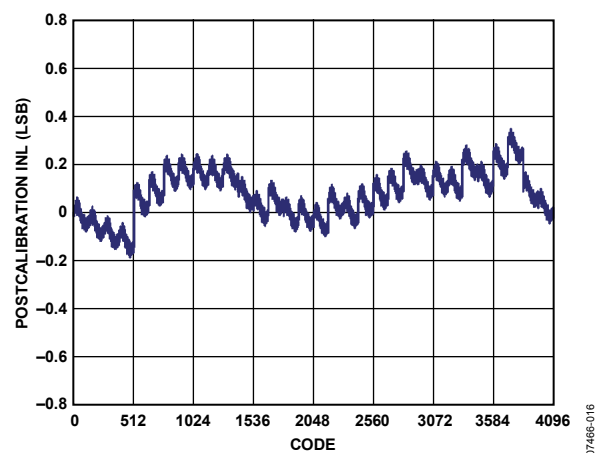


図 16. AD9116 の INL ポストキャリブレーション、1.8 V、8 mA

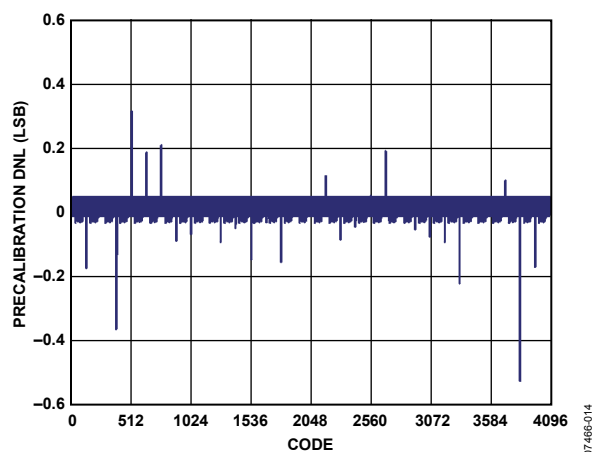


図 14. AD9116 の DNL プリキャリブレーション、1.8 V、8 mA

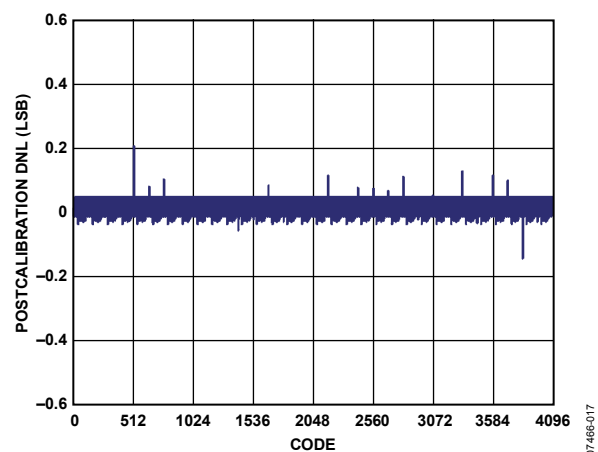
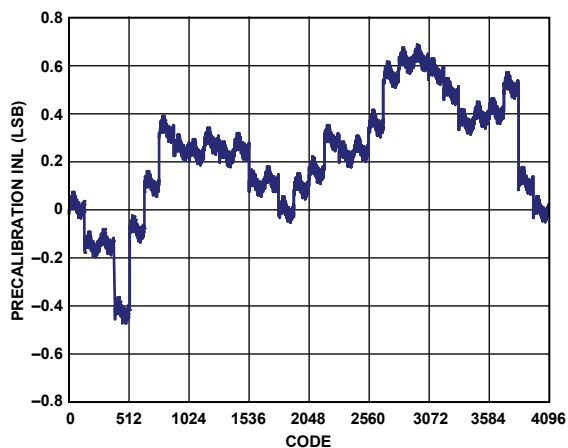
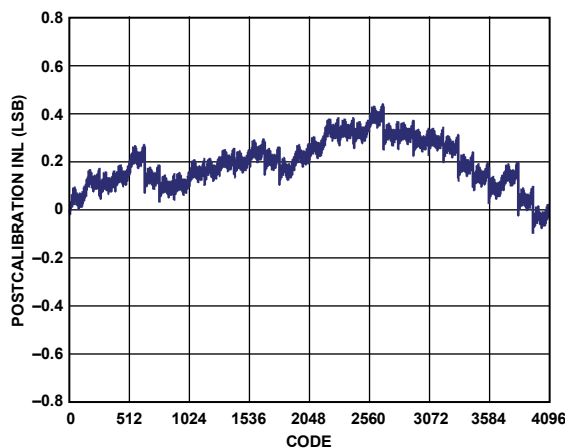


図 17. AD9116 の DNL ポストキャリブレーション、1.8 V、8 mA



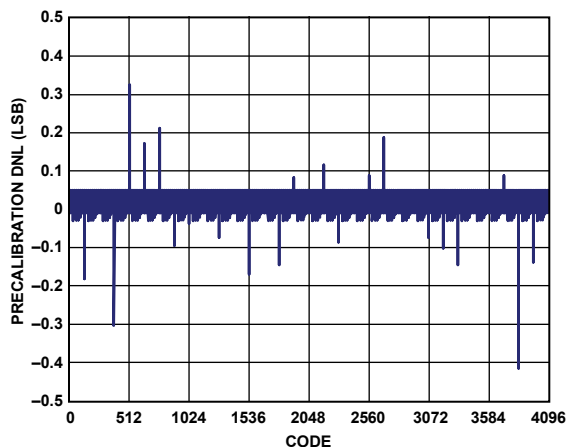
07466-018

図 18. AD9116 の INL プリキャリブレーション、3.3 V、20 mA



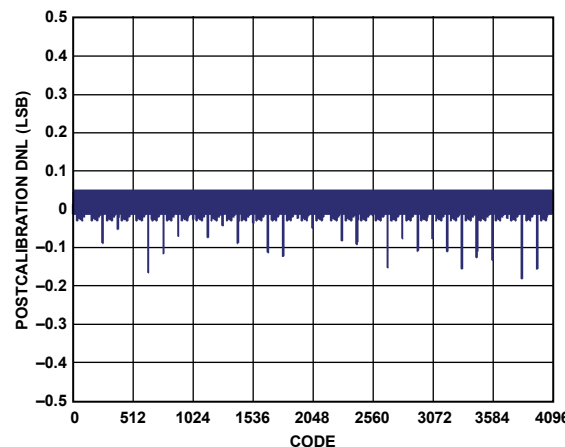
07466-021

図 21. AD9116 の INL ポストキャリブレーション、3.3 V、20 mA



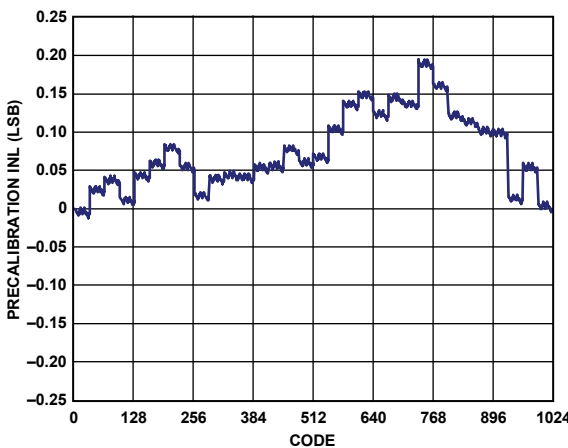
07466-019

図 19. AD9116 の DNL プリキャリブレーション、3.3 V、20 mA



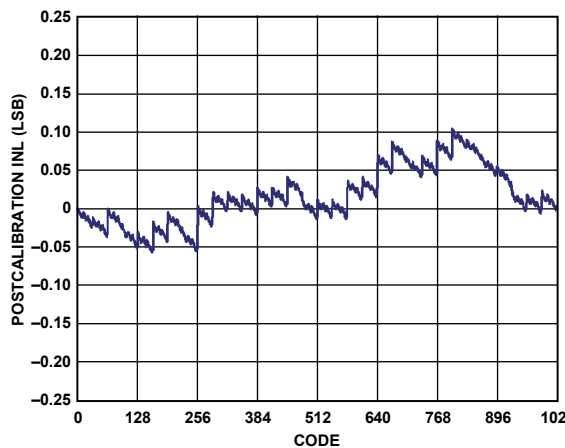
07466-022

図 22. AD9116 の DNL ポストキャリブレーション、3.3 V、20 mA



07466-020

図 20. AD9115 の INL プリキャリブレーション、1.8 V、8 mA



07466-023

図 23. AD9115 の INL ポストキャリブレーション、1.8 V、8 mA

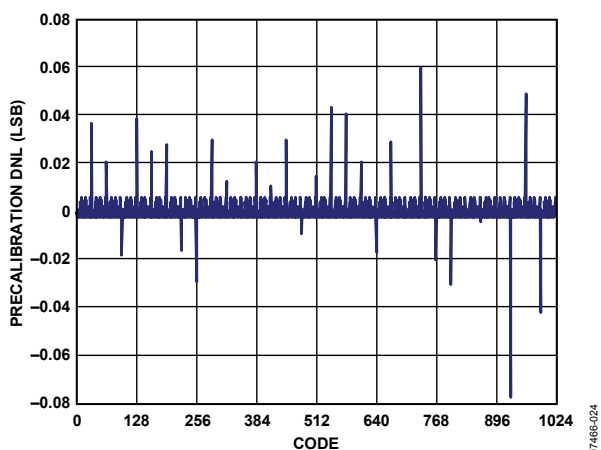


図 24. AD9115 の DNL プリキャリブレーション、1.8 V、8 mA

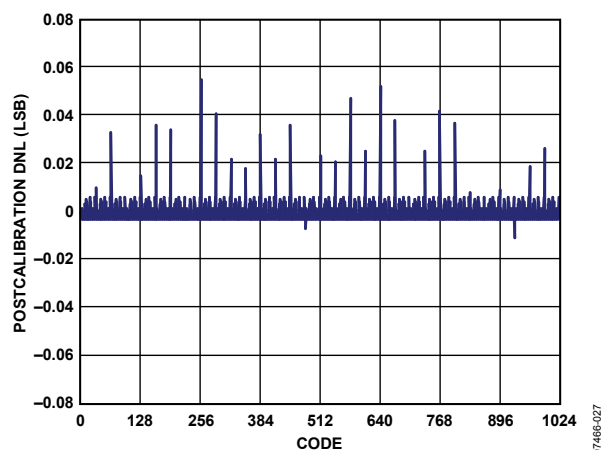


図 27. AD9115 の DNL ポストキャリブレーション、1.8 V、8 mA

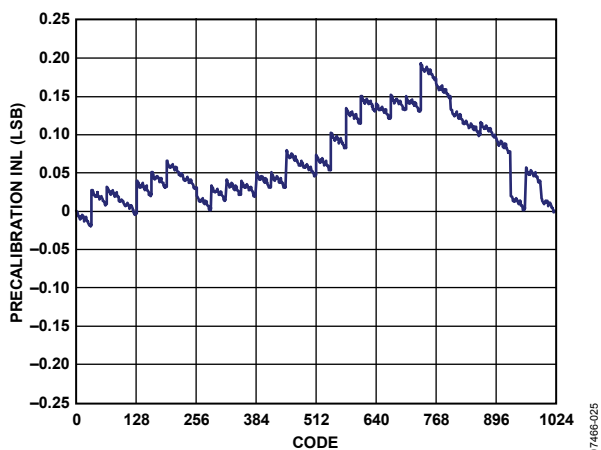


図 25. AD9115 の INL プリキャリブレーション、3.3 V、20 mA

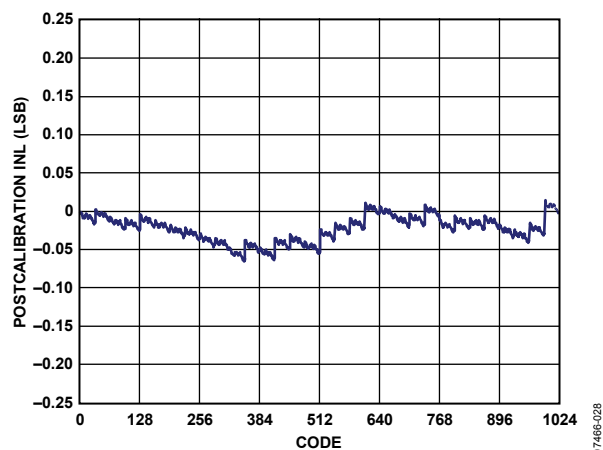


図 28. AD9115 の INL ポストキャリブレーション、3.3 V、20 mA

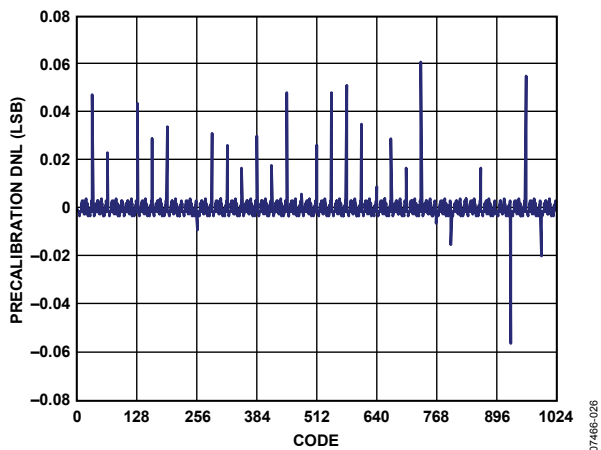


図 26. AD9115 の DNL プリキャリブレーション、3.3 V、20 mA

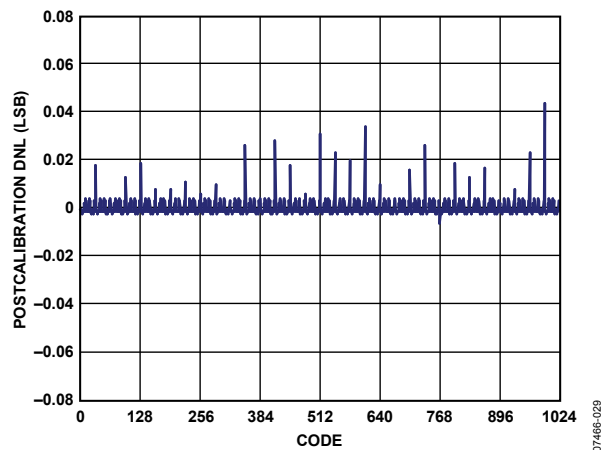
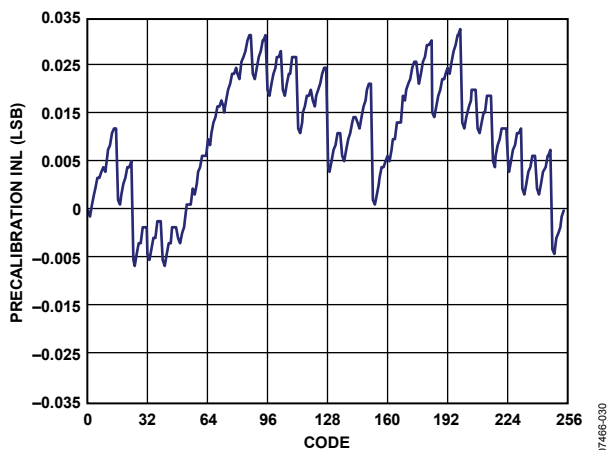
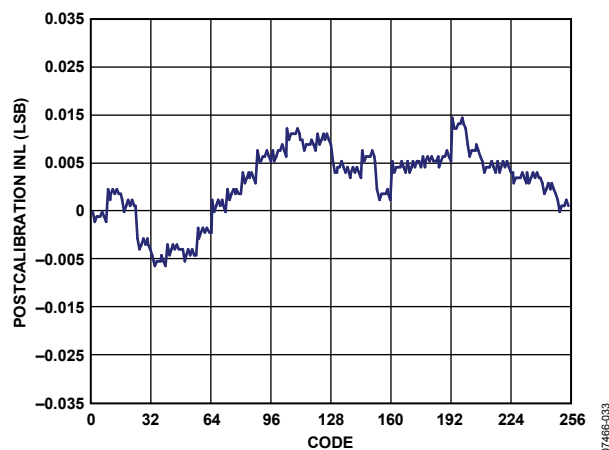


図 29. AD9115 の DNL ポストキャリブレーション、3.3 V、20 mA



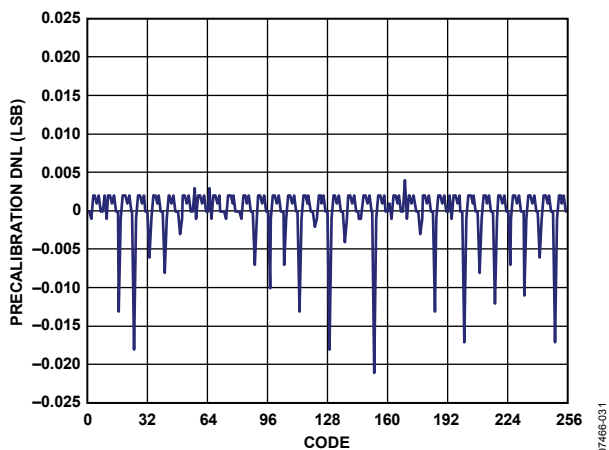
07466-030

図 30. AD9114 の INL プリキャリブレーション、1.8 V、8 mA



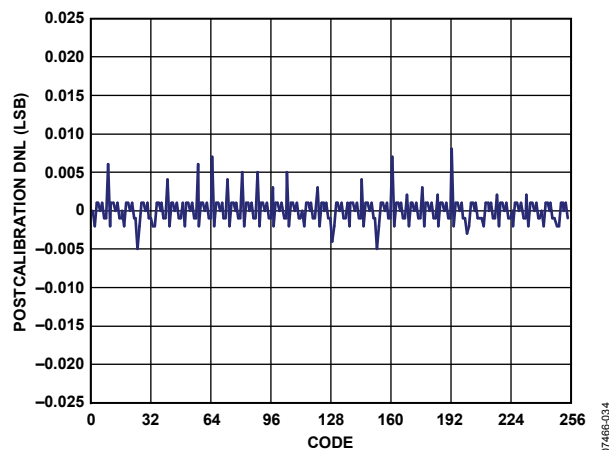
07466-033

図 33. AD9114 の INL ポストキャリブレーション、1.8 V、8 mA



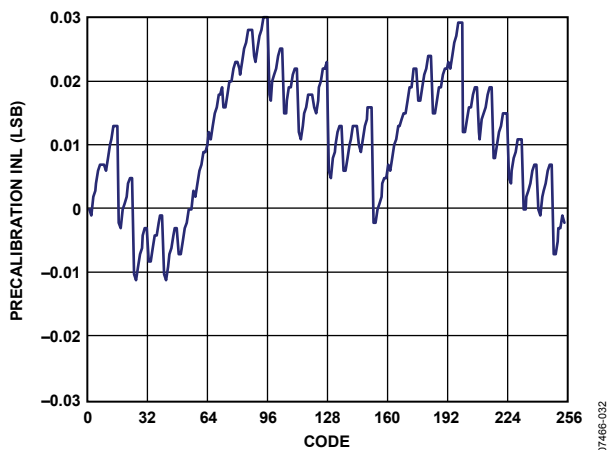
07466-031

図 31. AD9114 の DNL プリキャリブレーション、1.8 V、8 mA



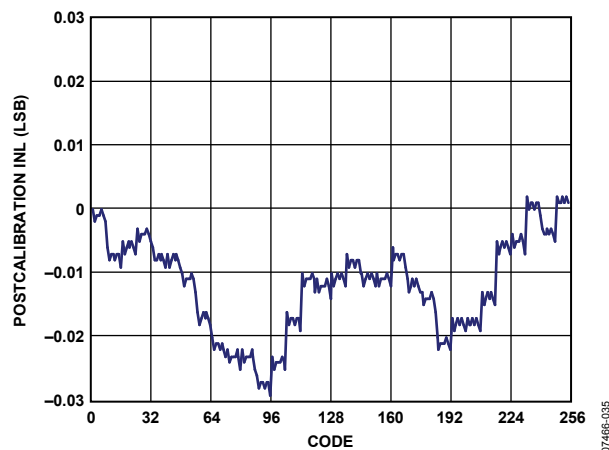
07466-034

図 34. AD9114 の DNL ポストキャリブレーション、1.8 V、8 mA



07466-032

図 32. AD9114 の INL プリキャリブレーション、3.3 V、20 mA



07466-035

図 35. AD9114 の INL ポストキャリブレーション、3.3 V、20 mA

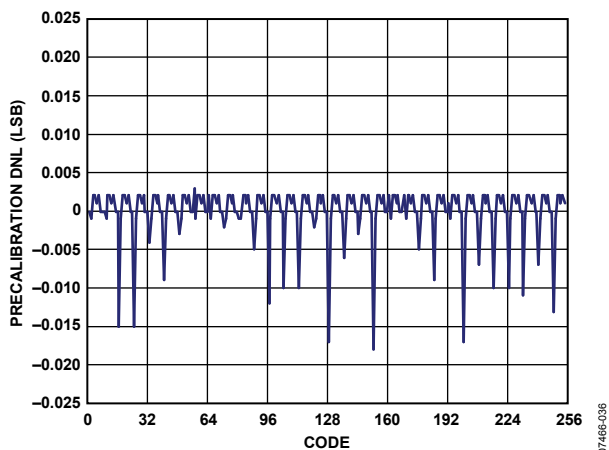


図 36. AD9114 の DNL プリキャリブレーション、3.3 V、20 mA

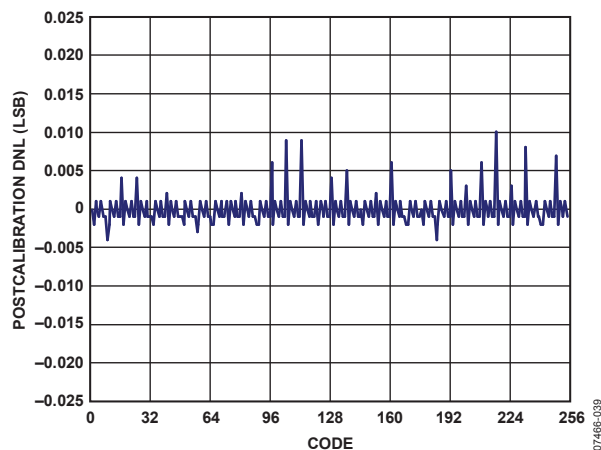


図 39. AD9114 の DNL ポストキャリブレーション、3.3 V、20 mA

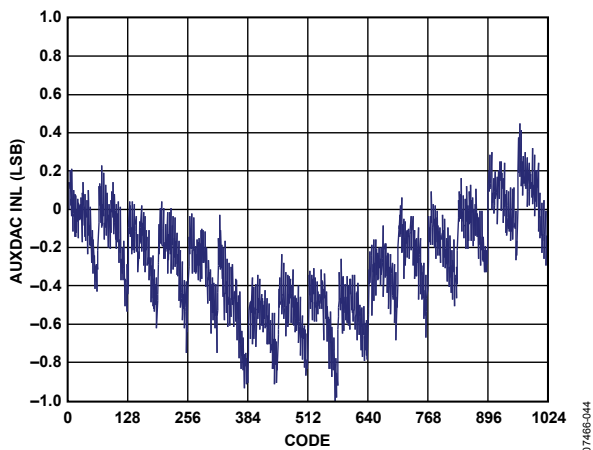


図 37. AUXDAC の INL

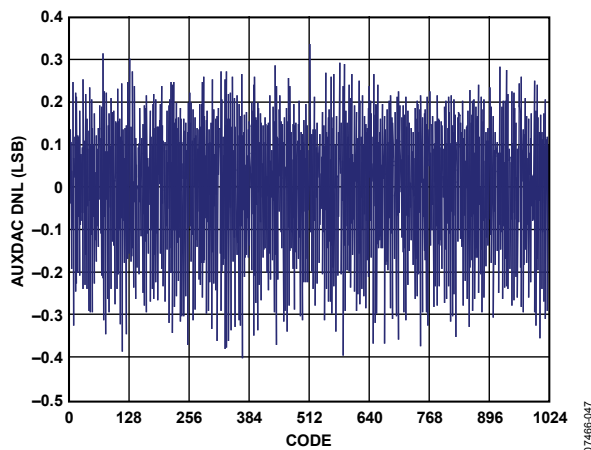


図 40. AUXDAC の DNL

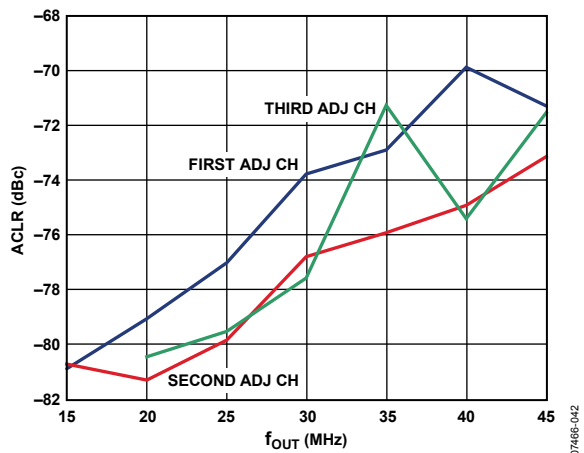


図 38. AD9117 の近接 ACLR、3.3 V、20 mA

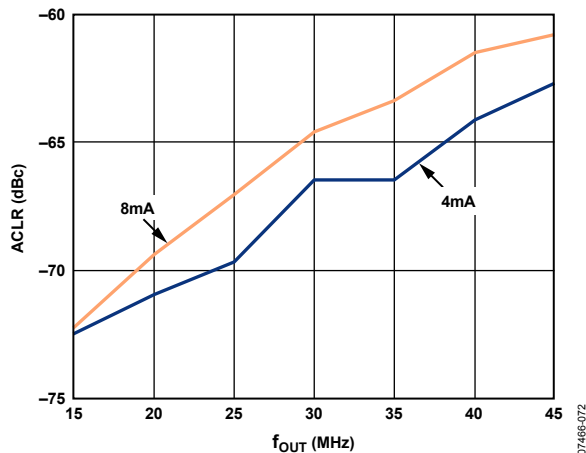


図 41. AD9117 の 1 キャリア W-CDMA 第 1 隣接チャンネル ACLR、1.8 V

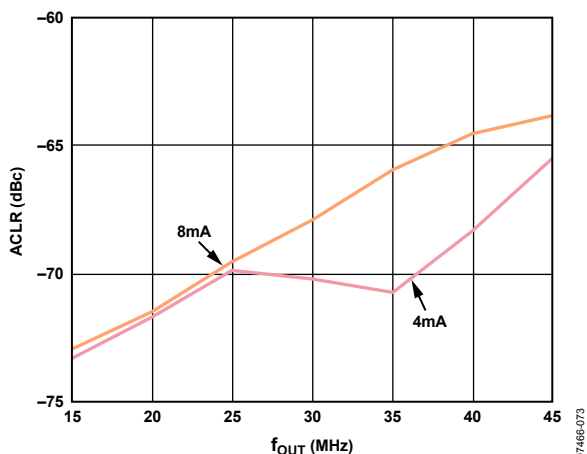


図 42. AD9117 の 1 キャリア W-CDMA 第 2 隣接チャンネル ACLR, 1.8 V

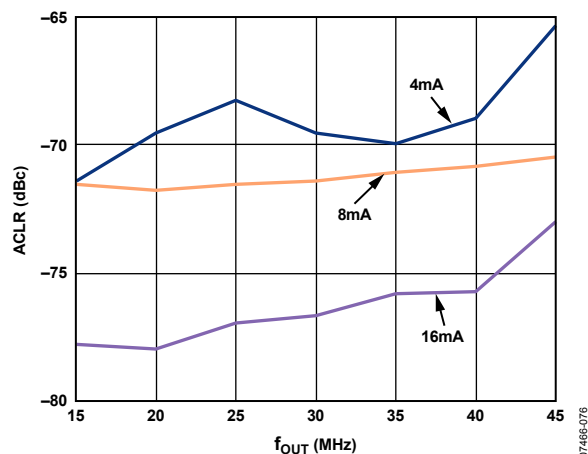


図 45. AD9117 の 1 キャリア W-CDMA 第 2 隣接チャンネル ACLR, 3.3 V

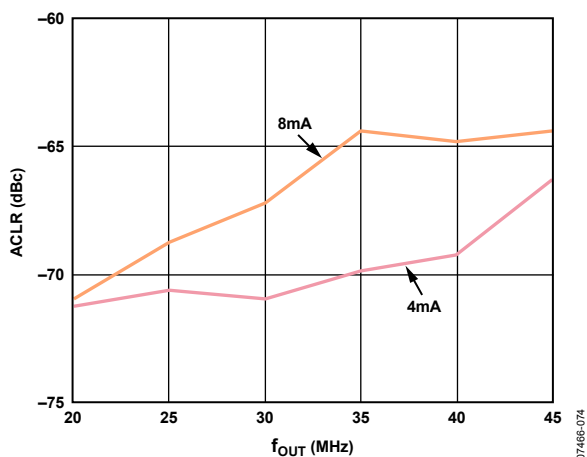


図 43. AD9117 の 1 キャリア W-CDMA 第 3 隣接チャンネル ACLR, 1.8 V

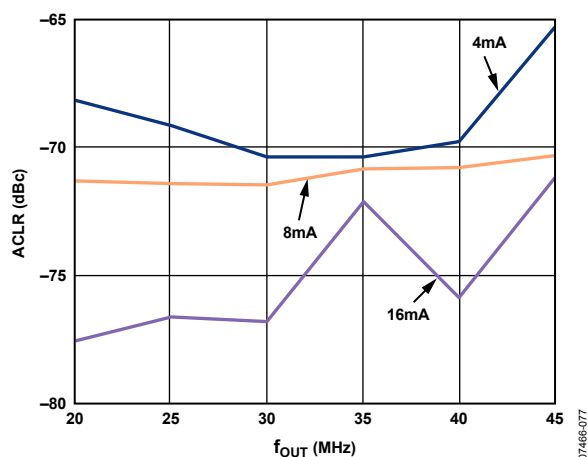


図 46. AD9117 の 1 キャリア W-CDMA 第 3 隣接チャンネル ACLR, 3.3 V

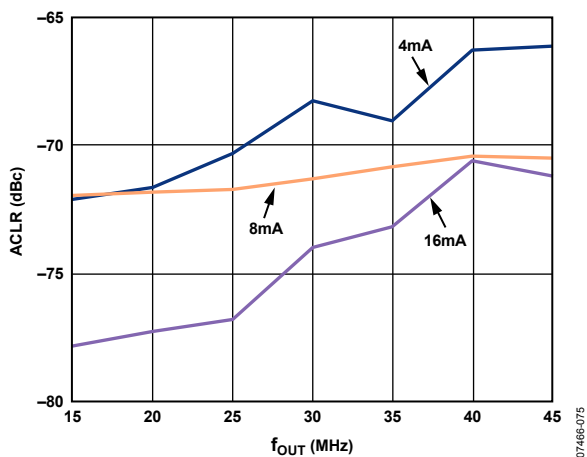


図 44. AD9117 の 1 キャリア W-CDMA 第 3 隣接チャンネル ACLR, 3.3 V

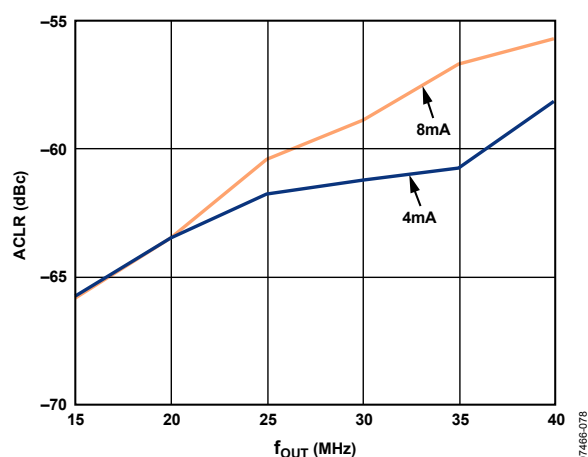


図 47. AD9117 の 2 キャリア W-CDMA 第 1 隣接チャンネル ACLR, 1.8 V

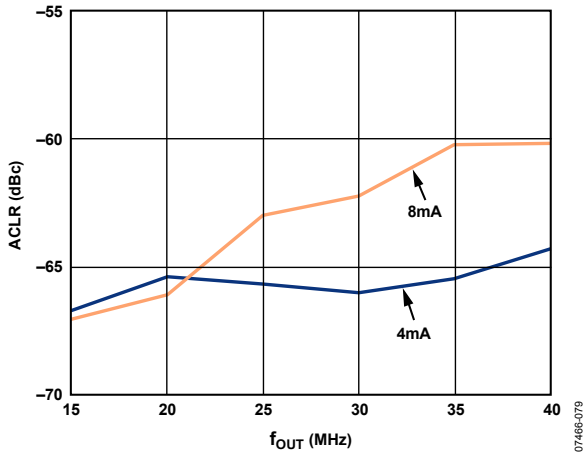


図 48. AD9117 の 2 キャリア W-CDMA 第 2 隣接チャンネル ACLR、1.8 V

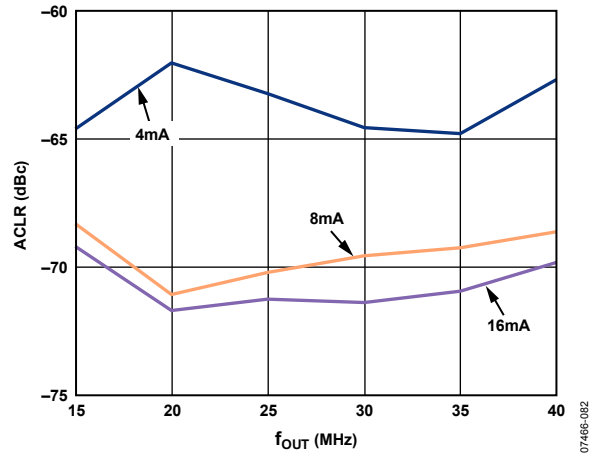


図 51. AD9117 の 2 キャリア W-CDMA 第 2 隣接チャンネル ACLR、3.3 V

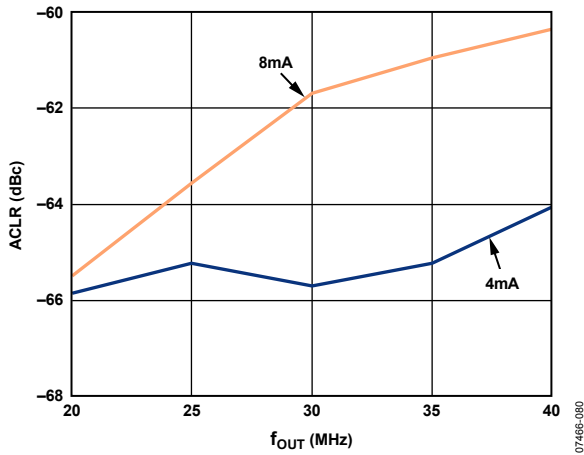


図 49. AD9117 の 2 キャリア W-CDMA 第 3 隣接チャンネル ACLR、1.8 V

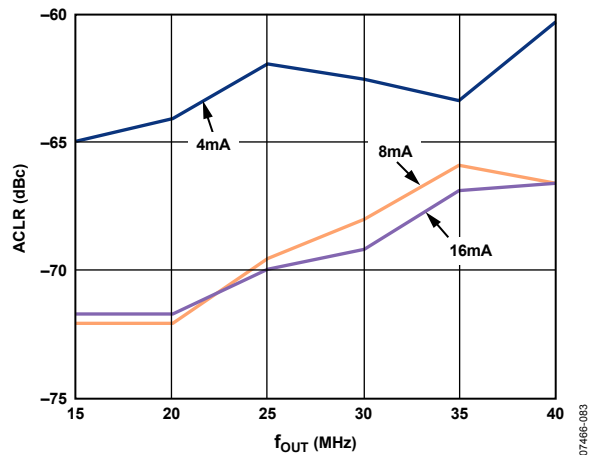


図 52. AD9117 の 2 キャリア W-CDMA 第 3 隣接チャンネル ACLR、3.3 V

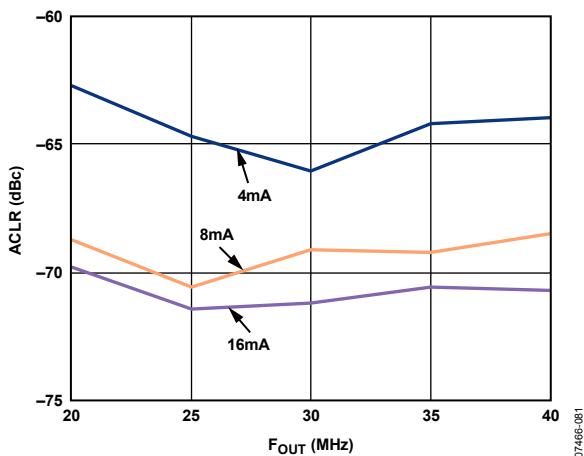


図 50. AD9117 の 2 キャリア W-CDMA 第 1 隣接チャンネル ACLR、3.3 V

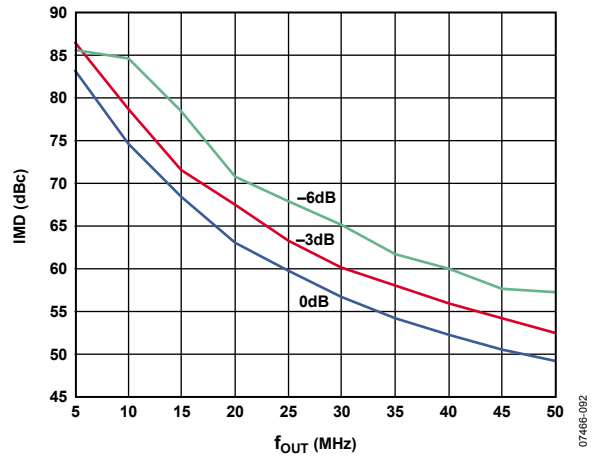


図 53. IMD、3 デジタル信号レベル、1.8 V



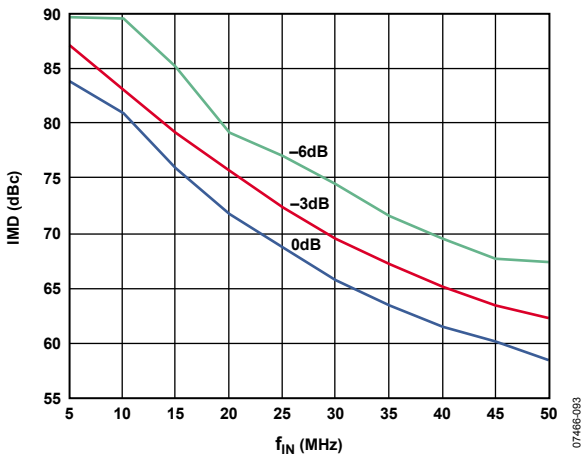


図 54. IMD、3 デジタル信号レベル、3.3 V

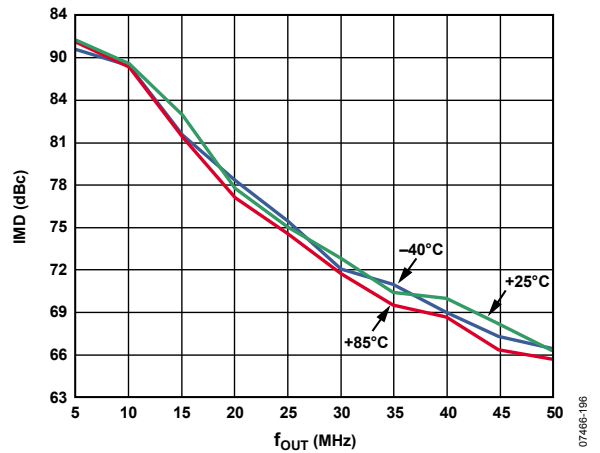


図 57. IMD の温度特性、8 mA、3.3 V

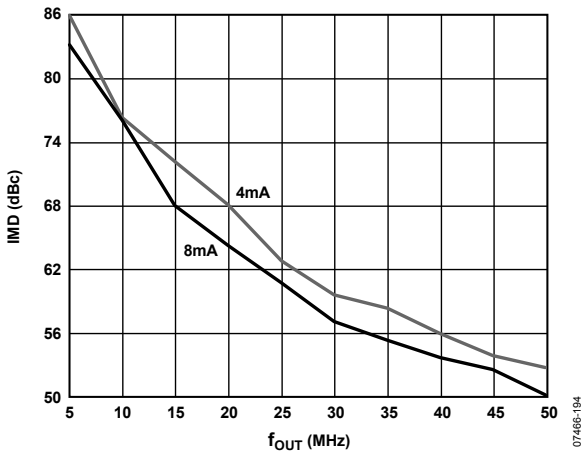


図 55. IMD、1.8 V

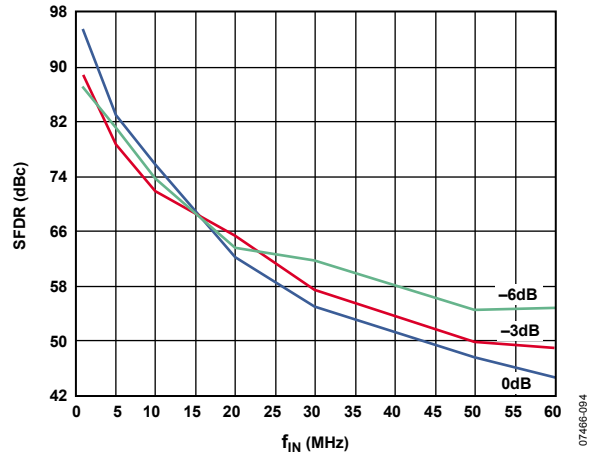


図 58. SFDR 対デジタル信号レベル、1.8 V

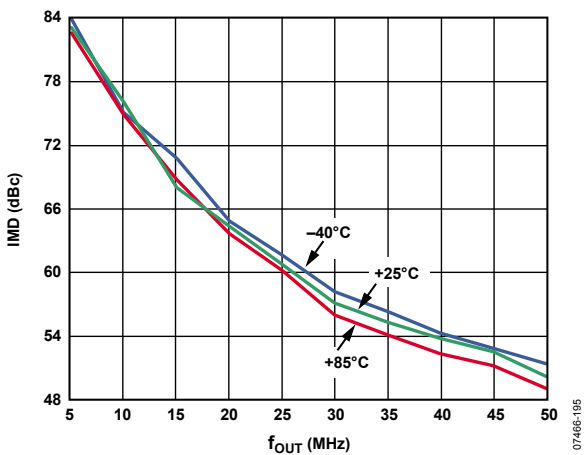


図 56. IMD の温度特性、8 mA、1.8 V

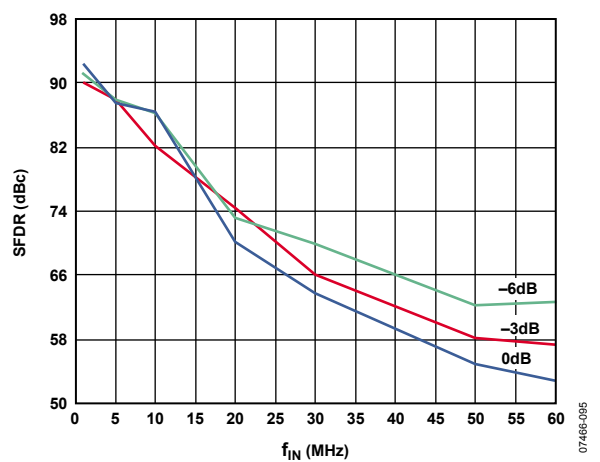


図 59. SFDR 対デジタル信号レベル、3.3 V

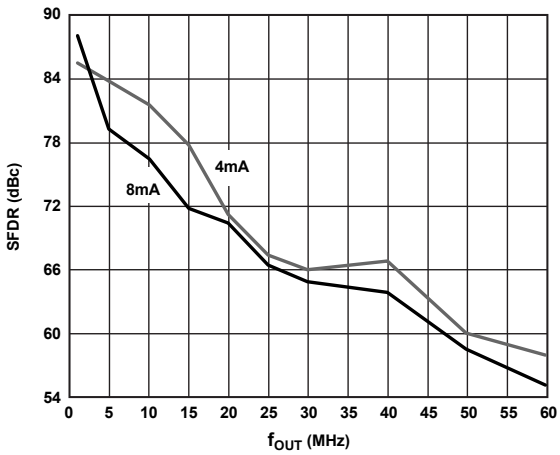


図 60.SFDR、1.8 V

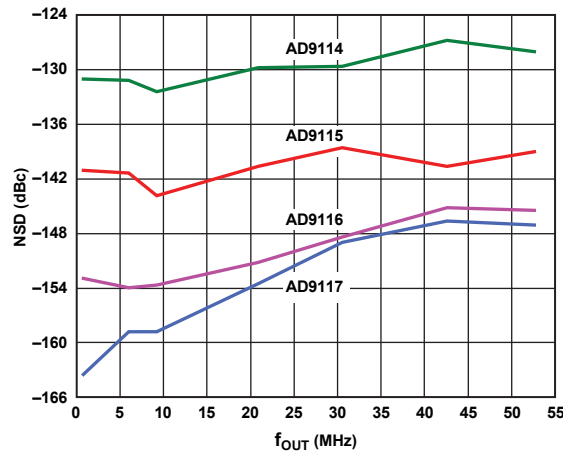


図 63.NSD、20 mA、3.3 V

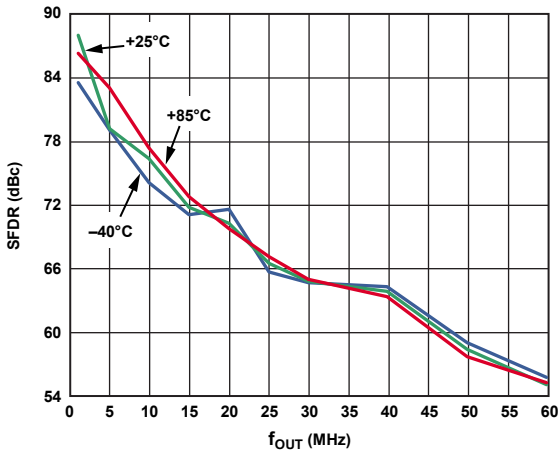


図 61.SFDR の温度特性、8 mA、1.8 V

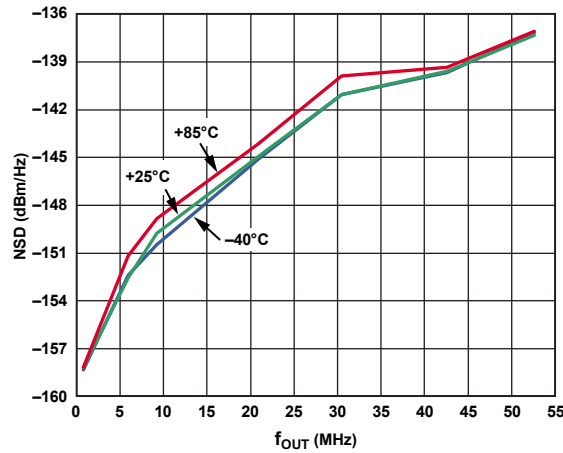


図 64.NSD、8 mA、1.8 V

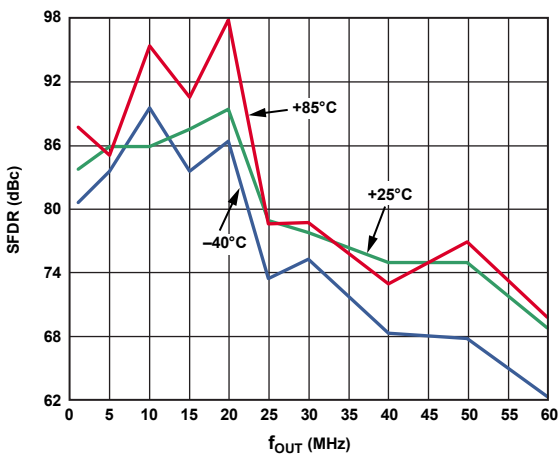


図 62.SFDR の温度特性、8 mA、3.3 V

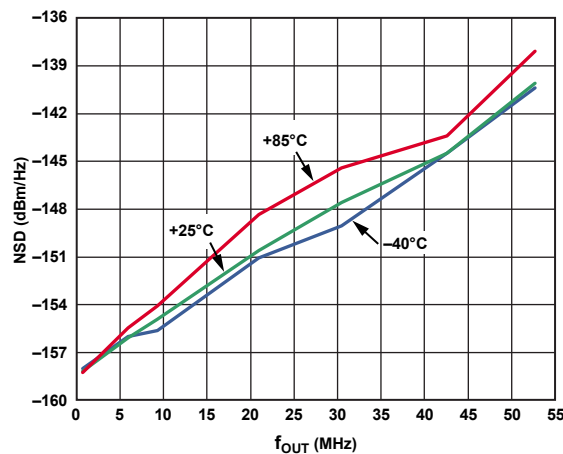
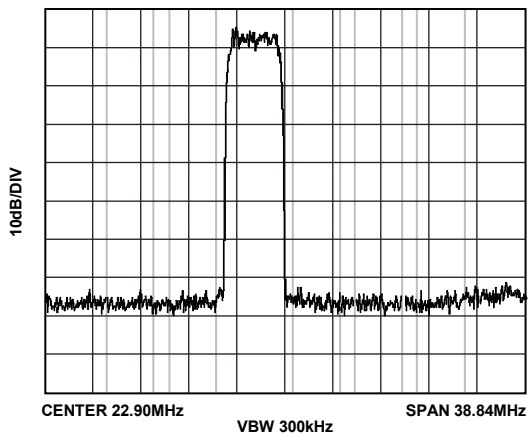
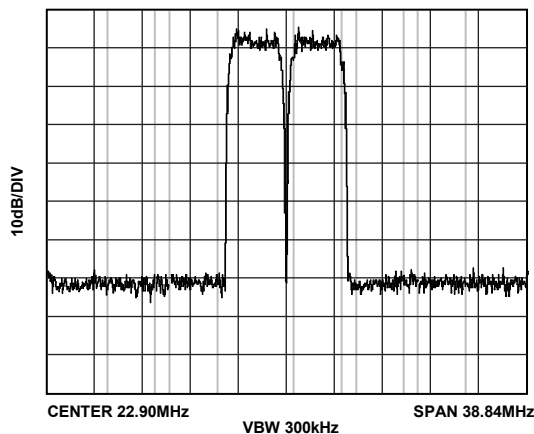


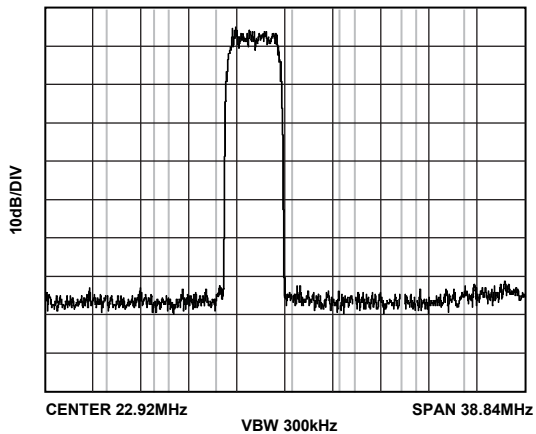
図 65.NSD at 8 mA、3.3 V



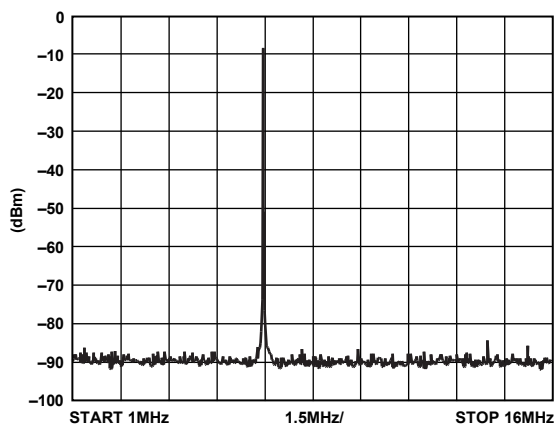
☒ 66.AD9117 ACLR の 1 キャリア、1.8 V



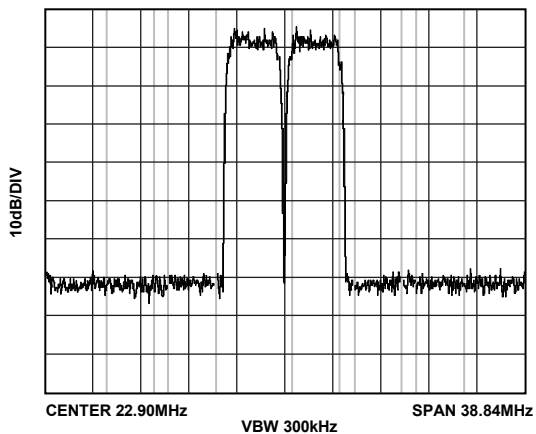
☒ 69.AD9117 ACLR の 2 キャリア、3.3 V



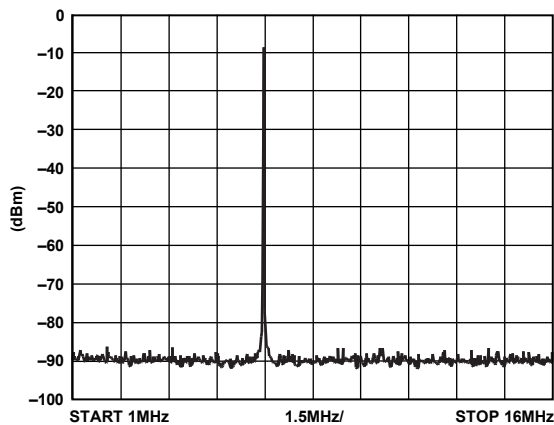
☒ 67.AD9117 ACLR の 1 キャリア、3.3 V



☒ 70.AD9117 シングルトーン、1.8 V



☒ 68.AD9117 ACLR の 2 キャリア、1.8 V



☒ 71.AD9117 シングルトーン、3.3 V

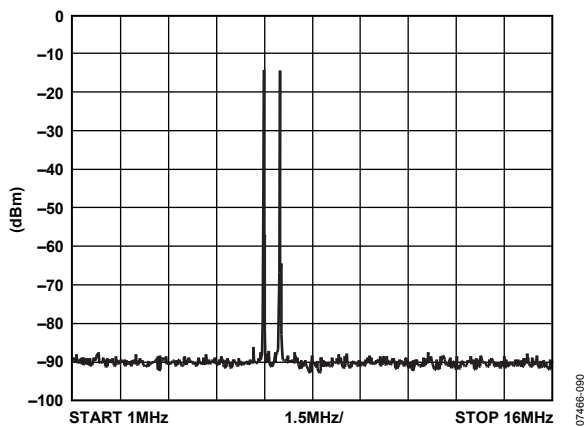


図 72.AD9117 ツートーン、1.8 V

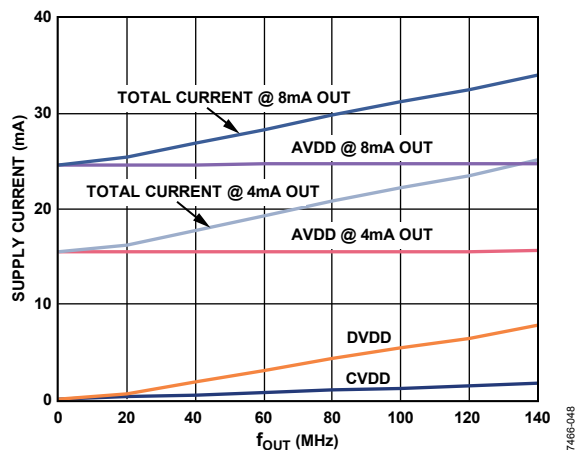


図 74.電源電流対  $f_{OUT}$

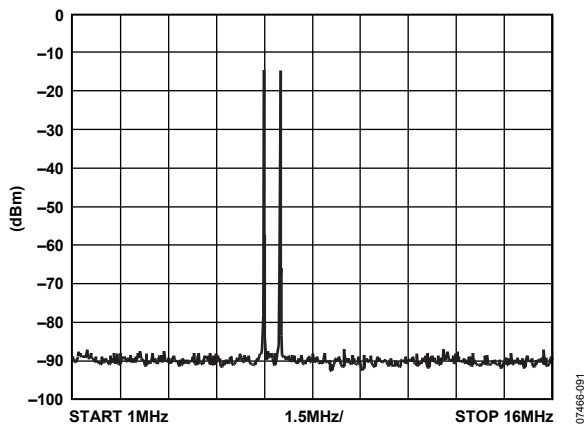


図 73.AD9117 ツートーン、3.3 V

## 用語

### 直線性誤差または積分非直線性(INL)

直線性誤差は、ゼロとフル・スケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

### 微分非直線性(DNL)

DNLは、デジタル入力コードでの1 LSBの変化に対応するアナログ値の変化の測定値で、フル・スケールで正規化したものです。

### 単調性

入力が増加したとき、出力が増加するか不変である場合に、DACは単調であるといえます。

### オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。全入力ビットが0の場合、 $I_{OUTA} = 0$  mAの出力が期待されます。全入力ビットが1の場合、 $I_{OUTN} = 0$  mAの出力が期待されます。

### ゲイン誤差

理論出力スパンと実際の出力スパンの差をいいます。実際の出力スパンは、全入力ビットが1に設定されたときの出力と全入力ビットが0に設定されたときの出力との差として定義されます。

### 出力コンプライアンス・レンジ

電流出力型DACの出力における許容電圧範囲。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性性能が発生することがあります。

### 温度ドリフト

温度ドリフトは、周囲温度(+25°C)時の値から $T_{MIN}$ または $T_{MAX}$ 時の値までの最大変化として規定されます。オフセット・ドリフトとゲイン・ドリフトの場合、ドリフトは1°C当たりのフル・スケール範囲(FSR)に対するppm値で表されます。リファレンスドリフトの場合は、ドリフトは1°C当たりのppm値で表されます。

### 電源除去比

電源が最小規定電圧値から最大規定電圧値へ変化したときのフル・スケール出力の最大変化を意味します。

### セトリング・タイム

出力が最終値の規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

### スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDRは、出力信号のピーク振幅値と、DCから入力データ・レートの1/2に等しい周波数までの範囲内でのピーク・スプリアス信号との差を意味し、dB値で表します。

### 総合高調波歪み(THD)

THDは、基本波測定値(rms値)と最初の6種類の高調波成分のrms値の和との比を意味します。パーセント値(%)またはデシベル値(dB)で表されます。

### SNR (信号対ノイズ比)

SNRは、測定した出力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から6次までの高調波成分を除いた分に対する比です。SNRは、デシベル値で表されます。

### 隣接チャンネル・リーク比(ACLR)

ACLRは、あるチャンネルと隣接チャンネルの間で測定したキャリア電力(dBc)間の比をdBcで表した値。

### 複素イメージ除去比

従来型両側波帯アップ・コンバージョンでは、2次IF周波数の周辺に2個のイメージが発生します。これらのイメージは、トランスミッタ電力とシステム帯域幅を浪費することになります。2番目の複素変調器の実数部を最初の複素変調器に直列に配置することにより、2次IF周辺の上側または下側の周波数イメージを除去することができます。

## 動作原理

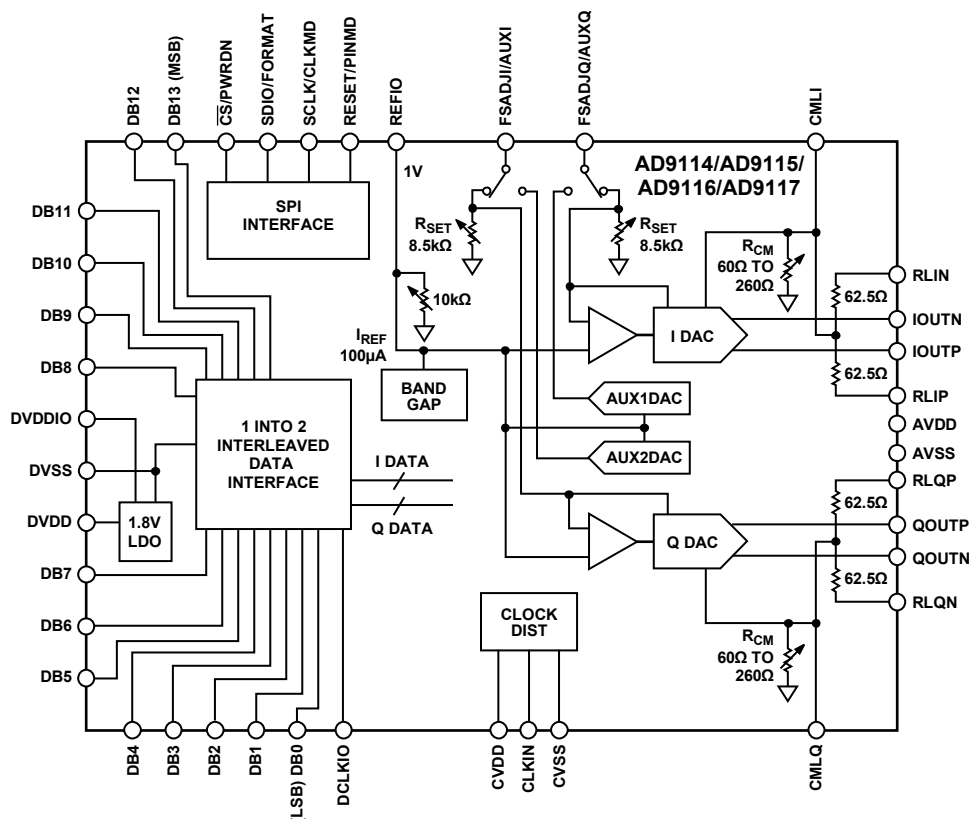


図 75 簡略化したブロック図

図 75 に、AD9114/AD9115/AD9116/AD9117 の簡略化したブロック図を示します。2 個のメイン DAC、デジタル制御ロジック、フル・スケール出力電流制御から構成されています。DAC は最大 20 mA の電流を供給できる PMOS 電流源アレイで構成されています。アレイは、上位 5 ビット (MSB) を構成する 31 個の等しい電流に分割されています。次の 4 ビットすなわち中位ビットは、15 個の等しい電流源 (値は MSB 電流源の 1/16) で構成されています。残りの LSB は、中位ビット電流源の 2 進小数値を構成しています。R-2R のラダー回路ではなく、電流源で下位ビットと中位ビットを構成しているため、多周波信号または低振幅信号のダイナミック性能が改善され、DAC の高出力インピーダンス (200 M $\Omega$  以上) の維持に役立っています。

これらのすべての電流源が PMOS 差動電流スイッチを経由して、2 つの出力ノード (I<sub>OUTA</sub> または I<sub>OUTB</sub>) のいずれかに接続されます。このスイッチは AD976x ファミリーで始めた使用されたアーキテクチャを採用しており、スイッチング過渡電圧で発生する歪みをさらに削減するように改善されています。この新しいスイッチ・アーキテクチャは種々のタイミング誤差を減少させ、差動電流スイッチの入力に対して一致した相補駆動信号を出力します。

AD9114/AD9115/AD9116/AD9117 のアナログ部とデジタル部は、1.7 V ~ 3.5 V の動作電圧範囲で動作可能な別々の電源入力 (AVDD と DVDD) を持っています。最大 125 MSPS のクロック・レートで動作可能なデジタル部は、エッジ・トリガー・ラッチとセグメント・デコーディング・ロジック回路で構成されています。アナログ部には、PMOS 電流源、対応する差動スイッチ、1.0 V のバンドギャップ・リファレンス電圧、リファレンス制御アンプが含まれています。

各 DAC のフル・スケール出力電流はリファレンス制御アンプによりレギュレーションされ、FSADJ ピンに接続される外部抵抗 R<sub>SET</sub> を使って 4 mA ~ 20 mA の範囲で設定することができます。

外部抵抗はリファレンス制御アンプとリファレンス電圧 V<sub>REFIO</sub> との組み合わせにより、基準電流 I<sub>REF</sub> を設定します。この基準電流は、適切なスケール・ファクタを使ってセグメント化電流源に設定されます。フル・スケール電流 I<sub>OUTFS</sub> は、I<sub>REF</sub> 値の 32 倍になります。

1.5 k $\Omega$  ~ 8.5 k $\Omega$  (4 mA ~ 20 mA I<sub>OUTFS</sub>) の公称値に設定できるオプションの内蔵 R<sub>SET</sub> 抵抗が用意されています。

AD9114/AD9115/AD9116/AD9117 には、出力同相モード・ピン (CMLI) を使って出力同相モードを ACOM 以外の値に設定できるオプションがあります。この機能を使うと、AD9114/AD9115/AD9116/AD9117 の出力を 0 V より高い同相モード・レベルを必要とする部品に直接インターフェースさせることができます。

## シリアル・ペリフェラル・インターフェース(SPI)

AD9114/AD9115/AD9116/AD9117 のシリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースが容易にできます。シリアル・ポートは、モトローラ社の SPI<sup>®</sup>プロトコルや Intel<sup>®</sup>社の SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。このインターフェースを使うと、AD9114/AD9115/AD9116/AD9117 の内部パラメータを設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。1 バイト転送または複数バイト転送、および MSB ファースト転送フォーマットまたは LSB ファースト転送フォーマットをサポートしています。AD9114/ AD9115/AD9116/AD9117 のシリアル・インターフェース・ポートは、SDIO ピンを使ったシングル I/O ピンとして構成されています。

### シリアル・インターフェースの全般的な動作

AD9114/ AD9115/AD9116/AD9117 の通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクルで、AD9114/AD9115/AD9116/AD9117 に対する命令バイトの書き込みであり、最初の 8 個の SCLK 立ち上がりエッジを使います。フェーズ 2 では、命令バイトから AD9114/AD9115/AD9116/AD9117 のシリアル・ポート・コントローラにデータ転送サイクルについての情報が提供されます。フェーズ 1 の命令ワードは、次のデータ転送の読み出し/書き込みの識別、データ転送内のバイト数、データ転送の先頭バイトに対する開始レジスタ・アドレスを指定します。各通信サイクルの最初の 8 個の SCLK 立ち上がりエッジは、命令バイトを AD9114/AD9115/AD9116/AD9117 へ書き込むのに使用されます。

ピン 35 (RESET/PINMD)にロジック 1 続いてロジック 0 を入力すると、SPI ポートのタイミングが命令サイクルの初期状態にリセットされます。この機能は、内部レジスタに指定された状態または SPI ポートへ入力された他の信号レベルに無関係に実行されます。SPI ポートが命令サイクルまたはデータ転送サイクルの実行中の場合、入力されたデータは書き込まれません。

残りの SCLK エッジが、通信サイクルのフェーズ 2 に該当します。フェーズ 2 では、AD9114/ AD9115/AD9116/AD9117 とシステム・コントローラとの間で実際にデータ転送が行われます。通信サイクルのフェーズ 2 では、命令バイトの指定に基づき 1、2、3 または 4 バイトのデータが転送されます。複数バイト転送の使用が望まれます。シングル・バイト・データ転送は、レジスタ・アクセスで 1 バイトのみ必要とする際に CPU オーバーヘッドを減らすのに有効です。レジスタは、各転送バイトの最終ビットを書き込むと、直ちに更新されます。

### 命令バイト

命令バイトは表 11 に示す情報から構成されています。

表 11

MSB				LSB			
DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R/W	N1	N0	A4	A3	A2	A1	A0

R/W (命令バイトのビット 7)は、命令バイトの書き込み後に、読み出しと書き込みのいずれのデータ転送が行われるかを指定します。ロジック 1 は読み出し動作を指定します。ロジック 0 は書き込み動作を指定します。N1 と N0 (命令バイトのビット 6 とビット 5)は、データ転送サイクルで転送されるバイト数を指定します。ビットのデコードを表 12 に示します。

表 12 バイト転送カウント

N1	N0	Description
0	0	Transfer 1 byte
0	1	Transfer 2 bytes
1	0	Transfer 3 bytes
1	1	Transfer 4 bytes

A4、A3、A2、A1、A0 (命令バイトのビット 4、ビット 3、ビット 2、ビット 1、ビット 0)は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。複数バイト転送の場合、このアドレスは開始バイト・アドレスになります。残りのレジスタ・アドレスは、LSBFIRST ビット(レジスタ 0x00、ビット 6)に基づいて AD9114/ AD9115/AD9116/AD9117 により発生されます。

### シリアル・インターフェース・ポート・ピンの説明

#### SCLK—シリアル・クロック

シリアル・クロック・ピンは、AD9114/AD9115/AD9116/AD9117 との間のデータ転送の同期と内部ステート・マシンの動作に使われます。SCLK の最大周波数は 20 MHz です。AD9114/AD9115/AD9116/AD9117 へ送信されるすべてのデータは、SCLK の立ち上がりエッジでサンプルされます。すべてのデータは、AD9114/ AD9115/AD9116/AD9117 から SCLK の立ち下がりエッジで出力されます。

#### CS—チップ・セレクト

アクティブ・ローを入力すると、通信サイクルが開始されます。この信号を使うと、複数のデバイスを同じシリアル・コミュニケーション・ライン上で動作させることができます。この入力が高いレベルのとき、SDIO/FORMAT ピンは高インピーダンス状態になります。チップ・セレクトは、通信サイクル中ロー・レベルを維持する必要があります。

#### SDIO—シリアル・データ I/O

SDIO ピンは、データを送受信する双方向データ・ラインとして使われます。

## MSB/LSB の転送

AD9114/AD9115/AD9116/AD9117 のシリアル・ポートでは、MSB ファーストまたは LSB ファーストの両データ・フォーマットをサポートすることができます。この機能は、LSBFIRST ビット(レジスタ 0x00、ビット 6)から制御されます。デフォルトは MSB ファーストです(LSBFIRST=0)。

LSBFIRST = 0 (MSB ファースト)の場合、命令とデータ・バイトは、MSB から LSB への順序で書き込む必要があります。MSB ファースト・フォーマットでの複数バイトのデータ転送は、上位データ・バイトのレジスタ・アドレスを含む命令バイトから開始されます。後続のデータ・バイトは、上位アドレスから下位アドレスの順で続く必要があります。MSB ファースト・モードでは、シリアル・ポートの内部アドレス・ジェネレータが、複数バイトの通信サイクルの各データ・バイトに対してデクリメントします。

LSBFIRST = 1 (LSB ファースト)の場合、命令とデータ・バイトは、LSB から MSB への順序で書き込む必要があります。LSB 先頭フォーマットでの複数バイトのデータ転送は、下位データ・バイトのレジスタ・アドレスを含む命令・バイトから開始され、複数のデータ・バイトがその後ろに続きます。シリアル・ポートの内部バイト・アドレス・ジェネレータが、複数バイトの通信サイクルの各バイトに対してインクリメントします。

AD9114/AD9115/ AD9116/AD9117 のシリアル・ポート・コントローラのデータ・アドレスは、MSB ファースト・モードがアクティブの場合、複数バイト I/O 動作に対して、書き込んだデータ・アドレスから 0x00 へ向かってデクリメントされます。LSB ファースト・モードがアクティブの場合、シリアル・ポート・コントローラ・アドレスは、複数バイト I/O 動作に対して、書き込んだアドレスから 0x1F に向かってインクリメントされます。

## シリアル・ポートの動作

AD9114/AD9115/AD9116/ AD9117 のシリアル・ポートの設定は、レジスタ 0x00 から制御されます。設定の変化は、レジスタの最終ビットを書き込むと直ちに発生することに注意してください。複数バイト転送の場合、通信サイクル中にこのレジスタに対する書き込みが発生します。実行中の通信サイクルの残りのバイトに対するこの新しい設定を補正するように注意する必要があります。

ソフトウェア・リセット RESET (レジスタ 0x00、ビット 5)を設定するときにも、同じ注意が必要です。すべてのレジスタはデフォルト値に設定されます。ただし、レジスタ 0x00 だけは変化しません。

予期しないデバイス動作を防止するためにシリアル・ポートの設定を変更するときは、シングル・バイト転送の使用またはソフトウェア・リセットの起動が推奨されます。

## ピン・モード

AD9114/AD9115/AD9116/AD9117 では、シリアル・ポートへの書き込みを行わない動作も可能です。RESET/PINMD (ピン 35)をハイ・レベルに固定すると、SCLK ピンが CLKMD になってクロック・モードを制御し(リタイマーのセクション参照)、SDIO ピンが FORMAT になって入力データ・フォーマットを選択し、前述のCSピンがデバイスのパワーダウン機能を持ちます。

その他の動作は表 14 に示すデフォルト・レジスタ値の指定通りであるため、FSADJI と FSADJQ の外付け抵抗は DAC 電流の設定に必要であり、両 DAC はアクティブになります。これは、便利なクイック・チェックアウト・モードにもなります。

ピン・モードで FSADJI/AUXI ピンと FASDJQ/AUXQ ピンに所望の固定抵抗を接続して電流を流すと、DAC 電流を外部から調節することができます。適切な直列抵抗をオペアンプ出力に使用することも 1 つの方法です。これは、抵抗値を変更するのと同じ効果を持ちます。短絡事故やノイズ変動を防止するために、最小 10 kΩ の抵抗を DAC の近くに直列に接続してください。REFIO ピンは、必要に応じて同様に±25%で調節することができます。



## SPIレジスタ・マップ

表 13.

Name	Addr	Default	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPI Control	0x00	0x00		LSBFIRST	RESET	LNGINS				
Power Down	0x01	0x40	LDOOFF	LDOSTAT	PWRDN	Q DACOFF	IDACOFF	QCLKOFF	ICLKOFF	EXTREF
Data Control	0x02	0x34	TWOS		IFIRST	IRISING	SIMULBIT	DCI_EN	DCOSGL	DCOBL
IDAC Gain	0x03	0x00			IDACGAIN[5:0]					
IRSET	0x04	0x00	IRSETEN		IRSET[5:0]					
IRCML	0x05	0x00	IRCMLLEN		IRCML[5:0]					
Q DAC Gain	0x06	0x00			Q DACGAIN[5:0]					
QRSET	0x07	0x00	QRSETEN		QRSET[5:0]					
QRCML	0x08	0x00	QRCMLLEN		QRCML[5:0]					
AUXDAC Q	0x09	0x00	QAUXDAC[7:0]							
AUX CTLQ	0x0A	0x00	QAUXEN	QAUXRNG[1:0]	QAUXOFS[2:0]				QAUXDAC[9:8]	
AUXDAC I	0x0B	0x00	IAUXDAC[7:0]							
AUX CTLI	0x0C	0x00	IAUXEN	IAUXRNG[1:0]	IAUXOFS[2:0]				IAUXDAC[9:8]	
Reference Resistor	0x0D	0x00			RREF[5:0]					
Cal Control	0x0E	0x00	PRELDQ	PRELDI	CALSELQ	CALSELI	CALCLK	DIVSEL[2:0]		
Cal Memory	0x0F	0x00	CALSTATQ	CALSTATI			CALMEMQ[1:0]		CALMEMI[1:0]	
Memory Address	0x10	0x00			MEMADDR[5:0]					
Memory Data	0x11	0x34			MEMDATA[5:0]					
Memory R/W	0x12	0x00	CALRSTQ	CALRSTI		CALEN	SMEMWR	SMEMRD	UNCALQ	UNCALI
CLKMODE	0x14	0x00	CLKMODEQ[1:0]				Searching	Reacquire	CLKMODEN	CLKMODEI[1:0]
Version	0x1F	N/A	VERSION[7:0]							

## SPIレジスタの説明

これらのレジスタを読み出すと、特に注記がない限り、すべての定義済みレジスタ・ビットに書き込まれている値が返されます。

表 14

Register	Address	Bit	Name	Function
SPI Control	0x00	6	LSBFIRST	0: MSB first per SPI standard 1: LSB first per SPI standard Note that the user must always change the LSB/MSB order in single-byte instructions to avoid erratic behavior due to bit order errors
		5	RESET	Execute software reset of SPI and controllers, reload default register values except Register 0x00 1: Set software reset; write 0 on the next (or any following) cycle to release the reset
		4	LNGINS	0: The SPI instruction word utilizes a 5-bit address 1: The SPI instruction word utilizes a 13-bit address
Power Down	0x01	7	LDOOFF	1: Turn core LDO voltage regulator off
		6	LDOSTAT	0: Indicates core LDO voltage regulator is off 1: Indicates core LDO voltage regulator is on
		5	PWRDN	1: Powers down all analog and digital circuitry except for SPI logic
		4	Q DACOFF	1: Turns off Q DAC output current
		3	I DACOFF	1: Turns off I DAC output current
		2	QCLKOFF	1: Turns off Q DAC clock
		1	ICLKOFF	1: Turns off I DAC clock
		0	EXTREF	1: Powers down internal voltage reference (external reference required)
Data Control	0x02	7	TWOS	0: Unsigned binary input data format 1: Twos complement input data format
		5	IFIRST	0: Pairing of data—Q first of pair on data input pads 1: Pairing of data—I first of pair on data input pads (default)
		4	IRISING	0: Q data latched on DCLKIO rising edge 1: I data latched on DCLKIO falling edge (default)
		3	SIMULBIT	0: Allows simultaneous input and output enable on DCLKIO 1: Disallows simultaneous input and output enable on DCLKIO
		2	DCI_EN	Controls the use of DCLKIO pad for data clock input 0: Data clock input disabled 1: Data clock input enabled (default)
		1	DCOSGL	Controls the use of DCLKIO pad for data clock output 0: Data clock output disabled 1: Data clock output enabled; regular strength driver
		0	DCODBL	Controls the use of DCLKIO pad for data clock output 0: DCOBL data clock output disabled 1: DCOBL data clock output enabled; paralleled with DCOSGL for 2× drive current
		I DAC Gain	0x03	5:0
IRSET	0x04	7	IRSETEN	1: Enables the on-chip R <sub>SET</sub> value to be changed
		5:0	IRSET[5:0]	Changes the value of the on-chip R <sub>SET</sub> resistor; this scales the full-scale current of the DAC in ~0.25 dB steps (nonlinear); see Figure 84 000000: R <sub>SET</sub> = 5 kΩ 100000: R <sub>SET</sub> = 1.5 kΩ 111111: R <sub>SET</sub> = 8.5 kΩ
IRCML	0x05	7	IRCMLLEN	1: Enables on-chip R <sub>CML</sub> adjustment
		5:0	IRCML[5:0]	Changes the value of the on-chip R <sub>CML</sub> resistor; this adjusts the common-mode level of the DAC output stage 000000: R <sub>SET</sub> = 60 Ω 100000: R <sub>SET</sub> = 160 Ω 111111: R <sub>SET</sub> = 260 Ω
Q DAC Gain	0x06	5:0	Q DACGAIN[5:0]	DAC Q fine gain adjustment; alters the full-scale current as shown in Figure 85
QRSET	0x07	7	QRSETEN	1: Enables on-chip R <sub>CML</sub> adjustment
		5:0	QRSET[5:0]	Changes the value of the on-chip R <sub>SET</sub> resistor; this scales the full-scale current of the DAC in ~0.25 dB steps (nonlinear), see Figure 84 000000: R <sub>SET</sub> = 5 kΩ 100000: R <sub>SET</sub> = 1.5 kΩ 111111: R <sub>SET</sub> = 8 kΩ
QRCML	0x08	7	QRCMLLEN	1: Enables on-chip R <sub>CML</sub> adjustment

# AD9114/AD9115/AD9116/AD9117

Register	Address	Bit	Name	Function
		5:0	QRCML[5:0]	Changes the value of the on-chip $R_{CML}$ resistor; this adjusts the common-mode level of the DAC output stage 000000: $R_{SET} = 60 \Omega$ 100000: $R_{SET} = 160 \Omega$ 111111: $R_{SET} = 1260 \Omega$
AUXDAC Q	0x09	7:0	QAUXDAC[7:0]	AUXDAC Q output voltage adjustment word LSBs 0x3FF: Sets AUXDAC Q output to full scale 0x200: Sets AUXDAC Q output to midscale 0x000: Sets AUXDAC Q output to bottom of scale
AUX CTLQ	0x0A	7 6:5  4:2  1:0	QAUXEN QAUXRNG[1:0]  QAUXOFS[2:0]  QAUXDAC[9:8]	1: Enables AUXDAC Q 00: Sets AUXDAC Q output voltage range to 2 V 01: Sets AUXDAC Q output voltage range to 1.5 V 10: Sets AUXDAC Q output voltage range to 1.0 V 11: Sets AUXDAC Q output voltage range to 0.5 V 000: Sets AUXDAC Q top of range to 1.0 V 001: Sets AUXDAC Q top of range to 1.5 V 010: Sets AUXDAC Q top of range to 2.0 V 011: Sets AUXDAC Q top of range to 2.5 V 100: Sets AUXDAC Q top of range to 2.9 V AUXDAC Q output voltage adjustment word MSBs
AUXDAC I	0x0B	7:0	IAUXDAC[7:0]	AUXDAC I output voltage adjustment word LSBs 0x3FF: Sets AUXDAC I output to full scale 0x200: Sets AUXDAC I output to midscale 0x000: Sets AUXDAC I output to bottom of scale
AUX CTLI	0x0C	7 6:5  4:2  1:0	IAUXEN IAUXRNG[1:0]  IAUXOFS[2:0]  IAUXDAC[9:8]	1: Enables AUXDAC I 00: Sets AUXDAC I output voltage range to 2 V 01: Sets AUXDAC I output voltage range to 1.5 V 10: Sets AUXDAC I output voltage range to 1.0 V 11: Sets AUXDAC I output voltage range to 0.5 V 000: Sets AUXDAC I top of range to 1.0 V 001: Sets AUXDAC I top of range to 1.5 V 010: Sets AUXDAC I top of range to 2.0 V 011: Sets AUXDAC I top of range to 2.5 V 100: Sets AUXDAC I top of range to 2.9 V AUX DAC I output voltage adjustment word MSBs
Reference Resistor	0x0D	5:0	RREF[5:0]	Permits an adjustment of the on-chip reference voltage and output at REFIO (see Figure 83) 000000: Sets the value of $R_{REF}$ to 8 k $\Omega$ , $V_{REF} = 0.8$ V 100000: Sets the value of $R_{REF}$ to 10 k $\Omega$ , $V_{REF} = 1.0$ V 111111: Sets the value of $R_{REF}$ to 12 k $\Omega$ , $V_{REF} = 1.2$ V
Cal Control	0x0E	7  6  5 4 3 2:0	PRELDQ  PRELDI  CALSELQ CALSELI CALCLK DIVSEL[2:0]	0: Preload Q DAC calibration reference set to 32 1: Preload Q DAC calibration reference set by user (Cal Address 1) 0: Preload I DAC calibration reference set to 32 1: Preload I DAC calibration reference set by user (Cal Address 1) 1: Select Q DAC self-calibration 1: Select I DAC self-calibration 1: Calibration clock enabled Calibration clock divide ratio from DAC clock rate 000 = divide by 256; 001 = divide by 128 ... 110 = divide by 4; 111 = divide by 2
Cal Memory	0x0F	7 6 3:2  1:0	CALSTATQ CALSTATI CALMEMQ[1:0]  CALMEMI[1:0]	1: Calibration of Q DAC complete 1: Calibration of I DAC complete Status of Q DAC calibration memory 00: Uncalibrated 01: Self-calibrated 10: User calibrated Status of I DAC calibration memory 00: Uncalibrated 01: Self-calibrated 10: User calibrated
Memory Address	0x10	5:0	MEMADDR[5:0]	Address of static memory to be accessed
Memory Data	0x11	5:0	MEMDATA[5:0]	Data for static memory access

# AD9114/AD9115/AD9116/AD9117

Register	Address	Bit	Name	Function
Memory R/W	0x12	7	CALRSTQ	1: Clear CALSTATQ
		6	CALRSTI	1: Clear CALSTATI
		4	CALEN	1: Initiate device self-calibration
		3	SMEMWR	1: Write to static memory (calibration coefficients)
		2	SMEMRD	1: Read from static memory (calibration coefficients)
		1	UNCALQ	1: Reset Q DAC calibration coefficients to default (uncalibrated)
		0	UNCALI	1: Reset I DAC calibration coefficients to default (uncalibrated)
		CLKMODE	0x14	7:6
4	Searching			High indicates internal data path retimer is searching for clock relationship (device output is not usable while this bit is high)
3	Reacquire			Edge triggered, 0 to 1 causes the retimer to reacquire the clock relationship
2	CLKMODEN			0: CLKMODEI/Q values computed by the two retimers and read back in CLKMODEI[1:0] and CLKMODEQ[1:0] 1: CLKMODE values set in CLKMODEI[1:0] override both I and Q retimers
1:0	CLKMODEI[1:0]			0: CLKMODEN, read only; clock phase chosen by retimer 1: CLKMODEN, read/write; value in this register sets I and Q clock phases
Version	0x1F	7:0	VERSION[7:0]	Hardware version of the device

## デジタル・インターフェースの動作

I DAC と Q DAC のデジタル・データは、クロック (DCLKIO) が付いている 1 本の平行バス (DB[MSB:0]) から供給されます。I データと Q データは、インターリーブされたダブル・データ・レート (DDR) フォーマットでチップに入力されます。最大保証データ・レートは、125 MHz クロックで 250 MSPS です。データ対の順序とサンプリング・エッジの選択は、IFIRST 設定ビットと IRISING 設定ビットを使ってユーザーから設定することができ、4 種類のタイミング図が得られます。これらのタイミング図を、図 76、図 77、図 78、図 79 に示します。

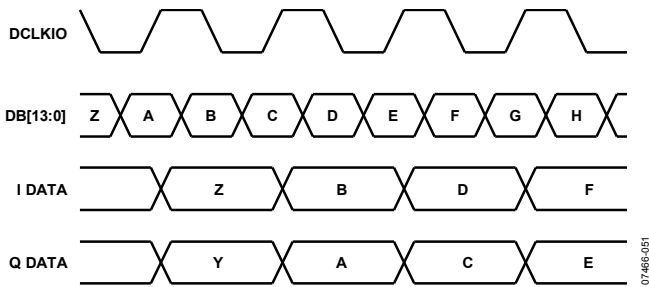


図 76 タイミング図—IFIRST = 0、IRISING = 0

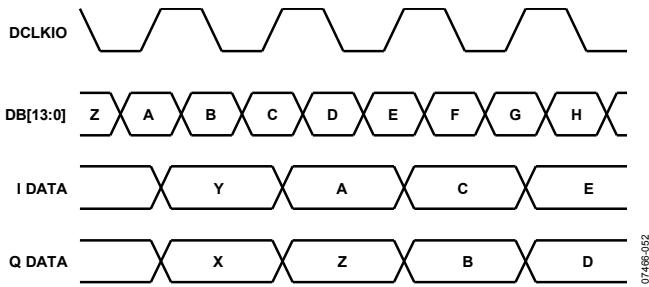


図 77 タイミング図—IFIRST = 0、IRISING = 1

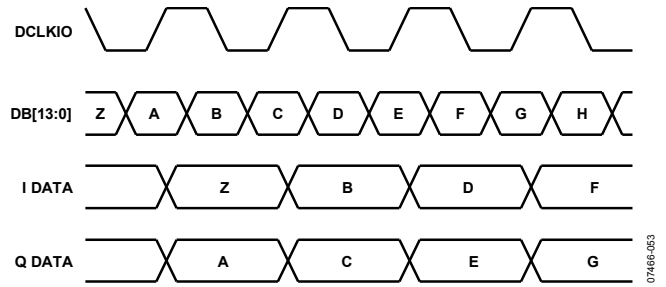


図 78 タイミング図—IFIRST = 1、IRISING = 0

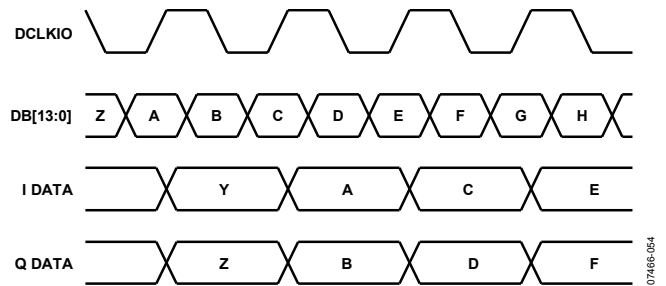


図 79 タイミング図—IFIRST = 1、IRISING = 1

クロックの立ち上がり立ち下がりエッジは、理想的にはセットアップ・タイムとホールド・タイム ( $t_s$  と  $t_H$ ) で構成されるキープイン・ウインドウの中央に位置します。セットアップ・タイムとホールド・タイムについては、表 2 を参照してください。詳細タイミング図を図 80 に示します。

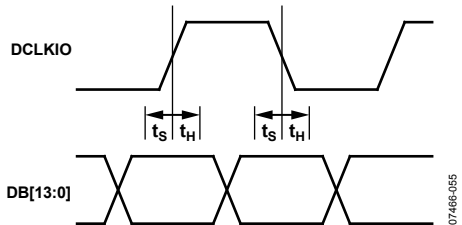


図 80 すべての入力モードに対するセットアップ・タイムとホールド・タイム

表 2 に示すさまざまなタイミング・モードの他に、入力データを符号なしバイナリまたは 2 の補数フォーマットでデバイスに入力することができます。フォーマット・タイプは、TWOS 設定ビットで指定します。

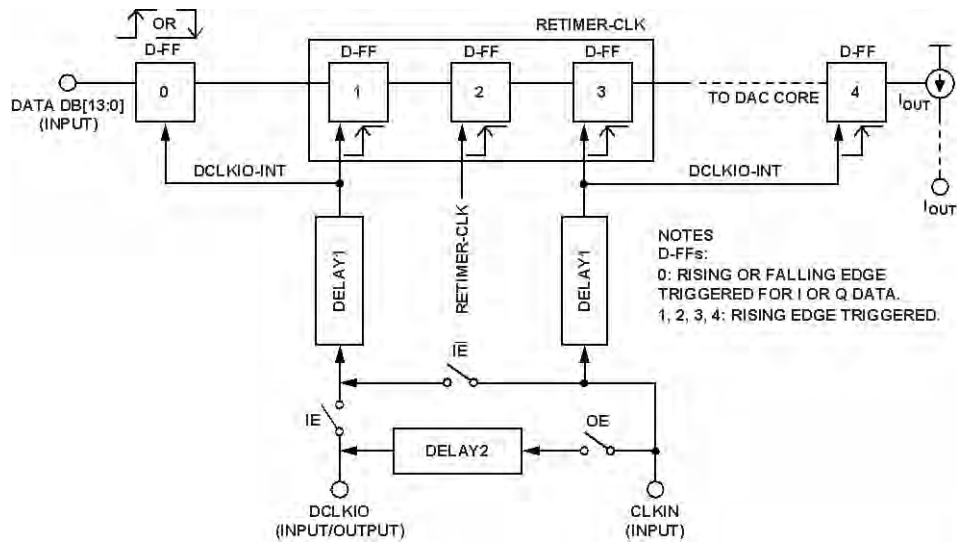


図 81 AD9114/AD9115/AD9116/AD9117 の簡略化したタイミング図

## デジタル・データのラッチとリタイマー・セクション

AD9114/AD9115/AD9116/AD9117 には、DCLKIO と CLKIN の 2 つのクロック入力があります。CLKIN はアナログ・クロックであり、このジッタは DAC 性能に影響を与えます。DCLKIO はデジタル・クロックであり、多くの場合 FPGA から出力されます。FPGA では、パッド上のフリップフロップでデータが正常に入力できるように、入力データとクロックが固定の関係を持つ必要があります。

図 81 に、AD9114/AD9115/AD9116/AD9117 内のデータ・キャプチャ・システム全体の簡略化した図を示します。ダブル・データ・レート入力データ DB[13:0] はパッド/ピンで、IRISING (SPI ビット) の指定に従い、DCLKIO-INT クロックの立ち上がりエッジまたは立ち下がりエッジでラッチされます。IFIRST (SPI ビット) は、最初にラッチするチャンネル・データ (I または Q) を指定します。キャプチャされたデータはリタイマー・ブロックで内部クロック (CLKIN-INT) を使って再タイミングされた後に、最終アナログ DAC コア (D-FF (4)) に送られます。このアナログ DAC コアが、電流切り替え出力スイッチを制御します。図 81 に示すすべての遅延ブロックは非反転であり、明確な遅延ブロックを持たない配線は、分かりやすくするため遅延がないものと見なすことができます。

図 81 には 1 チャンネル分のみ示してあり、両チャンネルのダブル・データ・レート・パッドとして機能するデータ・パッド (DB[13:0]) も示してあります。

デフォルトの PINMD 設定と SPI 設定は、IE = ハイ・レベル (クローズ) と OE = ロー・レベル (オープン) です。RESET/PINMD (ピン 35) がハイ・レベルのときに、これらの設定はイネーブルされます。このモードでは、DCLKIO と CLKIN をユーザーが与える必要があります。PINMD では、DAC の正常な動作のために DCLKIO と CLKIN が同相であることも推奨されます。これは、両ピンを PCB 上で接続することにより容易に実現できます。ユーザーが SPI をアクセスできる場合、IE をロー・レベルにする

と ( $\overline{IE}$  はハイ・レベル)、CLKIN を DCLKIO として使うこともできます。

SPI で OE をハイ・レベルに設定すると、ユーザーの PCB システム内で使用するために DCLKIO 出力から CLKIN 入力を得ることができます。デバイスが正しく機能しているように見える場合でも、IE = OE = ハイ・レベルは使用しないことをお勧めします。

### リタイマー

AD9114/AD9115/AD9116/AD9117 には、データ・リタイマー回路が内蔵されています。この回路は、CLKIN-INT クロックと DCLKIO-INT クロックを比較し、位相関係に応じて、チップの入力インターフェースで使用されている DCLKIO からアナログ DAC コア (D-FF (4)) の駆動に使われている CLKIN までデータを安全に転送するようにリタイマー・クロック (RETIMER-CLK) を選択します。

リタイマーは、図 82 に示す 3 種類の位相から位相を選択します。リタイマーは、表 15 に示す SPI ビットから制御されます。

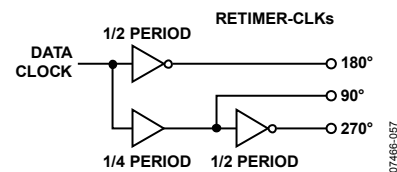


図 82 RETIMER-CLK の位相

多くの場合、複数のリタイマー位相が動作しますが、この場合、リタイマーは 1 つの位相を選択します。リタイマーは最適な位相を選択することはできません。ユーザーが DCLKIO と CLKIN の間の適切な位相関係を経験的に知っている場合 (したがって DCLKIO-INT と CLKIN-INT との関係も、これは両クロックの遅延はほぼ等しく DELAY1 に等しいためです)、表 15 と次の節で説明するように、CLKMODEN = 1 に設定してリタイマーを強制的にこの位相にすることができます。

表 15 タイマー・レジスタの内容

Bit Name	Description
CLKMODEQ[1:0]	Q datapath retimer clock selected output. Valid after searching goes low.
Searching	High indicates the internal data path retimer is searching for clock relationship (DAC is not usable until it is low again).
Reacquire	Changing this bit from 0 to 1 causes the data path retimer circuit to reacquire the clock relationship.
CLKMODEN	0: Uses CLKMODEI/CLKMODEQ values (as computed by the two internal retimers) for I and Q clocking. 1: Uses the CLKMODE value set in CLKMODEI[1:0] to override the bits for both I and Q retimers (that is, forces the retimer).
CLKMODEI[1:0]	I datapath retimer clock selected output. Valid after searching goes low. If CLKMODEN = 1, a value written to this register overrides both I and Q automatic retimer values.

表 16 CLKMODE の詳細

CLKMODEI[1:0]/CLKMODEQ[1:0]	DCLKIO-to-CLKIN Phase Relationship	RETIMER-CLK Selected
00	0° to 90°	Phase 2
01	90° to 180°	Phase 3
10	180° to 270°	Phase 3
11	270° to 360°	Phase 1

リセットに正のパルスを入力すると(デバイスは SPI モードになります)、リタイマーが動作して、128 クロック・サイクル以内に RETIMER-CLK の適切なクロック位相が自動的に選択されます。SPI サーチング・ビットがロー・レベルに戻り、リタイマーがロックされて、デバイスの使用が可能になったことが表示されます。リアクアア・ビットは、I リタイマーと Q リタイマーで位相検出を再起動する際に何時でも使用することができます。CLKMODEQ[1:0]と CLKMODEI[1:0]を使うと、リタイマー内で内部位相検出器により選択された値を読み出すことができます(表 16 参照)。

2 つのリタイマー(I と Q)にリタイマー・クロックの特別な位相を強制的に選択させるときは(両方とも同じ値にする必要があります)、CLKMODEN をハイ・レベルに設定し、その位相値を CLKMODEI[1:0]に書き込みます。たとえば、DCLKIO と CLKIN が同相である場合、リタイマーに安全に RETIMER-CLK の位相 2 を選択させることができます。この強制機能は、複数のデバイスを同期させるときに便利です。

ピン・モードでは、CLKIN と DCLKIO を接続していることを想定しています。このデバイスには、現在使われていない SPI ピン(SCLK、SDIO、CS)を使うプログラマブルな機能が少しあります。2 つのチップ・クロックを相互に接続する場合、SCLK ピンをグラウンドに接続することができ、チップではリタイマーのクロックを使うことができます。このクロックは、2 つの入力クロックと位相が 180°異なります(位相 2 で、最適オプション)。SCLK ピンを再びハイ・レベルにしたとき、チップにはピン・モードでもう 1 つのオプションがあります。ピン・モードを使う場合このモードを使ってください。ただし、CLKIN と DCLKIO は相互に接続しません(すなわち同位相ではありません)。

SCLK をハイ・レベルにすると、内部クロック検出器は位相検出器出力を使って、リタイマーで使用するクロックを決定します(すなわち適切な RETIMER-CLK 位相を選択します)。SCLK をハイ・レベルにすると、内部位相検出器は 2 つのクロックを調べて、相対的な位相を求めます。2 つのクロックの相対位相を再評価するときは、SCLK ピンをロー・レベルにして次にハイ・レベルに戻します。

## DAC パイプラインの全体遅延の計算

DAC パイプライン・レイテンシは、選択された RETIMER-CLK の位相から影響を受けます。システムにとってレイテンシがクリティカルで一定にする必要がある場合、リタイマーを強制的に特定の位相にして、位相をその都度自動的に選択させないようにする必要があります。

DCLKIO = CLKIN (同相)、かつ RETIMER-CLK を位相 2 に設定する場合について考えます。IRISING = 1 とします(すなわち、I データは立ち上がりエッジで、Q データは立ち下がりエッジで、それぞれラッチ)。そうすると、I チャンネル出力のレイテンシは 3 クロック・サイクル(D-FF (1)、D-FF (3)、D-FF (4)となりますが、D-FF (2)では遅延がありません。これは半クロック・サイクル、すなわち 180°でラッチされるためです)。D-FF (0)のパッドで、立ち下がりエッジでラッチされた時間から Q チャンネル出力までのレイテンシは、2.5 クロック・サイクルになります(D-FF (1)まで 1/2 クロック・サイクル、D-FF (3)まで 1 クロック・サイクル、D-FF (4)まで 1 クロック・サイクル)。AD9114/ AD9115/AD9116/ AD9117 のこのレイテンシは特別なケースであり、自動選択または手動設定した RETIMER-CLK 位相に基づいて計算する必要があります。

## セルフ・キャリブレーション

AD9114/AD9115/AD9116/AD9117 には、デバイスの DNL を向上させるセルフ・キャリブレーション機能があります。デバイスでセルフ・キャリブレーションを行うと、低周波アプリケーションでデバイス性能を向上させることができます。アナログ出力周波数が 5 MHz を超えるアプリケーションでのデバイス性能は、DNL よりダイナミックなデバイス動作により多く影響を受けるため、これらの場合、セルフ・キャリブレーションは目立つ利点を示さないことがあります。キャリブレーション・クロック周波数は、DAC クロックを DIVSEL 値で指定する分周比で除算した周波数に等しくなります。各キャリブレーション・クロック・サイクルは、DIVSEL[2:0]の値(レジスタ 0x0E、ビット[2:0])に応じて、DAC 入力クロック・サイクルの 32~2048 倍になります。キャリブレーション・クロック周波数は、信頼度の高いキャリブレーションのために 0.5 MHz~4 MHz にする必要があります。これらの値になるようにキャリブレーション・クロック周波数を DIVSEL[2:0] (レジスタ 0x0E、ビット[2:0])を使って設定すると、最適結果がえられます。別々のセルフ・キャリブレーション・ハードウェアが各 DAC に内蔵されています。DAC は、個別にまたは同時にセルフ・キャリブレーションすることができます。

デバイスのセルフ・キャリブレーションを行うときは、次の手順に従います。

1. 0x00 をレジスタ 0x12 へ書き込みます。これにより、UNCALI ビットと UNCALQ ビットがリセットされます。
2. DIVSEL[2:0]を使ってキャリブレーション・クロックを 0.5 MHz ~4 MHz に設定し、CALCLK ビット(レジスタ 0x0E、ビット 3)をセットしてキャリブレーション・クロックをイネーブルします。
3. レジスタ 0x0E で I DAC のビット 4 (CALSELI) および/または Q DAC のビット 5 (CALSELQ)をセットして、セルフ・キャリブレーションする DAC を選択します。各 DAC には独立なキャリブレーション・ハードウェアが内蔵されているため、同時にキャリブレーションできることに注意してください。
4. レジスタ 0x12 のビット 4 をセットして、セルフ・キャリブレーションを開始します。約 300 キャリブレーション・クロック・サイクル間待ちます。
5. レジスタ 0x0F の CALSTATI ビット(ビット 6)と CALSTATQ ビット(ビット 7)を読み出して、セルフ・キャリブレーションが終了したことを確認します。ロジック 1 はキャリブレーションの完了を表します。
6. セルフ・キャリブレーションが完了したら、0x00 をレジスタ 0x12 に書き込みます。
7. CALCLK ビット(レジスタ 0x0E、ビット 3)をクリアして、キャリブレーション・クロックをディスエーブルします。

AD9114/AD9115/AD9116/AD9117 では、キャリブレーション係数の読出しと書込みが可能です。合計 32 個の係数があります。係数のリード/ライト機能は、複数のセルフ・キャリブレーション・サイクル結果の平均をとり、平均処理した結果を再度デバイスへロードすることにより、セルフ・キャリブレーション・ルーチンの結果を向上させるときに便利です。

キャリブレーション係数を読み出すときは、次のステップに従います。

1. レジスタ 0x0E で I DAC のビット 4 (CALSELI) および/または Q DAC のビット 5 (CALSELQ)をセットして、読み出す DAC コアを選択します。最初の係数(0x01)のアドレスをレジスタ 0x10 へ書き込みます。
2. 0x04 をレジスタ 0x12 に書き込んで、SMEMRD ビット(レジスタ 0x12、ビット 2)をセットします。
3. レジスタ 0x11 の値を読み出して、最初の係数の 6 ビット値を読出します。
4. 0x00 をレジスタ 0x12 に書き込んで、SMEMRD ビットをクリアします。
5. 各読出しごとにアドレスを 1 だけ増やして、残りの 31 個の係数に対してステップ 2~ステップ 4 を繰り返します。
6. レジスタ 0x0E で I DAC のビット 4 (CALSELI) および/または Q DAC のビット 5 (CALSELQ)をクリアして、読み出す DAC コアの選択を解除します。

キャリブレーション係数をデバイスへ書き込むときは、次のステップに従います。

1. レジスタ 0x0E で I DAC のビット 4 (CALSELI) および/または Q DAC のビット 5 (CALSELQ)をセットして、読み出す DAC コアを選択します。
2. 0x08 をレジスタ 0x12 に書き込んで、SMEMWR ビット(レジスタ 0x12、ビット 3)をセットします。
3. 最初の係数(0x01)のアドレスをレジスタ 0x10 へ書き込みます。
4. 最初の係数(0x01)の値をレジスタ 0x11 へ書き込みます。
5. 各書込みごとにアドレスを 1 だけ増やして、残りの 31 個の係数に対してステップ 2~ステップ 4 を繰り返します。
6. 0x00 をレジスタ 0x12 に書き込んで、SMEMWR ビットをクリアします。
7. レジスタ 0x0E で I DAC のビット 4 (CALSELI) および/または Q DAC のビット 5 (CALSELQ)をクリアして、読み出す DAC コアの選択を解除します。



## ゲインの粗調整

### オプション 1

フル・スケール出力電流の粗調整は、レジスタ 0x0D の下位 6 ビットを使って行うことができます。この機能は、ピン 34 (REFIO) のバンド・ギャップ電圧に対して最大 20% を加算または減算するため、FSADJx 抵抗の電圧がこの変化に追従します。その結果、DAC のフル・スケール電流が同じ量だけ変化します。REFIO 電圧を変化させる二次的な効果は、AUXDAC のフル・スケール電圧も同じ振幅だけ変化することです。このレジスタでは、2 の補数フォーマットを使います。011111 は REFIO ノード電圧を最大にし、100000 はこの電圧を最小にします。

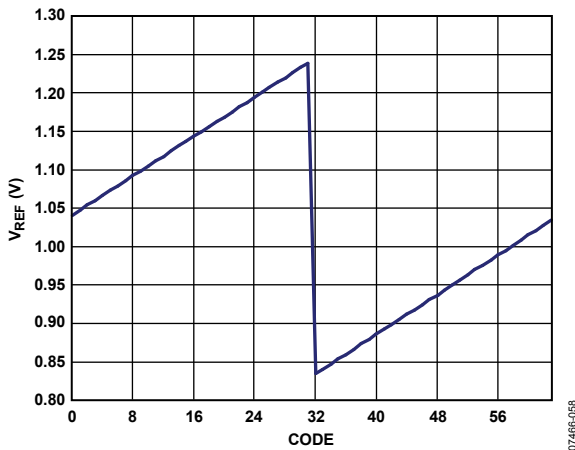


図 83 V<sub>REF</sub> 電圧(Typ)対コード

### オプション 2

内部 FSADJx 抵抗を使う間に、レジスタ 0x04 (IRSET[5:0]) とレジスタ 0x07 (QRSET[5:0]) の下位 6 ビットを使って、各メイン DAC では独立に制御されるゲイン粗調整を実現することができます。ゲイン粗調整オプション 1 とは異なり、この効果はメイン DAC フル・スケール出力電流だけに限られます。このレジスタでは 2 の補数フォーマットを使っているため、出力電流を約 0.25 dB ステップで変化させることができます。

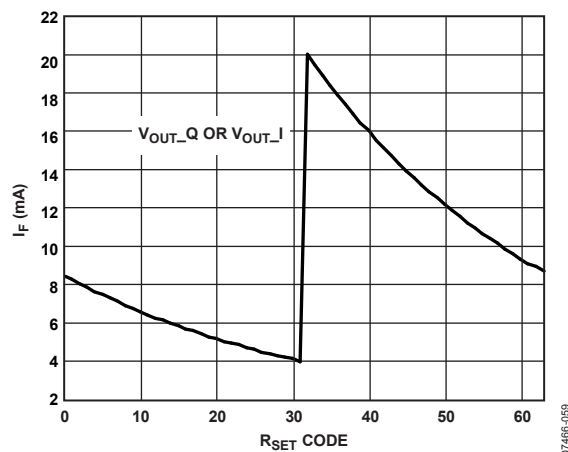


図 84 R<sub>SET</sub> コードの影響

### オプション 3

デバイスがピン・モードにあるときでも、FSADJ ピンに電流を流すことにより、フル・スケール値を調節することができます。ここに混入するノイズは、出力の振幅変調として現れます。したがって、必要とされる直列抵抗(最小 20 kΩ)の部分は、ピンの真近に実装する必要があります。この方法では、±10% の範囲が調整できます。

### オプション 4

オプション 3 と同様に、デバイスがピン・モードにあるときでも、REFIO ピンに電流を流すことにより、両フル・スケール値を調節することができます。ここに混入したノイズが出力の振幅変調として現れるため、必要とされる直列抵抗(最小 10 kΩ)の部分は、ピンに実装する必要があります。この方法では、±25% の範囲が調整できます。

### ゲインの微調整

各メイン DAC には、レジスタ 0x03 (I DAC ゲイン) とレジスタ 0x06 (Q DAC ゲイン) の下位 6 ビットを使用する独立なゲイン微調整機能があります。ゲイン粗調整オプション 1 とは異なり、この効果はメイン DAC フル・スケール出力電流だけに限られます。このレジスタは、ストレート・バイナリ・フォーマットを使用しています。ストレート・バイナリ・フォーマットが重要となる 1 つのアプリケーションとしては、直交変調器を使う際の側波帯の抑圧があります。詳細については、アプリケーション情報のセクションで説明します。

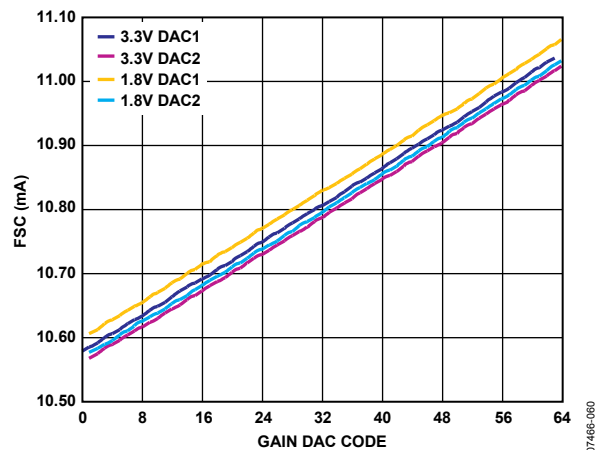


図 85 Typical DAC ゲイン特性 s

## 内部終端抵抗の使用

AD9117/AD9116/AD9115/AD9114 には 4 本の  $62.5\ \Omega$  終端抵抗が内蔵されています(各 DAC 出力に 2 本)。これらの抵抗を使って DAC 出力電流を電圧に変換するときは、各 DAC 出力ピンを近くの負荷ピンに接続します。たとえば I DAC では、IOUTP を RLIP へ、IOUTN を RLIN へ、それぞれ接続します。さらに、CMLI ピンまたは CMLQ ピンを直接グラウンドへまたは抵抗を介して接続します。出力電流が公称  $20\ \text{mA}$  であり、かつ CMLI ピンまたは CMLQ ピンが直接グラウンドへ接続される場合、DAC 出力での DC 同相モード・バイアス電圧は  $0.5\ \text{V}$  になります。DAC DC バイアスを  $0.5\ \text{V}$  より高くする場合は、外付け抵抗を CMLI ピンまたは CMLQ ピンとグラウンドとの間に接続することができます。また、このデバイスはイネーブルできる同相モード抵抗も内蔵しています。これについては、内蔵同相モード抵抗の使用のセクションで説明します。

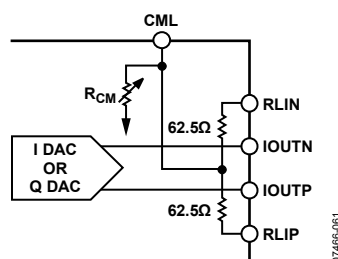


図 86.簡略化した内蔵負荷オプション

## 内蔵同相モード抵抗の使用

これらのデバイスには、調整可能な同相モード抵抗が内蔵されており、これらの抵抗を使って DAC 出力の DC バイアスを大きくすることができます。デフォルトでは、同相モード抵抗は接続されません。イネーブル時、約  $60\ \Omega$  ~ 約  $260\ \Omega$  の範囲で調整可能です。各メイン DAC には、レジスタ  $0x05$  (IRCML[5:0]) とレジスタ  $0x08$  (QRCML[5:0]) の下位 6 ビットを使う独立な調整機能があります。

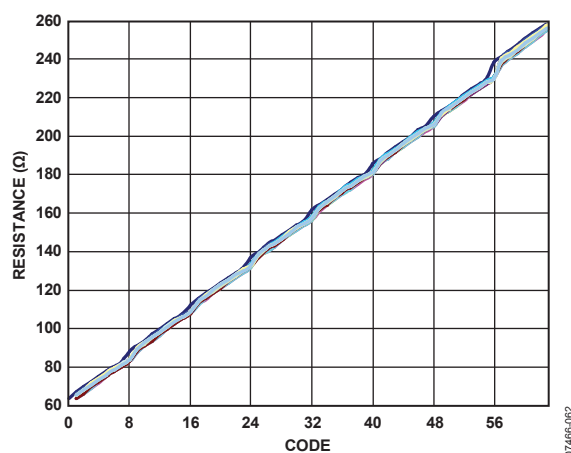


図 87.CML 抵抗値(Typ)対レジスタ・コード

## 最適性能のための CMLx ピンの使用

CMLx ピンは、デバイス内で DAC バイアス電圧を変化させる機能も持っています。この機能を使うと、DAC を高い DC 出力バイアス電圧で動作させることができます。バイアス電圧  $< 0.9\ \text{V}$  かつ  $\text{AVDD} = 3.3\ \text{V}$  で動作する場合、CMLx ピンをグラウンドに接続したときに、デバイスの最適性能が得られます。DC バイアスを  $0.9\ \text{V}$  より高くするときは、CMLx ピンを  $0.5\ \text{V}$  に設定すると最適性能が得られます。電源が  $3.3\ \text{V}$  の場合、DAC 出力の最大 DC バイアスは  $1.2\ \text{V}$  以下に設定する必要があります。電源が  $1.8\ \text{V}$  の場合は、DC バイアスを  $0\ \text{V}$  近くに設定し、CMLx ピンを直接グラウンドへ接続します。

## アプリケーション情報

### 出力の構成

次のセクションでは、AD9114/AD9115/AD9116/AD9117 の一般的な出力構成について説明します。特に注記がない限り、IOUTFS は公称 20 mA に設定します。最適なダイナミック性能を必要とするアプリケーションに対しては、差動出力構成が推奨されます。差動出力構成は、RF トランスまたは差動オペアンプにより構成されます。トランス構成は最適な高周波性能を提供するため、AC 結合が可能なすべてのアプリケーションに対して推奨されます。差動オペアンプ構成は、DC 結合、信号ゲイン、低出力インピーダンスを必要とするアプリケーションに適しています。

シングルエンド出力は、低価格と低消費電力が主要な条件となるアプリケーションに適しています。

### トランスを使用する差動結合

RF トランスを使うと、差動信号からシングルエンド信号への変換を行うことができます(図 88 参照)。トランスの歪み性能は一般に、特に高い周波数で、標準オペアンプの歪み性能より優れています。トランス結合は、広い周波数範囲で優れた同相モード(偶数次高調波)歪み除去比を提供します。電気的絶縁も提供し、ノイズを追加することなく電圧ゲインを与えることもできます。インピーダンスのマッチングには、種々のインピーダンス比を持つトランスを使うことができます。トランス結合の主要な欠点としては、低周波ロールオフ、電力ゲインがないこと、高い出力インピーダンスがあります。

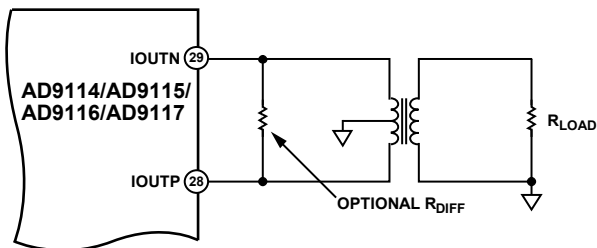


図 88 トランスを使用した差動出力

トランス一次側のセンター・タップは、IOUTP と IOUTN の電圧をデバイスの出力同相モード電圧範囲内に維持する電圧に接続する必要があります。DAC 出力電流の DC 成分は IOUTFS に等しく、IOUTP と IOUTN から流れることに注意してください。トランスのセンター・タップは、この DC 電流のパスを提供する必要があります。大部分のアプリケーションでは、AGND がトランス・センター・タップに対する最も便利な電圧になります。IOUTP と IOUTN の相補電圧( $V_{IOUTP}$  と  $V_{IOUTN}$ )の振幅は、AGND を中心として対称であるため、AD9114/AD9115/AD9116/AD9117 の規定の出力コンプライアンス範囲内に維持する必要があります。

差動抵抗  $R_{DIFF}$  は、トランス出力が受動再生フィルタまたはケーブルを経由して負荷  $R_{LOAD}$  に接続されるアプリケーションで使用することができます。 $R_{DIFF}$  はトランスのインピーダンス比により決定され、VSWR を低くするソース終端を提供するように選択されます。信号電力の約半分が  $R_{DIFF}$  で消費されることに注意してください。

### オペアンプを使用したバッファ付きシングルエンド出力

ADA4899-1 のようなオペアンプを使うと、シングルエンド電流から電圧への変換を行うことができます(図 89 参照)。AD9114/AD9115/AD9116/AD9117 は、各出力に一对の直列抵抗  $R_S$  を持つように構成されます。最適歪み性能を得るためには、 $R_S$  を  $0 \Omega$  に設定する必要があります。帰還抵抗  $R_{FB}$  は、次式により信号振幅のピーク to ピークを決定します。

$$V_{OUT} = R_{FB} \times I_{FS}$$

出力の同相モード電圧は次式から求めます。

$$V_{CM} = V_{REF} \times \left(1 + \frac{R_{FB}}{R_B}\right) - \frac{R_{FB} \times I_{FS}}{2}$$

アンプの最大出力電圧と最小出力電圧は、それぞれ次式から求めます。

$$V_{MAX} = V_{REF} \times \left(1 + \frac{R_{FB}}{R_B}\right)$$

$$V_{MIN} = V_{MAX} - I_{FS} \times R_{FB}$$

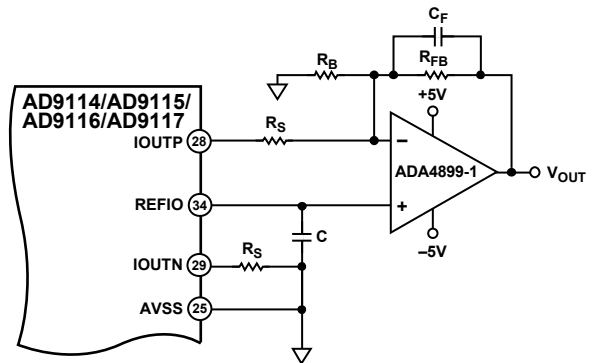


図 89 単電源でのシングルエンド・バッファ

## オペアンプを使った差動バッファ付き出力

図 90 に示すシングルエンド・バッファの差動バージョンには、デュアル・オペアンプ(図 89 の回路参照)を使うことができます。同じ R-C 回路を使って 1 極の差動ローパス・フィルタを構成して、このフィルタにより DAC 出力で発生する高周波イメージを除去してオペアンプ入力に混入しないようにします。帰還抵抗  $R_{FB}$  は、次式により差動信号振幅のピーク to ピークを決定します。

$$V_{OUT} = 2 \times R_{FB} \times I_{FS}$$

アンプのシングルエンド最大出力電圧と最小出力電圧は、それぞれ次式から求めます。

$$V_{MAX} = V_{REF} \times \left(1 + \frac{R_{FB}}{R_B}\right)$$

$$V_{MIN} = V_{MAX} - R_{FB} \times I_{FS}$$

差動出力の同相モード電圧は次式から求めます。

$$V_{CM} = V_{MAX} - R_{FB} \times I_{FS}$$

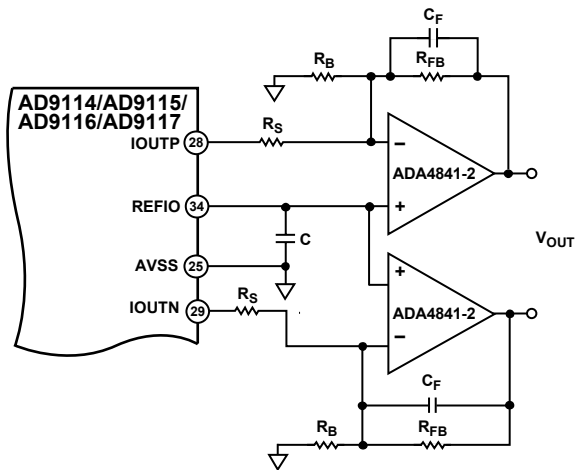


図 90 単電源での差動バッファ

## 補助 DAC

AD9114/AD9115/AD9116/AD9117 の DAC は、DC オフセット補正や同様な用途に適する独立な多機能 10 ビット補助 DAC を 2 個内蔵しています。

AUXDAC は SPI ポートを介して駆動されるため、アナログ帰還ループ内のようなタイミングの厳しいアプリケーションで使用することはできません。

ピン数を抑えるために、これらの各補助 DAC は対応する FSADJx 抵抗とピンを共用しています。これらの DAC は、イネーブルされて、かつ内蔵フル・スケール抵抗を使って動作するときのみ使用可能です。シンプルな I/V コンバータがチップ上に組込まれています。REFIO が精確に 1 V の場合、 $REFIO/2 = 0.5 \text{ V}$  になるようにシャント抵抗 ( $3.2 \text{ k}\Omega \sim 16 \text{ k}\Omega$ ) を選択することができ、次式で無負荷時の出力電圧が与えられます。

$$V_{OUT} = 0.5 \text{ V} - \left(I_{DAC} - \frac{1.5}{R_S}\right) 16 \text{ k}\Omega$$

図 91 に、これらの DAC を制御するすべての SPI ビット (QAUXEN ビットと IAUXEN ビットは除く) の機能、および  $R_S < 3.2 \text{ k}\Omega$  を禁止するゲーティング機能を示します。

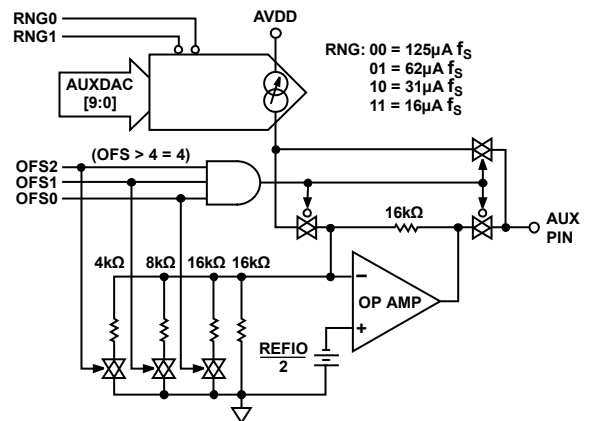


図 91AUXDAC の簡略化した回路図

SPI の速度により、補助 DAC の更新レートが制限されます。 $I_{AUXDAC}$  は  $0x000$  でフル・スケールに、 $0x1FF$  でゼロ・スケールに、それぞれなるようにデータが変換されます(図 92 参照)。

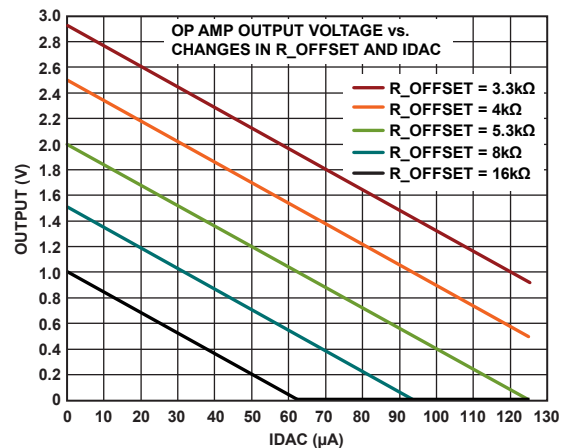


図 92AUXDAC オペアンプ出力対電流、AVDD = 3.3 V、無負荷、AUXDAC:  $0x1FF \sim 0x000$

2 個のレジスタが各 DAC に割り当てられており、10 ビットは発生する実際の DAC 電流用に、3 ビットはオフセット(およびゲイン)調整用に、2 ビットは電流範囲調整用に、さらに 1 ビットはイネーブル/ディスエーブル・ビット用に、それぞれ使用されています。QAUXOFS ビットと IAUXOFS ビットをすべての 1 に設定すると、オペアンプがディスエーブルされて、DAC 電流が対応する FSADJI/ AUXI ピンまたは FSADJQ/AUXQ ピンに直接出力されます。この機能は、駆動する負荷が内蔵アンプの制限能力を超えるときに、便利です。非イネーブル時(QAUXEN または IAUXEN = 0)は、対応する DAC 出力がオープンになります。

## DAC—変調器間のインターフェース

DAC 出力の後ろに直交変調器が接続される場合、補助 DAC を使って、ローカル発振器(LO)の相殺を行うことができます。この LO のフィードスルーは直交変調器の入力換算 DC オフセット電圧(および DAC 出力オフセット電圧の不一致)によって発生するため、システム性能が低下します。DAC と直交変調器との間の代表的なインターフェースを図 93 と図 94 に示します。変調器の入力同相モード電圧は、AC 結合または DC レベル・シフトが必要となる  $R_{CM}$  の場合でも、DAC の出力コンプライアンス範囲より高くなる場合があります。直交変調器の所要同相モード入力電圧が DAC のその範囲内である場合には、図 93 の DC 阻止コンデンサを取り外すことができます。内蔵抵抗を使う場合には、50  $\Omega$  抵抗も取り外すことができます。DAC からのスプリアス信号(歪みと DAC イメージ)が直交変調器入力でシステム性能に影響をあたえるときは、ローパスまたはバンドパス受動フィルタの使用が推奨されます。図 93 と図 94 に示す位置にフィルタを配置すると、ソース・インピーダンスと負荷インピーダンスを 20 mA のフル・スケール出力に対して 50  $\Omega$  に近づけて容易にデザインできるため、フィルタのデザインが容易になります。

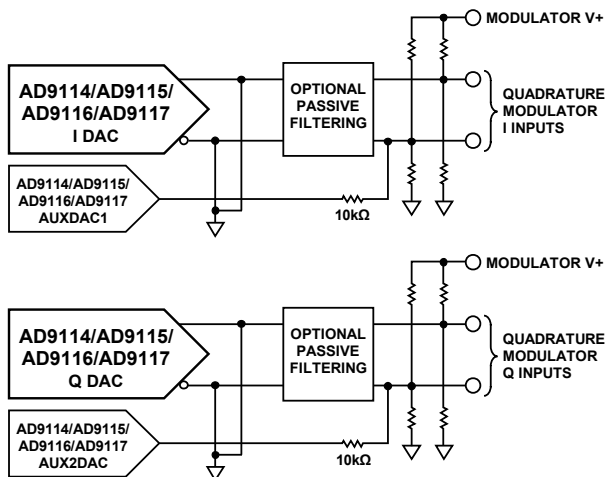


図 93 補助 DAC の一般的な使用方法

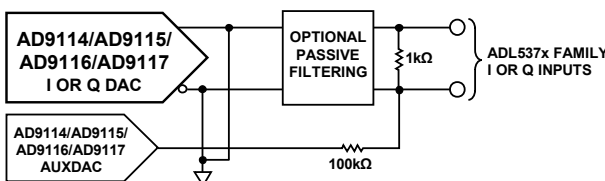


図 94 直交変調器 ADL537x ファミリーへ DC 結合する際の一般的な補助 DAC の使用方法

## IF/RF 変換での直交変調器の非理想的な性能の補正

アナログ直交変調器は単側波帯無線の実現を非常に容易にしますが、直交変調器性能の非理想的な側面があります。これらのアナログ性能の低下の中に、ゲインの不一致と LO のフィードスルーがあります。

### ゲインの不一致

直交変調器の実数部と虚数部の信号パスのゲインが完全に一致しないことがあります。このために、負周波数イメージの相殺が完全でなくなるので最適イメージ除去比より低くなります。

### LO のフィードスルー

直交変調器は有限な DC 換算オフセットを持ち、LO ポートから信号入力への混入もあります。これらが原因となり、直交変調器の LO 周波数でスペクトル・スプリアスが大きくなります。

AD9114/AD9115/AD9116/AD9117 には、これらの両アナログ性能低下を補正する機能がありますが、温度に対してこれらの性能低下はドリフトするため、最適に近い単側波帯性能が必要な場合は、温度に対するこれらの性能低下を検出して補正する方法が必要となることを理解してください。

## I/Q チャンネル間のゲイン・マッチング

ゲインの正確なマッチングは、DAC ゲイン微調整レジスタの値を調節することにより実現されます。I DAC の場合、これらの値は I DAC ゲイン・レジスタ(レジスタ 0x03)に格納されています。Q DAC の場合、これらの値は Q DAC ゲイン・レジスタ(レジスタ 0x06)に格納されています。これらは、フル・スケールの  $\pm 2\%$  をカバーする 6 ビット値です。デフォルト値のゼロから開始してゲイン補償を行うときは、不要なイメージの振幅が増加または減少することが認められるまで、これらのレジスタの内の 1 つの値を数ステップ大きくします。不要なイメージの振幅が増加する場合、ステップを戻して他の DAC 制御レジスタについて同じ調整を行います。除去比が改善されなくなるまでレジスタ値を変えることを繰り返します。ゲイン微調整範囲がヌル点を見つけるために不十分である場合は(すなわち、ヌル点に遭遇しないでレジスタがフル・スケールに到達する場合)、2 個の DAC のゲイン粗調整設定を調節して、再実行します。このシンプルな方法には、それから派生する方法も存在する可能性があります。

LO フィードスルーの補償は位相補償に無関係であることに注意してください。ただし、ゲイン補償は LO 補償に影響をあたえることがあります。これは、ゲイン補償によって、信号の同相モード・レベルが変化することがあるためです。変調器によっては DC オフセットが同相モード・レベルに依存する場合があります。したがって、ゲイン調整は LO 補償の前に行うことが推奨されます。

## LO フィードスルーの補償

回路内で LO のフィードスルーを補償するときは、2 個の AUXDAC の各出力を 10 k $\Omega$  の抵抗を介して差動 DAC 出力の片方に接続する必要があります。AUXDAC の使い方については、補助 DAC のセクションを参照してください。これらの接続の目的は、直交変調器入力ノードへ非常に少量の電流を流入させることで、そのために小さい DC バイアスを一方または他方の直交変調器信号入力へ加えます。

LO フィードスルー補償を行うときは、AUXDAC レジスタのデフォルト状態から開始して、一方または他方の AUXDAC 出力電圧の振幅を大きくします。これを実行する間に、直交変調器

出力で LO フィードスルーの振幅を検出します。LO フィードスルー振幅が増える場合は、調整対象の AUXDAC の出力電圧を小さくするか、または他方の AUXDAC の出力電圧を調節します。有効なアルゴリズムに到達するまで、練習が必要かも知れません。AD9114/AD9115/AD9116/AD9117 評価ボードを使うと、温度に対して安定ではありませんが、LO フィードスルーは一般にノイズ・フロアより低くするように調節できます。

## ゲインとオフセットの補正結果

ゲインとオフセットの補正結果を図 95 と図 96 に示します。図 95 に、ゲインとオフセットを補正する前の直交復調器の出力スペクトルを示します。図 96 に、補正後の出力スペクトルを示します。450 MHz での LO フィードスルー・スプリアスは、ノイズ・レベルまで抑圧されています。この結果は、補正を行うことにより実現できますが、大きな温度変化の後に補正を繰り返す必要があります。

ゲイン・マッチングは負周波数イメージ除去比を改善しますが、直交変調器での位相の不一致にも関係していることに注意してください。2 個の直交信号の間の相対位相をデジタル側で調節することにより、または DAC と直交変調器との間のローパス・フィルタを適切にデザインすることにより、改善することができます。位相の不一致は周波数に依存するため、広帯域信号が必要な場合には、調節するルーチンを開発する必要があります。

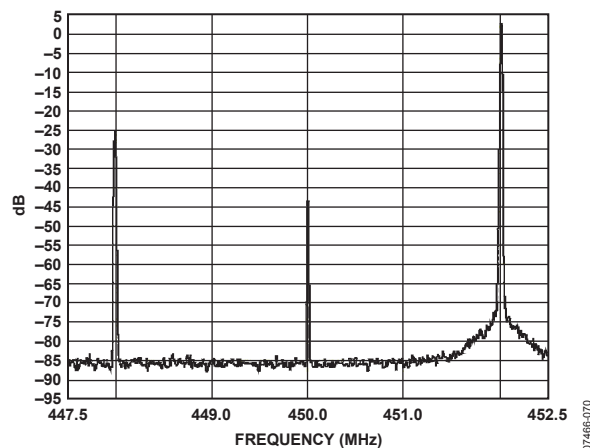


図 95 AD9114/AD9115/AD9116/AD9117 および ADL5370、450 MHz のシングルトーン信号、ゲインまたは LO の補償なし

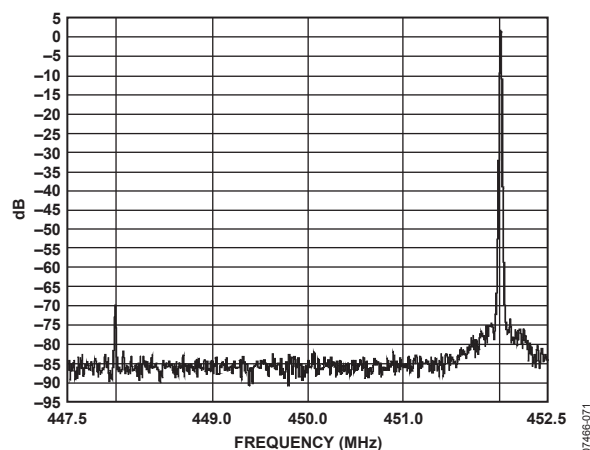


図 96 AD9114/AD9115/AD9116/AD9117 および ADL5370、450 MHz のシングルトーン信号、ゲインまたは LO の補償あり

## ADL5370 内蔵の直交変調器を使用するための評価ボードの変更

評価ボードには、アナログ・デバイセズの **ADL5370** 直交変調器が内蔵されています。AD9114/AD9115/AD9116/AD9117 と ADL5370 は、インターフェースが容易な DAC/変調器の組み合わせを提供し、評価ボードで容易にこれをキャラクタライゼーションすることができます。AD9114/AD9115/AD9116/AD9117 のシングルエンド出力または差動出力を評価するために、ハンダ付け可能なジャンパを設定することができます。出荷時のデフォルト設定で、次の部品が実装されています。

- JP55、JP56、JP76、JP82—未ハンダ付け
- R13、R14、R52、R53—未実装
- R50、R57、T1、T2—実装

このボードで ADL5370 を評価するときは、次の位置になるように、これら同じ部品の実装を逆にする必要があります。

- JP55、JP56、JP76、JP82—ハンダ付け
- R13、R14、R52、R53—実装
- R50、R57、T1、T2—未実装

LO フィードスルーの補償が必要な場合は、AUXDAC 出力をテスト・ポイント TP44 とテスト・ポイント TP45 に接続することができます。

外形寸法

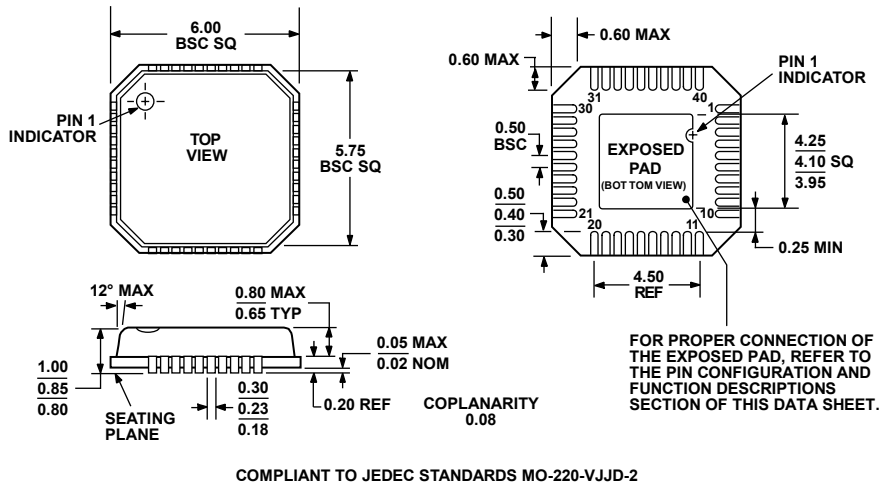


図 97.40 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_VQ]

6 mm × 6 mm、極薄クワッド

(CP-40-1)

寸法表示: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9114BCPZ <sup>1</sup>	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9114BCPZRL7 <sup>1</sup>	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9115BCPZ <sup>1</sup>	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9115BCPZRL7 <sup>1</sup>	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9116BCPZ <sup>1</sup>	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9116BCPZRL7 <sup>1</sup>	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9117BCPZ <sup>1</sup>	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9117BCPZRL7 <sup>1</sup>	-40°C to +85°C	40-Lead LFCSP_VQ	CP-40-1
AD9114-EBZ <sup>1</sup>		Evaluation Board	
AD9115-EBZ <sup>1</sup>		Evaluation Board	
AD9116-EBZ <sup>1</sup>		Evaluation Board	
AD9117-EBZ <sup>1</sup>		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品