

AD8561

特長

5 Vで7 nsの伝播遅延
単電源動作：3 V～10 V
低消費電力
ラッチ機能
TSSOPパッケージ

アプリケーション

高速タイミング
クロック・リカバリとクロック・ディストリビューション
ライン・レシーバ
デジタル通信
位相検出器
高速サンプリング
リード・チャンネルの検出
PCMCIAカード
LT1016設計のアップグレード

概要

AD8561は入力部と出力部を左右に分けて実装したシングル7 nsコンパレータです。電源が個別に用意されているので、入力段は±5 V二電源と+5 V単電源で動作することができます。

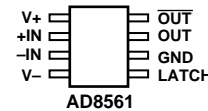
伝播遅延時間が7 nsと高速なため、AD8561はタイミング回路やライン・レシーバに最適です。立ち上がり信号と立ち下がり信号の伝播遅延は十分にマッチングされており、全温度範囲で動作します。遅延がマッチングされているため、出力のデューティ・サイクルと入力のデューティ・サイクルが一致するので、AD8561はクロック・リカバリへの応用に理想的です。

AD8561のピン配置はLT1016と同じですが、消費電流が少なく、また同相入力範囲が広く、同相入力範囲には負電源レールが含まれています。

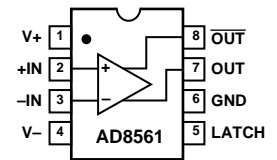
AD8561は産業用温度範囲(- 40 ~ + 85)で仕様が規定されています。AD8561は8ピン・プラスチックDIP、8ピンTSSOP、またはナロー幅SO-8表面実装パッケージで供給されます。

ピン配置

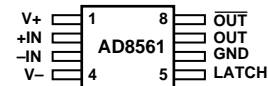
8ピン・ナロー幅SO
(SO-8)



8ピン・プラスチックDIP
(N-8)



8ピンTSSOP
(RU-8)



AD8561 仕様

電氣的仕様(特に指定のない限り、@V+ = +5.0 V、V- = V_{GND} = 0 V、T_A = +25)

パラメータ	記号	条件	最小	標準	最大	単位
入力特性						
オフセット電圧	V _{OS}	- 40 T _A + 85		2.3	7	mV
オフセット電圧ドリフト	ΔV _{OS} /ΔT			4	8	μV/
入力バイアス電流	I _B	V _{CM} = 0 V	- 6	- 3		μA
	I _B	- 40 T _A + 85	- 7	- 3.5		μA
入力オフセット電流	I _{OS}	V _{CM} = 0 V			± 4	μA
入力同相電圧範囲	V _{CM}		0.0		+ 3.0	V
同相除去比	CMRR	0 V V _{CM} + 3.0 V	65	85		dB
大信号電圧利得	A _{VO}	R _L = 10 k		3000		V/V
入力容量	C _{IN}			3.0		pF
ラッチ・イネーブル入力						
ロジック“1”電圧スレッシュホールド	V _{IH}		2.0	1.65		V
ロジック“0”電圧スレッシュホールド	V _{IL}			1.60	0.8	V
ロジック“1”電流	I _{IH}	V _{LH} = 3.0 V	- 1.0	- 0.3		μA
ロジック“0”電流	I _{IL}	V _{LL} = 0.3 V	- 4	- 2		μA
ラッチ・イネーブル						
パルス幅	t _{PW(E)}			6		ns
セットアップ時間	t _S			1		ns
ホールド時間	t _H			1.2		ns
デジタル出力						
ロジック“1”電圧	V _{OH}	I _{OH} = - 50 μA、ΔV _{IN} > 250 mV	3.5			V
ロジック“1”電圧	V _{OH}	I _{OH} = - 3.2 mA、ΔV _{IN} > 250 mV	2.4	3.5		V
ロジック“0”電圧	V _{OL}	I _{OL} = 3.2 mA、ΔV _{IN} > 250 mV		0.25	0.4	V
ダイナミック性能						
伝播遅延	t _p	100 mVのオーバードライブ電圧で 200 mVステップ - 40 T _A + 85		6.75	9.8	ns
伝播遅延	t _p	5 mVのオーバードライブ電圧で 100 mVステップ		8	13	ns
差動伝播遅延時間 (立ち上がり伝播遅延対 立ち下がり伝播遅延)	Δt _p	100 mVのオーバードライブ電圧で 100 mVステップ ¹		0.5	2.0	ns
立ち上がり時間		20%から80%		3.8		ns
立ち下がり時間		80%から20%		1.5		ns
電源						
電源変動除去比	PSRR	+ 4.5 V V+ + 5.5 V	50	65		dB
正電源電流	I ₊	- 40 T _A + 85		4.5	6.0	mA
グラウンド電源電流	I _{GND}	V _O = 0 V、R _L = - 40 T _A + 85		2.2	3.3	mA
アナログ電源電流	I ₋	- 40 T _A + 85		2.3	4.5	mA
		- 40 T _A + 85			5.5	mA

注

¹ 設計で保証されています。

仕様は予告なく変更することがあります。

電氣的仕様(特に指定のない限り、 $@V_+ = +5.0\text{V}$ 、 $V_- = V_{\text{GND}} = 0\text{V}$ 、 $V_L = -5\text{V}$ 、 $T_A = +25$)

パラメータ	記号	条件	最小	標準	最大	単位
入力特性						
オフセット電圧	V_{OS}	- 40 T_A + 85		1	7	mV
オフセット電圧ドリフト	$\Delta V_{\text{OS}}/\Delta T$			4	8	$\mu\text{V}/$
入力バイアス電流	I_B	$V_{\text{CM}} = 0\text{V}$	- 6	- 3		μA
入力オフセット電流	I_{OS}	- 40 T_A + 85 $V_{\text{CM}} = 0\text{V}$	- 7	- 2.5		μA
入力同相電圧範囲	V_{CM}		- 5.0		± 3.0	V
同相除去比	CMRR	- 5.0V V_{CM} + 3.0V	65	85		dB
大信号電圧利得	A_{VO}	$R_L = 10\text{k}$		3000		V/V
入力容量	C_{IN}			3.0		pF
ラッチ・イネーブル入力						
ロジック“1”電圧スレッシュホールド	V_{IH}		2.0	1.65		V
ロジック“0”電圧スレッシュホールド	V_{IL}			1.60	0.8	V
ロジック“1”電流	I_{IH}	$V_{\text{LH}} = 3.0\text{V}$	- 1	- 0.5	20	μA
ロジック“0”電流	I_{IL}	$V_{\text{LL}} = 0.3\text{V}$	- 4	- 2	20	μA
ラッチ・イネーブル パルス幅	$t_{\text{PW(E)}}$			6		ns
セットアップ時間	t_{S}			1.0		ns
ホールド時間	t_{H}			1.2		ns
デジタル出力						
ロジック“1”電圧	V_{OH}	$I_{\text{OH}} = -3.2\text{mA}$	2.6	3.5		V
ロジック“0”電圧	V_{OL}	$I_{\text{OL}} = 3.2\text{mA}$		0.2	0.3	V
ダイナミック性能						
伝播遅延	t_{p}	100 mVのオーバードライブ電圧で 200 mVステップ - 40 T_A + 85		6.5	9.8	ns
伝播遅延	t_{p}	5 mVのオーバードライブ電圧で 100 mVステップ		8	13	ns
差動伝播遅延 (立ち上がり伝播遅延対 立ち下がり伝播遅延)	Δt_{p}	100 mVのオーバードライブ電圧で 100 mVステップ ¹		7		ns
立ち上がり時間		20%から80%		0.5	2	ns
立ち下がり時間		80%から20%		3.8		ns
ディスペーション				1.5		ns
				1		ns
電源						
電源変動除去比	PSRR	$\pm 4.5\text{V}$ V_{CC} と V_{EE} $\pm 5.5\text{V}$	55	70		dB
電源電流		$V_{\text{O}} = 0\text{V}$ 、 $R_L =$				
正電源電流	I_+	- 40 T_A + 85		4.7	6.5	mA
グラウンド電源電流	I_{GND}	$V_{\text{O}} = 0\text{V}$ 、 $R_L =$ - 40 T_A + 85		2.2	3.3	mA
負電源電流	I_-	- 40 T_A + 85		2.4	4.5	mA
					5.5	mA

注

¹ 設計で保証されています。
仕様は予告なく変更することがあります。

AD8561 仕様

電氣的仕様(特に指定のない限り、@V+ = +3.0 V、V- = V_{GND} = 0 V、T_A = +25)

パラメータ	記号	条件	最小	標準	最大	単位
入力特性						
オフセット電圧	V _{OS}				7	mV
入力バイアス電流	I _B	V _{CM} = 0 V	- 6	- 3.0		μ A
	I _B	- 40 T _A + 85	- 7	- 4		μ A
入力同相電圧範囲	V _{CM}		0		+ 1.5	V
同相除去比	CMRR	0.1 V V _{CM} 1.5 V	60			dB
出力特性						
出力HI電圧	V _{OH}	I _{OH} = - 3.2 mA、V _{IN} > 250 mV	1.2 ¹			V
出力LO電圧	V _{OL}	I _{OL} = + 3.2 mA、V _{IN} > 250 mV			0.3	V
電源						
電源変動除去比	PSRR	+ 2.7 V V _{CC} 、V _{EE} + 6 V		40		dB
電源電流		V _O = 0 V、R _L =				
V ₊ 電源電流	I ₊	- 40 T _A + 85		4.0	4.5	mA
					5.5	mA
グラウンド電源電流	I _{GND}	- 40 T _A + 85		1.6	2.5	mA
					3.0	mA
V ₋ 電源電流	I ₋	- 40 T _A + 85		2.4	3.3	mA
					3.8	mA
ダイナミック性能						
伝播遅延	t _p	20 mVのオーバードライブ電圧で 100 mVステップ ²		8.5	9.8	ns

注

¹ 出力HI電圧(プルアップ抵抗なし)、3V動作でV₊に抵抗をプルアップするのに役立ちます。

² 設計で保証されています。

仕様は予告なく変更することがあります。

絶対最大定格

全アナログ電源電圧	+ 14 V
デジタル電源電圧	+ 14 V
アナログ正電源/デジタル正電源	- 600 mV
入力電圧 ¹	± 7 V
差動入力電圧	± 8 V
GNDに対する出力短絡時間	無制限
保管温度範囲	
N、R、RUパッケージ	- 65 ~ + 150
動作温度範囲	- 40 ~ + 85
接合部温度範囲	
N、R、RUパッケージ	- 65 ~ + 150
リード温度範囲(ハンダ付け、10秒)	+ 300

パッケージ・タイプ	J _A ²	J _C	単位
8ピン・プラスチックDIP(N)	103	43	/W
8ピンSO(R)	158	43	/W
8ピンTSSOP	240	43	/W

注

¹ アナログ入力電圧は、±7Vまたはアナログ電源電圧のうちどちらか低い値となります。

² J_Aは最悪の条件に対して規定されています。すなわち、P-DIPパッケージではデバイスをソケットに実装した状態、SOICおよびTSSOPパッケージではデバイスを回路基板にハンダ付けした状態で規定されています。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD8561AN	- 40 ~ + 85	8ピン・プラスチックDIP	N-8
AD8561ARU	- 40 ~ + 85	8ピン薄型収縮スモール・アウトライン	RU-8
AD8561AR	- 40 ~ + 85	8ピン・スモール・アウトライン	SO-8

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD8561には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



標準性能特性(特に指定のない限り、 $V_+ = +5V$ 、 $V_- = 0V$ 、 $T_A = +25^\circ C$)

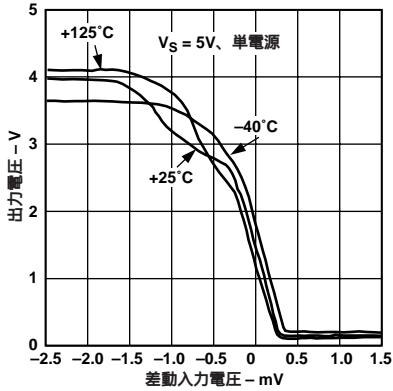


図1. 出力電圧対差動入力電圧

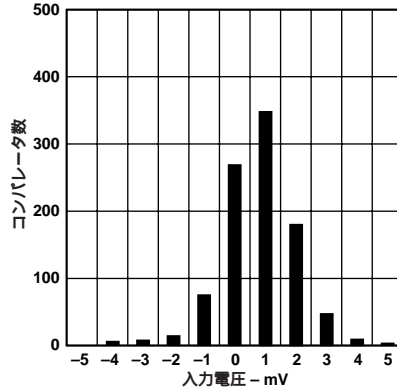


図2. 入力オフセット電圧の分布

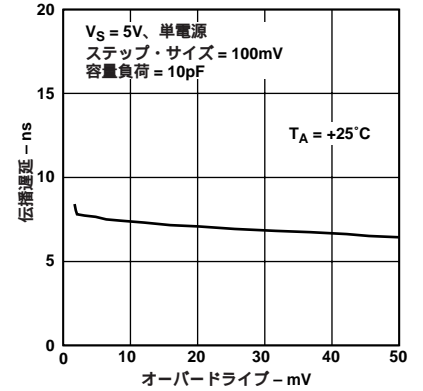


図3. 伝播遅延対オーバードライブ

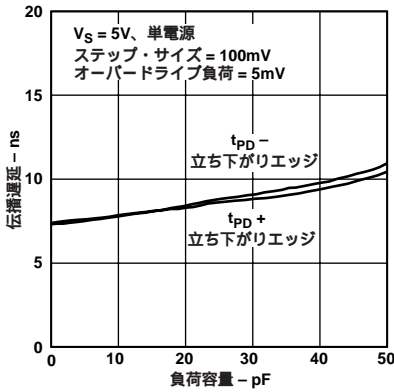


図4. 伝播遅延対負荷容量

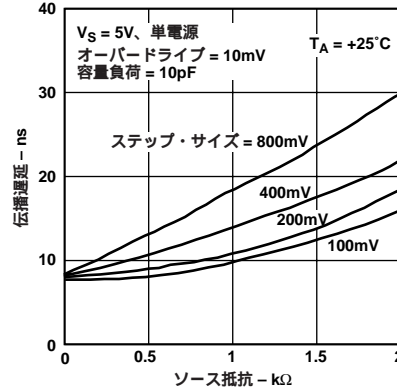


図5. 伝播遅延対ソース抵抗

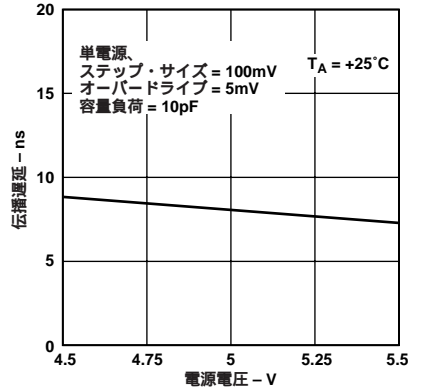


図6. 伝播遅延対正電源電圧

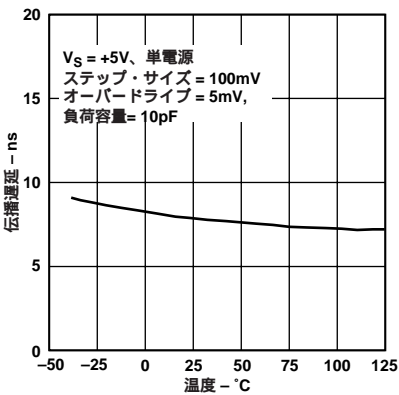


図7. 伝播遅延対温度

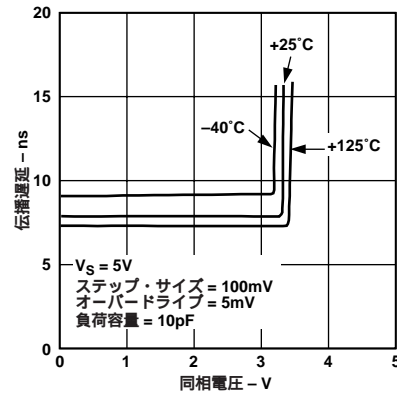


図8. 伝播遅延対 V_{CM}

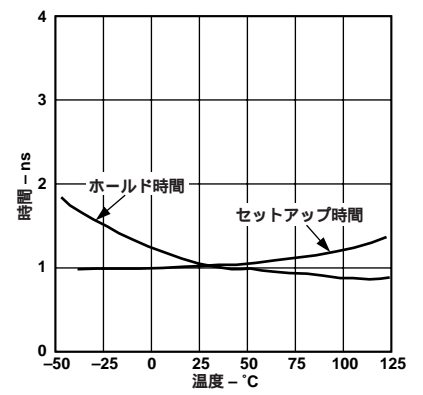


図9. ラッチ・セットアップ・ホールド時間対温度

AD8561

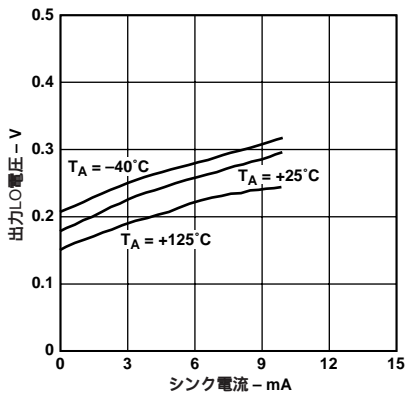


図10. 出力LO電圧、 V_{OL} 対シンク電流

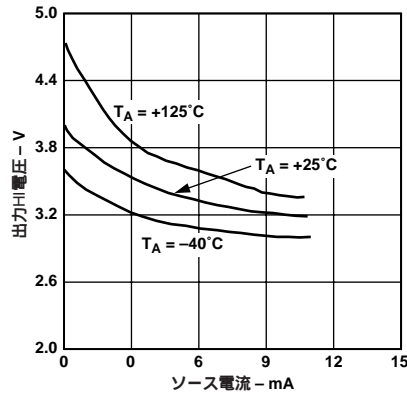


図11. 出力HI電圧、 V_{OH} 対ソース電流

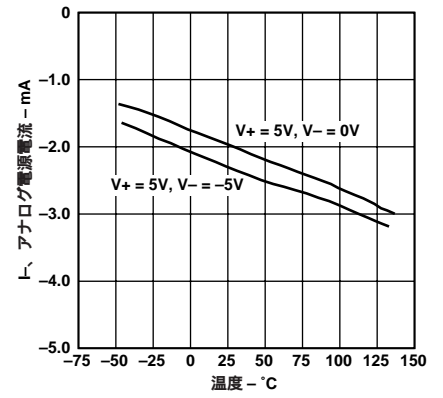


図12. アナログ電源電流対温度、+5V、-5V電源

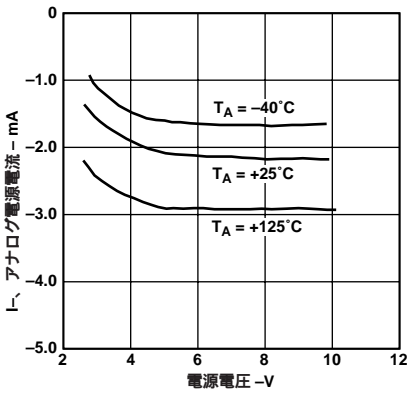


図13. アナログ電源電流対電源電圧、+5V、-5V電源

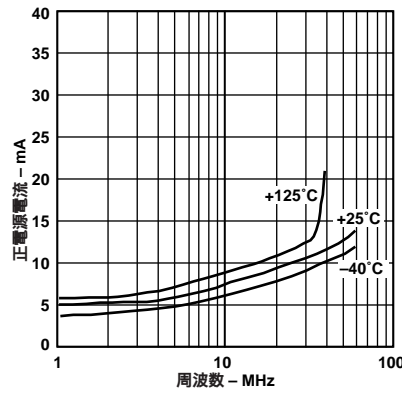


図14. 正電源電流対周波数

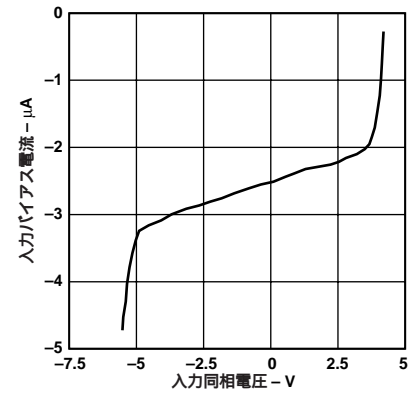


図15. 入力バイアス電流対入力同相電圧、+5V、-5V電源

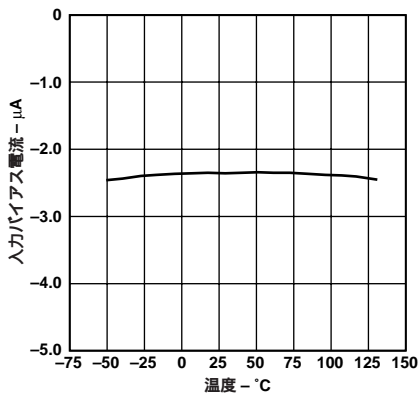


図16. 入力バイアス電流対温度

アプリケーション

高速性能の最適化

他の高速コンパレータまたはアンプと同様、AD8561から最高の性能を引き出すには、適切な設計およびレイアウト手法を用いなければなりません。高速回路の性能は、浮遊容量、不適切なグラウンド・インピーダンス、または他のレイアウトの問題があるとすぐに制限を受けます。

入力へのソース抵抗を小さくすることが、AD8561に高速動作を実行させる上での重要事項です。ソース抵抗と等価入力容量の組み合わせによって、入力の応答が遅延し、出力に遅延が生じることがあります。AD8561の入力容量と入力ピンからグラウンドへの浮遊容量が結合すると、数ピコファラッドの等価容量になります。3 k Ω のソース抵抗と5 pFの入力容量の組み合わせによっても15 nsの時定数が生じますが、これはAD8561の5 nsの能力よりも低速です。最高の性能を得るには、ソース・インピーダンスが1 k Ω 未満でなければなりません。

また、高速アプリケーションでは電源にバイパス・コンデンサを使用することも重要です。ピン1とピン4の各電源ピンからグラウンドに、ピンの0.5インチ以内に1 μ Fの電解バイパス・コンデンサを配置してください。これらのコンデンサは、電源に生じる電圧リップルを低減します。さらに、10 nFセラミック・コンデンサを電源ピンからグラウンドに、できるだけ電源ピンに近付けて配置しなければなりません。これらのコンデンサは高周波スイッチング中に、デバイスのための電荷貯蔵庫として働きます。

適切な高速性能を引き出すために、グラウンド・プレーンが推奨されます。これは回路基板の表面に連続する導電プレーンを使用し、必要な電流経路に対してのみブレイクを設けることによって構築できます。グラウンド・プレーンは低い誘導性グラウンドとなり、回路基板の異なるグラウンド・ポイントにおいて「グラウンド・バウンス」によって引き起こされる電位差をなくします。また、適切なグラウンド・プレーンは回路基板上の浮遊容量の影響を抑えます。

LT1016の置き換え

AD8561はLT1016コンパレータとピン・コンパチブルです。LT1016をより高性能のAD8561と簡単に置き換えることができますが、両者には違いがあり、確実に適切な動作を実行させるために、これらの違いを把握しておいてください。

AD8561とLT1016では大きな違いが5つあります。つまり、入力電圧範囲、入力バイアス電流、速度、出力振幅、消費電力です。

+5 V単電源動作時のLT1016の入力電圧範囲は+1.25 V ~ +3.5 Vです。AD8561の入力電圧範囲はこれより広く、0 V ~ 3.0 Vです。3.0 Vを超える信号では、応答時間が遅くなる場合があります(図8を参照)。両方の信号が3.0 Vを超える場合は、「高速性能の最適化」の項で述べたソース抵抗に関する注意を念頭に置いて、信号をシフトさせるか減衰させて範囲内に収めることができます。1つの信号だけが3.0 Vをわずかに超え、他の信号が常に0 V ~ 3 Vの範囲内にある場合は、回路を変更しなくてもコンパレータは動作します。

例：コンパレータが高速移動信号を2.5 V固定リファレンスと比

較するとします。コンパレータは信号が2.5 V付近にあるときにだけ動作すればよいので、コンパレータが出力を変化させる必要があるときには、両方の信号が入力範囲内(2.5 V付近および3.0 Vよりかなり下)にあります。

信号が3.0 Vを大きく超える場合は、入力電流が増加し、デバイスの動作が遅くなります。

AD8561の入力バイアス電流(-3 μ A標準)はLT1016(+5 μ A標準)より低く、電流はAD8561から流れ出てLT1016に流れ込みます。比較的低い抵抗値および低いインピーダンス・ソース、またはそのいずれかを入力に使用する場合、バイアス電流による電圧シフトは小さいはずで

AD8561(6.75 ns標準)はLT1016(10 ns標準)より高速です。これは多くのシステムにとって利点ですが、高速性能を活用するにはタイミング調整が必要なことがあります。

AD8561の出力電圧振幅はやや広くなっており、グラウンドより0.2 V高い電圧から正電源電圧の1.1 V以内までです。AD8561の消費電流(標準5 mA)は、LT1016(標準25 mA)より低くなっています。

出力振幅の拡大

通常動作には必要ありませんが、AD8561の出力電圧振幅は、デバイスの出力からV+電源に5 k Ω 抵抗を接続すれば拡大することができます。この構成は出力電圧振幅を大きくすることが重要な、低電圧電源アプリケーションで役立ちます。デバイスの出力に5 k Ω のプルアップ抵抗を付加しても、AD8561の仕様には悪影響を及ぼしません。

出力負荷の検討

AD8561の出力は伝播遅延を大幅に増やすことなく、最大40 mAの出力電流を供給可能です。このデバイスの出力を20個を超えるTTL入力ロジック・ゲートに接続してはなりません。つまり、100 未満の負荷抵抗を駆動するようにしてください。

AD8561から最高性能を引き出すには、デバイス出力の容量性負荷を小さくすることが重要です。容量性負荷が50 pFを超えると、出力波形にリングングが生じ、コンパレータの動作帯域幅が減少します。

出力をラッチするためのセットアップ時間とホールド時間

ピン5のラッチ入力を使用して、AD8561出力のデータを保持することができます。ラッチ入力の電圧がHIになると、デバイスの出力は入力電圧に関係なく一定となります。ラッチのためのセットアップ時間は、2 ns ~ 3 nsで、ホールド時間は3 nsです。これは、出力でデータを確実に保持するには、入力信号はラッチ・ピンがHIに移移するより少なくとも5 ns、そしてラッチ・ピンがHIに移移した後で少なくとも3 ns有効でなければならないことを意味します。ラッチ入力電圧がLOになると、約8 nsで新しい出力データが現れます。

ラッチ入力のロジックHIは最小+2.0 V、ロジックLOは最大+0.8 Vです。これにより、ラッチ入力はTTLまたはCMOSロジック・ゲートと容易にインターフェースします。AD8561のラッチ回路には組み込みヒステリシスはありませ

AD8561

入力段とバイアス電流

AD8561は、PNP差動入力段を使用して負電源レールから正電源レールの2.2V以内まで、入力同相範囲を拡張可能にします。入力同相電圧はデバイスの2入力における電圧の平均ということが分かります。最速応答時間を達成するには、入力同相電圧がいずれの電圧も超えないよう注意が必要です。

AD8561の入力バイアス電流は3μAです。他のPNP差動入力段と同様、このバイアス電流はHIの入力でゼロになり、LOの入力では2倍になります。抵抗が大きいと、入力バイアス電流のために大きな電圧降下が生じる可能性があるため、入力に接続する抵抗値を選ぶ際には注意が必要です。

AD8561の入力容量は標準3pFです。これは、5kΩソース抵抗を入力に挿入し、伝播遅延の変化を測ることによって測定されます。

ヒステリシスの使用

正帰還を加えればコンパレータに容易にヒステリシスを追加することができます。コンパレータにヒステリシスを加えると、入力信号がスイッチング・スレッシュOLD付近にあるときに出力の状態が変わって欲しくないようなノイズの多い環境で役立ちます。図17にヒステリシスをもつAD8561を構成するための方法を示します。

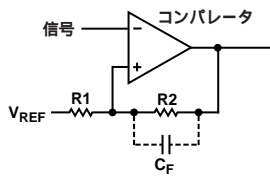


図17. ヒステリシス付きAD8561の構成

入力信号はコンパレータの非反転入力に直接接続されます。出力はR1とR2を通して、反転入力にフィードバックされます。V_{REF}ウィンドウの中心、すなわち平均スイッチング電圧を設定しておき、R1とR1 + R2の比でヒステリシス・ウィンドウの幅が決まります。以下の式1に示すとおり、Q出力は入力電圧がV_{HI}を超えるとHIに切り替わり、入力電圧がV_{LO}より低くなるとLOに切り替わります。

$$V_{HI} = (V_+ - 1 - V_{REF}) \frac{R1}{R1 + R2} + V_{REF} \quad (1)$$

$$V_{LO} = V_{REF} - \left(1 - \frac{R1}{R1 + R2}\right)$$

ここで、V₊は正の電源電圧です。

また、コンデンサC_Fを追加してフィードバックネットワークに極(ポール)を導入することもできます。これには高周波でヒステリシス量を増加させる効果があります。これは、高周波ノイズ環境で比較的遅い信号を比較するときに役立ちます。f_p = 1 / 2 C_FR2を超える周波数では、ヒステリシス・ウィンドウはV_{HI} = V₊ - 1V、V_{LO} = 0Vに近づきます。f_p以下の周波数では、スレッシュOLD電圧は式1のままです。

SPICEモデル

```

* AD8561 SPICE Macro-Model Typical Values
* 4/98, Ver. 1.0
* TAM / ADSC
*
* Node assignments
*
*           non-inverting input
*           |           inverting input
*           |           |           positive supply
*           |           |           |           negative supply
*           |           |           |           |           Latch
*           |           |           |           |           |           DGND
*           |           |           |           |           |           |           Q
*           |           |           |           |           |           |           |           QNOT
*           |           |           |           |           |           |           |           |
.SUBCKT AD8561 1 2 99 50 80 51 45 65
*
* INPUT STAGE
*
*
Q1 4 3 5 PIX
Q2 6 2 5 PIX
IBIAS 99 5 800E-6
RC1 4 50 1E3
RC2 6 50 1E3
CL1 4 6 1E-12
CIN 1 2 3E-12
VCM1 99 7 1
D1 5 7 DX
EOS 3 1 POLY(1) (31,98) 1E-3 1
*
* Reference Voltage
*
EREF 98 0 POLY(2) (99,0) (50,0) 0 0.5 0.5
RREF 98 0 100E3
*
* CMRR=80dB, ZERO AT 1kHz
*
ECM1 30 98 POLY(2) (1,98) (2,98) 0 0.5 0.5
RCM1 30 31 10E3
RCM2 31 98 1
CCM1 30 31 15.9E-9
*
* Latch Section
*
RX 80 51 100E3
E1 10 98 (4,6) 1
S1 10 11 (80,51) SLATCH1
R2 11 12 1
C3 12 98 10E-12
E2 13 98 (12,98) 1
R3 12 13 500
*
* Power Supply Section
*

```

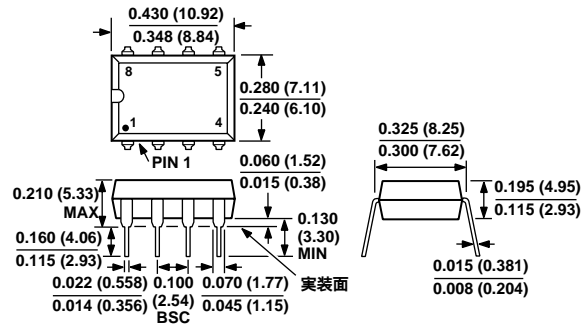
AD8561

```
GSY1 99 52 POLY(1) (99,50) 4E-3 -2.6E-4
GSY2 52 50 POLY(1) (99,50) 3.7E-3 -.6E-3
RSY 52 51 10
*
* Gain Stage Av=250 fp=100MHz
*
G2 98 20 (12,98) 0.25
R1 20 98 1000
C1 20 98 10E-13
D2 20 21 DX
D3 22 20 DX
V1 99 21 DC 0.8
V2 22 50 DC 0.8
*
* Q Output
*
Q3 99 41 46 NOX
Q4 47 42 50 NOX
RB1 43 41 200
RB2 40 42 5E3
CB1 99 41 10E-12
CB2 42 50 5E-12
RO1 46 45 2E3
R02 47 45 500
EO1 98 43 POLY(1) (20,98) 0 1
EO2 40 98 POLY(1) (20,98) 0 1
*
* Q NOT Output
*
Q5 99 61 66 NOX
Q6 67 62 50 NOX
RB3 63 61 200
RB4 60 62 5E3
CB3 99 61 10E-12
CB4 62 50 5E-12
RO3 66 65 2E3
RO4 67 65 500
EO3 63 98 POLY(1) (20,98) 0 1
EO4 98 60 POLY(1) (20,98) 0 1
*
* MODELS
*
.MODEL PIX PNP(BF=100,IS=1E-16)
.MODEL NOX NPN(BF=100,VAFF=130,IS=1E-14)
.MODEL DX D(IS=1E-16)
.MODEL SLATCH1 VSWITCH(ROFF=1E6,RON=500,VOFF=2.1,VON=1.4)
.ENDS AD8561
```

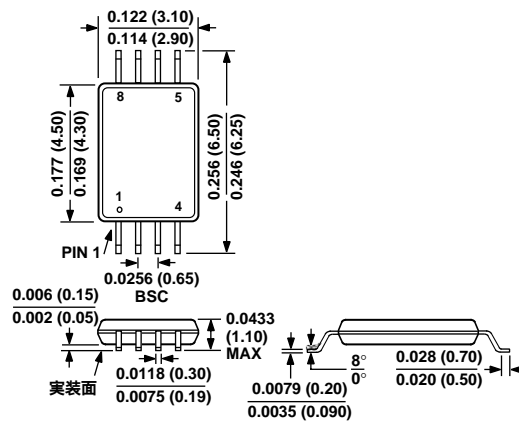
外形寸法

サイズはインチと(mm)で示します。

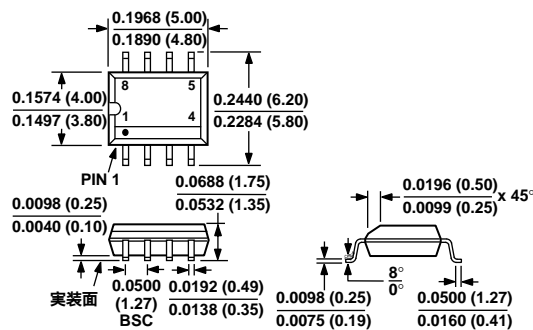
8ピン・プラスチックDIP (N-8)



8ピン薄型縮小スモール・アウトライン (RU-8)



8ピンスモール・アウトラインIC (SO-8)



AD8561

D0974-2.7-4/99,1A

PRINTED IN JAPAN

