

特長

- 超低オフセット電圧：規定温度範囲で10 μ V (max)
- 超低入力オフセット電圧ドリフト：60nV/ $^{\circ}$ C (max)
- 高CMRR：96dB (min)
- デジタル・プログラマブルのゲインおよび出力オフセット電圧
- シングル・ワイヤのシリアル・インターフェース
- オープンおよび短絡ワイヤ障害検出
- ローパス・フィルタ処理
- すべての容量性負荷に対して安定
- 出力クランプ電圧の外部プログラミング設定による低電圧ADCの駆動
- 16ピンLFCSPおよび8ピンSOICパッケージ
- 2.7~5.5V電源による動作
- 40~+125 $^{\circ}$ Cの動作温度範囲

アプリケーション

- 自動車用センサー
- 圧力センサーと位置センサー
- 熱電対アンプ
- 工業用重量計
- 高精度電流センシング
- ストレン・ゲージ

概要

AD8555は、ゲインと出力オフセットのデジタル・プログラミングが可能でゼロ・ドリフトのセンサー信号アンプです。変動する圧力センサー出力とストレン・ブリッジ出力を規定された出力電圧範囲に簡単に、しかも高精度に変換するように設計されています。さらに、その他数多くの差動またはシングルエンドのセンサー出力を高い精度で増幅できます。AD8555にはアナログ・デバイセズの特許取得済みの低ノイズ・オートゼロおよびDigiTrim[®]技術が採用されており、これによってきわめてコンパクトなフットプリントでずば抜けて精度が高く、柔軟性に優れた信号処理ソリューションを提供します。

シリアル・データ・インターフェースを介して、ゲインを70から1,280までの幅広い範囲でデジタル・プログラミングすることが可能です。ゲイン調整を回路内で完全にシミュレートし、実証済みの信頼性の高いポリヒューズ技術でゲインを固定設定できます。出力オフセット電圧もデジタル・プログラミングが可能で、電源電圧に対してレシオメトリックになっています。

機能ブロック図

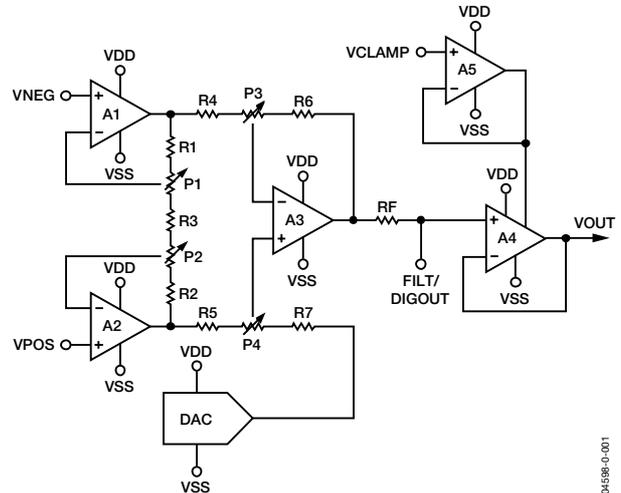


図1

きわめて低い入力オフセット電圧と入力オフセット電圧ドリフト、そしてきわめて高いDCおよびAC CMRRに加え、AD8555の入力ピンにはプルアップ電流源、VCLAMPピンにはプルダウン電流源が備わっています。これにより、オープン・ワイヤと短絡ワイヤの障害を検出できます。低価格のコンデンサを1個外付けするだけで、ローパス・フィルタ機能を実装できます。電圧リファレンスを外付けして出力クランピングを設定できるため、AD8555は低電圧のADCを安全かつ高精度に駆動できます。

同じ電源を基準にするADCとこのアンプを使用すれば、通常の電源電圧変動によってシステムの精度が左右されなくなります。VDDとVSSの電圧差の0.4%以内の分解能で出力オフセット電圧を調整できます。ゲインおよびオフセット調整後のロックアウト・トリムにより、フィールドの信頼性を高めることができます。

AD8555ARの仕様は、-40~+125 $^{\circ}$ Cの拡張工業用温度範囲で規定されています。AD8555は2.7~5.5Vまでの単電源で動作し、狭体型の8ピンSOICパッケージと4mm \times 4mmの16ピンLFCSPパッケージで提供しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2004 Analog Devices, Inc. All rights reserved.

AD8555

目次

電氣的仕様	3	デバイスのプログラミング	19
絶対最大定格	7	フィルタ処理機能	25
ピン配置と機能の説明	8	容量性負荷の駆動	25
代表的な性能特性	9	RF干渉	26
動作原理	17	単電源のデータ・アクイジション・システム	26
ゲイン値	18	AD8555を容量性センサーとともに使用する方法	27
オープン・ワイヤ障害検出	19	外形寸法	28
短絡ワイヤ障害検出	19	オーダー・ガイド	28
VPOS、VNEG、VCLAMPのフローティング障害検出	19		

改訂履歴

4/04—リビジョン0：初版

電氣的仕様

特に指定のない限り、 $V_{DD}=5.0V$ 、 $V_{SS}=0.0V$ 、 $V_{CM}=2.5V$ 、 $V_O=2.5V$ 、 $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ です。

表1

パラメータ	記号	条件	Min	Typ	Max	単位
入力段						
入力オフセット電圧	V_{OS}			2	10	μV
入力オフセット電圧ドリフト	$T_C V_{OS}$			25	65	$nV/^{\circ}C$
入力バイアス電流	I_B	$T_A=25^{\circ}C$	12	16	22	nA
					25	nA
入力オフセット電流	I_{OS}	$T_A=25^{\circ}C$		0.2	1	nA
					1.5	nA
入力電圧範囲			0.6		3.8	V
同相ノイズ除去比	CMRR	$V_{CM}=0.9\sim 3.6V$ 、 $A_V=70$	80	92		dB
		$V_{CM}=0.9\sim 3.6V$ 、 $A_V=1,280$	96	112		dB
直線性		$V_O=0.2\sim 3.4V$		20		ppm
		$V_O=0.2\sim 4.8V$		1000		ppm
差動ゲイン精度		第2段ゲイン=17.5~100		0.35	1.6	%
		第2段ゲイン=140~200		0.5	2.5	%
差動ゲイン温度係数		第2段ゲイン=17.5~100		15	40	$ppm/^{\circ}C$
		第2段ゲイン=140~200		40	100	$ppm/^{\circ}C$
RF抵抗値			14	18	22	$k\Omega$
RF温度係数				700		$ppm/^{\circ}C$
DAC						
精度		$A_V=70$ 、オフセット・コード=8~248		0.7	0.8	%
レシオメトリック性能		$A_V=70$ 、オフセット・コード=8~248		50		ppm
出力オフセット		$A_V=70$ 、オフセット・コード=8~248		5	35	mV
温度係数				3.3	15	$ppm\ FS/^{\circ}C$
VCLAMP						
入力バイアス電流		$T_A=25^{\circ}C$ 、 $V_{CLAMP}=5V$		200		nA
				500		nA
入力電圧範囲			1.25		4.94	V
出力バッファ段						
バッファ・オフセット				7	15	mV
短絡電流	I_{SC}		5		10	mA
出力ロー電圧	V_{OL}	$R_L=10k\Omega\sim 5V$			30	mV
出力ハイ電圧	V_{OH}	$R_L=10k\Omega\sim 0V$	4.94			V
電源						
電源電流	I_{SY}	$V_O=2.5V$ 、 $V_{POS}=V_{NEG}=2.5V$ 、 $VDAC$ コード=128		2.0	2.5	mA
電源電圧変動除去比	PSRR	$A_V=70$	109	125		dB
ダイナミック性能						
ゲイン帯域幅積	GBP	第1ゲイン段、 $T_A=25^{\circ}C$ 第2ゲイン段、 $T_A=25^{\circ}C$		2		MHz
		出力バッファ段		8		MHz
				1.5		MHz
出力バッファのスルーレート	SR	$A_V=70$ 、 $R_L=10k\Omega$ 、 $C_L=100pF$		1.2		$V/\mu s$
セトリング時間	t_s	0.1%まで、 $A_V=70$ 、4Vの出力ステップ		8		μs
ノイズ性能						
入力換算ノイズ	$e_{n\ p-p}$	$T_A=25^{\circ}C$ 、 $f=1kHz$		32		nV/\sqrt{Hz}
低周波数ノイズ		$f=0.1\sim 10Hz$		0.5		$\mu V\ p-p$
全高調波歪み	THD	$V_{IN}=16.75mV\ rms$ 、 $f=1kHz$ 、 $A_V=100$		-100		dB

AD8555

パラメータ	記号	条件	Min	Typ	Max	単位
デジタル・インターフェース						
入力電流				2		μA
負荷0に対するDIGINパルス幅	t_{w0}	$T_A = 25^\circ\text{C}$	0.05		10	μs
負荷1に対するDIGINパルス幅	t_{w1}	$T_A = 25^\circ\text{C}$	50			μs
DIGINのパルス間時間	t_{ws}	$T_A = 25^\circ\text{C}$	10			μs
DIGINローレベル電圧		$T_A = 25^\circ\text{C}$			1	V
DIGINハイレベル電圧		$T_A = 25^\circ\text{C}$	4			V
DIGOUTロジック0電圧		$T_A = 25^\circ\text{C}$			1	V
DIGOUTロジック1電圧		$T_A = 25^\circ\text{C}$	4			V

特に指定のない限り、 $V_{DD}=2.7V$ 、 $V_{SS}=0.0V$ 、 $V_{CM}=1.35V$ 、 $V_O=1.35V$ 、 $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ です。

表2

パラメータ	記号	条件	Min	Typ	Max	単位
入力段						
入力オフセット電圧	V_{OS}			2	10	μV
入力オフセット電圧ドリフト	$T_C V_{OS}$			25	60	$nV/^{\circ}C$
入力バイアス電流	I_B	$T_A=25^{\circ}C$	12	16		nA
入力オフセット電流	I_{OS}	$T_A=25^{\circ}C$		0.2	1	nA
					1.5	nA
入力電圧範囲			0.5		1.6	V
同相ノイズ除去比	CMRR	$V_{CM}=0.9 \sim 1.3V$ 、 $A_V=70$	80	92		dB
		$V_{CM}=0.9 \sim 1.3V$ 、 $A_V=1,280$	96	112		dB
直線性		$V_O=0.2 \sim 3.4V$		20		ppm
		$V_O=0.2 \sim 4.8V$		1000		ppm
差動ゲイン精度		第2段ゲイン=17.5~100		0.35		%
		第2段ゲイン=140~200		0.5		%
差動ゲイン温度係数		第2段ゲイン=17.5~100		15		ppm/ $^{\circ}C$
		第2段ゲイン=140~200		40		ppm/ $^{\circ}C$
RF抵抗値			14	18	22	k Ω
RF温度係数				700		ppm/ $^{\circ}C$
DAC						
精度		$A_V=70$ 、オフセット・コード=8~248		0.7		%
レシオメトリック性能		$A_V=70$ 、オフセット・コード=8~248		50		ppm
出力オフセット		$A_V=70$ 、オフセット・コード=8~248		5	35	mV
温度係数				3.3		ppm FS/ $^{\circ}C$
VCLAMP						
入力バイアス電流		$T_A=25^{\circ}C$ 、 $V_{CLAMP}=2.7V$		200		nA
				500		nA
入力電圧範囲			1.25		2.64	V
出力バッファ段						
バッファ・オフセット				7	15	mV
短絡電流	I_{SC}		4.5		9.5	mA
出力ロー電圧	V_{OL}	$R_L=10k\Omega \sim 5V$			30	mV
出力ハイ電圧	V_{OH}	$R_L=10k\Omega \sim 0V$	2.64			V
電源						
電源電流	I_{SY}	$V_O=1.35V$ 、 $V_{POS}=V_{NEG}=1.35V$ 、 V_{DAC} コード=128		2.0		mA
電源電圧変動除去比	PSRR	$A_V=70$	109	125		dB
ダイナミック性能						
ゲイン帯域幅積	GBP	第1ゲイン段、 $T_A=25^{\circ}C$ 第2ゲイン段、 $T_A=25^{\circ}C$		2		MHz
		出力バッファ段		8		MHz
				1.5		MHz
出力バッファのスルーレート	SR	$A_V=70$ 、 $R_L=10k\Omega$ 、 $C_L=100pF$		1.2		V/ μs
セトリング時間	t_s	0.1%まで、 $A_V=70$ 、4Vの出力ステップ		8		μs
ノイズ性能						
入力換算ノイズ		$T_A=25^{\circ}C$ 、 $f=1kHz$		32		nV/\sqrt{Hz}
低周波数ノイズ	e_{n-p-p}	$f=0.1 \sim 10Hz$		0.3		μV_{p-p}
全高調波歪み	THD	$V_{IN}=16.75mV$ rms、 $f=1kHz$ 、 $A_V=100$		-100		dB

AD8555

パラメータ	記号	条件	Min	Typ	Max	単位
デジタル・インターフェース 入力電流				2		μA
負荷0に対するDIGINパルス幅	t_{w0}	$T_A = 25^\circ\text{C}$	0.05		10	μs
負荷1に対するDIGINパルス幅	t_{w1}	$T_A = 25^\circ\text{C}$	50			μs
DIGINのパルス間時間	t_{ws}	$T_A = 25^\circ\text{C}$	10			μs

絶対最大定格

表3

パラメータ	定格値
電源電圧	6V
入力電圧	VSS−0.3V~VDD+0.3V
差動入力電圧 ¹	±5.0V
VSSまたはVDDに対する 出力短絡時間	無制限
保存温度範囲	−65~150℃
動作温度範囲	−40~125℃
ジャンクション温度範囲	−65~150℃
リードピン温度 (ハンダ付け、10秒)	300℃

表4

パッケージのタイプ	θ_{JA} ²	θ_{JC}	単位
8ピンSOIC (R)	158	43	℃/W
16ピンLFCSP (CP)	44	31.5	℃/W

¹ 差動入力電圧は、±5.0Vまたは正と負の電源電圧のいずれか低い方の電圧までとします。

² θ_{JA} は最悪時の条件に対する仕様です。すなわち、SOICおよびLFCSPパッケージでデバイスを回路基板にハンダ付けした場合の値になります。

AD8555

ピン配置と機能の説明



図2. 8ピンSOIC (実寸ではありません)

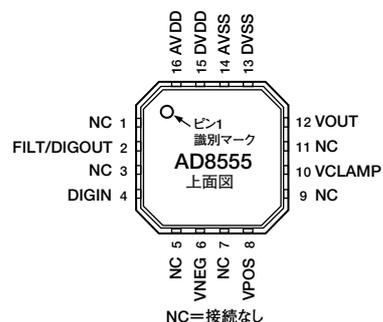


図3. 16ピンLFCSP (実寸ではありません)

表5. ピン機能の説明

ピン番号	SOIC		LFCSP		説明
	記号	ピン番号	記号	ピン番号	
1	VDD	N/A	N/A	N/A	正の電源電圧
2	FILT/DIGOUT	2	FILT/DIGOUT	2	RF抵抗と直列に接続するバッファなしのアンプ出力です。FILTとVDDまたはVSSピン間にコンデンサを1個追加すると、ローパス・フィルタ処理機能が得られます。読出しモード時に、このピンはデジタル出力になります。
3	DIGIN	4	DIGIN	4	デジタル入力
4	VNEG	6	VNEG	6	負のアンプ入力 (反転入力)
5	VPOS	8	VPOS	8	正のアンプ入力 (非反転入力)
6	VCLAMP	10	VCLAMP	10	クランプ電圧を出力側で設定します。
7	VOUT	12	VOUT	12	バッファされたアンプ出力です。FILT/DIGOUTピンの信号をバッファした出力です。読出しモード時に、VOUTはバッファされたデジタル出力になります。
8	VSS	N/A	N/A	N/A	負の電源電圧
N/A	N/A	13, 14	DVSS, AVSS	13, 14	負の電源電圧
N/A	N/A	15, 16	DVDD, AVDD	15, 16	正の電源電圧
N/A	N/A	1, 3, 5, 7, 9, 11	NC	1, 3, 5, 7, 9, 11	接続しません。

代表的な性能特性

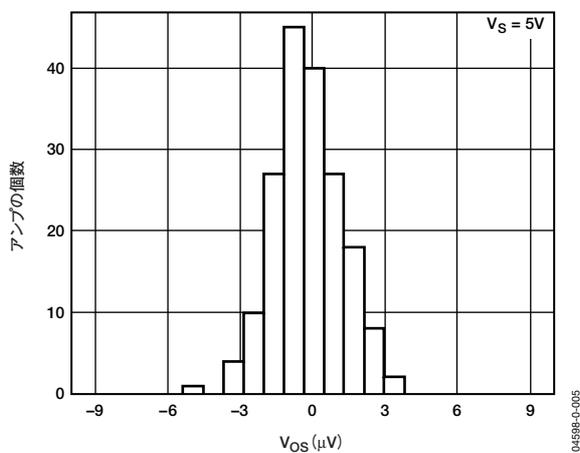


図4. 入力オフセット電圧の分布

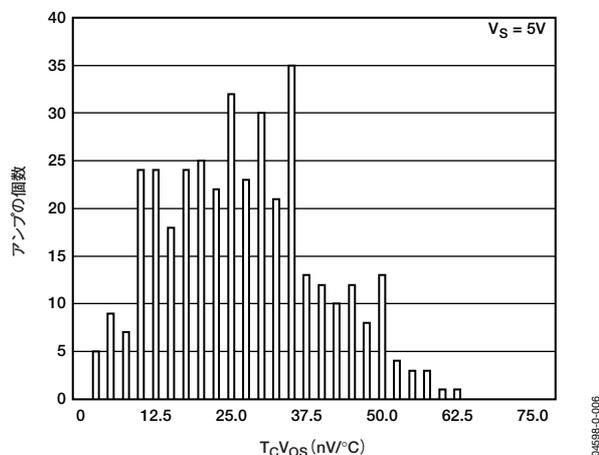


図7. 入力オフセット電圧ドリフトの分布 (Vs=5V)

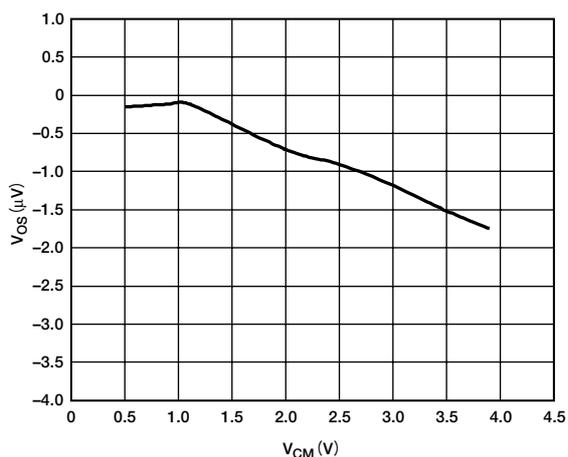


図5. 同相電圧 対 入力オフセット電圧

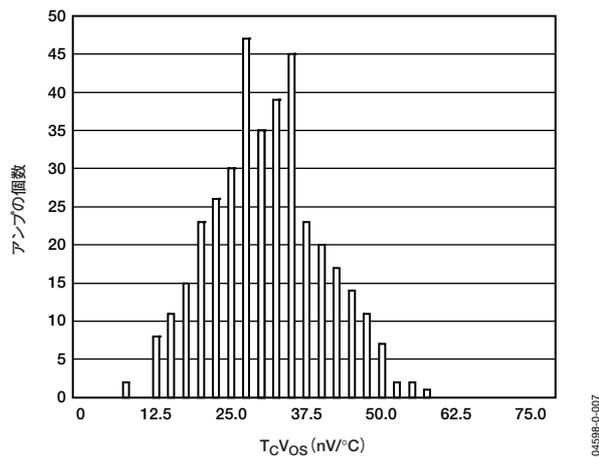


図8. 入力オフセット電圧ドリフトの分布 (Vs=2.7V)

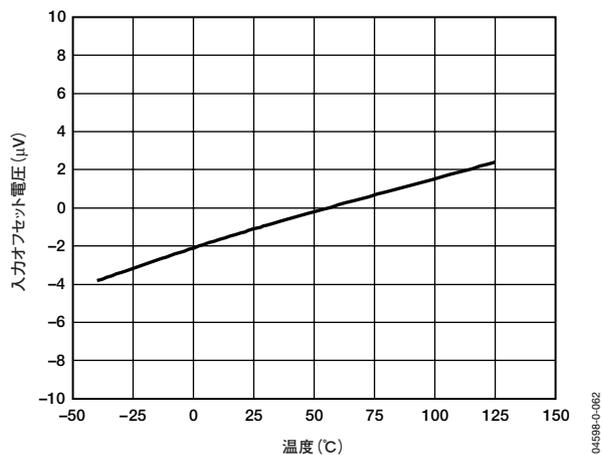


図6. 入力オフセット電圧の温度特性

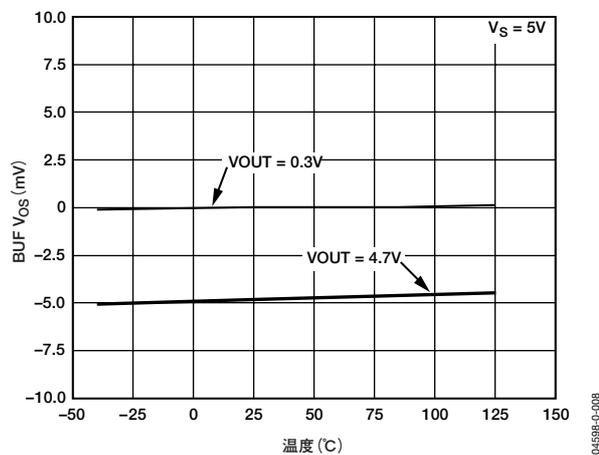


図9. 出力バッファ・オフセットの温度特性

AD8555

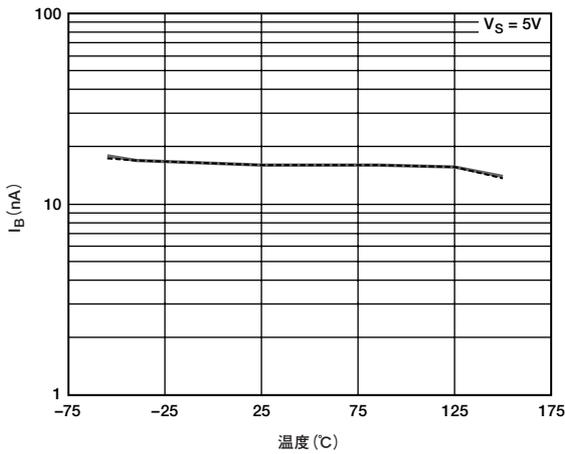


図10. VPOS、VNEGの入カバイアス電流の温度特性

04598-0-009

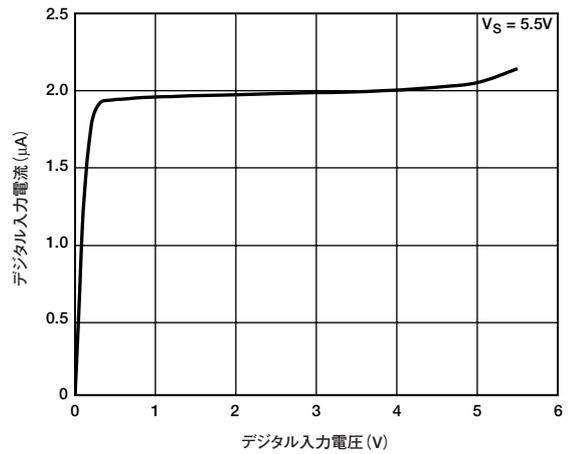


図13. デジタル入力電圧 対 デジタル入力電流 (3番ピン)

04598-0-011

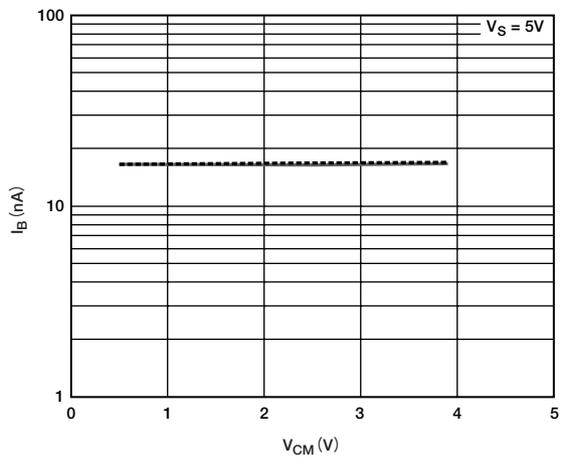


図11. 同相電圧 対 VPOS、VNEGの入カバイアス電流

04598-0-010

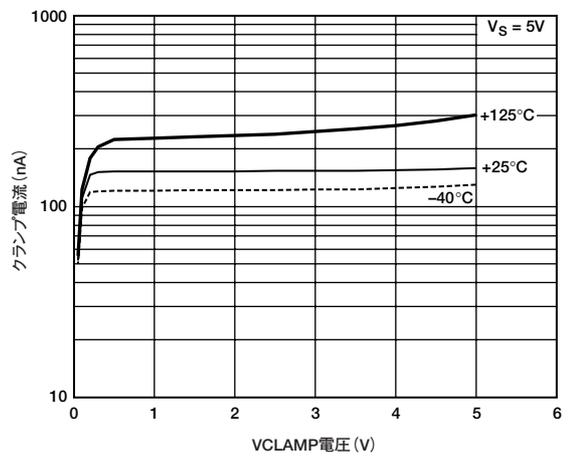


図14. VCLAMP電圧 対 $V_S=5V$ での動作温度範囲におけるVCLAMP電流

04598-0-012

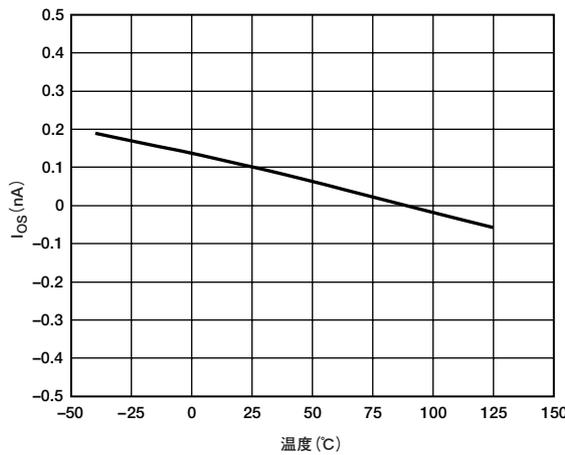


図12. 入力オフセット電流の温度特性

04598-0-063

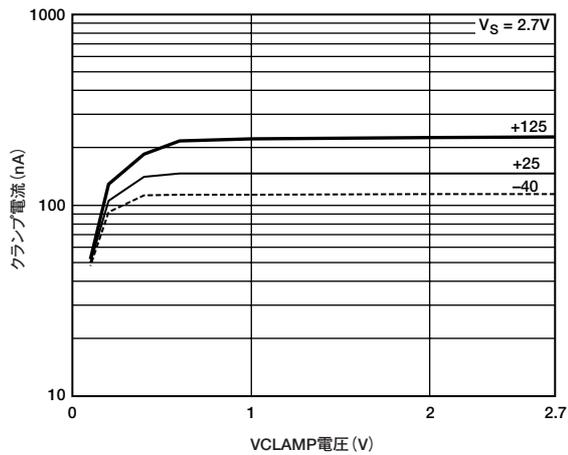
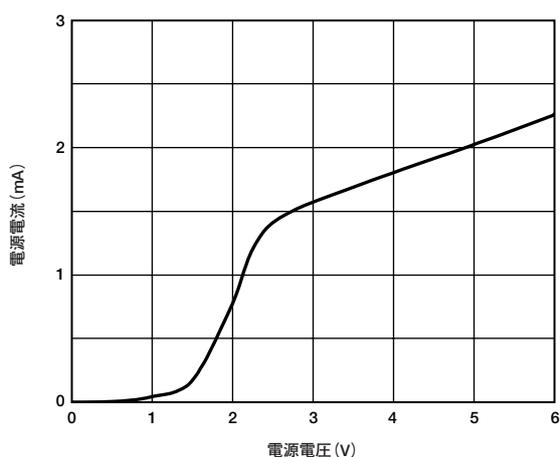


図15. VCLAMP電圧 対 $V_S=2.7V$ での動作温度範囲におけるVCLAMP電流

04598-0-013

図16. 電源電圧対電源電流 (I_{SV})

04598-0-014

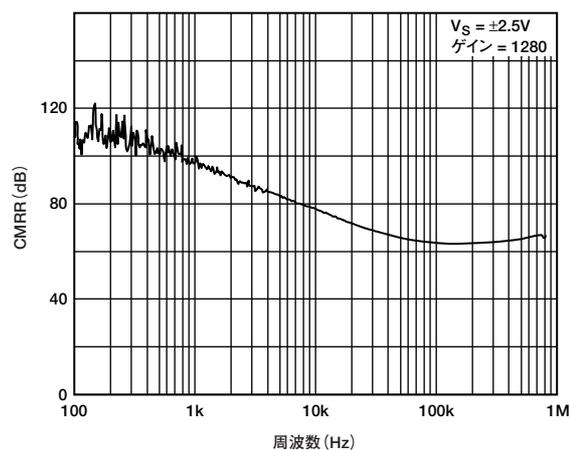
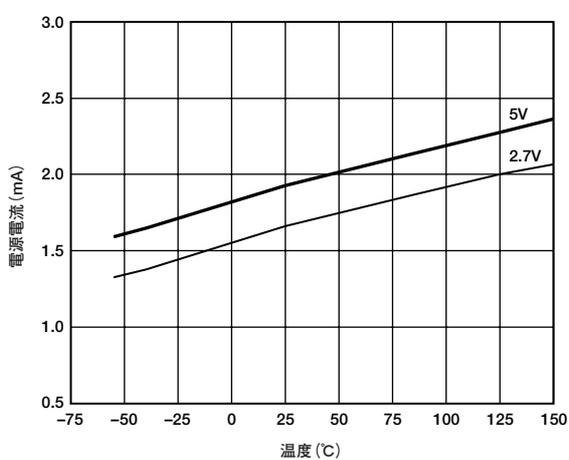


図19. CMRRの周波数特性

04598-0-017

図17. 電源電流 (I_{SV}) の温度特性

04598-0-015

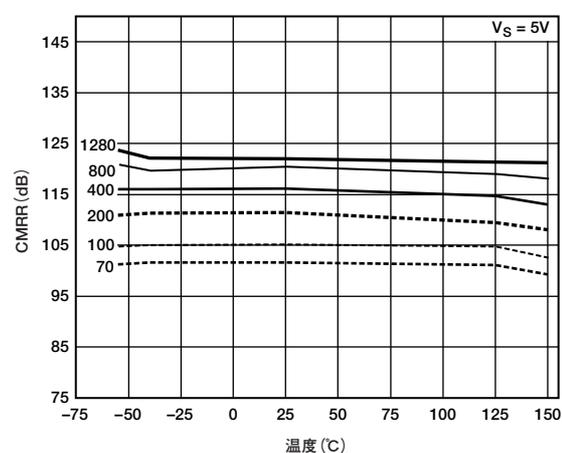


図20. さまざまなゲインでのCMRRの温度特性

04598-0-018

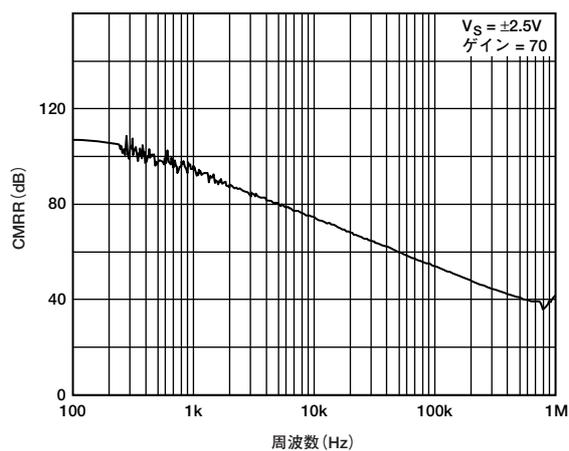


図18. CMRRの周波数特性

04598-0-016

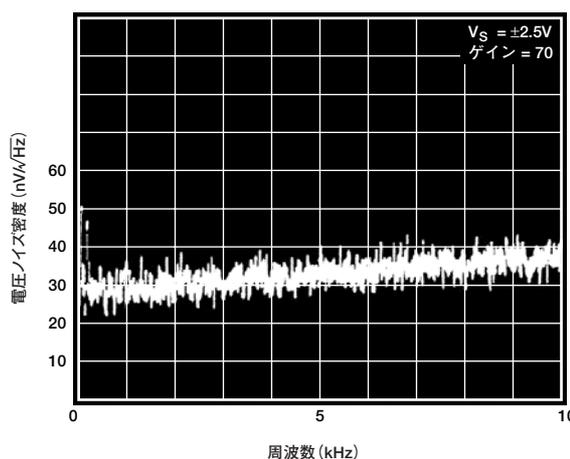


図21. 入力電圧ノイズ密度の周波数特性 (0Hz~10kHz)

04598-0-019

AD8555

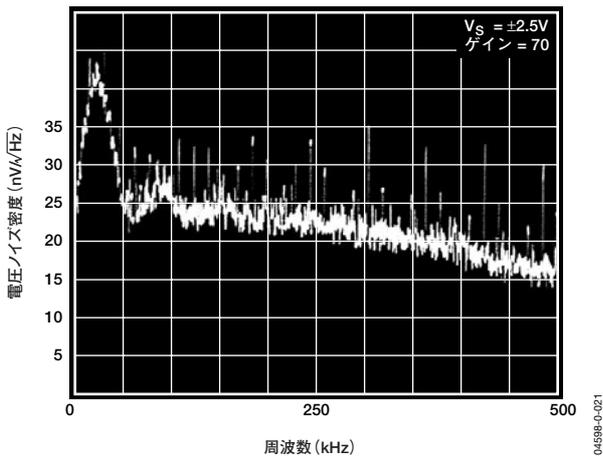


図22. 入力電圧ノイズ密度の周波数特性 (0Hz~500kHz)

04598-0-021

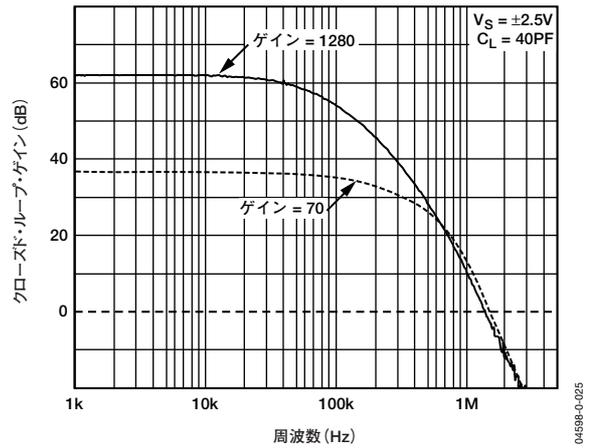


図25. フィルタ・ピンで測定されたクローズド・ループ・ゲインの周波数特性

04598-0-025

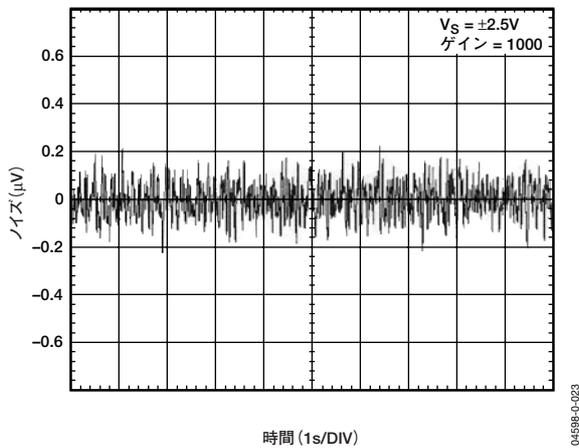


図23. 低周波数入力電圧ノイズ (0.1~10Hz)

04598-0-023

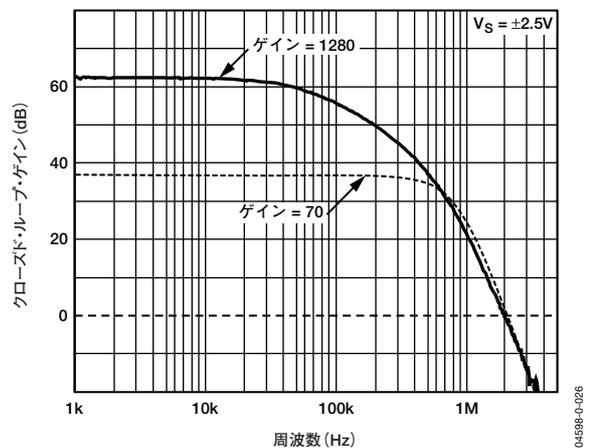


図26. 出力ピンで測定されたクローズド・ループ・ゲインの周波数特性

04598-0-026

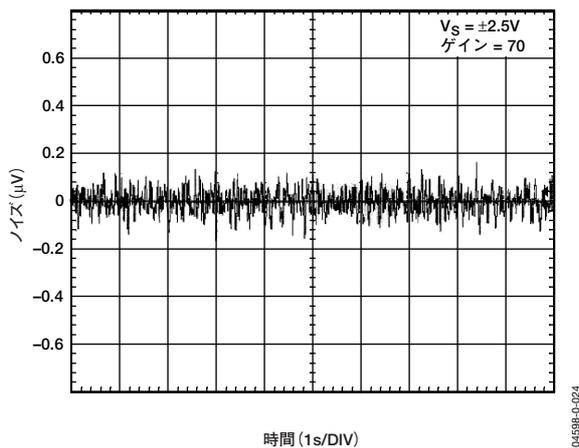


図24. 低周波数入力電圧ノイズ (0.1~10Hz)

04598-0-024

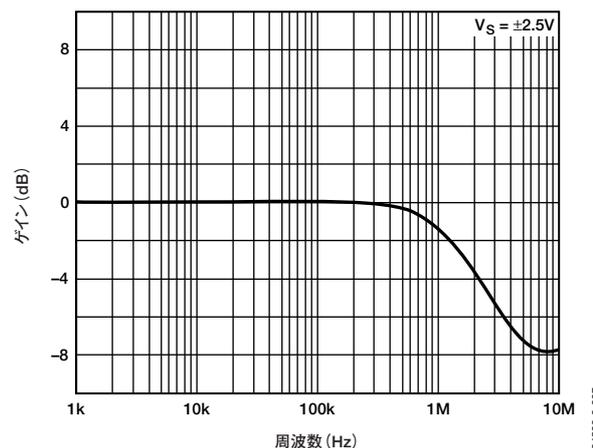


図27. 出力バッファ・ゲインの周波数特性

04598-0-027

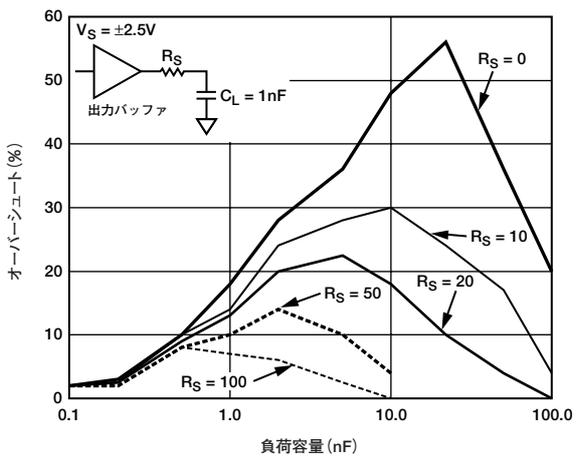


図28. 出力バッファの正のオーバーシュート

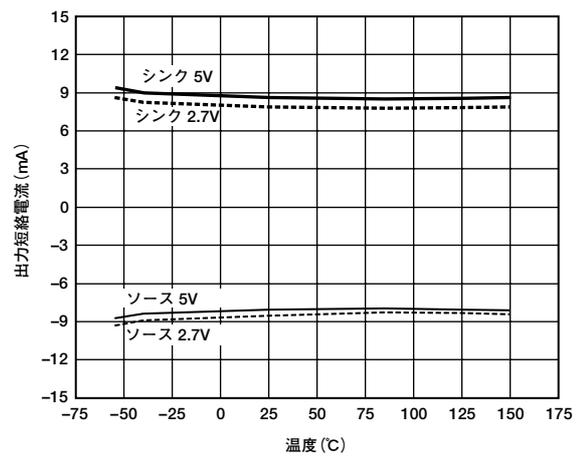


図31. 出力短絡電流の温度特性

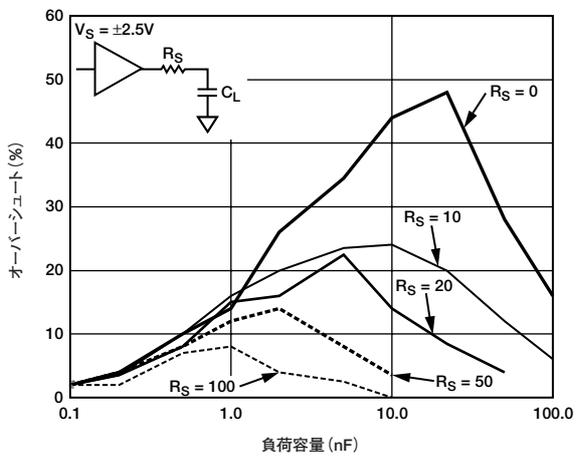


図29. 出力バッファの負のオーバーシュート

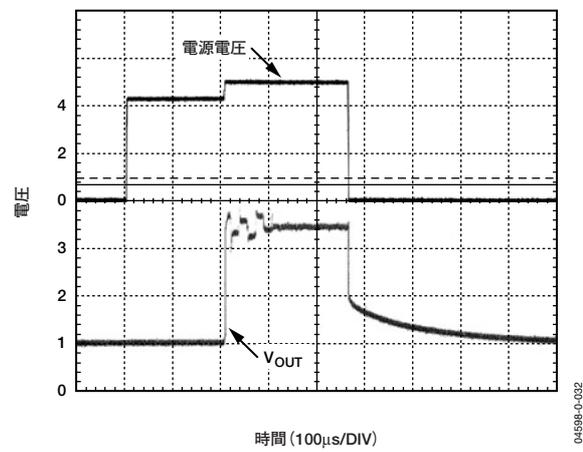


図32. 25°Cでのパワーオン応答性

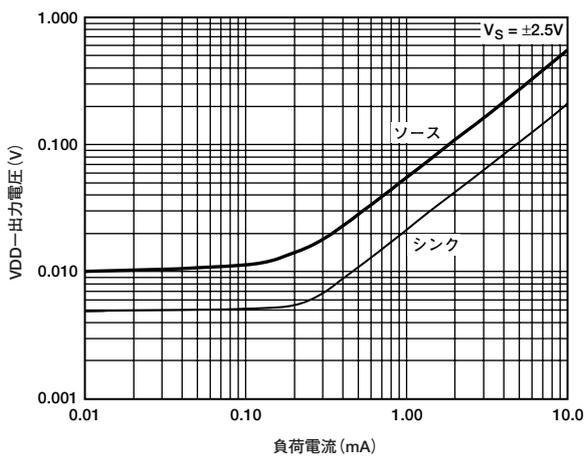


図30. 負荷電流対電源レールまでの出力電圧

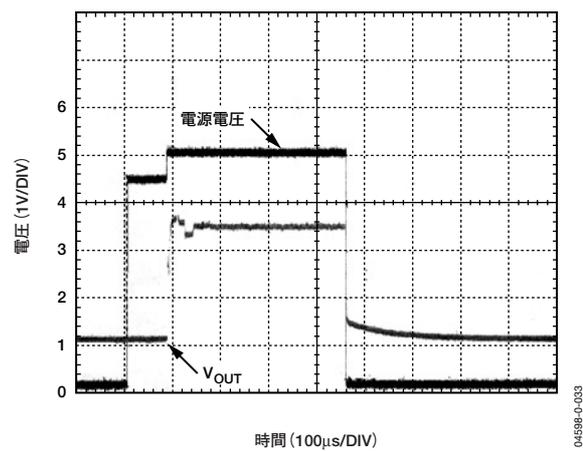


図33. 125°Cでのパワーオン応答性

AD8555

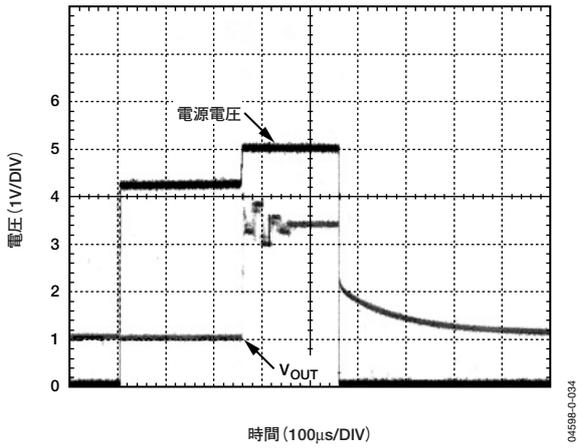


図34. -40°Cでのパワーオン応答性

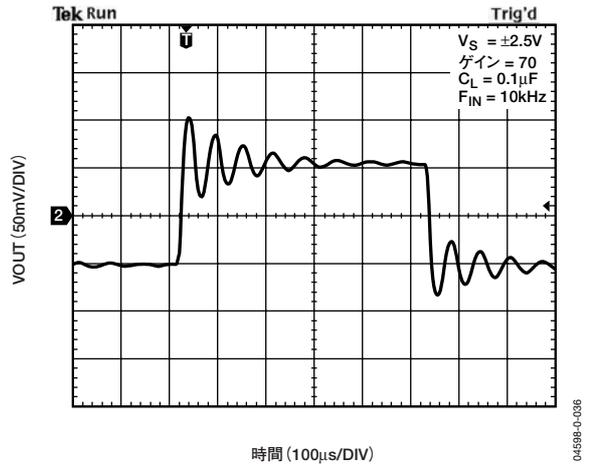


図37. 小信号応答性

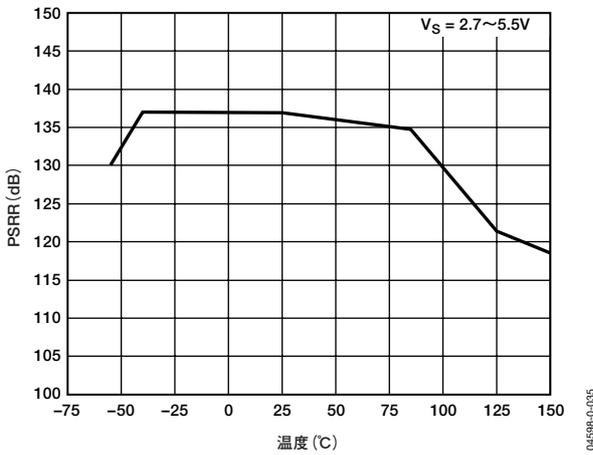


図35. PSRRの温度特性

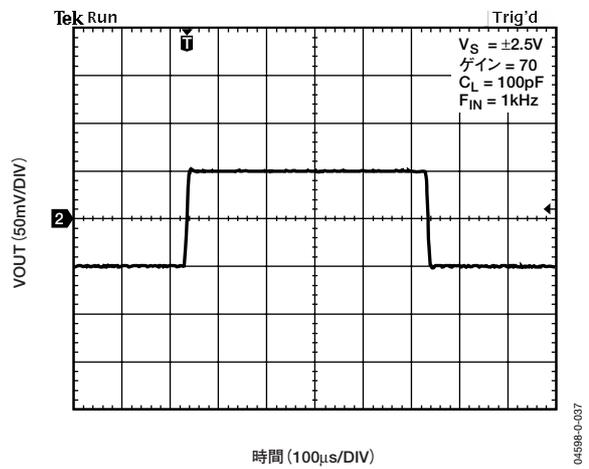


図38. 小信号応答性

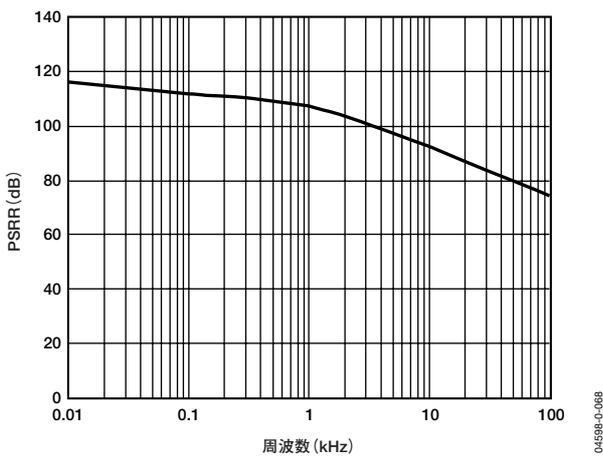


図36. PSRRの周波数特性

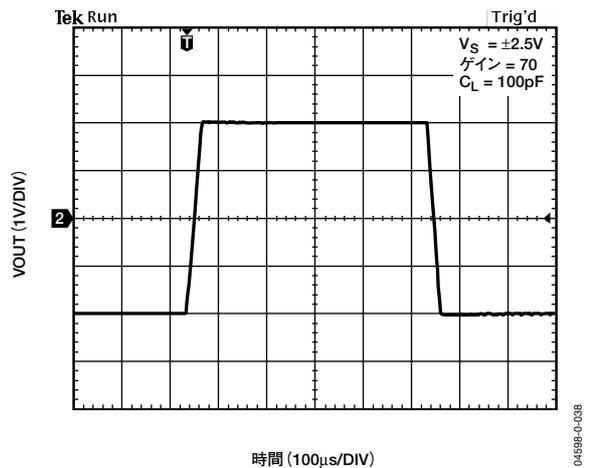


図39. 大信号応答性

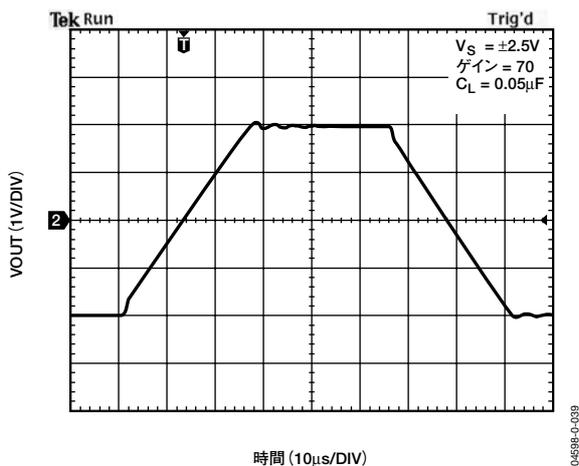


図40. 大信号応答性

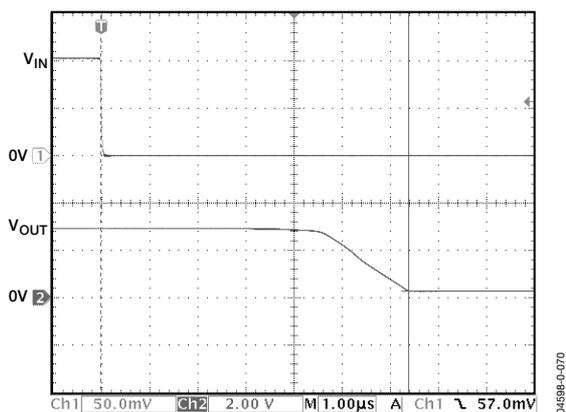


図43. 正の過負荷復帰特性 (ゲイン=70)

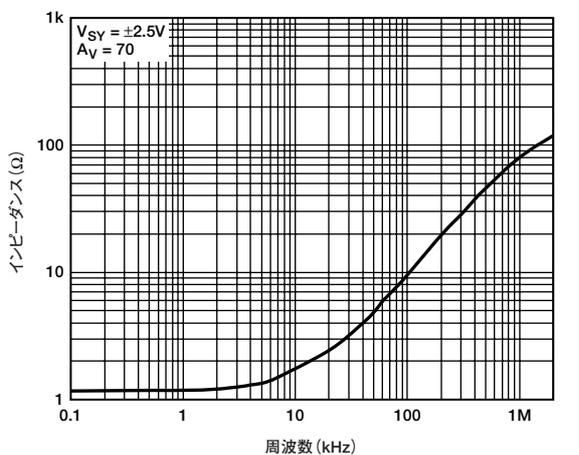


図41. 出力インピーダンスの周波数特性

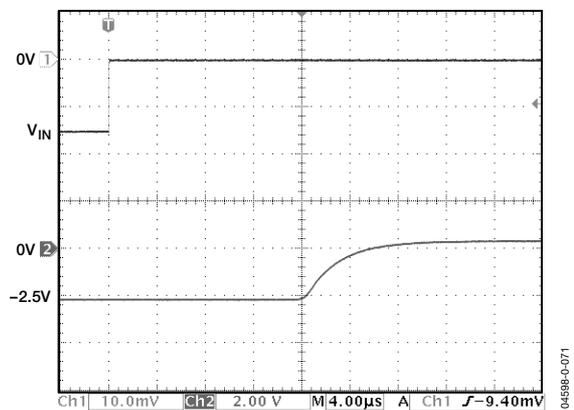


図44. 負の過負荷復帰特性 (ゲイン=1280)

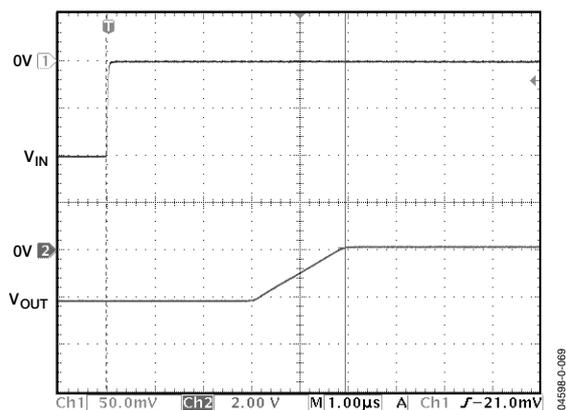


図42. 負の過負荷復帰特性 (ゲイン=70)

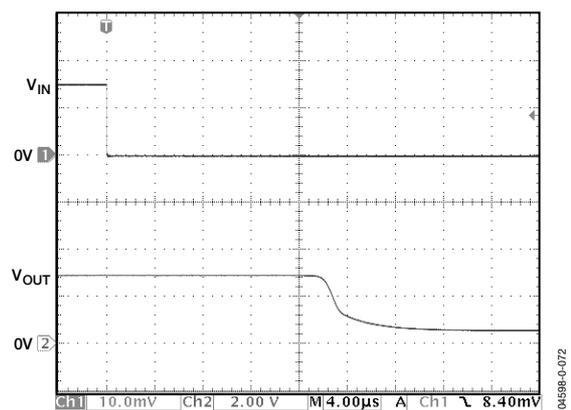


図45. 正の過負荷復帰特性 (ゲイン=1280)

AD8555

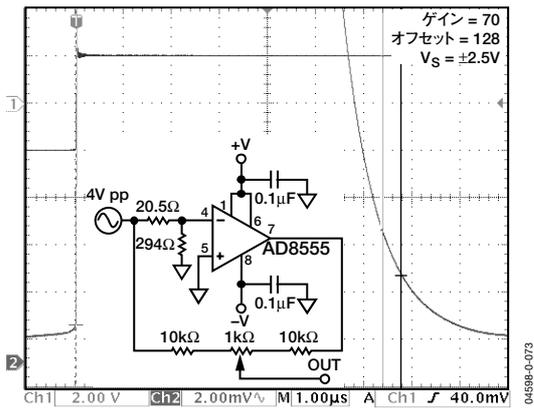


図46. 0.1%に対するセトリング時間

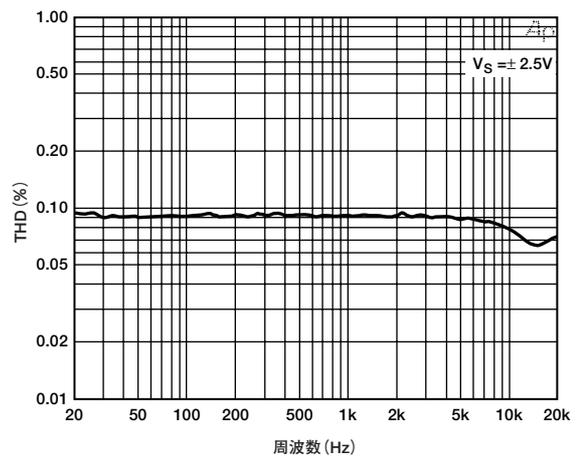


図48. THDの周波数特性

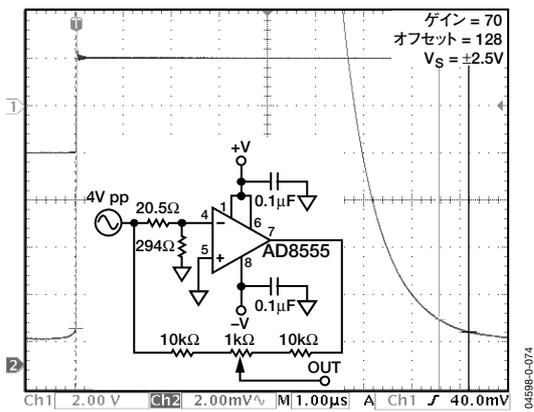


図47. 0.01%に対するセトリング時間

動作原理

A1、A2、R1、R2、R3、P1、P2で差動アンプの第1ゲイン段を構成します。A1とA2は、入力オフセット誤差を最小にするオートゼロ・オペアンプです。P1とP2は、単調増加性が保証されたデジタル・ポテンシオメータです。P1とP2のプログラミングによって、初段のゲインを7ビットの分解能で4.0から6.4まで変更でき（表6と式3を参照）、0.37%のゲイン微調整分解能が得られます。R1、R2、R3、P1、P2の温度係数は同じであるため、初段のゲイン温度係数は100ppm/°Cより小さくなります。

A3、R4、R5、R6、R7、P3、P4で差動アンプの第2ゲイン段を構成します。A3も、入力オフセット誤差を最小にするオートゼロ・オペアンプです。P3とP4は、第2段のゲインを8ステップで17.5から200まで変更できるデジタル・ポテンシオメータです（表7を参照）。これらのポテンシオメータにより、ゲインを幅広い範囲で変更することができます。R4、R5、R6、R7、P3、P4の温度係数は同じであるため、第2段のゲイン温度係数は100ppm/°Cより小さくなります。

FILT/DIGOUTとVSSまたはVDDピンの間に外付けするコンデンサ1個とRFによって、ローパス・フィルタを構成します。フィルタ処理された信号をA4によってバッファし、VOUTから低インピーダンスの信号として出力します。RFは公称値が16kΩであり、FILT/DIGOUTとVSS間またはFILT/DIGOUTとVDD間に10nFのコンデンサを外付けすることによって、1kHzのローパス・フィルタを実装できます。ローパス・フィルタ処理が必要ない場合は、FILT/DIGOUTピンを必ずフローティング状態にしてください。

A5は電圧バッファになり、アンプの出力バッファA4に正の電源を供給します。VOUTを最大値に制限するその機能は、VDDよりも低い電源電圧で動作するA/Dコンバータ（ADC）の駆動に利用できます。A5の入力VCLAMPには、きわめて高い入力抵抗値になっています。これは既知の電圧に接続し、フローティング状態にはしないでください。ただし、入力インピーダンスが高いため、分圧器などの高インピーダンスの信号源を使用してクランプ電圧を設定できます。VOUTの最大値を制限する必要がない場合は、VCLAMPをVDDに接続してください。

A4は、レールtoレール入力および出力のユニティ・ゲイン電圧バッファです。A4の出力段にはVDDではなく、バッファされたVCLAMPが供給されるため、正の電圧振幅が制限されます。出力電流の最大値は、5~10mAまでの範囲に制限されます。

8ビットのD/Aコンバータ（DAC）を使用して、アンプ出力の可変オフセットを生成することができます。このDACは単調増加性が保証されています。入力信号のレシオメトリック特性を維持するために、このDACのリファレンス電圧をVSSとVDDから駆動しています。DAC出力は、VSS（コード0）からVDD（コード255）までの振幅が可能です。8ビットの分解能は、VDDとVSSとの差電圧の0.39%と等価であり、5V電源では19.5mVに相当します。DAC出力電圧（VDAC）の概算値は、以下の式から得られます。

$$VDAC \approx \left(\frac{\text{コード} + 0.5}{256} \right) (VDD - VSS) + VSS \quad (1)$$

VDACの温度係数は、200ppm/°Cよりも低くなります。

アンプの出力電圧（VOUT）は、以下の式から得られます。

$$VOUT = GAIN (VPOS - VNEG) + VDAC \quad (2)$$

上の式で、GAINは初段と第2段のゲインの積です。

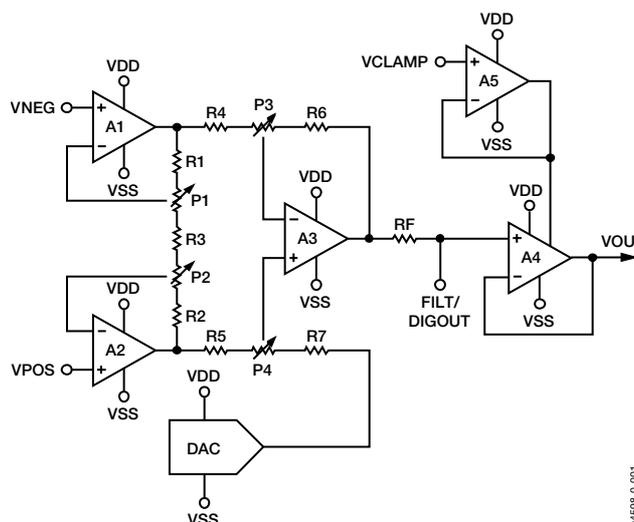


図49. AD8555の機能回路図

AD8555

ゲイン値

表6. 初段のゲイン・コード 対 ゲイン

初段のゲイン・コード	初段のゲイン	初段のゲイン・コード	初段のゲイン	初段のゲイン・コード	初段のゲイン	初段のゲイン・コード	初段のゲイン
0	4.000	32	4.503	64	5.069	96	5.706
1	4.015	33	4.520	65	5.088	97	5.727
2	4.030	34	4.536	66	5.107	98	5.749
3	4.045	35	4.553	67	5.126	99	5.770
4	4.060	36	4.570	68	5.145	100	5.791
5	4.075	37	4.587	69	5.164	101	5.813
6	4.090	38	4.604	70	5.183	102	5.834
7	4.105	39	4.621	71	5.202	103	5.856
8	4.120	40	4.638	72	5.221	104	5.878
9	4.135	41	4.655	73	5.241	105	5.900
10	4.151	42	4.673	74	5.260	106	5.921
11	4.166	43	4.690	75	5.280	107	5.943
12	4.182	44	4.707	76	5.299	108	5.965
13	4.197	45	4.725	77	5.319	109	5.988
14	4.213	46	4.742	78	5.339	110	6.010
15	4.228	47	4.760	79	5.358	111	6.032
16	4.244	48	4.778	80	5.378	112	6.054
17	4.260	49	4.795	81	5.398	113	6.077
18	4.276	50	4.813	82	5.418	114	6.099
19	4.291	51	4.831	83	5.438	115	6.122
20	4.307	52	4.849	84	5.458	116	6.145
21	4.323	53	4.867	85	5.479	117	6.167
22	4.339	54	4.885	86	5.499	118	6.190
23	4.355	55	4.903	87	5.519	119	6.213
24	4.372	56	4.921	88	5.540	120	6.236
25	4.388	57	4.939	89	5.560	121	6.259
26	4.404	58	4.958	90	5.581	122	6.283
27	4.420	59	4.976	91	5.602	123	6.306
28	4.437	60	4.995	92	5.622	124	6.329
29	4.453	61	5.013	93	5.643	125	6.353
30	4.470	62	5.032	94	5.664	126	6.376
31	4.486	63	5.050	95	5.685	127	6.400

$$\text{ゲイン} \approx 4 \times \left(\frac{6.4}{4} \right)^{\left(\frac{\text{コード}}{127} \right)} \quad (3)$$

表7. 第2段のゲイン・コード 対 ゲインおよびゲイン範囲

第2段のゲイン・コード	第2段のゲイン	最小組合わせゲイン	最大組合わせゲイン
0	17.5	70	112
1	25	100	160
2	35	140	224
3	50	200	320
4	70	280	448
5	100	400	640
6	140	560	896
7	200	800	1280

オープン・ワイヤ障害検出

A1とA2の入力であるVNEGとVPOSには、 $VDD - 1.1V$ を公称値とするスレッショルド電圧を超えているかどうかを検出するコンパレータがそれぞれ備わっています。VNEG > $VDD - 1.1V$ またはVPOS > $VDD - 1.1V$ の場合、VOUTがVSSにクランプされます。このモードでは出力電流制限回路がディスエーブルになりますが、 $VDD = 5V$ での最大シンク電流は約50mAです。A1とA2の入力であるVNEGとVPOSも、IP1とIP2の電流によってVDDにプルアップされます。公称値はともに18nAであり、5nA以内にマッチングされています。A1またはA2の入力がオープン・ワイヤ障害などで偶発的にフローティング状態になると、IP1とIP2はこれらの入力をVDDまでプルアップし、これによってVOUTの振幅をVSSのレベルにし、障害を検出します。VNEGまたはVPOSがVDDに近い値になっているときは、IP1とIP2をディスエーブルにすることも、VOUTをVSSにクランプすることもできません。

短絡ワイヤ障害検出

VPOS、VNEG、VCLAMPがVDDおよびVSSに短絡する場合、AD8555はその障害を検出します。エラー状態をトリガするVPOS、VNEG、VCLAMPの電圧領域を図50に示します。エラー状態が発生すると、VOUTピンがVSSに短絡されます。表8は、図50に示す電圧レベルをまとめたものです。

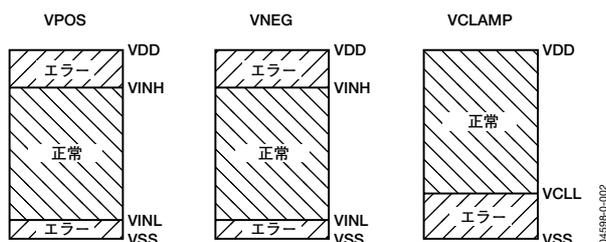


図50. 障害状態をトリガするVPOS、VNEG、VCLAMPの電圧領域

表8. VINL、VINH、VCLLの代表値 ($VDD = 5V$)

電圧	標準的な最小値	標準的な最大値	目的
VINH	3.9V	4.2V	VDDに短絡障害検出
VINL	0.195V	0.55V	VSSに短絡障害検出
VCLL	1V	1.2V	VSSに短絡障害検出

VPOS、VNEG、VCLAMPのフローティング障害検出

VPOS、VNEG、VCLAMPのフローティング障害は、低い電流を使用し、前項で定義したエラー電圧範囲にフローティング入力を引き込むことによって検出します。この方法により、フローティング入力検出されると、VOUTピンがVSSに短絡されます。表9に、使用する電流を示します。

表9. VPOS、VNEG、VCLAMPのフローティング障害検出

ピン	電流の代表値	電流の役割
VPOS	16nAのプルアップ	VPOSをVINHよりも高くする
VNEG	16nAのプルアップ	VNEGをVINHよりも高くする
VCLAMP	0.2μAのプルダウン	VCLAMPをVCLLよりも低くする

デバイスのプログラミング

デジタル・インターフェース

デジタル・インターフェースを介して、初段のゲイン、第2段のゲイン、出力オフセットを調整し、ポリシリコン・ヒューズを選択的に溶断することによって、これらのパラメータに所望の値を固定して保存することができます。ピン数とボードの実装スペースを最小にするために、シングル・ワイヤのデジタル・インターフェースを使用しています。デジタル入力ピンのDIGINにはヒステリシスを設け、低速の信号で予期しないトリガができる限り生じないようにしています。このピンには、プログラミングが行われていないときにピンをフローティング状態にするプルダウン電流シンク機能もあります。このプルダウンにより、DIGINピンは低いDC電圧に強制的に保持されるので、デジタル入力を確実に非アクティブにできます。

50nsから10μsまでの幅の短いパルスのDIGIN信号がローレベルからハイレベルに遷移し、再びローレベルに戻ると、シフト・レジスタに1個の0がロードされます。50μs以上の長いパルス幅のDIGIN信号が供給されると、シフト・レジスタには1個の1がロードされます。各パルス間の時間は、最低10μsとします。VSS = 0Vとすると、VSSから $0.2 \times VDD$ までのDIGIN電圧はローレベルと認識され、 $0.8 \times VDD$ からVDDまでのDIGIN電圧はハイレベルと認識されます。コード010011がシフト・レジスタに入力されるときに信号波形を示すタイミング図の例を図51に示します。

AD8555

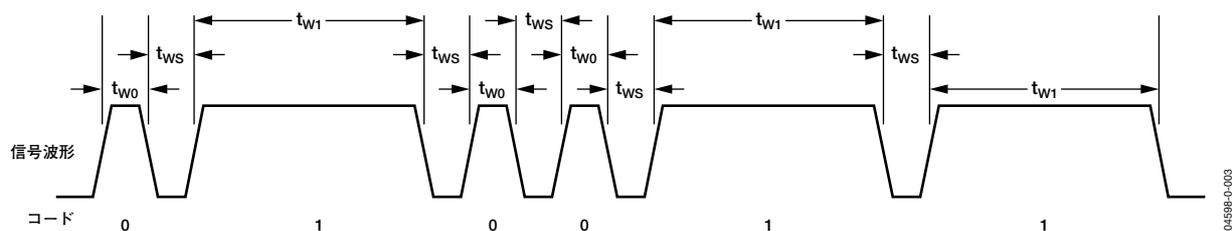


図51. コード010011の場合のタイミング図

表10. タイミング仕様

タイミング・パラメータ	説明	仕様
t_{w0}	シフト・レジスタに0をロードするときのパルス幅	50nsから10 μ sまで
t_{w1}	シフト・レジスタに1をロードするときのパルス幅	$\geq 50\mu$ s
t_{ws}	各パルス間の幅	$\geq 10\mu$ s

表11. 38ビットのシリアル・ワード・フォーマット

フィールド番号	ビット	説明
フィールド0	ビット0~11	パケットの開始を示す12ビット値1000 0000 0001
フィールド1	ビット12~13	2ビットの機能 00: センス電流の変更 01: パラメータ値のシミュレート 10: パラメータ値のプログラム 11: パラメータ値の読出し
フィールド2	ビット14~15	2ビットのパラメータ 00: 第2段ゲイン・コード 01: 初段ゲイン・コード 10: 出力オフセット・コード 11: その他の機能
フィールド3	ビット16~17	2ビットのダミー値10
フィールド4	ビット18~25	8ビット値 パラメータ00 (第2段ゲイン・コード) : 3LSBを使用 パラメータ01 (初段ゲイン・コード) : 7LSBを使用 パラメータ10 (出力オフセット・コード) : 8ビットのすべてを使用 パラメータ11 (その他の機能) ビット0 (LSB) : マスター・ヒューズ ビット1: アナログ・デバイセズの出荷テスト用のヒューズ ビット2: パリティ・ヒューズ
フィールド5	ビット26~37	パケットの終了を示す12ビット値0111 1111 1110

6つのフィールドに分けられた38ビットのシリアル・ワードを使用します。各ビットを60 μ sでロードすれば、38ビットのシリアル・ワードを2.3msで転送することになります。表11に、ワード・フォーマットを示します。

0と5の各フィールドは、それぞれパケットの開始と終了を示します。パケット開始フィールドを1000 0000 0001、パケット終了フィールドを0111 1111 1110にマッチさせると、シリアル・ワードが有効になり、その他のフィールドのデコーディングがイネーブルになります。フィールド3はデータを分割し、データの組合わせによってパケット開始フィールドとパケット終了フィールドが偶発的にトリガされないようにします。フィールド0を最初に書き込み、フィールド5を最後に書き込んでください。各フィールド内では必ずMSBを最初に書き込み、LSBを最後に書き込みます。シフト・レジスタには、予期しないプログラミングを可能な限り防止するパワーオン・リセット機能が備わっています。VDDが0.7~2.2Vのときに、パワーオン・リセットが実行されます。

初期状態

初期状態では、すべてのポリシリコン・ヒューズに溶断がありません。各パラメータには、それぞれ0の値が割り当てられません（表12を参照）。

表12. プログラミング前の初期状態

第2段のゲイン・コード=0	第2段のゲイン=17.5
初段のゲイン・コード=0 出力オフセット・コード=0 マスター・ヒューズ=0	初段のゲイン=4.0 出力オフセット=VSS マスター・ヒューズは溶断しない

デバイスに電源を投入するとき、マスター・ヒューズが溶断していなければパラメータ値を内部レジスタから取り、マスター・ヒューズが溶断している場合はポリシリコン・ヒューズから取ります。プログラムされた値は、マスター・ヒューズが溶断するまで有効になりません。内部レジスタには、プログラミングが行われていないデバイスをパワーアップ後に既知の状態にするパワーオン・リセット機能があります。VDDが0.7~2.2Vのときに、パワーオン・リセットが実行されます。

シミュレーション・モード

シミュレーション・モードでは、パラメータを一時的に変更できます。この変更は、シミュレートした値を再設定し、電源が切断されるか、マスター・ヒューズが溶断するまで保持されます。パラメータのシミュレーションを実行するときは、フィールド1を01に設定し、フィールド2で所望のパラメータを選択し、フィールド4で所望のパラメータ値を選択します。シミュレーション・モードのときは、フィールド2の11の値は無視されます。一時的な設定の例を以下に示します。

- 第2段のゲイン・コード（パラメータ00）を011、第2段のゲインを50に設定すると、コードは1000 0000 0001 01 00 10 0000 0011 0111 1111 1110となります。

- 初段のゲイン・コード（パラメータ01）を000 1011、初段のゲインを4.166に設定すると、コードは1000 0000 0001 01 01 10 0000 1011 0111 1111 1110となります。

初段のゲイン4.166と第2段のゲイン50を合計したゲイン値は、208.3になります。このゲインの最大許容誤差は2.5%です。

- VDD=5VでVSS=0Vのときに、出力オフセット・コード（パラメータ10）を0100 0000、出力オフセットを1.260Vに設定します。この出力オフセットの最大許容誤差は0.8%で、コードは1000 0000 0001 01 10 10 0100 0000 0111 1111 1110となります。

プログラミング・モード

ヒューズが溶断しないときは、0のビット値が割り当てられます。ビットを1の値にするには、これに関連するヒューズを溶断する必要があります。ヒューズの溶断には比較的大きな電流が必要になるため、1回に確実に溶断できるヒューズは1個だけです。したがって、信頼性の高いプログラミングを行うには、任意のパラメータ値で38ビット・ワードがいくつか必要になることがあります。ヒューズの溶断時には、ヒューズを溶断する内部MOSスイッチのオン抵抗値を最小にするために、5.5Vの電源が必要です。この電源は250mAの電流を出力できる能力があり、少なくとも0.1 μ Fの容量のデカップリング・コンデンサをデバイスの電源ピン間に外付けする必要があります。各ヒューズの溶断には、最低1msの時間を取るようになさいます。プログラミングの実行中に電源電流を測定する必要はありません。プログラミングが正しく実行されたか確認する一番よい方法は、読み出しモードで設定値を読み出し、ゲインとオフ

セットを再測定し、これらの数値を確認することです。プログラムされたヒューズは、マスター・ヒューズが溶断するまでゲインと出力オフセットに影響しません。マスター・ヒューズが溶断した後初めて、溶断したヒューズによってゲインと出力オフセットが決まり、シミュレーション・モードが完全に解除されます。

パラメータのプログラミングを実行するときは、フィールド1を10に設定し、フィールド2で所望のパラメータを選択し、フィールド4で値が1のシングル・ビットを選択します。

例として、第2段のゲインを50に固定設定する場合を考えてみましょう。この場合、パラメータ00に0000 0011の値を割り当てる必要があります。2つのビットが値1になっているため、2個のヒューズを溶断しなければなりません。1回に溶断できるヒューズは1個のみなので、1000 0000 0001 10 00 10 0000 0010 0111 1111 1110のコードを使用して、1個のヒューズを溶断します。ヒューズを溶断するMOSスイッチはパケット全体が認識されるときに閉じ、パケット開始、ダミー、パケット終了のいずれかのフィールドが無効になるときに開きます。1msが経過した後、1000 0000 0001 10 00 10 0000 0001 0111 1111 1110のコードを入力して、2番目のヒューズを溶断します。

初段のゲインを4.151の公称値に固定して設定するときには、パラメータ01に000 1011の値を割り当てる必要があります。この場合は3本のヒューズを溶断しなければなりません。各コードの後1msの遅延を設け、以下のコードを使用します。

```
1000 0000 0001 10 01 10 0000 1000 0111 1111 1110
```

```
1000 0000 0001 10 01 10 0000 0010 0111 1111 1110
```

```
1000 0000 0001 10 01 10 0000 0001 0111 1111 1110
```

VDD=5VでVSS=0Vのとき、出力オフセットを1.260Vの公称値に固定して設定するには、パラメータ10に0100 0000の値を割り当てる必要があります。1個のヒューズが溶断した後で、1000 0000 0001 10 10 10 0100 0000 0111 1111 1110のコードを使用してください。

最後にマスター・ヒューズを溶断して、シミュレーション・モードを解除し、それ以上プログラミングが行われないようにするには、1000 0000 0001 10 11 10 0000 0001 0111 1111 1110のコードを使用してください。

合計で20個のプログラマブル・ヒューズがあります。各ヒューズの溶断には1msが必要で、各シリアル・ワードを2.3msでロードできるため、ヒューズのプログラミングを行うために必要な最大時間はわずか66msになります。

パリティ・エラー検出

AD8555の設定データが有効かどうか、あるいは不揮発性メモリでデータが破損していないかどうか調べるために、パリティ・チェックを使用します。AD8555に実装される回路図を図52に示します。

AD8555

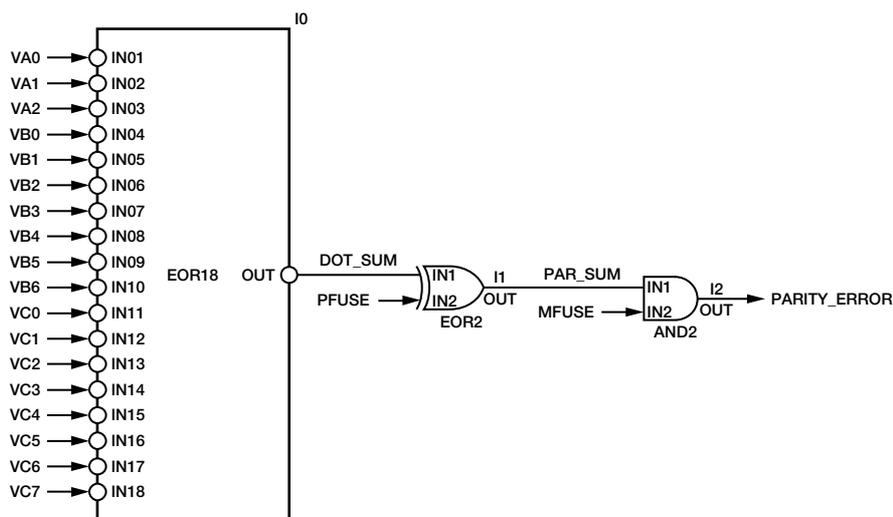


図52. AD8555パリティ・チェックの機能回路図

表13. DAT_SUMの例

第2段のゲイン・コード	初段のゲイン・コード	出力オフセット・コード	ビット1の数	DAT_SUM
000	000 0000	0000 0000	0	0
000	000 0000	1000 0000	1	1
000	000 0000	1000 0001	2	0
000	000 0001	0000 0000	1	1
000	100 0001	0000 0000	2	0
001	000 0000	0000 0000	1	1
001	000 0001	1000 0000	3	1
111	111 1111	1111 1111	18	0

VA0～VA2は第2段ゲインの3ビット制御信号であり、VB0～VB6は初段ゲインの7ビット制御信号、VC0～VC7は出力オフセットの8ビット制御信号です。PFUSEはパリティ・ヒューズからの信号であり、MFUSEはマスター・ヒューズからの信号です。

2入力ANDゲート（and2セル）は、マスター・ヒューズがまだ溶断されていないときにパリティ回路の出力（PAR_SUM信号）を無視します。PARITY_ERRORは、MFUSE=0のときに0に設定されます。たとえば、シミュレーション・モードのときにはパリティ・チェックがデイスエーブルになります。マスター・ヒューズが溶断した後、すなわちAD8555のプログラミングが完了した後に、パリティ回路からの出力（PAR_SUM信号）がPARITY_ERRORに送られます。

PARITY_ERRORが0のときに、AD8555はプログラムされたアンプとして動作します。PARITY_ERRORが1のときは、パリティ・エラーが検出されており、VOUTがVSSに接続されます。

18ビットのデータ信号(VA0～VA2、VB0～VB6、VC0～VC7)は、18入力の排他的ORゲート(EOR18セル)に送られます。EOR18セルの出力がDAT_SUM信号です。18ビット・ワードに1が偶数個あればDAT_SUM=0となり、18ビット・ワードに1が奇数個あればDAT_SUM=1になります。例を表13に示します。

第2段のゲイン、初段のゲイン、出力オフセットのプログラミングが完了した後、DAT_SUMの計算を実行し、パリティ・ビットをDAT_SUMと等しい値に設定してください。DAT_SUMが0の場合は、PFUSE信号を0にするためにパリティ・ヒューズを溶断しないでください。DAT_SUMが1の場合は、パリティ・ヒューズを溶断して、PFUSE信号を1に設定します。パリティ・ヒューズを溶断するためのコードは、1000 0000 0001 10 11 10 0000 0100 0111 1111 1110です。

パリティ・ビットの設定が完了した後、それ以上プログラミングが行われないようにマスター・ヒューズを溶断することができます。これには、1000 0000 0001 10 11 10 0000 0001 0111 1111 1110のコードを使用します。

PAR_SUM信号は、2入力の排他的ORゲート (EOR2セル) の出力です。マスター・ヒューズが溶断した後、PARITY_ERRORがPAR_SUMに設定されます。すでに説明したように、PARITY_ERRORが0 (パリティ・エラーがない) のとき、AD8555はプログラムされたアンプとして動作します。これに対して、パリティ・エラーが検出されているとき、すなわちPARITY_ERROR=1のときは、VOUTがVSSに接続されます。

読出しモード

ポリシリコン・ヒューズによって保存されている値をFILT/DIGOUTピンに送って、プログラミングが正しく実行されているか確認できます。通常、FILT/DIGOUTピンはRFを介して第2ゲイン段の出力のみに接続されます。しかし、読出しモード時に、FILT/DIGOUTピンをシフト・レジスタの出力に接続して、ポリシリコン・ヒューズのデータを読み出すこともできます。VOUTはFILT/DIGOUT信号をバッファした出力であるため、読出しモード時にはVOUTからもデジタル信号が出力されます。

読出しモードにするには、フィールド1を11に設定し、フィールド2で所望のパラメータを選択します。フィールド4は無視します。ポリシリコン・ヒューズに保存されたパラメータ値が内部シフト・レジスタにロードされ、シフト・レジスタのMSBがFILT/DIGOUTピンに接続されます。DIGINピンの信号パルスによって、シフト・レジスタのデータ内容がFILT/DIGOUTピンにシフト出力されるので、7番目のパルスが経過した後で8ビットのパラメータを読み出すことができます。DIGINの立下がりエッジでこのシフト動作が行われます。DIGINの8番目の信号パルス時にFILT/DIGOUTピンとシフト・レジスタとの接続が切断され、読出しモードが終了します。パラメータ値が8ビット長よりも小さい場合は、シフト・レジスタのMSBに0がパディングされます。

たとえば、第2段のゲインを読み出すときは、1000 0000 0001 11 00 10 0000 0000 0111 1111 1110のコードを使用します。第2段のゲイン・パラメータ値はわずか3ビット長であるため、FILT/DIGOUTピンの値はこのコードが入力されるときに0となり、DIGINのその後の4つの信号パルスの間0の状態を維持します。DIGINの5番目、6番目、7番目の信号パルス時にFILT/DIGOUTピンから3ビット値が返され、7番目の信号パルスのときにLSBが返されます。DIGINの8番目の信号パルスで、読出しモードが終了します。

センス電流

ポリシリコン・ヒューズが溶断しているかどうか確認するために、各ポリシリコン・ヒューズにセンス電流が送られます。ヒューズの電圧が約1.5Vよりも小さいときは、ヒューズが溶断していないと判断され、OTPセルからロジック0が出力されます。ヒューズの電圧が約1.5Vよりも大きい場合は、ヒューズが溶断していると判断され、ロジック1が出力されます。

AD8555の製造時に、すべてのヒューズは低い抵抗値になっています。センス電流が各ヒューズを通るときに、0.1Vに満たない電圧が各ヒューズに生じます。これは1.5Vよりも大幅に低いいため、OTPセルからロジック0が出力されます。ヒューズが電氣的に溶断すると、その抵抗値はかなり大きい値になります。溶断したヒューズにセンス電流が加えられると、ヒューズの電圧が1.5Vよりも大きくなるため、OTPセルからロジック1が出力されます。

必要な条件を満たしている場合でも、プログラミング時にヒューズの溶断が不完全になる可能性も理論的には考えられます (実際には、このような可能性はほとんどありません)。このような状態では、ヒューズの抵抗値が中程度になり (低くも高くもない)、約1.5Vの電圧がヒューズに生じることがあります。そのため、温度や電源、その他の変数に応じて、OTPセルはロジック0またはロジック1を出力する場合があります。このような望ましくない状態を検出するには、特殊なコードを使用してセンス電流を1/4に下げます。このようにすると、ヒューズに生じる電圧が1.5Vから0.38Vになり、OTPの出力はヒューズの溶断の場合のロジック1ではなく、ロジック0になります。ヒューズが正しく溶断していれば、やはりロジック1が出力されます。このようにして、正しく溶断されなかったヒューズを検出できます。センス電流を通常の (大きい) 数値に戻すときには、もう1つの特殊コードを使用します。センス電流を低い値に固定して設定することはできません。AD8555のパワーアップ時に、センス電流は高い値にデフォルト設定されます。

低いセンス電流を使用するときのコードは、1000 0000 0001 00 00 10 XXXX XXX1 0111 1111 1110です。

通常の高いセンス電流を使用するときのコードは、1000 0000 0001 00 00 10 XXXX XXX0 0111 1111 1110です。

AD8555

プログラミングの推奨手順

1. アプリケーションで使用したい数値にVDDとVSSを設定します。シミュレーション・モードを使用して、第2段のゲイン、初段のゲイン、出力オフセットの望ましいコードをテストで決定してください。これらのパラメータの公称値を表6、表7、式1、式2に示します。これらの値に対応するコードをスターティング・ポイントとして使用できます。ただし、与えられたコードに対応する実際のパラメータ値は使用するデバイスごとに異なるため、できる限り精度を高めるために微調整を行う必要があります。

これらの値を選択する1つの方法は、必要なゲインを決めるために、出力オフセットをたとえば中間電源に対応するコード128などの近似値に設定することです。次に、初段の最小ゲイン（コード0）が必要なゲインよりも小さく、初段の最大ゲイン（コード127）が必要なゲインよりも高くなるように第2段のゲインを設定してください。第2段のゲインを選択した後、初段のゲインを選択し、トータル・ゲインの微調整を行います。最後に、所望の値が得られるように出力オフセットを調整します。第2段のゲイン、初段のゲイン、出力オフセットの望ましいコードが決まれば、デバイスを固定設定するプログラミングの準備が完了したことになります。
2. VSSを0V、VDDを5.5Vに設定します。プログラム・モードで、第2段のゲイン、初段のゲイン、出力オフセットに望ましいコードを固定して入力してください。マスター・ヒューズを溶断し、AD8555でヒューズのデータを読み出し、それ以上プログラミングが行われないようにします。
3. アプリケーションで使用したい数値にVDDとVSSを設定します。読出しモードで、ロー・センス電流を読み出し、その後ハイ・センス電流を読み出して、設定したコードを確認してください。
4. ゲインとオフセットを測定して、正しく機能しているか確認します。

最適なゲインとオフセット・コードを決めるための推奨アルゴリズム

1. 所望のゲイン G_A を決定します（たとえば、測定を行います）。
- 2a. 表7を参考にして、 $(4.00 \times 1.04) < (G_A/G_2) < (6.4/1.04)$ となるように、第2段のゲイン G_2 を決定します。この設定によって、初段のゲインの最初と最後のコードが確実に使用されないで、各第2段のゲイン範囲内の初段ゲイン・コードを3%の精度で調整することができます。
- 2b. シミュレーション・モードを使用して、第2段のゲインを G_2 に設定します。
- 3a. AD8555のゲインを測定できるように、出力オフセットを設定します。たとえばコード128を使用して、出力オフセットを中間電源に設定します。
- 3b. 表6を参考にするか、式3を用いて、初段のゲインが G_A/G_2 の公称値になるように、初段のゲイン・コード C_{G1} を設定します。
- 3c. 設定されたゲイン G_B を測定します。 G_B は G_A の3%の範囲内に入っていないなければなりません。
- 3d. $E_{G1} = G_B/G_A - 1$ の式を使って、初段のゲイン誤差（相対項）を計算します。
- 3e. $C_{EG1} = E_{G1}/0.00370$ の式を使って、（初段のゲイン・コード値の）誤差を計算します。
- 3f. 初段のゲイン・コードを $C_{G1} - C_{EG1}$ に設定します。
- 3g. ゲイン G_C を測定します。 G_C は G_B よりも G_A に近い値でなければなりません。
- 3h. $E_{G2} = G_C/G_A - 1$ の式を使って、第2段のゲイン誤差（相対項）を計算します。
- 3i. $C_{EG2} = E_{G2}/0.00370$ の式を使って、（初段のゲイン・コード値の）誤差を計算します。
- 3j. 初段のゲイン・コードを $C_{G1} - C_{EG1} - C_{EG2}$ に設定します。これによって設定されるゲインは、 G_A の1つのコードの範囲内に入っていないなければなりません。
- 4a. たとえば測定を行って、所望の出力オフセット O_A を決定します。
- 4b. 出力オフセットが公称値 O_A となるように、式1を用いて出力オフセット・コード C_{O1} を設定します。
- 4c. 出力オフセット O_B を測定します。 O_B は O_A の3%の範囲内に入っていないなければなりません。
- 4d. $E_{O1} = O_B/O_A - 1$ の式を使って、出力オフセット誤差（相対項）を計算します。
- 4e. $C_{EO1} = E_{O1}/0.00392$ の式を使って、（出力オフセット・コード値の）誤差を計算します。
- 4f. 出力オフセット・コードを $C_{O1} - C_{EO1}$ に設定します。
- 4g. 出力オフセット O_C を測定します。 O_C は O_B よりも O_A に近い値でなければなりません。
- 4h. $E_{O2} = O_C/O_A - 1$ の式を使って、出力オフセット誤差（相対項）を計算します。
- 4i. $C_{EO2} = E_{O2}/0.00392$ の式を使って、（出力オフセット・コード値の）誤差を計算します。
- 4j. 出力オフセット・コードを $C_{O1} - C_{EO1} - C_{EO2}$ に設定します。これによって設定されたオフセットは、 O_A の1つのコードの範囲内に入っていないなければなりません。

フィルタ処理機能

AD8555のFILT/DIGOUTピンを使用して、簡単なローパス・フィルタを構成できます。このために、AD8555の18kΩの内部抵抗と外部コンデンサとを使用します。ゲインを70と1280に設定した場合のAD8555の代表的な応答性をそれぞれ図54と図55に示します。このフィルタ処理機能を利用し、フィルタの通過帯域内で信号を通過させ、帯域外信号の帯域幅を制限することができます。そのため、ソリューション全体のノイズを低減できます。

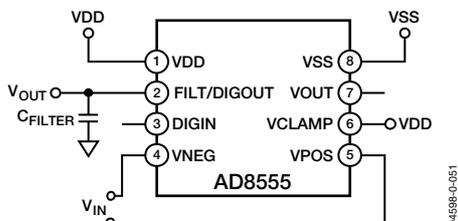


図53. AD8555のノイズ・フィルタ処理回路

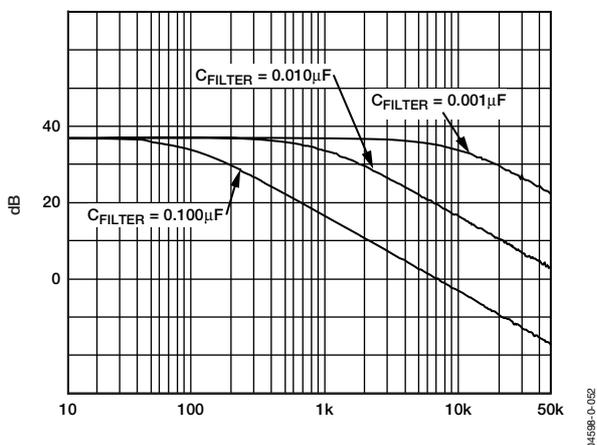


図54. AD8555のFILT/DIGOUTピンにおける代表的な応答性 (ゲイン=70)

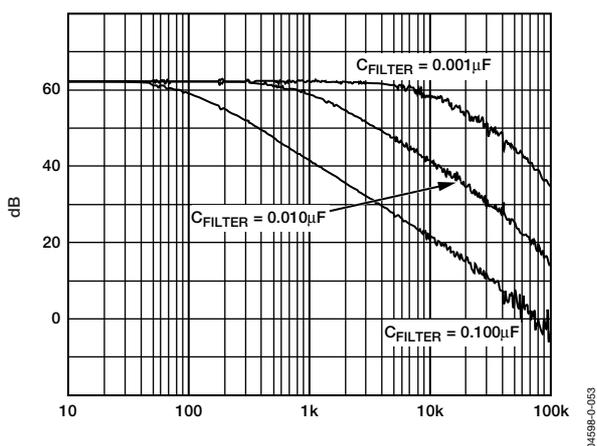


図55. AD8555のFILT/DIGOUTピンにおける代表的な応答性 (ゲイン=1280)

容量性負荷の駆動

AD8555は大きい容量性負荷を駆動できます。センサーの近くに実装するアンプで長いケーブルを駆動する必要がある場合に、これが役に立ちます。大部分の計装用アンプでは、容量性負荷による位相遅れが加わって位相マージンが劣化するため、容量性負荷を駆動することが困難です。出力側の容量が高くなると、アンプのステップ応答でオーバーシュートとリングングの量が増加し、デバイスの安定性が大きく損なわれる可能性があります。さらに、発振が起こる前にアンプが駆動できる容量性負荷の値は、ゲイン、電源電圧、入力信号、温度の変化によって変動します。図57と図58に、図56のさまざまな絶縁抵抗値 (R_S) での容量性負荷に対するAD8555のオーバーシュート応答性を示します。あらゆるアンプがそうですが、AD8555は大きい C_L を駆動するときにオーバーシュートを発生しますが、容量があるポイント (約22nF) を過ぎるとオーバーシュートが減少します。これは、最初は C_L によって形成される極が大きくなりますが、容量があるポイントを通ると、その極がバッファ・アンプの極設定よりもずっと小さくなり、AD8555が無視するためです。

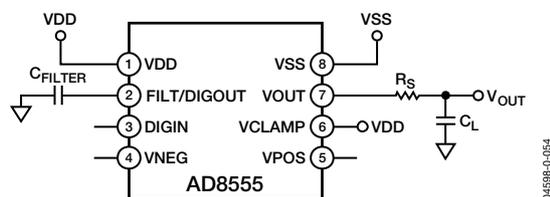


図56. 容量性負荷の駆動テスト回路

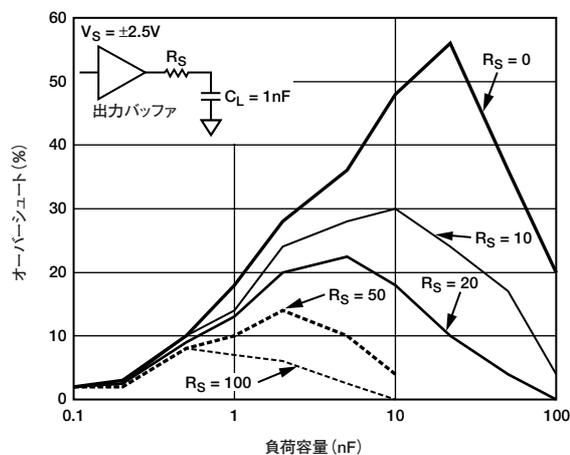


図57. C_L に対する正のオーバーシュート特性図

AD8555

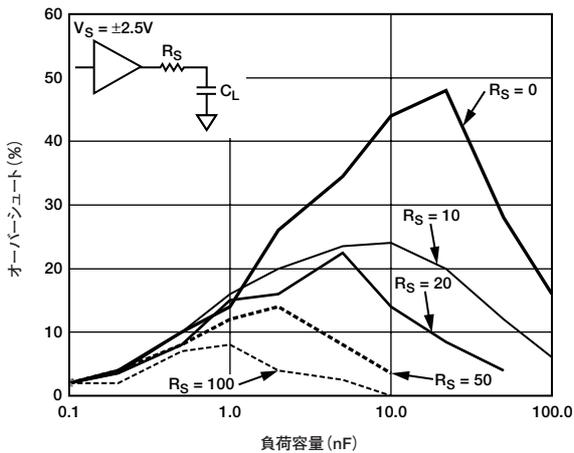


図58. C_L に対する負のオーバーシュート特性図

RF干渉

あらゆる計装用アンプでは、入力に現れる高周波数の帯域外信号を整流するためにDCオフセットが生じます。図59に示す回路は、AD8555の通過帯域内の性能を低下させずにRF干渉を十分に抑制します。抵抗 R_1 とコンデンサ C_1 、また抵抗 R_2 とコンデンサ C_2 を使用して、 -3dB 帯域幅が $f_{(-3\text{dB})} = 1/2\pi \times R_1 \times C_1$ となるローパスRCフィルタを構成します。 R_1 、 R_2 と C_1 、 C_2 がブリッジ回路を形成することがわかりますが、その回路の出力はアンプの入力ピンに現れます。 C_1 と C_2 との間に容量の mismatchesが少しでもあると、ブリッジが平衡でなくなり、同相ノイズ除去性能が低下します。図に示す数値の部品を使用すれば、このフィルタの帯域幅は約40kHzになります。AD8555の通過帯域の範囲内で同相ノイズ除去性能を維持するには、コンデンサの許容誤差範囲を5%以下（シルバー・マイカ）とし、AD8555の入力にできる限り近い所でコンデンサを接続する必要があります。抵抗は1%の金属被膜タイプにします。低い周波数で同相ノイズ除去性能を維持するには、コンデンサ C_3 が必要です。このコンデンサを接続すると、 R_1 と R_2 および C_3 によって、 -3dB 周波数が $1/(2\pi \times (R_1 + R_2)(C_3))$ となる2番目のローパス・ネットワークが形成されます。 C_3 に容量が $0.047\mu\text{F}$ のコンデンサを使用する場合、この回路の -3dB 帯域幅は約400kHzになります（図59を参照）。

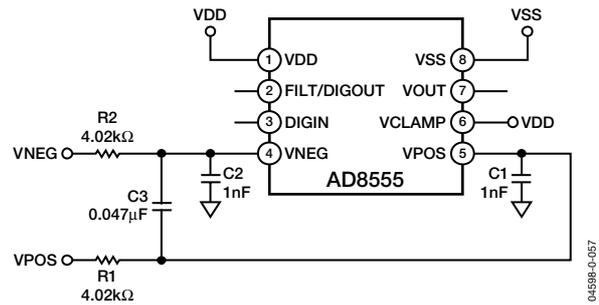


図59. RF干渉を抑制する方法

単電源のデータ・アキュイジション・システム

単電源のA/Dコンバータ（ADC）にバイポーラ信号を接続するのは、難しい作業になります。この場合、バイポーラ信号をADCの入力範囲にマッピングしなければなりません。図60に、この変換を行う方法を示します。出力オフセットを望ましい電圧レベルにプログラミングして、ADCの入力電圧条件に対応できます。

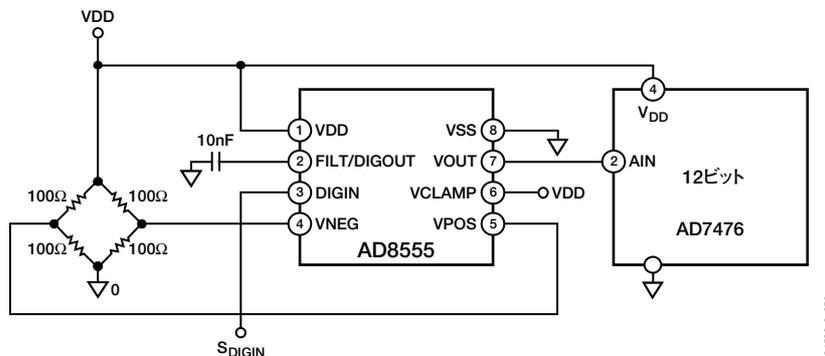


図60. AD8555を利用した単電源のデータ・アキュイジション回路

感度が 2mV/V のブリッジ回路は、 5V 電源によって励起されます。したがって、ブリッジから出力されるフルスケール電圧 ($\pm 10\text{mV}$) の同相レベルは 2.5V となります。AD8555は同相成分を除去し、入力信号を200倍に増幅します ($G_1=4$ 、 $G_2=50$ 、オフセット=128)。その結果、出力信号は $\pm 2.0\text{V}$ となります。この信号がAD8555のグラウンド・レールに入らないように、出力オフセット電圧を 2.5V まで高くする必要があります。この信号は、ADCの入力電圧範囲内にあります。

AD8555を容量性センサーとともに使用する 方法

AD8555を容量性センサーとともに使用する簡単な方法を図61に示します。 R_{P1} と R_{P2} は、VNEGを $V_{DD}/2$ にバイアスするための分圧器を構成する抵抗です。これらの抵抗の推奨値は、 $1\text{k}\Omega$ から $1\text{M}\Omega$ までです。 C_S は容量性センサーであり、 R_S はセンサーに漏れ電流が混ざらないようにするために使用するシャント抵抗です。 R_S の抵抗値はアプリケーションに応じて決定します。

VNEGはDC電圧に接続されますが、容量性センサーの唯一のインピーダンスは R_S のみになります。したがって、VPOSとVNEGの入力バイアス電流がごくわずかだと仮定すれば、 C_S から電荷が漏れる唯一の経路は R_S のみとなります。

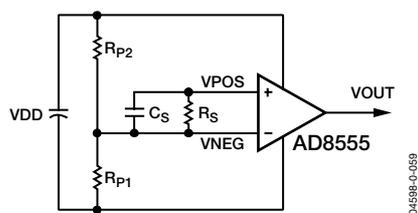


図61. AD8555を容量性センサーとともに使用する簡単な方法

図61に示す回路の欠点は、AD8555のVPOSの入力バイアス電流が R_S に流れ込み、VPOSとVNEG間で差動オフセット電圧が発生することです。この差動オフセット電圧は、AD8555によって増幅されます。これに対して、VNEGの入力バイアス電流は R_{P1} に流れ、同相シフトを生じます。これはVOUTにはほとんど影響しません。このような欠点にもかかわらず、センサー周辺の部品数を最少にしたい場合、または入力バイアス電流によってVPOSに生じる誤差がごくわずかであれば、図61に示す回路でも十分です。

もっと高い精度が必要な場合は、図62に示す回路を推奨します。 R_{P1} 、 R_{P2} 、 C_S は、図61と同じです。 R_{P1} と R_{P2} の抵抗値は、 $1\text{k}\Omega$ から $1\text{M}\Omega$ までとします。図61の R_S は、図62では R_{S1} と R_{S2} の2個の抵抗に分割されています。この回路でも、容量性センサーが放電する唯一の経路は R_{S1} と R_{S2} になります。

VPOSの入力バイアス電流は R_{S2} と R_{P1} を通り、VNEGの入力バイアス電流は R_{S1} と R_{P1} を通ります。 R_{S1} と R_{S2} が同じ抵抗値で、上記2つの入力バイアス電流が等しければ、入力バイアス電流によってVPOSとVNEGに同相シフトが生じますが、差動オフセットは発生しません。この同相シフトは、AD8555の同相ノイズ除去性能によって弱められます。さらに、温度変動などによる入力バイアス電流の変化も入力同相電圧の変化となりますが、これもAD8555によって除去されます。

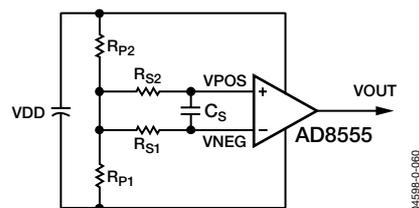
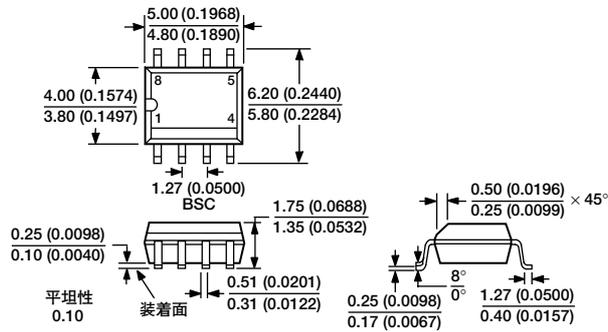


図62. AD8555を容量性センサーとともに使用する推奨の方法

AD8555

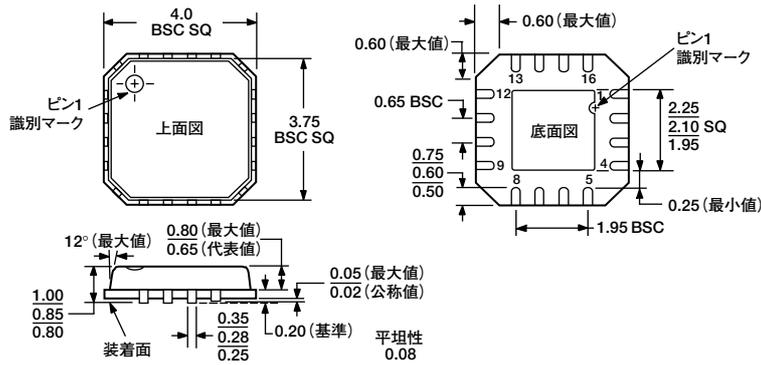
外形寸法



JEDEC規格MS-012AAに準拠
 管理寸法はミリメートルの単位で表記しています。カッコ内に示すインチ単位の寸法は、ミリメートル値に基づく概数で、参照目的のためにのみ記載しています。設計ではこの値を使用しないでください。

図63. 8ピンの標準スモールアウトライン・パッケージ [SOIC]、狭体型 (R-8)

寸法単位：mm



JEDEC規格MO-220-VGGCに準拠

図64. 16ピンのリードフレーム・チップスケール・パッケージ [LFCSP]、ボディサイズ4mm×4mm (CP-16)

寸法単位：mm

オーダー・ガイド

製品	温度範囲	パッケージ	パッケージ・オプション
AD8555AR	-40～+125℃	8ピンSOIC	R-8
AD8555AR-REEL	-40～+125℃	8ピンSOIC	R-8
AD8555AR-REEL7	-40～+125℃	8ピンSOIC	R-8
AD8555AR-EVAL		評価用ボード	
AD8555ACP-R2	-40～+125℃	16ピンLFCSP	CP-16
AD8555ACP-REEL	-40～+125℃	16ピンLFCSP	CP-16
AD8555ACP-REEL7	-40～+125℃	16ピンLFCSP	CP-16