

### 特長

外付け抵抗が不要

差動アンプ: ゲイン 0.5、1、2

シングルエンド・アンプ: 40 通り以上のゲインが可能

リファレンス電圧を電源の中心に設定

優れた AC 仕様

帯域幅: 15 MHz

スルー・レート: 30 V/ $\mu$ s

高精度な DC 性能

最大ゲイン誤差: 0.08%

ゲイン・ドリフト: 最大 10 ppm/ $^{\circ}$ C

CMRR: 最小 80 dB (G = 2)

小型の 4 mm  $\times$  4 mm LFCSP に 2 チャンネル内蔵

電源電流: チャンネルあたり 2.5 mA

電源範囲:  $\pm 2.5$  V  $\sim$   $\pm 18$  V

### アプリケーション

計装アンプのビルディング・ブロック

レベル変換

自動テスト装置

高性能オーディオ

Sine/Cosine エンコーダ

### 概要

AD8270 は、ゲイン設定抵抗を内蔵した低歪みの 2 チャンネル・アンプです。このデバイスは外付け部品なしで、ゲイン 0.5、1 または 2 の高性能差動アンプとして構成することができます。また、 $-2 \sim +3$  のゲイン範囲で 40 通り以上のシングルエンド構成に設定することができます。

AD8270 は、小型の 4 mm  $\times$  4 mm LFCSP パッケージを採用した最初のデュアル差動アンプであり、一般に、シングル差動アンプと同じボード面積で済みます。小型パッケージの採用により、チャンネル密度が 2 倍になり、チャンネルあたりのコストが削減され、しかも性能の低下はありません。

AD8270 は単電源と両電源で動作し、各アンプの最大電源電流は 2.5 mA で済みます。 $-40^{\circ}$ C  $\sim$   $+85^{\circ}$ C の工業用温度範囲仕様で、RoHS に準拠しています。

機能ブロック図

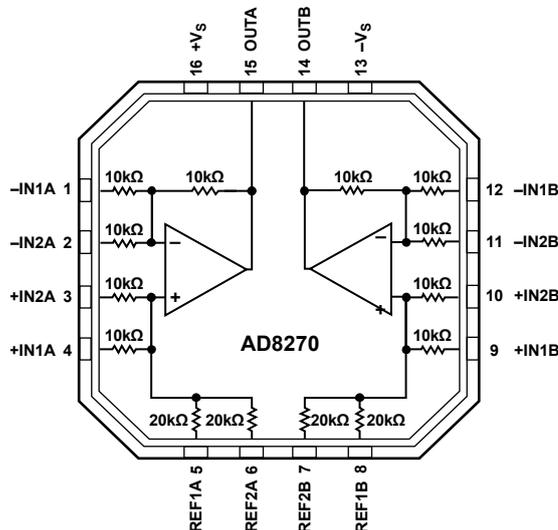


図 1.

表 1. 差動アンプの分類

High Speed	High Voltage	Single-Supply Unidirectional	Single-Supply Bidirectional
AD8270	AD628	AD8202	AD8205
AD8273	AD629	AD8203	AD8206
AMP03			AD8216

## 目次

特長.....	1	動作原理.....	13
アプリケーション.....	1	回路説明.....	13
概要.....	1	AD8270の駆動.....	13
機能ブロック図.....	1	パッケージについての考慮事項.....	13
改訂履歴.....	2	電源.....	13
仕様.....	3	入力電圧範囲.....	14
差動アンプ構成.....	3	アプリケーション情報.....	15
絶対最大定格.....	5	差動アンプ構成.....	15
熱抵抗.....	5	シングルエンド構成.....	15
最大消費電力.....	5	差動出力.....	17
ESDの注意.....	5	駆動ケーブル.....	18
ピン配置およびピン機能説明.....	6	オーダー・ガイド.....	19
代表的な性能特性.....	7		

## 改訂履歴

1/08—Revision 0: Initial Version

## 仕様

## 差動アンプ構成

特に指定のない限り、 $V_S = \pm 15\text{ V}$ 、 $V_{REF} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $R_{LOAD} = 2\text{ k}\Omega$ 、入力を基準とする仕様。

表 2.

Parameter	Conditions	G = 0.5			G = 1			G = 2			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
DYNAMIC PERFORMANCE											
Bandwidth			20			15			10		MHz
Slew Rate			30			30			30		V/ $\mu\text{s}$
Settling Time to 0.01%	10 V step on output		700	800		700	800		700	800	ns
Settling Time to 0.001%	10 V step on output		750	900		750	900		750	900	ns
NOISE/DISTORTION											
Harmonic Distortion	$f = 1\text{ kHz}$ , $V_{OUT} = 10\text{ V p-p}$ , $R_{LOAD} = 600\ \Omega$		84			145			95		dB
Voltage Noise <sup>1</sup>	$f = 0.1\text{ Hz to }10\text{ Hz}$		2			1.5			1		$\mu\text{V p-p}$
	$f = 1\text{ kHz}$		52			38			26		$\text{nV}/\sqrt{\text{Hz}}$
GAIN											
Gain Error				0.08			0.08			0.08	%
Gain Drift	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$		1	10		1	10		1	10	ppm/ $^\circ\text{C}$
INPUT CHARACTERISTICS											
Offset <sup>2</sup>			450	1500		300	1000		225	750	$\mu\text{V}$
Average Temperature Drift	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$		3			2			1.5		$\mu\text{V}/^\circ\text{C}$
Common-Mode Rejection Ratio	DC to 1 kHz	70	86		76	92		80	98		dB
Power Supply Rejection Ratio			2	10		2	10		2	10	$\mu\text{V/V}$
Input Voltage Range <sup>3</sup>		-15.4		+15.4	-15.4		+15.4	-15.4		+15.4	V
Common-Mode Resistance <sup>4</sup>			7.5			10			7.5		k $\Omega$
Bias Current				500			500			500	nA
OUTPUT CHARACTERISTICS											
Output Swing		-13.8		+13.8	-13.8		+13.8	-13.8		+13.8	V
	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$	-13.7		+13.7	-13.7		+13.7	-13.7		+13.7	V
Short-Circuit Current Limit	Sourcing		100			100			100		mA
	Sinking		60			60			60		mA
POWER SUPPLY											
Supply Current (per Amplifier)			2.3	2.5		2.3	2.5		2.3	2.5	mA
	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			3			3			3	mA

<sup>1</sup> アンプの電圧および電流ノイズおよび内部抵抗のノイズを含みます。

<sup>2</sup> 入力バイアスとオフセットの誤差を含みます。

<sup>3</sup> このレール電圧を超えた電圧で、内部 ESD ダイオードが導通し始めます。構成によっては、入力電圧範囲が内部オペアンプにより制限される場合があります (詳細については、入力電圧範囲を参照してください)。

<sup>4</sup> 内部抵抗は比が一致するように調整済みですか、絶対精度は  $\pm 20\%$  です。同相モード抵抗は両入力を並列にして計算。1 本の入力ピンでの同相モード・インピーダンスは、記載した抵抗値の 2 倍になります。

特に指定のない限り、 $V_S = \pm 5\text{ V}$ 、 $V_{REF} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $R_{LOAD} = 2\text{ k}\Omega$ 、入力を基準とする仕様。

表 3.

Parameter	Conditions	G = 0.5			G = 1			G = 2			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
DYNAMIC PERFORMANCE											
Bandwidth			20			15			10		MHz
Slew Rate			30			30			30		V/ $\mu\text{s}$
Settling Time to 0.01%	5 V step on output		550	650		550	650		550	650	ns
Settling Time to 0.001%	5 V step on output		600	750		600	750		600	750	ns
NOISE/DISTORTION											
Harmonic Distortion	$f = 1\text{ kHz}$ , $V_{OUT} = 5\text{ V p-p}$ , $R_{LOAD} = 600\ \Omega$		101			141			112		dB
Voltage Noise <sup>1</sup>	$f = 0.1\text{ Hz to }10\text{ Hz}$		2			1.5			1		$\mu\text{V p-p}$
	$f = 1\text{ kHz}$		52			38			26		$\text{nV}/\sqrt{\text{Hz}}$
GAIN											
Gain Error				0.08			0.08			0.08	%
Gain Drift	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$		1	10		1	10		1	10	$\text{ppm}/^\circ\text{C}$
INPUT CHARACTERISTICS											
Offset <sup>2</sup>			450	1500		300	1000		225	750	$\mu\text{V}$
Average Temperature Drift	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$		3			2			1.5		$\mu\text{V}/^\circ\text{C}$
Common-Mode Rejection Ratio	DC to 1 kHz	70	86		76	92		80	98		dB
Power Supply Rejection Ratio			2	10		2	10		2	10	dB
Input Voltage Range <sup>3</sup>		-5.4		+5.4	-5.4		+5.4	-5.4		+5.4	V
Common-Mode Resistance <sup>4</sup>			7.5			10			7.5		k $\Omega$
Bias Current				500			500			500	nA
OUTPUT CHARACTERISTICS											
Output Swing		-4		+4	-4		+4	-4		+4	V
	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$	-3.9		+3.9	-3.9		+3.9	-3.9		+3.9	V
Short-Circuit Current Limit	Sourcing		100			100			100		mA
	Sinking		60			60			60		mA
POWER SUPPLY											
Supply Current (per Amplifier)			2.3	2.5		2.3	2.5		2.3	2.5	mA
	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			3			3			3	mA

<sup>1</sup> アンプの電圧および電流ノイズおよび内部抵抗のノイズを含みます。

<sup>2</sup> 入力バイアスとオフセットの誤差を含みます。

<sup>3</sup> このレール電圧を超えた電圧で、内部 ESD ダイオードが導通し始めます。構成によっては、入力電圧範囲が内部オペアンプにより制限される場合があります（詳細については、入力電圧範囲を参照してください）。

<sup>4</sup> 内部抵抗は比が一致するように調整済みですか、絶対精度は720%です。同相モード抵抗は両入力を並列にして計算。1本の入力ピンでの同相モード・インピーダンスは、記載した抵抗値の2倍になります。

## 絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	±18 V
Output Short-Circuit Current	See derating curve in Figure 2
Input Voltage Range	±V <sub>S</sub>
Storage Temperature Range	-65°C to +130°C
Specified Temperature Range	-40°C to +85°C
Package Glass Transition Temperature (T <sub>G</sub> )	130°C
ESD (Human Body Model)	1 kV
ESD (Charge Device Model)	1 kV
ESD (Machine Model)	0.1 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

表 5.熱抵抗

Thermal Pad	$\theta_{JA}$	Unit
16-Lead LFCSP with Thermal Pad Soldered to Board	57	°C/W
16-Lead LFCSP with Thermal Pad Not Soldered to Board	96	°C/W

表 5 の  $\theta_{JA}$  値は、4 層の JEDEC 規格ボードを自然空冷で使用した場合です。サーマル・パッドをボードにハンダ付けする場合、プレーンにも接続しています。露出パッドでの  $\theta_{JC}$  は 9.7°C/W です。

## 最大消費電力

AD8270 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度 (T<sub>J</sub>) 上昇により制限されます。約 130°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えらるる応力が変化して、アンプのパラメータ性能を永久的にシフトさせてしまうことがあります。130°C のジャンクション温度を長時間超えると、故障の原因になることがあります。

AD8270 は、出力電流を約 100 mA に制限する短絡保護機能を内蔵しています(詳細については、図 19 参照)。短絡状態自体はデバイスに損傷を与えませんが、この状態で発生する熱により、デバイスの最大ジャンクション温度を超えることがあるため、信頼性に悪影響を与えます。

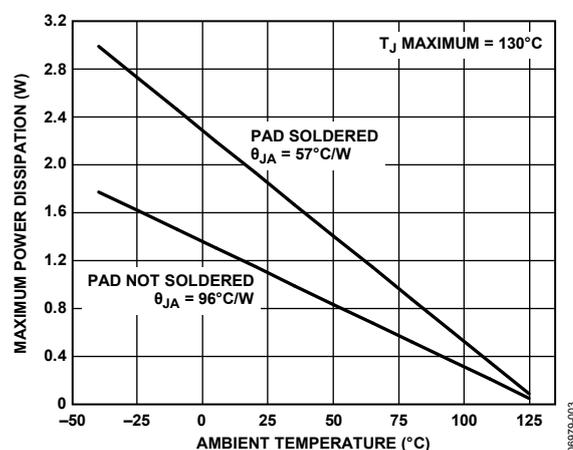


図 2.最大消費電力対周囲温度

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

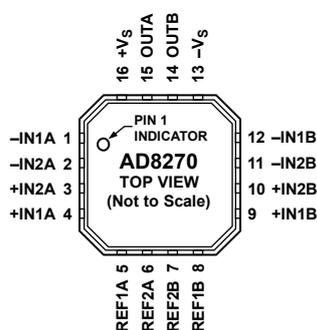


図 3. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	-IN1A	10 k $\Omega$ の抵抗がオペアンプ A の負端子に接続されています。
2	-IN2A	10 k $\Omega$ の抵抗がオペアンプ A の負端子に接続されています。
3	+IN2A	10 k $\Omega$ の抵抗がオペアンプ A の正端子に接続されています。
4	+IN1A	10 k $\Omega$ の抵抗がオペアンプ A の正端子に接続されています。
5	REF1A	20 k $\Omega$ の抵抗がオペアンプ A の正端子に接続されています。大部分の構成で、このピンはリファレンス入力として使用されます。
6	REF2A	20 k $\Omega$ の抵抗がオペアンプ A の正端子に接続されています。大部分の構成で、このピンはリファレンス入力として使用されます。
7	REF2B	20 k $\Omega$ の抵抗がオペアンプ B の正端子に接続されています。大部分の構成で、このピンはリファレンス入力として使用されます。
8	REF1B	20 k $\Omega$ の抵抗がオペアンプ B の正端子に接続されています。大部分の構成で、このピンはリファレンス入力として使用されます。
9	+IN1B	10 k $\Omega$ の抵抗がオペアンプ B の正端子に接続されています。
10	+IN2B	10 k $\Omega$ の抵抗がオペアンプ B の正端子に接続されています。
11	-IN2B	10 k $\Omega$ の抵抗がオペアンプ B の負端子に接続されています。
12	-IN1B	10 k $\Omega$ の抵抗がオペアンプ B の負端子に接続されています。
13	-Vs	負電源。
14	OUTB	オペアンプ B 出力。
15	OUTA	オペアンプ A 出力。
16	+Vs	正電源。

## 代表的な性能特性

特に指定のない限り、 $V_S = \pm 15\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、差動アンプ構成。

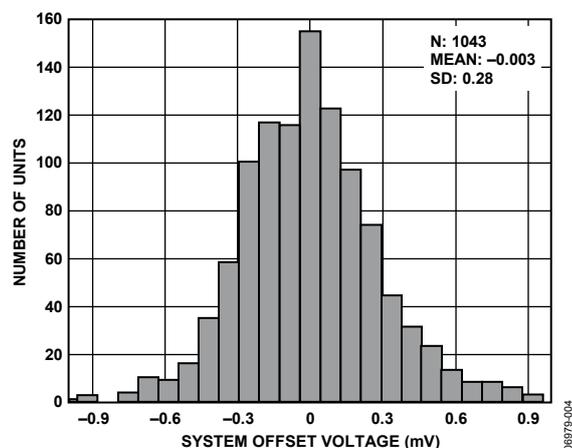


図 4. システム・オフセット電圧(Typ)の分布、 $G = 1$

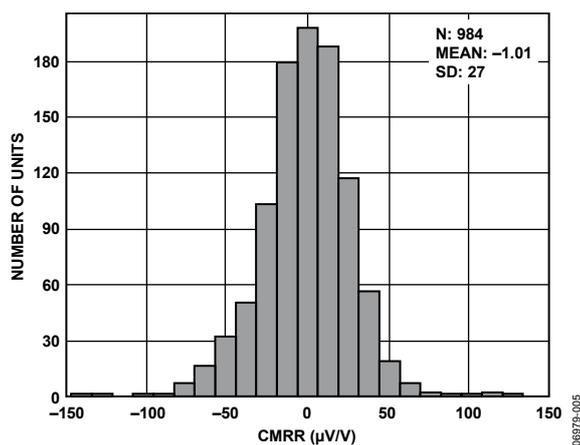


図 5. CMRR(Typ)の分布、 $G = 1$

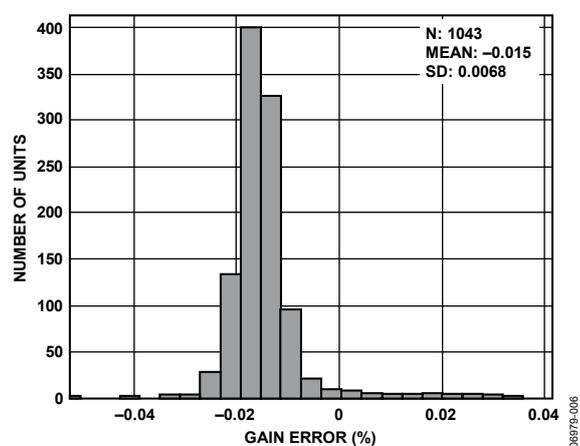


図 6. ゲイン誤差(Typ)の分布、 $G = 1$

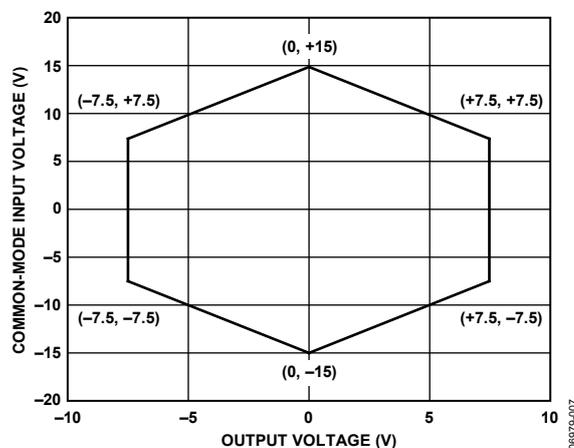


図 7. 同相モード入力電圧対出力電圧、  
ゲイン=0.5、 $\pm 15\text{ V}$ 電源

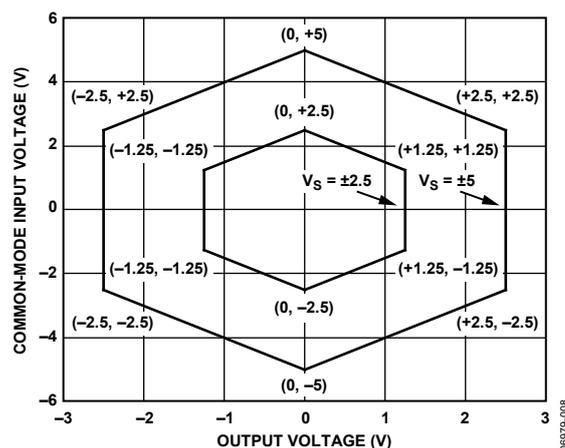


図 8. 同相モード入力電圧対出力電圧、  
ゲイン=0.5、電源=  $\pm 5\text{ V}$ 、 $\pm 2.5\text{ V}$

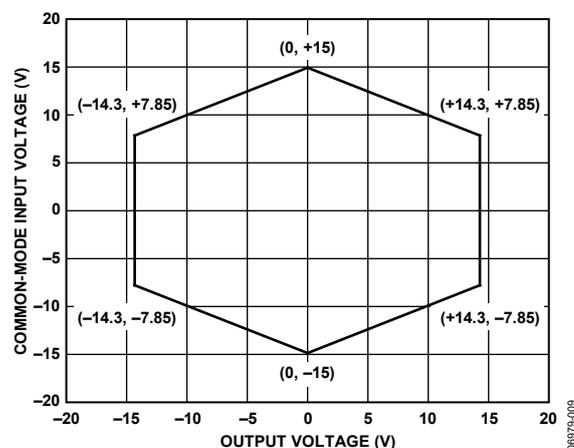


図 9. 同相モード入力電圧対出力電圧、  
ゲイン=1、 $\pm 15\text{ V}$ 電源

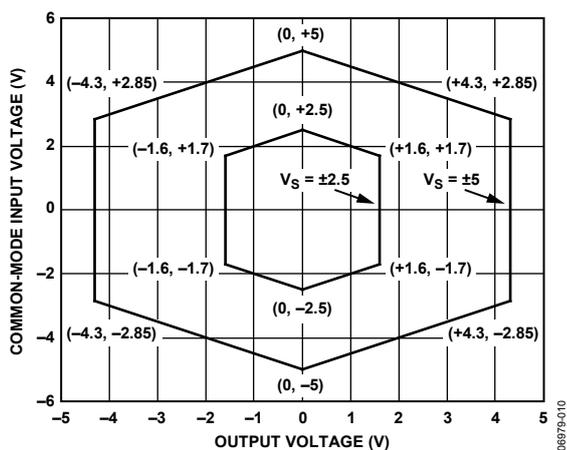


図 10.同相モード入力電圧対出力電圧、ゲイン=1、電源= ±5 V、±2.5 V

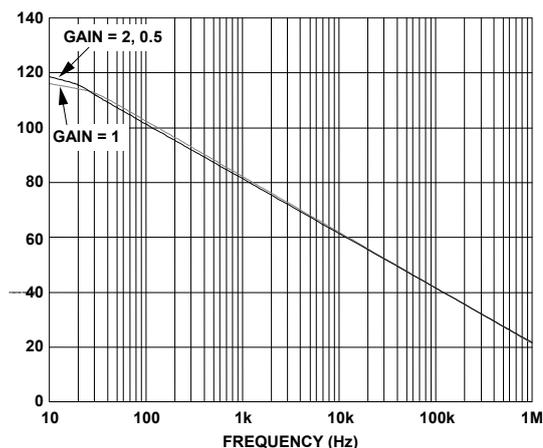


図 13.正 PSRR の周波数特性

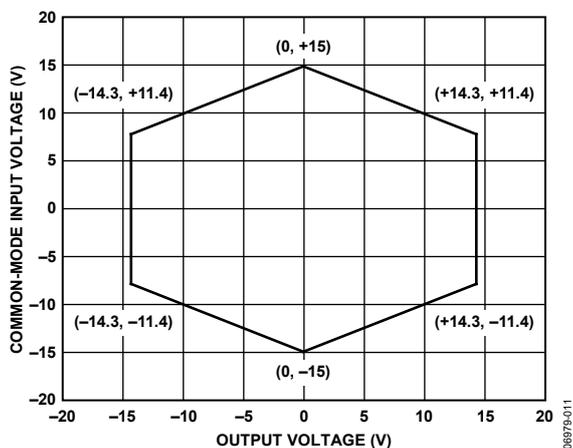


図 11.同相モード入力電圧対出力電圧、ゲイン=2、±15 V 電源

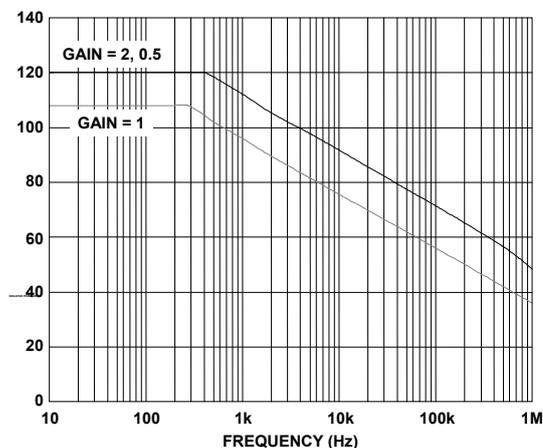


図 14.負 PSRR の周波数特性

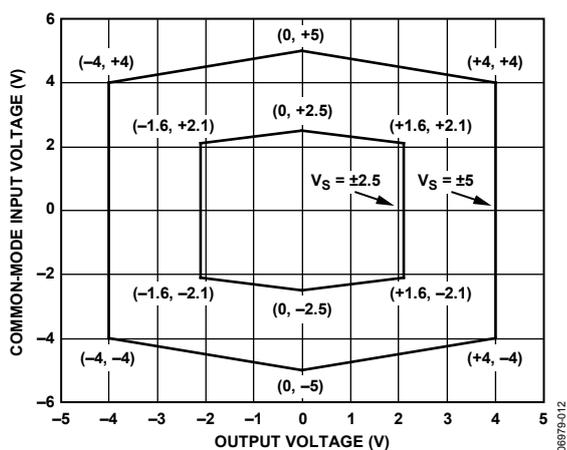


図 12.同相モード入力電圧対出力電圧、ゲイン=2、電源= ±5 V、±2.5 V

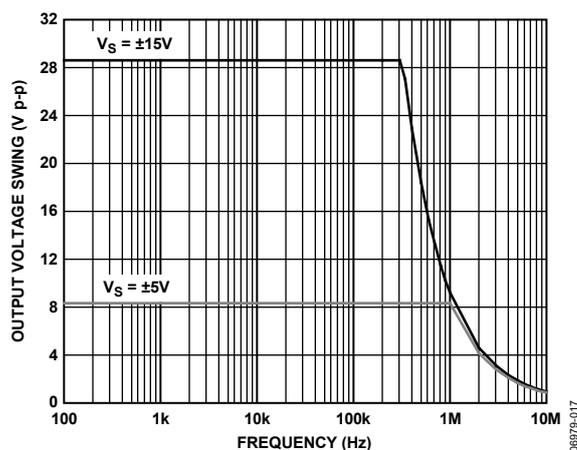


図 15.出力電圧振幅対大信号周波数応答

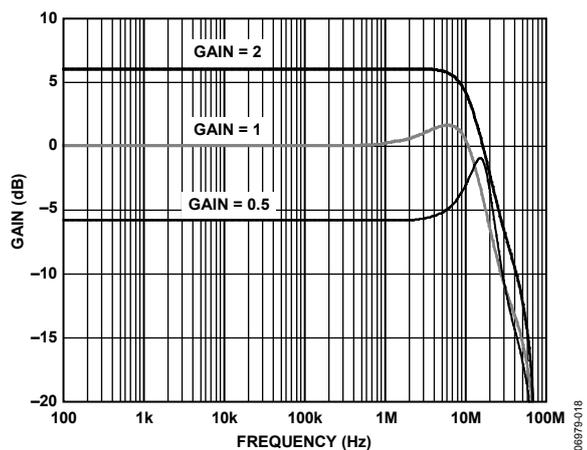


図 16. ゲインの周波数特性

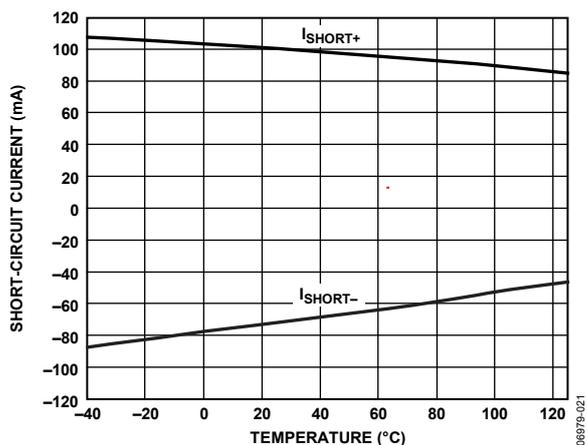


図 19. 短絡電流の温度特性

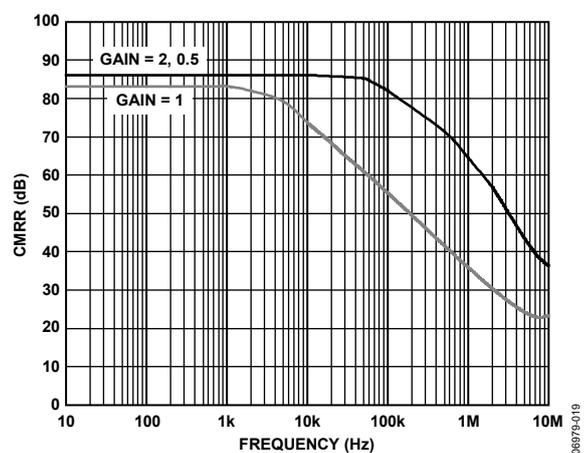


図 17. CMRR の周波数特性

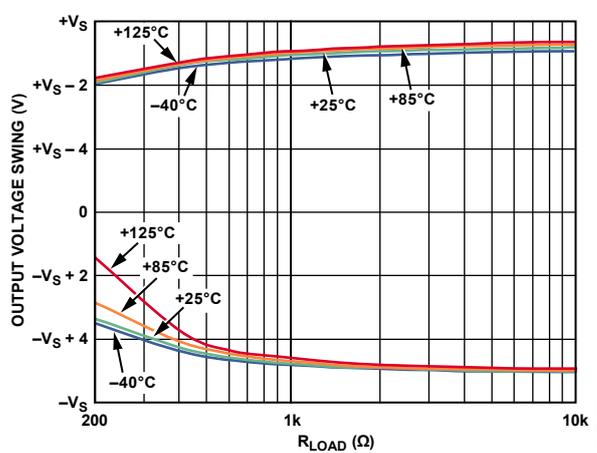


図 20. 出力電圧振幅対 R<sub>LOAD</sub>

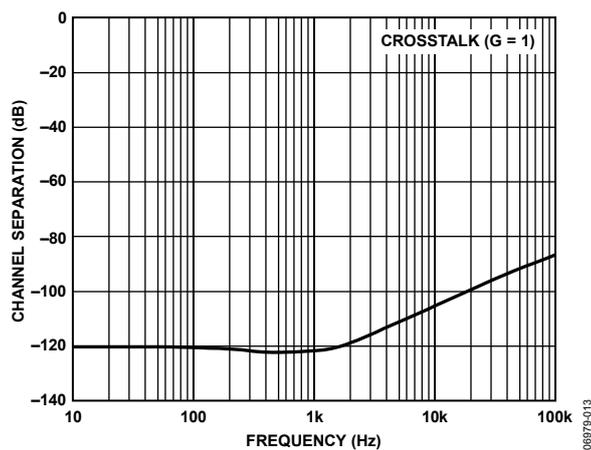


図 18. チャンネル・セパレーションの周波数特性

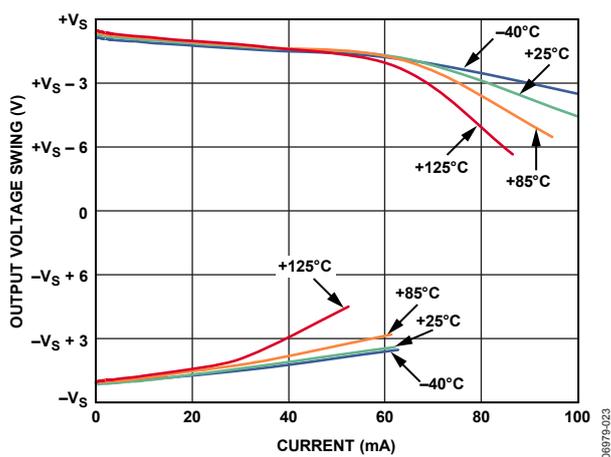


図 21. 出力電圧振幅対電流(I<sub>OUT</sub>)

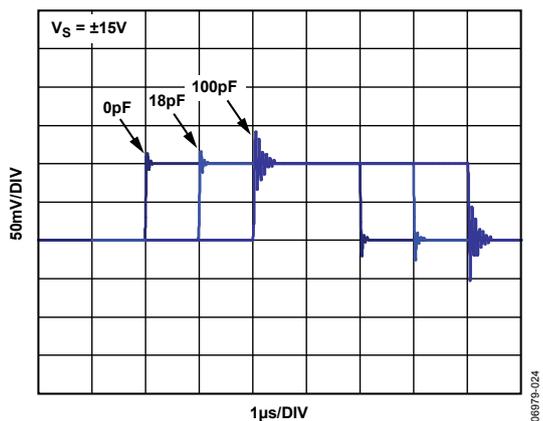


図 22. 小信号ステップ応答、ゲイン=0.5

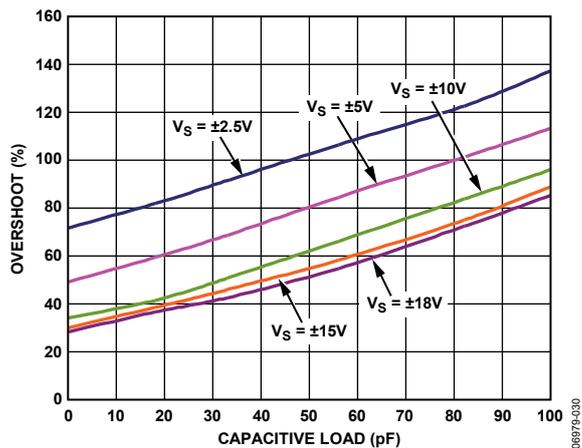


図 25. 容量負荷での小信号オーバーシュート、ゲイン=0.5

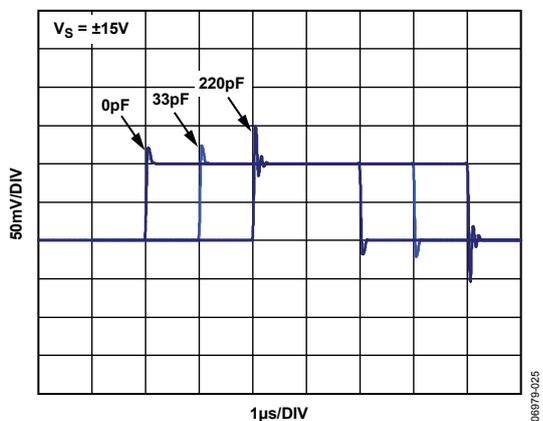


図 23. 小信号ステップ応答、ゲイン=1

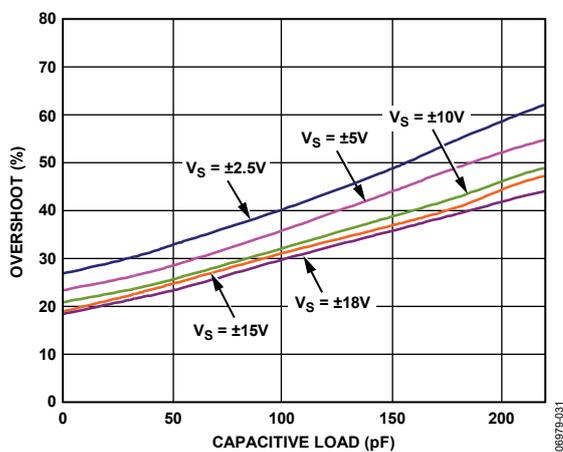


図 26. 容量負荷での小信号オーバーシュート、ゲイン=1

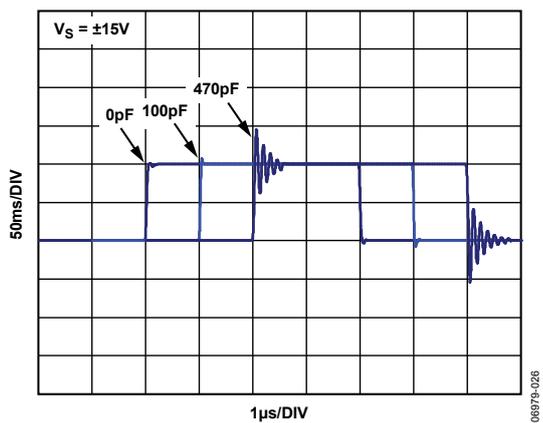


図 24. 小信号ステップ応答、ゲイン=2

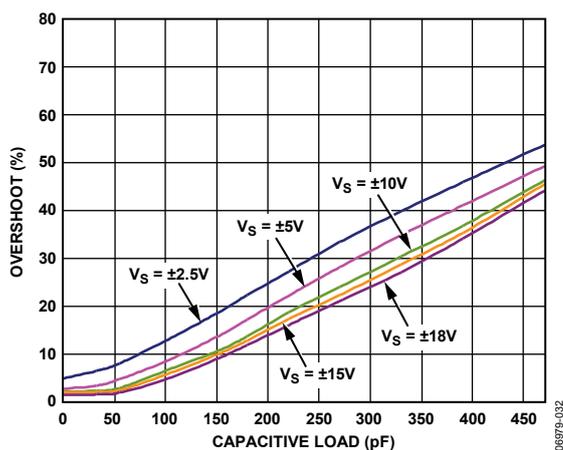


図 27. 容量負荷での小信号オーバーシュート、ゲイン=2

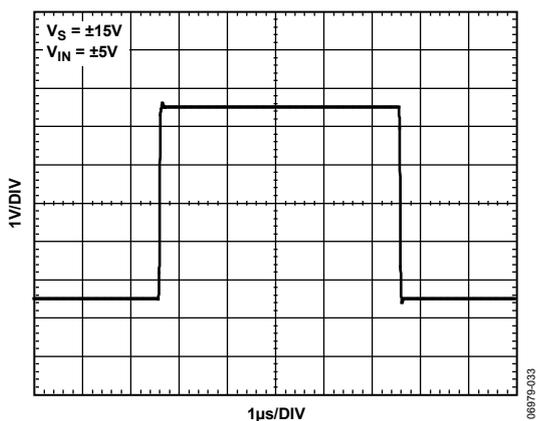


図 28.大信号パルス応答、ゲイン=0.5

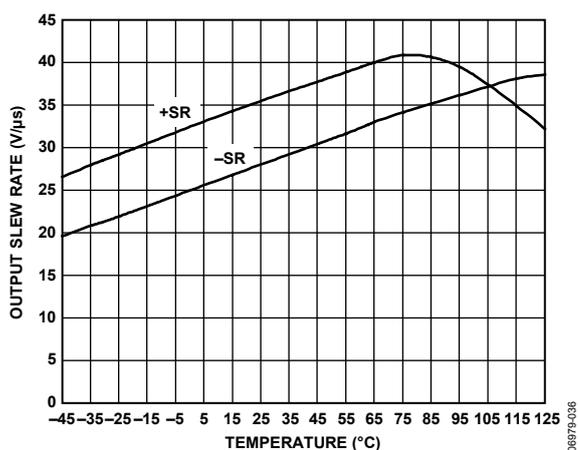


図 31.出力スルーレートの温度特性

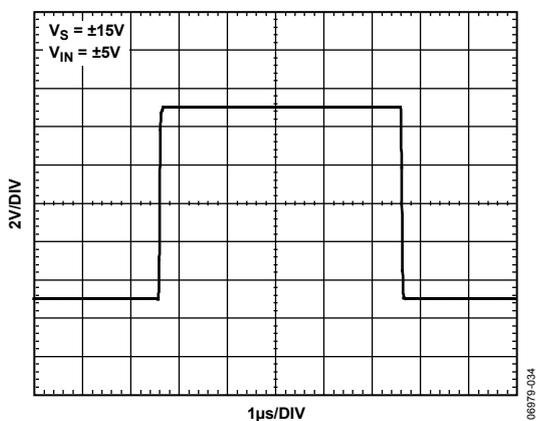


図 29.大信号パルス応答、ゲイン=1

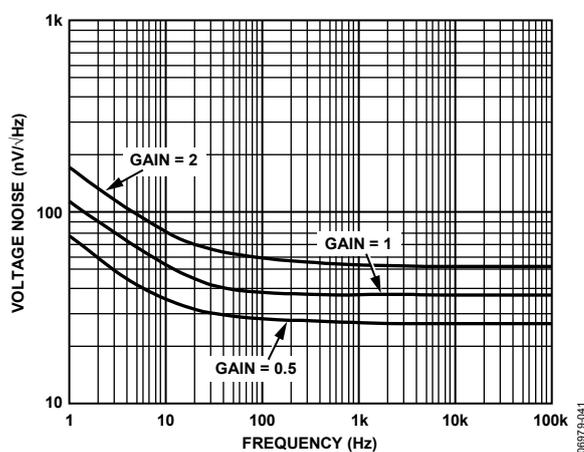


図 32.電圧ノイズ・スペクトル密度の周波数特性、出力換算

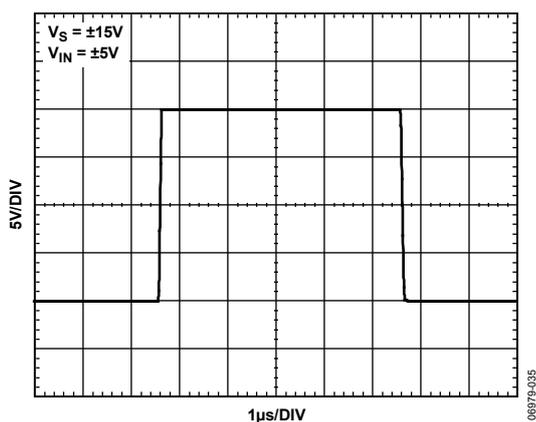


図 30.大信号パルス応答、ゲイン=2

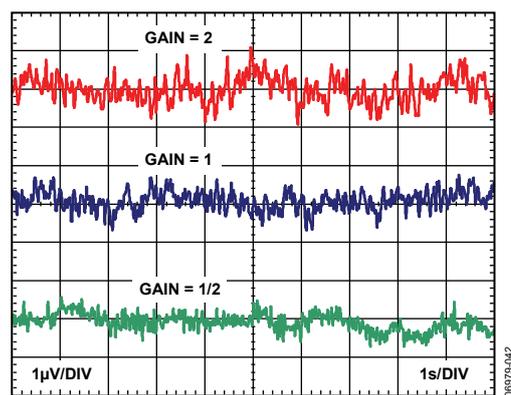


図 33.0.1 Hz~10 Hz の電圧ノイズ、出力換算

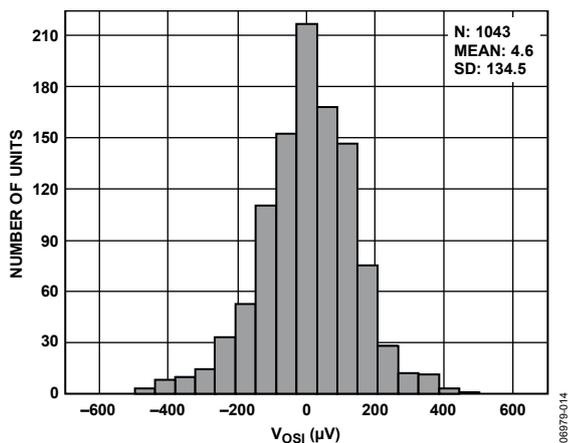


図 34. オペアンプ電圧オフセット (Typ) の分布

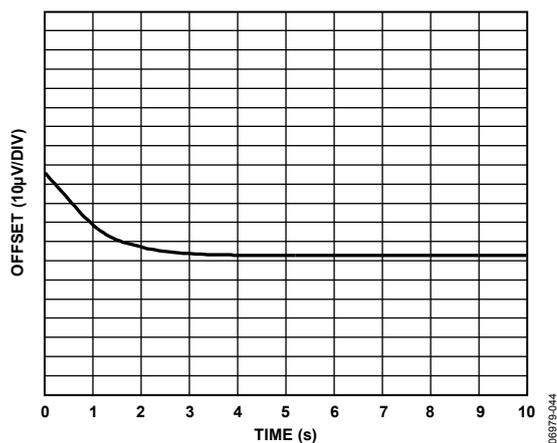


図 37. オペアンプ・オフセット電圧変化対ウォームアップ時間

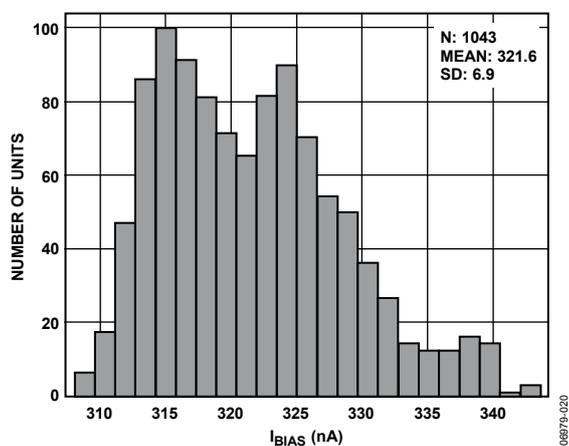


図 35. オペアンプ・バイアス電流 (Typ) の分布

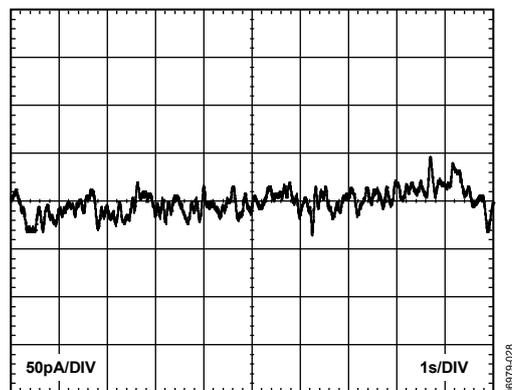


図 38. 内蔵オペアンプの 0.1 Hz~10 Hz 電流ノイズ

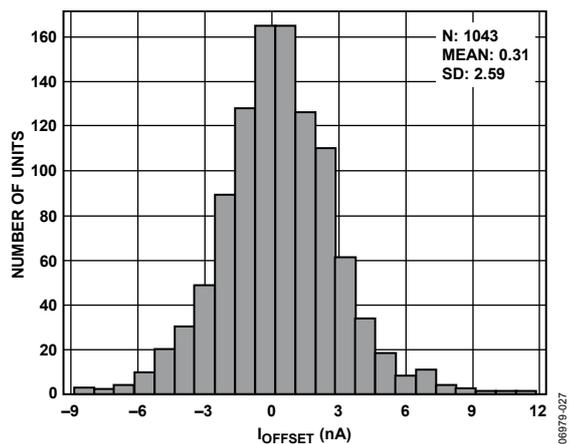


図 36. オペアンプ・オフセット電流 (Typ) の分布

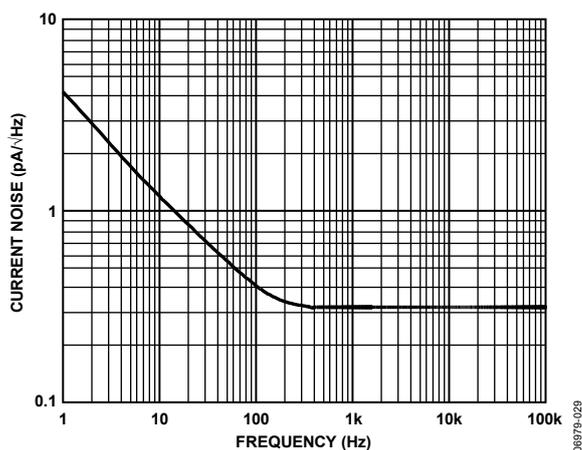


図 39. 内蔵オペアンプの電流ノイズ・スペクトル密度

## 動作原理

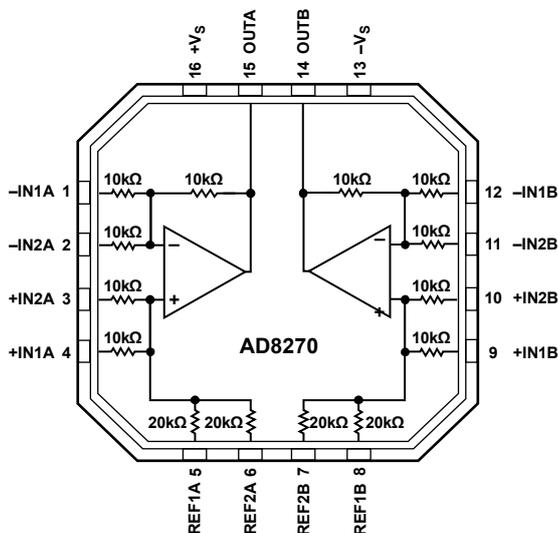


図 40.機能ブロック図

### 回路説明

AD8270 は、2 チャンネル分の高精度、低歪みオペアンプ、7 本の調整済み抵抗を内蔵しています。これらの抵抗は、差動、非反転、反転などの多様なアンプ構成を行う際に使用することができます。内蔵の抵抗は、広範囲なオプション用に並列に接続することができます。AD8270 の内蔵抵抗を使うと、ディスクリット・デザインに比べて幾つかの利点があります。

### DC 性能

オペアンプ回路の多くの DC 性能は、周辺の抵抗精度に依存します。AD8270 の抵抗は、厳密に一致するようにデザインされています。各デバイスの抵抗はレーザー・トリムされ、マッチング精度がテストされています。AD8270 ではこのトリムとテストを行っているため、ゲイン・ドリフト、同相モード除去比、ゲイン誤差などの仕様の高精度を保証することができます。

### AC 性能

機能サイズが PCB ボードに比べて集積回路では遥かに小さいため、対応する寄生も小さくなっています。機能サイズの小型化は、AD8270 の AC 性能の向上に役立っています。たとえば、AD8270 オペアンプの正と負の入力ピンは、意図的に外部ピンに接続されていません。これらのノードを PCB ボードのパターンに接続しないことにより、容量を小さく維持することができるので、周波数に対するループ安定性と同相モード除去比を向上させることができます。

### 製造コスト

PCB ボードの部品数を削減できるため、ボードの迅速な作成が可能になります。

### サイズ

AD8270 は、小型の 4 mm × 4 mm LFCSP パッケージに 2 個のオペアンプと 14 本の抵抗を実装しています。

### AD8270 の駆動

AD8270 の駆動は、すべての構成で少なくとも数キロ Ω (kΩ) の入力抵抗を持つため容易です。AD8270 は、たとえば別のアンプの使用などによって低インピーダンス・ソースから駆動する必要があります。AD8270 のゲイン精度と同相モード除去比は、抵抗のマッチングに依存します。ソース抵抗が数 Ω であっても、これらの仕様に大きな影響を与えることがあります。

### パッケージについての考慮事項

AD8270 は、4 mm × 4 mm LFCSP パッケージを採用しています。別の 4 mm × 4 mm の LFCSP 部品からフットプリントをコピーしても、同じサーマル・パッド・サイズと端子を持たないことに注意してください。PCB シンボルが正しい寸法を持っていることを確認するときは、外形寸法のセクションを参照してください。

AD8270 の 4 mm × 4 mm LFCSP にはサーマル・パッドが付いています。このパッドは内部で  $-V_S$  に接続されています。電気的性能のためにはこのパッドの接続は不要です。このパッドは解放のままにするか、負電源レールに接続しておくことができます。

振動が大きいアプリケーションまたは優れた熱放散が必要な場合には(たとえば、高い周囲温度または大きな負荷の駆動時)、このパッドを負電源レールに接続することが推奨されます。最適な熱放散性能を得るためには、負電源レールをボード上でプレーンにする必要があります。パッドのハンダ付けの有無による熱係数については、絶対最大定格のセクションを参照してください。

端子とサーマル・パッドの間隔は、できるだけ広くして、汚染物質により性能が悪影響を受けないようにする必要があります。特に高温で高精度性能が要求される場合には、ハンダ処理後、ボードの完全な洗浄が推奨されます。

### 電源

安定な DC 電圧を使って、AD8270 に電源を供給する必要があります。電源ピンのノイズは性能に悪影響を与えることがあります。0.1 μF のバイパス・コンデンサを各電源ピンとグラウンドの間に、各電源ピンの近くに接続する必要があります。また、10 μF のタンタル・コンデンサも各電源とグラウンドの間に接続する必要があります。このコンデンサは電源ピンから離れて配置することができ、他の高精度 IC と共用することができます。

AD8270 の仕様は  $\pm 15$  V と  $\pm 5$  V で規定されていますが、不平衡電源でも使用することができます。たとえば、 $-V_S = 0$  V、 $+V_S = 20$  V とすることができます。2 つの電源間の差は、36 V 以下に維持する必要があります。

## 入力電圧範囲

AD8270 は、大部分のアプリケーションに対して真のレール to レール入力範囲を持っています。大部分の AD8270 構成では電圧が分割されて内蔵オペアンプに入力されるため、オペアンプは入力電圧の一部を入力します。図 41 に、差動アンプ構成での電圧分割法の例を示します。

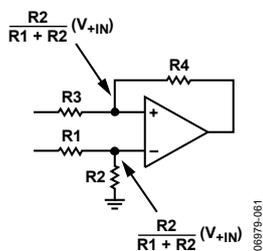


図 41. 差動アンプ構成での電圧分割

次のアプリケーションでは、内蔵オペアンプの電圧範囲が関係するため、内蔵オペアンプでの電圧を計算することが推奨されます。

- $\pm 4.5 \text{ V}$  以下の電源電圧を使用する差動アンプ構成
- レール電圧に近いリファレンス電圧を使用する差動アンプ構成
- シングルエンド・アンプ構成

正しい動作のためには、内蔵オペアンプでの入力電圧は、両電源レールから  $1.5 \text{ V}$  内側にある必要があります。

電源レールを超える電圧は加えないようにしてください。このデバイスは入力ピンに ESD ダイオードを内蔵しているため、レールを超える電圧が加えられると、このダイオードが導通してしまいます。電流が  $5 \text{ mA}$  を超えると、これらのダイオードとデバイスが損傷されます。レール電圧を超える電圧で動作できる同様のデバイスについては、[AD8273](#) データ・シートを参照してください。

## アプリケーション情報

### 差動アンプ構成

AD8270 は、ゲイン 0.5、1、2 の差動アンプ構成で使用することができます。図 42～図 44 に、グラウンドを基準とした差動アンプ構成を示します。また、AD8270 は、リファレンス電圧の組み合わせを基準とすることもできます。たとえば、5 V と GND だけを使って、リファレンスを 2.5 V に設定することができます。幾つかの可能な構成を、図 45～図 47 に示します。

チャンネル A のレイアウトは、図 42～図 47 に示します。チャンネル B のレイアウトは、対称です。表 7 に、チャンネル A とチャンネル B のピン接続を示します。

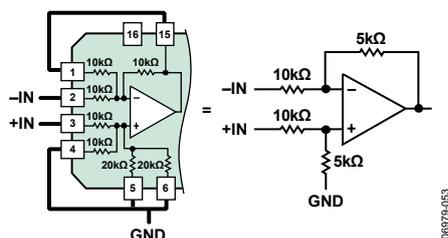


図 42. ゲイン=0.5の差動アンプ、グラウンド基準

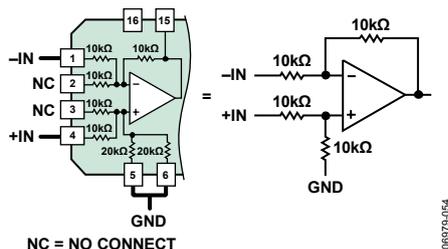


図 43. ゲイン=1の差動アンプ、グラウンド基準

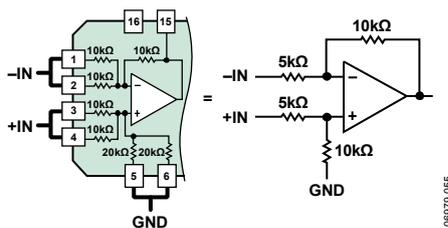


図 44. ゲイン=2の差動アンプ、グラウンド基準

### シングルエンド構成

AD8270 は、 $-2 \sim +3$  のゲイン範囲を持つ多様なシングルエンド構成に使用することができます。表 8 に、可能な構成の一部を示します。

多くの信号ゲインで複数の設定法が選択できるため、オペアンプのクローズド・ループ・ゲインを選択する際に自由度が大きくなります。一般に、出力に大きな容量負荷を接続しても安定なデザインであるためには、高いループ・ゲインの構成を選択します。その他の場合には、小さいループ・ゲインの構成を選択します。これらの構成では一般に、ノイズとオフセットが小さくなり、帯域幅が広がるためです。

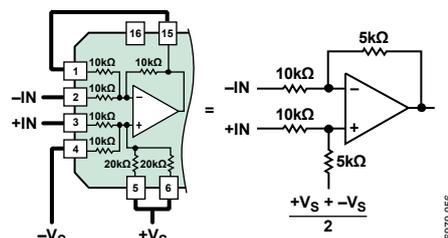


図 45. ゲイン=0.5の差動アンプ、電源中心を基準

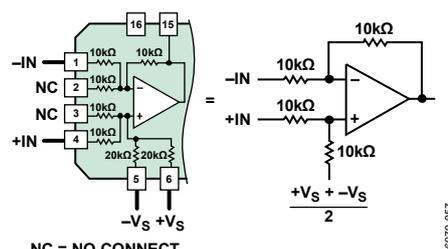


図 46. ゲイン=1の差動アンプ、電源中心を基準

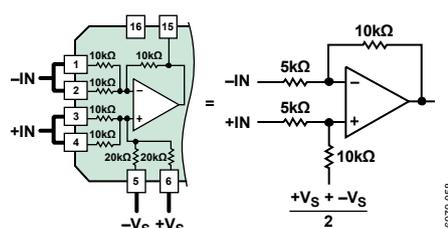


図 47. ゲイン=2の差動アンプ、電源中心を基準

表 7. 差動アンプ構成のピン接続

Gain and Reference	Channel A						Channel B					
	Pin 1	Pin 2	Pin 3	Pin 4	Pin 5	Pin 6	Pin 12	Pin 11	Pin 10	Pin 9	Pin 8	Pin 7
Gain of 0.5, Referenced to Ground	OUT	-IN	+IN	GND	GND	GND	OUT	-IN	+IN	GND	GND	GND
Gain of 0.5, Referenced to Midsupply	OUT	-IN	+IN	$-V_S$	$+V_S$	$+V_S$	OUT	-IN	+IN	$-V_S$	$+V_S$	$+V_S$
Gain of 1, Referenced to Ground	-IN	NC	NC	+IN	GND	GND	-IN	NC	NC	+IN	GND	GND
Gain of 1, Referenced to Midsupply	-IN	NC	NC	+IN	$-V_S$	$+V_S$	-IN	NC	NC	+IN	$-V_S$	$+V_S$
Gain of 2, Referenced to Ground	-IN	-IN	+IN	+IN	GND	GND	-IN	-IN	+IN	+IN	GND	GND
Gain of 2, Referenced to Midsupply	-IN	-IN	+IN	+IN	$-V_S$	$+V_S$	-IN	-IN	+IN	+IN	$-V_S$	$+V_S$

表 8. 選択したシングルエンド構成

Electrical Performance			Pin Connections					
Signal Gain	Op Amp Closed-Loop Gain	Input Resistance	10 k $\Omega$ – Pin 1	10 k $\Omega$ – Pin 2	10 k $\Omega$ + Pin 3	10 k $\Omega$ + Pin 4	20 k $\Omega$ + Pin 5	20 k $\Omega$ + Pin 6
-2	3	5 k $\Omega$	IN	IN	GND	GND	GND	GND
-1.5	3	4.8 k $\Omega$	IN	IN	GND	GND	GND	IN
-1.4	3	5 k $\Omega$	IN	IN	GND	GND	NC	IN
-1.25	3	5.333 k $\Omega$	IN	IN	GND	NC	GND	IN
-1	3	5 k $\Omega$	IN	IN	GND	GND	IN	IN
-0.8	3	5.556 k $\Omega$	IN	IN	IN	GND	NC	GND
-0.667	2	8 k $\Omega$	IN	NC	GND	GND	GND	IN
-0.6	2	8.333 k $\Omega$	IN	NC	GND	GND	NC	IN
-0.5	2	8.889 k $\Omega$	IN	NC	GND	NC	GND	IN
-0.333	2	7.5 k $\Omega$	IN	NC	GND	GND	IN	IN
-0.25	1.5	8 k $\Omega$	OUT	IN	GND	GND	GND	IN
-0.2	1.5	8.333 k $\Omega$	OUT	IN	GND	GND	NC	IN
-0.125	1.5	8.889 k $\Omega$	OUT	IN	GND	NC	GND	IN
+0.1	1.5	8.333 k $\Omega$	OUT	IN	IN	GND	NC	GND
+0.2	2	10 k $\Omega$	IN	NC	GND	IN	NC	IN
+0.25	1.5	24 k $\Omega$	OUT	GND	GND	GND	GND	IN
+0.3	1.5	25 k $\Omega$	OUT	GND	GND	GND	NC	IN
+0.333	2	24 k $\Omega$	GND	NC	GND	GND	GND	IN
+0.375	1.5	26.67 k $\Omega$	OUT	GND	GND	NC	GND	IN
+0.4	2	25 k $\Omega$	GND	NC	GND	GND	NC	IN
+0.5	3	24 k $\Omega$	GND	GND	GND	GND	GND	IN
+0.5	1.5	15 k $\Omega$	OUT	GND	GND	GND	IN	IN
+0.6	3	25 k $\Omega$	GND	GND	GND	GND	NC	IN
+0.6	1.5	16.67 k $\Omega$	OUT	GND	IN	GND	NC	GND
+0.625	1.5	16 k $\Omega$	OUT	IN	NC	IN	IN	GND
+0.667	2	15 k $\Omega$	GND	NC	GND	GND	IN	IN
+0.7	1.5	16.67 k $\Omega$	OUT	IN	IN	IN	NC	GND
+0.75	3	26.67 k $\Omega$	GND	GND	GND	NC	GND	IN
+0.75	1.5	13.33 k $\Omega$	OUT	GND	GND	IN	GND	IN
+0.8	2	16.67 k $\Omega$	GND	NC	IN	GND	NC	GND
+0.9	1.5	16.67 k $\Omega$	OUT	GND	GND	IN	NC	IN
+1	1.5	15 k $\Omega$	OUT	GND	IN	IN	GND	GND
+1	1.5	>1 G $\Omega$	OUT	IN	IN	IN	IN	IN
+1	3	>1 G $\Omega$	IN	IN	IN	IN	IN	IN
+1.125	1.5	26.67 k $\Omega$	OUT	GND	NC	IN	IN	GND
+1.2	3	16.67 k $\Omega$	GND	GND	IN	GND	NC	GND
+1.2	1.5	25 k $\Omega$	OUT	GND	IN	IN	NC	GND
+1.25	1.5	24 k $\Omega$	OUT	GND	IN	IN	IN	GND
+1.333	2	15 k $\Omega$	GND	NC	IN	IN	GND	GND
+1.5	3	13.33 k $\Omega$	GND	GND	GND	IN	GND	IN
+1.5	1.5	>1 G $\Omega$	OUT	GND	IN	IN	IN	IN
+1.6	2	25 k $\Omega$	GND	NC	IN	IN	NC	GND
+1.667	2	24 k $\Omega$	GND	NC	IN	IN	IN	GND
+1.8	3	16.67 k $\Omega$	GND	GND	GND	IN	NC	IN
+2	2	>1 G $\Omega$	GND	NC	IN	IN	IN	IN
+2.25	3	26.67 k $\Omega$	GND	GND	NC	IN	IN	GND
+2.4	3	25 k $\Omega$	GND	GND	IN	IN	NC	GND
+2.5	3	24 k $\Omega$	GND	GND	IN	IN	IN	GND
+3	3	>1 G $\Omega$	GND	GND	IN	IN	IN	IN

AD8270 の仕様のセクションと代表的な性能特性のセクションに、主に差動アンプ構成でのデバイス性能を示します。シングルエンド構成のデバイス性能を精確に見積もるときは、対応するクロード・ループ・ゲインを持つ差動アンプ構成を参照してください(表 9 参照)。

表 9. 差動アンプのクロード・ループ・ゲイン

Difference Amplifier Gain	Closed-Loop Gain
0.5	1.5
1	2
2	3

### ゲイン 1 の構成

AD8270 は、1.5 以上のループ・ゲインで安定するようにデザインされています。一般に電圧フォロア構成はループ・ゲインが 1 であるため、不安定である可能性があります。安定な幾つかの  $G = 1$  の構成を表 8 に示します。

### 差動出力

AD8270 は、容易に差動出力に構成できます。図 48 に、 $G = 1$  の差動出力アンプの構成を示します。図に示す OCM ノードは、同相モード出力電圧を設定します。図 49 に、 $G = 1$  の差動出力アンプ構成を示します。この構成では、2 つの電圧の平均により同相モード出力電圧が設定されます。たとえば、5 V と GND だけを使ってリファレンスを 2.5 V に設定する際に、この構成を使用することができます。

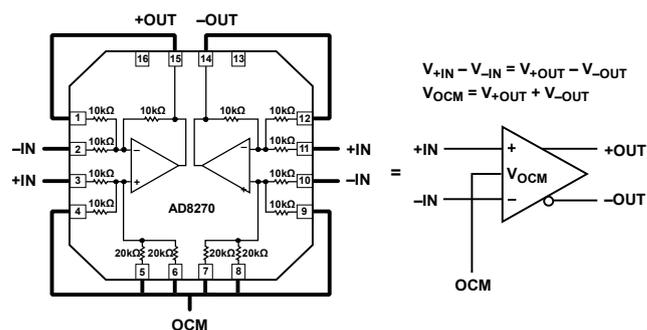


図 48. 差動出力、 $G = 1$ 、同相モード出力電圧をリファレンス電圧で設定

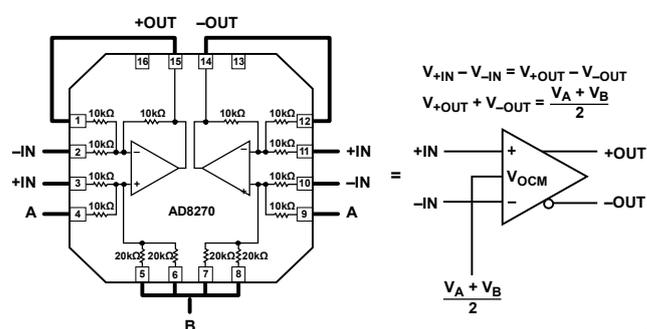


図 49. 差動出力、 $G = 1$ 、同相モード出力電圧を 2 つの電圧の平均で設定

これらの 2 の構成は、図 42 と図 45 に示す  $G = 0.5$  の差動アンプ構成を採用していることに注意してください。同じ技術を使うと、 $G = 1$  と  $G = 2$  の差動アンプ構成を使って、それぞれゲイン 2 または 4 の差動出力を構成することができます。



## 外形寸法

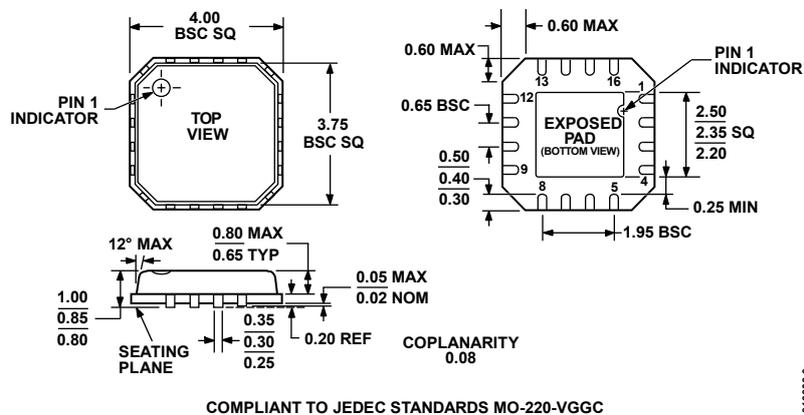


図 52.16 ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP\_VQ]  
4 mm × 4 mm ボディ、極薄クワッド  
(CP-16-10)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD8270ACPZ-R <sup>1</sup>	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-10
AD8270ACPZ-RL	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-10
AD8270ACPZ-WP	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-10

<sup>1</sup> Z = RoHS 準拠製品