

### 特長

- デジタル/ピン設定可能なゲイン  
G=1、2、4、8、16、32、64、または128
- 40~+125°Cの温度範囲仕様
- 50nV/Cの最大入力オフセット・ドリフト
- 10ppm/Cの最大ゲイン・ドリフト
- 優れたDC性能
  - 80dBの最小CMR、G=1
  - 15μVの最大入力オフセット電圧
  - 500pAの最大バイアス電流
  - 0.7μVp-pのノイズ (0.1~10Hz)
- 優れたAC性能
  - 2.7MHzの帯域幅、G=1
  - 1.1V/μsのスルーレート
- レールtoレール出力
- シャットダウン/マルチプレクス
- 追加オペアンプ
- 単電源電圧範囲：3~6V
- 両電源電圧範囲：±1.5~±3V

### アプリケーション

- 圧カトランスデューサと歪みトランスデューサ
- 熱電対とRTD
- プログラマブル計測機器
- 工業用制御
- 重量計

### 概要

AD8231は、ソフトウェアからゲインを1、2、4、8、16、32、64、または128に設定できる低ドリフトのレールtoレール計装アンプです。ゲインの設定は、デジタル・ロジックまたはピンのストラップ接続により行います。

AD8231は、工業用温度センシングやデータ・ロギングなど、広範な温度範囲で高精度の性能が求められるアプリケーションに最適です。ゲイン設定抵抗を内蔵しているため、最大ゲイン・ドリフトはゲイン1~32に対してわずか10ppm/Cです。オートゼロ入力ステージがあるため、最大入力オフセットは15μV、最大入力オフセット・ドリフトはわずか50nV/Cです。CMRRはG=1のときに80dBで、これより高いゲインでは110dBまで増加します。

機能ブロック図

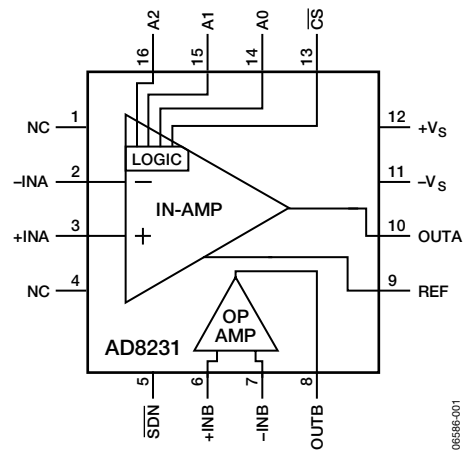


図1

表1. カテゴリ別の計装アンプおよびディファレンス・アンプ

High Performance	Low Cost	High Voltage	Mil Grade	Low Power	Digital Gain
AD8221	AD623 <sup>1</sup>	AD628	AD620	AD627 <sup>1</sup>	AD8231 <sup>1</sup>
AD8220 <sup>1</sup>	AD8553 <sup>1</sup>	AD629	AD621		AD8250
AD8222			AD524		AD8251
AD8224 <sup>1</sup>			AD526		AD8555 <sup>1</sup>
			AD624		AD8556 <sup>1</sup>
					AD8557 <sup>1</sup>

<sup>1</sup> レールtoレール出力

AD8231は、ゲインの増加、差動信号の駆動やフィルタ処理に使用できる汎用オペアンプも内蔵しています。計装アンプと同じく、このオペアンプもオートゼロ・アーキテクチャで、レールtoレールの入力と出力を備えています。

AD8231には、消費電流を最大1μAに削減するシャットダウン機能があります。シャットダウン時に、2つのアンプの出力インピーダンスがともに高くなります。これにより、スイッチを追加することなく複数のアンプを簡単にマルチプレクスできます。

AD8231は、-40~+125°Cの拡張工業用温度範囲で仕様が規定され、4mm×4mmの16ピンLFCSPを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2007 Analog Devices, Inc. All rights reserved.

# AD8231

## 目次

特長	1	アンプのアーキテクチャ	18
アプリケーション	1	ゲインの選択	18
機能ブロック図	1	リファレンス・ピン	18
概要	1	レイアウト	19
改訂履歴	2	入力バイアス電流のリターン・パス	19
仕様	3	入力保護	19
絶対最大定格	7	RF干渉	20
熱抵抗	7	同相入力電圧範囲	20
最大消費電力	7	ノイズの削減	20
ESDに関する注意	7	アプリケーション情報	21
ピン配置とピン機能の説明	8	差動出力	21
代表的な性能特性	9	マルチプレクシング	21
計装アンプの性能曲線	9	両電源でのAD8231の使用	21
オペアンプの性能曲線	15	SALLEN KEYフィルタ	22
性能曲線は両アンプで有効	17	外形寸法	23
動作原理	18	オーダー・ガイド	23

## 改訂履歴

### 9/07—Rev. 0 to Rev. A

Changes to Features and General Description	1
Changes to Table 2	3
Changes to Table 3	5
Changes to Typical Performance Characteristics Layout	9
Inserted Figure 3 to Figure 8; Renumbered Sequentially	9
Inserted Figure 9; Renumbered Sequentially	10
Inserted Figure 16, and Figure 18 to Figure 20; Renumbered Sequentially	11
Inserted Figure 24; Renumbered Sequentially	12
Deleted Figure 28 and Figure 29; Renumbered Sequentially	13
Inserted Figure 33 and Figure 34; Renumbered Sequentially	14
Inserted Figure 41 to Figure 46; Renumbered Sequentially	16
Inserted Figure 48; Renumbered Sequentially	17
Changes to Gain Selection Section and Figure 50	18
Added Input Protection Section	19
Added Reducing Noise Section	20
Changes to Multiplexing Section	21
Added Using the AD8231 with Bipolar Supplies Section	21
Added Sallen Key Filter Section	22
Changes to Ordering Guide	23

### 5/07—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_S=5V$ 、 $V_{REF}=2.5V$ 、 $G=1$ 、 $R_L=10k\Omega$ 、 $T_A=25^\circ C$ 。

表2

Parameter	Conditions	Min	Typ	Max	Unit
INSTRUMENTATION AMPLIFIER					
Offset Voltage	$V_{OS RTI} = V_{OSI} + V_{OSO}/G$				
Input Offset, $V_{OSI}$			4	15	$\mu V$
Average Temperature Drift	$T_A = -40^\circ C$ to $+125^\circ C$		0.01	0.05	$\mu V/^\circ C$
Output Offset, $V_{OSO}$			15	30	$\mu V$
Average Temperature Drift	$T_A = -40^\circ C$ to $+125^\circ C$		0.05	0.5	$\mu V/^\circ C$
Input Currents					
Input Bias Current			250	500	pA
	$T_A = -40^\circ C$ to $+125^\circ C$			5	nA
Input Offset Current			20	100	pA
	$T_A = -40^\circ C$ to $+125^\circ C$			0.5	nA
Gains	1, 2, 4, 8, 16, 32, 64, or 128				
Gain Error					
G = 1				0.05	%
G = 2 to 128				0.8	%
Gain Drift	$T_A = -40^\circ C$ to $+125^\circ C$				
G = 1 to 32			3	10	ppm/ $^\circ C$
G = 64			4	20	ppm/ $^\circ C$
G = 128			10	30	ppm/ $^\circ C$
Linearity	0.2 V to 4.8 V, 10 k $\Omega$ load		3		ppm
	0.2 V to 4.8 V, 2 k $\Omega$ load		5		ppm
CMRR					
G = 1		80			dB
G = 2		86			dB
G = 4		92			dB
G = 8		98			dB
G = 16		104			dB
G = 32		110			dB
G = 64		110			dB
G = 128		110			dB
Noise	$e_n = \sqrt{(e_{ni})^2 + (e_{no}/G)^2}$ , $V_{IN+}$ , $V_{IN-} = 2.5 V$				
Input Voltage Noise, $e_{ni}$	f = 1 kHz		32		nV/ $\sqrt{Hz}$
	f = 1 kHz, $T_A = -40^\circ C$		27		nV/ $\sqrt{Hz}$
	f = 1 kHz, $T_A = 125^\circ C$		39		nV/ $\sqrt{Hz}$
Output Voltage Noise, $e_{no}$	f = 0.1 Hz to 10 Hz		0.7		$\mu V$ p-p
	f = 1 kHz		58		nV/ $\sqrt{Hz}$
	f = 1 kHz, $T_A = -40^\circ C$		50		nV/ $\sqrt{Hz}$
	f = 1 kHz, $T_A = 125^\circ C$		70		nV/ $\sqrt{Hz}$
	f = 0.1 Hz to 10 Hz		1.1		$\mu V$ p-p
Current Noise	f = 10 Hz		20		fA/ $\sqrt{Hz}$
Other Input Characteristics					
Common-Mode Input Impedance			10  5		G $\Omega$   pF
Power Supply Rejection Ratio		100	115		dB
Input Operating Voltage Range		0.05		4.95	V
Reference Input					
Input Impedance			28		k $\Omega$
Voltage Range		-0.2		+5.2	V

# AD8231

Parameter	Conditions	Min	Typ	Max	Unit
<b>Dynamic Performance</b>					
Bandwidth					
G = 1			2.7		MHz
G = 2			2.5		MHz
Gain Bandwidth Product					
G = 4 to 128			7		MHz
Slew Rate			1.1		V/μs
<b>Output Characteristics</b>					
Output Voltage High	R <sub>L</sub> = 100 kΩ to ground	4.9	4.94		V
	R <sub>L</sub> = 10 kΩ to ground	4.8	4.88		V
Output Voltage Low	R <sub>L</sub> = 100 kΩ to 5 V		60	100	mV
	R <sub>L</sub> = 10 kΩ to 5 V		80	200	mV
Short-Circuit Current			70		mA
<b>Digital Interface</b>					
Input Voltage Low	T <sub>A</sub> = -40°C to +125°C			1.0	V
Input Voltage High	T <sub>A</sub> = -40°C to +125°C	4.0			V
Setup Time to CS High	T <sub>A</sub> = -40°C to +125°C	50			ns
Hold Time after CS High	T <sub>A</sub> = -40°C to +125°C	20			ns
<b>OPERATIONAL AMPLIFIER</b>					
<b>Input Characteristics</b>					
Offset Voltage, V <sub>OS</sub>			5	15	μV
Temperature Drift	T <sub>A</sub> = -40°C to +125°C		0.01	0.06	μV/°C
Input Bias Current			250	500	pA
	T <sub>A</sub> = -40°C to +125°C			5	nA
Input Offset Current			20	100	pA
	T <sub>A</sub> = -40°C to +125°C			0.5	nA
Input Voltage Range		0.05		4.95	V
Open-Loop Gain		100	120		V/mV
Common-Mode Rejection Ratio		100	120		dB
Power Supply Rejection Ratio		100	110		dB
Voltage Noise Density			20		nV/√Hz
Voltage Noise	f = 0.1 Hz to 10 Hz		0.4		μV p-p
<b>Dynamic Performance</b>					
Gain Bandwidth Product			1		MHz
Slew Rate			0.5		V/μs
<b>Output Characteristics</b>					
Output Voltage High	R <sub>L</sub> = 100 kΩ to ground	4.9	4.96		V
	R <sub>L</sub> = 10 kΩ to ground	4.8	4.92		V
Output Voltage Low	R <sub>L</sub> = 100 kΩ to 5 V		60	100	mV
	R <sub>L</sub> = 10 kΩ to 5 V		80	200	mV
Short-Circuit Current			70		mA
<b>BOTH AMPLIFIERS</b>					
<b>Power Supply</b>					
Quiescent Current			4	5	mA
Quiescent Current (Shutdown)			0.01	1	μA

特に指定のない限り、 $V_S=3.0V$ 、 $V_{REF}=1.5V$ 、 $T_A=25^\circ C$ 、 $G=1$ 、 $R_L=10k\Omega$ 。

表3

Parameter	Conditions	Min	Typ	Max	Unit	
<b>INSTRUMENTATION AMPLIFIER</b>						
Offset Voltage	$V_{OS RTI} = V_{OSI} + V_{OSO}/G$					
Input Offset, $V_{OSI}$			4	15	$\mu V$	
Average Temperature Drift			0.01	0.05	$\mu V/^\circ C$	
Output Offset, $V_{OSO}$			15	30	$\mu V$	
Average Temperature Drift		0.05	0.5	$\mu V/^\circ C$		
<b>Input Currents</b>						
Input Bias Current	$T_A = -40^\circ C$ to $+125^\circ C$		250	500	pA	
Input Offset Current				5	nA	
	$T_A = -40^\circ C$ to $+125^\circ C$		20	100	pA	
					0.5	nA
<b>Gains</b>						
Gain Error	1, 2, 4, 8, 16, 32, 64, or 128					
G = 1					0.05	%
G = 2 to 128					0.8	%
Gain Drift	$T_A = -40^\circ C$ to $+125^\circ C$					
G = 1 to 32			3	10	ppm/ $^\circ C$	
G = 64			4	20	ppm/ $^\circ C$	
G = 128		10	30	ppm/ $^\circ C$		
<b>CMRR</b>						
G = 1		80			dB	
G = 2		86			dB	
G = 4		92			dB	
G = 8		98			dB	
G = 16		104			dB	
G = 32		110			dB	
G = 64		110			dB	
G = 128		110			dB	
<b>Noise</b>						
Input Voltage Noise, $e_{ni}$	$e_n = \sqrt{(e_{ni}^2 + (e_{no}/G)^2)}$ $V_{IN+}, V_{IN-} = 2.5 V, T_A = 25^\circ C$ $f = 1 kHz$		40		nV/ $\sqrt{Hz}$	
		$f = 1 kHz, T_A = -40^\circ C$		35		nV/ $\sqrt{Hz}$
		$f = 1 kHz, T_A = 125^\circ C$		48		nV/ $\sqrt{Hz}$
		$f = 0.1 Hz$ to $10 Hz$		0.8		$\mu V$ p-p
Output Voltage Noise, $e_{no}$	$f = 1 kHz$ $f = 1 kHz, T_A = -40^\circ C$ $f = 1 kHz, T_A = 125^\circ C$ $f = 0.1 Hz$ to $10 Hz$		72		nV/ $\sqrt{Hz}$	
		$f = 1 kHz, T_A = -40^\circ C$		62		nV/ $\sqrt{Hz}$
		$f = 1 kHz, T_A = 125^\circ C$		83		nV/ $\sqrt{Hz}$
		$f = 0.1 Hz$ to $10 Hz$		1.4		$\mu V$ p-p
Current Noise	$f = 10 Hz$		20		fA/ $\sqrt{Hz}$	
<b>Other Input Characteristics</b>						
Common-Mode Input Impedance			10  5		G $\Omega$   pF	
Power Supply Rejection Ratio		100	115		dB	
Input Operating Voltage Range		0.05		2.95	V	
<b>Reference Input</b>						
Input Impedance			28		k $\Omega$   pF	
Voltage Range		-0.2		+3.2	V	

# AD8231

Parameter	Conditions	Min	Typ	Max	Unit
<b>Dynamic Performance</b>					
Bandwidth					
G = 1			2.7		MHz
G = 2			2.5		MHz
Gain Bandwidth Product					
G = 4 to 128			7		MHz
Slew Rate			1.1		V/ $\mu$ s
<b>Output Characteristics</b>					
Output Voltage High	$R_L = 100\text{ k}\Omega$ to ground	2.9	2.94		V
	$R_L = 10\text{ k}\Omega$ to ground	2.8	2.88		V
Output Voltage Low	$R_L = 100\text{ k}\Omega$ to 3 V		60	100	mV
	$R_L = 10\text{ k}\Omega$ to 3 V		80	200	mV
Short-Circuit Current			40		mA
<b>Digital Interface</b>					
Input Voltage Low	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			0.7	V
Input Voltage High	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	2.3			V
Setup Time to $\overline{\text{CS}}$ High	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	60			ns
Hold Time after $\overline{\text{CS}}$ High	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	20			ns
<b>OPERATIONAL AMPLIFIERS</b>					
<b>Input Characteristics</b>					
Offset Voltage, $V_{OS}$			5	15	$\mu$ V
Temperature Drift	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.01	0.06	$\mu$ V/ $^\circ\text{C}$
Input Bias Current			250	500	pA
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			5	nA
Input Offset Current			20	100	pA
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			0.5	nA
Input Voltage Range		0.05		2.95	V
Open-Loop Gain		100	120		V/mV
Common-Mode Rejection Ratio		100	120		dB
Power Supply Rejection Ratio		100	110		dB
Voltage Noise Density			27		nV/ $\sqrt{\text{Hz}}$
Voltage Noise	$f = 0.1\text{ Hz}$ to $10\text{ Hz}$		0.6		$\mu$ V p-p
<b>Dynamic Performance</b>					
Gain Bandwidth Product			1		MHz
Slew Rate			0.5		V/ $\mu$ s
<b>Output Characteristics</b>					
Output Voltage High	$R_L = 100\text{ k}\Omega$ to ground	2.9	2.96		V
	$R_L = 10\text{ k}\Omega$ to ground	2.8	2.82		V
Output Voltage Low	$R_L = 100\text{ k}\Omega$ to 3 V		60	100	mV
	$R_L = 10\text{ k}\Omega$ to 3 V		80	200	mV
Short-Circuit Current			40		mA
<b>BOTH AMPLIFIERS</b>					
<b>Power Supply</b>					
Quiescent Current			3.5	4.5	mA
Quiescent Current (Shutdown)			0.01	1	$\mu$ A

## 絶対最大定格

表4

Parameter	Rating
Supply Voltage	6 V
Output Short-Circuit Current	Indefinite <sup>1</sup>
Input Voltage (Common-Mode)	$-V_S - 0.3 \text{ V}$ to $+V_S + 0.3 \text{ V}$
Differential Input Voltage	$-V_S - 0.3 \text{ V}$ to $+V_S + 0.3 \text{ V}$
Storage Temperature Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Operational Temperature Range	$-40^\circ\text{C}$ to $+125^\circ\text{C}$
Package Glass Transition Temperature	130°C
ESD (Human Body Model)	1.5 kV
ESD (Charged Device Model)	1.5 kV
ESD (Machine Model)	0.2 kV

<sup>1</sup> 105~130°Cのジャンクション温度では、短絡動作が1000時間を超えるとデバイスの信頼性が損われることがあります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

表5

Thermal Pad	$\theta_{JA}$	Unit
Soldered to Board	54	°C/W
Not Soldered to Board	96	°C/W

表5に示す $\theta_{JA}$ の値は、4層JEDEC規格ボードの場合です。サーマル・パッドをボードにハンダ付けする場合は、プレーンに接続するものとします。露出パッドの $\theta_{JC}$ は、6.3°C/Wです。

## 最大消費電力

AD8231の安全な最大消費電力は、ダイ上のジャンクション温度 ( $T_J$ ) の上昇によって制限されます。ガラス遷移温度である約130°Cで、プラスチックの特性が変化します。この温度限界値を一時的にでも超えると、パッケージがダイに対して及ぼすストレスが変化し、アンプのパラメータ性能が変化し回復不能になることがあります。長時間にわたり130°Cの温度を超えると、機能が低下するおそれがあります。

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

# AD8231

## ピン配置とピン機能の説明

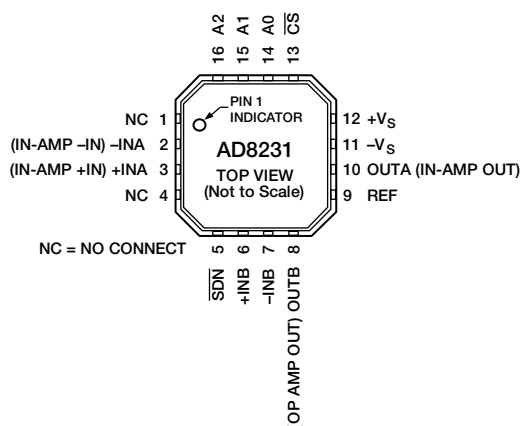


図2. ピン構成

表6. ピン機能の説明

ピン番号	記号	説明
1	NC	無接続
2	-INA (IN-AMP -IN)	計装アンプの負入力
3	+INA (IN-AMP +IN)	計装アンプの正入力
4	NC	無接続
5	$\overline{\text{SDN}}$	シャットダウン
6	+INB	オペアンプの正入力
7	-INB	オペアンプの負入力
8	OUTB (OP AMP OUT)	オペアンプの出力
9	REF	計装アンプのリファレンス・ピン。低インピーダンスで駆動する必要があります。出力はこのピンを基準とします。
10	OUTA (IN-AMP OUT)	計装アンプの出力
11	- $V_s$	負電源。単電源アプリケーションでは、グラウンドに接続します。
12	+ $V_s$	正電源
13	$\overline{\text{CS}}$	チップ・セレクト。デジタル・ロジック・インターフェースをイネーブルします。
14	A0	ゲイン設定ビット (LSB)
15	A1	ゲイン設定ビット
16	A2	ゲイン設定ビット (MSB)



## 代表的な性能特性

### 計装アンプの性能曲線

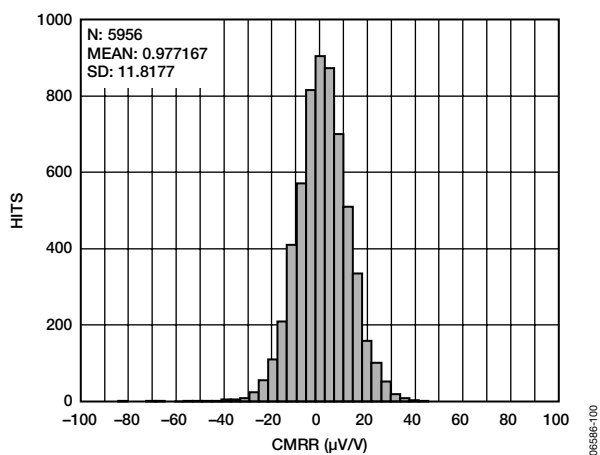


図3. 計装アンプ CMRの分布、G=1

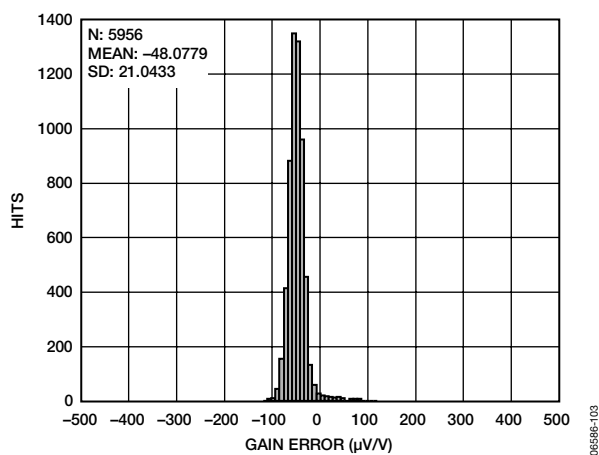


図6. 計装アンプ・ゲインの分布、G=1

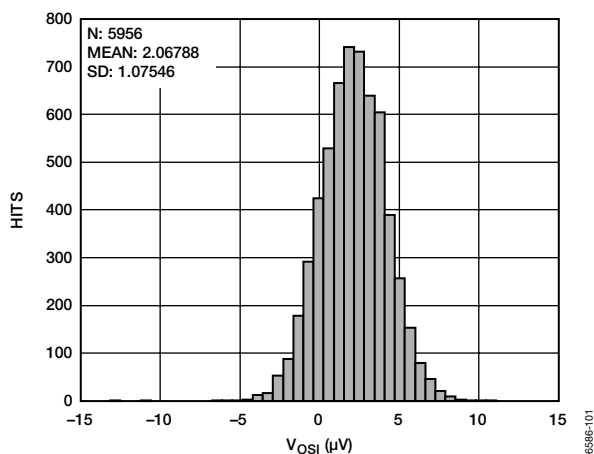


図4. 計装アンプ入力オフセット電圧の分布

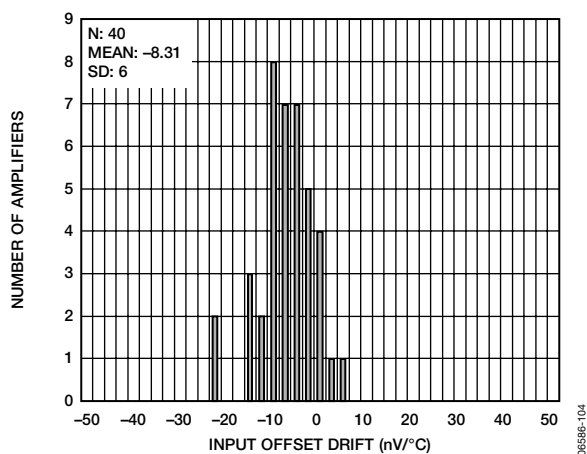


図7. 計装アンプ入力オフセット電圧ドリフト、 $-40\sim+125^{\circ}\text{C}$

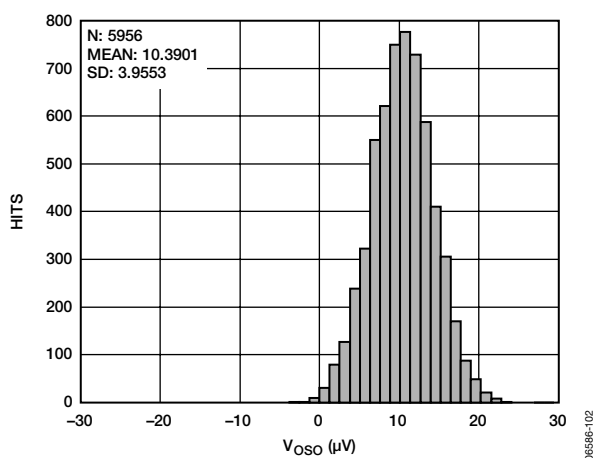


図5. 計装アンプ出力オフセット電圧の分布

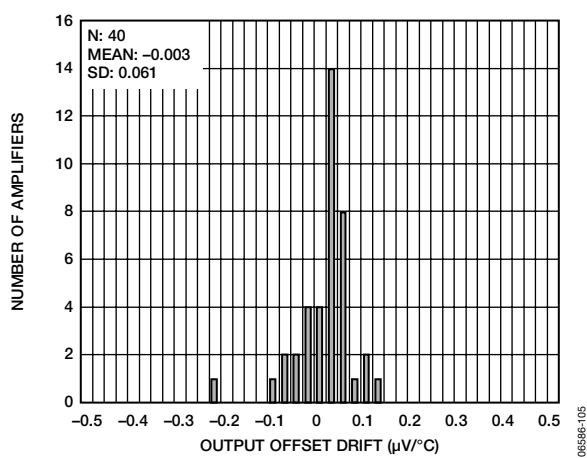


図8. 計装アンプ出力オフセット・ドリフト、 $-40\sim+125^{\circ}\text{C}$

# AD8231

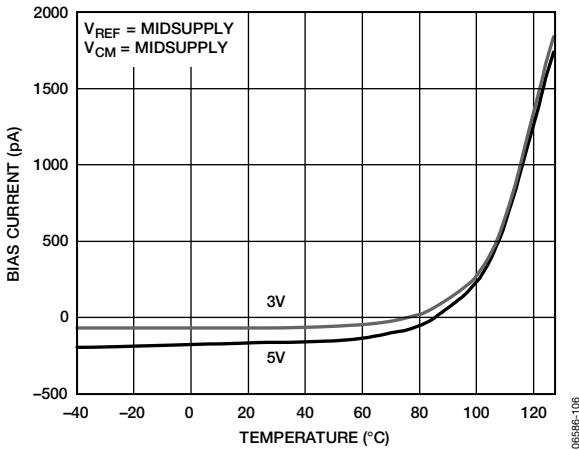


図9. 計装アンプ・バイアス電流の温度特性

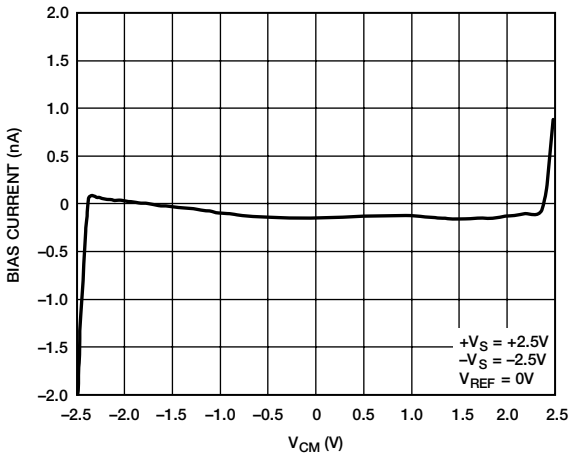


図10. 計装アンプ・バイアス電流対コモンモード電圧、5V

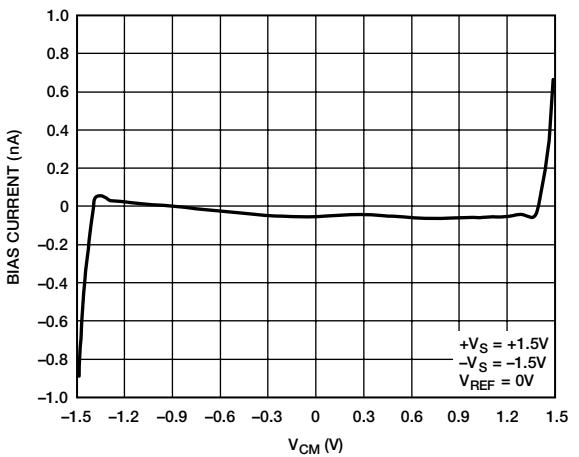


図11. 計装アンプ・バイアス電流対コモンモード電圧、3V

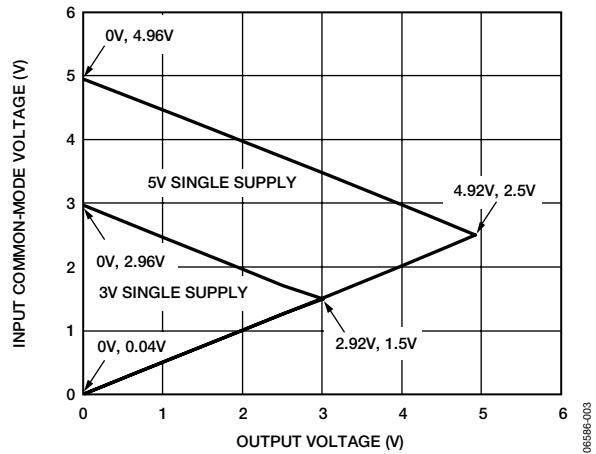


図12. 計装アンプ入力コモンモード範囲対出力電圧、 $V_{REF}=0V$

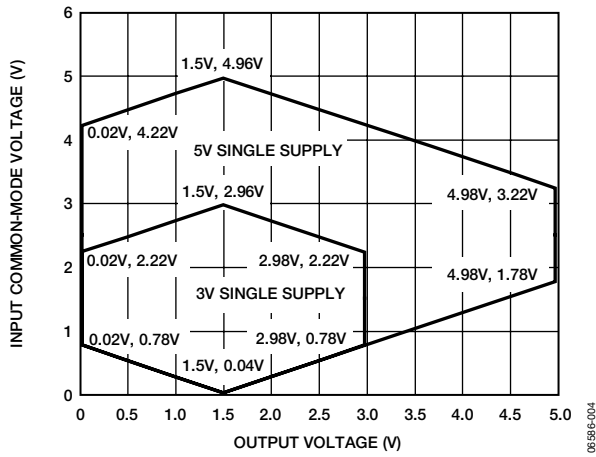


図13. 計装アンプ入力コモンモード範囲対出力電圧、 $V_{REF}=1.5V$

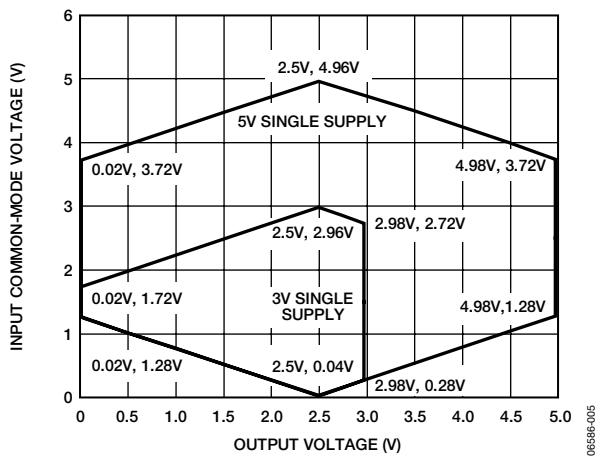


図14. 計装アンプ入力コモンモード範囲対出力電圧、 $V_{REF}=2.5V$

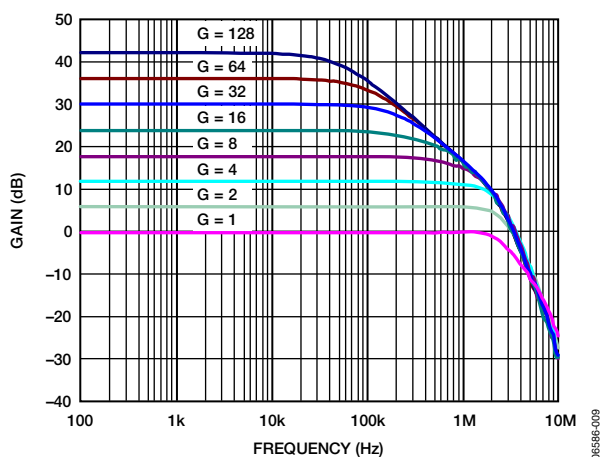


図15. 計装アンプ・ゲインの周波数特性

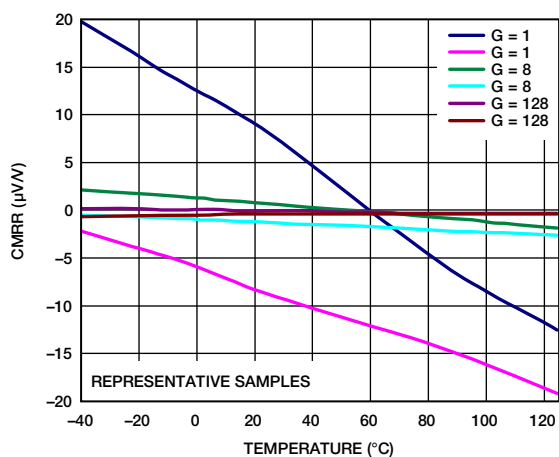


図18. 計装アンプ CMRRの温度特性

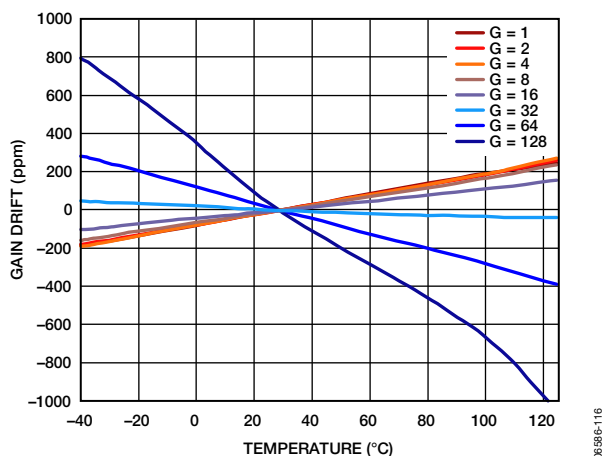


図16. 計装アンプ・ゲイン・ドリフトの温度特性

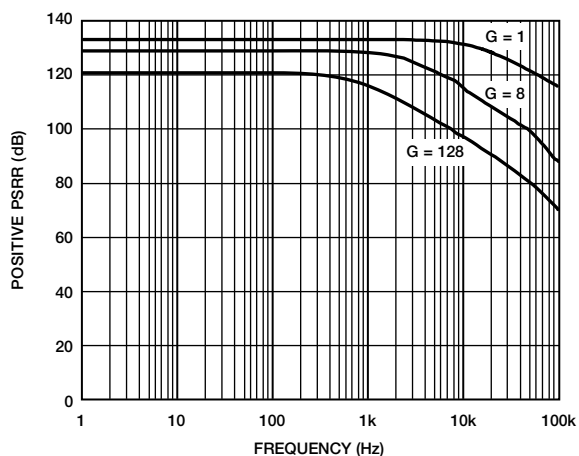


図19. 計装アンプ正 PSRRの周波数特性

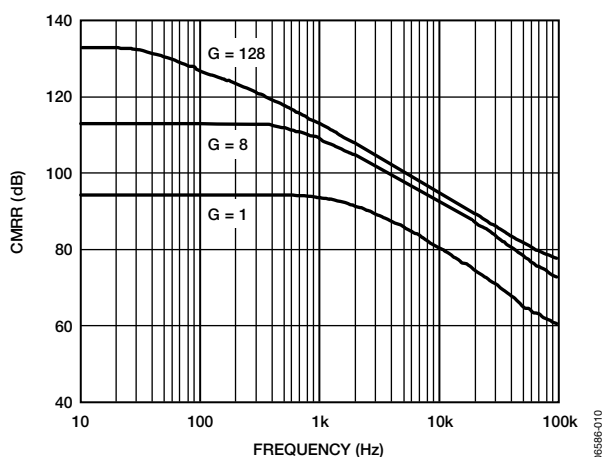


図17. 計装アンプ CMRRの周波数特性

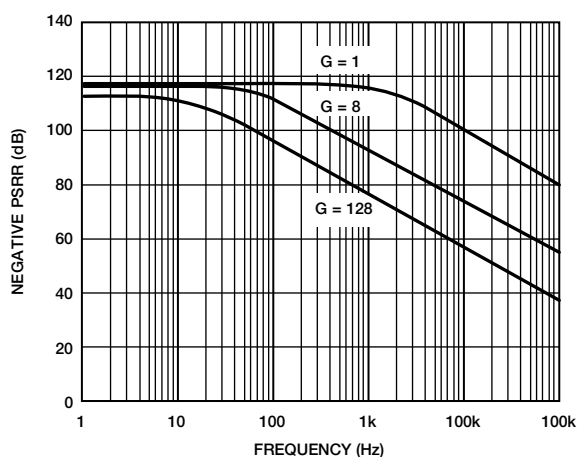


図20. 計装アンプ負 PSRRの周波数特性

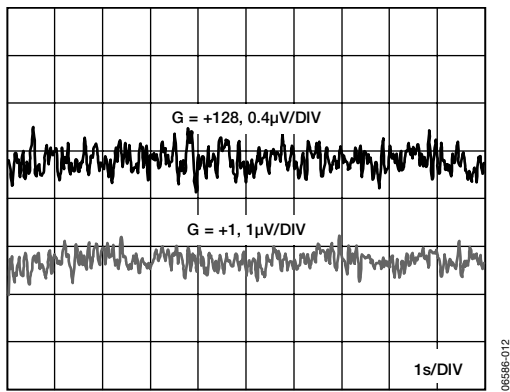


図21. 計装アンプ 0.1~10Hz ノイズ

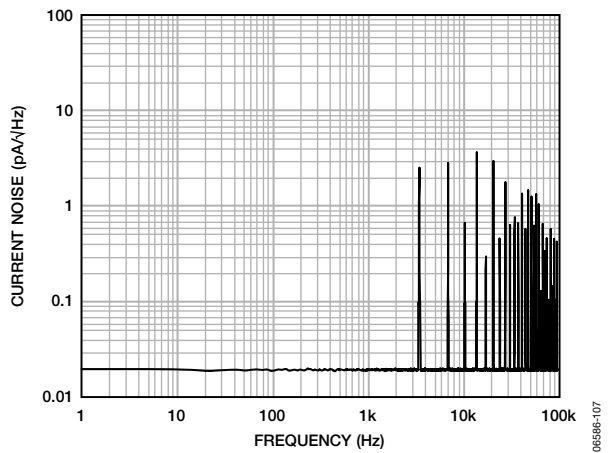


図24. 計装アンプ電流ノイズ・スペクトル密度

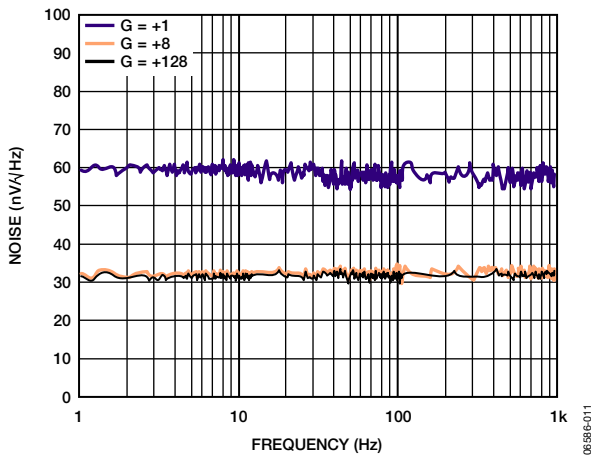


図22. 計装アンプ電圧ノイズ・スペクトル密度の周波数特性、5V、1~1000Hz

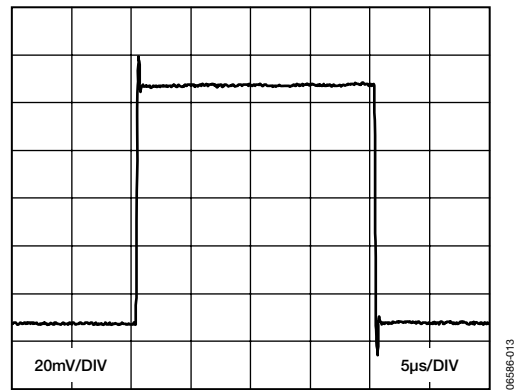


図25. 計装アンプ小信号パルス応答、 $G=1$ 、 $R_L=2\text{ k}\Omega$ 、 $C_L=500\text{ pF}$

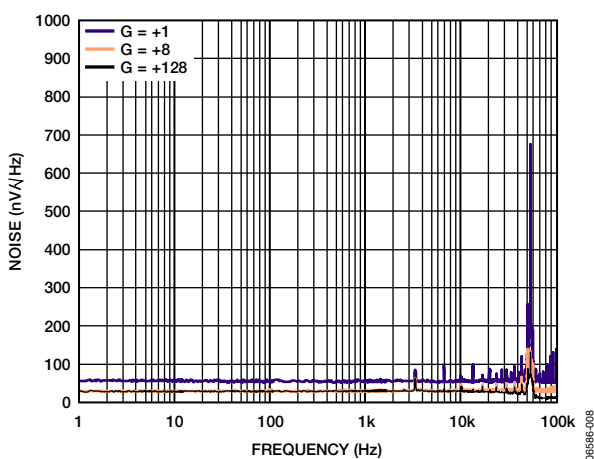


図23. 計装アンプ電圧ノイズ・スペクトル密度の周波数特性、5V、1Hz~1MHz

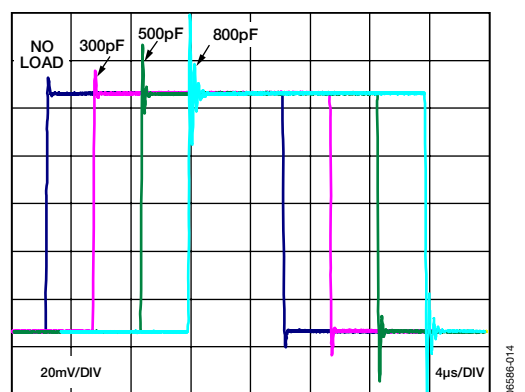


図26. さまざまな容量負荷に対する計装アンプ小信号パルス応答、 $G=1$

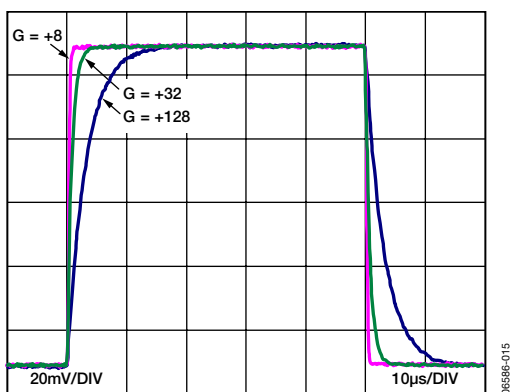


図27. 計装アンプ小信号パルス応答、 $G=4、16、128$ 、 $R_L=2\text{ k}\Omega$ 、 $C_L=500\text{ pF}$

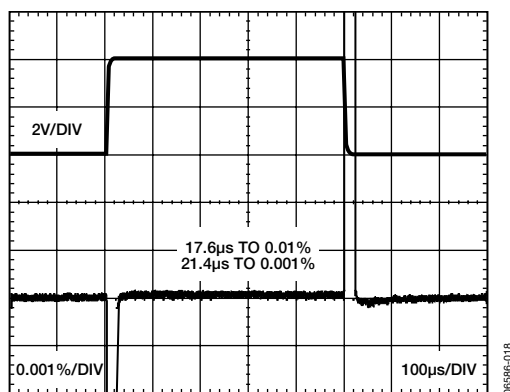


図30. 計装アンプ大信号パルス応答、 $G=128$ 、 $V_S=5\text{ V}$

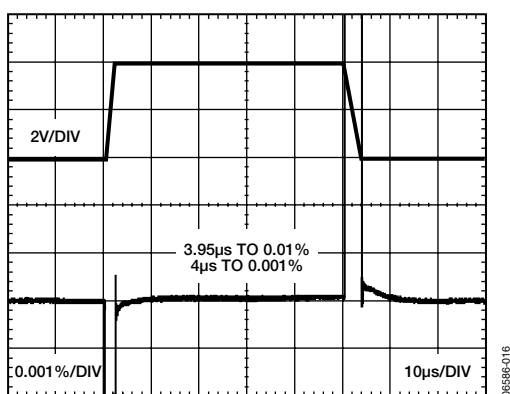


図28. 計装アンプ大信号パルス応答、 $G=1$ 、 $V_S=5\text{ V}$

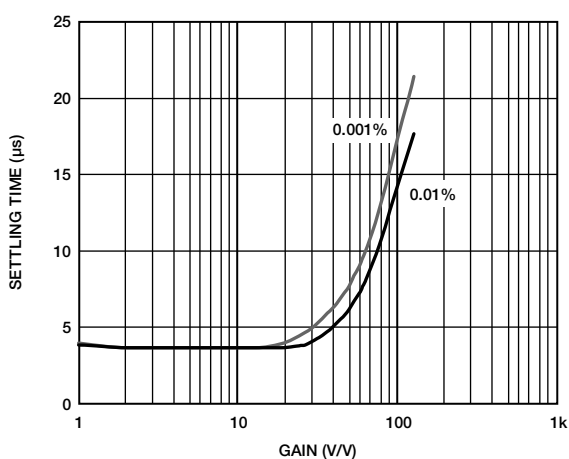


図31. 計装アンプ・セトリング時間 対 ゲイン、 $4\text{ V p-p}$  ステップ、 $V_S=5\text{ V}$

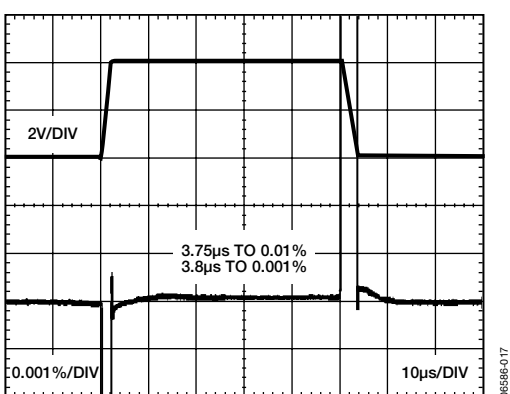


図29. 計装アンプ大信号パルス応答、 $G=8$ 、 $V_S=5\text{ V}$

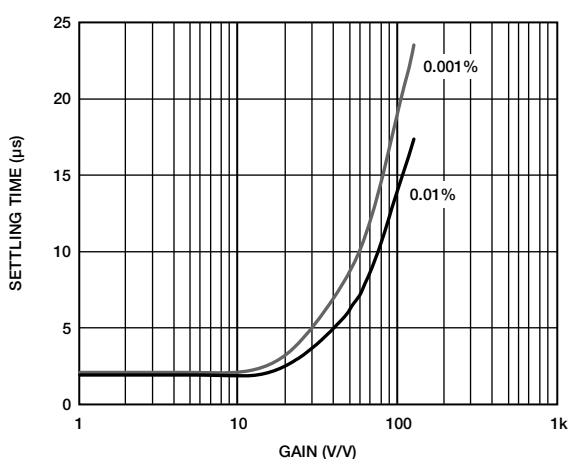


図32. 計装アンプ・セトリング時間 対 ゲイン、 $2\text{ V p-p}$  ステップ、 $V_S=3\text{ V}$

# AD8231

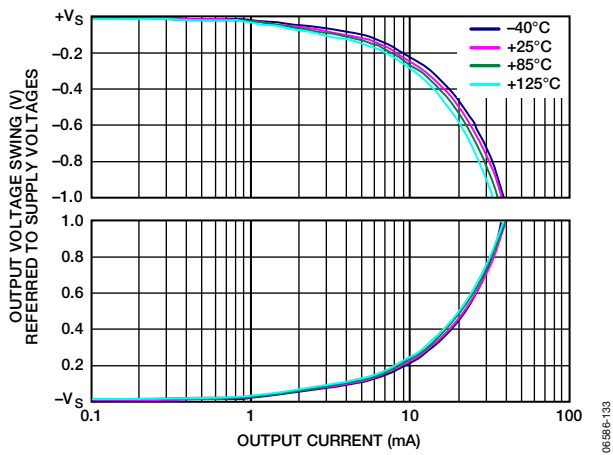


図33. 計装アンプ出力電圧振幅 対 出力電流、  
 $V_s = 3V$

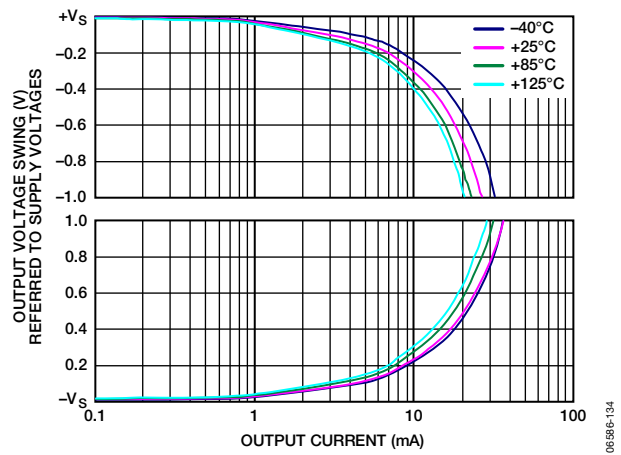


図34. 計装アンプ出力電圧振幅 対 出力電流、  
 $V_s = 5V$

オペアンプの性能曲線

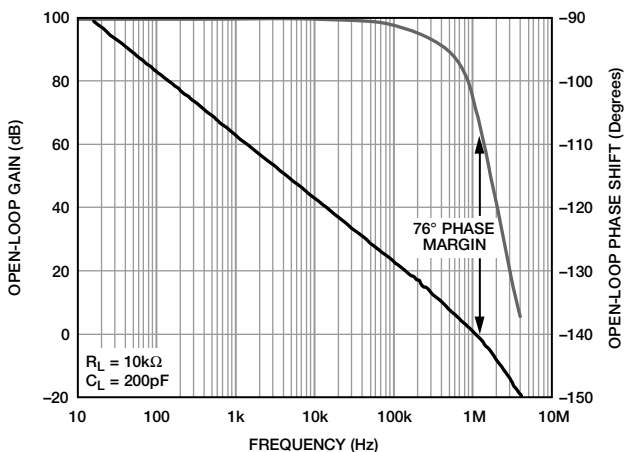


図35. オペアンプ・オープン・ループ・ゲインと位相の周波数特性、 $V_S=5V$

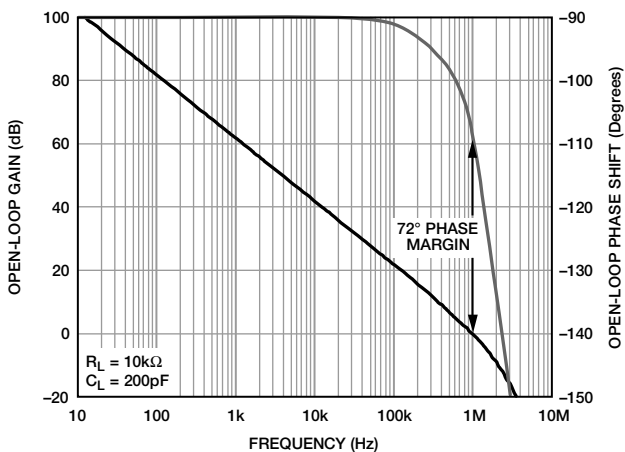


図36. オペアンプ・オープン・ループ・ゲインと位相の周波数特性、 $V_S=3V$

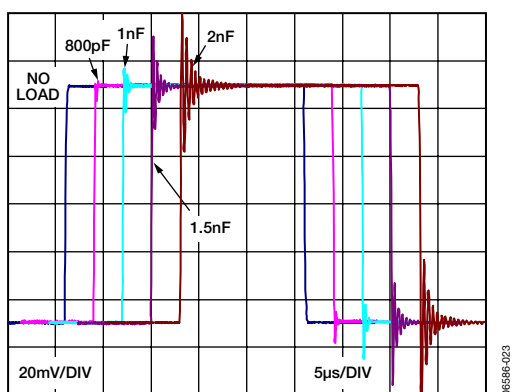


図37. さまざまな容量負荷に対するオペアンプ小信号応答、 $V_S=5V$

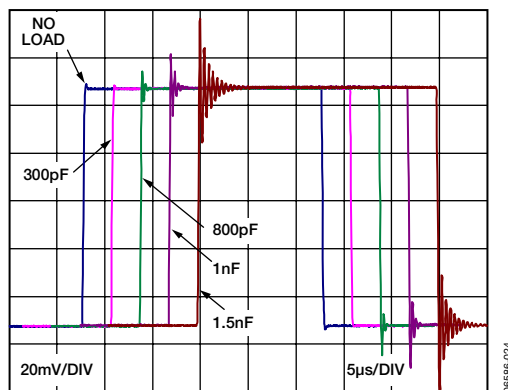


図38. さまざまな容量負荷に対するオペアンプ小信号応答、 $V_S=3V$

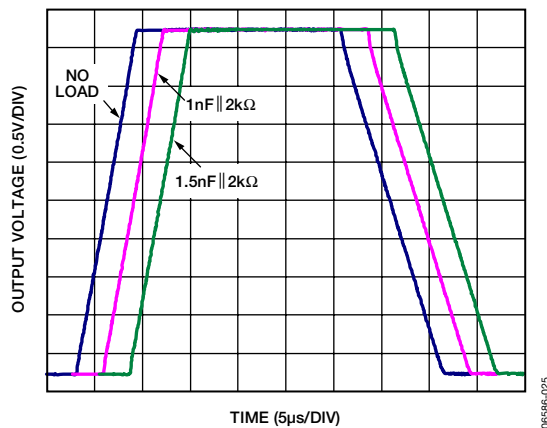


図39. オペアンプ大信号過渡応答、 $V_S=5V$

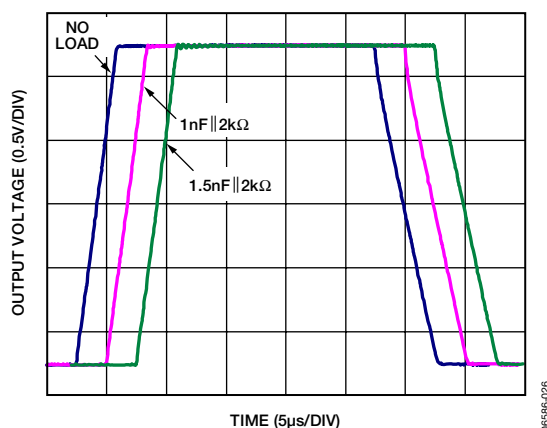


図40. オペアンプ大信号過渡応答、 $V_S=3V$

# AD8231

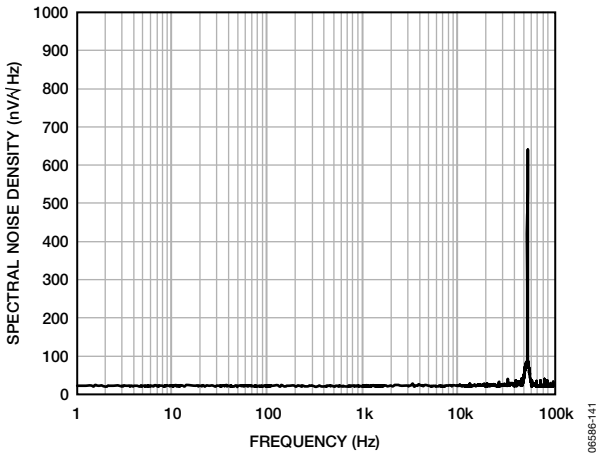


図41. オペアンプ電圧スペクトル・ノイズ密度の周波数特性

06596-141

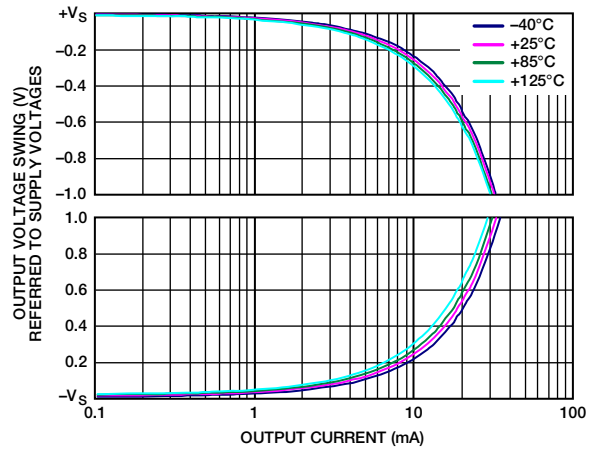


図44. オペアンプ出力電圧振幅 対 出力電流、 $V_S=3V$

06596-144

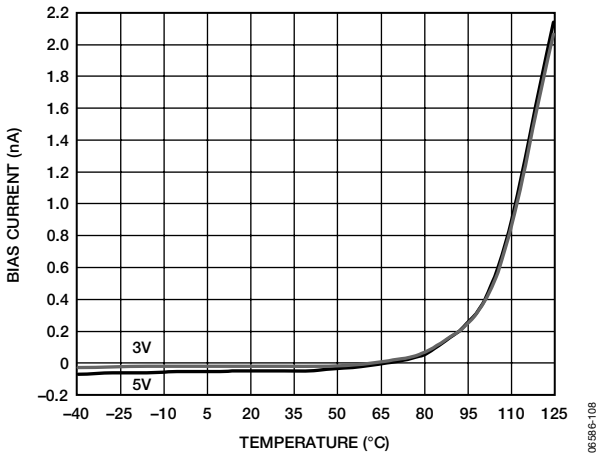


図42. オペアンプ・バイアス電流の温度特性

06596-108

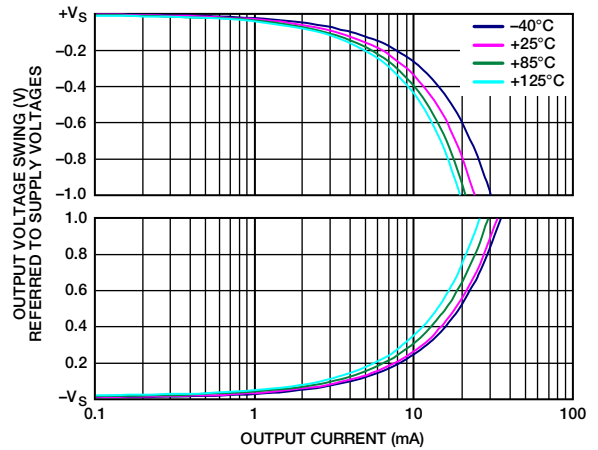


図45. オペアンプ出力電圧振幅 対 出力電流、 $V_S=5V$

06596-145

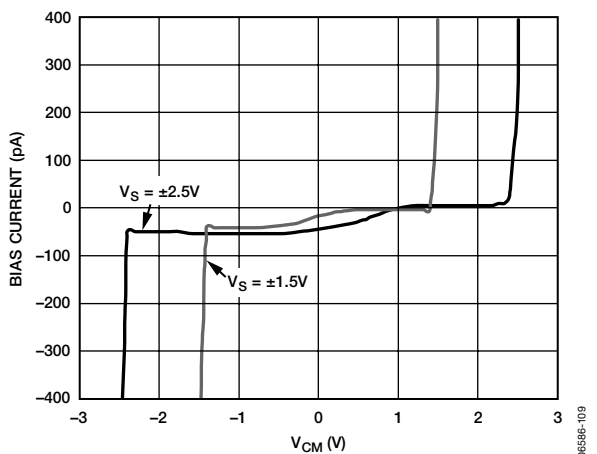


図43. オペアンプ・バイアス電流 対 コモンモード

06596-109

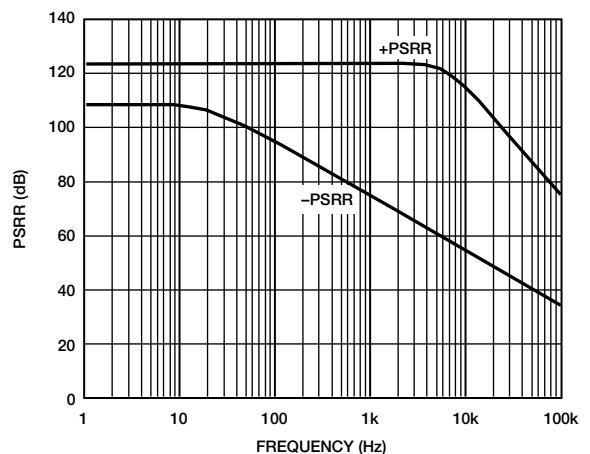


図46. オペアンプ電源除去比

06596-148



性能曲線は両アンプで有効

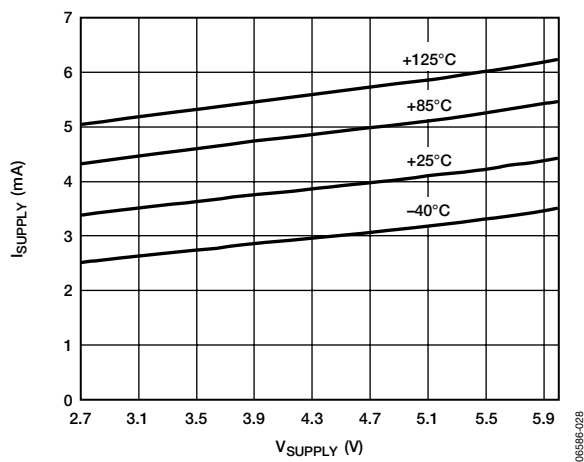


図47. 電源電流 対 電源電圧

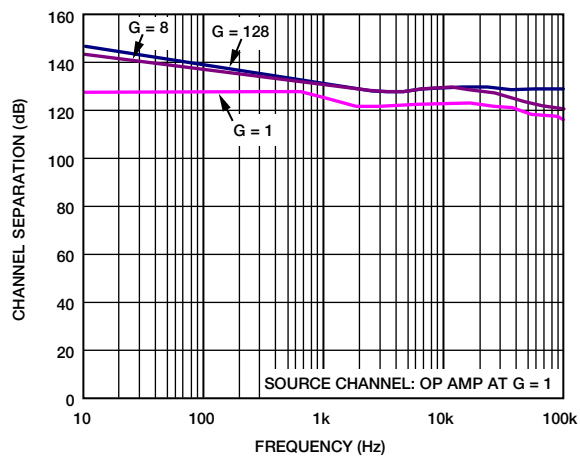


図48. チャンネル・セパレーションの周波数特性

## 動作原理

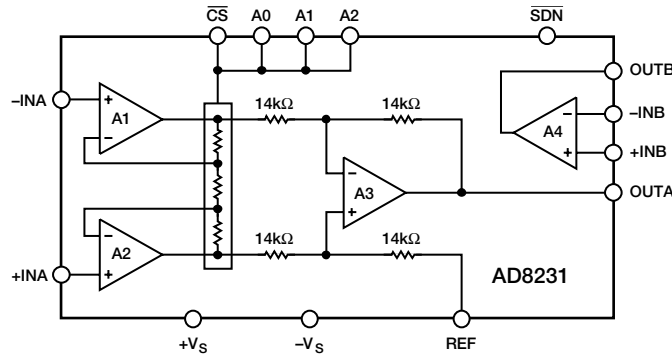


図49. 簡略回路図

### アンプのアーキテクチャ

AD8231は、3個のオペアンプによる従来型回路を採用しています。この回路は、プリアンプで増幅した後、ディファレンス・アンプで同相電圧ノイズを除去する2ステージ構成です。図49にAD8231の簡略回路図を示します。プリアンプ段は、A1、A2、デジタル制御される抵抗回路で構成されています。第2ステージは、A3と4個の14kΩ抵抗からなるゲイン1のディファレンス・アンプです。A1、A2、A3はすべて、レールtoレール入力、レールtoレール出力のゼロ・ドリフト・アンプです。

AD8231は、温度に対してきわめて安定な性能を持つように設計されています。ゲインの設定には、内部薄膜抵抗を使用しています。抵抗はすべて同じチップ上に配置されているため、外部抵抗を使用する方法よりも優れたゲイン温度ドリフト性能とCMRRドリフト性能が得られます。AD8231はオートゼロ方式も採用しており、すべての内部アンプのオフセットをゼロに調整します。この回路設計ではオフセット誤差を絶えず補正するため、オフセットの温度ドリフトはほとんど存在しません。

AD8231には、任意目的に使用できるオペアンプも内蔵されています。AD8231のその他の内部アンプと同じく、このオペアンプもゼロ・ドリフトで、レールtoレール入力およびレールtoレール出力のアーキテクチャを採用しています。

### ゲインの選択

AD8231のゲインは、A0、A1、A2の各ピンに入力する電圧で設定します。ゲインを変更するときは、CSピンをローレベルにする必要があります。CSピンをハイレベルにすると、ゲインはラッチされ、A0～A2の各ピン上の電圧は無効になります。CSピンはエッジ検出ではなくレベル検出であるため、ローレベルに固定接続することもできます。表7にさまざまなゲイン設定を示します。

ゲイン変更の所要時間は、アンプのセトリング時間によって支配されます。AD8231がゲインを切り替えるには約200nsかかり、その後アンプが安定し始めます。さまざまなゲイン設定に対するセトリング時間については、図28～32を参照してください。

表7. AD8231のゲイン設定の真理値表

CS	A2	A1	A0	Gain
Low	Low	Low	Low	1
Low	Low	Low	High	2
Low	Low	High	Low	4
Low	Low	High	High	8
Low	High	Low	Low	16
Low	High	Low	High	32
Low	High	High	Low	64
Low	High	High	High	128
High	X	X	X	No change

### リファレンス・ピン

AD8231の出力電圧は、リファレンス・ピンの電位を基準にしています。出力信号をオフセットして電源のミッドスケールにする必要がある場合にこの機能が役立ちます。たとえば、電圧源をREFピンに接続して、出力をレベル・シフトすることによりAD8231から単電源ADCを駆動できるようになります。REFピンはESDダイオードで保護されていますが、+Vsまたは-Vsを0.3V以上超えないようにしてください。

最適な性能を実現するためには、REFピンの信号源インピーダンスを1Ωよりも小さくする必要があります。図49に示すように、REFピンは14kΩ抵抗に接続されています。REFピンのインピーダンスが増えると14kΩ抵抗に加わるため、正入力に接続された信号が増幅されてCMRR誤差が生じます。

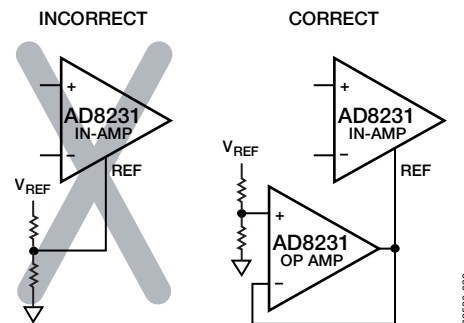


図50. リファレンス (REF) の駆動

## レイアウト

AD8231は高精度のデバイスです。PCボード・レベルで最適な性能を得るためには、ボード・レイアウトの設計に注意する必要があります。AD8231のピンは論理的に配置されているため、作業は容易です。

## 電源

0.1 $\mu$ Fのバイパス・コンデンサを2つの電源の間に接続して、AD8231をデカップリングしてください。このコンデンサは11番ピンと12番ピンのできるかぎり近く、ピンのすぐ隣またはボード裏面のピンの真下に配置します。AD8231のオートゼロ・アーキテクチャでは、2つの電源の間のACインピーダンスを低くする必要があります。バイパス・コンデンサに長いパターンを使用すると、インピーダンスが増加し、その結果入力オフセット電圧が大きくなります。

計装アンプの電源には、安定したDC電圧を使用してください。電源ピンのノイズによって、性能が低下することがあります。

## パッケージに関する考慮事項

AD8231のパッケージは、4mm $\times$ 4mmのLFCSPです。同じ4mm $\times$ 4mmサイズの別のLFCSP部品のフットプリントを不用意にコピーして使用しないようにしてください。サーマル・パッドのサイズやピンが異なる場合があります。PCボードの記号が同じサイズになっているか「外形寸法」で確認してください。最良のバイアス電流性能を得るためには、リードとサーマル・パッド間のスペースをできるだけ広くとってください。

## サーマル・パッド

AD8231の4mm $\times$ 4mmのLFCSPには、サーマル・パッドが付いています。このパッドは、内部で $-V_S$ に接続されています。パッドは無接続のままにするか、または負電源レールに接続できます。振動の大きいアプリケーションでは、ランディングを推奨します。

AD8231の消費電力は特に低く抑えられているため、熱の放散が問題になることはほとんどありません。熱の放散を改善しなければならない場合（たとえば、周囲温度が125 $^{\circ}$ C近くの場合や重い負荷を駆動する場合）は、負電源レールにサーマル・パッドを接続してください。最良の熱放散性能を実現するには、負電源レールをボード上のプレーンとする必要があります。サーマル・パッドのハンダ付けを行う場合と行わない場合の熱係数については、「熱抵抗」を参照してください。

## 入力バイアス電流のリターン・パス

AD8231の入力バイアス電流には、コモンへのリターン・パスを設ける必要があります。熱電対のように信号源にリターン電流パスを設けることができない場合は、図51に示すように設けてください。

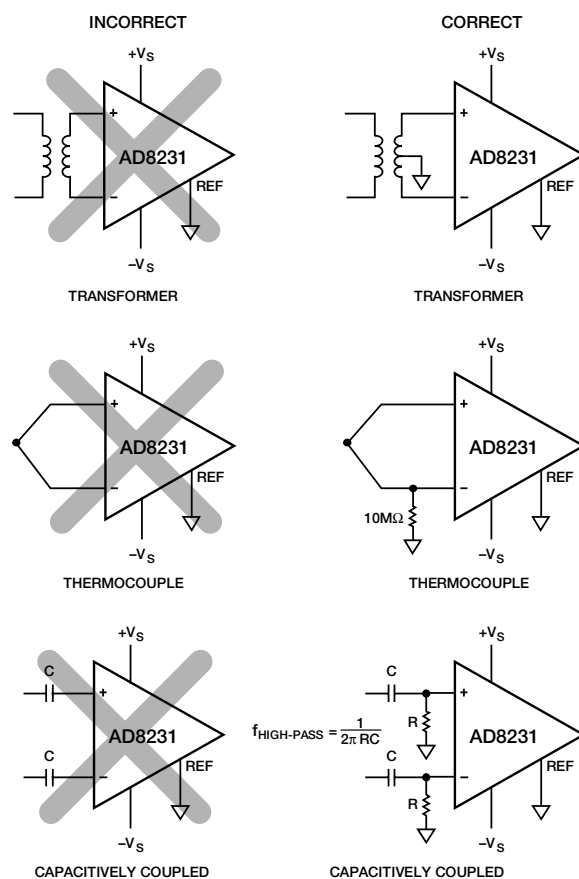


図51.  $I_{BIAS}$ バスの形成

## 入力保護

AD8231のすべてのピンは、ESDに対して保護されています。さらに、この入力構造では、正電源電圧をダイオード電圧以上上回る場合と負電源電圧をダイオード電圧以上下回る場合をDC過負荷状態としています。電圧がこれらの制限値の外側になる場合、ESDダイオードが導通して電流が流れます。過電圧が予想される場合には、外付け抵抗を各入力に直列に接続して、電流を10mA未満に制限する必要があります。100mAまでの電流には、数秒間耐えることができます。

いずれかの入力に負電源より低い電圧を入力してESDダイオードが導通する場合には、AD8231出力が位相反転することがあるので注意してください。

# AD8231

## RF干渉

強力なRF信号が存在するアプリケーションでアンプを使用する場合、RF整流が問題になることがあります。この障害は、微小なDCオフセット電圧として現れることがあります。図52に示すようにローパスRC回路を計装アンプの inputs に接続して、高周波数信号に対するフィルタ処理ができます。このフィルタは、次式に従って入力信号帯域幅を制限します。

$$FilterFreq_{diff} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$FilterFreq_{CM} = \frac{1}{2\pi RC_C}$$

ここで、 $C_D \geq 10C_C$

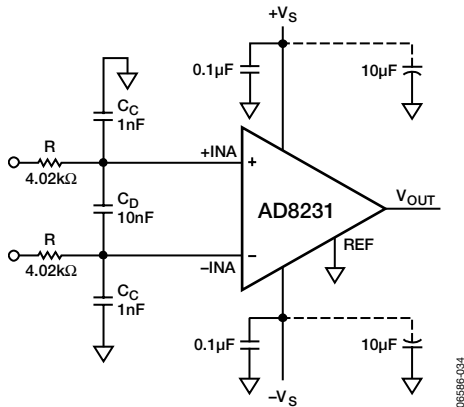


図52. RFIの抑制

図52に、差動フィルタ周波数を約2kHzとし、同相フィルタ周波数を約40kHzとする例を示します。

RとC<sub>C</sub>の値を選択して、RFIが最小になるようにしてください。正入力と負入力のR×C<sub>C</sub>が一致しないと、AD8231のCMRRが低下します。C<sub>D</sub>をC<sub>C</sub>の値の10倍以上にすることで、不一致の影響が小さくなり、性能が改善します。

## 同相入力電圧範囲

AD8231の3オペアンプ・アーキテクチャではまず増幅を行い、次に同相電圧を除去します。したがって、AD8231の内部ノードを増幅された信号と同相信号の組み合わせが通過します。電源電圧によって、個々の入力信号や出力信号が制限されない場合でも、この組み合わせられた信号が制限されることがあります。信号が制限されるかどうかについては、図12~14を参照するか、次式を使用してください。

$$-V_S + 0.04V < V_{CM} \pm \frac{|V_{DIFF}| \times Gain}{2} < +V_S - 0.04V$$

広い同相範囲が必要な場合、最も簡単な方法は、計装アンプのゲインを小さくすることです。もう1つのオペアンプを使用して、計装アンプの後に別のゲイン・ステージを設けることもできます。AD8231は低ゲイン時のオフセットおよびノイズ性能が優れているため、計装アンプのゲインを小さくしても、一般にシステム全体の性能にあまり影響しません。

## ノイズの削減

AD8231には1/fノイズがないため、帯域幅を狭くするとノイズが比例して小さくなります。表8に、2極のバターワース・フィルタ・ロール・オフを持つ場合の、さまざまな帯域幅におけるゲイン=1でのAD8231の性能を示します。

表8. さまざまな帯域幅におけるAD8231のノイズ

Bandwidth (Hz)	Noise (μV rms)	SNR Single-Ended <sup>1</sup>		SNR Differential Output <sup>2</sup>	
		dB	Bits	dB	Bits
1	0.07	148.3	24.3	154.3	25.3
3.2	0.12	143.2	23.5	149.2	24.5
10	0.21	138.3	22.7	144.3	23.7
32	0.37	133.2	21.8	139.2	22.8
100	0.66	128.3	21.0	137.63	22.0
320	1.17	123.2	20.2	129.2	21.2
1 k	2.07	118.3	19.3	124.3	20.3
3.2 k	3.71	113.2	18.5	119.2	19.5
10 k	6.55	108.3	17.7	117.3	18.7
32 k	11.73	103.2	16.9	109.2	17.9

<sup>1</sup> 4.8Vp-pの出力信号 (=1.697Vrms) で計算したシングルエンド出力構成に対するSNR。

<sup>2</sup> 9.6Vp-pの出力信号 (=3.397Vrms) で計算した差動出力構成に対するSNR。

AD8231は、3.4kHzのオートゼロ・クロックと54kHzのコミューテティング・クロックを持っています。一般にオートゼロ・クロックはエネルギーが小さいため無視できますが、コミューテティング・クロックはエネルギーが大きいため部品のノイズに影響を与えます。このため、ノイズを小さくする必要のあるアプリケーションでは、システムの帯域幅を54kHz以下に制限することが推奨されます。

## アプリケーション情報

### 差動出力

図53に、AD8231の汎用オペアンプを使用して差動出力の計装アンプを構成する方法を示します。このオペアンプから発生する誤差は両方の出力に共通であるため、同相となります。抵抗の不一致から発生する誤差も、同様に同相のDCオフセットとなります。これらの誤差が同相であるため、シグナル・チェーンの次のデバイスで除去することができるので、この回路構成で誤差が加わることはほとんどありません

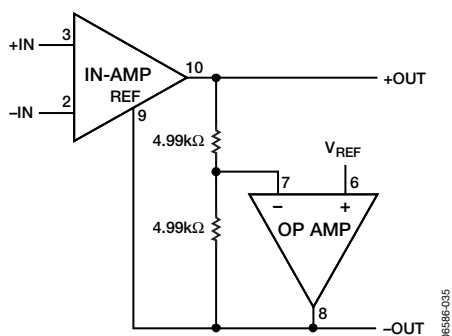


図53. オペアンプを使用した差動出力

### マルチプレクシング

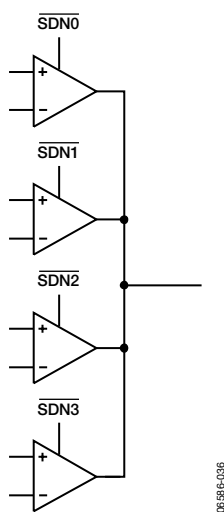


図54. マルチプレキシング構成の4個のAD8231

AD8231の計装アンプとオペアンプの両方の出力は、シャットダウン状態のときにハイ・インピーダンスになります。これにより、外付けスイッチなしに複数のAD8231のマルチプレクスが可能になります。図54に、このような構成例を示します。すべての出力が相互に接続されていますが、ターンオンするアンプは一度に1個のみです。この特性は、デジタル・スリーステート・ロジックのハイ・インピーダンス・モードに似ています。

AD8231計装アンプ内の抵抗は、出力からリファレンス・ピンまで約100kΩの抵抗パスを構成します。シャットダウン・モードで出力インピーダンスを高くしたい場合、リファレンス・ピンをAD8231のオペアンプで駆動することができます。この構成では、シャットダウン時の出力インピーダンスが数GΩであるため、理論上はこのような方法で数千個のAD8231をマルチプレクスすることが可能です。

AD8231は、シャットダウン・モードの切替えを迅速に行います。ただし、アンプがウェークアップし、入力回路を接続し直すとき、内部入力ノードの電圧が大幅に変化します。アンプの出力がセトリングするまでに時間がかかります。さまざまなゲインでのセトリング時間については、図28～32を参照してください。このセトリング時間により、SDNピンを使用したAD8231のマルチプレキシング速度が制限されます。

### 両電源でのAD8231の使用

両電源レール間の最大電圧降下が6V未満で、かつすべての入力電圧が電源レール以内に維持されるかぎり、AD8231を両電源で使用することができます。

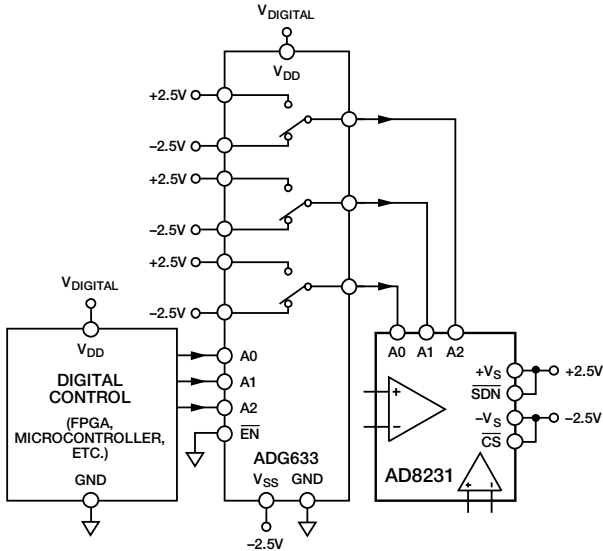
両電源使用時は、デジタル入力 (A0、A1、A2、 $\overline{CS}$ 、 $\overline{SDN}$ ) の許容レベルはシフトします。表9に、単電源と両電源を使用した場合のローレベル信号とハイレベル信号の許容値を示します。

表9. デジタル・ピンのスレッショルド

Supply Voltage (V)	Low		High	
	Min (V)	Max (V)	Min (V)	Max (V)
0 to 5	0	+1	4	5
0 to 3	0	+0.8	2.2	3
-2.5 to +2.5	-2.5	-1.5	1.5	2.5
-1.5 to +1.5	-1.5	-0.7	0.7	1.5

# AD8231

AD8231を両電源で動作させる場合は、一般に標準の単電源を使用するコントロール・ロジックからのレベルシフトが必要になります。このレベルシフトを行う一つの方法は、ADG633のようなシングル・ポール・ダブル・スロー・スイッチを使用する方法です。図55に、±2.5 V動作のアプリケーション回路を示します。



V<sub>DIGITAL</sub> IS THE DIGITAL SUPPLY VOLTAGE. IT CAN BE ANY VOLTAGE BETWEEN 2.5V AND 9.5V.

図55. 単電源コントロール信号の両電源への変換

## SALLEN KEYフィルタ

AD8231の多目的オペアンプを使うと、2極のSallen Keyフィルタを構成することができます。このフィルタは、ノイズの除去またはA/Dコンバータの前で折り返し防止に使うことができます。

図56に、2極のバターワース・ローパス・フィルタの構成方法を示します。R1、R2、C1、C2の各部品により、フィルタ周波数が決定されます。R3とR4の比は、フィルタのピーキングを決定します。R4=10kΩの場合、最適2極応答を得るためにはR3=5.9kΩである必要があります。

AD8231の前後の回路に応じて、3極フィルタを使用することもできます。前ステージの出力インピーダンスが小さい場合には、計装アンプの前に極 (R6、R7、C4) を追加することができます。後ステージの入力インピーダンスが大きい場合には、オペアンプの後ろに極 (R5とC3) を追加することができます。3番目の極によって追加される減衰を補償するためには、Sallen Keyステージのピーキングが大きい必要があります。最適応答を得るためには、R3とR4は10kΩである必要があります。

フィルタ・ピーキングの設定のほかに、R3/R4の比はDCゲインを決定することにも注意してください。すなわち、 $G=1+R3/R4$ となります。低いDCゲインが必要な場合は、R1を電圧分圧器で置き換えてください。ここで、分圧器の出力抵抗は、R1に必要とされる値に等しくします。

図56に、R4と計装アンプのリファレンスに接続されたバイアス・ポイントを示します。フィルタ・ステージは、このバイアス・ポイントを中心として信号を増幅します。バイアス・ポイントは、一般に電源電圧の1/2のポイントが選ばれ、低いインピーダンスを持つ必要があります。

表10. 図56のバターワース・ローパス・フィルタに対する推奨部品値

3 dB Freq	Sallen Key		Optional Poles			
	R1, R2(kΩ)	C1, C2(nF)	Before In-Amp (R6, R7 (kΩ), C4 (nF))	After Op Amp (R5 (kΩ), C3 (nF))		
32 Hz	499	10	499	4.7	49.9	100
100 Hz	158	10	158	4.7	16	100
320 Hz	49.9	10	49.9	4.7	4.99	100
1 kHz	158	1	158	0.47	1.6	100
3.2 kHz	49.9	1	49.9	0.47	0.499	100
10 kHz	15.8	1	15.8	0.47	0.16	100
32 kHz	4.99	1	4.99	0.47	0.049	100

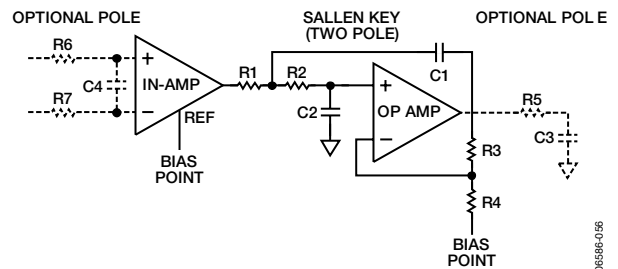
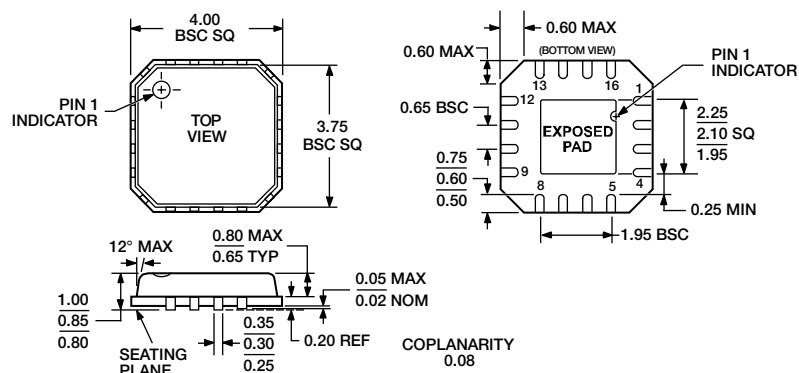


図56. バターワース・ローパス・フィルタ (点線部分はオプションの極)

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VGGC

図57. 16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP\_VQ]  
4mm×4mmボディ、極薄クワッド  
(CP-16-4)  
寸法単位：mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD8231ACPZ-R7 <sup>1</sup>	-40°C to +125°C	16-Lead LFCSP_VQ, 7" Tape and Reel	CP-16-4
AD8231ACPZ-RL <sup>1</sup>	-40°C to +125°C	16-Lead LFCSP_VQ, 13" Tape and Reel	CP-16-4
AD8231ACPZ-WP <sup>1</sup>	-40°C to +125°C	16-Lead LFCSP_VQ, Waffle Pack	CP-16-4
AD8231-EVALZ <sup>1</sup>		Evaluation Board	

<sup>1</sup> Z=RoHS準拠製品