

特長

- 2チャンネル構成、小型4mm×4mm LFCSP
- 低入力電流
 - 入力バイアス電流：最大10pA (Bグレード)
 - 入力オフセット電流：最大0.6pA (Bグレード)
- 高CMRR
 - 100dB CMRR (min)、G=10 (Bグレード)
 - 10kHzまで90dB CMRR (min)、G=10 (Bグレード)
- 優れたAC仕様と低消費電力
 - 帯域幅：1.5MHz (G=1)
 - 入力ノイズ：14nV/√Hz (1kHz)
 - スルーレート：2V/μs
 - 無負荷時電源電流：750μA

汎用

- レールtoレール出力
 - 負側電源レール以下までの入力電圧範囲
 - ESD保護：4kV
 - 単電源：4.5~36V
 - 両電源：±2.25~±18V
 - 1本の抵抗によるゲイン設定 (G=1~1000)

アプリケーション

- 医療機器
 - 高精度のデータ・アキュイジション
 - トランスデューサ・インターフェース
- 高分解能入力ADCの差動駆動
- リモート・センサー

概要

AD8224は、省スペース型の16ピン、4mm×4mm LFCSPパッケージを採用した初の単電源JFET入力計装アンプです。代表的なシングルチャンネル構成の計装アンプと同じボード面積を必要としますが、チャンネル密度は2倍で、性能を低下させることなくチャンネル当たりのコストを削減します。

高性能携帯型計測器ニーズ向けに設計されたAD8224の最小同相ノイズ除去比 (CMRR) は、DCで86dB、G=1では10kHzで80dBです。最大入力バイアス電流は10pAで、一般には工業用温度範囲の全域で300pA未満です。JFET入力ですが、ノイズのコーナー周波数は低く10Hz (typ) です。

ミックスド・シグナル処理の普及とともに、各システムで要求される電源の数が増えています。AD8224はこの問題を軽減するように設計されており、±18Vの両電源と+5Vの単電源で動作します。本製品のレールtoレール出力段では、携帯型アプリケーションで一般的な低電源電圧でのダイナミック・レンジを最大限に拡張します。5V単電源で動作できるため、高電圧の両電源を使用する必要がありません。アンプ当たりの無負荷時電流は750μAで、バッテリー駆動のデバイスに最適です。

機能ブロック図

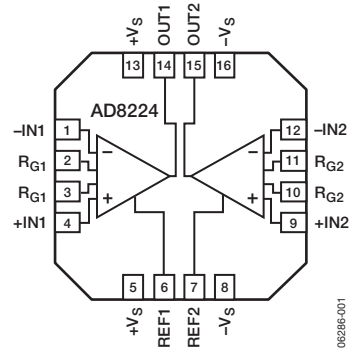


図1

表1. 計装アンプと差動アンプの分類

High Perform	Low Cost	High Voltage	Mil Grade	Low Power	Digital Gain
AD8220 ¹	AD8553 ¹	AD628	AD620	AD627 ¹	AD8231 ¹
AD8221	AD623 ¹	AD629	AD621		AD8250
AD8222			AD524		AD8251
			AD526		AD8555 ¹
			AD624		AD8556 ¹
					AD8557 ¹

¹ レールtoレール出力

また、AD8224は、シングルチャンネルの差動出力計装アンプとして構成できます。差動出力に対応したこのアンプは、優れたノイズ耐性を提供するため、リモート・センサーなどを使用するノイズの多い環境で出力信号を送信する場合に役立ちます。この構成は、差動入力ADCの駆動用としても使用できます。

シングルチャンネルには、AD8220を使用してください。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

AD8224

目次

特長	1	レイアウト	21
アプリケーション	1	ハンダ洗浄	22
機能ブロック図	1	入力バイアス電流のリターン・パス	22
概要	1	入力保護	22
改訂履歴	2	RF干渉	23
仕様	3	コモン・モード入力電圧範囲	23
絶対最大定格	9	アプリケーション情報	24
熱抵抗	9	ADCの駆動	24
ESDに関する注意	9	差動出力	24
ピン配置と機能の説明	10	差動入力ADCの駆動	25
代表的な性能特性	11	ケーブルの駆動	25
動作原理	20	外形寸法	26
ゲイン選択	20	オーダー・ガイド	26
リファレンス・ピン	21		

改訂履歴

4/07—Rev. 0 to Rev. A

Changes to Features, General Description, and Figure 1	1
Changes to Table 2	3
Changes to Table 3 and Table 4	5
Changes to Table 5	6
Changes to Table 6 and Table 7	8
Changes to Figure 2	9
Changes to Figure 3	10
Inserted Figure 4, Figure 5, and Figure 6; Renumbered Sequentially	11
Changes to Figure 7	11
Changes to Figure 20 and Figure 21	13
Changes to Figure 28	15
Changes to Theory of Operation and Figure 55	20
Changes to Ordering Guide	26

1/07—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{S+}=+15V$ 、 $V_{S-}=-15V$ 、 $V_{REF}=0V$ 、 $T_A=+25^{\circ}C$ 、 $G=1$ 、 $R_L=2k\Omega$ 。表2は、シングルエンド出力構成の計装アンプと差動出力構成のデュアル・チャンネル計装アンプに関する仕様を示します（図62を参照）。

表2. シングルエンド構成のアンプ、差動出力構成のデュアル・チャンネル・アンプ²、 $V_S=\pm 15V$

Parameter	Test Conditions	A Grade			B Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
COMMON-MODE REJECTION RATIO (CMRR)								
CMRR DC to 60 Hz with 1 k Ω Source Imbalance	$V_{CM} = \pm 10 V$							
G = 1		78			86			dB
G = 10		94			100			dB
G = 100		94			100			dB
G = 1000		94			100			dB
CMRR at 10 kHz	$V_{CM} = \pm 10 V$							
G = 1		74			80			dB
G = 10		84			90			dB
G = 100		84			90			dB
G = 1000		84			90			dB
NOISE	RTI noise = $\sqrt{(e_{ni}^2 + (e_{no}/G)^2)}$							
Voltage Noise, 1 kHz								
Input Voltage Noise, e_{ni}	$V_{IN+}, V_{IN-} = 0 V$		14		14	17		nV/ \sqrt{Hz}
Output Voltage Noise, e_{no}	$V_{IN+}, V_{IN-} = 0 V$		90		90	100		nV/ \sqrt{Hz}
RTI, 0.1 Hz to 10 Hz								
G = 1			5		5			μV p-p
G = 1000			0.8		0.8			μV p-p
Current Noise	$f = 1 kHz$		1		1			fA/ \sqrt{Hz}
VOLTAGE OFFSET	RTI $V_{OS} =$ $(V_{OSI}) + (V_{OSO}/G)$							
Input Offset, V_{OSI}				300		175		μV
Average TC	$T = -40^{\circ}C$ to $+85^{\circ}C$			10		5		$\mu V/^{\circ}C$
Output Offset, V_{OSO}				1200		800		μV
Average TC	$T = -40^{\circ}C$ to $+85^{\circ}C$			10		5		$\mu V/^{\circ}C$
Offset RTI vs. Supply (PSR)	$V_S = \pm 5V$ to $\pm 15V$							
G = 1		86			86			dB
G = 10		96			100			dB
G = 100		96			100			dB
G = 1000		96			100			dB
INPUT CURRENT (PER CHANNEL)								
Input Bias Current				25		10		pA
Over Temperature ³	$T = -40^{\circ}C$ to $+85^{\circ}C$		300		300			pA
Input Offset Current				2		0.6		pA
Over Temperature ³	$T = -40^{\circ}C$ to $+85^{\circ}C$		5		5			pA
REFERENCE INPUT								
R_{IN}			40		40			k Ω
I_{IN}	$V_{IN+}, V_{IN-} = 0 V$			70		70		μA
Voltage Range		$-V_S$		$+V_S$	$-V_S$		$+V_S$	V
Gain to Output			$1 \pm$ 0.0001		$1 \pm$ 0.0001			V/V

AD8224

Parameter	Test Conditions	A Grade			B Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
GAIN	$G = 1 + (49.4 \text{ k}\Omega/R_G)$							
Gain Range		1		1000	1		1000	V/V
Gain Error	$V_{OUT} = \pm 10 \text{ V}$							
G = 1				0.06			0.04	%
G = 10				0.3			0.2	%
G = 100				0.3			0.2	%
G = 1000				0.3			0.2	%
Gain Nonlinearity	$V_{OUT} = -10 \text{ V to } +10 \text{ V}$							
G = 1	$R_L = 10 \text{ k}\Omega$		8	15	8	15		ppm
G = 10	$R_L = 10 \text{ k}\Omega$		5	10	5	10		ppm
G = 100	$R_L = 10 \text{ k}\Omega$		15	25	15	25		ppm
G = 1000	$R_L = 10 \text{ k}\Omega$		100	150	100	150		ppm
G = 1	$R_L = 2 \text{ k}\Omega$		15	20	15	20		ppm
G = 10	$R_L = 2 \text{ k}\Omega$		12	20	12	20		ppm
G = 100	$R_L = 2 \text{ k}\Omega$		35	50	35	50		ppm
G=1000	$R_L = 2 \text{ k}\Omega$		180	250	180	250		ppm
Gain vs. Temperature								
G = 1			3	10	2	5		ppm/°C
G > 10				-50		-50		ppm/°C
INPUT								
Impedance (Pin to Ground) ⁴			10 ⁴ 5			10 ⁴ 5		G Ω pF
Input Operating Voltage Range ⁵	$V_S = \pm 2.25 \text{ V to } \pm 18 \text{ V}$ for dual supplies	$-V_S - 0.1$		$+V_S - 2$	$-V_S - 0.1$		$+V_S - 2$	V
Over Temperature	$T = -40^\circ\text{C to } +85^\circ\text{C}$	$-V_S - 0.1$		$+V_S - 2.1$	$-V_S - 0.1$		$+V_S - 2.1$	V
OUTPUT								
Output Swing	$R_L = 2 \text{ k}\Omega$	-14.25		+14.25	-14.25		+14.25	V
Over Temperature	$T = -40^\circ\text{C to } +85^\circ\text{C}$	-14.3		+14.1	-14.3		+14.1	V
Output Swing	$R_L = 10 \text{ k}\Omega$	-14.7		+14.7	-14.7		+14.7	V
Over Temperature	$T = -40^\circ\text{C to } +85^\circ\text{C}$	-14.6		+14.6	-14.6		+14.6	V
Short-Circuit Current			15			15		mA
POWER SUPPLY (PER AMPLIFIER)								
Operating Range		$\pm 2.25^6$		± 18	$\pm 2.25^6$		± 18	V
Quiescent Current			750	800	750	800		μA
Over Temperature	$T = -40^\circ\text{C to } +85^\circ\text{C}$		850	900	850	900		μA
TEMPERATURE RANGE								
For Specified Performance		-40		+85	-40		+85	°C
Operational ⁷		-40		+125	-40		+125	°C

¹ 出力が4mA以上の電流をシンクするときは、負荷と並列に47pFコンデンサを使ってリングングを防止。それ以外の場合は、10k Ω などの大きな負荷を使用。

² 図62の差動構成を参照。

³ 入力電流と温度の関係については、図14と図15を参照。

⁴ 差動およびコモン・モード入力インピーダンスは、次のようにピン・インピーダンスから計算できます。 $Z_{DIFF} = 2(Z_{PIN})$; $Z_{CM} = Z_{PIN}/2$ 。

⁵ AD8224は負側電源を1ダイオード・ドロップだけ下回る電圧まで動作できますが、バイアス電流は急激に増加します。入力電圧範囲は、入力バイアス電流が仕様を満たすときの最大許容電圧を反映しています。

⁶ この電源電圧において、入力コモン・モード電圧が入力電圧範囲仕様を満たすようにします。

⁷ AD8224は-40~+125°Cでキャラクタライズされています。この温度範囲の動作予測については、「代表的な性能特性」を参照してください。

特に指定のない限り、 $V_{S+}=+15V$ 、 $V_{S-}=-15V$ 、 $V_{REF}=0V$ 、 $T_A=25^{\circ}C$ 、 $G=1$ 、 $R_L=2k\Omega^1$ 。表3に、各計装アンプの動的性能仕様を示します。

表3. 各計装アンプの動的性能（シングルエンド出力構成）、 $V_S=\pm 15V$

Parameter	Test Conditions	A Grade			B Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
DYNAMIC RESPONSE								
Small Signal Bandwidth -3 dB								
G = 1			1500		1500			kHz
G = 1			800		800			kHz
G = 100			120		120			kHz
G = 1000			14		14			kHz
Settling Time 0.01%								
	$\Delta V_O = \pm 10 V$ step							
G = 1			5		5			μs
G = 10			4.3		4.3			μs
G = 100			8.1		8.1			μs
G = 1000			58		58			μs
Settling Time 0.001%								
	$\Delta V_O = \pm 10 V$ step							
G = 1			6		6			μs
G = 10			4.6		4.6			μs
G = 100			9.6		9.6			μs
G = 1000			74		74			μs
Slew Rate								
G = 1 to 100		2			2			V/ μs

¹ 出力が4mA以上の電流をシンクするときは、負荷と並列に47pFコンデンサを使ってリングングを防止。それ以外の場合は、10k Ω などの大きな負荷を使用。

特に指定のない限り、 $V_{S+}=+15V$ 、 $V_{S-}=-15V$ 、 $V_{REF}=0V$ 、 $T_A=25^{\circ}C$ 、 $G=1$ 、 $R_L=2k\Omega^1$ 。表4に、差動出力構成（図62を参照）で使用する場合の両アンプの動的性能仕様を示します。

表4. 両アンプの動的性能（差動出力構成²）、 $V_S=\pm 15V$

Parameter	Test Conditions	A Grade			B Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
DYNAMIC RESPONSE								
Small Signal Bandwidth -3 dB								
G = 1			1500		1500			kHz
G = 1			800		800			kHz
G = 100			120		120			kHz
G = 1000			14		14			kHz
Settling Time 0.01%								
	$\Delta V_O = \pm 10 V$ step							
G = 1			5		5			μs
G = 10			4.3		4.3			μs
G = 100			8.1		8.1			μs
G = 1000			58		58			μs
Settling Time 0.001%								
	$\Delta V_O = \pm 10 V$ step							
G = 1			6		6			μs
G = 10			4.6		4.6			μs
G = 100			9.6		9.6			μs
G = 1000			74		74			μs
Slew Rate								
G = 1 to 100		2			2			V/ μs

¹ 出力が4mA以上の電流をシンクするときは、負荷と並列に47pFコンデンサを使ってリングングを防止。それ以外の場合は、10k Ω などの大きな負荷を使用。

² 図62の差動構成を参照してください。

AD8224

特に指定のない限り、 $V_S = +5V$ 、 $V_S = 0V$ 、 $V_{REF} = 2.5V$ 、 $T_A = 25^\circ C$ 、 $G = 1$ 、 $R_L = 2k\Omega$ ¹。表5に、シングルエンド出力構成の各計装アンプまたは差動出力構成のデュアル計装アンプの仕様を示します（図62を参照）。

表5. シングルエンド構成の各アンプまたは差動出力構成のデュアル・アンプ²、 $V_S = +5V$

Parameter	Test Conditions	A Grade			B Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
COMMON-MODE REJECTION RATIO (CMRR)								
CMRR DC to 60 Hz with 1 k Ω Source Imbalance	VCM = 0 to 2.5 V							
G = 1		78			86			dB
G = 10		94			100			dB
G = 100		94			100			dB
G = 100		94			100			dB
CMRR at 10 kHz								
G = 1		74			80			dB
G = 10		84			90			dB
G = 100		84			90			dB
G = 1000		84			90			dB
NOISE								
Voltage Noise, 1 kHz	RTI noise = $\sqrt{(e_{ni}^2 + (e_{no}/G)^2)}$ $V_S = \pm 2.5 V$							
Input Voltage Noise, e_{ni}	$V_{IN+}, V_{IN-} = 0 V$, $V_{REF} = 0 V$		14		14	17		nV/ \sqrt{Hz}
Output Voltage Noise, e_{no}	$V_{IN+}, V_{IN-} = 0 V$, $V_{REF} = 0 V$		90		90	100		nV/ \sqrt{Hz}
RTI, 0.1 Hz to 10 Hz								
G = 1			5		5			μV p-p
G = 1000			0.8		0.8			μV p-p
Current Noise	f = 1 kHz		1		1			fA/ \sqrt{Hz}
VOLTAGE OFFSET								
Input Offset, V_{OSI}	RTI $V_{OS} =$ $(V_{OSI}) + (V_{OSO}/G)$			300		250		μV
Average TC	T = $-40^\circ C$ to $+85^\circ C$			10		5		$\mu V/^\circ C$
Output Offset, V_{OSO}				1200		800		μV
Average TC	T = $-40^\circ C$ to $+85^\circ C$			10		5		$\mu V/^\circ C$
Offset RTI vs. Supply (PSR)								
G = 1		86			86			dB
G = 10		96			100			dB
G = 100		96			100			dB
G = 1000		96			100			dB
INPUT CURRENT (PER CHANNEL)								
Input Bias Current				25		10		pA
Over Temperature ³	T = $-40^\circ C$ to $+85^\circ C$		300		300			pA
Input Offset Current				2		0.6		pA
Over Temperature ³	T = $-40^\circ C$ to $+85^\circ C$		5		5			pA
REFERENCE INPUT								
R_{IN}			40		40			k Ω
I_{IN}	$V_{IN+}, V_{IN-} = 0 V$			70		70		μA
Voltage Range		$-V_S$		$+V_S$	$-V_S$		$+V_S$	V
Gain to Output			$1 \pm$ 0.0001		$1 \pm$ 0.0001			V/V

Parameter	Test Conditions	A Grade			B Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
GAIN	$G = 1 + (49.4 \text{ k}\Omega/R_G)$							
Gain Range		1		1000	1		1000	V/V
Gain Error								
G = 1	$V_{OUT} = 0.3 \text{ V to } 2.9 \text{ V}$			0.06			0.04	%
G = 10	$V_{OUT} = 0.3 \text{ V to } 3.8 \text{ V}$			0.3			0.2	%
G = 100	$V_{OUT} = 0.3 \text{ V to } 3.8 \text{ V}$			0.3			0.2	%
G = 1000	$V_{OUT} = 0.3 \text{ V to } 3.8 \text{ V}$			0.3			0.2	%
Nonlinearity	$V_{OUT} = 0.3 \text{ V to } 2.9 \text{ V for } G = 1$ $V_{OUT} = 0.3 \text{ V to } 3.8 \text{ V for } G > 1$							
G = 1	$R_L = 10 \text{ k}\Omega$	35	50		35	50		ppm
G = 10	$R_L = 10 \text{ k}\Omega$		35	50		35	50	ppm
G = 100	$R_L = 10 \text{ k}\Omega$		50	75		50	75	ppm
G = 1000	$R_L = 10 \text{ k}\Omega$		90	115		90	115	ppm
G = 1	$R_L = 2 \text{ k}\Omega$		35	50		35	50	ppm
G = 10	$R_L = 2 \text{ k}\Omega$		35	50		35	50	ppm
G = 100	$R_L = 2 \text{ k}\Omega$		50	75		50	75	ppm
G=1000	$R_L = 2 \text{ k}\Omega$		175	200		175	200	ppm
Gain vs. Temperature								
G = 1			3	10		2	5	ppm/°C
G > 10				-50			-50	ppm/°C
INPUT								
Impedance (Pin to Ground) ⁴			10 ⁴ 6			10 ⁴ 6		G Ω pF
Input Voltage Range ⁵		-0.1		+V _S -2	-0.1		+V _S -2	V
Over Temperature	T = -40°C to +85°C	-0.1		+V _S -2.1	-0.1		+V _S -2.1	V
OUTPUT								
Output Swing	$R_L = 2 \text{ k}\Omega$	0.25		4.75	0.25		4.75	V
Over Temperature	T = -40°C to +85°C	0.3		4.70	0.3		4.70	V
Output Swing	$R_L = 10 \text{ k}\Omega$	0.15		4.85	0.15		4.85	V
Over Temperature	T = -40°C to +85°C	0.2		4.80	0.2		4.80	V
Short-Circuit Current			15			15		mA
POWER SUPPLY (PER AMPLIFIER)								
Operating Range		4.5		36	4.5		36	V
Quiescent Current			750	800		750	800	μ A
Over Temperature	T = -40°C to +85°C		850	900		850	900	μ A
TEMPERATURE RANGE								
For Specified Performance		-40		+85	-40		+85	°C
Operational ⁶		-40		+125	-40		+125	°C

¹ 出力が4mA以上の電流をシンクするときは、負荷と並列に47pFコンデンサを使ってリングングを防止。それ以外の場合は、10k Ω などの大きな負荷を使用。

² 図62の差動構成を参照。

³ 入力電流と温度の関係については、図14と図15を参照してください。

⁴ 差動およびコモン・モード入力インピーダンスは、次のようにピン・インピーダンスから計算できます。 $Z_{DIFF} = 2(Z_{PIN})$; $Z_{CM} = Z_{PIN}/2$ 。

⁵ AD8224は負側電源を1ダイオード・ドロップだけ下回る電圧まで動作できますが、バイアス電流は急激に増加します。入力電圧範囲は、入力バイアス電流が仕様を満たすときの最大許容電圧を反映しています。

⁶ AD8224は-40~+125°Cでキャラクタライズされています。この温度範囲での動作予測については、「代表的な性能特性」を参照してください。

AD8224

特に指定のない限り、 $V_{S+} = +5V$ 、 $V_{S-} = 0V$ 、 $V_{REF} = 2.5V$ 、 $T_A = 25^\circ C$ 、 $G = 1$ 、 $R_L = 2k\Omega$ ¹。表6に、各計装アンプの動的性能仕様を示します。

表6. 各アンプの動的性能（シングルエンド出力構成）、 $V_{S+} = +5V$

Parameter	Test Conditions	A Grade			B Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
DYNAMIC RESPONSE								
Small Signal Bandwidth -3 dB								
G = 1			1500		1500			kHz
G = 10			800		800			kHz
G = 100			120		120			kHz
G = 1000			14		14			kHz
Settling Time 0.01%								
G = 1	$\Delta V_O = 3 V$ step		2.5		2.5			μs
G = 10	$\Delta V_O = 4 V$ step		2.5		2.5			μs
G = 100	$\Delta V_O = 4 V$ step		7.5		7.5			μs
G = 1000	$\Delta V_O = 4 V$ step		60		60			μs
Settling Time 0.001%								
G = 1	$\Delta V_O = 3 V$ step		3.5		3.5			μs
G = 10	$\Delta V_O = 4 V$ step		3.5		3.5			μs
G = 100	$\Delta V_O = 4 V$ step		8.5		8.5			μs
G = 1000	$\Delta V_O = 4 V$ step		75		75			μs
Slew Rate								
G = 1 to 100		2			2			V/ μs

¹ 出力が4mA以上の電流をシンクするときは、負荷と並列に47pFコンデンサを使ってリングングを防止。それ以外の場合は、10k Ω などの大きな負荷を使用。

特に指定のない限り、 $V_{S+} = +5V$ 、 $V_{S-} = 0V$ 、 $V_{REF} = 2.5V$ 、 $T_A = 25^\circ C$ 、 $G = 1$ 、 $R_L = 2k\Omega$ ¹。表7に、差動出力構成（図62を参照）で両アンプを使用する場合の動的性能仕様を示します。

表7. 両アンプの動的性能（差動出力構成²）、 $V_{S+} = +5V$

Parameter	Test Conditions	A Grade			B Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
DYNAMIC RESPONSE								
Small Signal Bandwidth -3 dB								
G = 1			1500		1500			kHz
G = 10			800		800			kHz
G = 100			120		120			kHz
G = 1000			14		14			kHz
Settling Time 0.01%								
G = 1	$\Delta V_O = 3 V$ step		2.5		2.5			μs
G = 10	$\Delta V_O = 4 V$ step		2.5		2.5			μs
G = 100	$\Delta V_O = 4 V$ step		7.5		7.5			μs
G = 1000	$\Delta V_O = 4 V$ step		60		60			μs
Settling Time 0.001%								
G = 1	$\Delta V_O = 3 V$ step		3.5		3.5			μs
G = 10	$\Delta V_O = 4 V$ step		3.5		3.5			μs
G = 100	$\Delta V_O = 4 V$ step		8.5		8.5			μs
G = 1000	$\Delta V_O = 4 V$ step		75		75			μs
Slew Rate								
G = 1 to 100		2			2			V/ μs

¹ 出力が4mA以上の電流をシンクするときは、負荷と並列に47pFコンデンサを使ってリングングを防止。それ以外の場合は、10k Ω などの大きな負荷を使用。

² 図62の差動構成を参照してください。

絶対最大定格

表8

Parameter	Rating
Supply Voltage	±18 V
Power Dissipation	See Figure 2
Output Short-Circuit Current	Indefinite ¹
Input Voltage (Common Mode)	±V _S
Differential Input Voltage	±V _S
Storage Temperature Range	-65°C to +130°C
Operating Temperature Range ²	-40°C to +125°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	130°C
Package Glass Transition Temperature	130°C
ESD (Human Body Model)	4 kV
ESD (Charge Device Model)	1 kV
ESD (Machine Model)	0.4 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

¹ 負荷は電源電圧の1/2を基準にします。

² 仕様性能を得るための温度は-40～+85°Cです。+125°Cまでの性能については「代表的な性能特性」を参照してください。

熱抵抗

表9

Thermal Pad	θ_{JA}	Unit
Soldered to Board	48	°C/W
Not Soldered to Board	86	°C/W

表9の θ_{JA} 値は、4層JEDEC標準ボードの使用を前提としています。サーマル・パッドがボードにハンダ付けされている場合は、プレーンに接続されていることも前提となります。露出パッドの θ_{JC} は4.4°C/Wです。

最大消費電力

AD8224が安全に消費できる最大電力は、チップのジャンクション温度 (T_J) の上昇によって制限されます。約130°Cのガラス転移温度で、プラスチックの属性が変わります。この温度規定値を一時的にでも超えた場合は、パッケージからチップに加えられる応力が変化する、AD8224のパラメータ性能が永久的に変化することがあります。130°Cの温度を長時間超えると、機能が失われることがあります。

図2に、パッケージの最大安全消費電力と、4層JEDEC規格ボード上でのLFCSPの周囲温度との関係を示します。

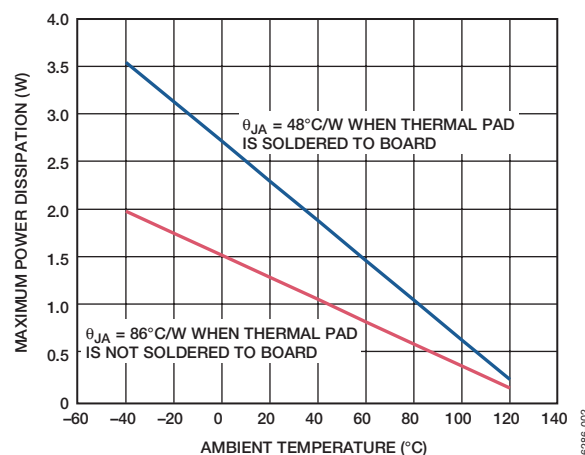


図2. 最大消費電力 対 周囲温度

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

AD8224

ピン配置と機能の説明

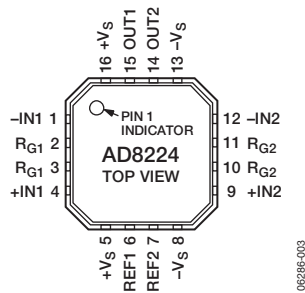


図3. ピン配置

表10. ピン機能の説明

ピン番号	記号	説明
1	-IN1	計装アンプ1の負側入力
2	R _{G1}	計装アンプ1のゲイン抵抗
3	R _{G1}	計装アンプ1のゲイン抵抗
4	+IN1	計装アンプ1の正側入力
5	+V _S	正側電源
6	REF1	計装アンプ1のリファレンス調整
7	REF2	計装アンプ2のリファレンス調整
8	-V _S	負側電源
9	+IN2	計装アンプ2の正側入力
10	R _{G2}	計装アンプ2のゲイン抵抗
11	R _{G2}	計装アンプ2のゲイン抵抗
12	-IN2	計装アンプ2の負側入力
13	-V _S	負側電源
14	OUT2	計装アンプ2の出力
15	OUT1	計装アンプ1の出力
16	+V _S	正側電源

代表的な性能特性

特に指定のない限り、25°Cで $V_S = \pm 15V$ 、 $R_L = 10k\Omega$ 。

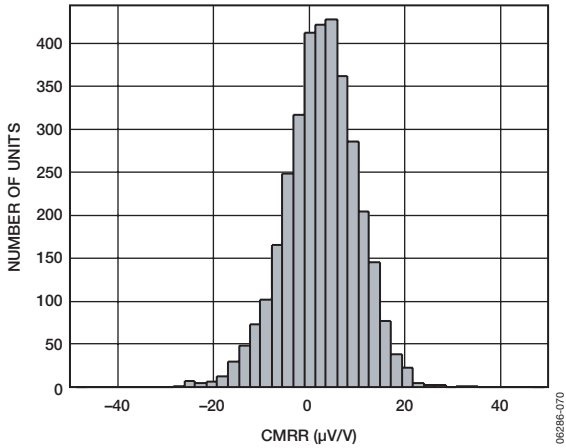


図4. CMRRの分布 (代表値) (G=1)

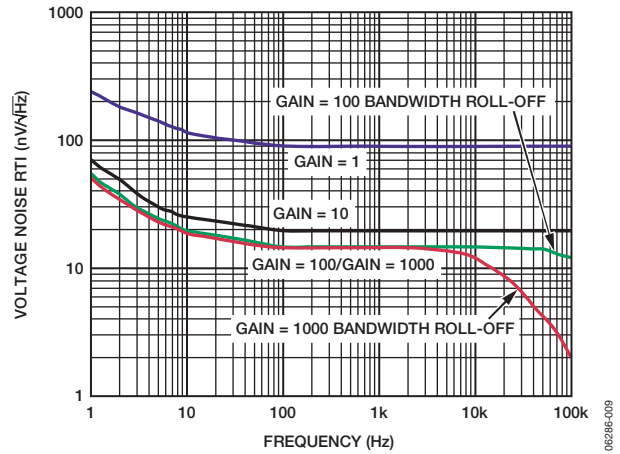


図7. 電圧スペクトル密度の周波数特性

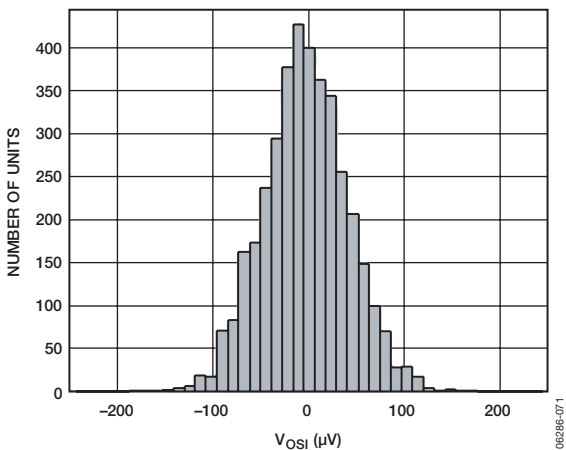


図5. 入力オフセット電圧の分布 (代表値)

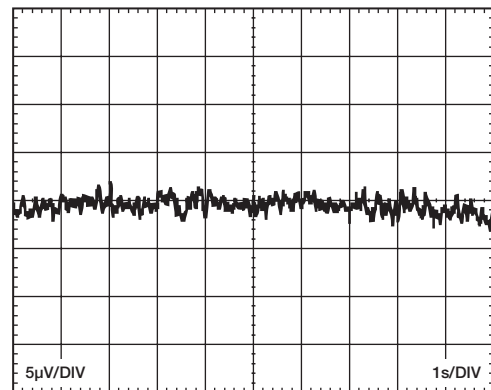


図8. 0.1~10HzのRTI電圧ノイズ (G=1)

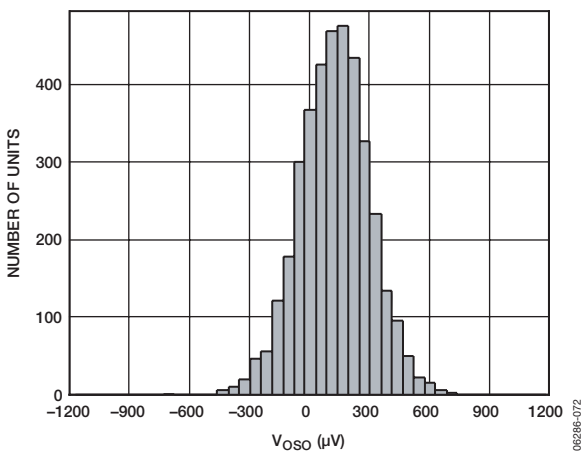


図6. 出力オフセット電圧の分布 (代表値)

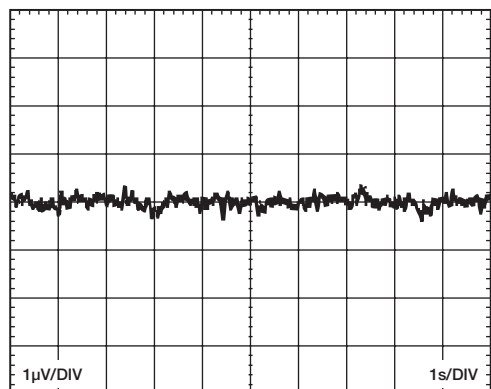


図9. 0.1~10HzのRTI電圧ノイズ (G=1000)

AD8224

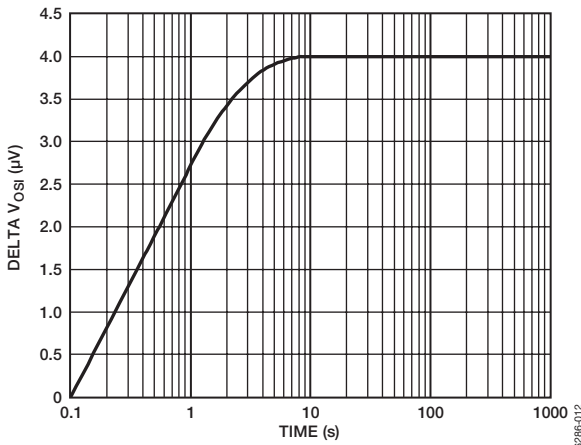


図10. 入力オフセット電圧の変化 対 ウォームアップ・タイム

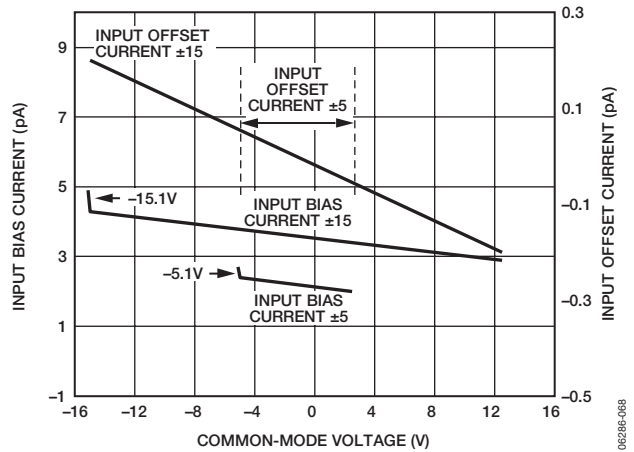


図13. 入力バイアス電流および入力オフセット電流 対 コモンモード電圧

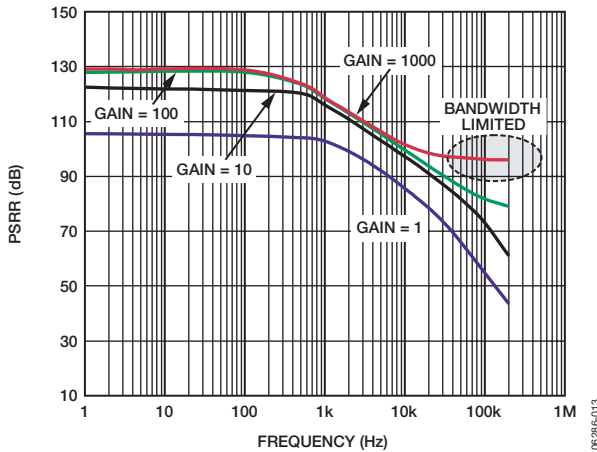


図11. 正側PSRRの周波数特性、RTI

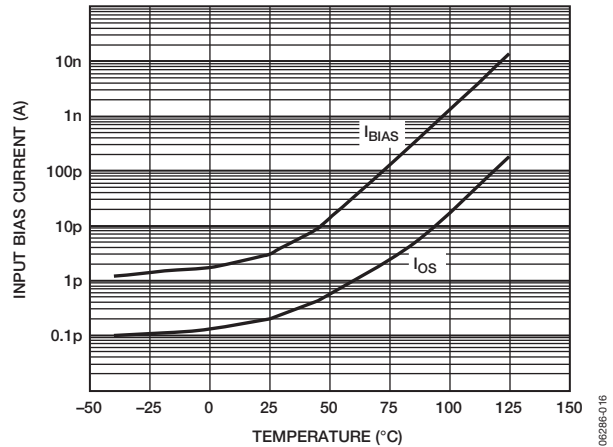


図14. 入力バイアス電流とオフセット電流の温度特性 ($V_S = \pm 15V$, $V_{REF} = 0V$)

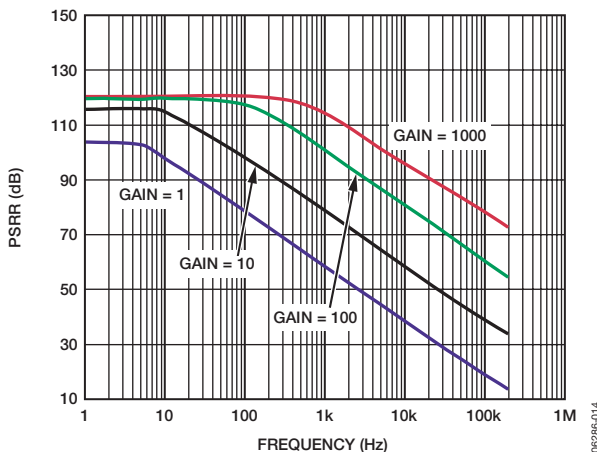


図12. 負側PSRRの周波数特性、RTI

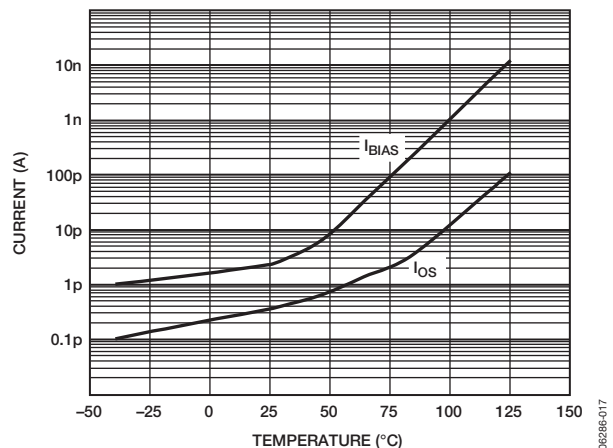


図15. 入力バイアス電流とオフセット電流の温度特性 ($V_S = +5V$, $V_{REF} = 2.5V$)

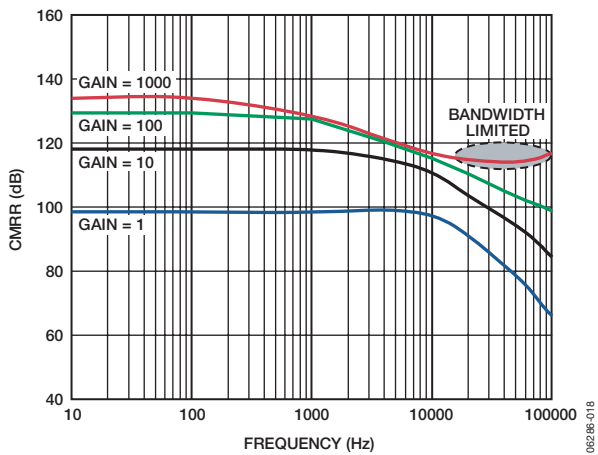


図16. CMRRの周波数特性

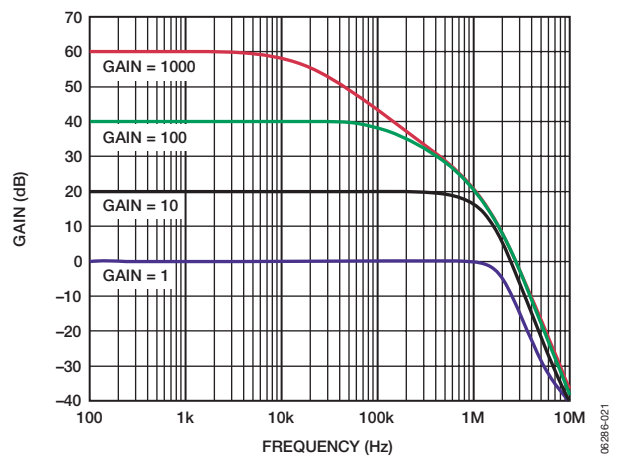


図19. ゲインの周波数特性

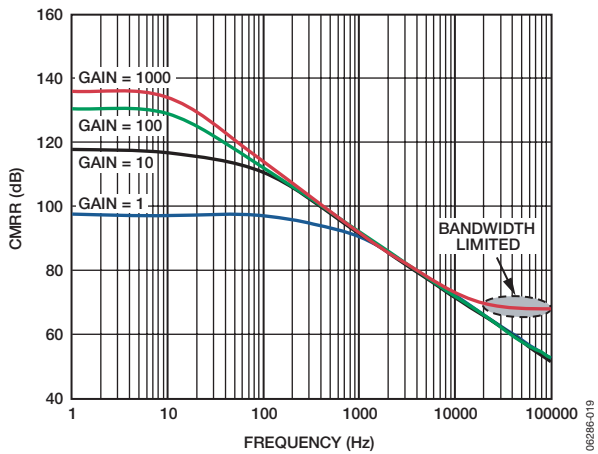


図17. CMRRの周波数特性、1kΩソース不平衡

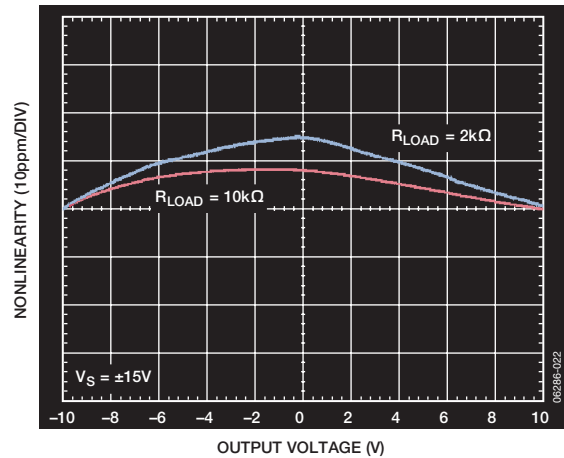


図20. ゲイン非直線性 (G=1)

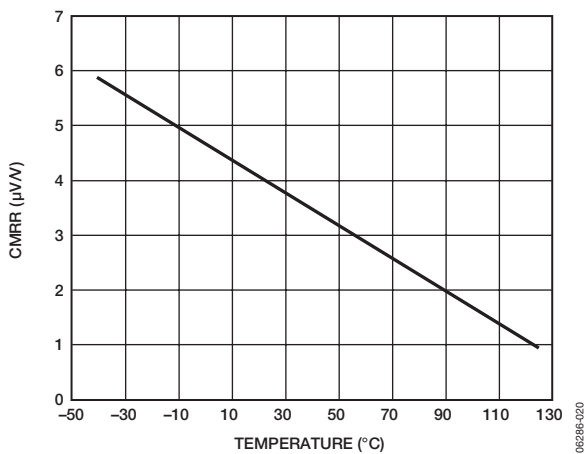


図18. CMRRの温度変化、G=1

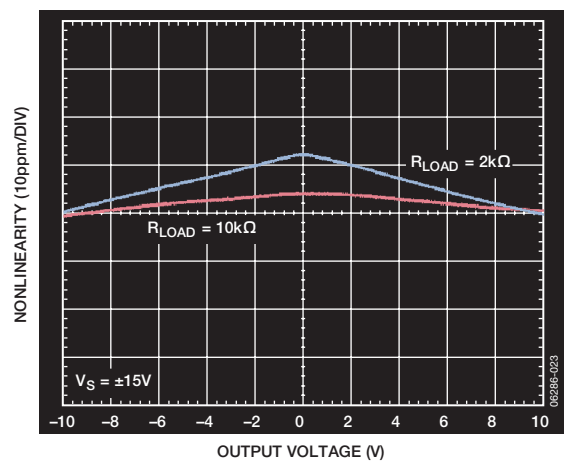


図21. ゲイン非直線性 (G=10)

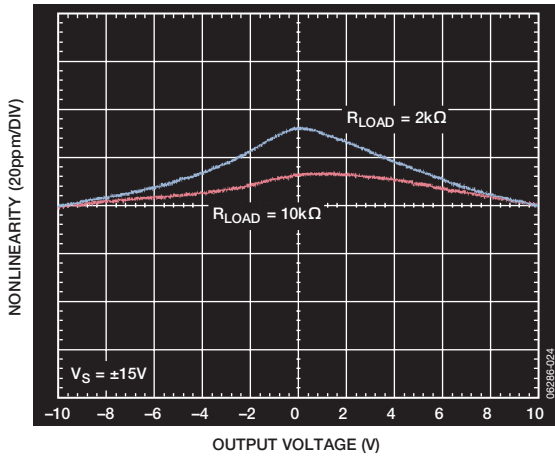


図22. ゲイン非直線性 (G=100)

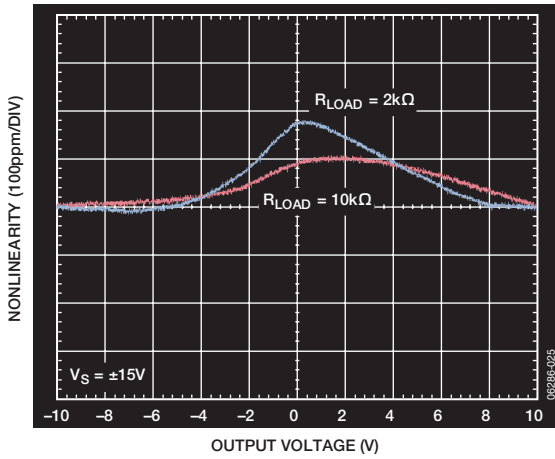


図23. ゲイン非直線性 (G=1000)

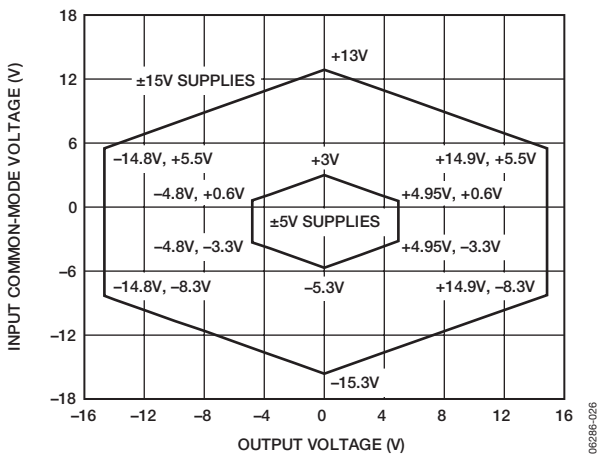


図24. 入力コモン・モード電圧範囲 対 出力電圧、
G=1、 $V_{REF}=0V$

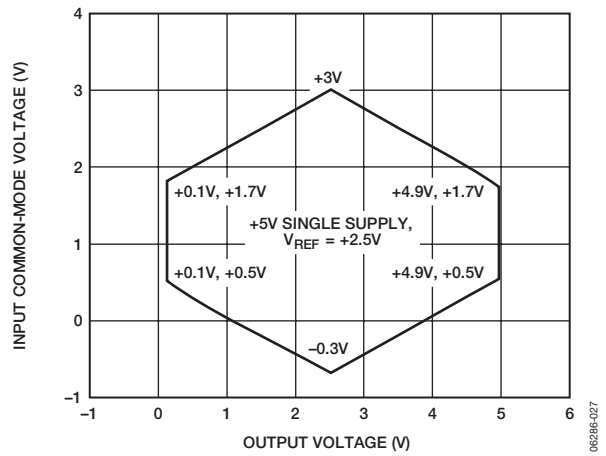


図25. 入力コモン・モード電圧範囲 対 出力電圧、
G=1、 $V_S=5V$ 、 $V_{REF}=2.5V$

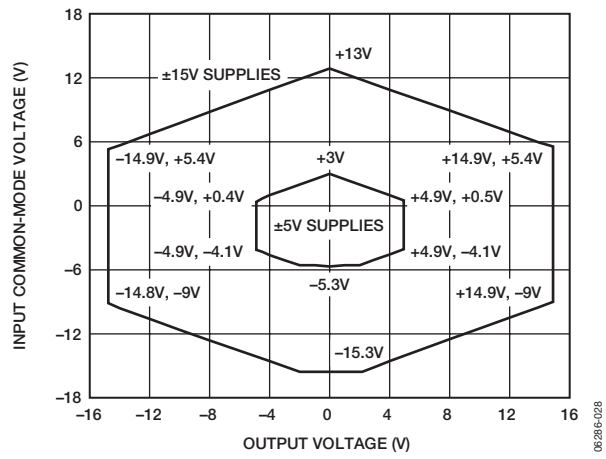


図26. 入力コモン・モード電圧範囲 対 出力電圧、
G=100、 $V_{REF}=0V$

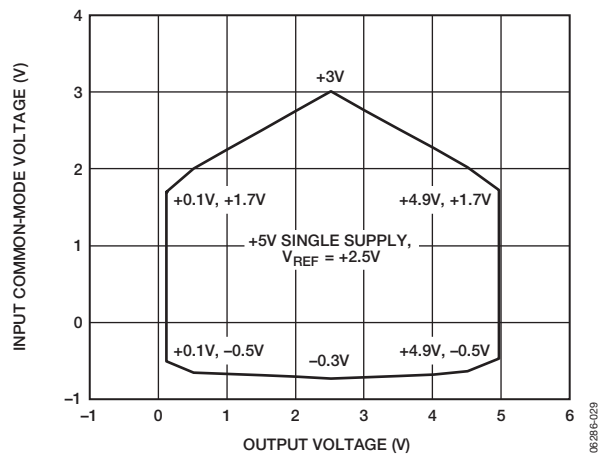


図27. 入力コモン・モード電圧範囲 対 出力電圧、
G=100、 $V_S=5V$ 、 $V_{REF}=2.5V$

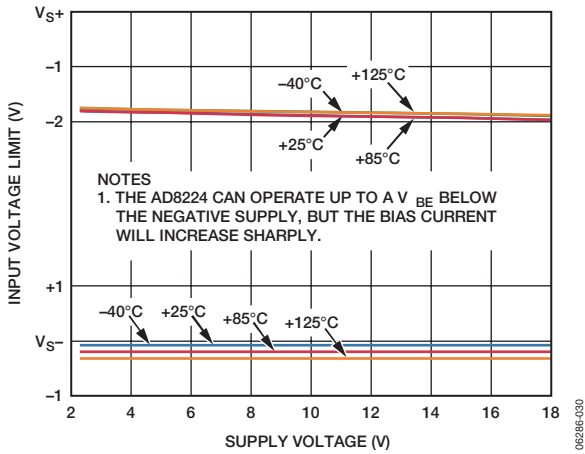


图28. 入力電圧制限値 对 電源電圧、
 $G=1$ 、 $V_{REF}=0V$

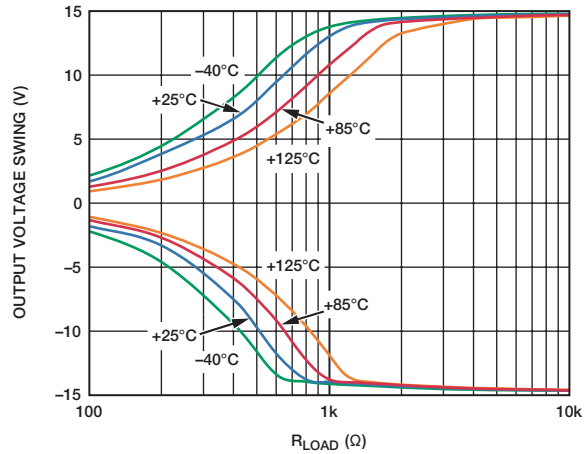


图31. 出力電圧振幅 对 負荷抵抗、
 $V_S=\pm 15V$ 、 $V_{REF}=0V$

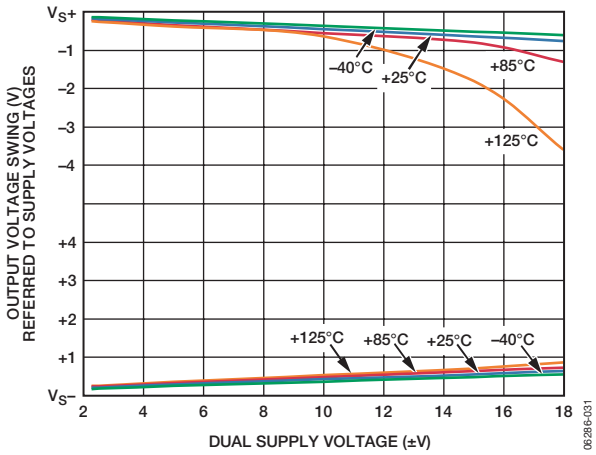


图29. 出力電圧振幅 对 兩電源電圧、
 $R_{LOAD}=2k\Omega$ 、 $G=10$ 、 $V_{REF}=0V$

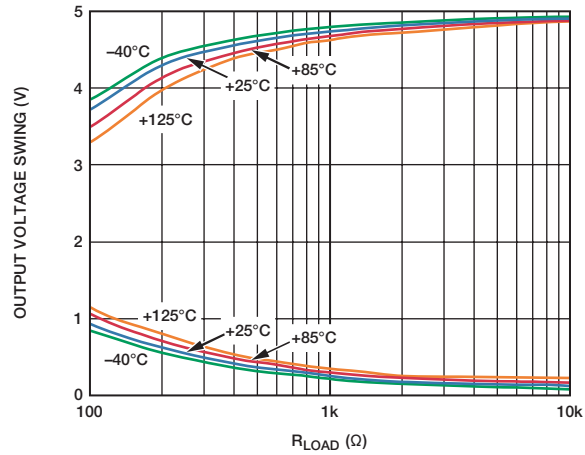


图32. 出力電圧振幅 对 負荷抵抗、
 $V_S=5V$ 、 $V_{REF}=2.5V$

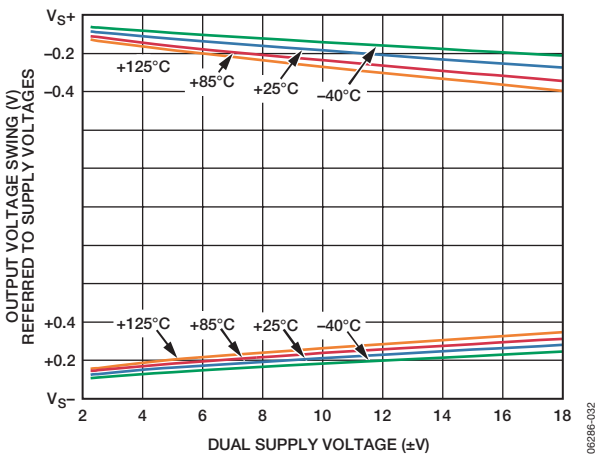


图30. 出力電圧振幅 对 兩電源電圧、
 $R_{LOAD}=10k\Omega$ 、 $G=10$ 、 $V_{REF}=0V$

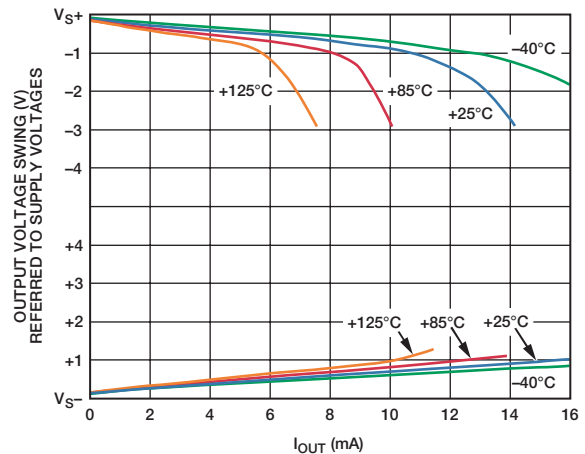


图33. 出力電圧振幅 对 出力電流、
 $V_S=\pm 15V$ 、 $V_{REF}=0V$

AD8224

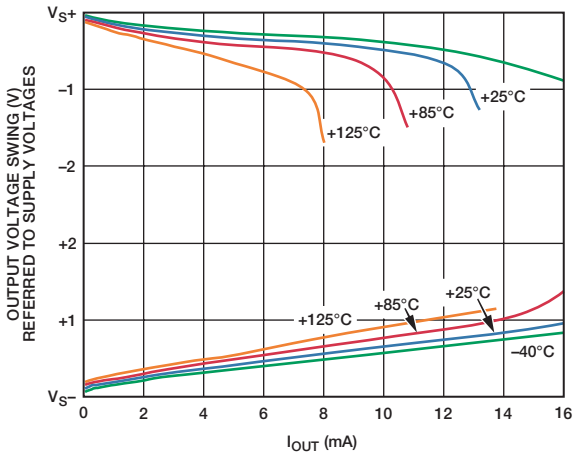


図34. 出力電圧振幅 対 出力電流、
 $V_S=5V$ 、 $V_{REF}=2.5V$

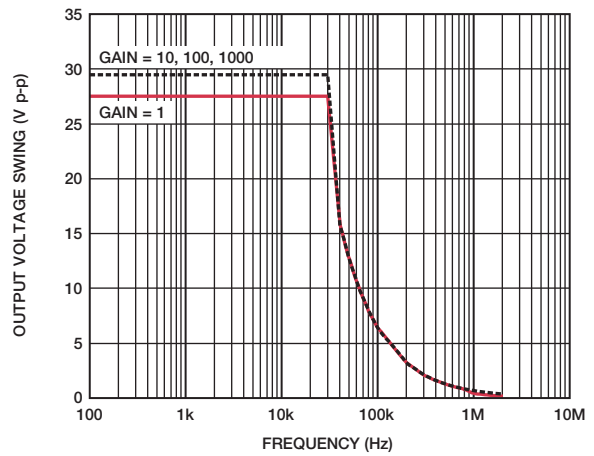


図37. 出力電圧振幅 対 大信号周波数応答

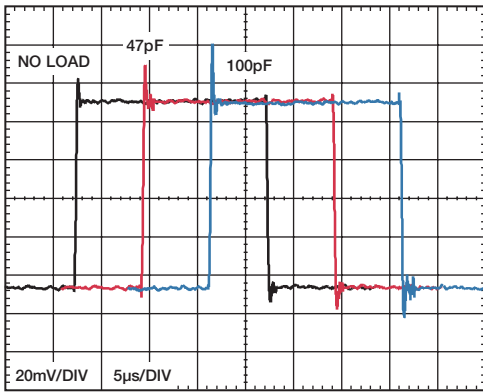


図35. さまざまな容量負荷に対する小信号パルス
応答、 $V_S=\pm 15V$ 、 $V_{REF}=0V$

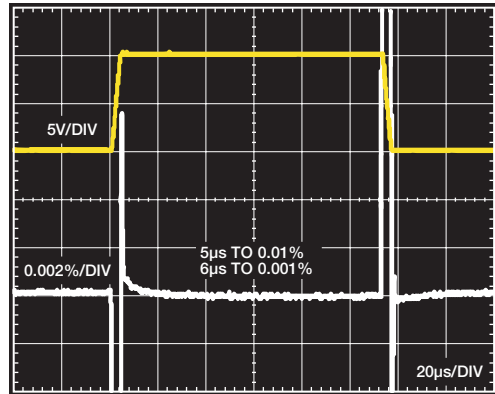


図38. 大信号パルス応答およびセトリング時間、
 $G=1$ 、 $R_{LOAD}=10k\Omega$ 、 $V_S=\pm 15V$ 、 $V_{REF}=0V$

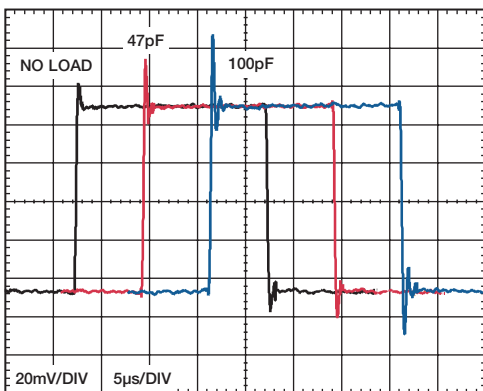


図36. さまざまな容量負荷に対する小信号パルス
応答、 $V_S=5V$ 、 $V_{REF}=2.5V$

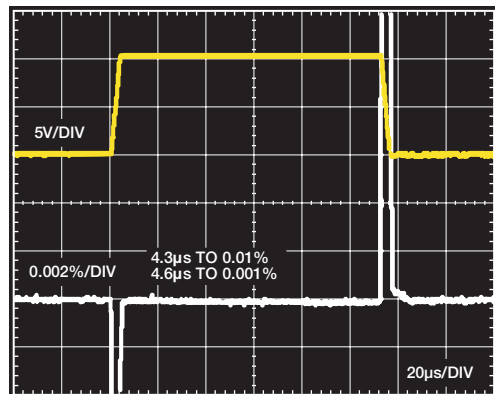
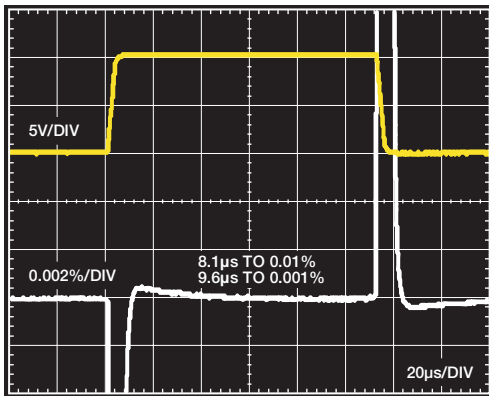
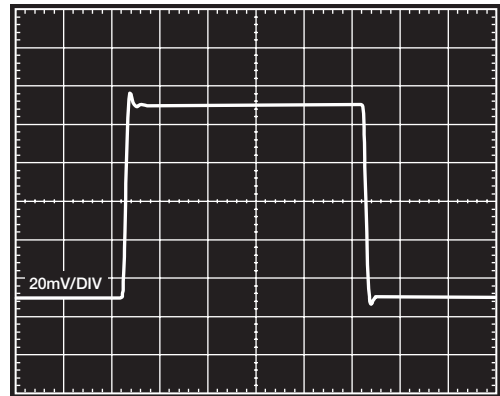


図39. 大信号パルス応答およびセトリング時間、
 $G=10$ 、 $R_{LOAD}=10k\Omega$ 、 $V_S=\pm 15V$ 、 $V_{REF}=0V$



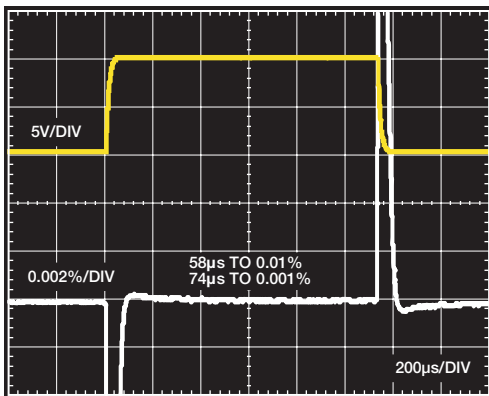
06286-042

図40. 大信号パルス応答およびセトリング時間、
 $G=100$ 、 $R_{LOAD}=10k\Omega$ 、 $V_S=\pm 15V$ 、 $V_{REF}=0V$



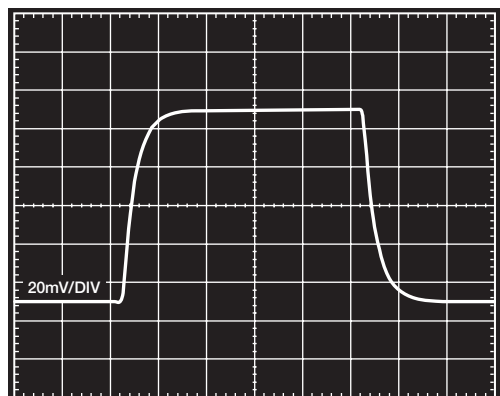
06286-045

図43. 小信号パルス応答、 $G=10$ 、 $R_{LOAD}=2k\Omega$ 、
 $C_{LOAD}=100pF$ 、 $V_S=\pm 15V$ 、 $V_{REF}=0V$



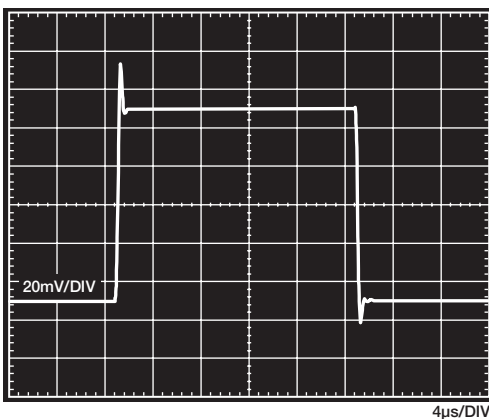
06286-043

図41. 大信号パルス応答およびセトリング時間、
 $G=1000$ 、 $R_{LOAD}=10k\Omega$ 、 $V_S=\pm 15V$ 、 $V_{REF}=0V$



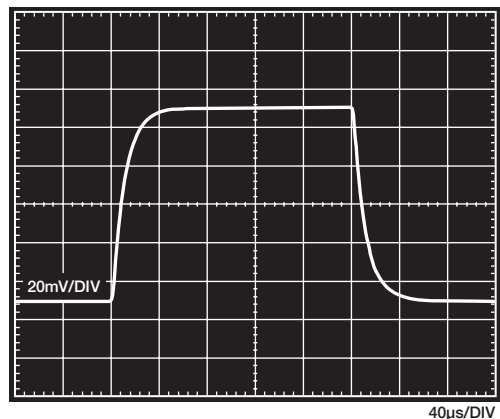
06286-046

図44. 小信号パルス応答、 $G=100$ 、 $R_{LOAD}=2k\Omega$ 、
 $C_{LOAD}=100pF$ 、 $V_S=\pm 15V$ 、 $V_{REF}=0V$



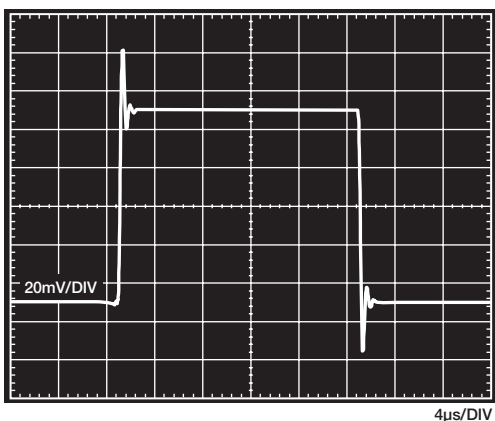
06286-044

図42. 小信号パルス応答、 $G=1$ 、 $R_{LOAD}=2k\Omega$ 、
 $C_{LOAD}=100pF$ 、 $V_S=\pm 15V$ 、 $V_{REF}=0V$



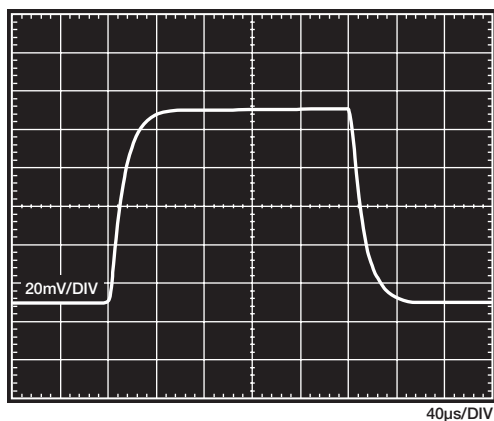
06286-047

図45. 小信号パルス応答、 $G=1000$ 、 $R_{LOAD}=2k\Omega$ 、
 $C_{LOAD}=100pF$ 、 $V_S=\pm 15V$ 、 $V_{REF}=0V$



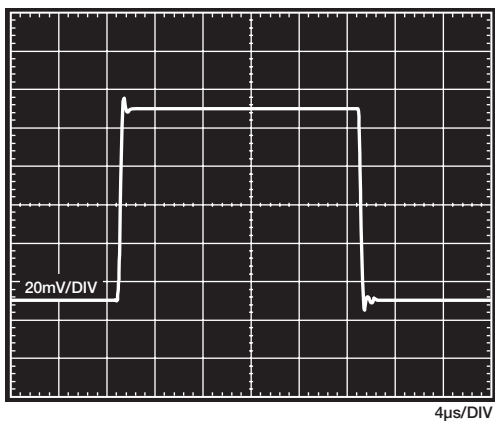
0628E-048
4μs/DIV

図46. 小信号パルス応答、 $G=1$ 、 $R_{LOAD}=2k\Omega$ 、 $C_{LOAD}=100pF$ 、 $V_S=5V$ 、 $V_{REF}=2.5V$



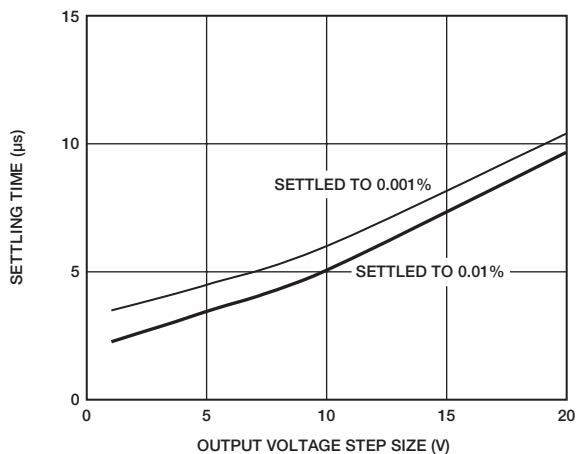
0628E-051
40μs/DIV

図49. 小信号パルス応答、 $G=1000$ 、 $R_{LOAD}=2k\Omega$ 、 $C_{LOAD}=100pF$ 、 $V_S=5V$ 、 $V_{REF}=2.5V$



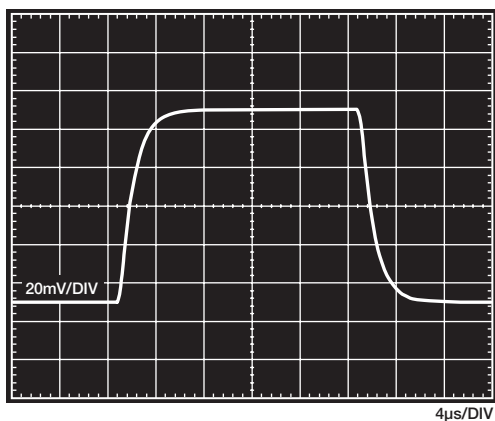
0628E-049
4μs/DIV

図47. 小信号パルス応答、 $G=10$ 、 $R_{LOAD}=2k\Omega$ 、 $C_{LOAD}=100pF$ 、 $V_S=5V$ 、 $V_{REF}=2.5V$



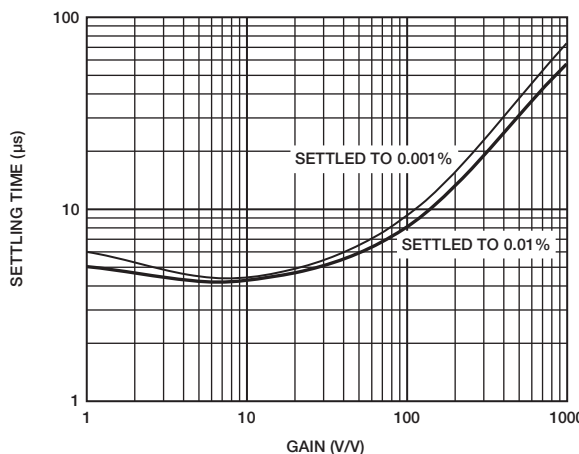
0628E-052

図50. セトリング時間 対 出力電圧ステップ・サイズ、($G=1$) $\pm 15V$ 、 $V_{REF}=0V$



0628E-050
4μs/DIV

図48. 小信号パルス応答、 $G=100$ 、 $R_{LOAD}=2k\Omega$ 、 $C_{LOAD}=100pF$ 、 $V_S=5V$ 、 $V_{REF}=2.5V$



0628E-053

図51. セトリング時間 対 10V ステップに対するゲイン、 $V_S=\pm 15V$ 、 $V_{REF}=0V$

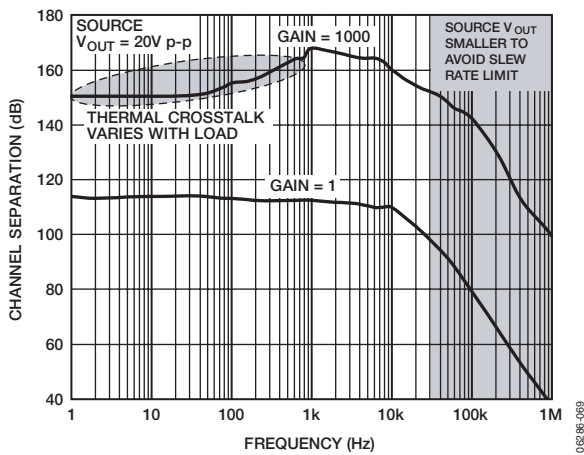


図52. チャンネル・セパレーションの周波数応答、 $R_{LOAD}=2k\Omega$ 、ソース・チャンネル $G=1$

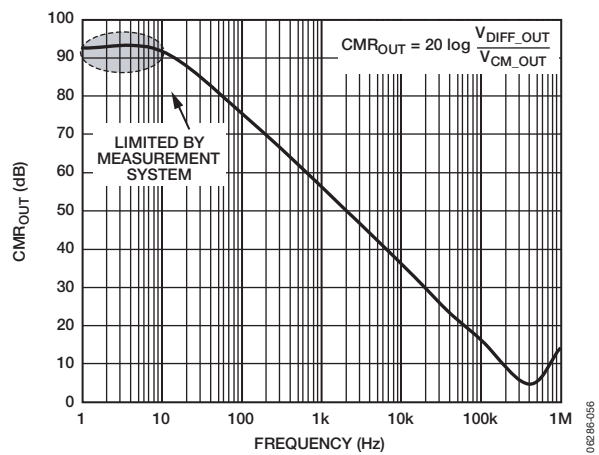


図54. 差動出力構成: コモン・モード出力 (CMR_{OUT}) の周波数応答

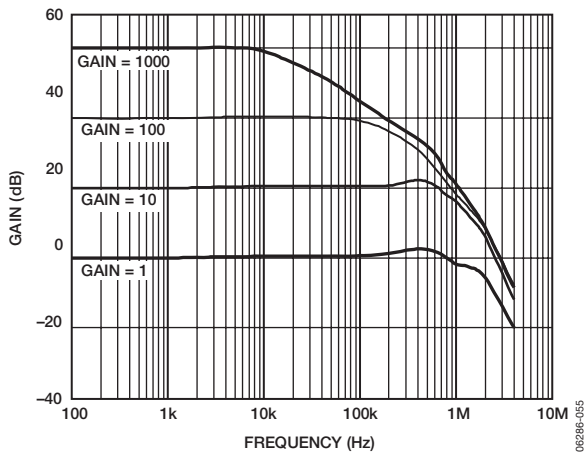


図53. 差動出力構成: ゲインの周波数応答

動作原理

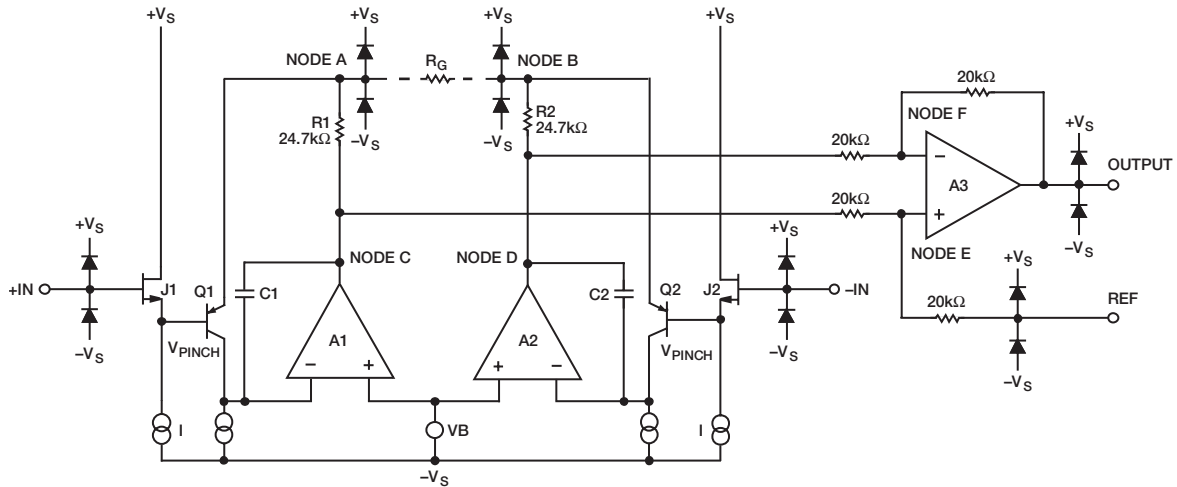


図55. 簡略化した回路図

AD8224は、典型的な3個のオペアンプ構成を採用した、JFET 入力モノリシック計装アンプです(図55を参照)。入力トランジスタJ1とJ2は固定電流でバイアスされているため、どんな入力信号に対しても、A1とA2の出力電圧はそれに追従します。入力信号によりRGを通過してR1とR2に流入する電流が生成されるため、A1とA2の出力に正しく増幅された信号発生します。回路的には、J1、A1、R1およびJ2、A2、R2は、1.5MHzのゲイン帯域幅を持つ高精度な電流帰還型アンプとみなすことができます。A1とA2から出力されるコモン・モード電圧と増幅された差動信号が差動アンプに入力され、そこでコモン・モード電圧が除去され、差動信号が増幅されます。差動アンプは20kΩのレーザー・トリミングされた抵抗を採用しており、計装アンプのゲイン誤差は0.04%未満になっています。新しく開発されたトリム技術により、CMRRが86dBを超える(G=1)ようになりました。

JFETトランジスタを使用することで、AD8224はきわめて高い入力インピーダンス、10pA(max)というきわめて低いバイアス電流、0.6pA(max)という低いオフセット電流を、入力バイアス電流ノイズなしで提供します。さらに、入力オフセットは175μV未満であり、ドリフトは5μV/°C未満です。使い易さと堅牢性も考慮されています。高ゲイン時に入力がオーバードライブされると、過度のミリアンペア入力バイアス電流が生じて、出力が位相反転することがあります。これは、計装アンプによく見られる問題ですが、高ゲイン時の入力のオーバードライブは、入力信号が電源電圧の範囲内であっても、アンプが増幅された信号を出力できないことを表します。たとえばゲインが100のとき、±15V電源のアンプを10Vで駆動すると、このアンプは100Vを出力できないため、入力をオーバードライブすることになります。

AD8224ではこのような問題は生じません。入力バイアス電流は10μA未満に制限されているため、出力がオーバードライブ障害状態でも位相反転することはありません。

AD8224には、きわめて低い負荷によって発生する非直線性があります。AD8224を構成するすべてのアンプには、ダイナミック・レンジを拡張するためのレールtoレール出力機能があります。AD8224の入力は、負側電源レールより若干低い場合も含めて、広いコモン・モード電圧で信号を増幅できます。AD8224は広い電源電圧範囲で動作します。+4.5~+36Vの単電源、または±2.25~±18Vの両電源で動作できます。AD8224の伝達関数を次式に示します。

$$G = 1 + \frac{49.4 \text{ k}\Omega}{R_G}$$

ユーザは、1本の標準抵抗を使用することで、簡単かつ正確にゲインを設定できます。入力アンプでは電流帰還型アーキテクチャを採用しているため、AD8224のゲイン帯域幅積はゲインとともに増加するので、システムでは高ゲイン時の帯域幅損失が電圧帰還型アーキテクチャより小さくなります。

ゲイン選択

2つのRG端子間に抵抗を接続すると、AD8224のゲインが設定されます。この計算は、表11を参照して行うか、または次のゲイン式を使用します。

$$R_G = \frac{49.4 \text{ k}\Omega}{G - 1}$$

表11. 標準の1%抵抗を使用して実現できるゲイン

1% Standard Table Value of R_G (Ω)	Calculated Gain
49.9 k	1.990
12.4 k	4.984
5.49 k	9.998
2.61 k	19.93
1.00 k	50.40
499	100.0
249	199.4
100	495.0
49.9	991.0

ゲイン抵抗を使用しない場合、AD8224はデフォルトで $G=1$ になります。システム全体のゲイン精度を決定するときは、 R_G 抵抗の許容誤差とゲイン・ドリフトをAD8224の仕様に加算する必要があります。ゲイン抵抗を使用しない場合、ゲイン誤差とゲイン・ドリフトは最小に抑えられます。

リファレンス・ピン

AD8224の出力電圧は、リファレンス・ピンの電位を基準とします。この機能は、出力信号を電源中央値のレベルに正確にオフセットする必要があるときに便利です。たとえば、電圧源をREF1ピンまたはREF2ピンに接続して、AD8224が単電源ADCとインターフェースするように出力をレベル・シフトすることができます。REFxピンは、ESDダイオードで保護されているため、 $+V_S$ または $-V_S$ を0.5V以上超えないようにする必要があります。

最高の性能を得るためには、REFピンのソース・インピーダンスを 1Ω 未満に維持してください。図55に示すように、リファレンス・ピンREFは $20k\Omega$ 抵抗の一端に接続されています。 $20k\Omega$ の抵抗にREFピンでインピーダンスが加わると、正側入力に接続されている信号が増幅されます。追加RREFによる増幅は次式で計算できます。

$$\frac{2(20k\Omega + R_{REF})}{40k\Omega + R_{REF}}$$

増幅されるのは正のシグナル・パスのみで、負のパスは影響を受けません。この不均衡な増幅によってアンプのCMRRが低下します。

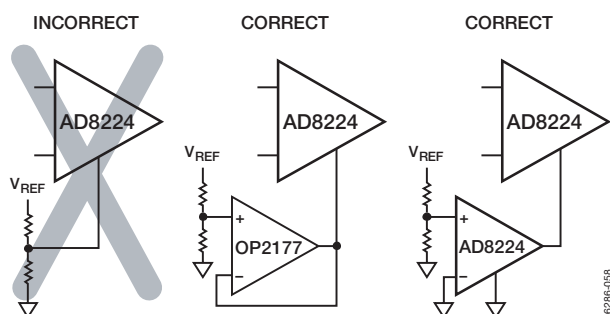


図56. リファレンス・ピンの駆動

レイアウト

AD8224は高精度のデバイスです。PCボード・レベルで最適な性能を得るためには、ボード・レイアウトの設計に注意する必要があります。AD8224のピン配置は、この作業を助けるために、論理的方法で行われています。

パッケージに関する考慮事項

AD8224は16ピンの4 mm×4 mm LFCSPを採用しています。デバイスのサーマル・パッドのサイズやピンは同じでない場合があります。したがって、別の4 mm×4 mm LFCSPデバイスからフットプリントをやみくもにコピーすることは推奨できません。PCBシンボルの寸法が正しいか否かを確認する場合は、「外形寸法」を参照してください。最高のバイアス電流性能を実現するためには、リードとサーマル・パッドの間隔をできる限り広くする必要があります。AD8224の超低バイアス電流性能を維持するために、サーマル・パッド面積を小さくしてリードとパッド間隔を広げることができます。

サーマル・パッド

AD8224の4 mm×4mm LFCSPパッケージにはサーマル・パッドが付いています。このパッドは内部で $+V_S$ に接続されます。パッドは未接続のままにしておくか、または正の電源レールに接続することができます。

AD8222のようなほかのデュアル計装アンプとのピン互換性を最大限維持するためには、パッドを未接続のままにします。これを行うには、パドルをハンダ付けしないか、またはほかの回路に接続されていないランディングにデバイスをハンダ付けします。振動の激しいアプリケーションの場合は、ランディングの使用を推奨します。

AD8224は消費電力が非常に小さいので、放熱上の問題はほとんどありませんが、放熱特性を改善したい場合は（大きな負荷を駆動するときなど）、サーマル・パッドを正の電源レールに接続します。最高の放熱特性を実現するためには、正の電源レールとしてボード内のプレーンを使用する必要があります。詳細については、「熱抵抗」を参照してください。

周波数全域での同相除去比

AD8224は、一般的な計装アンプに比べて周波数の全域で高いCMRRを持っているため、ライン・ノイズやそれに対応する高調波などの妨害に対して強い耐性があります。この高性能を維持するためには、適正なレイアウトが必要となります。入力ソース・インピーダンスは正しく整合させるようにしてください。さらに、ソース抵抗は入力付近に配置して、寄生容量の影響をできる限り小さくします。

R_{GX} ピンの寄生も、周波数全域でCMRRに影響を与えることがあります。PCBは、各ピンの寄生容量が一致するようにレイアウトしてください。ゲイン設定抵抗と R_{GX} ピンを接続するパターンは短くして寄生インダクタンスを最小に抑えます。

リファレンス

リファレンス・ピンに発生した誤差は直接出力されます。REFxピンは必ず適正なローカル・グラウンドに接続してください。

AD8224

電源

計装アンプには、安定したDC電圧を使用して電力を供給する必要があります。電源ピンのノイズは性能に悪影響を与えることがあります。

AD8224には、2本の正電源ピン（ピン5、ピン16）と2本の負電源ピン（ピン8、ピン13）があります。このデバイスは、各電源ペアの1つのピンのみを接続すれば動作しますが、規定の性能と最適な信頼性を実現するためには、両方のピンを接続する必要があります。

AD8224は、電源ごとに1個の0.1 μ Fバイパス・コンデンサでデカップリングする必要があります。正電源をデカップリングするコンデンサはピン16の近くに接続し、負電源をデカップリングするコンデンサはピン8の近くに接続します。各電源のデカップリングには、10 μ Fのタンタル・コンデンサも使う必要があります。タンタル・コンデンサはAD8224から離れたところに接続できます。一般に、このコンデンサは他の高精度ICに対して共用できます。図57にレイアウトの一例を示します。

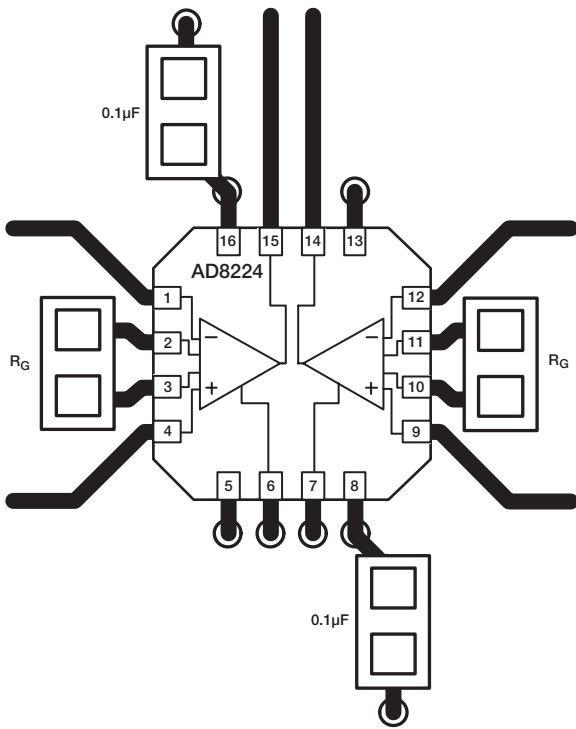


図57. レイアウトの例

06286-059

ハンダ洗浄

ハンダ処理では、フラックスなどの汚染物質がボード表面に残る場合があります。これらの汚染物質がAD8224のピンとサーマル・パッドの間に付着していると、デバイスのバイアス電流より大きなリーク・パスが形成されます。完ぺきな洗浄処理を施してこれらの汚染物質を除去し、デバイスのバイアス電流性能を確保します。

入力バイアス電流のリターン・パス

AD8224の入力バイアス電流には、コモンへのリターン・パスが必要です。トランスなどの信号源が電流のリターン・パスを提供できない場合は、リターン・パスを設けてください（図58を参照）。

入力保護

AD8224のすべての端子は、ESDに対して保護されています。ESD保護は4kVまで保証されています（人体モデル）。さらに、入力構造によって、正側電源を1ダイオード・ドロップだけ上回ったり、負側電源を1ダイオード・ドロップだけ下回ったりするDC過負荷状態にも対応しています。電圧が電源のダイオード・ドロップを超えると、ESDダイオードが導通し、電流がダイオードを流れるようになります。したがって、各入力に外付け抵抗を直列に接続して、+V_Sを超える電圧に対する電流を制限します。いずれの場合も、AD8224は室温で6mAの連続電流を安全に流すことができます。

心臓除細動器などのように、AD8224に非常に大きな過負荷電圧が入力されるアプリケーションでは、外付け直列抵抗と低リーク電流ダイオード・クランプ（BAV199L、FJH1100、SP720など）を使用する必要があります。

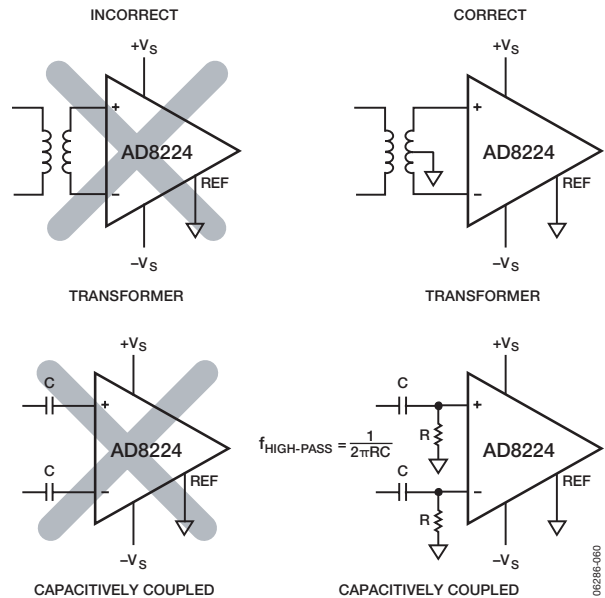


図58. I_{BIAS}パスの作成

06286-060

RF干渉

大きなRF信号のあるアプリケーションでは、RF整流が問題になることがあります。この問題は、小さなDCオフセット電圧として現われます。AD8224は性質上、入力に5pFのゲート容量(C_G)を持っています。整合した直列抵抗により、高周波で整流を減らすローパス・フィルタが自然に形成されます(図59を参照)。

外付けの整合した直列抵抗と内部ゲート容量との関係は次式で表すことができます。

$$FilterFreq_{DIFF} = \frac{1}{2\pi RC_G}$$

$$FilterFreq_{CM} = \frac{1}{2\pi RC_G}$$

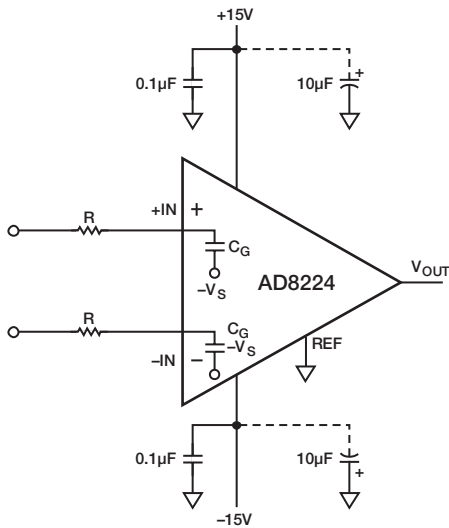


図59. 外付けコンデンサがない場合のRFIフィルタリング

小さなソース抵抗を使用する際の高周波共通モード信号を除去するため、計装アンプの入力にローパスRCネットワークを接続できます(図60を参照)。フィルタは次式に従って入力信号帯域幅を制限します。

$$FilterFreq_{DIFF} = \frac{1}{2\pi R(2C_D + C_C + C_G)}$$

$$FilterFreq_{CM} = \frac{1}{2\pi R(C_C + C_G)}$$

C_Cコンデンサが整合していない場合、ローパス・フィルタの不整合が生じます。この不平衡により、AD8224は共通モード信号だったものを差動信号として扱うようになります。外付けC_Cコンデンサの不整合の影響を減らすためには、C_DにC_Cの10倍より大きな値を選択します。これにより、差動フィルタ周波数が共通モード周波数より低く設定されます。

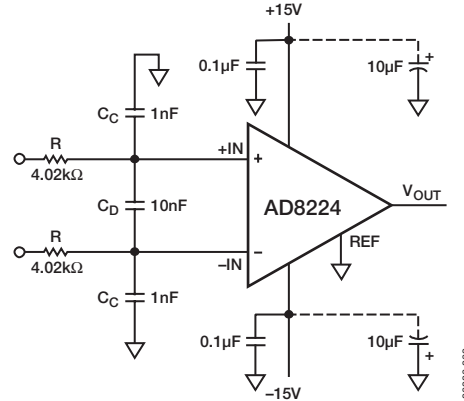


図60. RFIの抑制

共通モード入力電圧範囲

AD8224の3オペアンプのアーキテクチャでは増幅した後に共通モード電圧を除去します。このため、AD8224の内部ノードを増幅された信号と共通モード信号の組み合わせが通過します。この組み合わせ信号は、個々の入力信号と出力信号が制限されない場合でも電圧源によって制限できます。図24~27に、さまざまな出力電圧、電源電圧、ゲインに対する許容可能な共通モード入力電圧範囲を示します。

アプリケーション情報

ADCの駆動

CMRRやその他のコンディショニング（電圧のレベル・シフトやゲインなど）を提供するために、ADCの前に計装アンプが使用される場合がよくあります（図61を参照）。この例では、2.7nFのコンデンサと500Ωの抵抗がAD7685に対して折り返し防止フィルタを構成します。2.7nFのコンデンサは、ADCのスイッチド・キャパシタ入力に必要な電荷を保持/供給する働きもあります。500Ωの直列抵抗はアンプから2.7nFの負荷を減らします。しかし、ADCの前に大きなソース・インピーダンスがあると、全高調波歪みTHDが低下することがあります。

THD性能が重要なアプリケーションでは、直列抵抗を小さくする必要があります。最悪の場合、小さな直列抵抗をAD8224に接続すると、出力のオーバーシュートやリングが発生することがあります。このような場合、AD8224の後にAD8615などのバッファ・アンプを使用してADCを駆動します。

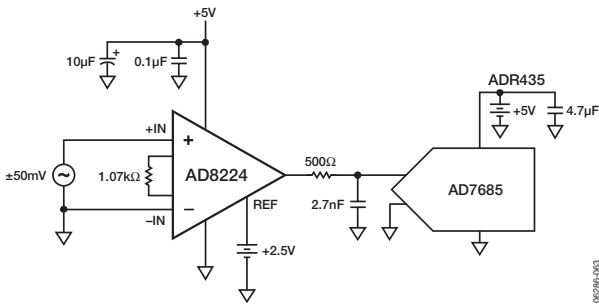


図61. 低周波アプリケーションでのADCの駆動

差動出力

AD8224の差動構成は、シングルエンド出力構成と同じように優れたDC精度仕様を持っているため、周波数範囲DC~1MHzのアプリケーションに使用できます。

表4と表7に示す回路構成は、図62の構成にのみ対応しています。この回路は、ループの安定性を維持するRCフィルタを備えています。

次に、差動出力の伝送関数を示します。

$$V_{DIFF_OUT} = V_{+OUT} - V_{-OUT} = (V_{+IN} - V_{-IN}) \times G$$

ここで、

$$G = 1 + \frac{49.4 \text{ k}\Omega}{R_G}$$

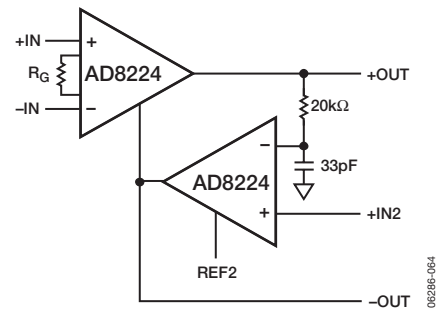


図62. 差動回路図

コモン・モード電圧の設定

出力コモン・モード電圧は、+IN2とREF2の平均により設定されます。伝送関数は次式で表されます。

$$V_{CM_OUT} = (V_{+OUT} - V_{-OUT})/2 = (V_{+IN2} - V_{REF2})/2$$

+IN2とREF2は異なる特性を持っているため、広範囲なアプリケーションに対してリファレンス電圧を容易に設定することができます。+IN2は高インピーダンスを持っていますが、正の電源レールまでスイングすることはできません。REF2は低インピーダンスで駆動する必要がありますが、電源レールを300mV超えることができます。

一般的なアプリケーションでは、コモン・モード出力電圧を差動ADCのミッドスケールに設定します。この場合、ADCのリファレンス電圧は+IN2ピンに接続され、REF2ピンはグラウンドに接続されます。これによって、ADCリファレンス電圧の1/2のコモン・モード出力電圧が発生されます。

デュアル・オペアンプを使用する2チャンネル差動出力

デュアル・オペアンプを使用する2チャンネル差動出力図63に、別の差動出力回路を示します。2つ目の計装アンプの代わりに、デュアル・オペアンプOP2177の半分を使って反転出力を発生させます。OP2177はMSOPを採用しているため、この構成によりボード面積をほとんど使用せずにデュアル・チャンネルの高精度差動出力計装アンプを作成することができます。

オペアンプの誤差は、両方の出力に共通であるためコモン・モードです。同様に、不一致抵抗の使用による誤差は、コモン・モードDCオフセット誤差を発生させます。このような誤差はコモン・モードのため、シグナル・チェーン内の次のデバイスによって除去されます。

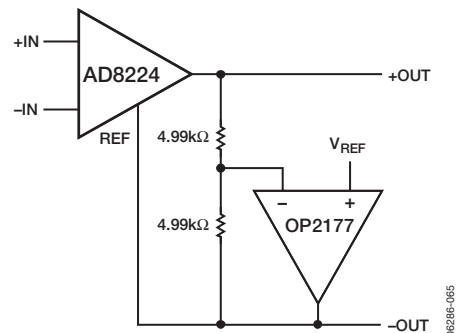


図63. オペアンプを使用した差動出力

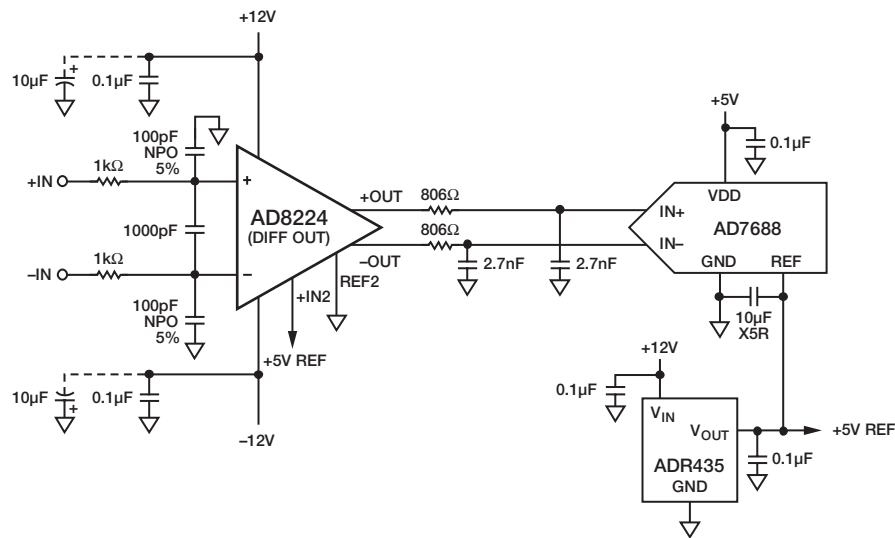


図64. 差動ADCの駆動

差動入力ADCの駆動

AD8224は、差動ADCを駆動するために差動出力モードで構成することができます。図64の回路図に、複数のコンセプトを示します。

最初の折り返し防止フィルタ

計装アンプの前に接続された1kΩ抵抗、1000pFコンデンサ、100pFコンデンサが76kHzフィルタを構成します。これは回路内にある2つの折り返し防止フィルタの最初のフィルタであり、システムのノイズを削減します。100pFコンデンサは、コモン・モードRFI信号に対する保護機能を提供します。これらは5% COG/NPOタイプです。これらのコンデンサは時間や温度の変化に対して適正に一致するため、システムは周波数全域で高いCMRRを維持します。

2番目の折り返し防止フィルタ

806Ω抵抗と2.7nFコンデンサは、各AD8224出力とADC入力間に接続されています。これらの素子は、もう一つの折り返し防止用の73kHzローパス・フィルタを構成しています。

これらの4個の素子はAD8224の負荷からADCを絶縁する機能があります。806Ω抵抗は、時間で変動する負荷のようにみえるADCのスイッチド・キャパシタ入力からAD8224をシールドします。2.7nFコンデンサは、ADCのフロントエンドのスイッチド・コンデンサに電荷を供給します。低い周波数の折り返し防止フィルタが必要なアプリケーションに対しては、抵抗ではなくコンデンサの値を大きくします。

806Ω抵抗には、ADCを過電圧から保護する機能もあります。AD8224は通常のADCより広い電源範囲で動作するので、ADCがオーバードライブされる可能性があります。これは、AD7688などのPulSAR®コンバータでは問題ありません。その入力は、AD8224の短絡制限値よりかなり大きい130mAのオーバードライブを処理することができます。しかし、ほかのコンバータの入力はそれほど丈夫ではないので、必要に応じて保護機能を強化する必要があります。

リファレンス

ADR435は、ADCとAD8224の両方にリファレンス電圧を供給します。AD8224のREF2はグラウンドに接続されているため、コモン・モード出力電圧はリファレンス電圧の1/2になり、この電圧が必要なADCに適しています。

ケーブルの駆動

ケーブルには単位長当たりの容量がありますが、ケーブルの種類によって大きく異なります。ケーブルの容量負荷は、AD8224の出力応答でのピーキングの原因になることがあります。このピーキングを減らすためには、AD8224とケーブルの間に抵抗を接続する必要があります。ケーブル容量と必要な出力応答にはかなりばらつきがあるので、どの抵抗が良いかは経験的に判断します。まず、50Ωの抵抗から試してみてください。

AD8224は、伝送線効果がほとんど問題とはならない低周波で動作します。したがって、抵抗はケーブルの特性インピーダンスと整合する必要はありません。

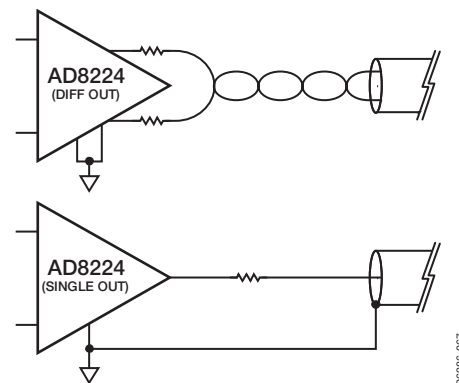
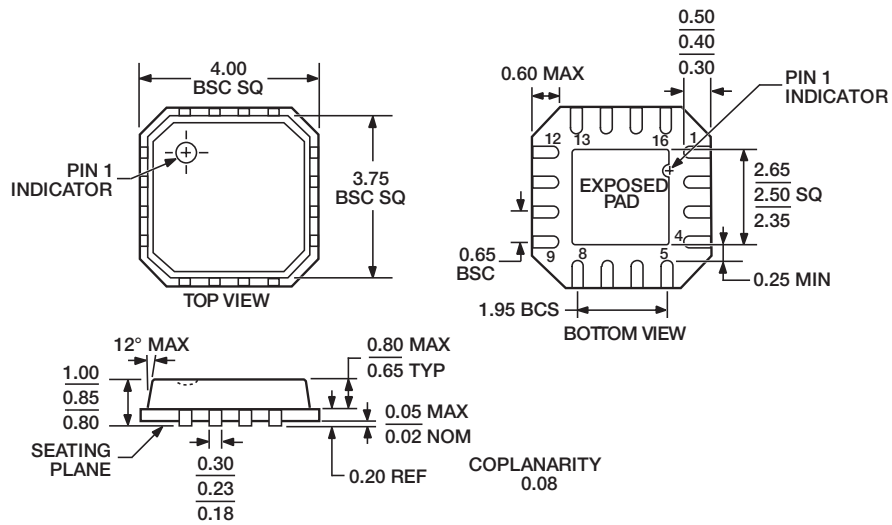


図65. ケーブルの駆動

AD8224

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VGGC.

031006-A

図66. 16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
4mm×4mmボディ、極薄クワッド
(CP-16-13)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Product Description	Package Option
AD8224ACPZ-R7 ¹	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-13
AD8224ACPZ-RL ¹	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-13
AD8224ACPZ-WP ¹	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-13
AD8224BCPZ-R7 ¹	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-13
AD8224BCPZ-RL ¹	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-13
AD8224BCPZ-WP ¹	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-13
AD8224-EVALZ ¹		Evaluation Board	

¹ Z=RoHS準拠製品