

特長

抵抗 1 本でゲイン設定

ゲイン = 5~1000

入力

電圧範囲: 負電源レールより 150 mV 下まで可能

最大入力バイアス電流: 25 nA

RTI ノイズ: 1 kHz で 30 nV/√Hz

電源

両電源: ±2 V~±12 V

単電源: 3 V~24 V

最大電源電流: 500 μA

アプリケーション

低消費電力医用計装

トランスデューサ・インターフェース

熱電対アンプ

工業用プロセス制御

ディファレンス・アンプ

低消費電力データ・アキュイジション

概要

AD8223 は、単電源(3 V~24 V)でレール to レール出力振幅を提供する計装アンプです。AD8223 は、8 ピンの業界標準ピン配置を採用しています。

AD8223は使い易く、1本の抵抗でゲインを設定することができます。外付け抵抗なしの場合は、AD8223はG = 5に設定されます。外付け抵抗ありの場合は、AD8223は最大1000までのゲインに設定することができます。

AD8223は、広い入力コモン・モード範囲を持つため、グラウンドより150 mV低いコモン・モード電圧を持つ信号を増幅するこ

接続図

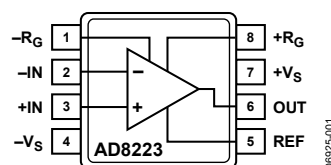


図 1.8 ピン SOIC (R)パッケージと 8 ピン MSOP (RM)パッケージ

表 1.計装用アンプの分類

General-Purpose	Zero Drift	Mil Grade	Low Power	High Voltage PGA
AD8220 ¹	AD8231 ¹	AD620	AD627 ¹	AD8250
AD8221	AD8553 ¹	AD621	AD623 ¹	AD8251
AD8222	AD8555 ¹	AD524	AD8223	AD8253
AD8224 ¹	AD8556 ¹	AD526		
AD8228	AD8557 ¹	AD624		

¹ レール to レール出力。

とができます。AD8223のデザインは単電源動作に対して最適化されていますが、AD8223は両電圧電源(±2 V~±12 V)で動作する場合でも優れた性能を提供します。

AD8223は、低消費電力(3 Vで1.5 mW)、広い電源電圧範囲、レールtoレール出力振幅を持つため、バッテリー駆動のアプリケーションに最適です。低い電源電圧で動作する場合、レールtoレール出力ステージによりダイナミック・レンジを最大化します。AD8223は、ディスクリット計装アンプ・デザインを置き換えて、最小実装スペースで優れた直線性、温度安定性、信頼性を提供します。

目次

特長.....	1	ゲインの選択.....	14
アプリケーション.....	1	入力電圧範囲.....	14
接続図.....	1	リファレンス・ピン.....	15
概要.....	1	入力保護.....	15
改訂履歴.....	2	RF干渉(RFI).....	15
仕様.....	3	入力バイアス電流のグラウンド・リターン.....	16
単電源.....	3	アプリケーション情報.....	17
両電源.....	5	基本接続.....	17
絶対最大定格.....	7	差動出力.....	17
熱抵抗.....	7	出力バッファ.....	17
ESDの注意.....	7	ケーブル.....	17
ピン配置およびピン機能説明.....	8	単電源データ・アクイジッション・システム.....	18
代表的な性能特性.....	9	低いコモン・モード電圧を持つ信号の増幅.....	18
動作原理.....	14	外形寸法.....	19
アンプ・アーキテクチャ.....	14	オーダー・ガイド.....	20

改訂履歴

10/08—Revision 0: Initial Version

仕様

単電源

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $-V_S = 0\text{ V}$ 、 $+V_S = +5\text{ V}$ 、 $R_L = 10\text{ k}\Omega$ (2.5 V に接続)。

表 2

Parameter	Conditions	AD8223A			AD8223B			Unit
		Min	Typ	Max	Min	Typ	Max	
COMMON-MODE REJECTION RATIO								
DC to 60 Hz with 1 k Ω Source Imbalance	$V_{CM} = 0\text{ V to }3\text{ V}$							
G = 5		80			86			dB
G = 10		86			90			dB
G = 100		90			96			dB
G = 1000		90			96			dB
NOISE	$V_{IN+} = V_{IN-} = V_{REF} = 0\text{ V}$							
Voltage Noise, 1 kHz								
G = 5			50		50			nV/ $\sqrt{\text{Hz}}$
G = 1000			30		30			nV/ $\sqrt{\text{Hz}}$
RTI, 0.1 Hz to 10 Hz								
G = 5			1.0		1.0			$\mu\text{V p-p}$
G = 1000			0.6		0.6			$\mu\text{V p-p}$
Current Noise, 1 kHz								
0.1 Hz to 10 Hz			70		70			fA/ $\sqrt{\text{Hz}}$
			1.2		1.2			pA p-p
VOLTAGE OFFSET	Total RTI error = $V_{OSI} + V_{OSO}/G$							
Input Offset, V_{OSI}				250			100	μV
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			400			160	μV
Average TC	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			2			1	$\mu\text{V}/^\circ\text{C}$
Output Offset, V_{OSO}				1500			1000	μV
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			2000			1500	μV
Average TC	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			15			10	$\mu\text{V}/^\circ\text{C}$
Offset Referred to Input vs. Supply (PSR)	$+V_S = 4\text{ V to }24\text{ V}$, $-V_S = 0\text{ V}$							
G = 5		80			86			dB
G = 10		86			90			dB
G = 100		90			96			dB
G = 1000		90			96			dB
INPUT CURRENT								
Input Bias Current		5	12	25	5	12	25	nA
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$	5		28	5		28	nA
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$		50			50		pA/ $^\circ\text{C}$
Input Offset Current			0.25	2		0.25	2	nA
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			2.5			2.5	nA
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$		5			5		pA/ $^\circ\text{C}$
DYNAMIC RESPONSE								
Small Signal -3 dB Bandwidth								
G = 5			125		125			kHz
G = 10			125		125			kHz
G = 100			50		50			kHz
G = 1000			5		5			kHz
Slew Rate			0.2		0.2			V/ μs

Parameter	Conditions	AD8223A			AD8223B			Unit
		Min	Typ	Max	Min	Typ	Max	
Settling Time to 0.01%	Step size = 3.5 V							
G = 5			18			18		μs
G = 10			18			18		μs
G = 100			18			18		μs
G = 1000			85			85		μs
GAIN	$G = 5 + (80 \text{ k}\Omega/R_G)$							
Gain Range	$V_{OUT} = 0.05 \text{ V to } 4.5 \text{ V}$	5		1000	5		1000	V/V
Gain Error ¹								
G = 5				0.07		0.02		%
G = 10			0.10	0.3		0.10	0.2	%
G = 100		0.10	0.3		0.10	0.3	%	
G = 1000		0.10	0.3		0.10	0.3	%	
Nonlinearity	$V_{OUT} = 0.05 \text{ V to } 4.5 \text{ V}$							
G = 5			12			12		ppm
G = 1000			200			200		ppm
Gain vs. Temperature	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$							
G = 5				10		2		ppm/°C
G > 5 ¹			50			50		ppm/°C
INPUT								
Input Impedance								
Differential			2 2			2 2		GΩ pF
Common-Mode			2 2			2 2		GΩ pF
Common-Mode Input Voltage Range ²	$V_{IN+} = V_{IN-}$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	V
OUTPUT								
Output Swing	$R_L = 10 \text{ k}\Omega \text{ to ground}$	+0.01		$(+V_S) - 0.5$	+0.01		$(+V_S) - 0.5$	V
	$R_L = 100 \text{ k}\Omega \text{ to ground}$	+0.01		$(+V_S) - 0.15$	+0.01		$(+V_S) - 0.15$	V
REFERENCE INPUT								
R_{IN}	$V_{IN+} = V_{IN-} = V_{REF} = 0 \text{ V}$		60	±20%		60	±20%	kΩ
I_{IN}			+10	+20		+10	+20	μA
Voltage Range		$-V_S$		$+V_S$	$-V_S$		$+V_S$	V
Gain to Output			1 ± 0.0002			1 ± 0.0002		V
POWER SUPPLY								
Operating Range		+3		+24	+3		+24	V
Quiescent Current	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$		350	500		350	500	μA
Over Temperature					600			600
TEMPERATURE RANGE								
For Specified Performance		-40		+85	-40		+85	°C

¹ 外付け抵抗 R_G の影響は含みません。

² 総合入力範囲はコモン・モード電圧、差動電圧、ゲインに依存します。詳細については、図 18～図 21、および動作原理のセクションの入力電圧範囲のセクションを参照してください。

両電源

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $-V_S = -12\text{ V}$ 、 $+V_S = +12\text{ V}$ 、 $R_L = 10\text{ k}\Omega$ (グラウンドへ接続)¹。

表 3.

Parameter	Conditions	AD8223A			AD8223B			Unit
		Min	Typ	Max	Min	Typ	Max	
COMMON-MODE REJECTION RATIO								
DC to 60 Hz with 1 k Ω Source Imbalance	$V_{CM} = -10\text{ V to }10\text{ V}$							
G = 5		80			86			dB
G = 10		86			90			dB
G = 100		90			96			dB
G = 1000		90			96			dB
NOISE	$V_{IN+} = V_{IN-} = V_{REF} = 0\text{ V}$							
Voltage Noise, 1 kHz								
G = 5			50			50		nV/ $\sqrt{\text{Hz}}$
G = 1000			30			30		nV/ $\sqrt{\text{Hz}}$
RTI, 0.1 Hz to 10 Hz								
G = 5			1.0			1.0		$\mu\text{V p-p}$
G = 1000			0.6			0.6		$\mu\text{V p-p}$
Current Noise, 1 kHz								
0.1 Hz to 10 Hz			70			70		fA/ $\sqrt{\text{Hz}}$
			1.2			1.2		pA p-p
VOLTAGE OFFSET	Total RTI error = $V_{OSI} + V_{OSO}/G$							
Input Offset, V_{OSI}				250			100	μV
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			400			160	μV
Average TC	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			2			1	$\mu\text{V}/^\circ\text{C}$
Output Offset, V_{OSO}				1500			1000	μV
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			2000			1500	μV
Average TC	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			15			10	$\mu\text{V}/^\circ\text{C}$
Offset Referred to Input vs. Supply (PSR)	$+V_S = 5\text{ V to }12\text{ V}$, $-V_S = -5\text{ V to }-12\text{ V}$							
G = 5		80			86			dB
G = 10		86			90			dB
G = 100		90			96			dB
G = 1000		90			96			dB
INPUT CURRENT								
Input Bias Current		5	12	25	5	12	25	nA
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$	5		28	5		28	nA
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$		50			50		pA/ $^\circ\text{C}$
Input Offset Current			0.25	2		0.25	2	nA
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			2.5			2.5	nA
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$		5			5		pA/ $^\circ\text{C}$
DYNAMIC RESPONSE								
Small Signal -3 dB Bandwidth								
G = 5			200			200		kHz
G = 10			200			200		kHz
G = 100			70			70		kHz
G = 1000			7			7		kHz
Slew Rate			0.3			0.3		V/ μs
Settling Time to 0.01%	Step size = 10 V							
G = 5			30			30		μs
G = 10			30			30		μs

Parameter	Conditions	AD8223A			AD8223B			Unit
		Min	Typ	Max	Min	Typ	Max	
G = 100			30			30		μs
G = 1000			150			150		μs
GAIN	$G = 5 + (80 \text{ k}\Omega/R_G)$							
Gain Range	$V_{OUT} = -10 \text{ V to } +10 \text{ V}$	5		1000	5		1000	V/V
Gain Error ²								
G = 5				0.07			0.02	%
G = 10			0.10	0.3		0.10	0.2	%
G = 100			0.10	0.3		0.10	0.3	%
G = 1000			0.10	0.3		0.10	0.3	%
Nonlinearity	$V_{OUT} = -10 \text{ V to } +10 \text{ V}$							
G = 5			5				5	ppm
G = 1000			30			30	ppm	
Gain vs. Temperature	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$							
G = 5					10			2
G > 5 ¹			50			50		ppm/°C
INPUT								
Input Impedance								
Differential			2 2			2 2		GΩ pF
Common-Mode			2 2			2 2		GΩ pF
Common-Mode Input Voltage Range ³	$V_{IN+} = V_{IN-}$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	$(-V_S) - 0.15$		$(+V_S) - 1.5$	V
OUTPUT								
Output Swing	$R_L = 10 \text{ k}\Omega \text{ to ground}$	$(-V_S) + 0.3$		$(+V_S) - 0.8$	$(-V_S) + 0.3$		$(+V_S) - 0.8$	V
	$R_L = 100 \text{ k}\Omega \text{ to ground}$	$(-V_S) + 0.1$		$(+V_S) - 0.3$	$(-V_S) + 0.1$		$(+V_S) - 0.3$	V
REFERENCE INPUT								
R_{IN}	$V_{IN+} = V_{IN-} = V_{REF} = 0 \text{ V}$		60	±20%		60	±20%	kΩ
I_{IN}				+10	+20		+10	+20
Voltage Range		$-V_S$		$+V_S$	$-V_S$		$+V_S$	V
Gain to Output			1 ± 0.0002			1 ± 0.0002		V
POWER SUPPLY								
Operating Range		±2		±12	±2		±12	V
Quiescent Current				650			650	μA
Over Temperature	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$			850			850	μA
TEMPERATURE RANGE								
For Specified Performance		-40		+85	-40		+85	°C

¹ 最大電源電圧は負電源と正電源の間で 24 V であるため、±12V でのこれらの仕様はデバイスの限界です。電源電圧の偏差を許容するため、±12 V より少し低い公称電源電圧での動作が推奨されます。

² 外付け抵抗 R_G の影響は含みません。

³ 総合入力範囲はコモン・モード電圧、差動電圧、ゲインに依存します。詳細については、図 18～図 21、および動作原理のセクションの入力電圧範囲のセクションを参照してください。

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	±12 V
Internal Power Dissipation	650 mW
Differential Input Voltage	±V _S
Output Short-Circuit Duration	Indefinite
Storage Temperature Range (R, RM)	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C
ESD (Human Body Model)	1.5 kV
ESD (Charge Device Model)	500 V
ESD (Machine Model)	100 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

仕様は、自然空冷のデバイスで規定。

表 5.熱抵抗

Package Type	θ_{JA}	Unit
8-Lead SOIC (R)	155	°C/W
8-Lead MSOP (RM)	200	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

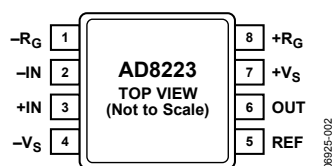


図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	$-R_G$	ゲイン抵抗ピン。
2	$-IN$	負入力。
3	$+IN$	正入力。
4	$-V_S$	負電源。
5	REF	リファレンス。低インピーダンス・ソースへ接続します。出力はこのノードを基準とします。
6	OUT	出力。
7	$+V_S$	正電源。
8	$+R_G$	ゲイン抵抗ピン。

代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5\text{ V}$ 、 $R_L = 10\text{ k}\Omega$ 。

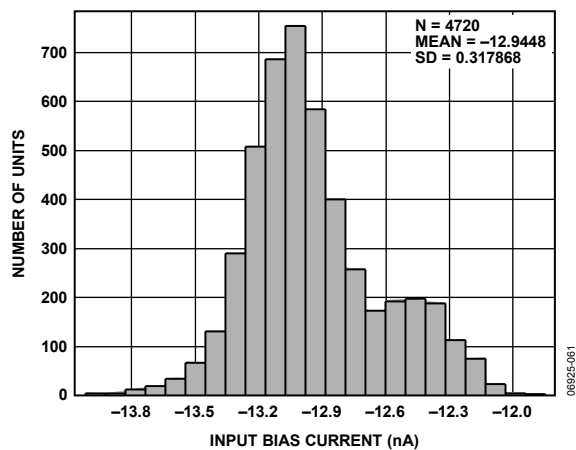


図 3. 入力バイアス電流(Typ)の分布

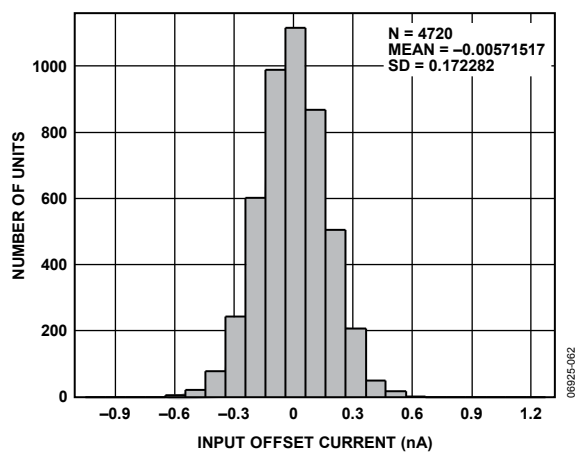


図 4. 入力オフセット電流(typ)の分布

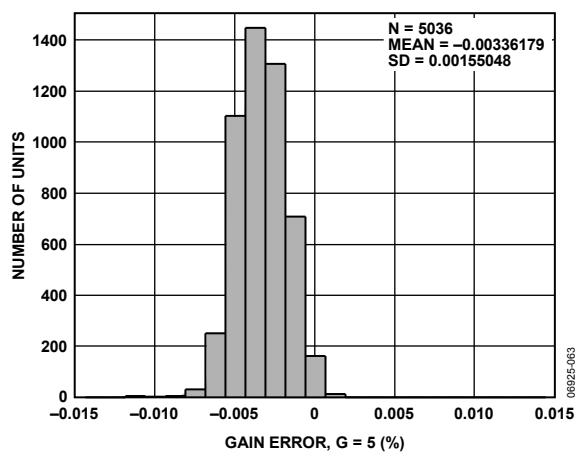


図 5. ゲイン誤差 (typ)の分布(G = 5)

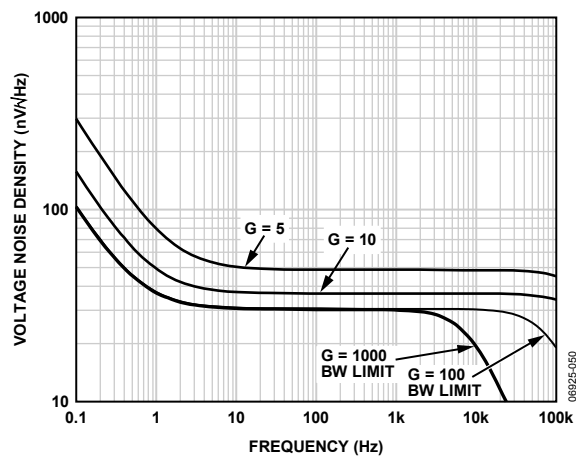


図 6. 電圧ノイズ密度の周波数特性

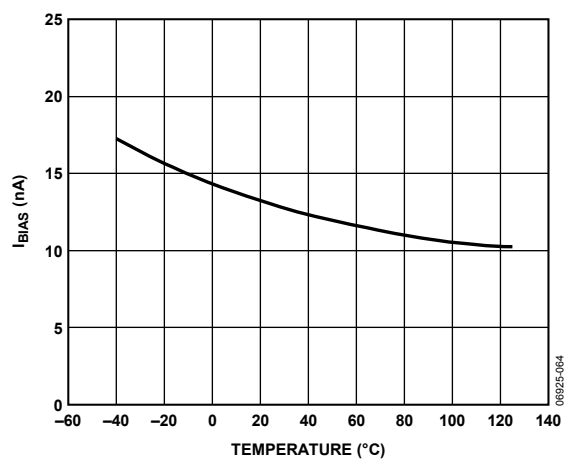


図 7. I_{BIAS} の温度特性

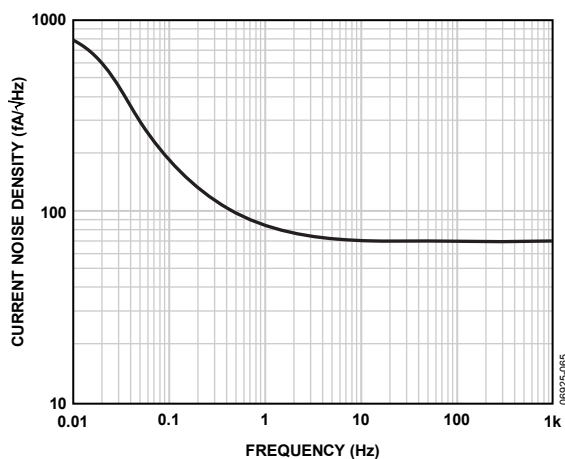


図 8. 電流ノイズ密度の周波数特性

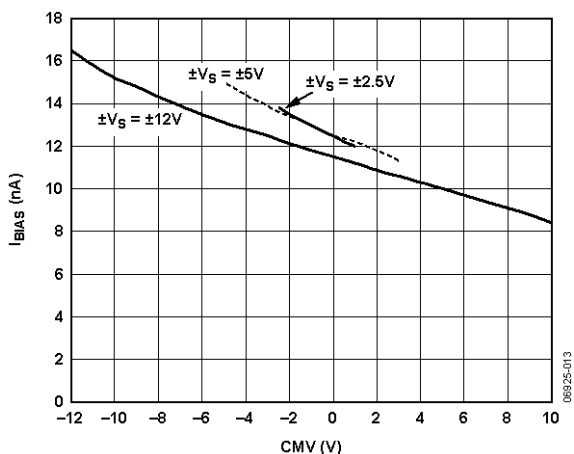


図 9. I_{BIAS} 対 CMV

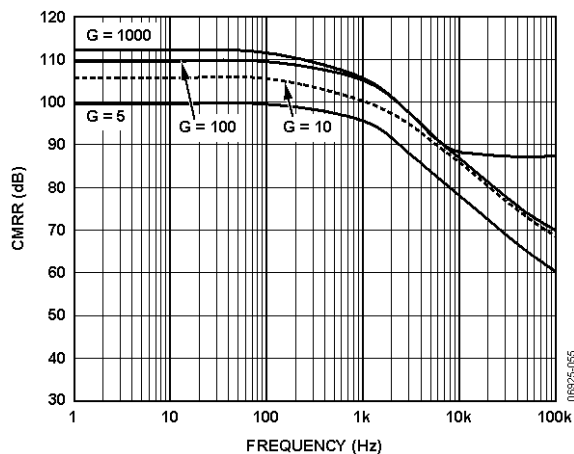


図 12. CMRR の周波数特性、 $\pm V_S = \pm 12$

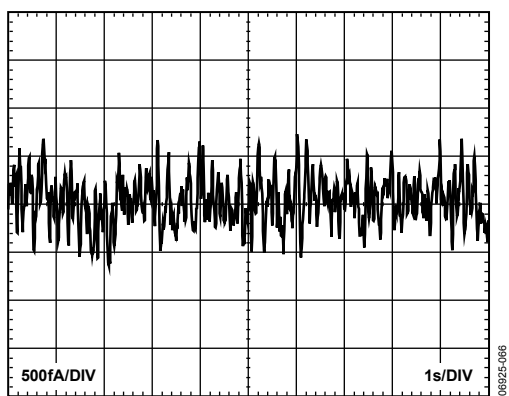


図 10. 0.1 Hz ~ 10 Hz での電流ノイズ

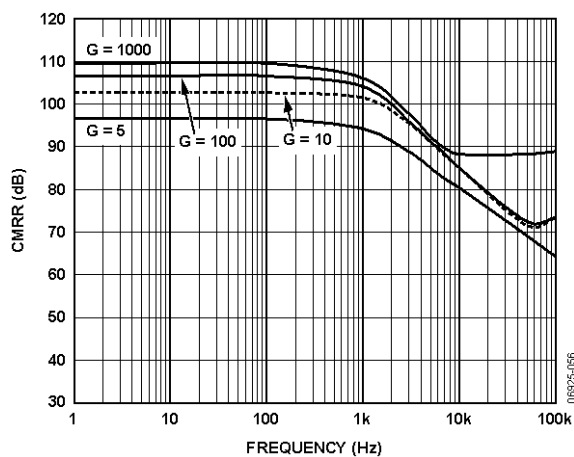


図 13. CMRR の周波数特性、 $+V_S = +5 V$

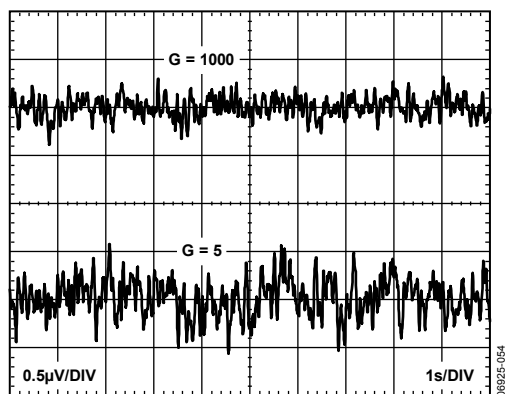


図 11. 0.1 Hz ~ 10 Hz での RTI および RTO 電圧ノイズ

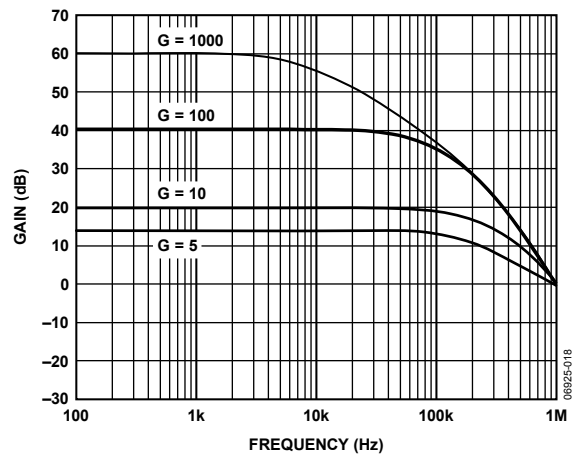


図 14. ゲインの周波数特性、 $\pm V_S = \pm 12 V$

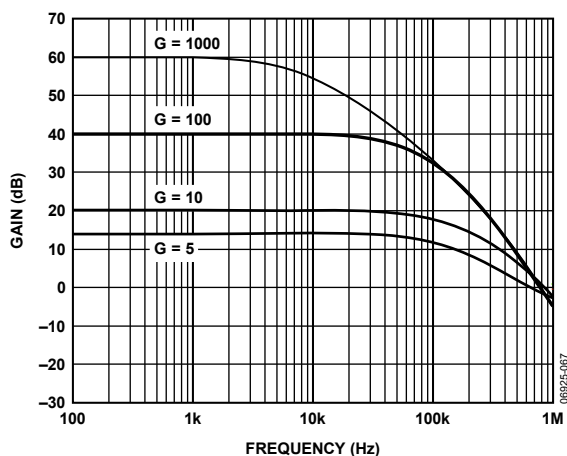


図 15.ゲインの周波数特性、 $+V_S = +5\text{ V}$

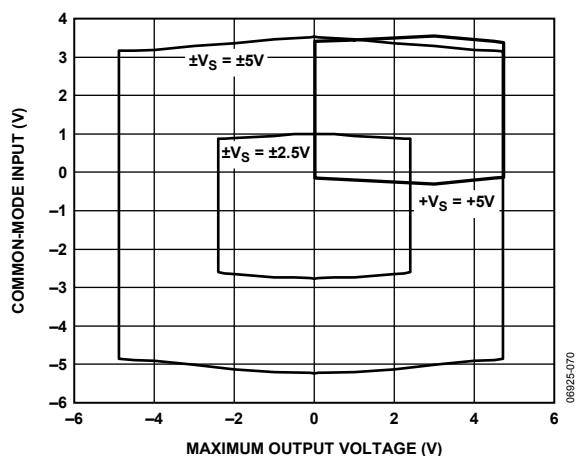


図 18.コモン・モード入力対最大出力電圧、 $G = 5$ 、低電源電圧

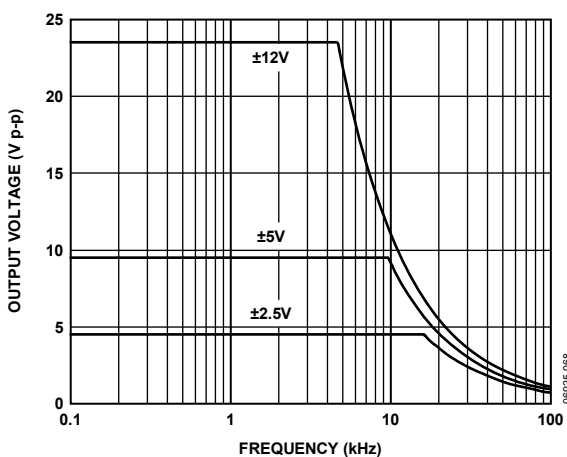


図 16.大信号周波数応答

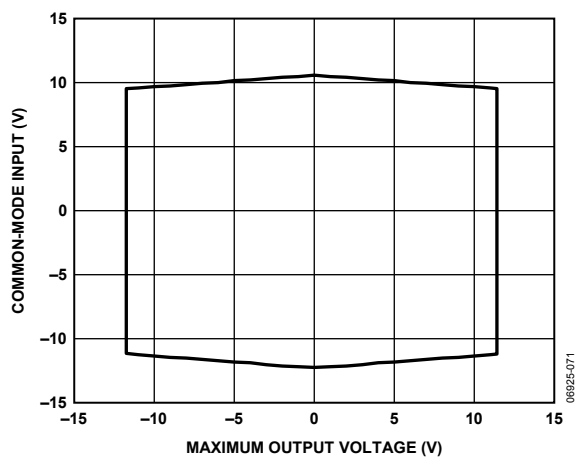


図 19.コモン・モード入力対最大出力電圧、 $G = 5$ 、 $\pm V_S = \pm 12\text{ V}$

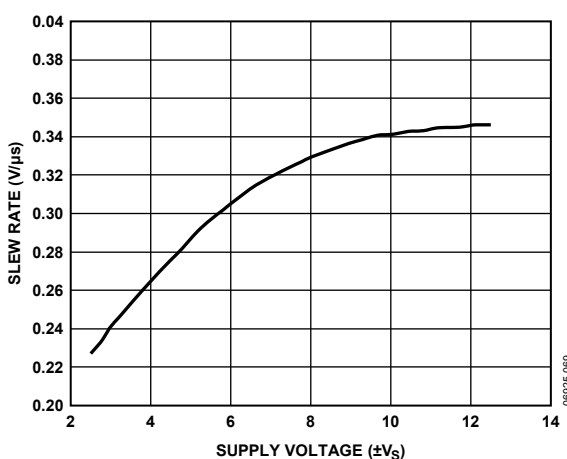


図 17.スルーレート対電源電圧

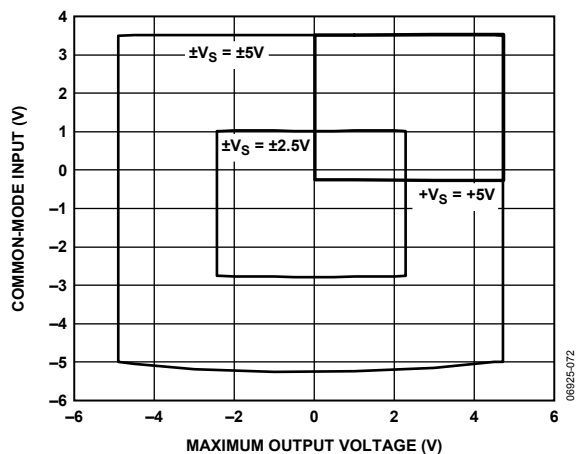


図 20.コモン・モード入力対最大出力電圧、 $G = 100$ 、低電源電圧

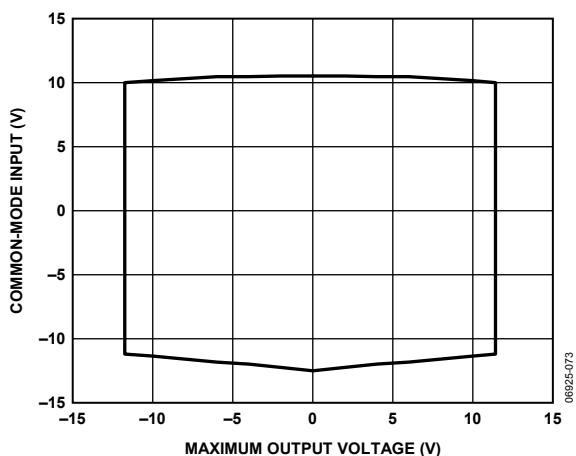


図 21. コモン・モード入力対最大出力電圧、 $G = 100$ 、 $\pm V_S = \pm 12\text{ V}$

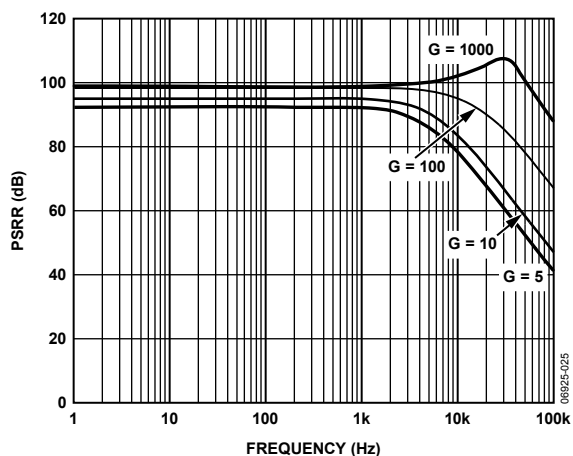


図 24. 負 PSRR の周波数特性、 $\pm V_S = \pm 12\text{ V}$

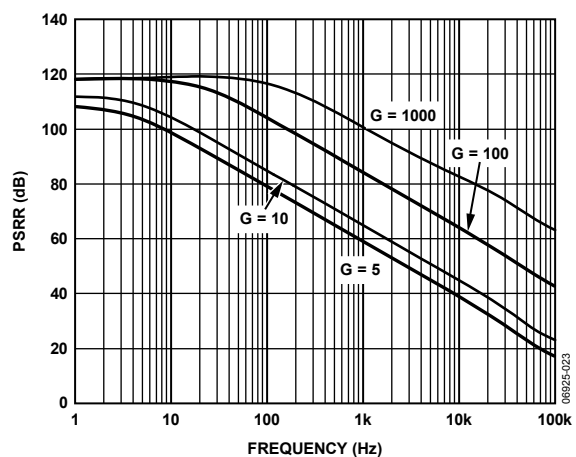


図 22. 正 PSRR の周波数特性、 $\pm V_S = \pm 12\text{ V}$

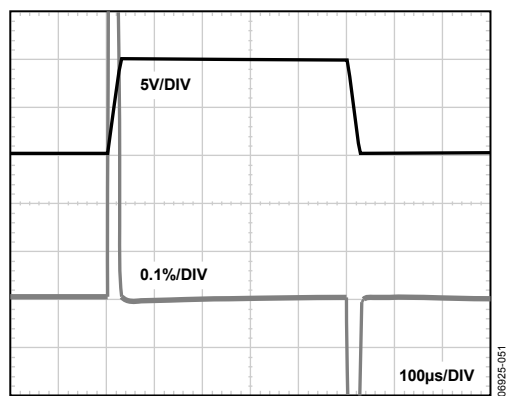


図 25. 大信号応答、 $G = 5$

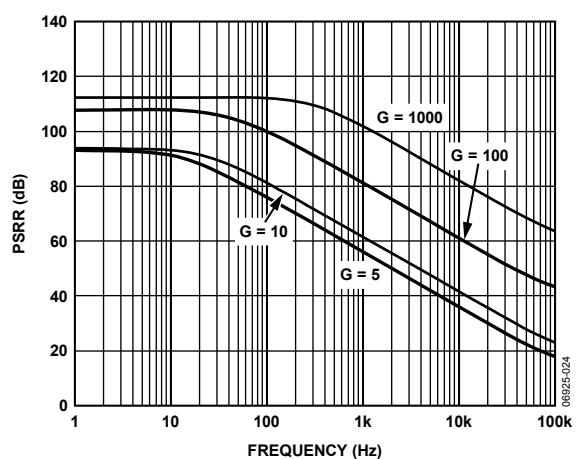


図 23. 正 PSRR の周波数特性、 $+V_S = +5\text{ V}$

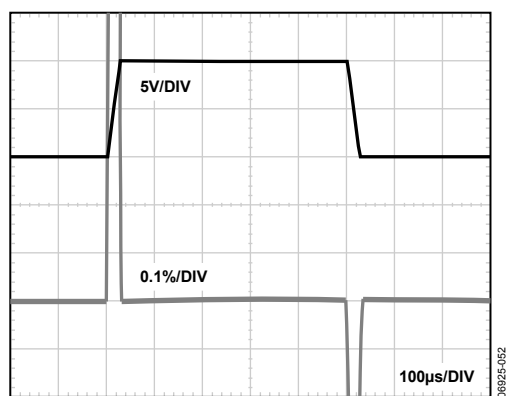


図 26. 大信号パルス応答、 $G = 100$ 、 $C_L = 100\text{ pF}$

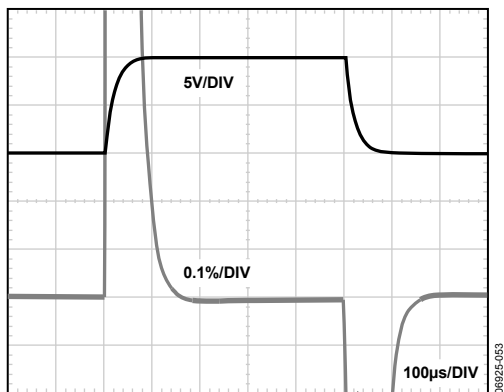


図 27.大信号パルス応答、 $G = 1000$ 、 $C_L = 100$ pF

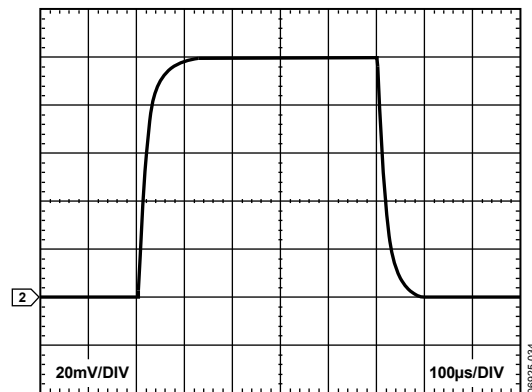


図 29.小信号パルス応答、 $G = 1000$ 、 $R_L = 25$ k Ω 、 $C_L = 100$ pF

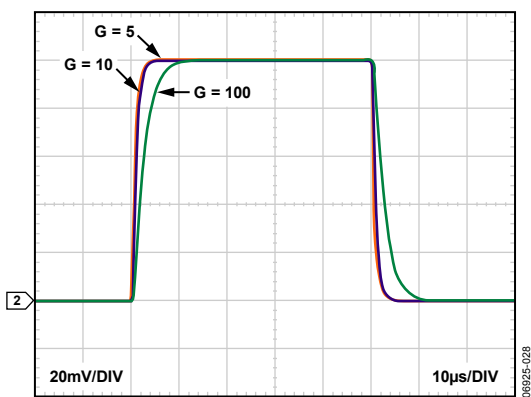


図 28.小信号パルス応答、 $G = 5$ 、 10 、 100 ； $R_L = 10$ k Ω

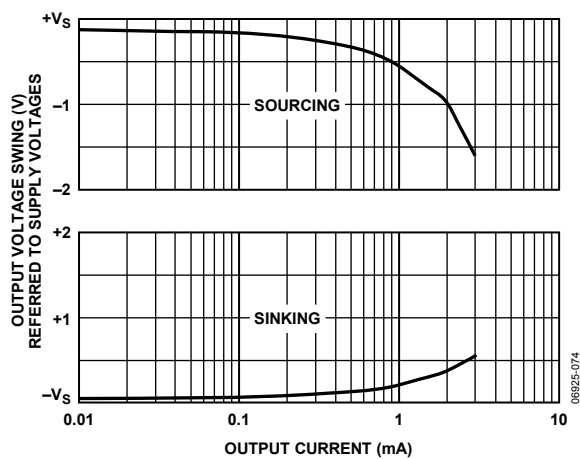


図 30.出力電圧振幅対出力電流

動作原理

アンプ・アーキテクチャ

AD8223は、従来型3オペアンプ方式を採用した計装アンプで、負電源レールのコモン・モード電圧でも動作できるように改良してあります。このアーキテクチャにより、同クラスの競合計装アンプに比べて、低い電圧オフセット、優れたCMRR、高いゲイン精度が可能になっています。

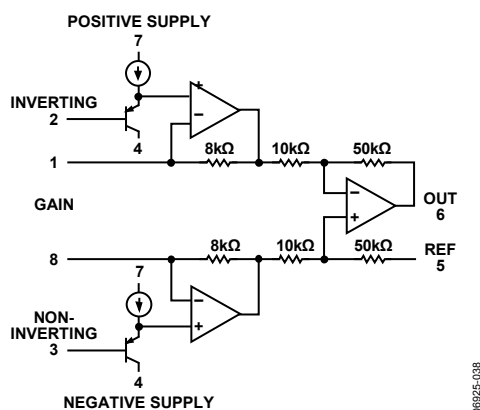


図 31.簡略化した回路図

図31 に、AD8223の簡略化した回路図を示します。AD8223は3つのステージから構成されています。最初のステージでは、入力信号がPNPトランジスタに与えられます。これらのPNPトランジスタは電圧バッファとして機能するため、グラウンドより低い入力電圧も許容します。2番目のステージは、一対の8 kΩ抵抗、 R_G 抵抗、一対のアンプから構成されています。このステージは、AD8223のゲインを1本の外付け抵抗で設定できるようにします。3番目のステージは、オペアンプ、2本の10 kΩ抵抗、2本の50 kΩ抵抗から構成されている差動アンプです。このステージでは、コモン・モード信号を除去して、ゲイン= 5で増幅します。

AD8223 の伝達関数は次式で表されます。

$$V_{OUT} = G(V_{IN+} - V_{IN-}) + V_{REF}$$

ここで、

$$G = 5 + \frac{80 \text{ k}\Omega}{R_G}$$

ゲインの選択

R_G ピン間に抵抗を接続すると、AD8223 のゲインが設定されます。ゲインは、表 7 からまたは次式を使って求めることができます。

$$R_G = \frac{80 \text{ k}\Omega}{G - 5}$$

表 7.1%抵抗を使った場合のゲイン

1% Standard Table Value of R_G (Ω)	Desired Gain	Calculated Gain
26.7 k	8	7.99
15.8 k	10	10.1
5.36 k	20	19.9
2.26 k	40	40.4
1.78 k	50	49.9
845	100	99.7
412	200	199
162	500	499
80.6	1000	998

ゲイン抵抗を使わない場合は、AD8223 は $G = 5$ (デフォルト) に設定されます。システムの総合ゲイン精度を求めるときは、 R_G 抵抗の偏差とゲイン・ドリフトを AD8223 の仕様に加算してください。ゲイン抵抗を使用しない場合は、ゲインは内部抵抗の一致度のみ依存するため、ゲイン誤差とゲイン・ドリフトは小さくなります。

入力電圧範囲

AD8223 の 3 オペアンプ・アーキテクチャはゲインに適用されるため、コモン・モード電圧が除去されます。このため、増幅された信号とコモン・モード信号の組み合わせが AD8223 の内部ノードを通過します。個々の入力信号と出力信号が大きくない場合でも、この組み合わせた信号が電圧電源により制限されることがあります。この信号制限発生の有無については、図 18~図 21 を参照してください。あるいは、仕様のセクションに記載するパラメータを使って入力/出力が制限されないことを確認し、次に次式を使って内部ノードが制限されないことを確認します。

内部ノードにより制限されるか否かを確認するときは、

$$-V_S + 0.01 \text{ V} < 0.6 + V_{CM} \pm \frac{|V_{DIFF}| \times \text{Gain}}{10} < +V_S - 0.1 \text{ V}$$

さらに広いコモン・モード範囲が必要な場合は、計装アンプのゲインを小さくし、後段ステージのゲインを大きくすることが 1 つのソリューションになります。

リファレンス・ピン

AD8223 の出力電圧は、リファレンス・ピンの電位を基準にして発生されます。これは、出力信号を正確に電源の中心レベルにオフセットさせる必要がある場合に便利です。たとえば、電圧源を REF ピンに接続して、AD8223 が単電源 ADC を駆動できるように、出力をレベル・シフトさせることができます。REF ピンは ESD ダイオードで保護されているため、 $+V_S$ または $-V_S$ を 0.3 V 以上超えることはできません。

最適性能を得るためには、REF ピンへ接続するソース・インピーダンスを $5\ \Omega$ 以下にする必要があります。図 31 に示すように、REF ピンは $50\ \text{k}\Omega$ の片側端子に接続されています。REF ピンにインピーダンスを追加接続すると、CMRR 性能が低下します。

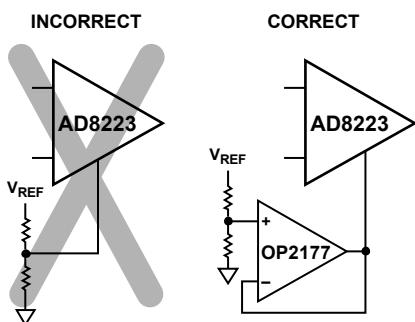


図 32. リファレンス電圧ピンの駆動

入力保護

電源を基準とする内蔵クランプ・ダイオードにより、AD8223 の入力、リファレンス、出力、ゲインの各ピンは、電源電圧から上下 0.3 V までの過電圧に耐えるように保護されています。この機能は、すべてのゲイン、およびパワーオン/パワーオフにも適用されます。信号ソースとアンプの電源は個別に供給されるため、この最後のケースは特に重要です。

過電圧がこの値を超えることが予測される場合は、外付けの電流制限抵抗を使って、これらのダイオードを流れる電流を約 $10\ \text{mA}$ に制限する必要があります。この方法を図 33 に示します。この抵抗のサイズは、電源電圧と必要とされる過電圧保護機能によって決まります。

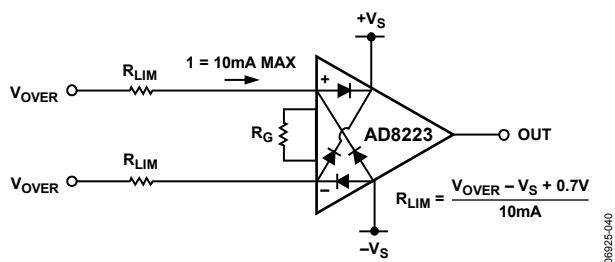


図 33. 入力保護

RF 干渉 (RFI)

アンプが強い RF 信号が存在するアプリケーションで使われる場合には、RF の整流がしばしば問題になります。外乱が小さい DC オフセット電圧として現れることがあります。高周波信号は、図 34 に示すように計装アンプの入力に接続されたローパス RC 回路で除去することができます。このフィルタは、次式の関係を使って入力信号の帯域幅を制限します。

$$FilterFreq_{diff} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$FilterFreq_M = \frac{1}{2\pi RC_C}$$

ここで、 $C_D \geq 10C_C$ 。

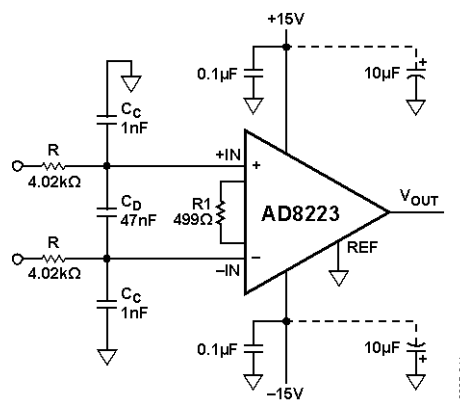


図 34. RFI の除去

図 34 に、差動フィルタ周波数が約 $400\ \text{Hz}$ 、コモン・モード・フィルタ周波数が約 $40\ \text{kHz}$ の場合の例を示します。周波数に対する DC オフセット・シフトは $1.5\ \mu\text{V}$ (typ) 以下で、回路の RF 信号除去比は $71\ \text{dB}$ 以上です。

抵抗は、回路入力をコンデンサからアイソレーションできるほどに大きく、かつ回路ノイズを大幅に大きくしない程度に小さくなるように、選択する必要があります。R と C_C の値は、RFI を小さくするように選択する必要があります。正入力の $R \times C_C$ と負入力の $R \times C_C$ との不一致は、AD8223 の CMRR 性能を低下させます。精度と安定性を向上させるために、 C_C コンデンサについては COG/NPO タイプのセラミック・コンデンサの使用が推奨されます。 C_D コンデンサは問題となることはありません。

入力バイアス電流のグラウンド・リターン

入力バイアス電流は、アンプの入力トランジスタにバイアスを与えるために流すDC電流です。これらは一般にトランジスタのベース電流です。トランスやAC結合ソースのようなフローティング入力ソースを増幅する場合、各入力へバイアス電流を流すためのDCパスが必要です。図35に、トランス結合、容量AC結合、熱電対アプリケーションでバイアス電流パスを構成する方法を示します。

DC結合の抵抗ブリッジ・アプリケーションでは、バイアス電流は単純にブリッジ電源からブリッジを経てアンプへ流れるため、このパスの構成は一般に不要ですが、2つの入力から見たインピーダンスが大きく、かつ差が大きい場合(>10 kΩ)、入力ステージのオフセット電流により、アンプの入力オフセット電圧に比例したDC誤差が発生します。

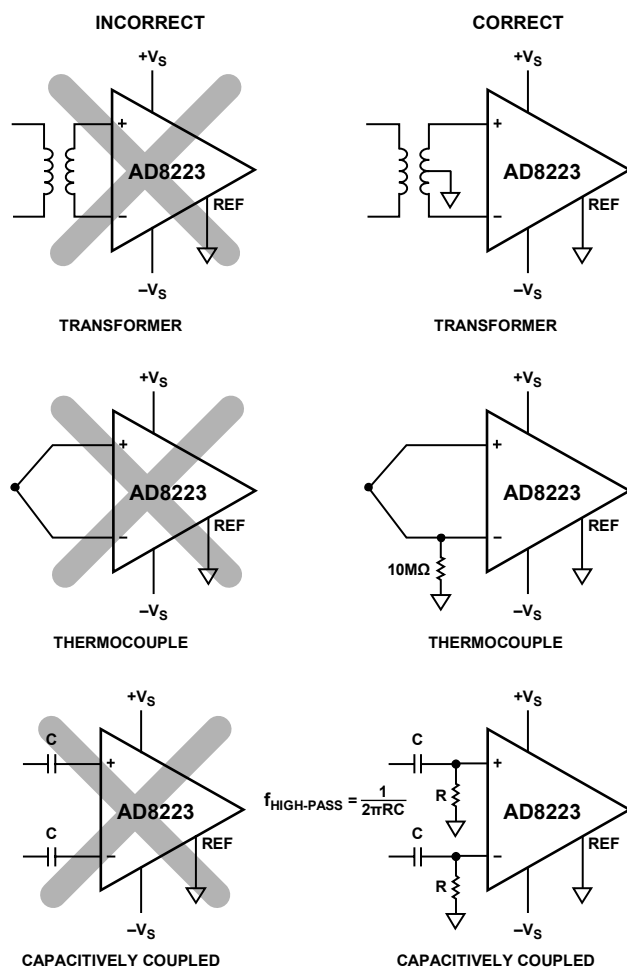


図 35. I_{BIAS} パスの構成

アプリケーション情報

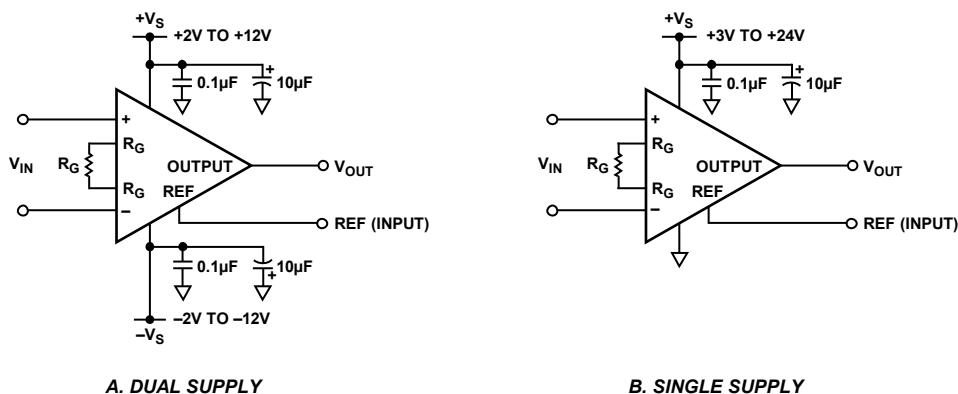


図 36.基本接続

基本接続

図36にAD8223の基本接続図を示します。 $+V_S$ ピンと $-V_S$ ピンは電源に接続します。電源は、バイポーラ($V_S = \pm 2\text{ V} \sim \pm 12\text{ V}$)または単電源($-V_S = 0\text{ V}$, $+V_S = +3\text{ V} \sim +24\text{ V}$)のいずれも可能です。電源は、デバイスの電源ピンの近くにコンデンサを接続してデカップリングする必要があります。0.1 μF の表面実装セラミック・チップ・コンデンサと10 μF の電解タンタル・コンデンサの使用が最適です。

入力電圧はシングルエンド($-IN$ または $+IN$ をグラウンドへ接続)または差動が可能で、設定されたゲインで増幅されます。出力信号は、出力ピンと、外部からREF入力に加えられた電圧との電位差として出力されます。

差動出力

図 37 に、差動出力計装アンプの構成方法を示します。OP1177 オペアンプが反転された出力を発生します。オペアンプがAD8223のリファレンス・ピンを駆動するため、AD8223は差動電圧が正しいことを保証することができます。オペアンプまたは抵抗不一致で発生する誤差は両出力に共通しているため、コモン・モードになります。これらのコモン・モード誤差は、シグナル・チェーン内の次のデバイスで除去する必要があります。

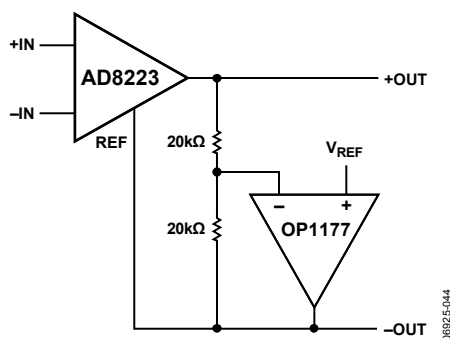


図 37.オペアンプを使用した差動出力

出力バッファ

AD8223は、10 k Ω 以上の負荷を駆動するようにデザインされています。負荷がこの値より小さい場合には、OP113のような高精度単電源オペアンプを使ってAD8223出力をバッファする必要があります。このオペアンプは、600 Ω と小さい値の負荷で0 V \sim 4 Vの出力振幅が可能です。

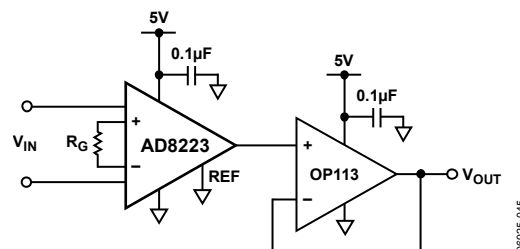


図 38.出力 Buffering

ケーブル

ケーブルからの受信

多くのアプリケーションで、シールドされたケーブルを使ってノイズを小さくしています。全周波数で最適なCMRを得るためには、シールドを正しく駆動する必要があります。図39に、アクティブ・ガード駆動を示します。この駆動法では、入力ケーブル・シールドの容量をブートストラップして、2つの入力間の容量不一致を小さくすることによりACコモン・モード除去比を向上させます。

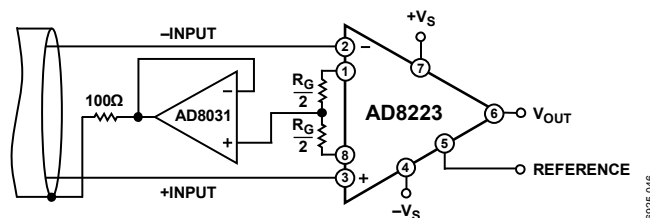


図 39.コモン・モード・シールド・ドライバ

ケーブルの駆動

すべてのケーブルは単位長あたり一定の容量を持ち、この容量値はケーブル・タイプごとに大幅に変わります。ケーブルの容量負荷により、AD8223 の出力応答にピーキングが発生することがあります。ピーキングを抑えるためには、AD8223 とケーブルの間に抵抗を接続します。ケーブル容量と必要とされる出力応答は大幅に変わるため、この抵抗は実験的に定める必要があります。開始ポイントとしては 75Ω が適切です。

AD8223 は伝送線効果がほとんど問題にならない十分低い周波数で動作するため、抵抗はケーブルの特性インピーダンスに一致する必要はありません。

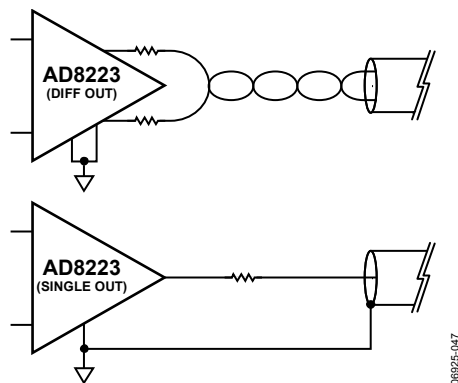


図 40. ケーブルの駆動

単電源データ・アキュジション・システム

バイポーラ信号を単電源A/Dコンバータ(ADC)にインターフェースさせることには困難が伴います。バイポーラ信号は、ADCの入力範囲内に対応させる必要があります。図41 に、この変換方法を示します。

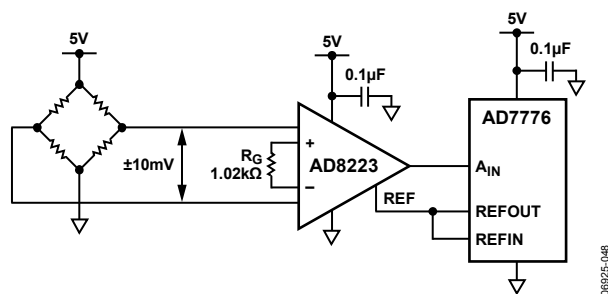


図 41. 単電源データ・アキュジション・システム

ブリッジ回路は+5 V電源で励起されます。このため、ブリッジ ($\pm 10\text{ mV}$) のフルスケール出力電圧は、2.5 Vのコモン・モード・レベルを持ちます。AD8223はコモン・モード成分を除去して、入力信号を100倍に増幅します($R_G = 1.02\text{ k}\Omega$)。このため出力信号は $\pm 1\text{ V}$ になります。この信号がAD8223のグラウンド・レベルに到達するのを防止するため、REFピンの電圧を少なくとも1 V上げる必要があります。この例では、AD7776 ADCからの2 Vリファレンス電圧を使って、AD8223の出力電圧を $2\text{ V} \pm 1\text{ V}$ にバイアスしています。これにより、ADCの入力範囲に対応させています。

低いコモン・モード電圧を持つ信号の増幅

AD8223のコモン・モード入力範囲はグラウンドの下0.15 Vまで延びているので、コモン・モード成分が小さいかまたはない小さな差動信号を測定することが可能です。図42に、J型熱電対の片側がグラウンドに接続されている熱電対アプリケーションを示します。

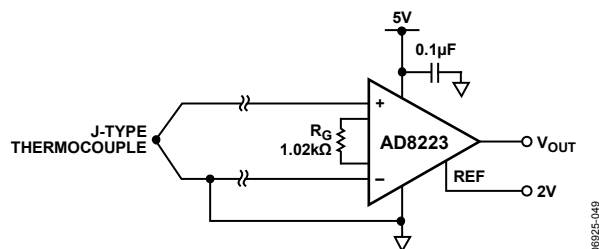
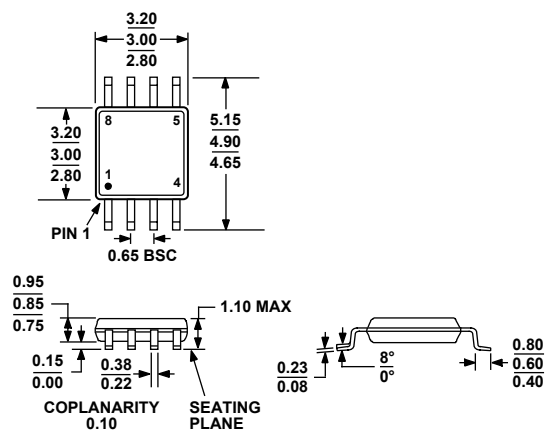


図 42. 低いコモン・モード電圧を持つ信号の増幅

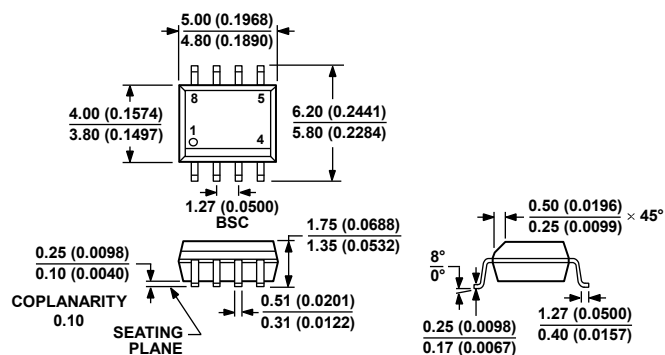
J型熱電対は、 $-200^\circ\text{C} \sim +200^\circ\text{C}$ の温度範囲で、 $-7.890\text{ mV} \sim +10.777\text{ mV}$ の範囲の電圧を出力します。AD8223にゲイン= 100 ($R_G = 845$)を設定し、AD8223のREFピンの電圧を2 Vにすると、AD8223の出力電圧範囲はグラウンドを基準として $1.110\text{ V} \sim 3.077\text{ V}$ になります。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 43.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA

CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 44.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロウ・ボディ
(R-8)
寸法: mm (インチ)

012407-A

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8223AR	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8223AR-RL	-40°C to +85°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8223AR-R7	-40°C to +85°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
AD8223ARM	-40°C to +85°C	8-Lead MSOP	RM-8	Y0U
AD8223ARM-RL	-40°C to +85°C	8-Lead MSOP, 13" Tape and Reel	RM-8	Y0U
AD8223ARM-R7	-40°C to +85°C	8-Lead MSOP, 7" Tape and Reel	RM-8	Y0U
AD8223ARMZ ¹	-40°C to +85°C	8-Lead MSOP	RM-8	Y0Q
AD8223ARMZ-RL ¹	-40°C to +85°C	8-Lead MSOP, 13" Tape and Reel	RM-8	Y0Q
AD8223ARMZ-R7 ¹	-40°C to +85°C	8-Lead MSOP, 7" Tape and Reel	RM-8	Y0Q
AD8223ARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8223ARZ-RL ¹	-40°C to +85°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8223ARZ-R7 ¹	-40°C to +85°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
AD8223BR	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8223BR-RL	-40°C to +85°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8223BR-R7	-40°C to +85°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
AD8223BRM	-40°C to +85°C	8-Lead MSOP	RM-8	Y0V
AD8223BRM-RL	-40°C to +85°C	8-Lead MSOP, 13" Tape and Reel	RM-8	Y0V
AD8223BRM-R7	-40°C to +85°C	8-Lead MSOP, 7" Tape and Reel	RM-8	Y0V
AD8223BRMZ ¹	-40°C to +85°C	8-Lead MSOP	RM-8	Y0R
AD8223BRMZ-RL ¹	-40°C to +85°C	8-Lead MSOP, 13" Tape and Reel	RM-8	Y0R
AD8223BRMZ-R7 ¹	-40°C to +85°C	8-Lead MSOP, 7" Tape and Reel	RM-8	Y0R
AD8223BRZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8223BRZ-RL ¹	-40°C to +85°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8223BRZ-R7 ¹	-40°C to +85°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	

¹ Z = RoHS 準拠製品