

特長

- ノーマス・コードの 18 ビット分解能
- スループット: 2 MSPS (TURBO = ハイ・レベル)、1.5 MSPS (TURBO = ロー・レベル)
- 低消費電力
 - 外付けリファレンス電圧使用時 2 MSPS で 15 mW
 - 内蔵リファレンス電圧使用時 2 MSPS で 26 mW
- INL: ± 1 LSB (typ)、 ± 2.5 LSB (最大)
- SNR
 - 内蔵リファレンス電圧使用時 95.5 dB
 - 外付けリファレンス電圧使用時 97.0 dB
- 4.096 V の内蔵リファレンス電圧ドリフト: 10 ppm/°C (typ)
- 真の差動アナログ入力電圧範囲: $\pm V_{REF}$
 - 5.0 V までの V_{REF} で 0 V ~ V_{REF}
 - 任意の入力範囲使用が可能

パイプライン遅延なし

ロジック・インターフェース: 1.8 V/2.5 V/2.7 V

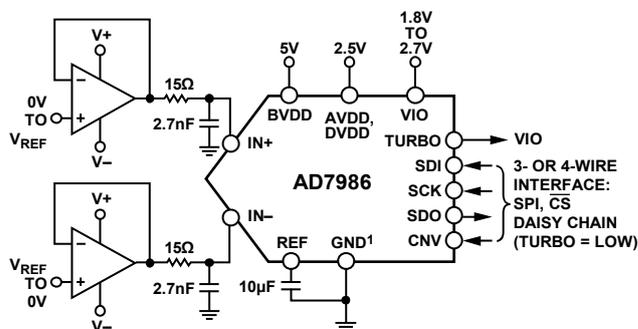
シリアル・インターフェース: SPI/QSPI™/MICROWIRE™/DSP 互換
ビジー・インジケータ付きの複数の ADC をディジーチェーン接続可能

20 ピン 4 mm x 4 mm LFCSP (QFN)パッケージを採用

アプリケーション

- バッテリー駆動の装置
- データ・アキュイジション・システム
- 医用計測機器
- 地震データ・アキュイジション・システム

アプリケーション図



NOTES
1. GND REFERS TO REFVDD, AGND, AND DGND.

図 1.

概要

AD7986 は、18 ビット 2 MSPS の逐次比較型 A/D コンバータ(ADC)です。このデバイスは、低消費電力 18 ビットの高速サンプリング ADC、変換クロック、リファレンス電圧(およびバッファ)、誤差補正回路、多機能のシリアル・インターフェース・ポートを内蔵しています。IN+ピンと IN-ピンとの間の電位差を CNV の立上がりエッジでサンプルします。これらのピンの電圧は、0 V ~ V_{REF} で逆相に振れます。非常に高いサンプリング・レートのターボ・モード (TURBO = ハイ・レベル) と、消費電力がスループットに比例する低消費電力アプリケーションを対象とする省電力のノーマル・モード (TURBO = ロー・レベル) を持っています。

ノーマル・モード (TURBO = ロー・レベル) では、SPI 互換のシリアル・インターフェースが、SDI 入力を使って、1 本の 3 線式バスで複数の ADC をディジーチェーン接続する機能も持っています。さらにオプションとしてビジーを表示することもできます。別電源 VIO を使って、1.8 V、2.5 V、2.7 V とインターフェースすることができます。

AD7986 は、20 ピン LFCSP (QFN) パッケージを採用し、動作は -40°C ~ $+85^{\circ}\text{C}$ で規定されています。

表 1. MSOP、LFCSP (QFN) パッケージを採用した 14/16/18 ビット PuLSAR® ADC

Type	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	≥ 1000 kSPS	ADC Driver
14-Bit	AD7940	AD7942 ¹	AD7946 ¹		
16-Bit	AD7680	AD7685 ¹	AD7686 ¹	AD7980 ¹	ADA4941-1
	AD7683	AD7687 ¹	AD7688 ¹	AD7983 ¹	ADA4841-x
	AD7684	AD7694	AD7693 ¹		
18-Bit		AD7691 ¹	AD7690 ¹	AD7982 ¹	ADA4941-1
				AD7984 ¹	ADA4841-x
				AD7986	AD8021

¹ ピン互換

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	ドライバ・アンプの選択.....	15
アプリケーション.....	1	リファレンス電圧入力.....	16
アプリケーション図.....	1	電源.....	16
概要.....	1	デジタル・インターフェース.....	17
改訂履歴.....	2	データ読出しオプション.....	18
仕様.....	3	$\overline{\text{CS}}$ モード 3 線式、ビジー・インジケータなし.....	19
タイミング仕様.....	5	$\overline{\text{CS}}$ モード 3 線式、ビジー・インジケータあり.....	20
絶対最大定格.....	6	$\overline{\text{CS}}$ モード 4 線式、ビジー・インジケータなし.....	21
ESDの注意.....	6	$\overline{\text{CS}}$ モード 4 線式、ビジー・インジケータあり.....	22
ピン配置およびピン機能説明.....	7	チェーン・モード、ビジー・インジケータなし.....	23
代表的な性能特性.....	9	チェーン・モード、ビジー・インジケータあり.....	24
用語.....	12	アプリケーション情報.....	25
動作原理.....	13	レイアウト.....	25
回路説明.....	13	AD7986 の性能評価.....	25
コンバータの動作.....	13	外形寸法.....	27
変換動作モード.....	13	オーダー・ガイド.....	27
代表的な接続図.....	14		
アナログ入力.....	15		

改訂履歴

4/09—Revision 0: Initial Version

仕様

特に指定がない限り、AVDD = DVDD = 2.5 V、BVDD = 5 V、VIO = 1.8 V ~ 2.7 V、V_{REF} = 4.096 V、T_A = -40°C ~ +85°C。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
RESOLUTION		18			Bits
ANALOG INPUT					
Voltage Range	(IN+) - (IN-)	-V _{REF}		+V _{REF}	V
Absolute Input Voltage	IN+, IN-	-0.1		V _{REF} + 0.1	V
Common-Mode Input Range	IN+, IN-				V
Analog Input CMRR	f _{IN} = 500 kHz		100		dB ¹
Leakage Current at 25°C	Acquisition phase		250		nA
Input Impedance			See the Analog Inputs section		
ACCURACY					
No Missing Codes		18			Bits
Differential Linearity Error		-0.95	±0.60	+1.50	LSB ²
Integral Linearity Error		-2.50	±1.00	+2.50	LSB ²
Transition Noise			2.0		LSB ²
Gain Error, T _{MIN} to T _{MAX} ³		-20	±2.4	+20	LSB ²
Gain Error Temperature Drift			±0.5		ppm/°C
Zero Error, T _{MIN} to T _{MAX} ³		-0.8		+0.8	mV
Zero Temperature Drift			±0.3		ppm/°C
Power Supply Sensitivity	AVDD = 2.5 V ± 5%		±4		LSB ²
THROUGHPUT					
Conversion Rate		0		2.00	MSPS
Transient Response	Full-scale step			100	ns
AC ACCURACY					
Dynamic Range	V _{REF} = 4.096 V, internal reference	95.5	96.5		dB ¹
	V _{REF} = 5.0 V, external reference	97	98		
Signal-to-Noise Ratio, SNR	f _{IN} = 20 kHz, V _{REF} = 4.096 V, internal reference	94.5	95.5		dB ¹
	f _{IN} = 20 kHz, V _{REF} = 5.0 V, external reference	96.5	97.0		dB ¹
Spurious-Free Dynamic Range, SFDR	f _{IN} = 20 kHz		-115		dB ¹
Total Harmonic Distortion ⁴ , THD	f _{IN} = 20 kHz, V _{REF} = 4.096 V, internal reference		-113		dB ¹
	f _{IN} = 20 kHz, V _{REF} = 5.0 V, external reference		-114		dB ¹
Signal-to-(Noise + Distortion), SINAD	f _{IN} = 20 kHz, V _{REF} = 4.096 V	94.5	95.5		dB ¹
SAMPLING DYNAMICS					
-3 dB Input Bandwidth			19		MHz
Aperture Delay			0.7		ns

¹ デシベル値で表すすべての仕様はフル・スケール入力 FSR を基準とし、特に指定がない限り、フル・スケールより 0.5 dB 低い入力信号を使ってテスト。

² LSB は最下位ビットを意味します。入力範囲が±4.096 V の場合、1LSB = 31.25μV。

³ 用語のセクションを参照してください。これらの仕様にはすべての温度範囲の変動が含まれますが、外付けリファレンス電圧の誤差成分は含まれません。

⁴ f_{IN} = 1 kHz で出荷テストしています。

特に指定がない限り、AVDD = DVDD = 2.5 V、BVDD = 5 V、VIO = 1.8 V ~ 2.7 V、V_{REF} = 4.096 V、T_A = -40°C ~ +85°C。

表 3.

Parameter	Conditions	Min	Typ	Max	Unit
INTERNAL REFERENCE	PDREF = low				
Output Voltage	T _A = 25°C	4.081	4.096	4.111	V
Temperature Drift	-40°C to +85°C		±10		ppm/°C
Line Regulation	AVDD = 2.5 V ± 5%		±50		ppm/V
Turn-On Settling Time	C _{REF} = 10 μF, C _{REFBUFIN} = 0.1 μF		220		ms
REFIN Output Voltage	REFIN @ 25°C		1.2		V
REFIN Output Resistance			7.5		kΩ
EXTERNAL REFERENCE	PDREF = high, REFIN = low				
Voltage Range		2.4		5.1	V
Current Drain	2 MSPS, V _{REF} = 5.0 V		500		μA
REFERENCE BUFFER					
REFIN Input Voltage Range			1.2		V
REFIN Input Current			160		μA
DIGITAL INPUTS					
Logic Levels					
V _{IL}		-0.3		+0.1 × VIO	V
V _{IH}		+0.9 × VIO		VIO + 0.3	V
I _{IL}		-1		+1	μA
I _{IH}		-1		+1	μA
DIGITAL OUTPUTS					
Data Format		Serial, 18 bits, twos complement			
Pipeline Delay		Conversion results available immediately after completed conversion			
V _{OL}	I _{SINK} = +500 μA			0.4	V
V _{OH}	I _{SOURCE} = -500 μA	VIO - 0.3			V
POWER SUPPLIES					
AVDD, DVDD		2.375	2.5	2.625	V
BVDD		4.75	5.0	5.25	V
VIO	Specified performance	1.8	2.5	2.7	V
VIO Range					V
Standby Current ^{1,2}	AVDD = DVDD = VIO = 2.5 V, BVDD = 5.0 V		2.25		μA
Power Dissipation					
With Internal Reference	2 MSPS throughput		29	34	mW
Without Internal Reference	2 MSPS throughput		15	16.5	mW
With Internal Reference	1.5 MSPS throughput		26	30	mW
Without Internal Reference	1.5 MSPS throughput		11.5	13	mW
TEMPERATURE RANGE ³					
Specified Performance	T _{MIN} to T _{MAX}	-40		+85	°C

¹ すべてのデジタル入力を必要に応じて VIO または GND に接続。

² アクイジション・フェーズ時。

³ 拡張温度範囲については営業にご相談ください。

タイミング仕様

特に指定がない限り、AVDD = DVDD = 2.5 V、BVDD = 5 V、VIO = 1.8 V ~ 2.7 V、VREF = 4.096 V、TA = -40°C ~ +85°C。¹

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available (Turbo Mode/Normal Mode)	t _{CONV}	400/500			ns
Acquisition Time	t _{ACQ}	100			ns
Time Between Conversions (Turbo Mode/Normal Mode)	t _{CYC}	500/660			ns
CNV Pulse Width ($\overline{\text{CS}}$ Mode)	t _{CNVH}	10			ns
Data Read During Conversion (Turbo Mode/Normal Mode)	t _{DATA}			200/300	ns
Quiet Time During Acquisition from Last SCK Falling Edge to CNV Rising Edge	t _{QUIET}	20			ns
SCK Period ($\overline{\text{CS}}$ Mode)	t _{SCK}	9			ns
SCK Period (Chain Mode)	t _{SCK}	11			ns
SCK Low Time	t _{SCKL}	3.5			ns
SCK High Time	t _{SCKH}	3.5			ns
SCK Falling Edge to Data Remains Valid	t _{HSDO}	2			ns
SCK Falling Edge to Data Valid Delay	t _{DSO}			6	ns
CNV or SDI Low to SDO D17 MSB Valid ($\overline{\text{CS}}$ Mode)	t _{EN}			10	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ($\overline{\text{CS}}$ Mode)	t _{DIS}			8	ns
SDI Valid Setup Time from CNV Rising Edge	t _{SSDICNV}	4			ns
SDI Valid Hold Time from CNV Rising Edge ($\overline{\text{CS}}$ Mode)	t _{HSDICNV}	0			ns
SDI Valid Hold Time from CNV Rising Edge (Chain Mode)	t _{HSDICNV}	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	t _{SSCKCNV}	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	t _{HCKCNV}	5			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	t _{SSDISCK}	2			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	t _{HSDISCK}	3			ns
SDI High to SDO High (Chain Mode with Busy Indicator)	t _{DSOSDI}			5	ns

¹ 負荷条件については、図 2 と図 3 を参照してください。

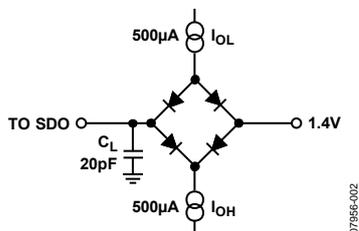
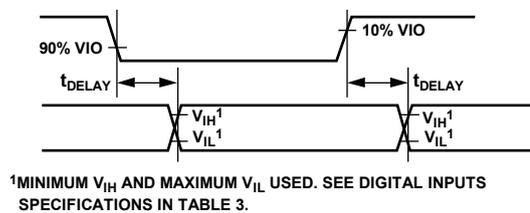


図 2. デジタル・インターフェース・タイミングの負荷回路



¹MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3.

図 3. タイミング測定の電圧レベル

絶対最大定格

表 5.

Parameter	Rating
Analog Inputs IN+, IN- to GND ¹	-0.3 V to $V_{REF} + 0.3$ V or ± 130 mA
Supply Voltage REF, BVDD to GND, REFGND AVDD, DVDD, VIO to GND AVDD and DVDD to VIO	-0.3 V to +6.0 V -0.3 V to +2.7 V +3 V to -6 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
θ_{JA} Thermal Impedance 20-Lead LFCSP (QFN)	30.4°C/W
Lead Temperatures Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

¹ IN+と IN-についてはアナログ入力の特許技術を参照してください。

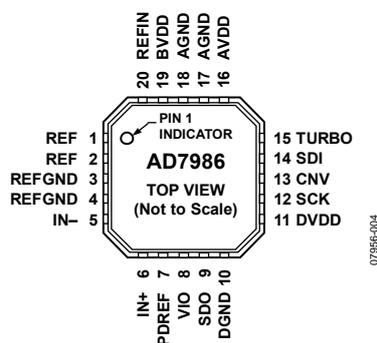
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SYSTEM GROUND PLANE.

図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1、2	REF	AI	リファレンス電圧の出力/入力。 PDREF = ロー・レベルのとき、内蔵リファレンス電圧とバッファがイネーブルされて、このピンに 4.096 V が出力されます。 PDREF = ハイ・レベルのとき、内蔵リファレンス電圧とバッファがディスエーブルされて、5.0 V までの外付けリファレンス電圧を入力することができます。 内蔵リファレンス電圧とバッファの使用の有無によらずデカップリングが必要です。このピンは REFGND ピンを基準とするため、10 μ F のコンデンサで REFGND ピンの近くにデカップリングする必要があります。
3、4	REFGND	AI	リファレンス電圧入力のアナログ・グラウンド。
5	IN-	AI	差動負アナログ入力。
6	IN+	AI	差動正アナログ入力。
7	PDREF	DI	内蔵リファレンス電圧のパワーダウン入力。 ロー・レベルのとき、内蔵リファレンス電圧がイネーブルされます。 ハイ・レベルのとき、内蔵リファレンス電圧がパワーダウンするため、外付けリファレンス電圧を使う必要があります。
8	VIO	P	入出力インターフェースのデジタル電源。公称では、ホスト・インターフェース(1.8 V、2.5 V または 2.7 V)と同じ電源。
9	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力されます。SCK に同期しています。
10	DGND	P	デジタル電源のグラウンド。
11	DVDD	P	デジタル電源。公称 2.5 V。
12	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されたとき、変換結果がこのクロックでシフトアウトされます。
13	CNV	DI	変換入力。この入力は複数の機能を持っています。前縁エッジで、変換が開始され、デバイスのインターフェース・モード(チェーン・モードまたは $\overline{\text{CS}}$ モード)が選択されます。 $\overline{\text{CS}}$ モードでは、CNV がロー・レベルのとき、SDO ピンがイネーブルされます。チェーン・モードでは、CNV がハイ・レベルのときにデータを読出す必要があります。
14	SDI	DI	シリアル・データ入力。この入力は複数の機能を持っています。これらのビットは、次のように ADC のインターフェース・モードを設定します。 CNV の立上がりエッジ時に SDI がロー・レベルになると、チェーン・モードが選択されます。このモードでは、SDI はデータ入力として使用されて、複数の ADC の変換結果を 1 本の SDO ラインにディジーチェーン接続します。SDI のデジタル・データ・レベルが SDO に出力され、SCK の 18 サイクル分の遅延が加わります。 CNV の立上がりエッジ時に SDI がハイ・レベルになると、 $\overline{\text{CS}}$ モードが選択されます。このモードでは、SDI または CNV がロー・レベルのとき、シリアル出力信号をイネーブルすることができます。変

ピン番号	記号	タイプ ¹	説明
15	TURBO	DI	<p>換が完了したとき SDI または CNV がロー・レベルの場合、ビジー・インジケータ機能がイネーブルされます。</p> <p>変換モードの選択。</p> <p>TURBO = ハイ・レベルのとき、最大スループット (2 MSPS) になります。ADC は変換と変換の間にパワーダウンしません。</p> <p>TURBO = ロー・レベルのとき、最大スループットが低下します (1.5 MSPS)。ADC は変換と変換の間にパワーダウンします。</p>
16	AVDD	P	アナログ電源入力ピン。公称 2.5 V。
17、18	AGND	P	アナログ電源グラウンド。
19	BVDD	P	リファレンス・バッファ電源。公称 5.0 V。
20	REFIN	AI/O	<p>外付けリファレンス・バッファを使い、5 V リファレンス電圧で最大 SNR 性能を実現する場合、REFIN ピンをグラウンドに接続してリファレンス・バッファをパワーダウンさせる必要があります。外付けリファレンス・バッファは BVDD ピンに接続する必要があります。</p> <p>内蔵リファレンス出力/リファレンス・バッファ入力。</p> <p>PDREF = ロー・レベルのとき、内蔵バンド・ギャップ・リファレンスからこのピンに 1.2 V (typ) の電圧が出力されます。これには外部デカップリング (0.1 μF typ) が必要です。</p> <p>PDREF = ハイ・レベルのとき、外付けリファレンス電圧からこのピンに 1.2 V (typ) を入力します。</p> <p>PDREF = ハイ・レベルで、かつ REFIN = ロー・レベルのとき、内蔵リファレンス・バッファとバンド・ギャップがパワーダウンします。外付けリファレンス電圧を REF と BVDD に接続する必要があります。</p>
21 (EPAD)	エクスポーズド・パッド	EP	エクスポーズド・パッドは内部で接続されていません。ハンダ接続の信頼性を向上させるために、このパッドをシステム・グラウンド・プレーンにハンダ付けすることが推奨されます。

¹ AI = アナログ入力、AI/O = 双方向アナログ、DI = デジタル入力、DO = デジタル出力、P = 電源。

代表的な性能特性

特に指定がない限り、AVDD = DVDD = VIO = 2.5 V、BVDD = 5.0 V、V_{REF} = 5.0 V、外付けリファレンス電圧 (PDREF = ハイ・レベル、REFIN = ロー・レベル)。

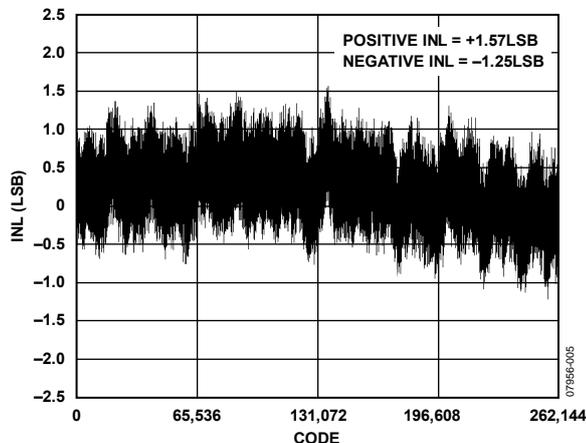


図 5.コード対積分非直線性

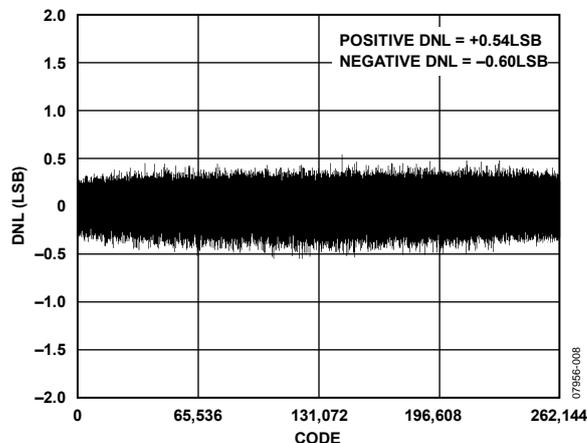


図 8.コード対微分非直線性

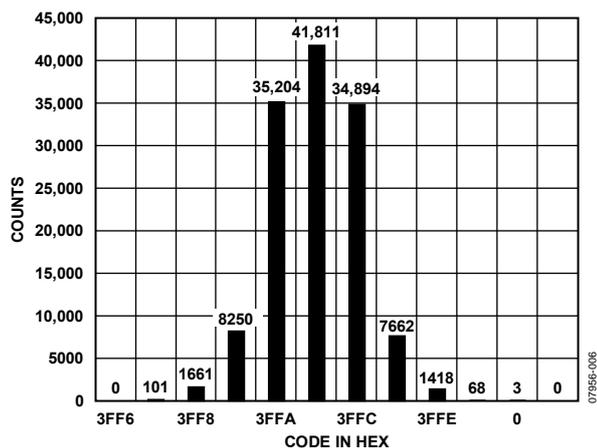


図 6.コード中心での DC 入力ヒストグラム (外付けリファレンス電圧)

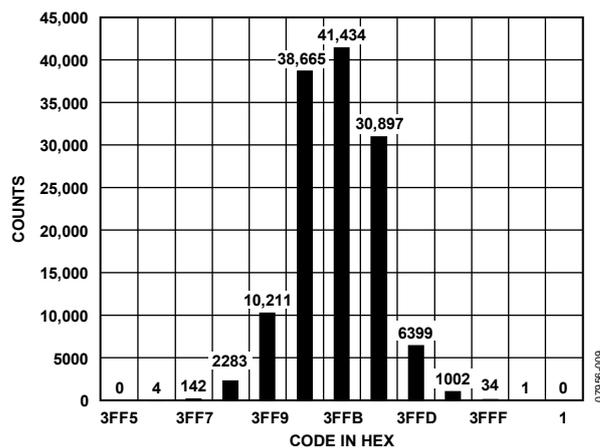


図 9.コード変化時の DC 入力ヒストグラム (外付けリファレンス電圧)

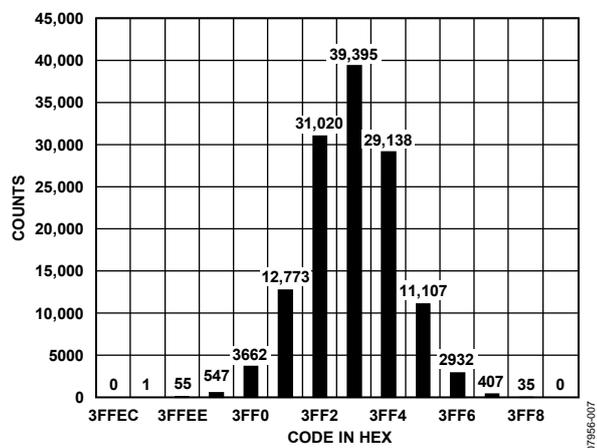


図 7.コード中心での DC 入力ヒストグラム (内蔵リファレンス電圧)

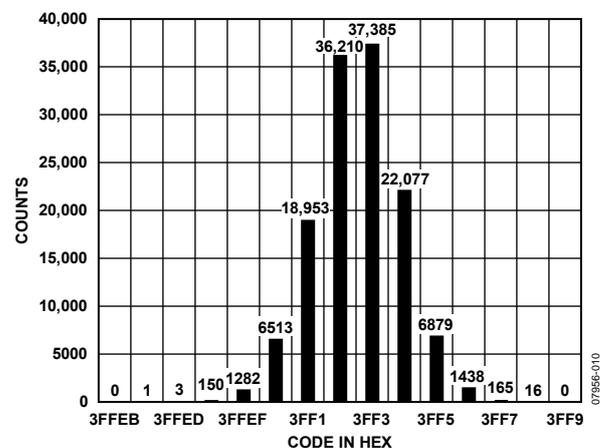


図 10.コード変化時の DC 入力ヒストグラム (内蔵リファレンス電圧)

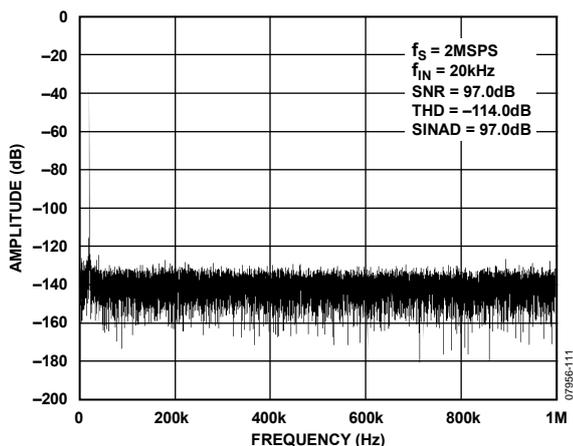


図 11.FFT プロット (外付けリファレンス電圧)

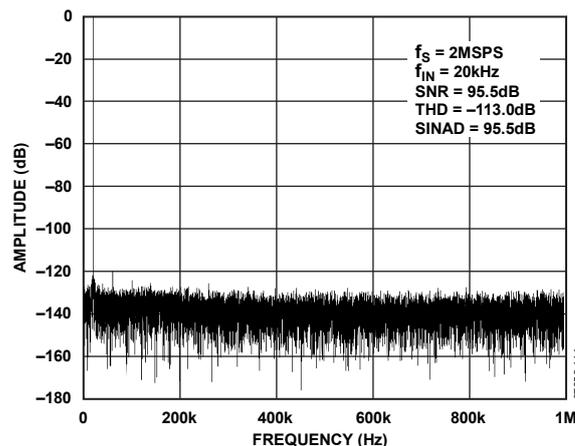


図 14.FFT プロット (内蔵リファレンス電圧)

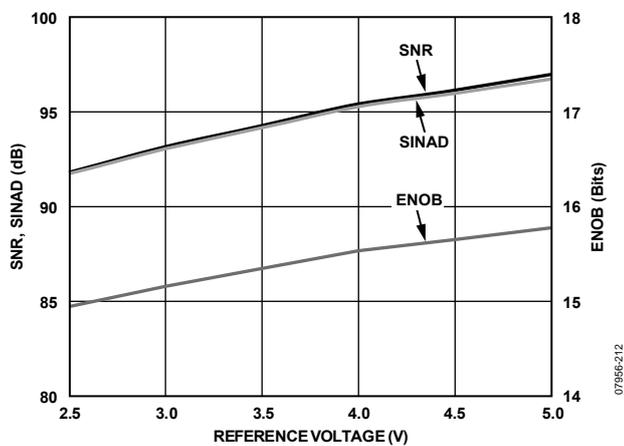


図 12.リファレンス電圧対 SNR、SINAD、ENOB

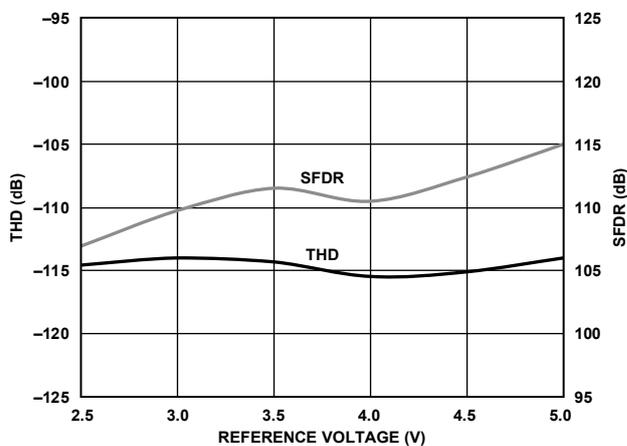


図 15.リファレンス電圧対 THD および SFDR

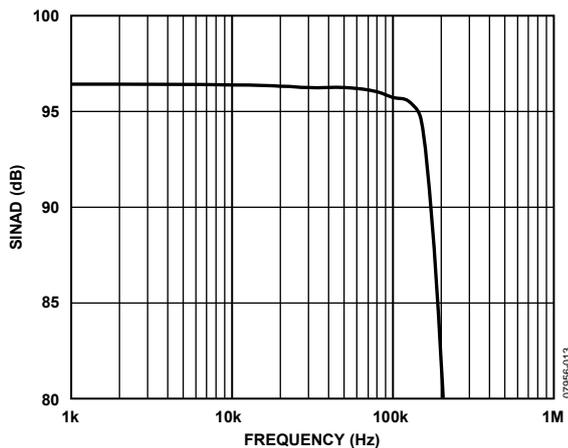


図 13.SINAD の周波数特性

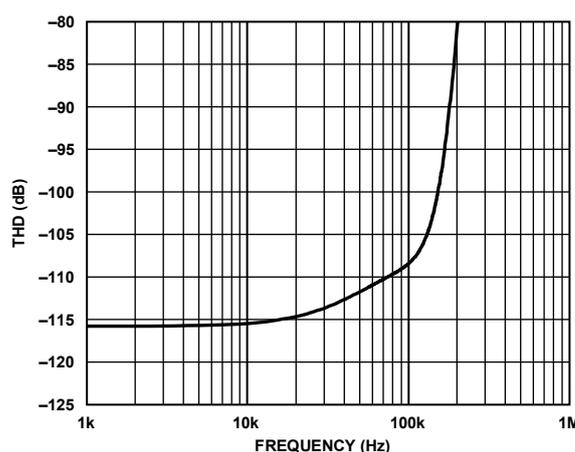


図 16.各周波数での THD

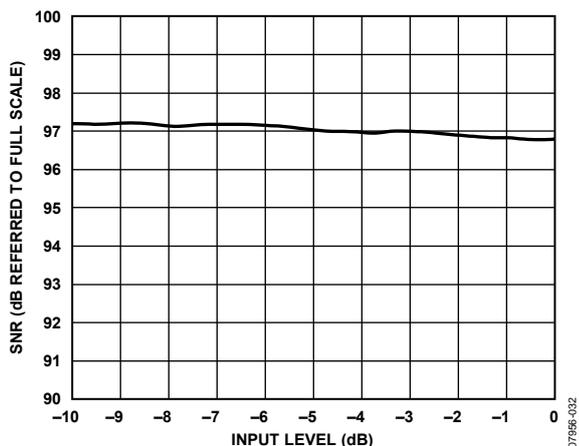


図 17.入力レベル対 SNR

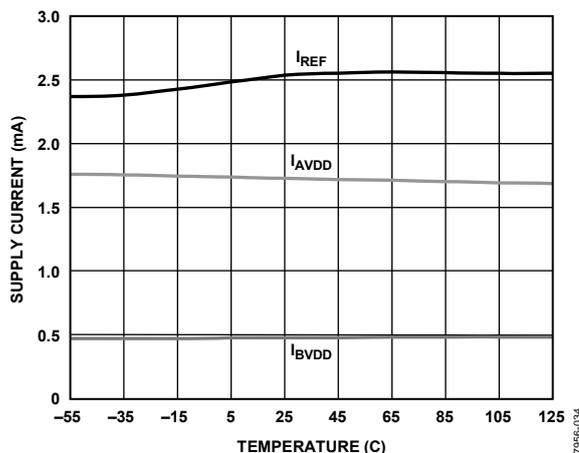


図 19.動作電流の温度特性

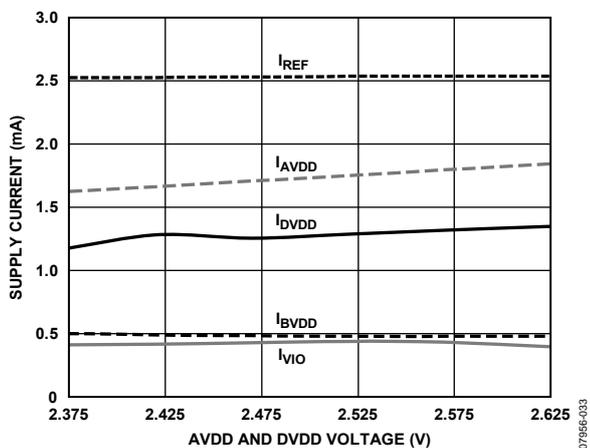


図 18.電源電圧対動作電流

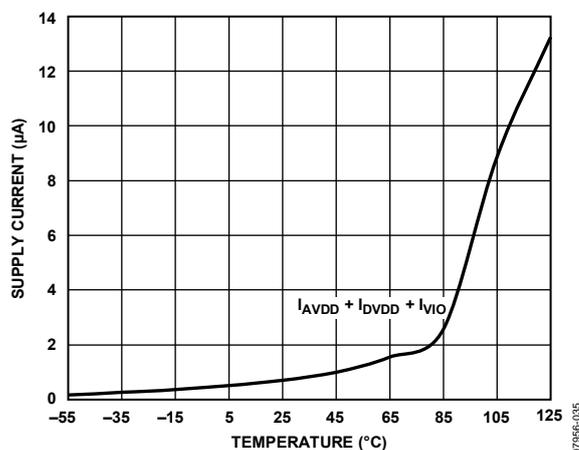


図 20.パワーダウン電流の温度特性

用語

積分非直線性誤差(INL)

INLは、負側のフルスケールと正側のフルスケールを結ぶ直線と実際のコード出力との誤差として定義されます。負側フルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。正フルスケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます(図 22 参照)。

微分非直線性誤差(DNL)

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。DNL は、この理論値からの最大偏差を意味します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

ゼロ誤差

ゼロ誤差は、理論ミッドスケール値電圧(0 V)とミッドスケール値出力コード(0 LSB)を発生する実際の電圧との差を意味します。

ゲイン誤差

最初の変化(100 ... 00→100 ... 01)は公称負フルスケール(±4.096 V レンジの場合は-4.095984 V)より 0.5 LSB 上のレベルで発生する必要があります。最後の変化(011 ... 10→_011 ... 11)は、公称フルスケール(±5 V レンジの場合は+4.095953 V)より 1.5 LSB 低いアナログ電圧で発生する必要があります。ゲイン誤差は、最後の変化の実際のレベルと最初の変化の実際のレベルとの差と、対応する両理論レベル間の差との間の違いを表します。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、dB 値で表します。

実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。SINAD との関係は次のようになります。

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

ビット数で表されます。

ノイズ・フリー・コード分解能

ノイズ・フリー・コード分解能はビット数で表され、この値を超えると、個々のコードが区別できなくなります。次のように計算されます。

$$\text{ノイズ・フリー・コード分解能} = \log_2(2^N / \text{ピーク to ピーク・ノイズ})$$

実効分解能

次のように計算されます。

$$\text{実行分解能} = \log_2(2^N / \text{RMS 入力ノイズ})$$

ビット数で表されます。

総合高調波歪み(THD)

THD は、基本波から 5 次高調波成分までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

ダイナミック・レンジ

入力を短絡して測定した合計 rms ノイズに対するフルスケールの rms 値の比を表します。ダイナミック・レンジの値は dB で表されます。すべてのノイズ・ソースと DNL 効果を含むように -60 dBFS の信号を使って測定します。

信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

信号対(ノイズ + 歪み)比(SINAD)

SINAD は、測定した入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD は、デシベル値で表されません。

アパーチャ遅延

アパーチャ遅延はアキュジション性能を表し、CNV 入力の立上がりエッジから入力信号が変換用にホールドされるまでの時間として測定されます。

過渡応答

フルスケールのステップ関数が入力された後に ADC が正確に入力を取得するまでに要する時間を表します。

動作原理

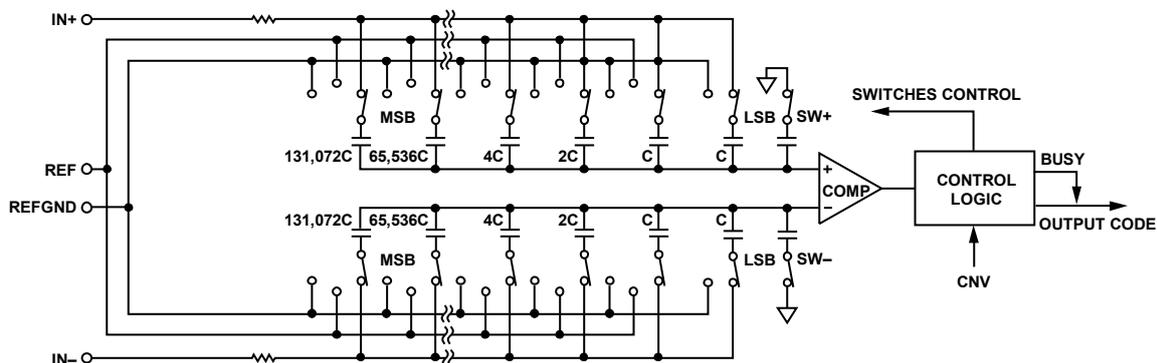


図 21.ADC の簡略化した回路図

回路説明

AD7986 は単電源動作の逐次比較型アーキテクチャを採用した高速高精度低消費電力の 18 ビット A/D コンバータ(ADC)です。AD7986 は、アプリケーションに応じて性能を最適化する様々なモードを持っています。ターボ・モードでは、AD7986 は毎秒 2,000,000 サンプル(2 MSPS)の変換を行うことができます。

AD7986 はトラック・アンド・ホールドを内蔵し、パイプライン遅延またはレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7986 は、1.8 V~2.7 V のデジタル・ロジック・ファミリーにインターフェースすることができます。省スペースと柔軟な構成を可能にする 20 ピン LFCSP (QFN)パッケージを採用しています。

コンバータの動作

AD7986 は、電荷再分配型DACを採用した逐次比較型A/Dコンバータです。図 21 に、ADCの簡略化した回路図を示します。容量を使用するこのDACは、2 進数の重みを持った 18 個コンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アキュイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SW+と SW-を経由して AGND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、IN+入力と IN-入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わると、CNV 入力がハイ・レベル

になり、変換フェーズが開始されます。変換フェーズが開始されると、まず SW+と SW-が開きます。2 個のコンデンサ・アレイはアナログ入力から切り離されて、REFGND 入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた、入力 IN+と入力 IN-の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントを REFGND と REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/262,144$)で変えます。コントロール・ロジックがこれらのスイッチをトグルして(MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアキュイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードとビジー表示を発生します。

AD7986 は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロック SCK は不要です。

変換動作モード

AD7986 には、ターボとノーマルの 2 つの動作モードがあります。ターボ変換モード (TURBO = ハイ・レベル)では 2 MSPS の最高レートが可能であり、変換と変換の間にパワーダウンしません。ターボ・モードでの最初の変換は、意味のないデータが含まれるので無視する必要があります。低消費電力とやや低いサンプリング・レートを必要とするアプリケーションでは、ノーマル・モード (TURBO = ロー・レベル)を使うと、1.5 MSPS の最大変換レートが可能で、変換と変換の間にパワーダウンします。ノーマル・モードでの最初の変換には意味のあるデータが含まれます。

伝達関数

AD7986 の理論伝達特性を図 22 と表 7 に示します。

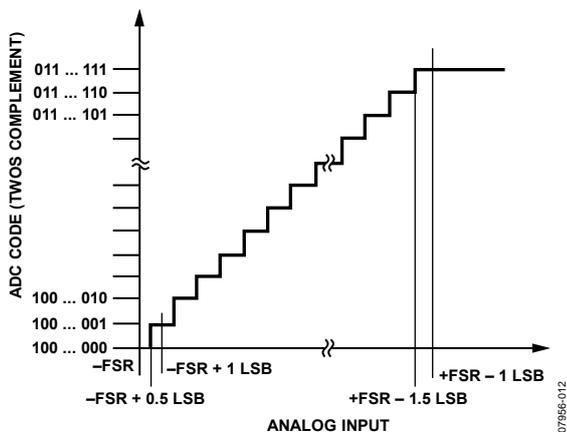


図 22.ADC の理論伝達関数

表 7.出力コードと理論入力電圧

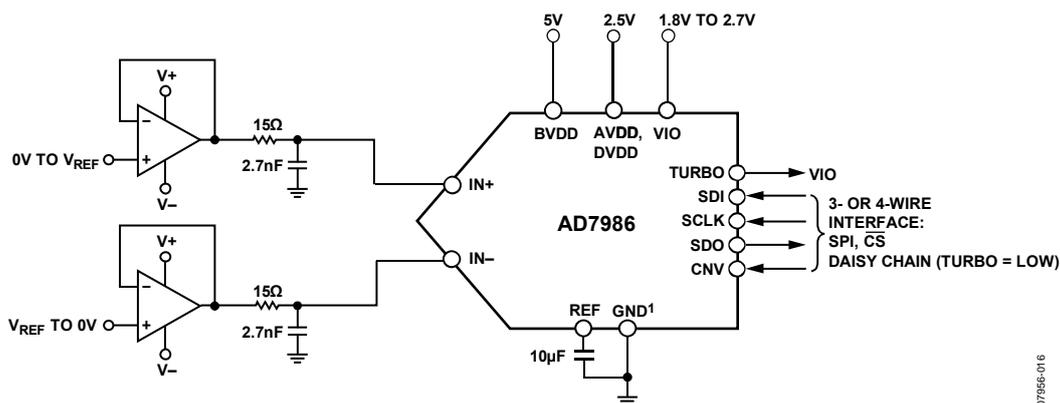
Description	Analog Input $V_{REF} = 5\text{ V}$	Digital Output Code (Hex)
FSR - 1 LSB	+4.095969 V	0x1FFFF ¹
Midscale + 1 LSB	+31.25 μV	0x00001
Midscale	0 V	0x00000
Midscale - 1 LSB	-31.25 μV	0x3FFFF
-FSR + 1 LSB	-4.095969 V	0x20001
-FSR	-4.096 V	0x20000 ²

¹ これは、範囲を上回るアナログ入力 ($V_{REF} - \text{REFGND}$ より上の $V_{IN+} - V_{IN-}$) に対するコードでもあります。

² これは、範囲を下回るアナログ入力 (REFGND より下の $V_{IN+} - V_{IN-}$) に対するコードでもあります。

代表的な接続図

図 23 に、複数の電源が使用可能な場合の AD7986 の推奨接続図例を示します。



NOTES
1. GND REFERS TO REFGND, AGND, AND DGND.

図 23.複数の電源を使用する代表的なアプリケーション図

アナログ入力

図 24 に、AD7986 の入力構造の等価回路を示します。

ダイオード D1 と D2 は、アナログ入力 IN+ と IN- に対する ESD 保護用です。アナログ入力信号がリファレンス入力電圧 (REF) より 0.3V 以上高くないよう注意する必要があります。アナログ入力がこの電圧を超えると、ダイオードが順方向にバイアスされてこの電圧から導通し始めるためです。これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。ただし、入力バッファの電源 (例えば 図 23 のバッファ・アンプの V+ 電源と V- 電源) が REF の電源と異なる場合には、アナログ入力信号が電源レールを 0.3 V 以上超えることができます。このような場合 (例えば入力バッファが短絡)、電流制限機能を使ってデバイスを保護することができます。

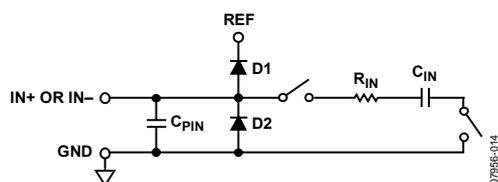


図 24. 等価アナログ入力回路

このアナログ入力構造を使うと、IN+ と IN- との間の差動信号のサンプリングが可能になります。この差動入力の採用により、両入力に共存する信号が除去されます。

アクイジション・フェーズでは、アナログ入力 (IN+ または IN-) のインピーダンスは、コンデンサ C_{PIN} と、 R_{IN} および C_{IN} の直列接続の回路との並列組み合わせとしてモデル化することができます。 C_{PIN} は主にピン容量です。 R_{IN} は 400Ω (typ) であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。 C_{IN} は 30 pF (typ) であり、主に ADC サンプリング・コンデンサから構成されています。

スイッチが閉じているサンプリング・フェーズでは、入力インピーダンスは C_{PIN} に制限されます。 R_{IN} と C_{IN} により、1 極ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7986 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC 性能、特に THD が大きい影響を受けます。DC 性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します。

ドライバ・アンプの選択

AD7986 の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7986 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、AD7986 アナログ入力回路の R_{IN} と C_{IN} から構成される 1 極ローパス・フィルタまたは外付けフィルタ (使用した場合) により除去されます。AD7986 のノイズは $62.5 \mu\text{V rms (typ)}$ であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{Loss} = 20 \log \left(\frac{62.5}{\sqrt{34.4^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、

f_{-3dB} は MHz で表した AD7986 の入力帯域幅 (20 MHz)、すなわち入力フィルタ (使用した場合) のカットオフ周波数。

N はアンプのノイズ係数 (例えばバッファ構成の場合は 1)。

e_N は $\text{nV}/\sqrt{\text{Hz}}$ で表したオペアンプの等価入力ノイズ電圧。

- AC アプリケーションの場合、ドライバは AD7986 と釣り合う THD 性能を持つ必要があります。
- 多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプと AD7986 アナログ入力回路は、コンデンサ・アレイへのフルスケール・ステップに対して 18 ビット・レベル (0.0004%、4 ppm) でセトリングする必要があります。ドライバ・アンプのデータシートでは、一般に 0.1~0.01% のセトリングが規定されています。18 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表 8. 推奨ドライバ・アンプ

Amplifier	Typical Application
AD8021	Very low noise and high frequency
AD8022	Low noise and high frequency
ADA4899-1	Ultralow noise and high frequency
AD8014	Low power and high frequency

リファレンス電圧入力

AD7986 では、温度ドリフトが非常に小さい内蔵リファレンス電圧、外付けリファレンス電圧または外付けのバッファ付きリファレンス電圧の使用を選択することができます。

AD7986 の内蔵リファレンス電圧は、優れた性能を提供するため、ほとんどすべてのアプリケーションで使用することができます。

内蔵リファレンス電圧、REF = 4.096V (PDREF = ロー・レベル)

内蔵リファレンス電圧を使うときは、PDREF 入力をロー・レベルにする必要があります。これにより内蔵バンド・ギャップ・リファレンス電圧とバッファがイネーブルされて、4.096 V のリファレンス電圧が REF ピンに出力されます (REFIN では 1.2 V)。

内蔵リファレンス電圧は、4.096 V ± 15 mV になるように温度補償されています。リファレンス電圧は、10 ppm/°C (typ) のドリフトになるように調整されています。

内蔵リファレンス電圧をイネーブルしたときの REFIN の出力抵抗は 6 kΩ です。このピンは、少なくとも 100 nF のセラミック・コンデンサでデカップリングする必要があります。REFIN の出力抵抗とデカップリング・コンデンサにより RC フィルタが構成されるため、ノイズの削減に役立ちます。

REFIN の出力インピーダンスは 6 kΩ (typ) であるため、工業環境の中では特に相対湿度が、リファレンス電圧のドリフト特性に直接影響を与えます。ガード・リングは、このような環境でドリフトの影響を小さくするために広く使用されています。ただし、AD7986 の微細なピッチではこれを使用することは困難です。これらの工業用およびその他のタイプのアプリケーションでの 1 つのソリューションとしては、Dow Corning® 1-2577 や HumiSeal® 1B73 のような絶縁コーティングの使用があります。

外付け 1.2 V リファレンス電圧と内蔵バッファ (PDREF = ハイ・レベル)

外付けリファレンス電圧と内蔵バッファを使うときは、PDREF にハイ・レベルを入力する必要があります。これにより、内蔵リファレンス電圧がパワーダウンされるため、1.2 V のリファレンス電圧を REFIN に入力できるようになり、REF ピンに 4.096 V (typ) が出力されます。

外付けリファレンス電圧 (PDREF = ハイ・レベル、REFIN = ロー・レベル)

REF ピンに外付けリファレンス電圧を直接入力するときは、PDREF ピンと REFIN ピンにそれぞれハイ・レベルとロー・レベルを入力する必要があります。BVDD も REF と同じ電位に駆動する必要があります。例えば、REF = 2.5 V の場合、BVDD に 2.5 V を入力する必要があります。

外付けリファレンス電圧を直接使用する利点は、

- 内蔵リファレンス電圧を使用するときの 4.096 V (typ) リファレンスの代わりに、大きなリファレンス電圧 (5 V) を使うことにより SNR とダイナミック・レンジが改善されます (約 1.7 dB)。これは次式で計算されます。

$$SNR = 20 \log \left(\frac{4.096}{5.0} \right)$$

- 内蔵リファレンス電圧がパワーダウンすると (PDREF = ハイ・レベル)、消費電力が節約されます。

リファレンス電圧のデカップリング

AD7986 のリファレンス電圧入力 REF にはダイナミック入力インピーダンスがあるため、REF ピンと REFGND ピンの間で慎重にデカップリングする必要があります。レイアウトのセクションで、この方法を説明します。

外付けリファレンスを使う場合は、非常に小さいインピーダンス・ソース (例えば、AD8031 または AD8605 使用時のリファレンス・バッファ) と 10 μF のセラミック・チップ・コンデンサ (X5R、0805 サイズ) が最適性能を得るために適しています。

バッファなしでリファレンス電圧を使う場合は、デカップリング値は使用するリファレンス電圧に依存します。例えば、22 μF のセラミック・チップ・コンデンサ (X5R、1206 サイズ) は、低温度ドリフト ADR43x リファレンスを使って最適性能を得るために十分な値です。

必要に応じて、2.2 μF までの小型なリファレンス・デカップリング・コンデンサ値を使うことができ、性能 (特に DNL) への影響が最小に抑えられます。

その場合でも、REF ピンと REFGND ピンの間に小さい値のセラミック・デカップリング・コンデンサ (例えば、100 nF) を追加する必要はありません。

電源

AD7986 では、アナログ電源 (AVDD)、バッファ電源 (BVDD)、デジタル電源 (DVDD)、デジタル入出力インターフェース電源 (VIO) の 4 種類の電源ピンを使用しています。VIO を使うと、1.8 V ~ 2.7 V で動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIO、DVDD、AVDD を相互接続することができます。AD7986 は全電源の間で電源シーケンスに依存しません。さらに、広い周波数範囲で電源変動に対して安定です。

デジタル・インターフェース

AD7986 のピン数は少ないですが、シリアル・インターフェース・モードで柔軟性を提供します。

\overline{CS} モードでは、AD7986 は SPI、MICROWIRE™、QSPI™、デジタル・ホストと互換性を持っています。このモードでは、3 線式または 4 線式のインターフェースを使うことができます。CNV 信号、SCK 信号、SDO 信号を使う 3 線式インターフェースは、配線数が少ないため、例えば、絶縁型アプリケーションで便利です。SDI 信号、CNV 信号、SCK 信号、SDO 信号を使う 4 線式インターフェースを使用すると、CNV(変換を開始します)をリードバック・タイミング(SDI)に依存しないようにすることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

AD7986 をチェーン・モードで使うと、シフトレジスタに似た 1 本のデータライン上の複数 ADC のカスケード接続に対して、SDI 入力を使ったディジーチェーン機能を提供することができます。チェーン・モードは、ノーマル・モード(TURBO = ロー・レベル)でのみ使用可能です。

デバイスが動作するモードは、CNV の立上がりエッジ時の SDI のレベルで決定されます。SDI がハイ・レベルで、かつ \overline{SDI} がロー・レベルの時にチェーン・モードが選択されると、 \overline{CS} モードが選択されます。SDI ホールド・タイムは、SDI と CNV が接続されているとき、チェーン・モードが常に選択されるようにします。

ノーマル・モードでは、AD7986 はデータビットの前にスタート・ビットを発生させるオプションを提供します。このスタート・ビットをビジー信号表示と組合せて使用して、デジタル・ホストに対して割込みを行い、データの読出しを開始させることができます。ビジー・インジケータを使わない場合は、リードバックの前に最大変換時間の経過を待たなければなりません。

ADC 変換が終わったときに CNV または SDI がロー・レベルになると、 \overline{CS} モードでビジー・インジケータ機能がイネーブルされます (図 28 と 図 32 参照)。また、両デジタル・インターフェースに対して TURBO をロー・レベルに維持する必要があります。

CNV がロー・レベルのとき、次のセクションで説明するように、変換とアクイジション時に、さらにアクイジションと変換が分かれるときにも、読出しを開始することができます。

CNV = ロー・レベルでデバイスが選択され、SCK によりデータの出力が開始されるため、不連続な SCK の使用が推奨されます。

次のセクションで、タイミング図により変換時のデジタル動作 (SCK、CNV、SDI、SDO) を示しますが、性能が低下する可能性があるため、デジタル動作は安全なデータ読出し時間 t_{DATA} の前のみ発生する必要があります。これは、AD7986 がこの時間内に不正なビット判定を訂正できる誤り訂正回路を持っているためです。 t_{DATA} から t_{CONV} までの間は誤り訂正がないため、変換結果が不正のままになることがあります。同様に、SCK の直前の立下がりエッジから CNV の立上がりエッジまでの時間 t_{QUIET} の間には、デジタル動作が発生しないようにする必要があります。AD7986 を設定して、 t_{DATA} の前にビジー・インジケータを開始させる必要があります (ノーマル・モードが必要な場合)。サンプリング・タイミングの近くに SCK を持ってくると、サンプルが破壊されることもあります。したがって、性能低下を回避できるときは不連続な SCK を使って、CNV の立上がりエッジの約 20 ns 前および 10 ns 後の間、デジタル・ピンを静止させておくことが推奨されます。

データ読出しオプション

AD7986には3種類のデータ読出しオプションがあります。変換中の読出し、アキュイジションと変換との間の読出し(図 27 と 図 28 参照)、さらにノーマル・モードでのアキュイジション中の読出しがあります。主に使用するSCK 周波数により、使用する読出しオプションが決まります。

変換中の読出し、高速ホスト(ターボ・モードまたはノーマル・モード)

変換 (n)中に読出すときは、変換結果は前の変換(n - 1)に対応します。読出しは t_{DATA} までに行う必要があります。この時間が制限されているため、ホストは高速な SCK を使う必要があります。

必要とされる SCK 周波数は次式で計算されます。

$$f_{SCK} \geq \frac{\text{Number_SCK_Edges}}{t_{DATA}}$$

SCK 周波数を求めるときは、次の例に従って変換 (n - 1)からデータを読出してください。

ターボ・モード (2 MSPS):

$$\text{Number_SCK_Edges} = 18; t_{DATA} = 200 \text{ ns}$$

$$f_{SCK} = 18/200 \text{ ns} = 90 \text{ MHz}$$

ノーマル・モード (1.5 MSPS):

$$\text{Number_SCK_Edges} = 18; t_{DATA} = 300 \text{ ns}$$

$$f_{SCK} = 18/300 \text{ ns} = 60 \text{ MHz}$$

t_{DATA} と t_{CONV} との間の時間は I/O の静止時間であり、デジタル動作が発生しないようにする必要があります。そうしないと、ビット判定に誤りが発生する可能性があります。

スプリット読出し、任意速度のホスト(ターボ・モードまたはノーマル・モード)

低速な SCK を使用可能にするため、現在のアキュイジション (n)でデータ・アクセスが開始されて、変換 (n)まで続くスプリット読出しのオプションがあります。変換結果は前の (n - 1) 変換になります。

変換中の読出しと同様に、スプリット読出しは t_{DATA} までに発生する必要があります。最大スループットを得るためには、唯一の時間制約として、スプリット読出しを t_{ACQ} (最小) + $t_{DATA} - t_{QUIET}$ 時間の間に行うことが必要です。SCK の立下がりエッジと CNV の立上がりエッジの間の時間は、アキュイジション静止時間 t_{QUIET} になります。

特定の SCK 周波数に対して読出しを分割するときは、次の例に従って変換 (n - 1)からデータを読出してください。

ターボ・モード (2 MSPS):

$$f_{SCK} = 65 \text{ MHz}; t_{DATA} = 200 \text{ ns}$$

$$\text{Number_SCK_Edges} = 65 \text{ MHz} \times 200 \text{ ns} = 13$$

変換 (n)中に 13 ビットが、アキュイジション (n)中に 5 ビットが、それぞれ読出されます。

ノーマル・モード (1.5 MSPS):

$$f_{SCK} = 50 \text{ MHz}; t_{DATA} = 300 \text{ ns}$$

$$\text{Number_SCK_Edges} = 50 \text{ MHz} \times 300 \text{ ns} = 15$$

変換 (n)中に 15 ビットが、アキュイジション (n)中に 3 ビットが、それぞれ読出されます。

低速スループットの場合、時間制約はユーザ指定のスループットにより決まるため、ホストは任意の速度で動作できます。アキュイジション中の読出しと同様に、低速ホストの場合、データ・アクセスはアキュイジション・フェーズで発生する必要があり、残りの時間は変換まで続きます。

変換まで続くデータ・アクセスでは、CNV をハイ・レベルにして新しい変換を開始させるため、CNV がハイ・レベルのときデータ・アクセスを行うことはできないことに注意してください。このため、この方法を使うとき、ホストはデータ・アクセスを 2 バーストで行う必要があります。

アキュイジション中の読出し、任意速度のホスト(ターボ・モードまたはノーマル・モード)

アキュイジション (n)中に読出すときは、変換結果は前の変換(n - 1)に対応します。ノーマル・モードでは最大スループットが実現可能ですが (1.5 MSPS)、ターボ・モードでは、2 MSPS のスループットを実現できません。

最大スループットを得るためには、唯一の時間制約として、読出しを t_{ACQ} (最小) 時間の間に行うことが必要です。低速スループットの場合、時間制約はユーザ指定のスループットにより決まるため、ホストは任意の速度で動作できます。したがって、低速ホストの場合、データ・アクセスはアキュイジション・フェーズで発生する必要があります。

CS モード 3 線式、ビジー・インジケータなし

このモードは、1 個の AD7986 を SPI 互換のデジタル・ホストに接続する際に使用されます。接続図を 図 25 に、対応するタイミングを 図 26 に、それぞれ示します。

SDI と VIO を接続した状態では、CNV の立上がりエッジで変換が開始され、CS モードが選択され、SDO はハイ・インピーダンスになります。変換が開始されると、CNV の状態に関係なく完了するまで継続されます。例えば、CNV をロー・レベルにしてアナログ・マルチプレクサのような他の SPI デバイスを選択することは便利ですが、最小変換時間の前に CNV がハイ・レベルに戻り、最

大変換時間の間ハイ・レベルを維持して、ビジー信号の発生を防止する必要があります。変換が完了すると、AD7986 はアキュジション・フェーズに入りパワーダウンします。CNV がロー・レベルになると、MSB が SDO に出力されます。残りのデータビットは、後続の SCK の立下がりエッジで出力されます。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。18 番目の SCK 立下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO はハイ・インピーダンスに戻ります。

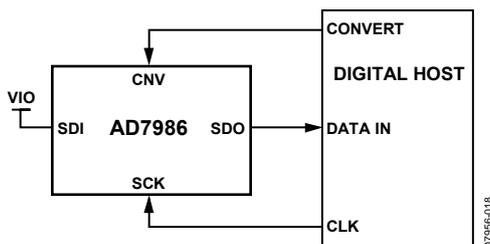


図 25. \overline{CS} モード 3 線式、ビジー・インジケータなしの接続図(SDI ハイ・レベル)

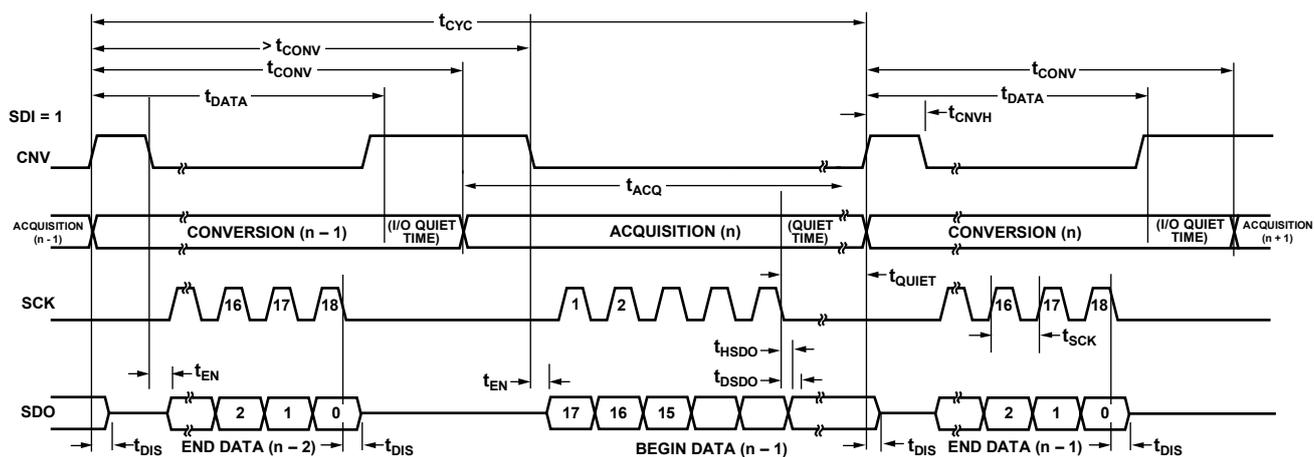


図 26. \overline{CS} モード 3 線式、ビジー・インジケータなしのシリアル・インターフェース・タイミング(SDI ハイ・レベル)

CS モード 4 線式、ビジー・インジケータなし

このモードは、複数の AD7986 を SPI 互換のデジタル・ホストに接続する際に使用されます。

図 29 に 2 個の AD7986 を使った接続図を、図 30 に対応するタイミングを、それぞれ示します。

SDI にハイ・レベルを入力した状態では、CNV の立上がりエッジで変換が開始され、CS モードが選択され、SDO はハイ・インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV がハイ・レベルに維持される必要があります(SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます)。最小変換時間の前に、SDI を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択する

ことができますが、最小変換時間が経過する前に SDI がハイ・レベルに戻り、最大変換時間の間ハイ・レベルを維持して、ビジー信号の発生を防止する必要があります。変換が完了すると、AD7986 はアキュイジション・フェーズに入りパワーダウンします。SDI 入力にロー・レベルを入力すると、各 ADC の変換結果を読み出すことができ、MSB が SDO へ出力されます。残りのデータビットは、後続の SCK の立下がりエッジで出力されます。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。18 番目の SCK 立下がりエッジの後、SDO はハイ・インピーダンスに戻り、もう一方の AD7986 を読み出すことができるようになります。

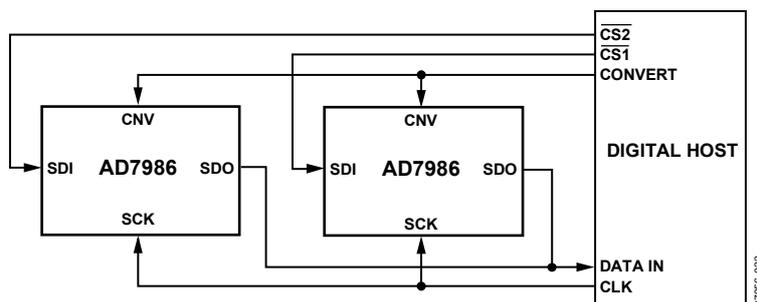


図 29. CS モード 4 線式、ビジー・インジケータなしの接続図

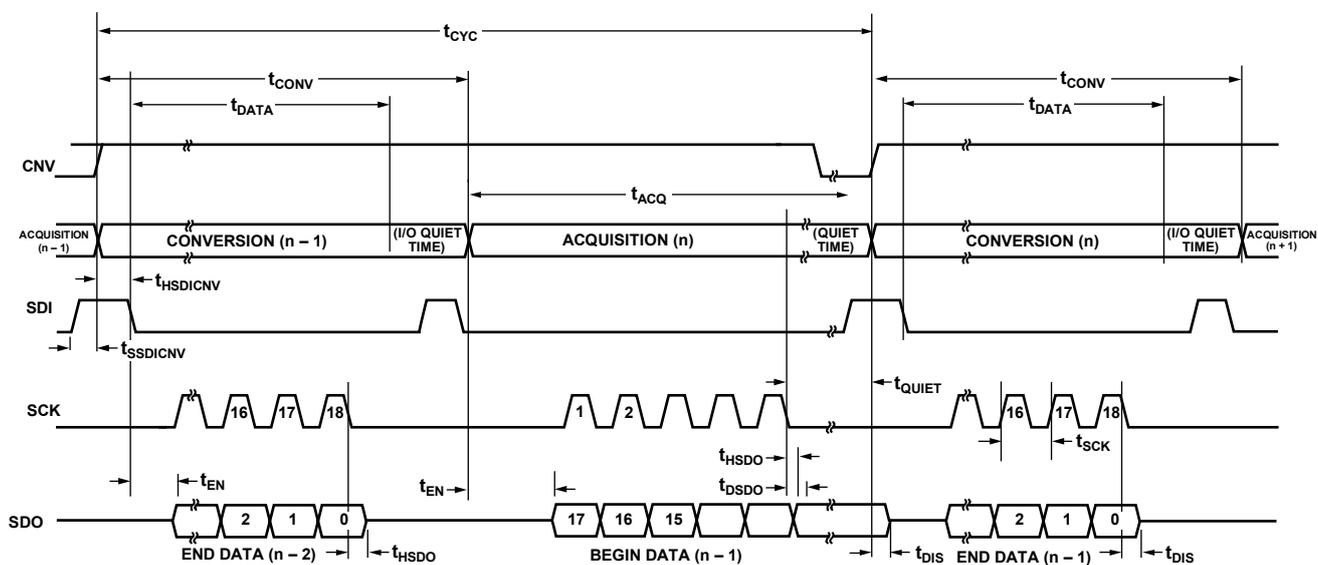


図 30. CS モード 4 線式、ビジー・インジケータなしのシリアル・インターフェース・タイミング

CS モード 4 線式、ビジー・インジケータあり

このモードは、1 個の AD7986 を割込み入力を持つ SPI 互換のデジタル・ホストに接続し、かつ CNV の使用が必要な場合に使われます。この CNV は、データの読出しを選択する際に使われる信号とは独立に、アナログ入力をサンプルするために使われます。この独立性は、CNV 上のジッタが小さいことが要求されるアプリケーションで特に重要です。このモードは、ノーマル変換モード (TURBO = ロー・レベル) でのみ使用可能です。

接続図を 図 31 に、対応するタイミングを 図 32 に、それぞれ示します。

SDI にハイ・レベルを入力した状態では、CNV の立上がりエッジで変換が開始され、CS モードが選択され、SDO はハイ・インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV がハイ・レベルに維持される必要があります (SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます)。最小変換時間の前に、SDI を使って

アナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間が経過する前に SDI がロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、ビジー信号が確実に発生するようになります。変換が完了すると、SDO はハイ・インピーダンスから低インピーダンスになります。SDO ラインをプルアップして、この変化を割込み信号として使って、デジタル・ホストにより制御されるデータのリードバックを開始させることができます。その後 AD7986 はアキュイジション・フェーズに入り、パワーダウンします。その後データビットは MSB ファーストで、後続の SCK の立下がりエッジで出力されます。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。19 番目の SCK 立下がりエッジの後、または SDI がハイ・レベルになったときのいずれか早い方で、SDO はハイ・インピーダンスに戻ります。

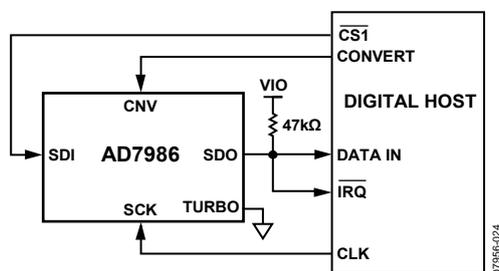


図 31. CS モード 4 線式、ビジー・インジケータありの接続図

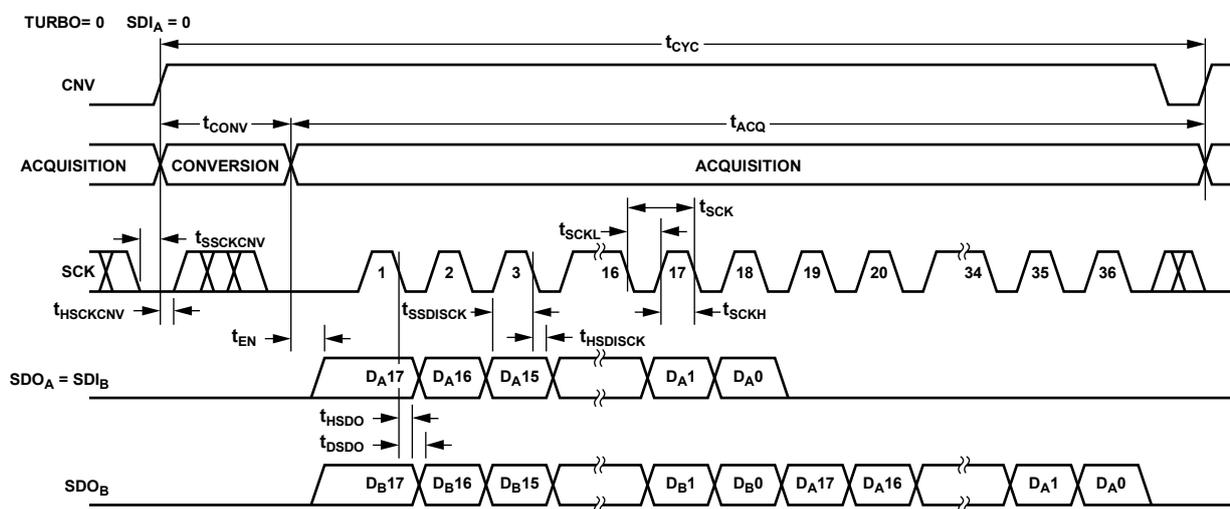


図 32. CS モード 4 線式、ビジー・インジケータありのシリアル・インターフェース・タイミング

チェーン・モード、ビジー・インジケータなし

このモードを使って、3線式シリアル・インターフェースに複数のAD7986をディジーチェーン接続することができます。このモードは、ノーマル変換モード(TURBO = ロー・レベル)でのみ使用可能です。この機能は部品数と接続配線数の削減に役立ちます。例えば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図 33 に 2 個の AD7986 を使った接続図を、図 34 に対応するタイミングを、それぞれ示します。

SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます。SCK がロー・レベルのとき、CNV の立上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示がデ

イスエーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV がハイ・レベルに維持されます。変換が完了すると、MSB が SDO に出力され、AD7986 はアクイジション・フェーズに入りパワーダウンします。内部シフトレジスタに保存されている残りのデータビットは、後続の SCK の立下がりエッジで出力されます。各 ADC で、SDI が内部シフトレジスタの入力に接続され、SCK の立下がりエッジでクロック駆動されます。チェーン内の各 ADC はデータを MSB ファーストで出力し、N 個の ADC をリードバックするためには $18 \times N$ 個のクロックが必要です。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になり、かつチェーン内の AD7986 の数を増やすことができます。最大変換レートは、合計リードバック時間により低下することがあります。

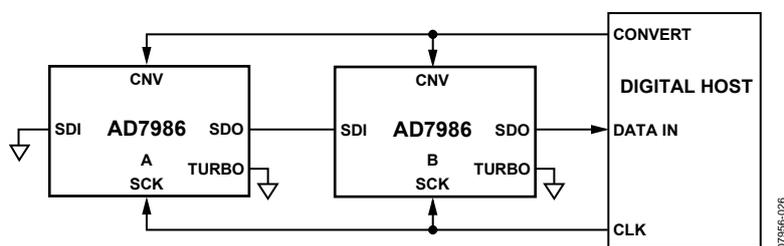


図 33. チェーン・モード、ビジー・インジケータなしの接続図

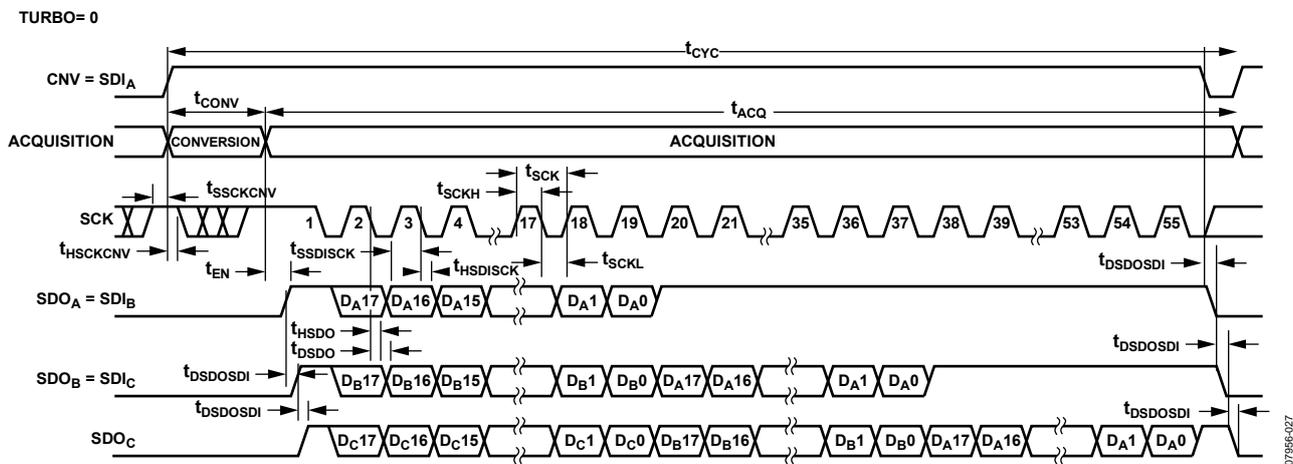


図 34. チェーン・モード、ビジー・インジケータなしのシリアル・インターフェース・タイミング

チェーン・モード、ビジー・インジケータあり

このモードを使うと、3線式シリアル・インターフェースに複数のAD7986をディジーチェーン接続することができると同時にビジー表示も提供できます。この機能は部品数と接続配線数の削減に役立ちます。例えば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。図35に3個のAD7986を使った接続図を、図36に対応するタイミングを、それぞれ示します。

SDIとCNVをロー・レベルにすると、SDOがロー・レベルに駆動されます。SCKがハイ・レベルのとき、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示機能がイネーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVがハイ・レベルに維持され

ます。チェーン内のすべてのADCで変換が完了すると、デジタル・ホストに最も近いADC(図35でCと表示されたAD7986のADC)のSDOがハイ・レベルに駆動されます。SDO上のこの変化をビジー表示として使って、デジタル・ホストから制御されるデータ・リードバックを開始することができます。その後AD7986はアキュイジション・フェーズに入り、パワーダウンします。内部シフトレジスタに保存されているデータビットは、後続のSCKの立下がりエッジでMSBファーストで出力されます。各ADCで、SDIが内部シフトレジスタの入力に接続され、SCKの立下がりエッジでクロック駆動されます。チェーン内の各ADCはデータをMSBファーストで出力し、N個のADCをリードバックするためには $18 \times N + 1$ 個のクロックが必要です。立上がりエッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になり、かつチェーン内のAD7986の数を増やすことができます。

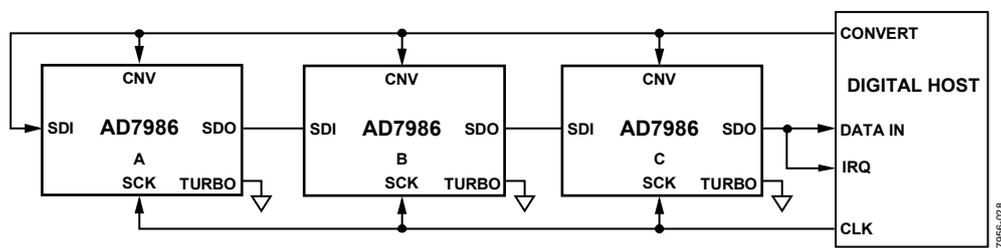


図35. チェーン・モード、ビジー・インジケータありの接続図

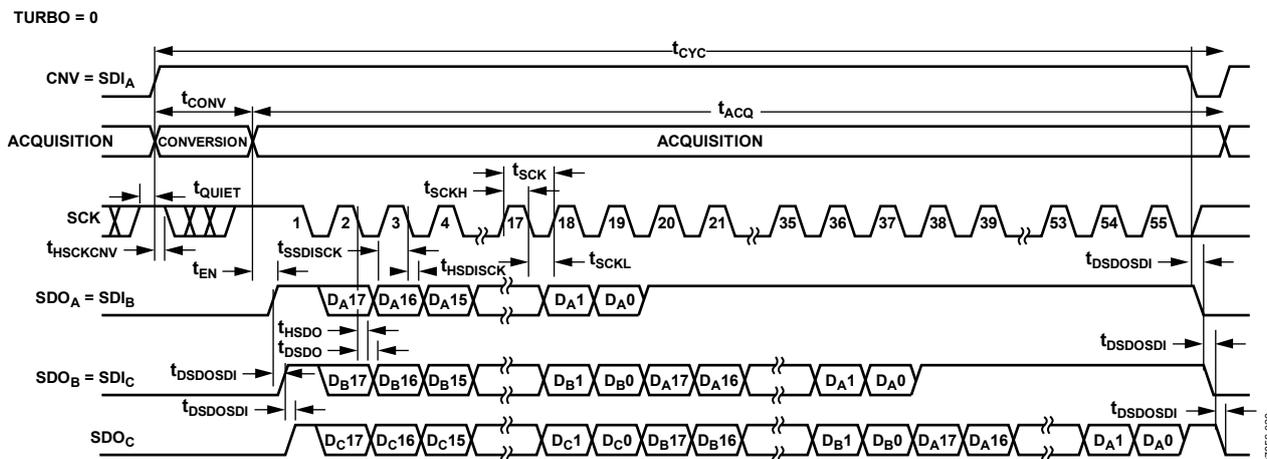


図36. チェーン・モード、ビジー・インジケータありのシリアル・インターフェース・タイミング

アプリケーション情報

レイアウト

AD7986 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7986 では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7986 の下のグラウンド・プレーンがシールドして使われてない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNV やクロックのような高速なスイッチング信号は、アナログ信号バスの近くを通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

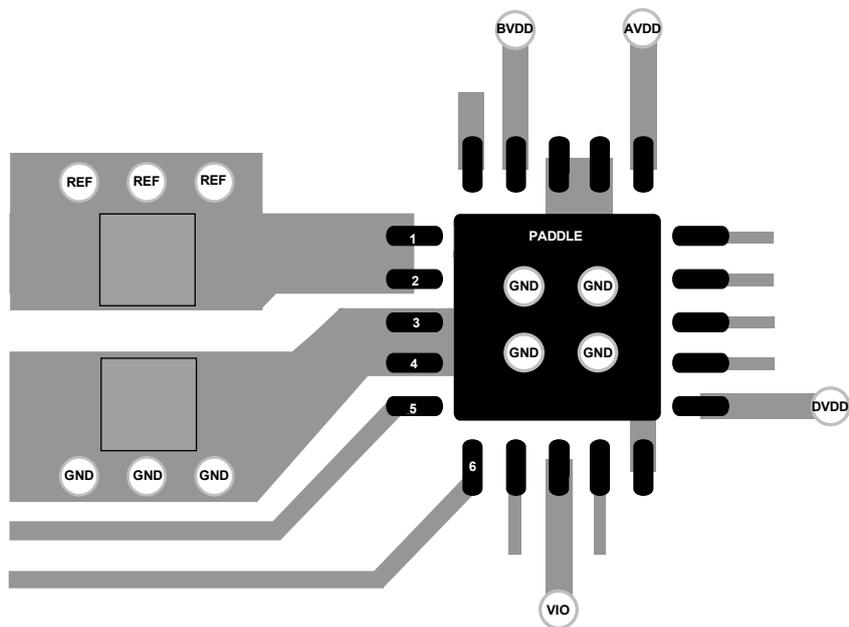
少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。後者の場合、各プレーンは AD7986 の下で接続する必要があります。

AD7986 のリファレンス電圧入力 REF は動的入力インピーダンスを持つため、最小の寄生インダクタンスでデカップリングする必要があります。この場合、REF ピンと REFGND ピンの近くに、理想的にはピンに直接に、太い低インピーダンスのパターンでリファレンス電圧のデカップリング・セラミック・コンデンサを接続してください。

最後に、AD7986 の電源 VDD と VIO は AD7986 の近くに配置したセラミック・コンデンサ(一般に 100 nF)でデカップリングし、低インピーダンス・パスを提供する短く太いパターンで接続して、電源ライン上のグリッチの影響を軽減します。

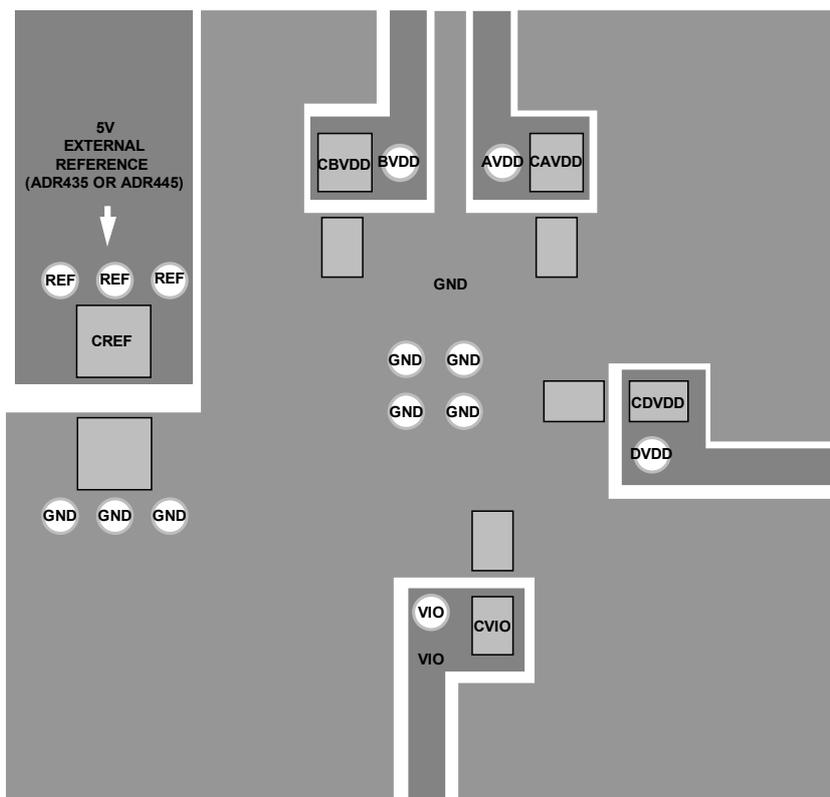
AD7986 の性能評価

AD7986 評価ボード (EVAL-AD7986EB)の梱包には、アセンブル/テスト済みの評価ボードと、コンバータ評価/開発ボード(EVAL-CED1Z)を介してPCからボードを制御するソフトウェアが添付されています。



07986-030

図 37.AD7986 のレイアウト例(表面)



07986-031

図 38.AD7986 のレイアウト例(裏面)

外形寸法

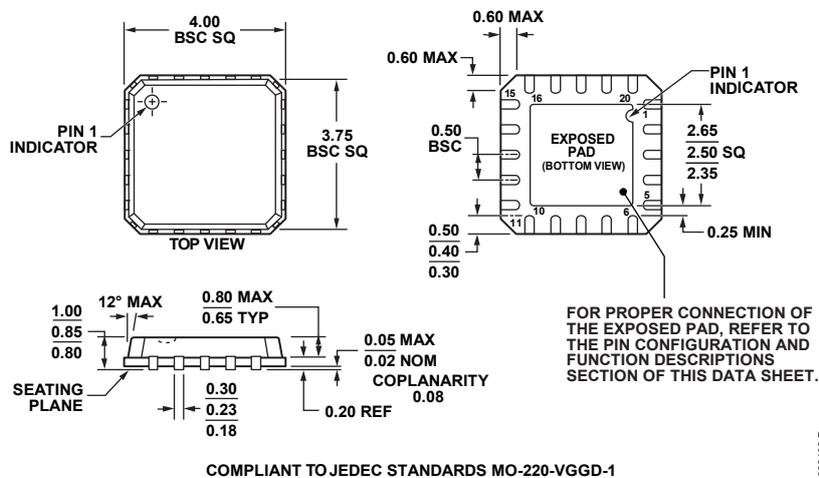


図 39.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
4 mm x4mm ボディ、極薄クワッド
(CP-20-4)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity
AD7986BCPZ ¹	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ], T ray	CP-20-4	490
AD7986BCPZ-RL7 ¹	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ], Reel	CP-20-4	1,500
EVAL-AD7986EBZ ^{1,2}		Evaluation Board		
EVAL-CED1Z ³		Converter Evaluation and Development Board		

¹ Z = RoHS 準拠製品。

² これは単独の評価ボードとして、または評価/デモ目的の EVAL-CED1Z と組み合わせて、使用することができます。

³ このボードを使うと、PC からの制御と EB サフィックスが付くすべてのアナログ・デバイズ評価ボードとの通信が可能です。