

特長

ノー・ミッシング・コードの18ビット分解能

スループット：1MSPS

低消費電力

1MSPSで7.0mW

10kSPSで70μW

INL：±1LSB (typ)、±2LSB (max)

ダイナミック・レンジ：99dB

真の差動アナログ入力範囲：±V_{REF}

2.5~5.0VのV_{REF}で0V~V_{REF}

任意の入力範囲が可能

ADA4941で簡単に駆動

パイプライン遅延なし

1.8V/2.5V/3V/5Vのロジック・インターフェースで2.5V単電源動作

SPI®/QSPI™/MICROWIRE™/DSP互換シリアル・インターフェース

複数ADCのデジチェーン接続機能とビジー・インジケータ機能

10ピン・パッケージ：MSOP (MSOP-8) および3mm×3mmのQFN (LFCSP)、SOT-23サイズ

アプリケーション

バッテリー駆動の装置

データ・アクイジション・システム

医療用計測器

地震データ・アクイジション・システム

アプリケーション図の例

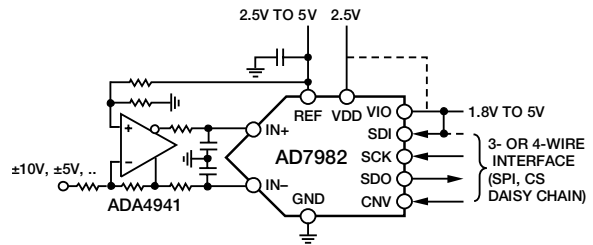


図1

概要

AD7982は、単電源VDDで動作する18ビット逐次比較型A/Dコンバータ(ADC)です。低消費電力、高速の18ビット・サンプリングADCと融通性に優れたシリアル・インターフェース・ポートを備えています。CNVの立上がりエッジで、IN+ピンとIN-ピンの電位差をサンプルします。両ピンの電圧振幅は、0V~V_{REF}の範囲で逆位相です。リファレンス電圧REFは外部から供給し、電源電圧VDDと無関係に設定できます。消費電力はスループットに比例します。

SPI互換シリアル・インターフェースは、SDI入力を使用し、3線式バスで複数のADCをデジチェーン接続することが可能です。オプションでビジー・インジケータを出力します。別のVIO電源を使用する1.8V、2.5V、3V、5Vロジックと互換性があります。

AD7982には10ピンMSOPまたは10ピンQFN (LFCSP) パッケージがあり、動作は-40~+85℃の温度範囲で規定されています。

表1. MSOP、QFN (LFCSP) パッケージの14/16/18ビットPuISAR® ADC

Type	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	≥1000 kSPS	ADC Driver
18-Bit True Differential		AD7691	AD7690	AD7982 AD7984	ADA4941 ADA4841
16-Bit True Differential	AD7684	AD7687	AD7688 AD7693		ADA4941 ADA4841
16-Bit Pseudo Differential	AD7680 AD7683	AD7685 AD7694	AD7686	AD7980	ADA4841
14-Bit Pseudo Differential	AD7940	AD7942	AD7946		ADA4841

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。© 2007 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

目次

特長	1	ドライバ・アンプの選択	14
アプリケーション	1	シングルエンド/差動変換ドライバ	15
アプリケーション図の例	1	電圧リファレンス入力	15
概要	1	電源	15
改訂履歴	2	デジタル・インターフェース	16
仕様	3	ビジー・インジケータを使用しない3線式 $\overline{\text{CS}}$ モード	17
タイミング仕様	5	ビジー・インジケータを使用する3線式 $\overline{\text{CS}}$ モード	18
絶対最大定格	6	ビジー・インジケータを使用しない4線式 $\overline{\text{CS}}$ モード	19
ESDに関する注意	6	ビジー・インジケータを使用する4線式 $\overline{\text{CS}}$ モード	20
ピン配置と機能の説明	7	ビジー・インジケータを使用しないチェーン・モード	21
用語の説明	8	ビジー・インジケータを使用するチェーン・モード	22
代表的な性能特性	9	アプリケーションのヒント	23
動作原理	12	レイアウト	23
回路情報	12	AD7982の性能評価	23
コンバータの動作	12	外形寸法	24
代表的な接続図	13	オーダー・ガイド	24
アナログ入力	14		

改訂履歴

10/07—Rev. 0 to Rev. A

Changes to Table 1 and Layout	1
Changes to Table 2	3
Changes to Layout	5
Changes to Layout	6
Changes to Figure 5	7
Changes to Figure 18 and Figure 20	11
Changes to Figure 23	13
Changes to Figure 26	15
Changes to Digital Interface Section	16
Changes to Figure 38	21
Changes to Figure 40	22
Updated Outline Dimensions	24
Changes to Ordering Guide	24

3/07—Revision 0: Initial Version

仕様

特に指定のない限り、VDD=2.5V、VIO=2.3~5.5V、REF=5V、TA=-40~+85°C。

表2

Parameter	Conditions	Min	Typ	Max	Unit
RESOLUTION		18			Bits
ANALOG INPUT					
Voltage Range	IN+ – IN–	-V _{REF}		+V _{REF}	V
Absolute Input Voltage	IN+, IN–	-0.1		V _{REF} + 0.1	V
Common-Mode Input Range	IN+, IN–	V _{REF} × 0.475	V _{REF} × 0.5	V _{REF} × 0.525	V
Analog Input CMRR	f _{IN} = 450 kHz		67		dB
Leakage Current at 25°C	Acquisition phase		200		nA
Input Impedance		See the Analog Inputs section			
ACCURACY					
No Missing Codes		18			Bits
Differential Linearity Error		-0.85	±0.5	+1.5	LSB ¹
Integral Linearity Error		-2	±1	+2	LSB ¹
Transition Noise	REF = 5 V		1.05		LSB ¹
Gain Error, T _{MIN} to T _{MAX} ²		-0.023	+0.004	+0.023	% of FS
Gain Error Temperature Drift			±1		ppm/°C
Zero Error, T _{MIN} to T _{MAX} ²			±100	+700	μV
Zero Temperature Drift			0.5		ppm/°C
Power Supply Rejection Ratio	VDD = 2.5 V ± 5%		90		dB
THROUGHPUT					
Conversion Rate		0		1	MSPS
Transient Response	Full-scale step			290	ns
AC ACCURACY					
Dynamic Range	V _{REF} = 5 V	97	99		dB ³
	V _{REF} = 2.5 V		93		dB ³
Oversampled Dynamic Range ⁴	F _O = 1 kSPS		129		dB ³
Signal-to-Noise	f _{IN} = 1 kHz, V _{REF} = 5 V, T _A = 25°C	95.5	98		dB ³
	f _{IN} = 1 kHz, V _{REF} = 2.5 V, T _A = 25°C		92.5		dB ³
Spurious-Free Dynamic Range	f _{IN} = 10 kHz		-115		dB ³
Total Harmonic Distortion ⁵	f _{IN} = 10 kHz		-120		dB ³
Signal-to-(Noise + Distortion)	f _{IN} = 1 kHz, V _{REF} = 5 V, T _A = 25°C		97		dB ³

¹ LSBは最下位ビットを意味します。入力範囲が±5Vの場合は、1LSB=38.15μV。

² 「用語の説明」を参照。これらの仕様には全温度範囲での変動が含まれますが、外部リファレンスの誤差分は含まれません。

³ dB表示の仕様はすべてフルスケール入力 (FSR) を基準とします。特に指定のない限り、フルスケールより0.5dB低い入力信号でテスト。

⁴ ダイナミック・レンジは、スループットF_Sで動作する1MSPSのADCをオーバーサンプリングした後F_Oの出力ワードレートを待つポストデジタル・フィルタによる処理を行って取得した値です。

⁵ f_{IN}=1kHzで出荷テスト済み。

AD7982

特に指定のない限り、VDD=2.5V、VIO=2.3~5.5V、REF=5V、T_A=-40~+85°C。

表3

Parameter	Conditions	Min	Typ	Max	Unit
REFERENCE					
Voltage Range		2.4		5.1	V
Load Current	1 MSPS, REF = 5 V		350		μA
SAMPLING DYNAMICS					
-3 dB Input Bandwidth			10		MHz
Aperture Delay	VDD = 2.5 V		2		ns
DIGITAL INPUTS					
Logic Levels					
V _{IL}	VIO > 3 V	-0.3		+0.3 × VIO	V
V _{IH}	VIO > 3 V	0.7 × VIO		VIO + 0.3	V
V _{IL}	VIO ≤ 3 V	-0.3		+0.1 × VIO	V
V _{IH}	VIO ≤ 3 V	0.9 × VIO		VIO + 0.3	V
I _{IL}		-1		+1	μA
I _{IH}		-1		+1	μA
DIGITAL OUTPUTS					
Data Format		Serial 18 bits, twos complement			
Pipeline Delay		Conversion results available immediately after completed conversion			
V _{OL}	I _{SINK} = +500 μA			0.4	V
V _{OH}	I _{SOURCE} = -500 μA	VIO - 0.3			V
POWER SUPPLIES					
VDD		2.375	2.5	2.625	V
VIO	Specified performance	2.3		5.5	V
VIO Range		1.8		5.5	V
Standby Current ^{1,2}	VDD and VIO = 2.5 V, 25°C		0.35		μA
Power Dissipation	10 kSPS throughput		70	86	μW
	1 MSPS throughput		7.0	8.6	mW
Energy per Conversion			7.0		nJ/sample
TEMPERATURE RANGE³					
Specified Performance	T _{MIN} to T _{MAX}	-40		+85	°C

¹ すべてのデジタル入力が必要なに応じてVIOまたはGNDに接続。

² アクイジション・フェーズ時。

³ 拡張温度範囲については、代理店および弊社営業部にお問い合わせください。

タイミング仕様

特に指定のない限り、 $T_A = -40 \sim +85^\circ\text{C}$ 、 $V_{DD} = 2.37 \sim 2.63\text{V}$ 、 $V_{IO} = 2.3 \sim 5.5\text{V}$ 。¹

表4

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available	t_{CONV}	500		710	ns
Acquisition Time	t_{ACQ}	290			ns
Time Between Conversions	t_{CYC}	1000			ns
CNV Pulse Width ($\overline{\text{CS}}$ Mode)	t_{CNVH}	10			ns
SCK Period ($\overline{\text{CS}}$ Mode)	t_{SCK}				
VIO Above 4.5 V		10.5			ns
VIO Above 3 V		12			ns
VIO Above 2.7 V		13			ns
VIO Above 2.3 V		15			ns
SCK Period (Chain Mode)	t_{SCK}				
VIO Above 4.5 V		11.5			ns
VIO Above 3 V		13			ns
VIO Above 2.7 V		14			ns
VIO Above 2.3 V		16			ns
SCK Low Time	t_{SCKL}	4.5			ns
SCK High Time	t_{SCKH}	4.5			ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	3			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}				
VIO Above 4.5 V				9.5	ns
VIO Above 3 V				11	ns
VIO Above 2.7 V				12	ns
VIO Above 2.3 V				14	ns
CNV or SDI Low to SDO D15 MSB Valid ($\overline{\text{CS}}$ Mode)	t_{EN}				
VIO Above 3 V				10	ns
VIO Above 2.3 V				15	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ($\overline{\text{CS}}$ Mode)	t_{DIS}			20	ns
SDI Valid Setup Time from CNV Rising Edge	t_{SSDICNV}	5			ns
SDI Valid Hold Time from CNV Rising Edge ($\overline{\text{CS}}$ Mode)	t_{HSDICNV}	2			ns
SDI Valid Hold Time from CNV Rising Edge (Chain Mode)	t_{HSDICNV}	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	t_{SSCKCNV}	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	t_{HSCCKCNV}	5			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	t_{SSDISCK}	2			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	t_{HSDISCK}	3			ns
SDI High to SDO High (Chain Mode with Busy Indicator)	t_{DSDOSDI}			15	ns

¹ 負荷条件については、図2と図3を参照。

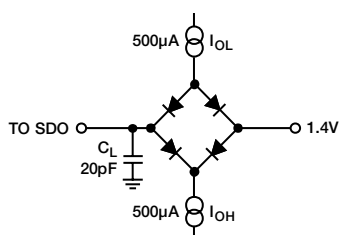


図2. デジタル・インターフェース・タイミング測定時の負荷回路

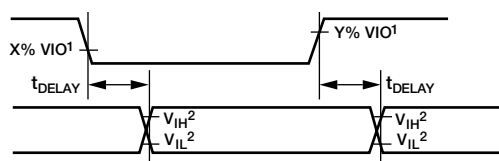


図3. タイミング測定の電圧レベル
¹FOR $V_{IO} \leq 3.0\text{V}$, $X = 90$, AND $Y = 10$; FOR $V_{IO} > 3.0\text{V}$, $X = 70$, AND $Y = 30$.
²MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3.

06513-003

絶対最大定格

表5

Parameter	Rating
Analog Inputs	
IN+, IN- to GND ¹	-0.3 V to $V_{REF} + 0.3$ V or ± 130 mA
Supply Voltage	
REF, VIO to GND	-0.3 V to +6.0 V
VDD to GND	-0.3 V to +3.0 V
VDD to VIO	+3 V to -6 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
θ_{JA} Thermal Impedance	
10-Lead MSOP	200°C/W
10-Lead QFN (LFCSP_WD)	48.7°C/W
θ_{JC} Thermal Impedance	
10-Lead MSOP	44°C/W
10-Lead QFN (LFCSP_WD)	2.96°C/W
Lead Temperatures	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

¹ IN+とIN-の説明は、「アナログ入力」を参照してください。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

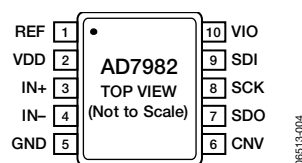


図4. 10ピンMSOPのピン配置

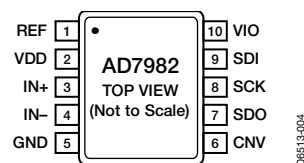


図5. 10ピンQFN (LFCFS) のピン配置

表6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	REF	AI	リファレンス入力電圧。REFの範囲は2.4~5.1Vです。このピンはGNDピンを基準としており、10 μ Fのコンデンサをこのピンの近くに配置してデカップリングしてください。
2	VDD	P	電源
3	IN+	AI	正側差動アナログ入力
4	IN-	AI	負側差動アナログ入力
5	GND	P	電源グラウンド
6	CNV	DI	変換入力。この入力には複数の機能があります。立上がりエッジで変換を開始し、インターフェース・モードとしてチェーン・モードか \overline{CS} モードを選択します。 \overline{CS} モード時は、CNVがローレベルのときにSDOピンがイネーブルされます。チェーン・モードでは、CNVがハイレベルのときにデータを読み出します。
7	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力されます。これはSCKと同期します。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されたとき、このクロックによって変換結果がシフト出力されます。
9	SDI	DI	シリアル・データ入力。この入力には複数の機能があります。ADCのインターフェース・モードを次のように選択します。 CNVの立上がりエッジでSDIがローレベルになると、チェーン・モードが選択されます。このモードでは、SDIをデータ入力に使用し、複数のADCの変換結果を1本のSDOラインでデイジーチェーン接続します。SDIのデジタル・データ・レベルは、SCKの18サイクル後にSDO上に出力されます。 CNVの立上がりエッジでSDIがハイレベルのとき、 \overline{CS} モードが選択されます。このモードでは、SDIまたはCNVがローレベルのときにシリアル出力信号をイネーブルすることができます。変換の終了時にSDIまたはCNVがローレベルのとき、ビジー・インジケータ機能がイネーブルされません。
10	VIO	P	入力/出力インターフェースのデジタル電源。公称値は、ホスト・インターフェースと同じです(1.8V、2.5V、3V、5V)。

¹ AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=電源。

用語の説明

積分非直線性誤差 (INL)

INLとは、負側フルスケールと正側フルスケールを結ぶ直線と実際の各コード出力との差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より1/2LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1 1/2LSB高いレベルと定義されます。偏差は各コードの中央と真の直線との距離として測定されます (図22を参照)。

微分非直線性誤差 (DNL)

理想的なADCでは、各コード遷移は1LSBだけ離れた位置で発生します。DNLとは、この理論値からの最大偏差のことです。通常は、ノー・ミッシング・コードが保証される分解能として規定されることもあります。

ゼロ誤差

ゼロ誤差は、理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コード (0LSB) を発生する実際の電圧との差を指します。

ゲイン誤差

最初の遷移 (100...00から100...01) は、公称負側フルスケールより1/2LSB高いレベルで発生します (±5V範囲では-4.999981V)。最後の遷移 (011...10から011...11) は、公称正側フルスケールより1 1/2LSB低いアナログ電圧で発生します (±5V範囲では+4.999943V)。ゲイン誤差は、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差と、対応する理論値の差との偏差を表します。

スプリアスフリー・ダイナミックレンジ (SFDR)

SFDRは、入力信号のRMS振幅値とピーク・スプリアス信号のRMS値との差を意味し、dB値で表します。

有効ビット数 (ENOB)

ENOBは、サイン波を入力したときの分解能の測定値であり、ビット数で表します。SINADとの関係は次式で表します。

$$ENOB = (SINAD_{dB} - 1.76) / 6.02$$

ノイズフリー・コード分解能

ノイズフリー・コード分解能は、これを超えると個々のコードを明確に分解することが不可能になるビット数のことです。次式で計算し、ビット数で表します。

$$\text{ノイズフリー・コード分解能} = \log_2(2^N / \text{ピーク to ピーク・ノイズ})$$

有効分解能

有効分解能は次式で計算し、ビット数で表します。

$$\text{有効分解能} = \log_2(2^N / \text{RMS入力ノイズ})$$

高調波歪み (THD)

THDは、最初の5つの高調波成分のRMS値の総和と、フルスケール入力信号のRMS値との比であり、dB値で表します。

ダイナミック・レンジ

ダイナミック・レンジは、フルスケールのRMS値と、入力を短絡して測定したトータルRMSノイズとの比で、dB値で表します。すべてのノイズ源とDNL成分が含まれるように、-60dBの信号で測定します。

S/N比 (SNR)

SNRは、実際の入力信号のRMS値と、ナイキスト周波数より下の他の全スペクトル成分のRMS値総和から高調波成分とDC成分を除いた値との比であり、dB値で表します。

信号/ノイズ&歪み比 (SINAD)

SINADは、実際の入力信号のRMS値と、ナイキスト周波数より下の他の全スペクトル成分のRMS値総和 (DC以外の高調波成分を含む) との比であり、dB値で表します。

アバーチャ遅延

アバーチャ遅延は、アキュジション性能を表します。CNV入力の立上がりエッジから、入力信号が変換用にホールドされるまでの時間として測定されます。

過渡応答

ADCにフルスケールのステップ関数が入力されてから、ADCがその入力を正確に取得するまでに要する時間です。

代表的な性能特性

VDD=2.5V、REF=5.0V、VIO=3.3V。

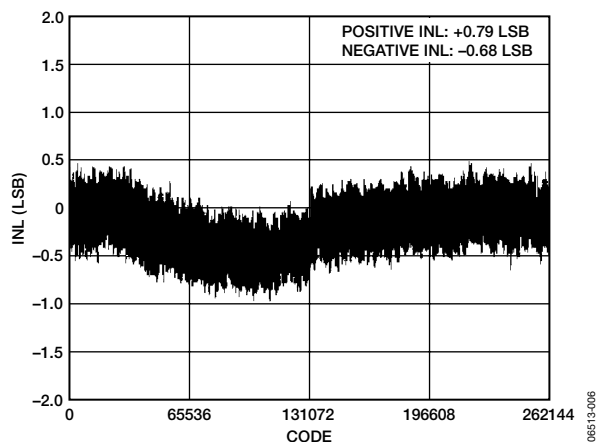


図6. コード対積分非直線性

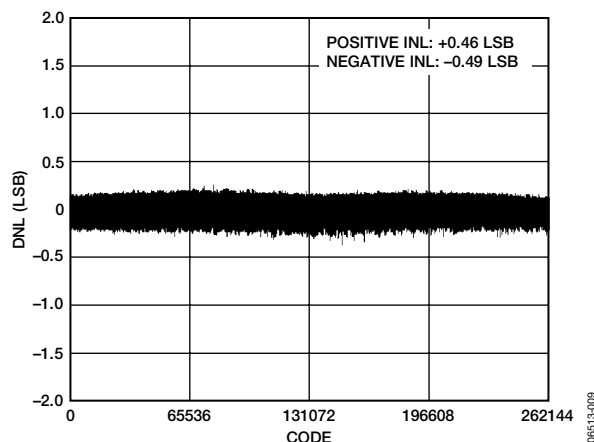


図9. コード対微分非直線性

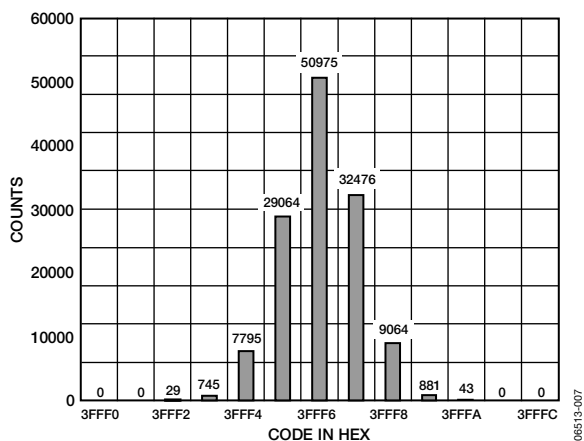


図7. コードの中央におけるDC入力のヒストグラム

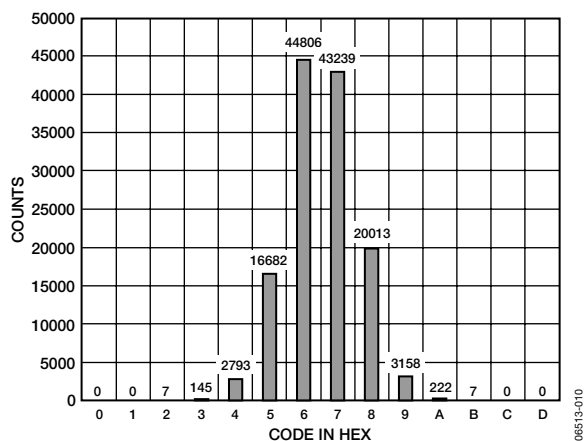


図10. コード遷移時のDC入力のヒストグラム

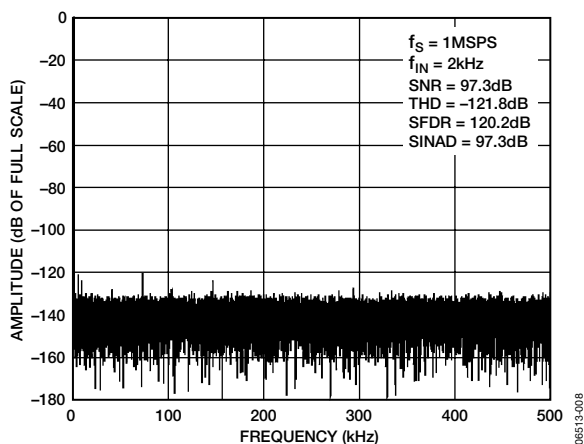


図8. FFTプロット

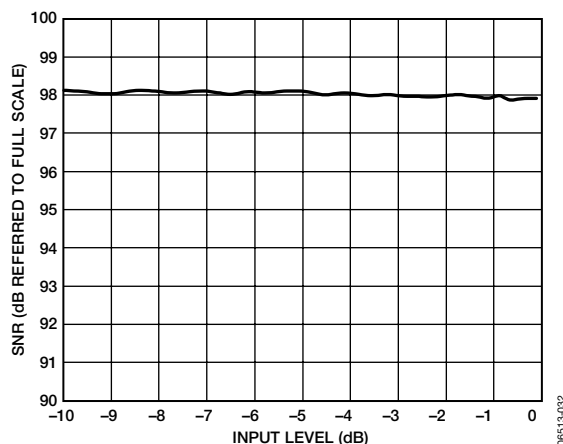


図11. 入力レベル対S/N比

AD7982

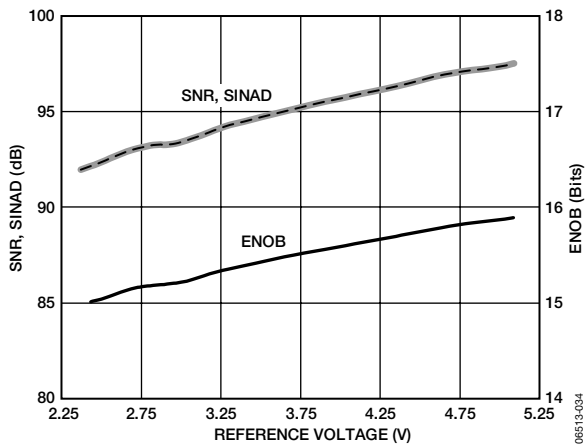


図12. リファレンス電圧 対 S/N比、SINAD、ENOB

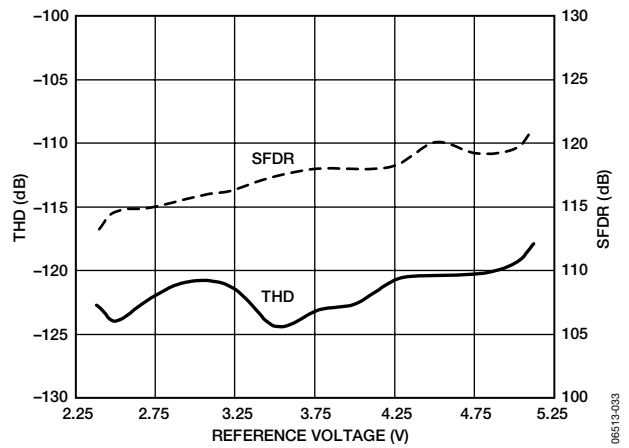


図15. リファレンス電圧 対 THD、SFDR

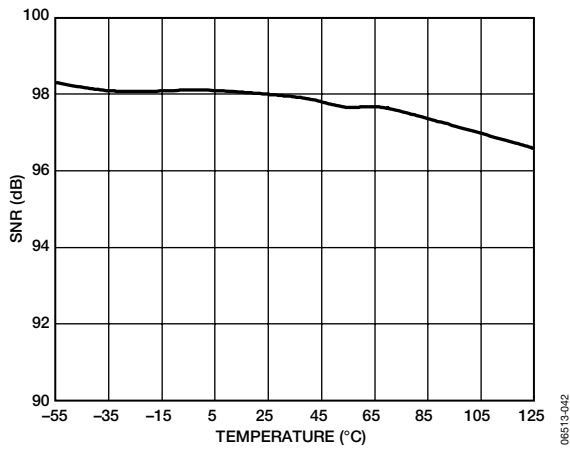


図13. S/N比の温度特性

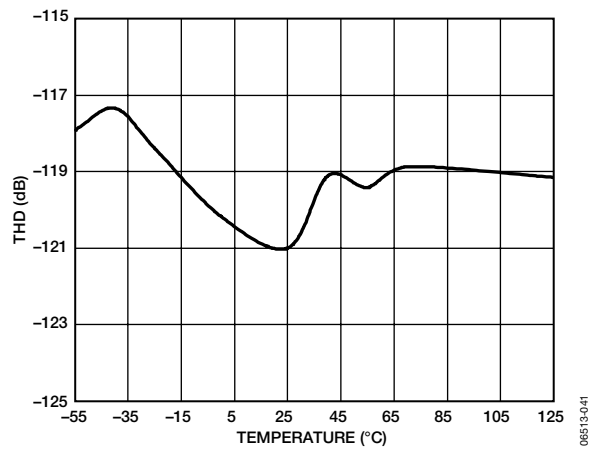


図16. THDの温度特性

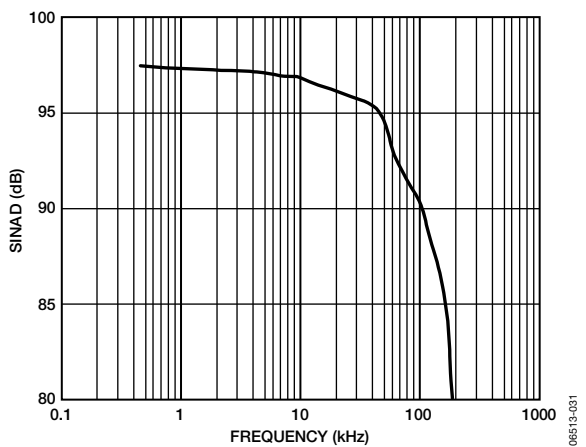


図14. SINADの周波数特性

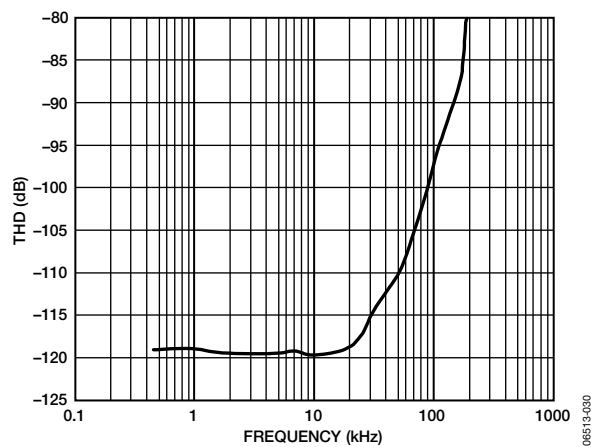


図17. THDの周波数特性

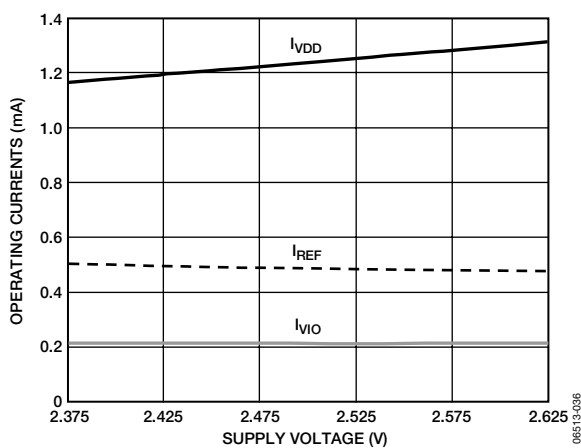


図18. 電源電圧 対 動作電流

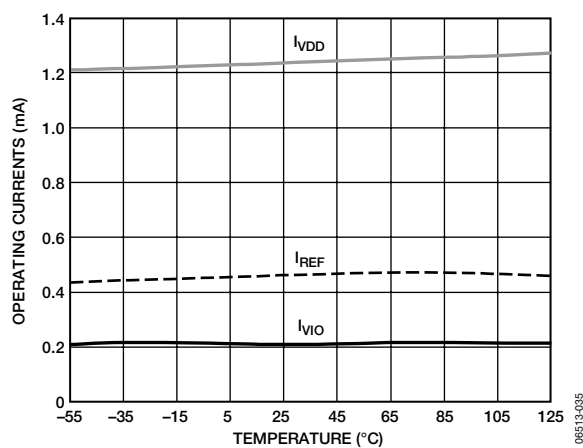


図20. 動作電流の温度特性

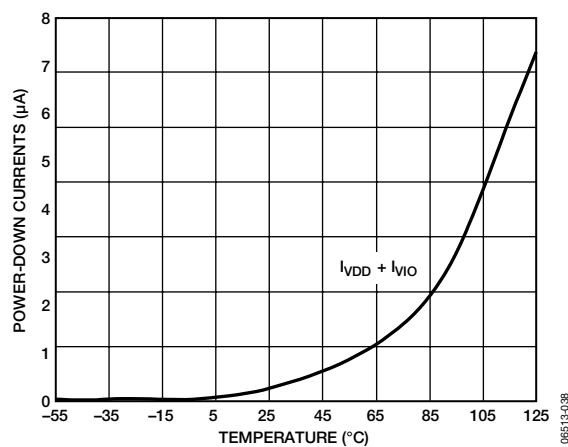


図19. パワーダウン電流の温度特性

動作原理

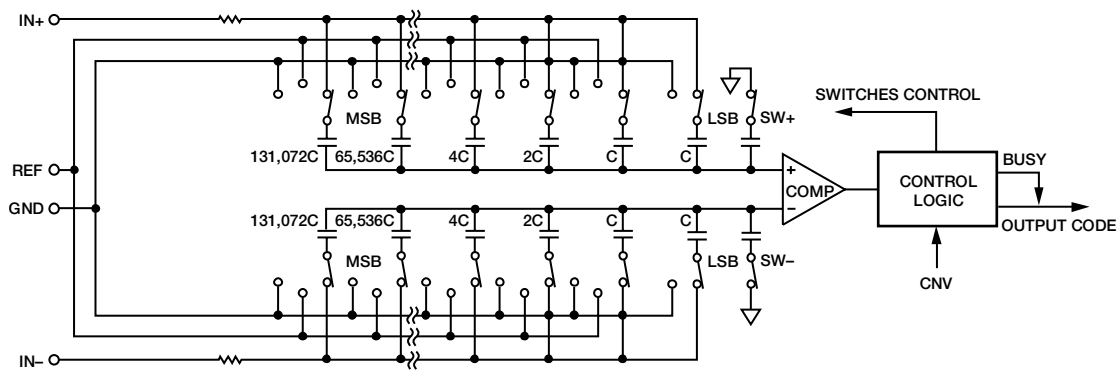


図21. ADCの簡略回路図

回路情報

AD7982は、逐次比較型アーキテクチャを採用した高速、低消費電力、単電源、高精度の18ビットADCです。

AD7982は毎秒100万サンプル（1MSPS）の変換能力を備え、変換終了から次の変換の開始までの間パワーダウンします。たとえば、10kSPSの動作で消費電力がわずか70 μ W（typ）であるため、バッテリー駆動のアプリケーションに最適です。

AD7982はトラック & ホールドを内蔵しており、パイプライン遅延や待ち時間が生じないため、複数のマルチプレクス・チャンネルのアプリケーションに最適です。

AD7982は、1.8～5Vのデジタル・ロジック・ファミリーのいずれにも接続できます。10ピンMSOPまたは小型の10ピンQFN（LFCSP）パッケージを採用しているため、省スペースの柔軟な構成が可能です。

16ビットのAD7980とピン互換です。

コンバータの動作

AD7982は、電荷再分配型DACを採用した逐次比較型ADCです。図21に、ADCの簡略回路図を示します。容量性DACは、18個のバイナリ重み付けコンデンサから構成される2個の同一アレイで構成されており、アレイは2個のコンパレータ入力に接続されています。

アクイジション・フェーズで、コンパレータの入力に接続されているアレイの端子がSW+とSW-を介してGNDに接続されます。独立した個々のスイッチはすべてアナログ入力に接続されます。したがって、コンデンサ・アレイをサンプリング・コンデンサとして使用し、IN+とIN-の各入力上のアナログ信号を取得します。アクイジション・フェーズが終了し、CONV入力が高レベルになると、変換フェーズが開始されます。変換フェーズが開始されると、まずSW+とSW-が開きます。2個のコンデンサ・アレイが入力から切り離されて、GND入力に接続されます。これにより、アクイジション・フェーズの終了時に取得したIN+入力とIN-入力の間の差電圧がコンパレータに入力され、コンパレータが不平衡状態になります。コンデンサ・アレイの各要素をGNDとREFの間で切り換えると、コンパレータ入力はバイナリ重み付けの電圧ステップ（ $V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/262,144$ ）で変化します。コントロール・ロジックは、これらのスイッチをMSBから順にトグルさせて、コンパレータを元の平衡状態に戻すようにします。このプロセスが完了すると、AD7982はアクイジション・フェーズに戻り、コントロール・ロジックがADC出力コードとビジー信号インジケータを発生します。

AD7982には変換クロックが内蔵されているため、変換プロセスでシリアル・クロックSCKは必要ありません。

06513-011

伝達関数

AD7982の理想的な伝達関数を図22と表7に示します。

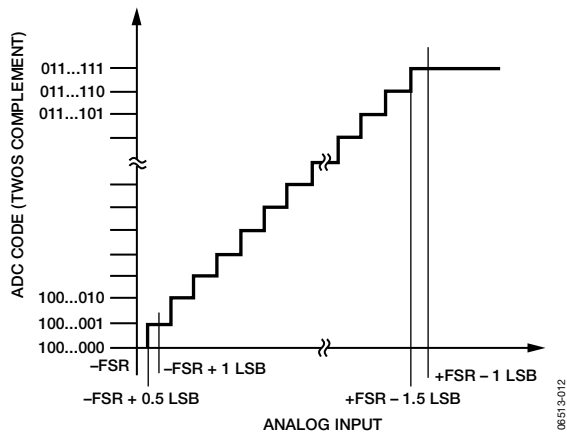


図22. ADCの理想的な伝達関数

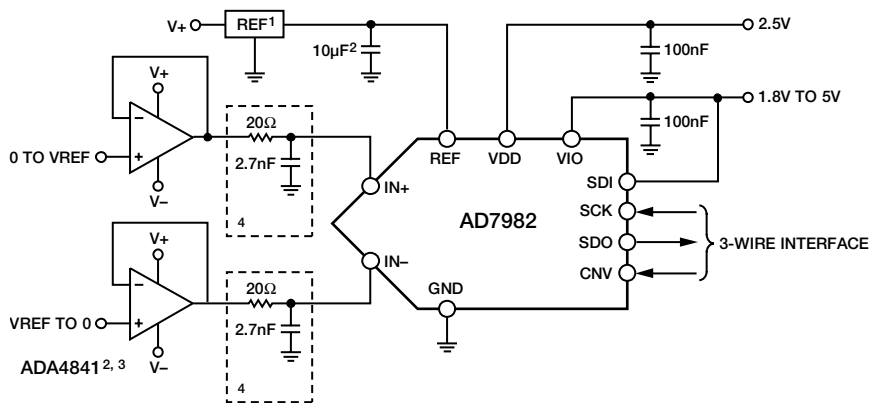
表7. 出力コードと理想的な入力電圧

Description	Analog Input $V_{REF} = 5\text{ V}$	Digital Output Code (Hex)
FSR - 1 LSB	+4.999962 V	0x1FFFF ¹
Midscale + 1 LSB	+38.15 μV	0x00001
Midscale	0 V	0x00000
Midscale - 1 LSB	-38.15 μV	0x3FFFF
-FSR + 1 LSB	-4.999962 V	0x20001
-FSR	-5 V	0x20000 ²

¹ オーバーレンジのアナログ入力 ($V_{IN+} - V_{IN-} > V_{REF} - V_{GND}$) のコード。
² アンダーレンジのアナログ入力 ($V_{IN+} - V_{IN-} < V_{GND}$) のコード。

代表的な接続図

図23に、複数の電源を使用するときのAD7982の推奨接続例を示します。



NOTES

- ¹SEE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
- ² C_{REF} IS USUALLY A 10 μF CERAMIC CAPACITOR (X5R).
- ³SEE RECOMMENDED LAYOUT FIGURE 41 AND FIGURE 42.
- ⁴SEE DRIVER AMPLIFIER CHOICE SECTION.
- ⁵OPTIONAL FILTER. SEE ANALOG INPUT SECTION.

図23. 複数の電源を使用する代表的なアプリケーション図

AD7982

アナログ入力

図24にAD7982の入力構造の等価回路を示します。

D1とD2の2個のダイオードが、IN+とIN-のアナログ入力に対するESD保護機能を提供します。アナログ入力信号がリファレンス入力電圧 (REF) を0.3V以上超えないように注意してください。アナログ入力信号がこのレベルを超えると、ダイオードが順方向にバイアスされて、電流が流れ始めます。これらのダイオードは、最大130mAの順方向バイアス電流に対応します。ただし、入力バッファの電源 (たとえば、図23に示すADA4841の電源) がREFと異なると、アナログ入力信号が最終的に電源レールを0.3V以上超えてしまうことがあります。このような場合には (たとえば入力バッファに短絡回路がある場合)、デバイスを保護するために電流制限機能を使うことができます。

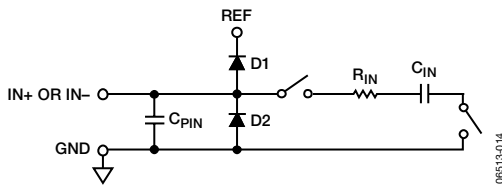


図24. アナログ入力の等価回路

このアナログ入力構造を使うと、IN+とIN-の間の真の差動信号をサンプリングすることができます。これらの差動入力を使用すると、2つの入力に共通する信号が除去されます。

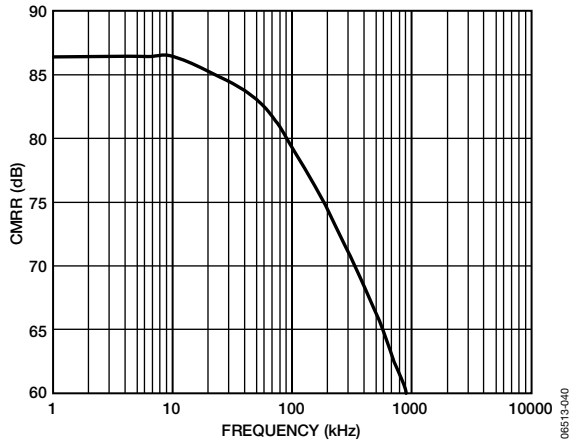


図25. アナログ入力CMRRの周波数特性

アキュイジション・フェーズでは、アナログ入力 (IN+またはIN-) のインピーダンスをコンデンサC_{PIN}とR_{IN}-C_{IN}直列接続回路との並列接続としてモデル化できます。C_{PIN}は主にピン・コンデンサです。R_{IN}は一般に400Ωであり、直列抵抗とスイッチのオン抵抗で構成される集中定数成分です。C_{IN}は一般に30pFで、主にADCサンプリング・コンデンサとして使用します。

スイッチが閉じるサンプリング・フェーズでは、入力インピーダンスがC_{PIN}に制限されます。R_{IN}とC_{IN}は単極ローパス・フィルタを構成し、望ましくない折り返し信号の影響を削減し、ノイズを制限します。

駆動回路の信号源インピーダンスが低い場合は、AD7982を直接駆動できます。信号源インピーダンスが大きいと、AC性能、特にTHDに大きく影響します。DC性能は、入力インピーダンスにそれほど影響されません。最大の信号源インピーダンスは、許容できるTHDの値によって異なります。THDの低下は、信号源インピーダンスと最大入力周波数の関数になります。

ドライバ・アンプの選択

AD7982は簡単に駆動できますが、ドライバ・アンプは次の条件を満たす必要があります。

- ドライバ・アンプから発生するノイズをできる限り小さくし、AD7982のS/N比および遷移ノイズ性能を維持する必要があります。ドライバ・アンプから発生するノイズは、R_{IN}とC_{IN}で構成されるAD7982のアナログ入力回路の単極ローパス・フィルタか、あるいは外部フィルタを使用する場合はそのフィルタによって除去することができます。AD7982のノイズは40μV rms (typ) であるため、アンプによるS/N比の低下は次式で求めることができます。

$$SNR_{Loss} = 20 \log \left(\frac{40}{\sqrt{40^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、

f_{-3dB}は、AD7982のMHzで表した入力帯域幅 (10MHz) または入力フィルタを使用する場合はそのカットオフ周波数。

Nは、アンプのノイズ・ゲイン (たとえば、バッファの場合は1)。

e_Nは、オペアンプの等価入力ノイズ電圧 (nV/√Hz)。

- ACアプリケーションの場合は、ドライバがAD7982に釣り合うTHD性能を持っている必要があります。
- マルチチャンネルのマルチプレクス・アプリケーションでは、ドライバ・アンプとAD7982のアナログ入力回路のセトリング時間は、コンデンサ・アレイへのフルスケール・ステップ入力に対して18ビット精度以内 (0.0004%、4ppm) に安定する必要があります。アンプのデータシートには、一般に0.1~0.01%以内に安定するセトリング時間が規定されています。これは18ビット精度以内に安定するセトリング時間と大きく異なるため、ドライバを選択する前に確認する必要があります。

表8. 推奨ドライバ・アンプ

Amplifier	Typical Application
ADA4941	Very low noise, low power, single to differential
ADA4841	Very low noise, small, and low power
AD8021	Very low noise and high frequency
AD8022	Low noise and high frequency
OP184	Low power, low noise, and low frequency
AD8655	5 V single supply, low noise
AD8605, AD8615	5 V single supply, low power

シングルエンド／差動変換ドライバ

バイポーラまたはユニポーラのシングルエンドのアナログ信号を使用するアプリケーションでは、シングルエンド／差動変換ドライバのADA4941を使用することで差動入力が可能になります。図26に回路図を示します。

R1とR2で入力範囲とADC範囲 (V_{REF}) の減衰比を設定します。入力抵抗、信号帯域幅、折り返し防止機能、ノイズ成分により、R1、R2、 C_F の値を選びます。たとえば、入力範囲が±10V、インピーダンスが4kΩの場合、R2=1kΩ、R1=4kΩとなります。

R3とR4でADCのIN-入力の同相電圧を設定し、R5とR6でIN+入力の同相電圧を設定します。同相電圧は $V_{REF}/2$ に近い値にしてください。たとえば、単電源で入力範囲が±10Vの場合、R3=8.45kΩ、R4=11.8kΩ、R5=10.5kΩ、R6=9.76kΩとなります。

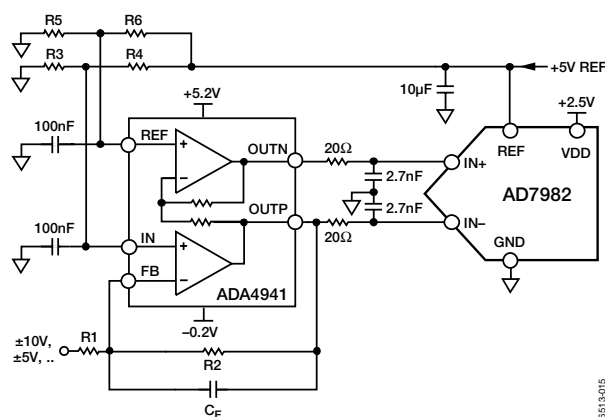


図26. シングルエンド／差動変換ドライバ回路

電圧リファレンス入力

AD7982の電圧リファレンス入力REFは、ダイナミックな入力インピーダンスを持つため、「レイアウト」で説明するようにREFピンとGNDピンの間で効果的なデカップリングを行い、低い信号源インピーダンスで駆動する必要があります。

特にインピーダンスが低い信号源（たとえば、AD8031やAD8605を使用するリファレンス・バッファ）でREFを駆動する場合、最適な性能を得るためには10μF (X5R、0805サイズ)のセラミック・チップ・コンデンサの使用が適しています。

バッファなしでリファレンス電圧を使用する場合、デカップリングの値は、使用するリファレンスによって異なります。たとえば、温度ドリフトの低いADR43xリファレンスを使用して最適な性能を得るためには、22μF (X5R、1206サイズ)のセラミック・チップ・コンデンサの使用が適しています。

場合によって、2.2μFまでの容量の小さいリファレンス・デカップリング用コンデンサを使用することで、性能、特にDNLに対する影響を最小限に抑えることができます。

ただし、さらに小さい容量のセラミック・デカップリング用コンデンサ (100nFなど) をREFピンとGNDピンの間に追加する必要はありません。

電源

AD7982では、コア電源VDDとデジタル入出力インターフェース電源VIOの2本の電源ピンを使用します。VIOは、1.8~5.5Vの任意のロジックに直接接続できます。必要な電源の数を少なくするために、VIOピンとVDDピンを相互に接続することができます。AD7982は、VIOとVDDの間の電源シーケンシングには関係ありません。また、図27に示すように、広い周波数範囲で電源変動の影響を受けません。

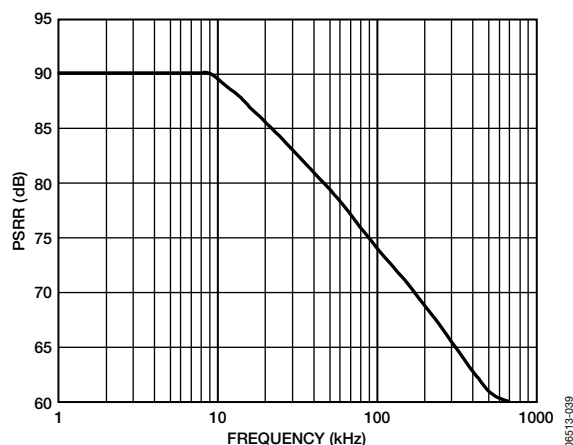


図27. PSRRの周波数特性

最適な性能を得るためには、VDDを電圧リファレンス入力REFの約半分にしてください。たとえば、REFが5.0Vの場合は、VDDを2.5V (±5%) に設定します。

各変換フェーズの終わりに、AD7982は自動的にパワーダウンします。したがって、消費電力はサンプリング・レートに正比例します。このため、このデバイスは低いサンプリング・レート (数Hzの場合でも) や低電圧バッテリー駆動のアプリケーションに最適です。

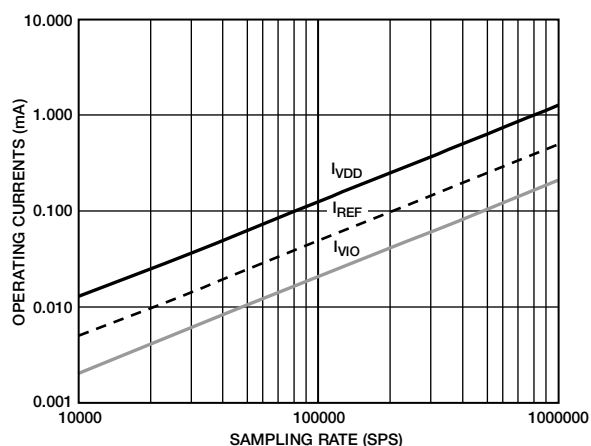


図28. サンプリングレート対動作電流

AD7982

デジタル・インターフェース

AD7982のピン数は少なくなっていますが、シリアル・インターフェース・モードでは高い柔軟性を提供します。

$\overline{\text{CS}}$ モードでは、SPI、QSPI、デジタル・ホスト、DSPと互換性があります。このモードで、3線式または4線式インターフェースを使用できます。CNV、SCK、SDOの信号を使用する3線式インターフェースは配線数のごくわずかになり、絶縁型のアプリケーションなどに適しています。SDI、CNV、SCK、SDOの信号を使用する4線式インターフェースでは、変換を開始するCNVを読出しタイミング（SDI）と無関係にすることが可能です。これは、ジッタの低いサンプリングまたは同時サンプリングのアプリケーションで便利です。

チェーン・モードでは、SDI入力を使用して、シフト・レジスタと同様に1本のデータ・ラインで複数のADCをカスケード接続するダイジェンチェーン接続が可能です。

AD7982の動作モードは、CNVの立上がりエッジでのSDIのロジックレベルで決定されます。SDIがハイレベルの場合は $\overline{\text{CS}}$ モード、SDIがローレベルの場合はチェーン・モードが選択されます。SDIのホールド時間を、SDIとCNVを接続して設定すると、チェーン・モードが常に選択されるようになります。

いずれのモードでも、AD7982にはデータビットの前にスタートビットを挿入するオプションがあります。このスタートビットをビジー信号インジケータとして使用することで、デジタル・ホストに割込みをかけ、データの読出しをトリガできます。ビジー・インジケータを使用しない場合は、読出しを行う前に最大変換時間の経過を待つ必要があります。

次の場合に、ビジー・インジケータがイネーブルされます。

- $\overline{\text{CS}}$ モードでは、ADCの変換終了時にCNVまたはSDIがローレベルのとき（図32と図36）
- チェーン・モードでは、CNVの立上がりエッジでSCKがハイレベルのとき（図40）

ビジー・インジケータを使用しない3線式 \overline{CS} モード

一般に、1個のAD7982をSPI互換のデジタル・ホストに接続するときを使用するモードです。図29に接続図、図30に対応するタイミング図を示します。

SDIをVIOに接続しているときに、CNVの立上がりエッジで変換が開始され、 \overline{CS} モードが選択され、SDOがハイ・インピーダンスになります。変換が開始されてから終わるまで、CNVの状態に関係なくこれが続きます。これは、たとえばCNVをローレベルに設定して、アナログ・マルチプレクサなどの他のSPIデバイスを選択する場合に便利です。ただし、最小変換時間が経過する前にCNVをハイレベルに復帰させ、変換時間の間、可

能な限り長くハイレベルに保持し、ビジー信号インジケータが発生しないようにする必要があります。変換が完了すると、AD7982はアクイジション・フェーズに入り、パワーダウンします。CNVがローレベルになると、MSBがSDO上に出力されます。残りのデータビットは、その後続くSCKの立下がりエッジで出力されます。データはSCKの両エッジで有効です。立上がりエッジを使用してデータの取込みが可能ですが、SCKの立下がりエッジを使用するデジタル・ホストでは、ホールド時間が許容される限り、読み出し速度を速くすることができます。SCKの18番目の立下がりエッジの後、またはCNVがハイレベルになるときに（いずれか先に発生する方）、SDOはハイ・インピーダンスに戻ります。

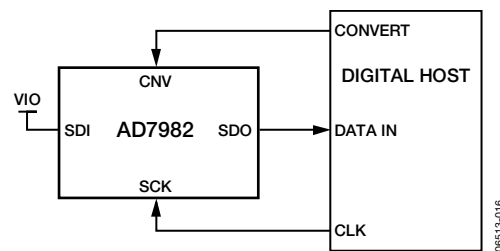


図29. ビジー・インジケータを使用しない3線式 \overline{CS} モードの接続図 (SDIはハイレベル)

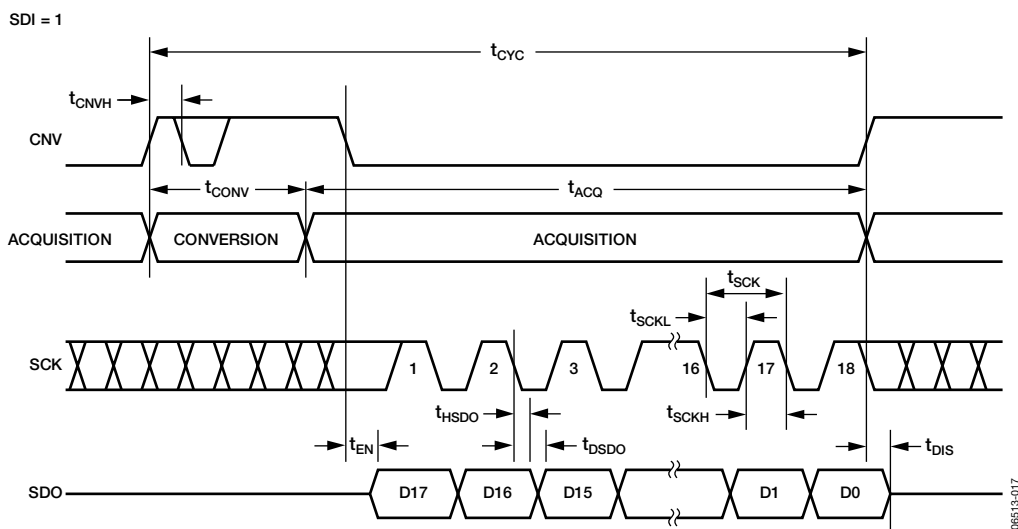


図30. ビジー・インジケータを使用しない3線式 \overline{CS} モードのシリアル・インターフェース・タイミング (SDIはハイレベル)

AD7982

ビジー・インジケータを使用する3線式CSモード

一般に、割込み入力を持つSPI互換のデジタル・ホストに1個のAD7982を接続するとき使用するモードです。

図31に接続図、図32に対応するタイミング図を示します。

SDIをVIOに接続しているときに、CNVの立上がりエッジで変換が開始され、CSモードが選択され、SDOがハイ・インピーダンスになります。SDOはCNVの状態に関係なく、変換が完了するまでハイ・インピーダンスのままです。最小変換時間の前にCNVを使用してアナログ・マルチプレクサなどの他のSPIデバイスを選択できますが、最小変換時間が経過する前にCNVをローレベルに復帰させ、変換時間の間、可能な限り長くローレベルに保持し、ビジー信号インジケータを発生させるようにする必要があります。変換が完了すると、SDOはハイ・インピーダンスからロー・インピーダンスに変わります。SDOライ

ン上のプルアップを使用し、この変化を割込み信号とし、デジタル・ホストが制御するデータ読出しを開始できます。その後、AD7982はアクイジション・フェーズに入り、パワーダウンします。データビットは、後に続くSCKの立下がりエッジによってMSBファーストで出力されます。SCKの両エッジでデータは有効です。立上がりエッジを使用してデータの取込みが可能です。SCKの立下がりエッジを使用するデジタル・ホストでは、ホールド時間が許容される限り、読出し速度を速くすることができます。SCKの19番目の立下がりエッジが発生した後、またはCNVがハイレベルになるときに（いずれか先に発生する方）、SDOはハイ・インピーダンスに戻ります。

複数のAD7982を同時に選択する場合は、損傷やラッチアップを生じることなくSDO出力ピンがこの競合を処理します。ただし、消費電力を抑えるために、競合はできる限り短くすることを推奨します。

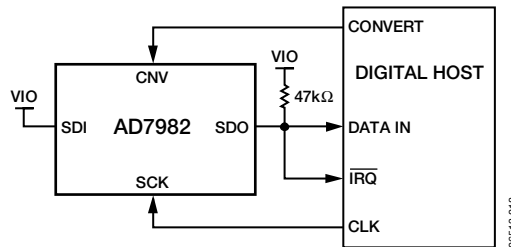


図31. ビジー・インジケータを使用する3線式CSモードの接続図 (SDIはハイレベル)

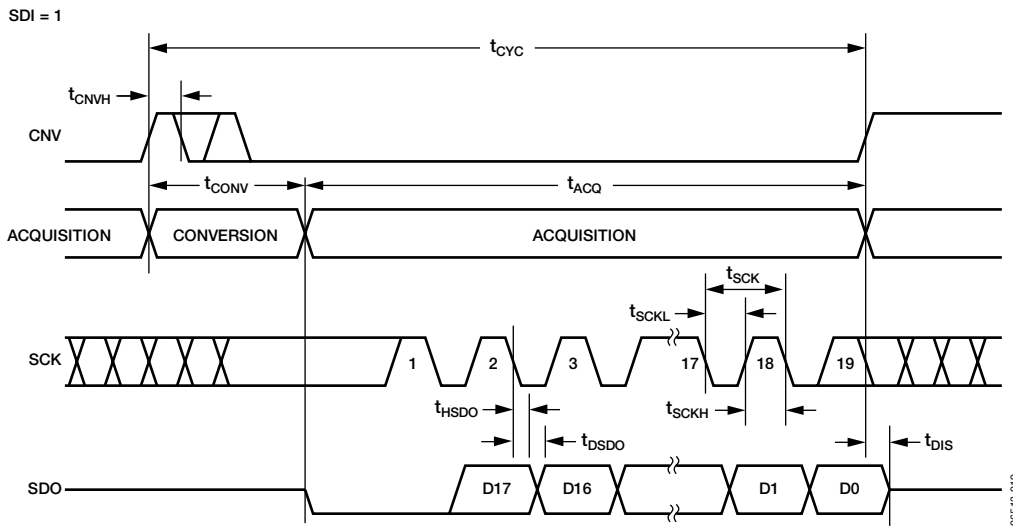


図32. ビジー・インジケータを使用する3線式CSモードのシリアル・インターフェース・タイミング (SDIはハイレベル)

ビジー・インジケータを使用しない4線式 \overline{CS} モード

一般に、複数のAD7982をSPI互換のデジタル・ホストに接続するときに使用するモードです。

図33に2個のAD7982を使用する接続図の例、図34に対応するタイミング図を示します。

SDIがハイレベルのときに、CNVの立上がりエッジで変換が開始され、 \overline{CS} モードが選択され、SDOがハイ・インピーダンスになります。このモードでは、変換フェーズおよびその後続くデータ読み出し時にCNVをハイレベルに保持する必要があります。(SDIとCNVがローレベルの場合は、SDOがローレベルになります。) 最小変換時間の前にSDIを使用して、アナログ・マルチプレクサなどの他のSPIデバイスを選択できますが、最小変換時間が経過する前にSDIをハイレベルに復帰させ、変換時

間、可能な限り長くハイレベルに保持し、ビジー信号インジケータが発生しないようにする必要があります。変換が完了すると、AD7982はアキュイジション・フェーズに入り、パワーダウンをします。SDI入力をローレベルにすることで各ADCの結果が読み出され、これによってMSBがSDO上に出力されます。残りのデータビットは、その後続くSCKの立下がりエッジで出力されます。SCKの両エッジでデータは有効ですが、SCKの立下がりエッジを使用するデジタル・ホストでは、ホールド時間が許容される限り、読み出し速度を速くすることができます。SCKの18番目の立下がりエッジが発生した後、またはSDIがハイレベルになるときに(いずれか先に発生する方)、SDOがハイ・インピーダンスに戻り、もう1つのAD7982の読み出しが可能になります。

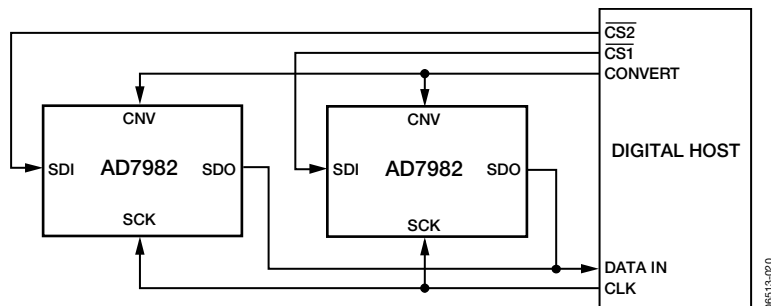


図33. ビジー・インジケータを使用しない4線式 \overline{CS} モードの接続図

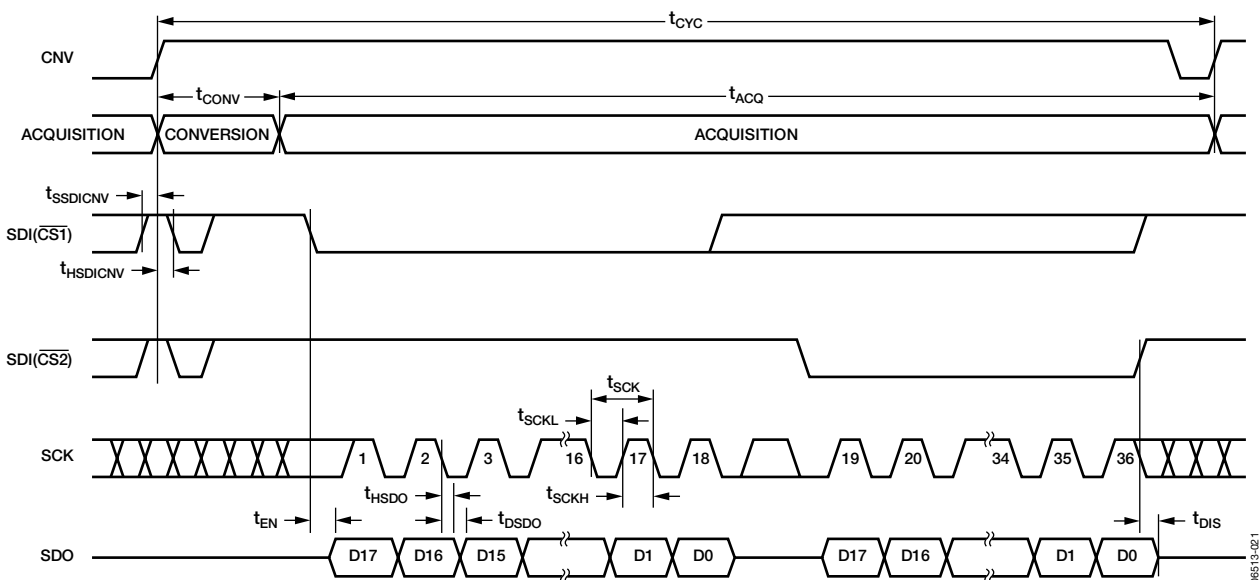


図34. ビジー・インジケータを使用しない4線式 \overline{CS} モードのシリアル・インターフェース・タイミング

AD7982

ビジー・インジケータを使用する4線式CSモード

一般に、割込み入力を持つSPI互換のデジタル・ホストに1個のAD7982を接続し、アナログ入力のサンプリングに使用するCNVをデータ読出しの選択に使用する信号とは無関係にしておきたい場合に使用するモードです。この非依存性は、CNVのジッタを低く抑える必要のあるアプリケーションで特に重要です。

図35に接続図、図36に対応するタイミング図を示します。

SDIがハイレベルのときに、CNVの上上がりエッジで変換が開始され、CSモードが選択され、SDOがハイ・インピーダンスになります。このモードでは、変換フェーズおよびその後続くデータ読出し時にCNVをハイレベルに保持する必要があります。(SDIとCNVがローレベルの場合は、SDOがローレベルになります。) 最小変換時間の前にSDIを使用して、アナログ・マルチプレクサなどの他のSPIデバイスを選択できますが、最小

変換時間が経過する前にSDIをローレベルに復帰させ、変換時間の間、可能な限り長くローレベルに保持し、ビジー信号インジケータを発生させるようにする必要があります。変換が完了すると、SDOはハイ・インピーダンスからロー・インピーダンスに変化します。SDOライン上のプルアップを使用し、この変化を割込み信号とし、デジタル・ホストが制御するデータ読出しを開始できます。その後、AD7982はアクイジション・フェーズに入り、パワーダウンします。データビットは、後に続くSCKの立下がりエッジでMSBファーストで出力されます。SCKの両エッジでデータは有効です。立上がりエッジを使用してデータの取込みが可能ですが、SCKの立下がりエッジを使用するデジタル・ホストでは、ホールド時間が許容される限り、読出し速度を速くすることができます。SCKのオプションの19番目の立下がりエッジが発生した後、またはSDIがハイレベルになるときに(いずれか先に発生する方)、SDOはハイ・インピーダンスに戻ります。

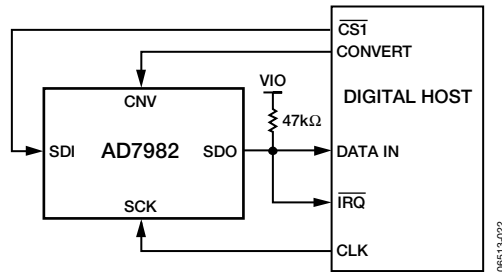


図35. ビジー・インジケータを使用する4線式CSモードの接続図

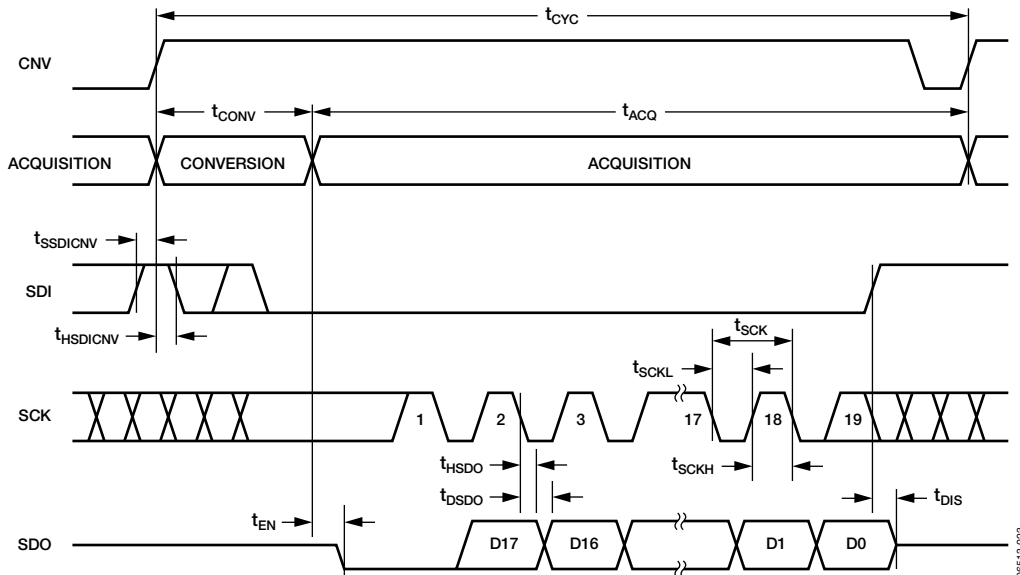


図36. ビジー・インジケータを使用する4線式CSモードのシリアル・インターフェース・タイミング

ビジー・インジケータを使用しないチェーン・モード

3線式シリアル・インターフェースで複数のAD7982をデジタイズチェーン接続するときに、このモードが使用できます。たとえば、絶縁型マルチコンバータ・アプリケーションなど、使用する部品数や配線数を少なくする場合やインターフェース能力が限られているシステムにこの機能が便利です。データの読出しは、シフト・レジスタのクロック動作とほぼ同じです。

図37に2個のAD7982を使用する接続図の例、図38に対応するタイミング図を示します。

SDIとCNVがローレベルのときに、SDOがローレベルになります。SCKがローレベルのときに、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー・インジケータがディセーブルされます。このモードでは、変換フェー

ズおよびその後続くデータ読出し時に、CNVをハイレベルに保持する必要があります。変換が完了すると、MSBがSDO上に出力され、AD7982はアクイジション・フェーズに入り、パワーダウンします。内部シフト・レジスタに格納されている残りのデータビットは、後に続くSCKの立下がりエッジで出力されます。各ADCでは、SDIが内部シフト・レジスタの入力に接続され、SCKの立下がりエッジで入力されます。チェーン内の各ADCはデータをMSBファーストで出力し、N個のADCのデータを読み出すには $18 \times N$ クロックが必要になります。SCKの両エッジでデータは有効です。立上がりエッジを使用してデータの取込みが可能ですが、SCKの立下がりエッジを使用するデジタル・ホストでは、ホールド時間が許容される限り読出し速度を速くすることができるため、チェーン内の多くのAD7982の読出しができます。合計読出し時間により、最大変換レートが低下することがあります。

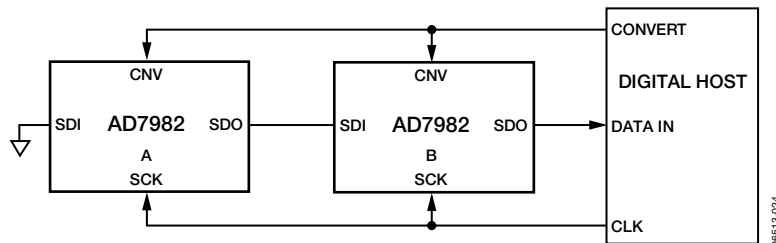


図37. ビジー・インジケータを使用しないチェーン・モードの接続図

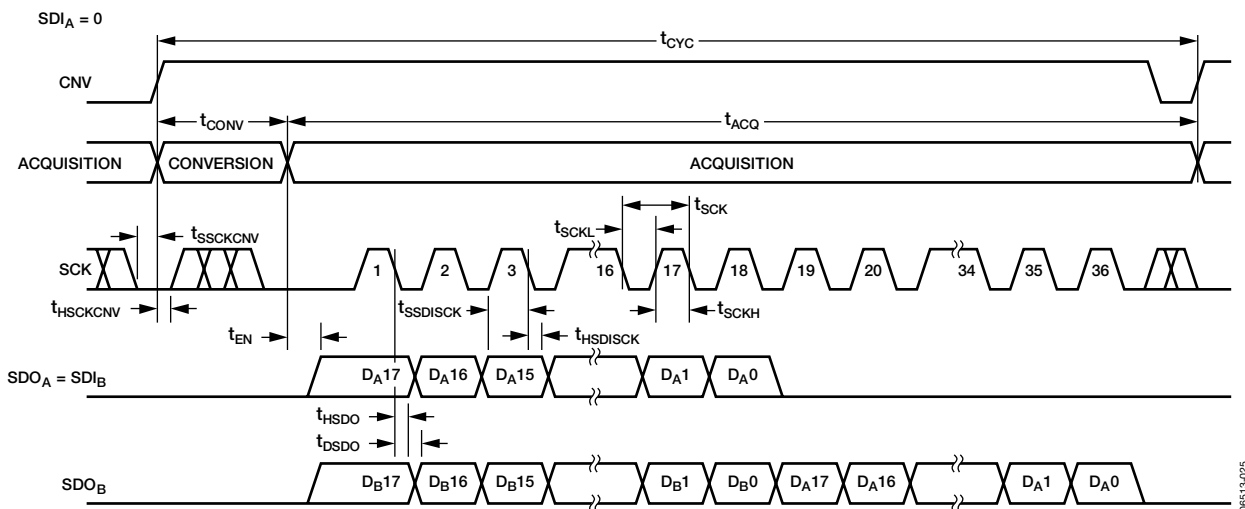


図38. ビジー・インジケータを使用しないチェーン・モードのシリアル・インターフェース・タイミング

AD7982

ビジー・インジケータを使用するチェーン・モード

3線式シリアル・インターフェースで複数のAD7982をデジタイズチェーン接続し、ビジー・インジケータを出力する場合に、このモードが使用できます。たとえば、絶縁型マルチコンバータ・アプリケーションなど、使用する部品数や配線数を少なくする場合やインターフェース能力が限られているシステムにこの機能が便利です。データの読出しは、シフト・レジスタのクロック動作とほぼ同じです。

図39に3個のAD7982を使用する接続図の例、図40に対応するタイミング図を示します。

SDIとCNVがローレベルのときに、SDOがローレベルになります。SCKがハイレベルのときに、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択されて、ビジー・インジケータ機能がイネーブルされます。このモードでは、変換フェーズおよびその後続くデータ読出し時に、CNVをハイレ

ベルに維持する必要があります。チェーン内の全ADCの変換が完了すると、デジタル・ホストに最も近いADC（図39ではCと表記されているAD7982 ADC）のSDOピンがハイレベルになります。このSDOの変化をビジー・インジケータとし、デジタル・ホストが制御するデータ読出しをトリガできます。その後、AD7982はアクイジション・フェーズに入り、パワーダウになります。内部シフト・レジスタに格納されているデータビットは、後に続くSCKの立下がりエッジで出力されます。各ADCでは、SDIが内部シフト・レジスタの入力に接続され、SCKの立下がりエッジで入力されます。チェーン内の各ADCはデータをMSBファーストで出力し、N個のADCのデータを読み出すためには $18 \times N + 1$ クロックが必要になります。立上がりエッジを使用してデータの取込みが可能ですが、SCKの立下がりエッジを使用するデジタル・ホストでは、ホールド時間が許容される限り読出し速度を速くすることができるため、チェーン内の多くのAD7982の読出しができます。

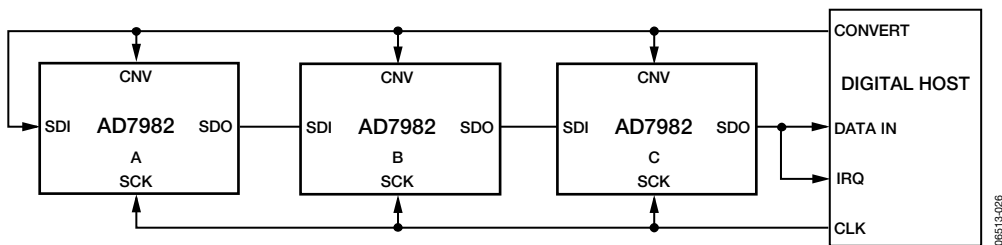


図39. ビジー・インジケータを使用するチェーン・モードの接続図

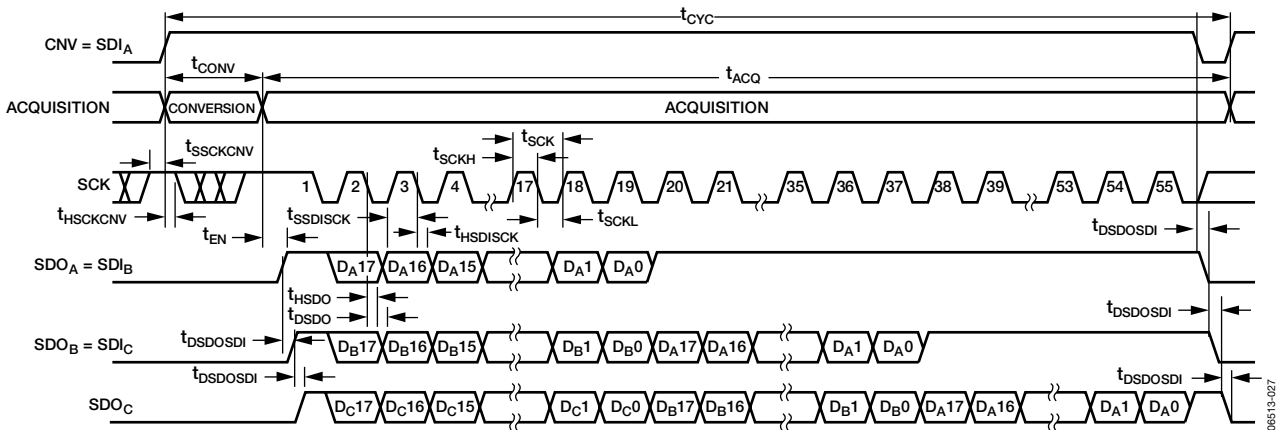


図40. ビジー・インジケータを使用するチェーン・モードのシリアル・インターフェース・タイミング

アプリケーションのヒント

レイアウト

AD7982を実装するPCボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれをまとめて配置するように設計してください。アナログ信号をすべて左側、デジタル信号をすべて右側に置くピン配置を採用することによって、このような設計が簡単にできるようになっています。

デバイスの真下にデジタル信号ラインを配置しないようにしてください。そうしないと、AD7982の真下のグラウンド・プレーンがシールドに使われていない限り、チップ上にノイズが混入してしまいます。CNVやクロックなどの高速スイッチング信号がアナログ信号バスの近くを通らないようにします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。

少なくともグラウンド・プレーンを1枚使用してください。デジタル部とアナログ部で共通のものにするか、分割することができます。分割する場合は、AD7982の真下で接続してください。

AD7982の電圧リファレンス入力REFには、ダイナミックな入力インピーダンスがあるため、最小の寄生インダクタンスでデカップリングしてください。その際、リファレンス・デカップリング用のセラミック・コンデンサをREFピンとGNDピンのできる限り近く、理想的にはその真上に配置し、低インピーダンスの太いパターンで接続します。

最後に、AD7982の電源VDDとVIOのデカップリングには、一般に100nFのセラミック・コンデンサをAD7982の近くに配置し、接続には短くて太いパターンを使用します。こうすることで、低インピーダンス・パスが得られ、電源ライン上のグリッチの影響を小さくすることができます。

図41と図42に、これらのルールに従ったレイアウトの例を示します。

AD7982の性能評価

AD7982のその他の推奨レイアウトは、AD7982評価用ボード (EVAL-AD7982CBZ) の説明書に概説されています。この評価用ボード・パッケージには、完全組立てテスト済みの評価用ボード、説明書、EVAL-CONTROL BRD3を使用してPCからボードを制御するためのソフトウェアが含まれています。

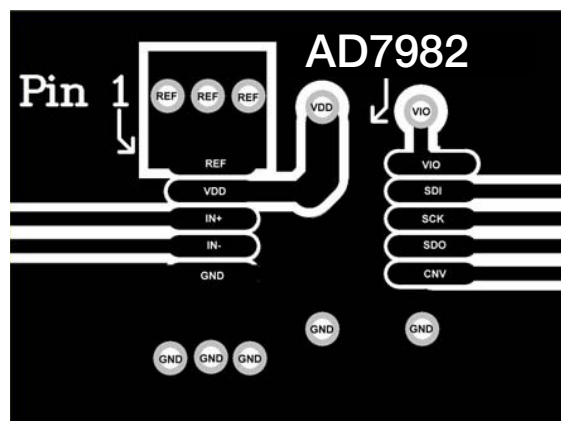


図41. AD7982のレイアウト例（上面層）

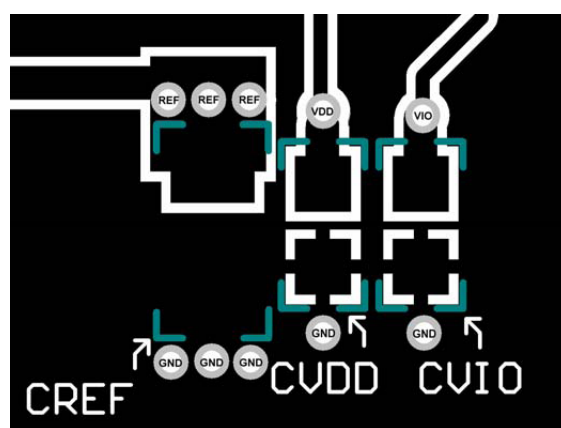


図42. AD7982のレイアウト例（底面層）

外形寸法

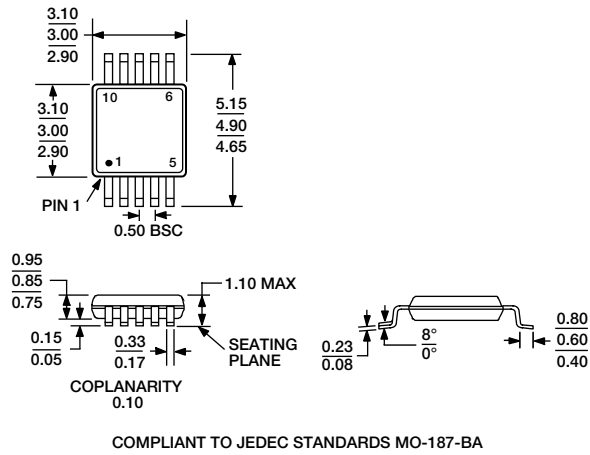


図43. 10ピン・ミニモールド・アウトライン・パッケージ [MSOP] (RM-10)
寸法単位：mm

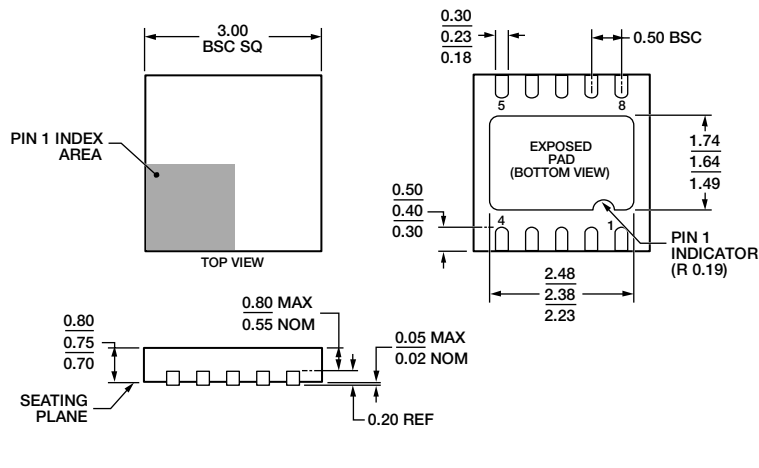


図44. 10ピン・リード・フレーム・チップ・スケール・パッケージ [QFN (LFCSP_WD)]
3mm×3mmボディ、極薄、デュアル・リード (CP-10-9)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
AD7982BRMZ ¹	-40°C to +85°C	10-Lead MSOP	RM-10	Tube, 50	C5F
AD7982BRMZRL7 ¹	-40°C to +85°C	10-Lead MSOP	RM-10	Reel, 1000	C5F
AD7982BCPZ ¹	-40°C to +85°C	10-Lead QFN (LFCSP_WD)	CP-10-9	Tube, 75	C5F
AD7982BCPZ-RL7 ¹	-40°C to +85°C	10-Lead QFN (LFCSP_WD)	CP-10-9	Reel, 1000	C5F
AD7982BCPZ-RL ¹	-40°C to +85°C	10-Lead QFN (LFCSP_WD)	CP-10-9	Reel, 5000	C5F
EVAL-AD7982CBZ ^{1,2}		Evaluation Board			
EVAL-CONTROL BRD3Z ³		Controller Board			

¹ Z=RoHS準拠製品

² このボードは、評価/デモンストレーション用に、単独の評価用ボードとして、またはEVAL-CONTROL BRD3と組み合わせて使用することができます。

³ このボードを使用すると、製品番号末尾にCBが付いたアナログ・デバイセズ製評価用ボード全製品の制御と通信をPCから行うことができます。