

### 特長

- ノーマス・コードの 16 ビット分解能
- スループット: 1 MSPS
- 低消費電力: 1 MSPS で 7.0 mW、10 kSPS で 70  $\mu$ W
- INL:  $\pm 0.6$  LSB (typ)、 $\pm 1.25$  LSB (最大)
- SINAD: 10 kHz で 91.25 dB
- THD: 10 kHz で -110 dB
- 擬似差動アナログ入力範囲  
 $V_{REF} = 2.5\text{ V} \sim 5.5\text{ V}$  で  $0\text{ V} \sim V_{REF}$   
 ADA4841 で任意の入力範囲を容易に駆動
- パイプライン遅延なし
- 1.8 V/2.5 V/3 V/5 V ロジック・インターフェースに対して 2.5 V 単電源動作
- シリアル・インターフェース: SPI/QSPI™/MICROWIRE™/DSP 互換
- 複数 ADC のディジーチェーン接続とビジー表示
- 10 ピン MSOP または SOT-23 と同じ面積の 10 ピン 3 mm  $\times$  3 mm QFN (LFCSP) パッケージを採用
- 広い動作温度範囲:  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

### アプリケーション

- バッテリー駆動の装置
- 通信
- 自動テスト装置
- データ・アキュイジション
- 医用計測機器

### アプリケーション図の例

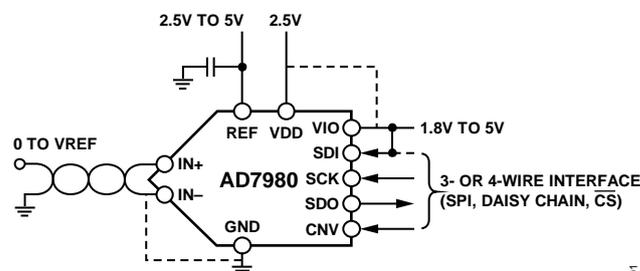


図 1.

### 概要

AD7980 は、単電源(VDD)で動作する 16 ビット逐次比較型 A/D コンバータ(ADC)です。低消費電力高速 16 ビット・サンプリングの ADC と多機能シリアル・インターフェース・ポートを内蔵しています。グラウンド・センス IN-を基準とするアナログ入力 IN+(0 V $\sim$ REF)を CNV の立上がりエッジでサンプルします。リファレンス電圧(REF)は外部から与えられ、電源電圧 VDD から独立して設定することができます。消費電力はスループットに比例します。

また、SPI 互換のシリアル・インターフェースには、SDI 入力を使って、1 本の 3 線式バスで複数の ADC をディジーチェーン接続する機能があります。さらにオプションとしてビジーを表示することもできます。別電源 VIO を使って、1.8 V、2.5 V、3 V、または 5 V ロジックとインターフェースすることができます。

AD7980 は、10 ピン MSOP または 10 ピン QFN (LFCSP)を採用し、動作は $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で規定されています。

表 1.MSOP、QFN (LFCSP)の 14/16/18 ビット PuISAR® ADC

Type	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	1000 kSPS	ADC Driver
18-Bit		AD7691 <sup>1</sup>	AD7690 <sup>1</sup>	AD7982 <sup>1</sup>	ADA4941 ADA4841
16-Bit	AD7680 AD7683 AD7684	AD7685 <sup>1</sup> AD7687 <sup>1</sup> AD7694	AD7686 <sup>1</sup> AD7688 <sup>1</sup> AD7693 <sup>1</sup>	AD7980 <sup>1</sup>	ADA4941 ADA4841
14-Bit	AD7940	AD7942 <sup>1</sup>	AD7946 <sup>1</sup>		

<sup>1</sup> ピン・コンパチブル。

## 目次

特長.....	1	ドライバ・アンプの選択.....	15
アプリケーション.....	1	リファレンス電圧入力.....	16
アプリケーション図の例.....	1	電源.....	16
概要.....	1	デジタル・インターフェース.....	16
改訂履歴.....	2	3線式 $\overline{\text{CS}}$ モード、ビジー表示なし.....	17
仕様.....	3	3線式 $\overline{\text{CS}}$ モード、ビジー表示あり.....	18
タイミング仕様.....	5	4線式 $\overline{\text{CS}}$ モード、ビジー表示なし.....	19
絶対最大定格.....	6	4線式 $\overline{\text{CS}}$ モード、ビジー表示あり.....	20
ESDの注意.....	6	チェーン・モード、ビジー表示なし.....	21
ピン配置およびピン機能説明.....	7	チェーン・モード、ビジー表示あり.....	22
用語.....	8	アプリケーション情報.....	23
代表的な性能特性.....	9	レイアウト.....	23
動作原理.....	13	AD7980の性能評価.....	23
回路説明.....	13	外形寸法.....	24
コンバータの動作.....	13	オーダー・ガイド.....	25
代表的な接続図.....	14		
アナログ入力.....	15		

## 改訂履歴

### 6/09—Rev. A to Rev. B

Changes to Table 5.....	6
Changes to Figure 25.....	13
Updated Outline Dimensions.....	24
Changes to Ordering Guide.....	25

### 9/08—Rev. 0 to Rev. A

Delete QFN Endnote.....	Throughout
Changes to Ordering Guide.....	24

### 8/07—Revision 0: Initial Version

## 仕様

特に指定がない限り、VDD = 2.5 V、VIO = 2.3 V ~ 5.5 V、VREF = 5 V、TA = -40°C ~ +125°C。

表 2.

Parameter	Conditions	A Grade			B Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION		16			16			Bits
ANALOG INPUT								
Voltage Range	IN+ – IN–	0		VREF	0		VREF	V
Absolute Input Voltage	IN+	-0.1		VREF + 0.1	-0.1		VREF + 0.1	V
	IN–	-0.1		+0.1	-0.1		+0.1	V
Analog Input CMRR	fIN = 100 kHz	60			60			dB
Leakage Current @ 25°C	Acquisition phase	1			1			nA
Input Impedance		See the Analog Input section			See the Analog Input section			
ACCURACY								
No Missing Codes		16			16			Bits
Differential Linearity Error	REF = 5 V	-1.0	±0.5	+2.0	-0.9	±0.4	+0.9	LSB <sup>1</sup>
	REF = 2.5 V		±0.7			±0.55		LSB <sup>1</sup>
Integral Linearity Error	REF = 5 V	-2.5	±1.5	+2.5	-1.25	±0.6	+1.25	LSB <sup>1</sup>
	REF = 2.5 V		±1.65			±0.65		LSB <sup>1</sup>
Transition Noise	REF = 5 V		0.75			0.6		LSB <sup>1</sup>
	REF = 2.5 V		1.2			1.0		LSB <sup>1</sup>
Gain Error, TMIN to TMAX <sup>2</sup>			±2			±2		LSB <sup>1</sup>
Gain Error Temperature Drift			±0.35			±0.35		ppm/°C
Zero Error, TMIN to TMAX <sup>2</sup>		-1.0	±0.08	+1.0	-0.5	±0.08	+0.5	mV
Zero Temperature Drift			0.54			0.54		ppm/°C
Power Supply Sensitivity	VDD = 2.5 V ± 5%		±0.1			±0.1		LSB <sup>1</sup>
THROUGHPUT								
Conversion Rate	VIO ≥ 2.3 V up to 85°C, VIO ≥ 3.3 V above 85°C up to 125°C	0		1	0		1	MSPS
Transient Response	Full-scale step			290			290	ns
AC ACCURACY								
Dynamic Range	VREF = 5 V	91			92			dB <sup>3</sup>
	VREF = 2.5 V	86			87			dB <sup>3</sup>
Oversampled Dynamic Range	fO = 10 kSPS	110			111			dB <sup>3</sup>
Signal-to-Noise Ratio, SNR	fIN = 10 kHz, VREF = 5 V	90			90	91		dB <sup>3</sup>
	fIN = 10 kHz, VREF = 2.5 V	85.5			86.5			dB <sup>3</sup>
Spurious-Free Dynamic Range, SFDR	fIN = 10 kHz	-103.5			-110			dB <sup>3</sup>
Total Harmonic Distortion, THD	fIN = 10 kHz	-101			-114			dB <sup>3</sup>
Signal-to-(Noise + Distortion), SINAD	fIN = 10 kHz, VREF = 5 V	90.5			91.5			dB <sup>3</sup>
	fIN = 10 kHz, VREF = 2.5 V	86.0			87.0			dB <sup>3</sup>

<sup>1</sup> LSB は最下位ビットを意味します。入力範囲が 5 V の場合、1LSB = 76.3 μV。

<sup>2</sup> 用語のセクションを参照してください。これらの仕様にはすべての温度範囲の変動が含まれますが、外付けリファレンス電圧の誤差成分は含まれません。

<sup>3</sup> dB 表示のすべての仕様はフルスケール入力 FSR を基準とします。特に注記がない場合、フルスケールより 0.5 dB 低い入力信号でテスト。

特に指定がない限り、VDD = 2.5 V、VIO = 2.3 V ~ 5.5 V、VREF = 5 V、TA = -40°C ~ +125°C。

表 3.

Parameter	Conditions	Min	Typ	Max	Unit
REFERENCE					
Voltage Range		2.4		5.1	V
Load Current	1 MSPS, REF = 5 V		330		μA
SAMPLING DYNAMICS					
-3 dB Input Bandwidth			10		MHz
Aperture Delay	VDD = 2.5 V		2.0		ns
DIGITAL INPUTS					
Logic Levels					
V <sub>IL</sub>	VIO > 3V	-0.3		0.3 × VIO	V
V <sub>IH</sub>	VIO > 3V	0.7 × VIO		VIO + 0.3	V
V <sub>IL</sub>	VIO ≤ 3V	-0.3		0.1 × VIO	V
V <sub>IH</sub>	VIO ≤ 3V	0.9 × VIO		VIO + 0.3	μA
I <sub>IL</sub>		-1		+1	μA
I <sub>IH</sub>		-1		+1	μA
DIGITAL OUTPUTS					
Data Format		Serial 16 bits straight binary			
Pipeline Delay		Conversion results available immediately after completed conversion			
V <sub>OL</sub>	I <sub>SINK</sub> = 500 μA			0.4	V
V <sub>OH</sub>	I <sub>SOURCE</sub> = -500 μA	VIO - 0.3			V
POWER SUPPLIES					
VDD		2.375	2.5	2.625	V
VIO	Specified performance	2.3		5.5	V
VIO Range		1.8		5.5	V
Standby Current <sup>1,2</sup>	VDD and VIO = 2.5 V, 25°C		0.35		nA
Power Dissipation	10 kSPS throughput		70		μW
	1 MSPS throughput, B Grade		7.0	9.0	mW
	1 MSPS throughput, A Grade		7.0	10	mW
Energy per Conversion			7.0		nJ/sample
TEMPERATURE RANGE <sup>3</sup>					
Specified Performance	T <sub>MIN</sub> to T <sub>MAX</sub>	-40		+125	°C

<sup>1</sup> すべてのデジタル入力を必要に応じて VIO または GND に接続。

<sup>2</sup> アクイジション・フェーズ時。

<sup>3</sup> 拡張温度範囲については最寄りの営業にご相談ください。

## タイミング仕様

特に指定がない限り、 $-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ 、 $V_{\text{DD}} = 2.37\text{ V}\sim 2.63\text{ V}$ 、 $V_{\text{IO}} = 3.3\text{ V}\sim 5.5\text{ V}$ 。負荷条件については、図 2 と 図 3 を参照してください。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available Acquisition Time	$t_{\text{CONV}}$	500		710	ns
Time Between Conversions	$t_{\text{ACQ}}$	290			ns
CNV Pulse Width ( $\overline{\text{CS}}$ Mode)	$t_{\text{CYC}}$	1000			ns
SCK Period ( $\overline{\text{CS}}$ Mode)	$t_{\text{CNVH}}$	10			ns
VIO Above 4.5 V	$t_{\text{SCK}}$	10.5			ns
VIO Above 3 V		12			ns
VIO Above 2.7 V		13			ns
VIO Above 2.3 V		15			ns
SCK Period (Chain Mode)	$t_{\text{SCK}}$				ns
VIO Above 4.5 V		11.5			ns
VIO Above 3 V		13			ns
VIO Above 2.7 V		14			ns
VIO Above 2.3 V		16			ns
SCK Low Time	$t_{\text{SCKL}}$	4.5			ns
SCK High Time	$t_{\text{SCKH}}$	4.5			ns
SCK Falling Edge to Data Remains Valid	$t_{\text{HSDO}}$	3			ns
SCK Falling Edge to Data Valid Delay	$t_{\text{DSDO}}$				ns
VIO Above 4.5 V				9.5	ns
VIO Above 3 V				11	ns
VIO Above 2.7 V				12	ns
VIO Above 2.3 V				14	ns
CNV or SDI Low to SDO D15 MSB Valid ( $\overline{\text{CS}}$ Mode)	$t_{\text{EN}}$				ns
VIO Above 3 V				10	ns
VIO Above 2.3 V				15	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ( $\overline{\text{CS}}$ Mode)	$t_{\text{DIS}}$			20	ns
SDI Valid Setup Time from CNV Rising Edge	$t_{\text{SSDICNV}}$	5			ns
SDI Valid Hold Time from CNV Rising Edge ( $\overline{\text{CS}}$ Mode)	$t_{\text{HSDICNV}}$	2			ns
SDI Valid Hold Time from CNV Rising Edge (Chain Mode)	$t_{\text{HSDICNV}}$	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	$t_{\text{SSCKCNV}}$	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	$t_{\text{HSCCKCNV}}$	5			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	$t_{\text{SSDISCK}}$	2			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	$t_{\text{HSDISCK}}$	3			ns
SDI High to SDO High (Chain Mode with Busy Indicator)	$t_{\text{DSDOSDI}}$			15	ns

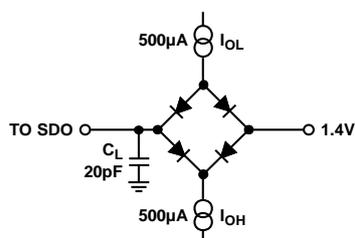
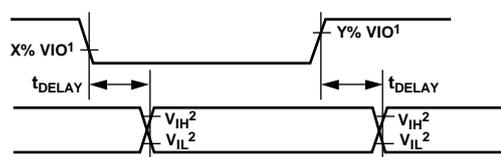


図 2. デジタル・インターフェース・タイミングの負荷回路



<sup>1</sup>FOR  $V_{\text{IO}} \leq 3.0\text{V}$ ,  $X = 90$  AND  $Y = 10$ ; FOR  $V_{\text{IO}} > 3.0\text{V}$   $X = 70$ , AND  $Y = 30$ .  
<sup>2</sup>MINIMUM  $V_{\text{IH}}$  AND MAXIMUM  $V_{\text{IL}}$  USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3.

図 3. タイミング測定の電圧レベル

## 絶対最大定格

表 5.

Parameter	Rating
Analog Inputs IN <sup>+</sup> , <sup>1</sup> IN <sup>-</sup> to GND	-0.3 V to V <sub>REF</sub> + 0.3 V or ±130 mA
Supply Voltage REF, VIO to GND	-0.3 V to +6 V
VDD to GND	-0.3 V to +3 V
VDD to VIO	+3 V to -6 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
θ <sub>JA</sub> Thermal Impedance (10-Lead MSOP)	200°C/W
θ <sub>JC</sub> Thermal Impedance (10-Lead MSOP)	44°C/W
Lead Temperature Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

<sup>1</sup> アナログ入力 のセクションを参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

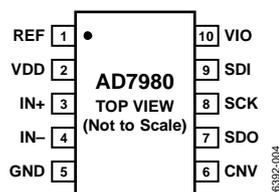


図 4.10 ピン MSOP のピン配置

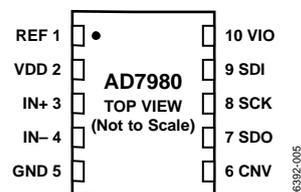


図 5.10 ピン QFN (LFCSP) のピン配置

表 6. ピン機能の説明

ピン番号	記号	Type <sup>1</sup>	説明
1	REF	AI	リファレンス電圧入力。REF 範囲は 2.4 V~5.1 V で、GND ピンを基準とします。このピンは、ピンの近くで 10 $\mu$ F のコンデンサによりデカップリングする必要があります。
2	VDD	P	電源。
3	IN+	AI	アナログ入力。IN-を基準とします。例えば、電圧範囲は、IN+と IN-の間の電位差で 0 V~V <sub>REF</sub> です。
4	IN-	AI	アナログ入力グラウンド・センス。アナログ・グラウンド・ブレーションまたはリモート・センス・グラウンドに接続します。
5	GND	P	電源グラウンド。
6	CNV	DI	変換入力。この入力は複数の機能を持っています。前縁エッジで、変換を開始し、デバイスのインターフェース・モード、チェーン・モード、または $\overline{\text{CS}}$ モードを選択します。CSモードでは、このピンがロー・レベルのとき SDO ピンがイネーブルされます。チェーン・モードでは、CNV がハイ・レベルのときにデータを読み出す必要があります。
7	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力されます。SCK に同期しています。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されたとき、変換結果がこのクロックでシフトアウトされます。
9	SDI	DI	シリアル・データ入力。この入力は複数の機能を持っています。このビットは、次のように ADC のインターフェース・モードを設定します。 CNV の立上がりエッジ時に SDI がロー・レベルになると、チェーン・モードが選択されます。このモードでは、SDI はデータ入力として使用されて、複数の ADC の変換結果を 1 本の SDO ラインにディジーチェーン接続します。SDI のデジタル・データ・レベルが SDO に出力され、SCK の 16 サイクル分の遅延が加わります。 CNV の立上がりエッジ時に SDI がハイ・レベルになると、 $\overline{\text{CS}}$ モードが選択されます。このモードでは、SDI または CNV がロー・レベルのとき、シリアル出力信号がイネーブルされ、変換が完了して SDI または CNV がロー・レベルになると、ビジー表示機能がイネーブルされます。
10	VIO	P	入出力インターフェースのデジタル電源。公称では、ホスト・インターフェース(1.8 V、2.5 V、3 V、5 V)と同じ電源。

<sup>1</sup>AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=電源。

## 用語

### 積分非直線性誤差(INL)

INLは、負側のフルスケールと正側のフルスケールを結ぶ直線と実際のコード出力との誤差として定義されます。負側フルスケールとして使用されるポイントは、最初のコード変化より 1/2 LSBだけ下に存在します。正フルスケールは、最後のコード変化より 1+1/2 LSBだけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます(図 26 参照)。

### 微分非直線性誤差(DNL)

理論 ADC では、各コード変化は 1 LSB だけ離れた位置で発生します。DNL は、この理論値からの最大偏差を意味します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

### オフセット誤差

最初の変化はアナログ・グラウンドより 1/2 LSB 上のレベルで発生する必要があります(0~5 V 範囲の場合 38.1 $\mu$ V)。オフセット誤差は、そのポイントと実際の変化との差を意味します。

### ゲイン誤差

最後の変化(111 ... 10 $\rightarrow$ 111 ... 11)は、公称フルスケール(0 V~5 V レンジの場合は 4.999886V)より 1.5 LSB 低いアナログ電圧で発生します。ゲイン誤差とは、オフセット調整後の理論レベルと最後の変化の実際レベルの差を意味します。

### スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、dB 値で表します。

### 実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。次式により、SINAD と関係します。

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

ビット数で表されます。

### ノイズ・フリー・コード分解能

超えると、個々のコードが区別できなくなるビット数。次のように計算されます。

$$\text{ノイズ・フリー・コード分解能} = \log_2(2^N / \text{ピーク to ピーク・ノイズ})$$

ビット数で表されます。

### 実効分解能

次のように計算されます。

$$\text{実行分解能} = \log_2(2^N / \text{RMS 入力ノイズ})$$

ビット数で表されます。

### 総合高調波歪み(THD)

THD とは、基本波から 5 次高調波部品までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

### ダイナミック・レンジ

入力を短絡して測定した合計 rms ノイズに対するフルスケールの rms 値の比を表します。ダイナミック・レンジの値は dB で表されます。すべてのノイズ・ソースと DNL 効果を含むように -60 dBFS の信号を使って測定します。

### 信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR の値は、dB で表されます。

### 信号対ノイズおよび歪み比(SINAD)

SINAD は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD の値は、dB で表されます。

### アパーチャ遅延

アパーチャ遅延は、アキュジション性能を表します。CNV 入力の立上がりエッジから入力信号が変換用に保持されまでの時間を表します。

### 過渡応答

フルスケールのステップ関数が入力された後に ADC が正確に入力を取得するまでに要する時間を表します。

## 代表的な性能特性

特に指定がない限り、 $V_{DD} = 2.5\text{ V}$ 、 $V_{REF} = 5.0\text{ V}$ 、 $V_{IO} = 3.3\text{ V}$ 。

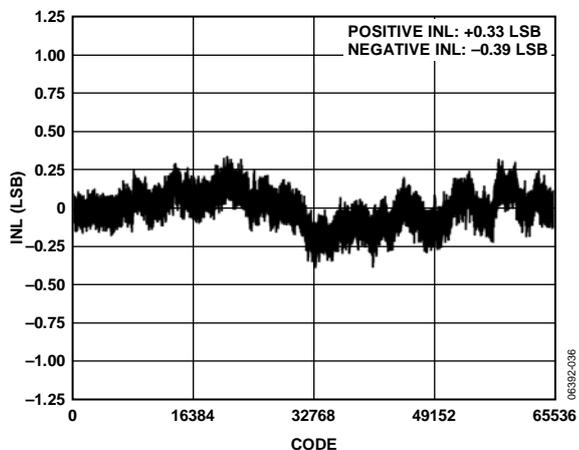


図 6.コード対積分非直線性、REF = 5 V

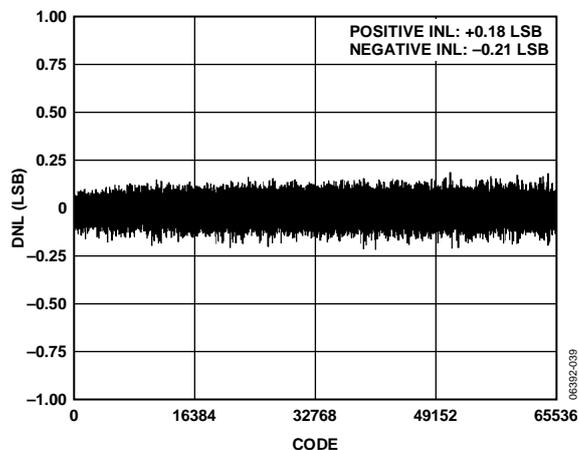


図 9.コード対微分非直線性、REF = 5 V

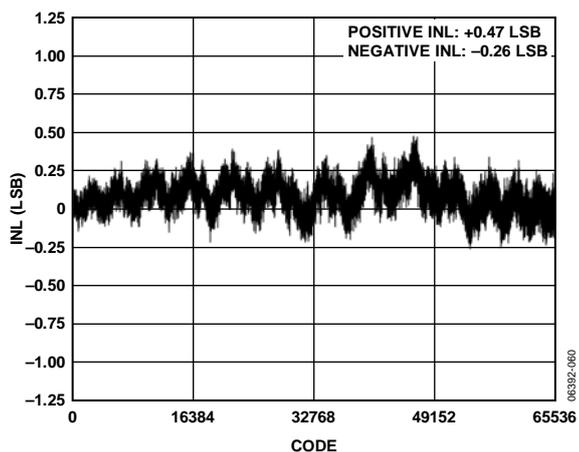


図 7.コード対積分非直線性、REF = 2.5 V

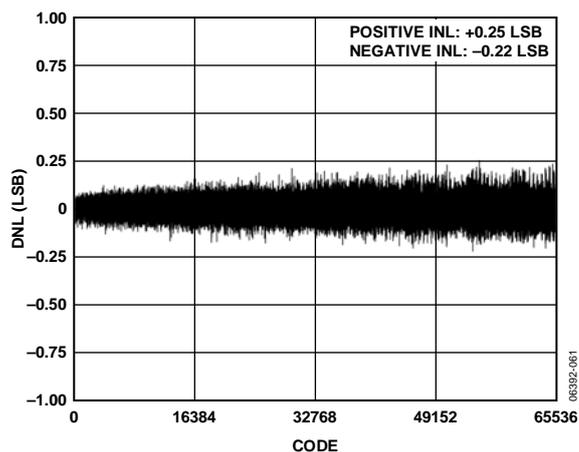


図 10.コード対微分非直線性、REF = 2.5 V

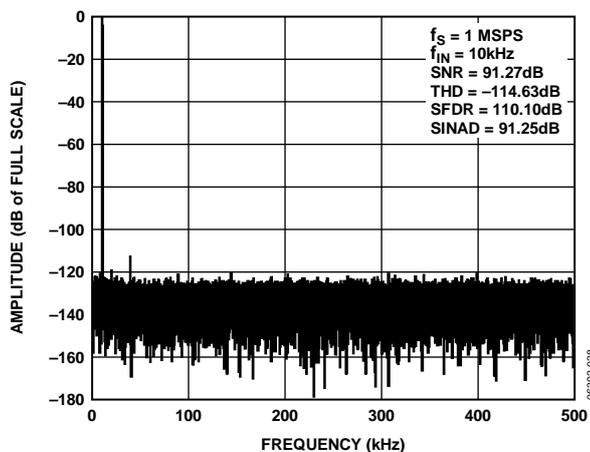


図 8.FFT プロット、REF = 5 V

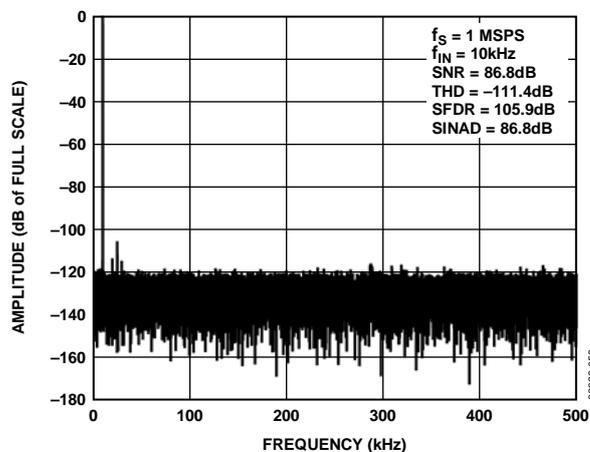


図 11.FFT プロット、REF = 2.5 V

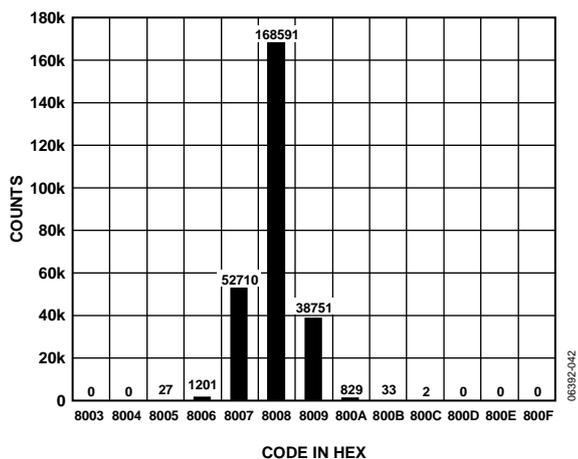


図 12.コード中心での DC 入力のヒストグラム、REF = 5 V

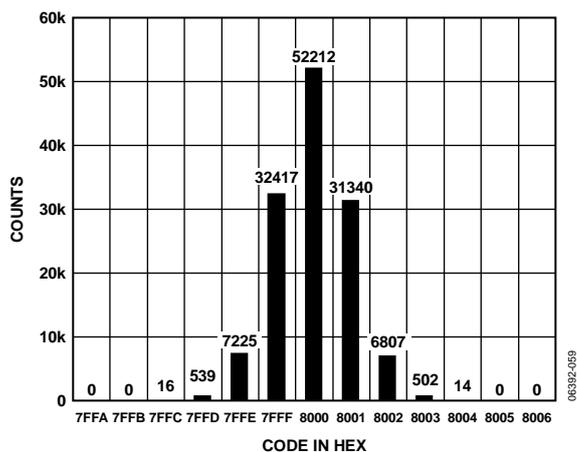


図 15.コード中心での DC 入力のヒストグラム、REF = 2.5 V

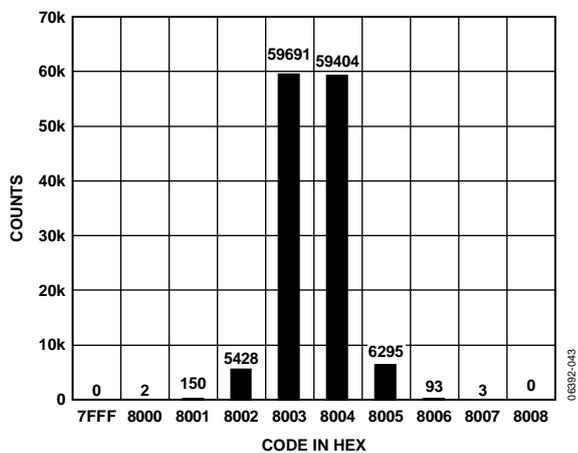


図 13.コード変化での DC 入力のヒストグラム、REF = 5 V

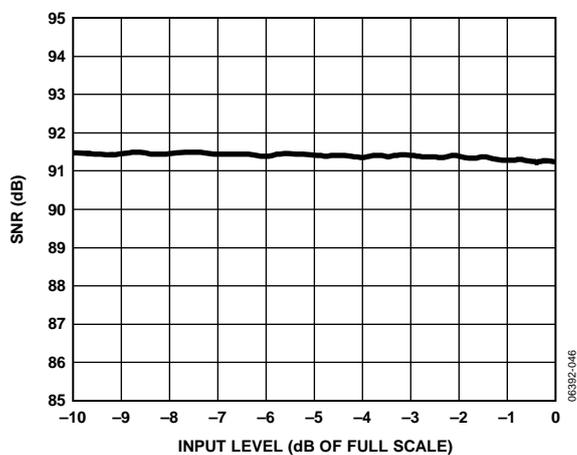


図 16.入力レベル対 SNR

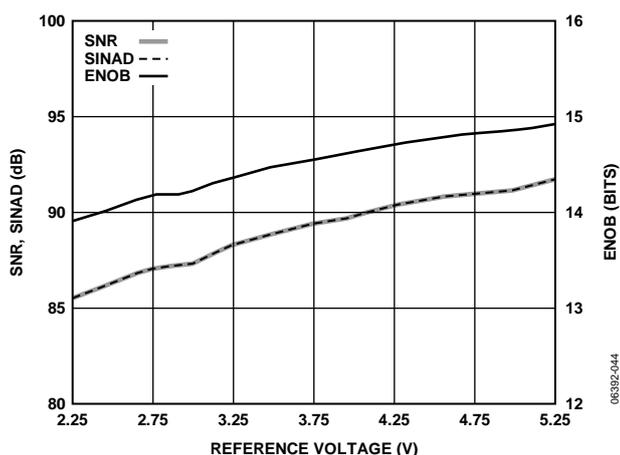


図 14.リファレンス電圧対 SNR、SINAD、ENOB

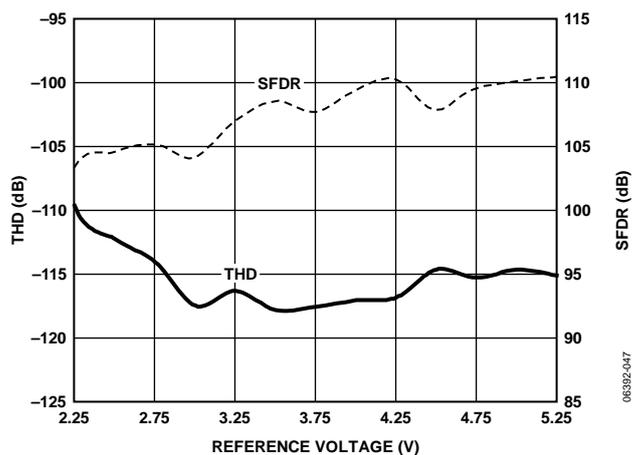


図 17.THD、SFDR 対リファレンス電圧

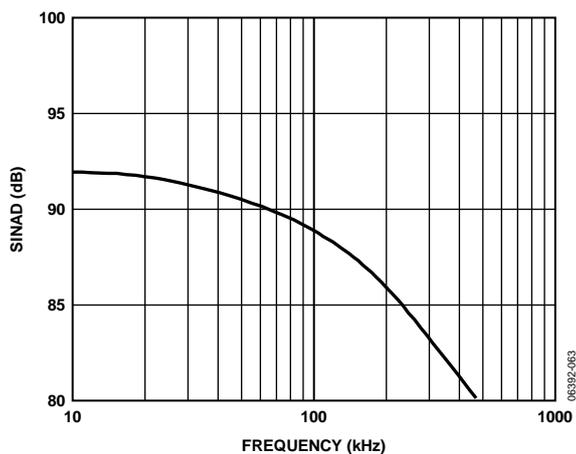


図 18.SINAD の周波数特性

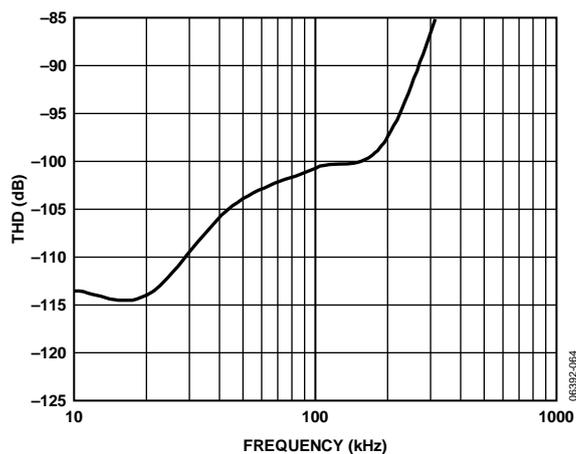


図 21.各周波数での THD

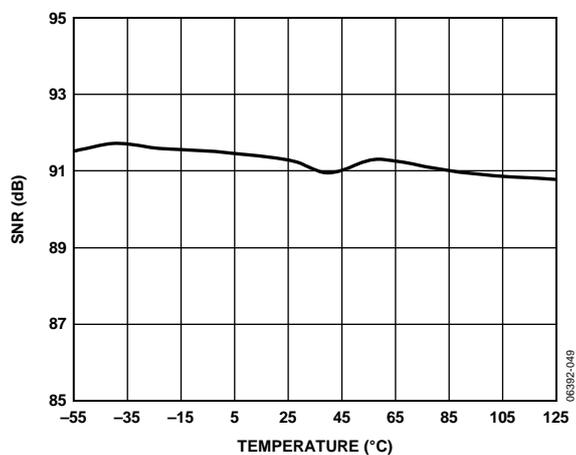


図 19.SNR の温度特性

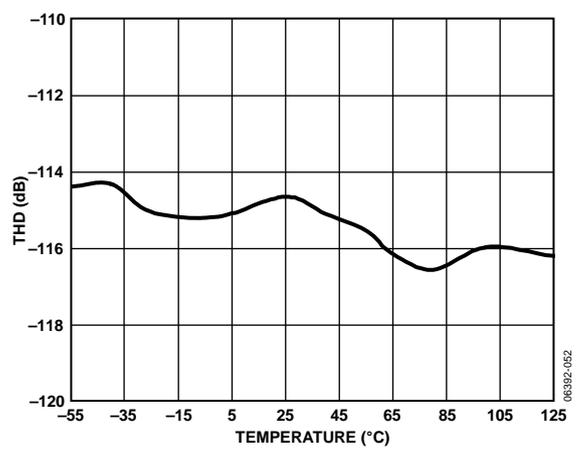


図 22.TH D の温度特性

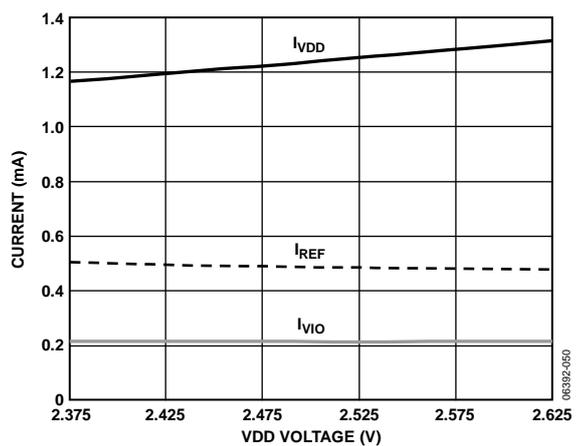


図 20.電源電圧対動作電流

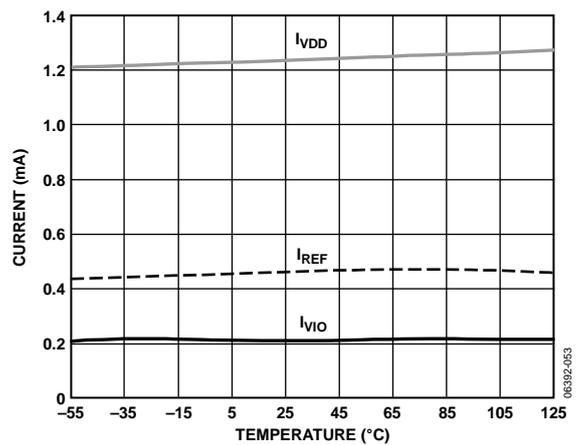


図 23.動作電流の温度特性

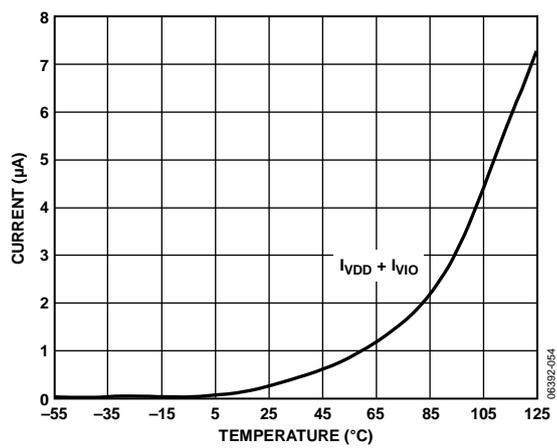


図 24. パワーダウン電流の温度特性

## 動作原理

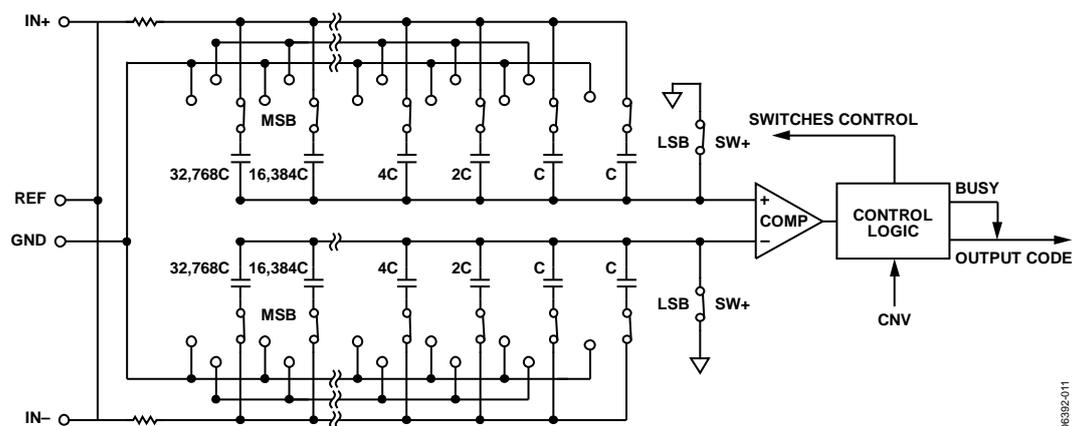


図 25.ADC の簡略化した回路図

### 回路説明

AD7980 は単電源動作の逐次比較型アーキテクチャを採用した高速高精度低消費電力 16 ビット A/D コンバータ(ADC)です。

AD7980 は毎秒 1,000,000 サンプル(1 MSPS)の変換が可能で、変換と変換の間にパワーダウンします。例えば、10 kSPS 動作時の消費電力が 70  $\mu$ W (typ)であるため、バッテリー駆動のアプリケーションに最適です。

AD7980 はトラック・アンド・ホールドを内蔵し、パイプライン遅延またはレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7980 は、1.8 V~5 V のデジタル・ロジック・ファミリーにインターフェースすることができます。10 ピン MSOP パッケージまたは省スペースと柔軟な構成を兼ね備えた小型の 10 ピン QFN (LFCSP)パッケージを採用しています。

このデバイスは、18 ビットの AD7982 とピン・コンパチブルです。

### コンバータの動作

AD7980 は、電荷再分配型DACを採用した逐次比較型ADCです。図 25 に、ADCの簡略化した回路図を示します。容量を使用するこのDACは、2 進数の重みを持った 16 個コンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アキュイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SW+と SW-を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、IN+入力と IN-入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わり、CNV 入力が高レベルになると、変換フェーズが開始されます。変換フェーズが開始されると、まず SW+と SW-が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた、入力 IN+と IN-の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しなくなります。コンデンサ・アレイの各エレメントを GND と REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ( $V_{REF}/2$ ,  $V_{REF}/4$  ...  $V_{REF}/65,536$ )で変えます。コントロール・ロジックがこれらのスイッチをトグルして(MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアキュイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードとビジー表示を発生します。

AD7980 は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロック、SCK は不要です。

伝達関数

AD7980 の理論伝達特性を 図 26 と 表 7 に示します。

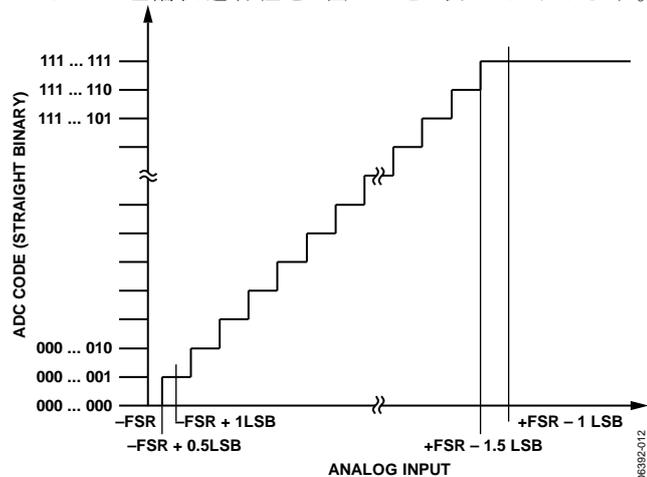


図 26.ADC の理論伝達関数

表 7.出力コードと理論入力電圧

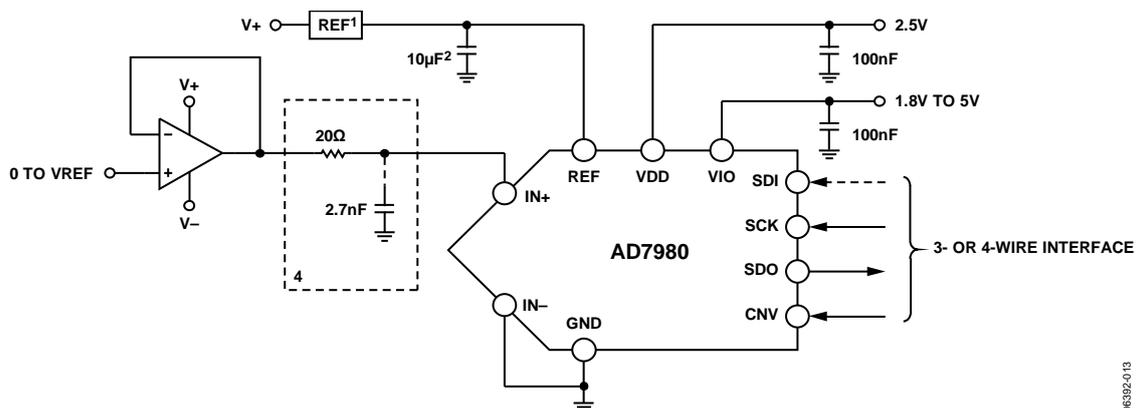
Description	Analog Input	
	$V_{REF} = 5\text{ V}$	Digital Output Code (Hexa)
FSR - 1 LSB	4.999924 V	FFFF <sup>1</sup>
Midscale + 1 LSB	2.500076 V	8001
Midscale	2.5 V	8000
Midscale - 1 LSB	2.499924 V	7FFF
-FSR + 1 LSB	76.3 $\mu\text{V}$	0001
-FSR	0 V	0000 <sup>2</sup>

<sup>1</sup>これは、アナログ入力範囲より上に対するコードでもあります( $V_{REF} - V_{GND}$ より上の  $V_{IN+} - V_{IN-}$ )。

<sup>2</sup>これは、アナログ入力範囲より下に対するコードでもあります( $V_{GND}$ より下の  $V_{IN+} - V_{IN-}$ )。

代表的な接続図

図 27 に、複数の電源が使用可能な場合のAD7980 の推奨接続図例を示します。



<sup>1</sup>SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.

<sup>2</sup> $C_{REF}$  IS USUALLY A 10 $\mu\text{F}$  CERAMIC CAPACITOR (X5R).

<sup>3</sup>SEE THE DRIVER AMPLIFIER CHOICE SECTION.

<sup>4</sup>OPTIONAL FILTER. SEE THE ANALOG INPUT SECTION.

<sup>5</sup>SEE THE DIGITAL INTERFACE FOR THE MOST CONVENIENT INTERFACE MODE.

図 27.複数の電源を使用する代表的なアプリケーション図

## アナログ入力

図 28 に、AD7980 の入力構造の等価回路を示します。

ダイオード D1 と D2 は、アナログ入力 IN+ と IN- に対する ESD 保護用です。アナログ入力信号が電源レールより 0.3V 以上高くないよう注意する必要があります。これは、これらのダイオードが順方向にバイアスされて導通し始めるためです。これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。たとえば、この状態は入力バッファの (U1) 電源が VDD と異なるときに発生します。このような場合 (例えば入力バッファが短絡)、電流制限機能を使ってデバイスを保護することができます。

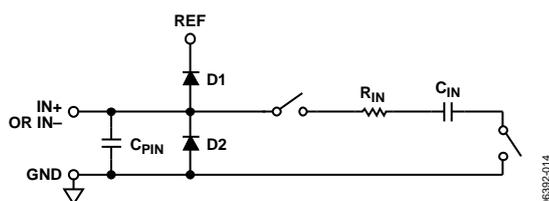


図 28. 等価アナログ入力回路

このアナログ入力構造を使うと、IN+ と IN- との間の差動信号のサンプリングが可能になります。この差動入力の採用により、両入力に共存する信号が除去されます。

アキュイジション・フェーズでは、アナログ入力 (IN+ と IN-) のインピーダンスは、コンデンサ C<sub>PIN</sub> と、R<sub>IN</sub> および C<sub>IN</sub> の直列接続の回路との並列組み合わせとしてモデル化することができます。C<sub>PIN</sub> は主にピン容量です。R<sub>IN</sub> は 400 Ω (typ) であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。C<sub>IN</sub> は 30 pF (typ) であり、主に ADC サンプリング・コンデンサから構成されています。スイッチが開いている変換フェーズでは、入力インピーダンスは C<sub>PIN</sub> に制限されます。R<sub>IN</sub> と C<sub>IN</sub> により、1 次ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7980 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC 性能、特に THD が大きい影響を受けます。DC 性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します。

## ドライバ・アンプの選択

AD7980 の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7980 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、AD7980 アナログ入力回路の R<sub>IN</sub> と C<sub>IN</sub> から構成される 1 次ローパス・フィルタまたは外付けフィルタ (使用した場合) により除去されます。AD7980 のノイズは 47.3 μV rms (typ) であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{\text{Loss}} = 20 \log \left( \frac{47.3}{\sqrt{47.3^2 + \frac{\pi}{2} f_{-3\text{dB}} (Ne_N)^2}} \right)$$

ここで、f<sub>-3dB</sub> は MHz で表した AD7980 の -3 dB 入力帯域幅 (10 MHz)、すなわち入力フィルタ (使用した場合) のカットオフ周波数。

N はアンプのノイズ係数 (たとえばバッファ構成の場合は 1)。e<sub>N</sub> は nV/√Hz で表したオペアンプの等価入力ノイズ電圧。

- AC アプリケーションの場合、ドライバは AD7980 と釣り合う THD 性能を持つ必要があります。
- 多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプと AD7980 アナログ入力回路は、コンデンサ・アレイへのフルスケール・ステップに対して 16 ビット・レベル (0.0015%、15 ppm) でセトリングする必要があります。アンプのデータシートでは、一般に 0.1~0.01% のセトリングが規定されています。16 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表 8. 推奨ドライバ・アンプ

Amplifier	Typical Application
ADA4841	Very low noise, small and low power
AD8021	Very low noise and high frequency
AD8022	Low noise and high frequency
OP184	Low power, low noise, and low frequency
AD8655	5 V single-supply, low noise
AD8605, AD8615	5 V single-supply, low power

## リファレンス電圧入力

AD7980 のリファレンス電圧入力REFは動の入力インピーダンスを持っています。このため、REF入力とGND入力との間を効果的にデカップリングした低インピーダンス・ソースから駆動する必要があります(レイアウトのセクション参照)。

REFを非常に小さいインピーダンス・ソースで駆動する場合は(たとえば AD8031 または AD8605 を使用するリファレンス・バッファ)、セラミック・チップ・コンデンサは最適性能を得るために十分です。

バッファなしでリファレンス電圧を使う場合は、デカップリング値は使用するリファレンスに依存します。たとえば、22  $\mu\text{F}$  のセラミック・チップ・コンデンサ(X5R、1206 サイズ)は、低温度ドリフト ADR43xリファレンスを使って最適性能を得るために十分です。

必要な場合には、2.2  $\mu\text{F}$  までの小型なリファレンス・デカップリング・コンデンサ値を使うことができ、性能特に DNL への影響は最小に抑えられます。

REF ピンと GND ピンの間に小さい値のセラミック・デカップリング・コンデンサ(たとえば、100 nF)を追加する必要はありません。

## 電源

AD7980 はコア電源(VDD)とデジタル入力/出力インターフェース電源(VIO)の 2 種類の電源ピンを使っています。VIOを使うと、1.8 V~5.0 Vで動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIOとVDDを接続することができます。AD7980 はVIOとVDDの間の電源シーケンスに依存しません。さらに、広い周波数範囲で電源変動に対して安定です(図 29 参照)。

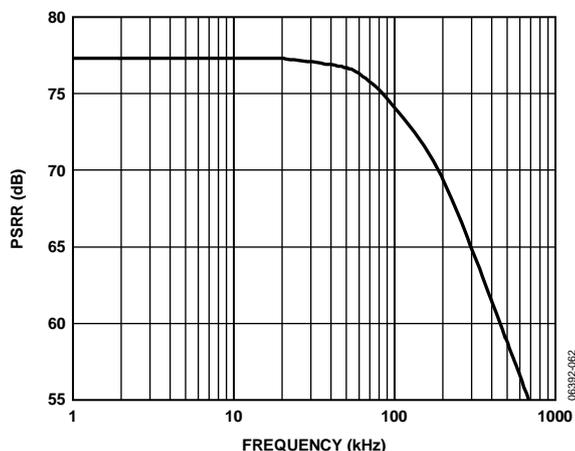


図 29. PSRR の周波数特性

最適性能を得るためには、VDD をリファレンス電圧入力(REF)の約 1/2 にする必要があります。たとえば、REF = 5.0 V の場合、VDD = 2.5 V ( $\pm 5\%$ )にする必要があります。

AD7980 は各変換フェーズの終わりに自動的にパワーダウンするため、消費電力はサンプリング・レートに比例します。このため、低サンプリング・レート(例えば数 Hz)とバッテリー駆動アプリケーションに最適なデバイスになっています。

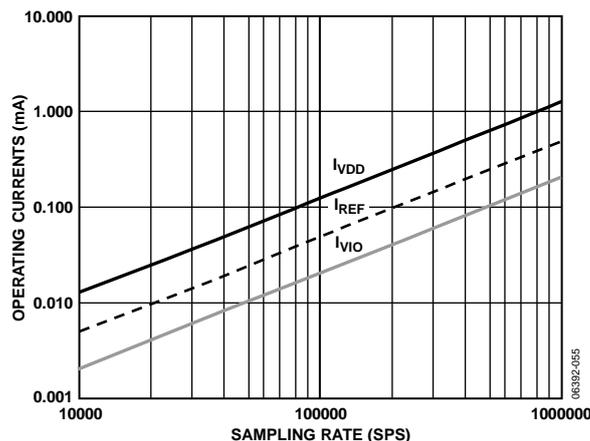


図 30. サンプリング・レート対動作電流

## デジタル・インターフェース

AD7980 のピン数は少ないですが、シリアル・インターフェース・モードで柔軟性を提供します。

$\overline{\text{CS}}$ モードでは、AD7980 は SPI、QSPI、デジタル・ホストと互換性を持っています。このインターフェースでは、3 線式または 4 線式を使うことができます。CNV 信号、SCK 信号、SDO 信号を使う 3 線式インターフェースは、配線数が少ないため、たとえば、孤立しているアプリケーションで便利です。SDI 信号、CNV 信号、SCK 信号、SDO 信号を使う 4 線式インターフェースを使用すると、CNV(変換を開始します)をリードバック・タイミング(SDI)に依存しないようにすることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

AD7980 をチェーン・モードで使うと、シフトレジスタに似たシングル・データライン上での複数の ADC のカスケード接続に対して、SDI 入力を使うディジーチェーン機能を提供することができます。

デバイスが動作するモードは、CNV の立上がりエッジ時の SDI のレベルで決定されます。SDI がハイ・レベルで、かつ  $\overline{\text{SDI}}$  がロー・レベルの時にチェーン・モードが選択されると、 $\overline{\text{CS}}$ モードが選択されます。SDI ホールド・タイムにより、SDI と CNV が接続されているとき、チェーン・モードが選択されるようになります。

いずれのモードでも、AD7980 はデータビットの前にスタート・ビットを発生できるようにする柔軟性があります。このスタート・ビットをビジー信号表示と組合せて使用して、デジタル・ホストに対して割り込みを行い、データの読出しを開始させることができます。ビジー表示を使わない場合は、リードバックの前に最大変換時間の経過を待たなければなりません。

ビジー表示機能は、次のようにイネーブルされます。

- $\overline{\text{CS}}$ モードでは、ADC変換が終了したときにCNVまたはSDIがロー・レベルになった場合(図 34 と 図 38 参照)。
- チェーン・モードでは、CNV立上がりエッジ時にSCKがハイ・レベルになった場合(図 42 参照)。

### 3 線式 $\overline{\text{CS}}$ モード、ビジー表示なし

このモードは、1 個の AD7980 を SPI 互換のデジタル・ホストに接続する際に使用されます。接続図を 図 31 に、対応するタイミングを 図 32 に、それぞれ示します。

SDI と VIO を接続した状態では、CNV の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDO はハイ・インピーダンスになります。変換が開始されると、CNV の状態に関係なく完了するまで継続されます。たとえば、CNV をロー・レベルにしてアナログ・マルチプレクサのような他の SPI デバイスを選択することは便利ですが、最小変換時間の前に CNV がハイ・レベルに戻り、最大変換時間の間ハイ・レベルを維持して、ビジー信号の発生を防止する必要があります。変換が完了すると、AD7980 はアキュイジション・フェーズに入りパワーダウンします。

CNV がロー・レベルになると、MSB が SDO に出力されます。残りのデータビットは、後続の SCK の立下がりエッジで出力されます。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。16 番目の SCK 立下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO はハイ・インピーダンスに戻ります。

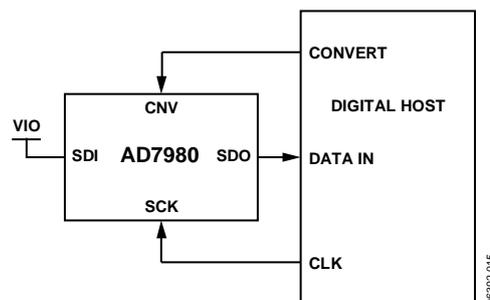


図 31.3 線式 $\overline{\text{CS}}$ モード、ビジー表示なしの接続図 (SDI ハイ・レベル)

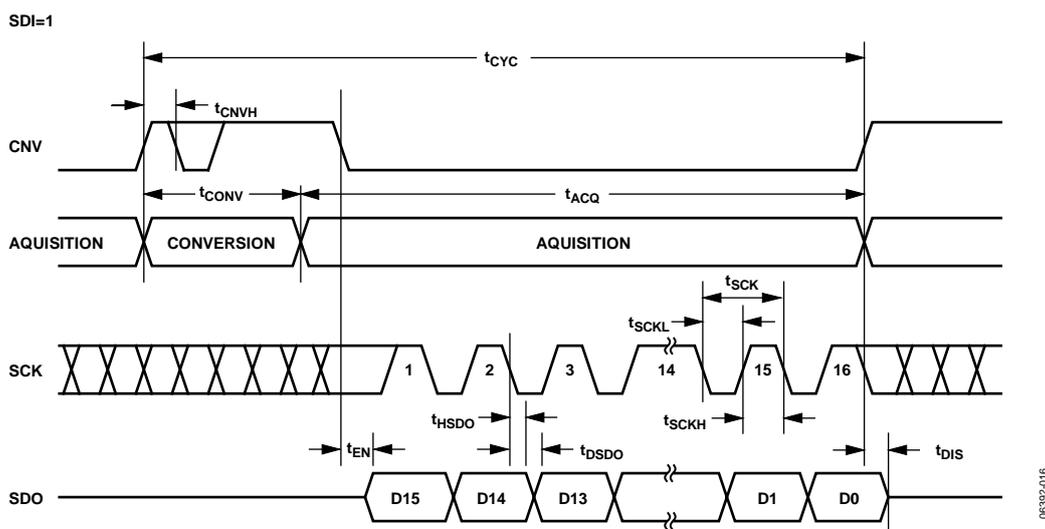


図 32.3 線式 $\overline{\text{CS}}$ モード、ビジー表示なしのシリアル・インターフェース・タイミング (SDI ハイ・レベル)

### 3 線式 $\overline{\text{CS}}$ モード、ビジー表示あり

このモードは、1個のAD7980を割込み入力を持つSPI互換のデジタル・ホストに接続する際に使用されます。

接続図を図33に、対応するタイミングを図34に、それぞれ示します。

SDIとVIOを接続した状態では、CNVの立上がりエッジで変換が開始され、CSモードが選択され、SDOはハイ・インピーダンスになります。CNVの状態に無関係に変換が完了するまでSDOはハイ・インピーダンスを維持します。最小変換時間の前に、CNVを使ってアナログ・マルチプレクサのような他のSPIデバイスを選択することができますが、最小変換時間が経過する前にCNVがロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、ビジー信号が確実に発生するようにする必要があります。変換が完了すると、SDOはハイ・インピーダンスからロー・レベルになります。SDOラインをプルアップして、この変化を割込み信号として使って、デジタル・ホストにより制御されるデータの読出しを開始させることができます。その後AD7980はアキュイジション・フェーズに入り、パワーダウンします。その後データビットはMSBファーストで、後続のSCKの立上がりエッジで出力されます。データは、両SCKエッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKの立上がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。オプションの17番目のSCK立上がりエッジの後、またはCNVがハイ・レベルになったときのいずれか早い方で、SDOはハイ・インピーダンスに戻ります。

複数のAD7980を同時に選択した場合、SDO出力ピンが損傷またはラッチアップなしにこの接続を処理します。余分な電力消費を回避するためこの接続をできるだけ短くすることをお勧めします。

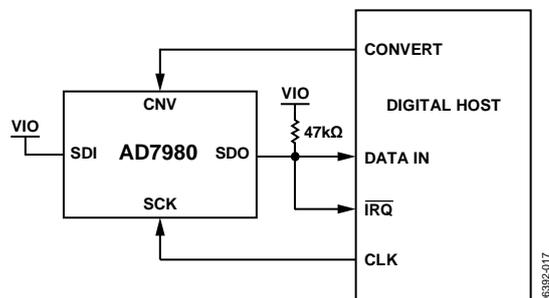


図 33.3 線式 $\overline{\text{CS}}$ モード、ビジー表示ありの接続図(SDIハイ・レベル)

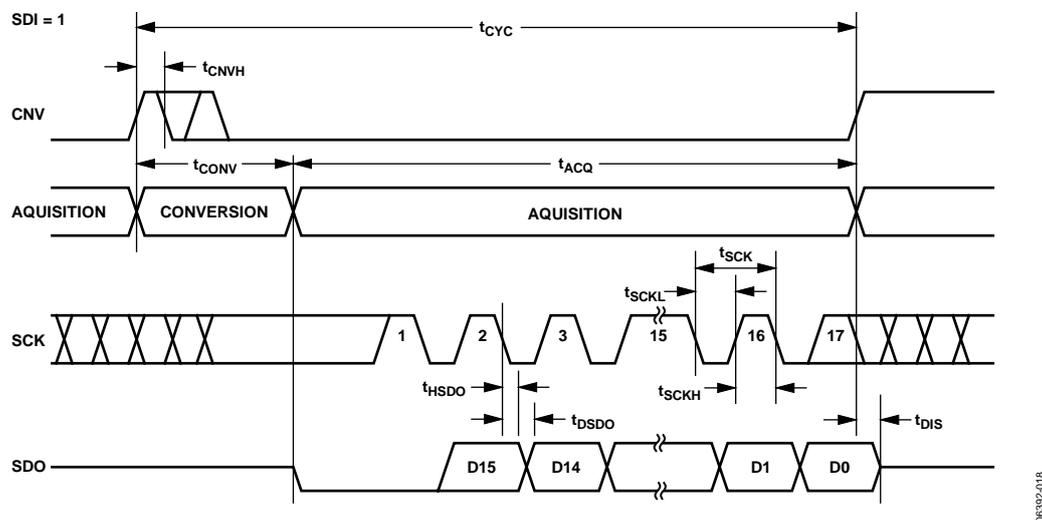


図 34.3 線式 $\overline{\text{CS}}$ モード、ビジー表示ありのシリアル・インターフェース・タイミング(SDIハイ・レベル)

#### 4 線式 $\overline{\text{CS}}$ モード、ビジー表示なし

このモードは、複数の AD7980 を SPI 互換のデジタル・ホストに接続する際に使用されます。

図 35 に 2 個の AD7980 を使った接続図を、図 36 に対応するタイミングを、それぞれ示します。

SDI にハイ・レベルを入力した状態では、CNV の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDO はハイ・インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV をハイ・レベルに維持する必要があります(SDI と CNV がロー・レベルの場合、SDO はロー・レベルに駆動されます)。最小変換時間の前に、SDI を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間の前に SDI がハイ・レベルに戻り、最大変換時間の間ハイ・レベルを維持して、ビジー信号の発生を防止する必要があります。

変換が完了すると、AD7980 はアキュイジション・フェーズに入りパワーダウンします。SDI 入力にロー・レベルを入力すると、各 ADC の変換結果を讀出すことができ、MSB が SDO へ出力されます。残りのデータビットは、後続の SCK の立上がりエッジで出力されます。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立上がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な讀出しレートが可能になります。16 番目の SCK 立上がりエッジの後、または SDI がハイ・レベルになったときのいずれか早い方で、SDO はハイ・インピーダンスに戻り、もう一方の AD7980 を讀出すことができますようになります。

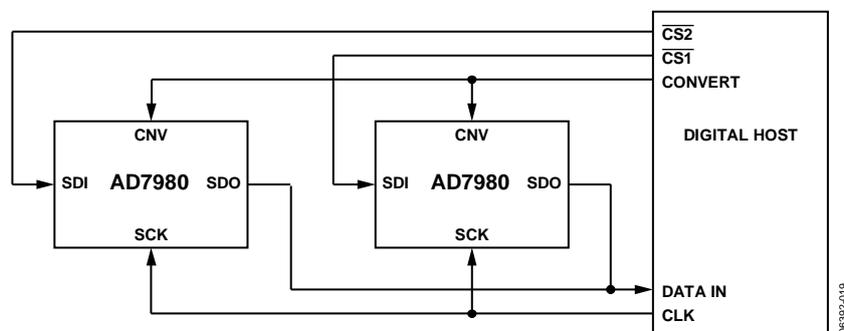


図 35.4 線式 $\overline{\text{CS}}$ モード、ビジー表示なしの接続図

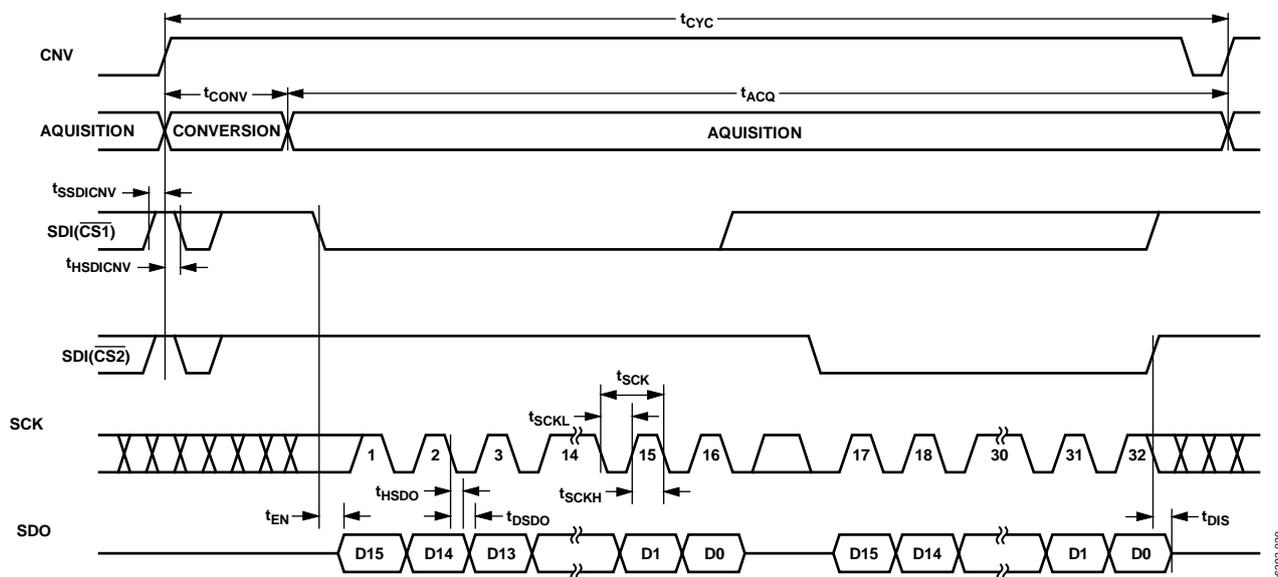


図 36.4 線式 $\overline{\text{CS}}$ モード、ビジー表示なしのシリアル・インターフェース・タイミング

#### 4 線式 $\overline{\text{CS}}$ モード、ビジー表示あり

このモードは、1個のAD7980を割込み入力を持つSPI互換のデジタル・ホストに接続し、かつCNVの使用が必要な場合に使われます。このCNVは、データの読出しを選択する際に使われる信号とは独立に、アナログ入力をサンプルするために使われず。この条件は、CNV上のジッタが小さいことが要求されるアプリケーションで特に重要です。

接続図を図37に、対応するタイミングを図38に、それぞれ示します。

SDIにハイ・レベルを入力した状態では、CNVの立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDOはハイ・インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVをハイ・レベルに維持する必要があります(SDIとCNVがロー・レベルの場合、SDOはロー・レベルに駆動されます)。最小変換時間の前に、SDIを使ってアナログ・マルチプレクサのような他のSPIデバイスを選択することができますが、最小変換時間が経過する前にSDIがロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、ビジー信号が確実に発生するようにする必要があります。変換が完了すると、SDOはハイ・インピーダンスからロー・レベルになります。

SDOラインをプルアップして、この変化を割込み信号として使って、デジタル・ホストにより制御されるデータのリードバックを開始させることができます。その後AD7980はアキュジション・フェーズに入り、パワーダウンします。その後データビットはMSBファーストで、後続のSCKの立下がりエッジで出力されます。データは、両SCKエッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。オプションの17番目のSCK立下がりエッジの後、またはSDIがハイ・レベルになったときのいずれか早い方で、SDOはハイ・インピーダンスに戻ります。

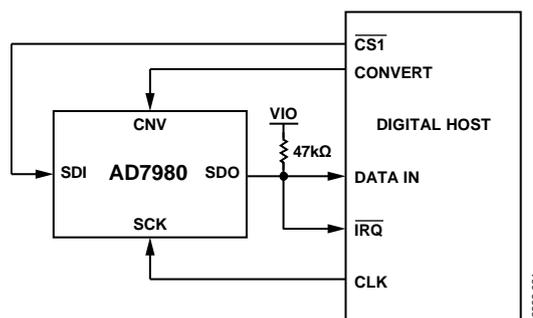


図 37.4 線式 $\overline{\text{CS}}$ モード、ビジー表示ありの接続図

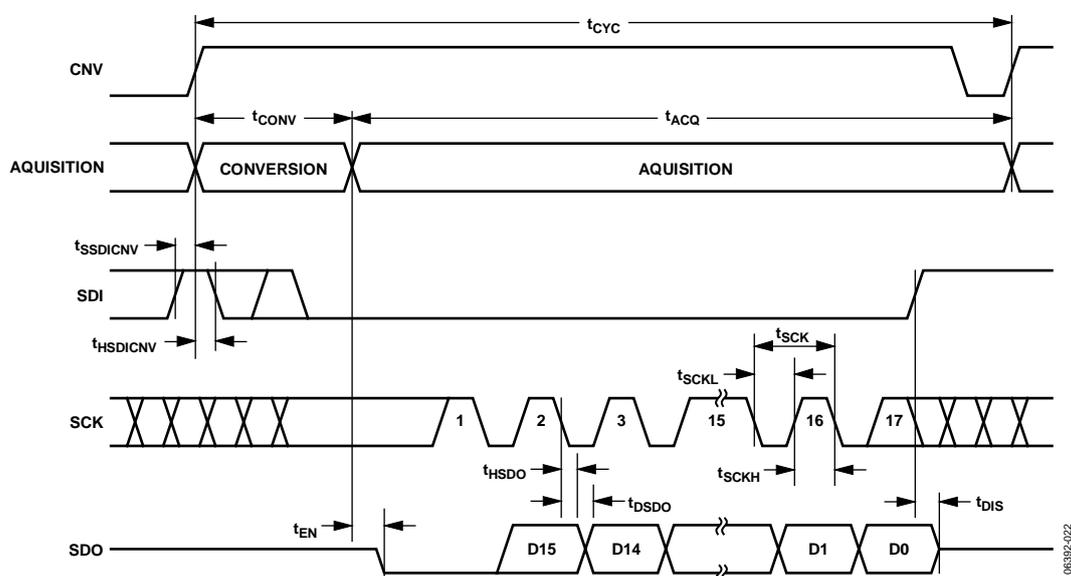


図 38.4-Wire  $\overline{\text{CS}}$  モード with Busy Indicator シリアル Interface タイミング

### チェーン・モード、ビジー表示なし

このモードを使って、3 線式シリアル・インターフェースに複数の AD7980 をディジーチェーン接続することができます。この機能は部品数と接続配線数の削減に役立ちます。たとえば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図 39 に 2 個の AD7980 を使った接続図を、図 40 に対応するタイミングを、それぞれ示します。

SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます。SCK がロー・レベルのとき、CNV の立上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示がディスエーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV がハイ・レベルに維持されます。変換が完了すると、MSB が SDO に出力され、AD7980 はアキュイジション・フェーズに入りパワーダウンします。内部シフトレジスタに保存されている残りのデータビットは、後続の SCK の立下がりエッジで出力されます。各 ADC で、SDI が内部シフトレジスタの入力に接続され、SCK の立下がりエッジでクロック駆動されます。チェーン内の各 ADC はデータの MSB を先頭に出力し、N 個の ADC をリードバックするためには  $16 \times N$  個のクロックが必要です。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になり、かつチェーン内の AD7980 数を増やすことができます。最大変換レートは、合計リードバック時間により低下することがあります。

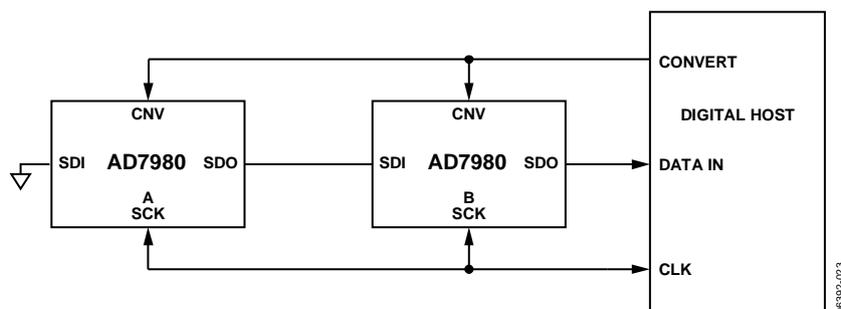


図 39. チェーン・モード、ビジー表示なしの接続図

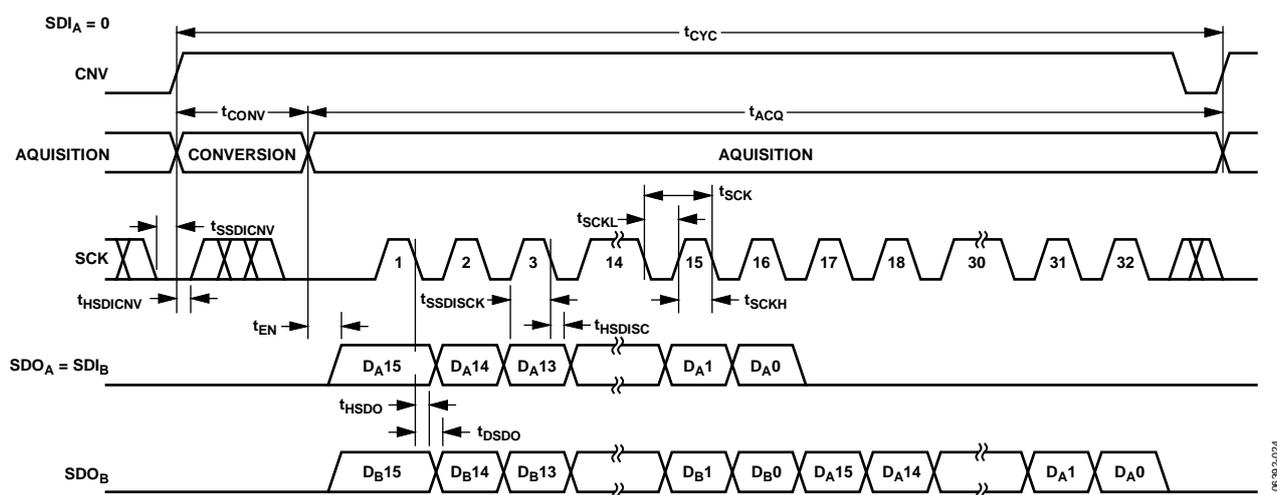


図 40. チェーン・モード、ビジー表示なしのシリアル・インターフェース・タイミング

## チェーン・モード、ビジー表示あり

このモードを使うと、3線式シリアル・インターフェースに複数のAD7980をディジーチェーン接続することができると同時にビジー表示も提供できます。この機能は部品数と接続配線数の削減に役立ちます。たとえば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図41に3個のAD7980を使った接続図の例を、図42に対応するタイミングを、それぞれ示します。

SDIとCNVをロー・レベルにすると、SDOがロー・レベルに駆動されます。SCKがハイ・レベルのとき、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示機能がイネーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVがハイ・レベルに維持されます。チェーン内のすべてのADCで変換が完了すると、デジタル・ホストに最も近いADC(図41でCと表示されたAD7980のADC)のSDOがハイ・レベルに駆動されます。SDO上のこの変化をビジー表示として使って、デジタル・ホストから制御されるデータ・リードバックを開始することができます。その後AD7980はアキュイジション・フェーズに入り、パワーダウンします。内部シフトレジスタに保存されているデータビットは、後続のSCKの立下がりエッジでMSBファーストで出力されます。各ADCで、SDIが内部シフトレジスタの入力に接続され、SCKの立下がりエッジでクロック駆動されます。チェーン内の各ADCはデータのMSBを先頭に出力し、N個のADCをリードバックするためには $16 \times N + 1$ 個のクロックが必要です。立上がりエッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になり、かつチェーン内のAD7980数を増やすことができます。

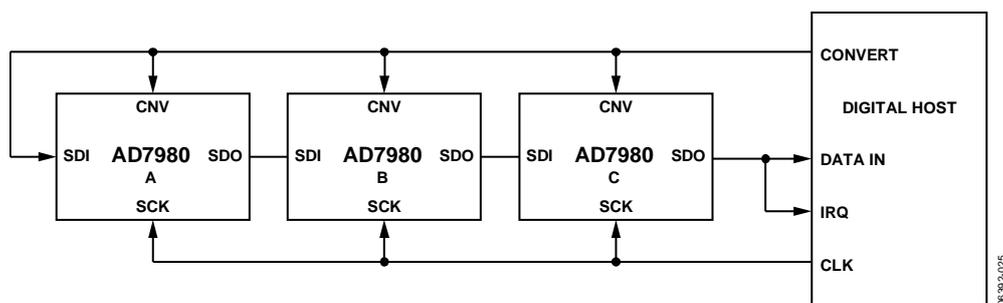


図41.チェーン・モード、ビジー表示ありの接続図

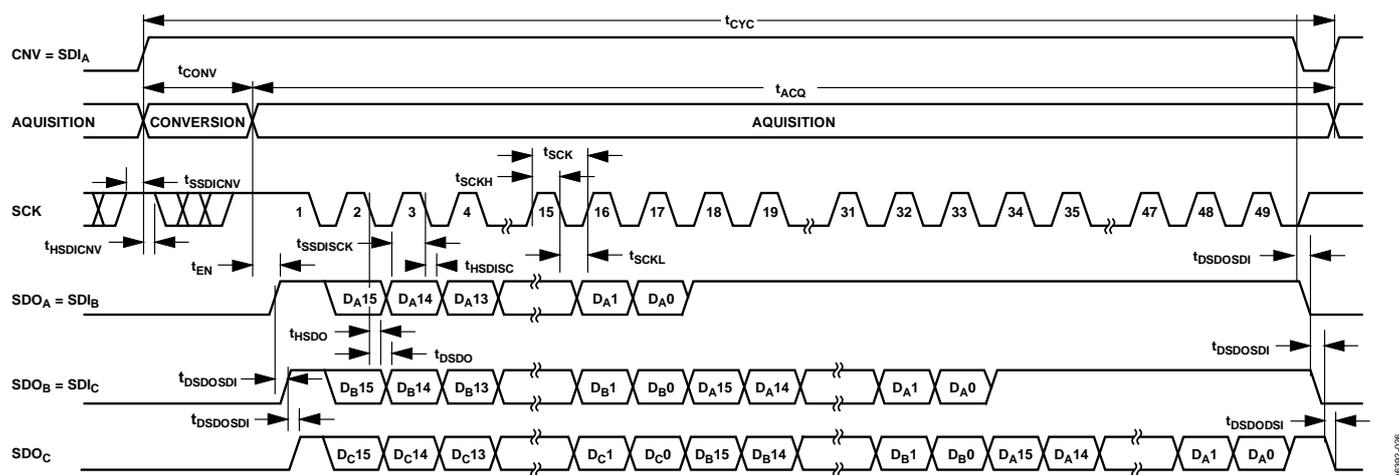


図42.チェーン・モード、ビジー表示ありのシリアル・インターフェース・タイミング

## アプリケーション情報

### レイアウト

AD7980 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7980 では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7980 の下のグラウンド・プレーンがシールドとして使われてない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNV やクロックのような高速なスイッチング信号は、アナログ信号パスの近くを絶対に通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。後者の場合、各プレーンは AD7980 の下で接続する必要があります。

AD7980 のリファレンス電圧入力 REF は動の入力インピーダンスを持つため、最小の寄生インダクタンスでデカップリングする必要があります。これは、REF ピンと GND ピンの近くに、理想的には直接に、太い低インピーダンスのパターンでリファレンス電圧のデカップリング・セラミック・コンデンサを接続することにより行われます。

最後に、AD7980 の電源 VDD と VIO は AD7980 の近くに配置したセラミック・コンデンサ(一般に 100 nF)でデカップリングし、低インピーダンス・パスを提供する短く太いパターンで接続して、電源ライン上のグリッチの影響を軽減します。

図 43 と 図 44 に、これらのルールに則ったレイアウトの例を示します。

### AD7980 の性能評価

AD7980 のその他の推奨レイアウトは、AD7980 (EVAL-AD7980-CB) 評価用ボードのドキュメントにも記載してあります。評価用ボードの梱包には、組み立て済みでテスト済みの評価用ボード、ドキュメント、EVAL-CONTROL BRD3 を介して PC からボードを制御するソフトウェアが添付されています。

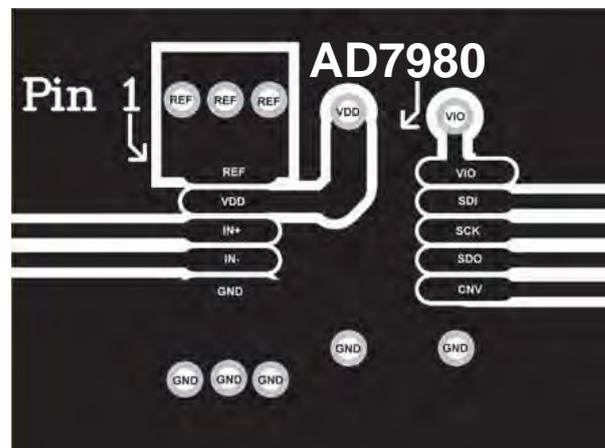


図 43. AD7980 のレイアウト例(表面)

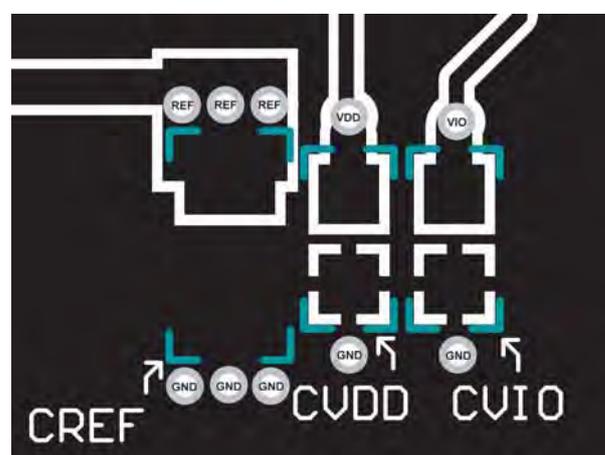
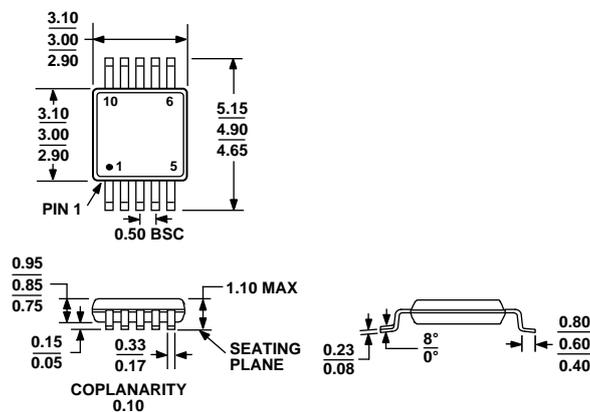


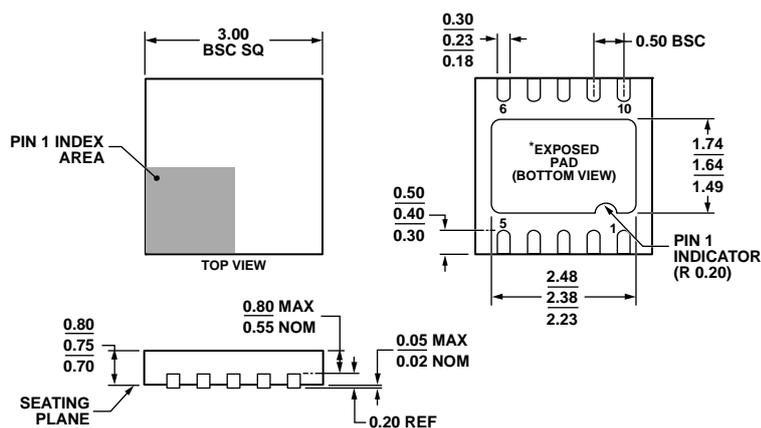
図 44. AD7980 のレイアウト例(裏面)

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-BA

図 45.10 ピン・ミニモールド・アウトライン・パッケージ [MSOP]  
(RM-10)  
寸法: mm



\*PADDED CONNECTED TO GND. THIS CONNECTION IS NOT REQUIRED TO MEET THE ELECTRICAL PERFORMANCES.

031208-B

図 46.10 ピン・リードフレーム・チップ・スケール・パッケージ [QFN (LFCSP\_WD)]  
3 mm x 3 mm ボディ、超極薄デュアル・リード  
(CP-10-9)  
寸法: mm

この製品の RoHS 非準拠バージョンについては当社営業にお問い合わせください。

## オーダー・ガイド

Model	Integral Nonlinearity	Temperature Range	Ordering Quantity	Package Description	Package Option	Branding
AD7980ARMZ <sup>1</sup>	±2.5 LSB max	-40°C to +125°C	Tube, 50	10-Lead MSOP	RM-10	C5X
AD7980ARMZRL7 <sup>1</sup>	±2.5 LSB max	-40°C to +125°C	Reel, 1,000	10-Lead MSOP	RM-10	C5X
AD7980BRMZ <sup>1</sup>	±1.25 LSB max	-40°C to +125°C	Tube, 50	10-Lead MSOP	RM-10	C5D
AD7980BRMZRL7 <sup>1</sup>	±1.25 LSB max	-40°C to +125°C	Reel, 1,000	10-Lead MSOP	RM-10	C5D
AD7980ACPZ-RL <sup>1</sup>	±2.5 LSB max	-40°C to +125°C	Reel, 5,000	10-Lead QFN (LFCSP_WD)	CP-10-9	C5X
AD7980ACPZ-RL7 <sup>1</sup>	±2.5 LSB max	-40°C to +125°C	Reel, 1,000	10-Lead QFN (LFCSP_WD)	CP-10-9	C5X
AD7980BCPZ-RL <sup>1</sup>	±1.25 LSB max	-40°C to +125°C	Reel, 5,000	10-Lead QFN (LFCSP_WD)	CP-10-9	C5D
AD7980BCPZ-RL7 <sup>1</sup>	±1.25 LSB max	-40°C to +125°C	Reel, 1,000	10-Lead QFN (LFCSP_WD)	CP-10-9	C5D
AD7980BCPZ-R2 <sup>1</sup>	±1.25 LSB max	-40°C to +125°C	Reel, 1,000	10-Lead QFN (LFCSP_WD)	CP-10-9	C5D
EVAL-AD7980CBZ <sup>1,2</sup>				Evaluation Board		
EVAL-CONTROL BRD <sup>3</sup>				Controller Board		

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> これは単独の評価用ボードとして、または評価/デモ目的の EVAL-CONTROL BRD3 と組み合わせて、使用することができます。

<sup>3</sup> このボードを使うと、PC からの制御と CB サフィックスが付くすべてのアナログ・デバイス評価用ボードとの通信が可能です。