



# 16 ビット、5 MSPS の PuISAR 差動 ADC

データシート

AD7961

## 特長

- スループット: 5 MSPS
- ノーマス・コードの 16 ビット分解能
- 優れた AC/DC 性能
  - ダイナミックレンジ: 96 dB
  - SNR: 95.5 dB
  - THD: -116 dB
  - INL:  $\pm 0.2$  LSB (typ),  $\pm 0.55$  LSB (最大)
  - DNL:  $\pm 0.14$  LSB (typ),  $\pm 0.25$  LSB (最大)
- 真の差動アナログ入力電圧範囲:  $\pm 4.096$  V または  $\pm 5$  V
- 低消費電力
  - 5 MSPS で、外付けリファレンス・バッファ使用時 46.5 mW (エコー・クロック・モード)
  - 5 MSPS で、内蔵リファレンス・バッファ使用時 64.5 mW (エコー・クロック・モード)
  - 5 MSPS で、外付けリファレンス・バッファ使用時 39 mW (セルフ・クロック・モード、CNV $\pm$ は CMOS モード)
- SAR アーキテクチャ採用
  - レイテンシ/パイプライン遅延なし
- 外付けリファレンス・オプション: バッファ付き 2.048 V~4.096 V (内蔵リファレンス・バッファ)、4.096 V、5 V
- シリアル LVDS インターフェース
  - セルフ・クロック・モード
  - エコー・クロック・モード
  - 変換制御 (CNV $\pm$  信号) に LVDS または CMOS を選択可能
- 動作温度範囲: -40°C~+85°C
- 32 ピン、5 mm x 5 mm LFCSP (QFN) パッケージを採用

## アプリケーション

- デジタル画像処理システム
  - デジタル X 線
  - コンピュータ断層撮影
  - IR カメラ
  - MRI グラジエント制御
- 高速データ・アキュジション
- 分光分析装置
- テスト装置

## 機能ブロック図

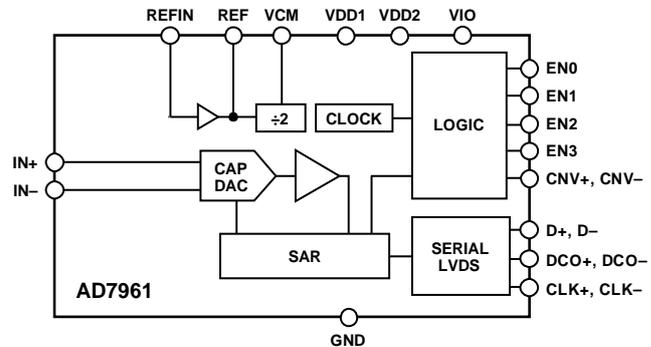


図 1.

## 概要

AD7961 は、5 MSPS の電荷再分配逐次比較型 (SAR) 16 ビット A/D コンバータ (ADC) です。SAR アーキテクチャの採用により、ノイズと直線性の優れた性能が可能になっています。AD7961 は、低消費電力高速 16 ビット・サンプリングの ADC、変換クロック、リファレンス・バッファを内蔵しています。AD7961 は、IN+ピンと IN-ピンとの間の電位差を CNV $\pm$ のエッジでサンプルします。両ピンにかかる電圧は逆位相かつ範囲は 0 V~4.096 V および 0 V~5 V です。リファレンス電圧は外部からデバイスに入力されます。すべての変換結果は、セルフ・クロックまたはエコー・クロックで駆動される LVDS シリアル・インターフェースから出力されます。

AD7961 は、32 ピン LFCSP (QFN) パッケージを採用し、動作は -40°C~+85°C で規定されています。

表 1. 高速 PuISAR<sup>®</sup> ADC の選択肢

Input Type	1 MSPS to <2 MSPS	2 MSPS to 3 MSPS	5 MSPS to 6 MSPS	10 MSPS
Pseudo-Differential, 16-Bit	AD7653 AD7667 AD7980 AD7983	AD7985		
True Bipolar, 16-Bit	AD7671			
Differential, <sup>1</sup> 16-Bit	AD7677 AD7623	AD7621 AD7622	AD7625 AD7961	AD7626
Differential, <sup>1</sup> 18-Bit	AD7643 AD7982 AD7984	AD7641 AD7986	AD7960	

<sup>1</sup> 逆位相

## 目次

特長.....	1	回路説明 .....	14
アプリケーション .....	1	コンバータ情報.....	14
機能ブロック図 .....	1	伝達関数 .....	15
概要.....	1	アナログ入力.....	15
改訂履歴.....	2	代表的なアプリケーション .....	16
仕様.....	3	リファレンス電圧のオプション .....	17
タイミング仕様.....	5	電源 .....	18
絶対最大定格 .....	7	デジタル・インターフェース .....	19
熱抵抗.....	7	変換制御 .....	19
ESD の注意 .....	7	アプリケーション情報 .....	22
ピン配置およびピン機能説明 .....	8	レイアウト.....	22
代表的な性能特性 .....	9	AD7961 の性能評価 .....	22
用語.....	13	外形寸法.....	23
動作原理.....	14	オーダー・ガイド.....	23

## 改訂履歴

## 3/14—Rev. A to Rev. B

Changes to Table 4 .....	7
Deleted Table 6; Renumbered Sequentially .....	7
Changes to Figure 19.....	11

## 11/13—Rev. 0 to Rev. A

Change to Table 1 .....	1
Changes to Table 2 .....	3
Change to Table 3 .....	5
Changes to Table 4 .....	7
Added Table 6; Renumbered Sequentially .....	7
Change to Figure 4 .....	8
Changes to Figure 32.....	16
Change to Voltage Reference Options Section.....	17

## 8/13—Revision 0: Initial Version

## 仕様

特に指定がない限り、VDD1 = 5 V; VDD2 = 1.8 V; VIO = 1.8 V; REF = 5 V または 4.096 V; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	$V_{IN+} - V_{IN-}$	$-V_{REF}$		$+V_{REF}$	V
Operating Input Voltage	$V_{IN+}$ , $V_{IN-}$ to GND	-0.1		$V_{REF} + 0.1$	V
Common-Mode Input Range <sup>1</sup>		$V_{REF}/2 - 0.05$	$V_{REF}/2$	$V_{REF}/2 + 0.05$	V
CMRR	$f_{IN} = 500$ kHz		70		dB
Input Leakage Current	Acquisition phase		60		nA
THROUGHPUT					
Complete Cycle		200			ns
Throughput Rate		0		5	MSPS
DC ACCURACY					
No Missing Codes		16			Bits
Integral Linearity Error		-0.55	±0.2	+0.55	LSB
Differential Linearity Error		-0.25	±0.14	+0.25	LSB
Transition Noise			0.5		LSB
Zero Error		-2.5		+2.5	LSB
Zero Error Drift <sup>1</sup>		-0.25	±0.01	+0.25	ppm/°C
Gain Error		-8.5	±1	+8.5	LSB
Gain Error Drift <sup>1</sup>		-0.5	±0.05	+0.5	ppm/°C
Power Supply Sensitivity <sup>2</sup>	VDD1 = 5 V ± 5% VDD2 = 1.8 V ± 5%		±0.25 ±0.5		LSB LSB
AC ACCURACY					
$f_{IN} = 1$ kHz, -0.5 dBFS, $V_{REF} = 5$ V					
Dynamic Range		95	96		dB
Signal-to-Noise Ratio		94.5	95.5		dB
Spurious-Free Dynamic Range			118		dB
Total Harmonic Distortion			-116		dB
Signal-to-Noise-and-Distortion Ratio		94	95		dB
$f_{IN} = 1$ kHz, -0.5 dBFS, $V_{REF} = 4.096$ V					
Dynamic Range		94	95		dB
Signal-to-Noise Ratio		93.5	94.5		dB
Spurious-Free Dynamic Range			114		dB
Total Harmonic Distortion			-112		dB
Signal-to-Noise-and-Distortion Ratio		93	94		dB
-3 dB Input Bandwidth <sup>3</sup>	EN2 = 0		28		MHz
Oversampled Dynamic Range <sup>4</sup>	OSR = 256, REF = 5 V		115		dB
Aperture Delay <sup>5</sup>			1.6		ns
Aperture Jitter <sup>5</sup>			1		ps
REFERENCE BUFFER					
REFIN Input Voltage Range <sup>1</sup>		2.042	2.048	2.054	V
REF Output Voltage Range	REF at 25°C, EN3 to EN0 = XX01 or XX10	4.086	4.096	4.106	V
Line Regulation	VDD1 = 5 V ± 5%, VDD2 = 1.8 V ± 5%		±20		μV
Gain Drift <sup>1</sup>		-25	±4	+25	ppm/°C

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>EXTERNAL REFERENCE</b>					
Voltage Range	REFIN pin, EN1 to EN0 = 01		2.048		V
	REF pin, EN1 to EN0 = 10 <sup>6</sup>		4.096		V
	REF pin, EN1 to EN0 = 01 <sup>6</sup>		5		V
Current Drain	5 MSPS, REF = 4.096 V		1.05	1.11	mA
	5 MSPS, REF = 5 V		1.36	1.43	mA
<b>VCM PIN</b>					
VCM Output			REF/2		
VCM Error		-0.01		+0.01	V
Output Impedance			5.1		kΩ
<b>LVDS I/O (ANSI-644)</b>					
Data Format			Serial LVDS twos complement		
Differential Output Voltage, V <sub>OD</sub>	R <sub>L</sub> = 100 Ω	245	290	454	mV
Common-Mode Output Voltage, V <sub>OCM</sub>	R <sub>L</sub> = 100 Ω	980 <sup>7</sup>	1130	1375	mV
Differential Input Voltage, V <sub>ID</sub>		100		650	mV
Common-Mode Input Voltage, V <sub>ICM</sub>		800		1575	mV
<b>POWER SUPPLIES</b>					
Specified Performance					
VDD1		4.75	5	5.25	V
VDD2		1.71	1.8	1.89	V
VIO		1.71	1.8	1.89	V
Operating Currents <sup>8</sup>					
Static—Not Converting, Internal Reference Buffer Disabled		Self clocked mode, CNV± in CMOS mode <sup>9</sup>			
VDD1			8	40	μA
VDD2			8	70	μA
VIO			5	5.3	mA
Static—Not Converting, Internal Reference Buffer Enabled		Self clocked mode, CNV± in CMOS mode <sup>9</sup>			
VDD1			2.6	2.9	mA
VDD2			9	72	μA
VIO			4.4	5.3	mA
Converting: Internal Reference Buffer Disabled		Echoed clock mode, CNV± in LVDS mode			
VDD1			2	2.2	mA
VDD2			11.4	13.5	mA
VIO			9	10.3	mA
Converting: Internal Reference Buffer Enabled		Echoed clock mode, CNV± in LVDS mode			
VDD1			5.6	6	mA
VDD2			11.4	13.5	mA
VIO			9	10.3	mA
Converting: Internal Reference Buffer Disabled		Self clocked mode, CNV± in CMOS mode <sup>9</sup>			
VDD1			2	2.2	mA
VDD2			11.4	13.5	mA
VIO			4.9	5.6	mA
Snooze Mode					
VDD1			2	4.1	μA
VDD2			1	40.3	μA
VIO			0.1	4.8	μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Power-Down	EN3 to EN0 = X000				
VDD1			1	2.8	μA
VDD2			1	37.8	μA
VIO			0.2	4.6	μA
Power Dissipation					
Static—Not Converting, Internal Reference Buffer Disabled	Self clocked mode, CNV± in CMOS mode <sup>9</sup>		9	10.3	mW
Static—Not Converting, Internal Reference Buffer Enabled	Self clocked mode, CNV± in CMOS mode <sup>9</sup>		21	25	mW
Converting: Internal Reference Buffer Disabled	Echoed clock mode, CNV± in LVDS mode		46.5	56.2	mW
Converting: Internal Reference Buffer Enabled	Echoed clock mode, CNV± in LVDS mode		64.5	76.4	mW
Converting: Internal Reference Buffer Disabled	Self clocked mode, CNV± in CMOS mode <sup>9</sup>		39	47.4	mW
Power-Down	EN3 to EN0 = X000		7.2	94.5	μW
Energy per Conversion	Self clocked, CNV± in CMOS mode <sup>9</sup>		7.8	9.5	nJ/sample
TEMPERATURE RANGE					
Specified Performance	T <sub>MIN</sub> to T <sub>MAX</sub>	-40		+85	°C

<sup>1</sup> 最小値と最大値はキャラクタライゼーションにより保証します。

<sup>2</sup> 外付けリファレンスを使用。

<sup>3</sup> イネーブル・ピンのロジック・レベルについては表 8 を参照してください。EN2 = 1 の場合 -3 dB 入力帯域幅は 9 MHz です。この狭い帯域幅は、スループット・レートが 2 MSPS 以下の場合に使ってください。

<sup>4</sup> オーバーサンプル・ダイナミックレンジは、ピーク信号電力と DC ~ f<sub>g</sub>/(2 × OSR)での ADC 出力 FFT で測定したノイズ電力(小入力時)との比です。ここで、f<sub>g</sub> は ADC サンプル・レートで、OSR はオーバーサンプル比です。

<sup>5</sup> 設計段階で保証されています。

<sup>6</sup> このモードでは、REFIN ピンは 0 V に接続します。

<sup>7</sup> ANSI-644 LVDS 規格には、1125 mV の最小同相モード出力 (V<sub>OCM</sub>) があります。

<sup>8</sup> V<sub>CM</sub> の出力がイネーブルの状態消費される電流は REF/20 kΩ であり、記載された動作電流には含まれていません。

<sup>9</sup> CNV-をグラウンドに接続した場合 CNV+は CMOS 入力になります。詳細については、表 6 を参照してください。

## タイミング仕様

特に指定がない限り、VDD1 = 5 V; VDD2 = 1.8 V; VIO = 1.71 V ~ 1.89 V; REF = 5 V または 4.096 V; すべての仕様は T<sub>MIN</sub> ~ T<sub>MAX</sub> で規定。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit
Time Between Conversions	t <sub>CYC</sub>	200			ns
Acquisition Time	t <sub>ACQ</sub>		t <sub>CYC</sub> - 115		ns
CNV± High Time	t <sub>CNVH</sub>	10		0.6 × t <sub>CYC</sub>	ns
CNV± to D± (MSB) Ready	t <sub>MSB</sub>			200	ns
CNV± to Last CLK± (LSB) Delay	t <sub>CLKL</sub>			160	ns
CLK± Period <sup>1</sup>	t <sub>CLK</sub>	3.33	4	(t <sub>CYC</sub> - t <sub>MSB</sub> + t <sub>CLKL</sub> )/n	ns
CLK± Frequency	f <sub>CLK</sub>		250	300	MHz
CLK± to DCO± Delay (Echoed Clock Mode)	t <sub>DCO</sub>	0	3	5	ns
DCO± to D± Delay (Echoed Clock Mode)	t <sub>D</sub>		0	1	ns
CLK± to D± Delay	t <sub>CLKD</sub>	0	3	5	ns

<sup>1</sup> 最大 CLK± 周期の場合、データ読出しに使えるウィンドウは t<sub>CYC</sub> - t<sub>MSB</sub> + t<sub>CLKL</sub> です。この時間を読出すビット数 (n) で除算すると最大 CLK± 周波数が得られ、与えられた変換 CNV± 周波数に対して使用することができます。エコー・クロック・インターフェース・モードでは n = 16 で、セルフ・クロック・インターフェース・モードでは n = 18 です。

タイミング図

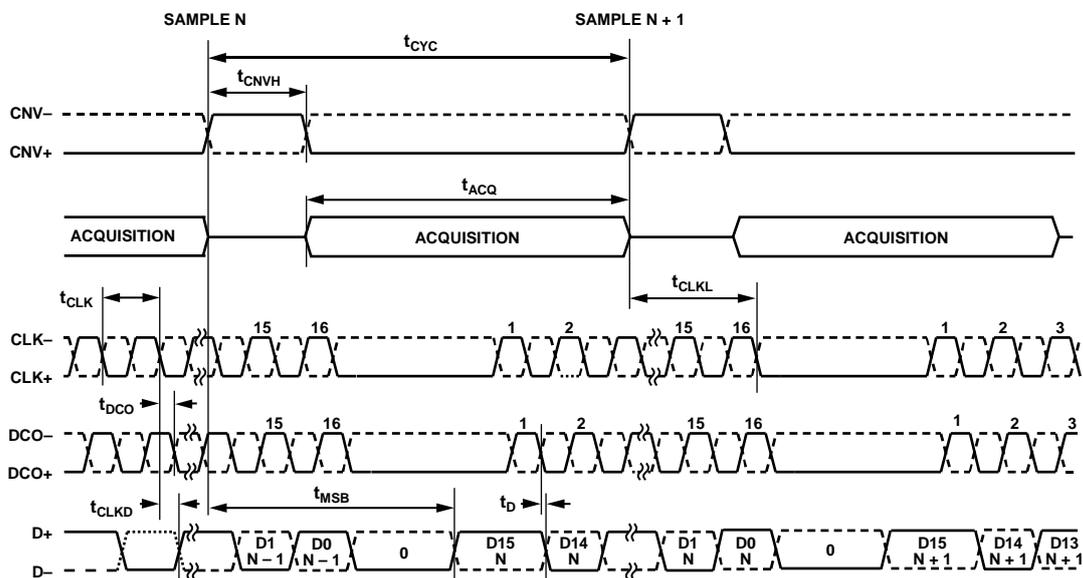


図 2. エコー・クロック・インターフェース・モード・タイミング図

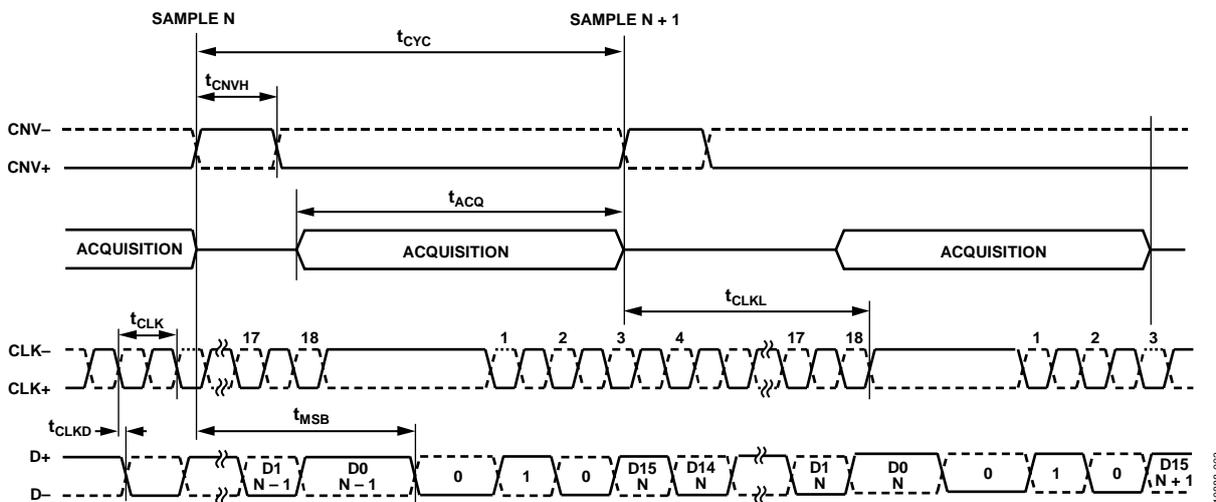


図 3. セルフ・クロック・インターフェース・モード・タイミング図

## 絶対最大定格

表 4.

Parameter	Rating
Analog Inputs/Outputs	
IN+, IN- to GND	-0.3 V to VDD1
REF <sup>1</sup> to GND	-0.3 V to +6 V
VCM to GND	-0.3 V to +6 V
REFIN to GND	-0.3 V to +6 V
Supply Voltages	
VDD1	-0.3 V to +6 V
VDD2, VIO	-0.3 V to +2.1 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Input Current to Any Pin Except Supplies	±10 mA
Operating Temperature Range (Commercial)	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
ESD Ratings	
Human Body Model	4 kV
Machine Model	200 V
Field-Induced Charged-Device Model	1.25 kV

<sup>1</sup>最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 5.熱抵抗

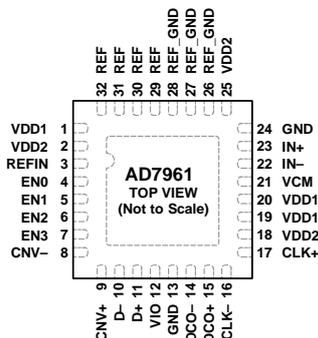
Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
32-Lead LFCSP_VQ	40	4	°C/W

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES  
1. CONNECT THE EXPOSED PAD TO THE GROUND PLANE OF THE PCB USING MULTIPLE VIAS.

1088B-004

図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1、19、20	VDD1	P	アナログ 5 V 電源。100 nF のコンデンサで 5 V 電源をデカップリングしてください。
2、18、25	VDD2	P	アナログ 1.8 V 電源。このピンは、100 nF のコンデンサでデカップリングしてください。
12	VIO	P	入力/出力インターフェース電源。1.8 V 電源を使用し、このピンを 100 nF のコンデンサでデカップリングしてください。
13、24	GND	P	グラウンド。
26、27、28	REF_GND	P	リファレンス電圧グラウンド。REF と REF_GND の間の REF ピンにコンデンサを接続してください。REF_GND は GND に接続します。
3	REFIN	AI	プリバッファ・リファレンス電圧。このピンを 2.048 V の外付けリファレンス電圧で駆動します。2.048 V の外付けリファレンスを駆動する際は、100 nF のコンデンサが必要です。5 V または 4.096 V の外付けリファレンス (REF に接続)を使用する場合、このピンはグラウンドへ接続してください。
4、5、6、7	EN0、 EN1、 EN2、 <sup>2</sup> EN3	DI	イネーブル <sup>2</sup> 。これらのピンのロジック・レベルにより、デバイス動作が表 8 のように設定されます。
8、9	CNV-、 CNV+	DI	変換入力。これらのピンは変換制御ピンとして機能します。これらのピンの立上がりエッジで、アナログ入力がサンプルされ、変換サイクルが開始されます。CNV-をグラウンドに接続した場合 CNV+は CMOS 入力になり、その他の場合 CNV+と CNV-は差動 LVDS 入力になります。
10、11	D-、D+	DO	LVDS データ出力。変換データは、これらのピンからシリアル出力されます。
14、15	DCO-、 DCO+	DO	LVDS バッファ済みクロック出力。DCO+ をグラウンドに接続すると、セルフ・クロック・インターフェース・モードが選択されます。このモードでは、D±上の 16 ビット変換結果の前に 0 が付き (この 0 は前の変換の終わりに出力されます)、その後ろにデジタル・ホストと追加ロジックとのデータ同期を可能にする 2 ビット・ヘッダー (10)が続きます。このヘッダー内の 1 が、後続の変換結果を正しく取得するための基準を提供します。DCO+をグラウンドに接続しない場合、エコー・クロック・インターフェース・モードが選択されます。このモードでは、DCO±は CLK±のコピーになります。データビットは DCO+の立上がりエッジで出力され、デジタル・ホストでは DCO+の次の立上がりエッジで入力することができます。
16、17	CLK-、 CLK+	DI	LVDS クロック入力。このクロックを使って、CLK+の立上がりエッジで変換結果をシフト出力します。
21	VCM	AO	同相モード出力。すべてのリファレンス方式で、このピンは REF ピン電圧の 1/2 の電圧を発生し、入力アンプの同相モード駆動に使用することができます。
22	IN-	AI	差動負アナログ入力。IN+に対する入力で、IN+に対し 180°の位相差で駆動する必要があります。
23	IN+	AI	差動正アナログ入力。IN-に対する入力で、IN-に対し 180°の位相差で駆動する必要があります。
29、30、31、 32	REF	AI/O	バッファ付きリファレンス電圧。2.048 V の外付けリファレンス (REFIN 入力)を使用する場合、4.096 V のシステム・リファレンスがこのピンに発生します。このピンで 4.096 V または 5 V の外付けリファレンスを使用する場合、内蔵リファレンス・バッファはディセーブルする必要があります。REF ピンに 1 本の低 ESR かつ低 ESL の 10 μF コンデンサを最短パターンで接続してください。コンデンサの他端子は GND の近くに接続してください。
33	EP		エクスポーズド・パッド。エクスポーズド・パッドは、パッケージの底面にあります。エクスポーズド・パッドは複数のビアを使って PCB グラウンド・プレーンに接続してください。

<sup>1</sup> AI = アナログ入力; AI/O = アナログ入出力; AO = アナログ出力; DI = デジタル入力; DO = デジタル出力; P = 電源。

<sup>2</sup> EN2 = 0 にすると入力帯域幅は 28 MHz に、EN2 = 1 にすると入力帯域幅は 9 MHz に、それぞれ設定されます。EN3 = 1 にすると、V<sub>CM</sub> リファレンス出力がイネーブルされます。

## 代表的な性能特性

特に指定がない限り、VDD1 = 5 V; VDD2 = 1.8 V; VIO = 1.8 V; T = 25°C。

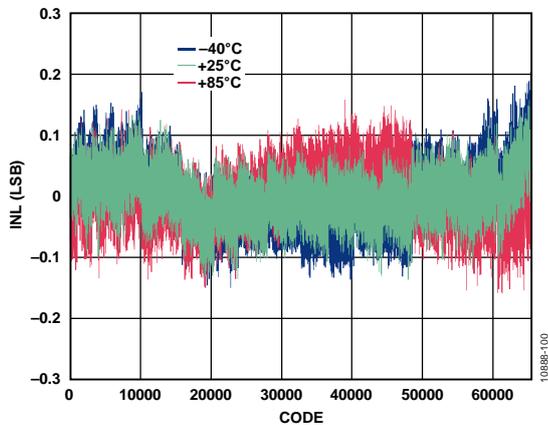


図 5.様々な温度でのコード対積分非直線性、REF = 5 V

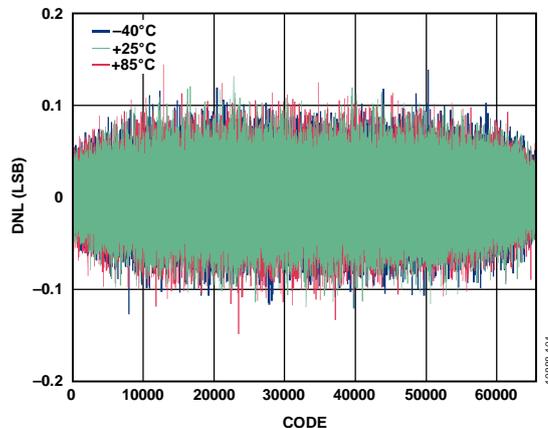


図 8.様々な温度でのコード対微分非直線性、REF = 5 V

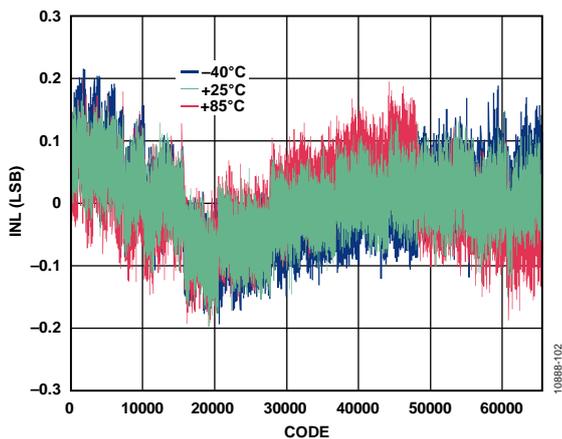


図 6.様々な温度でのコード対積分非直線性、REF = 4.096 V

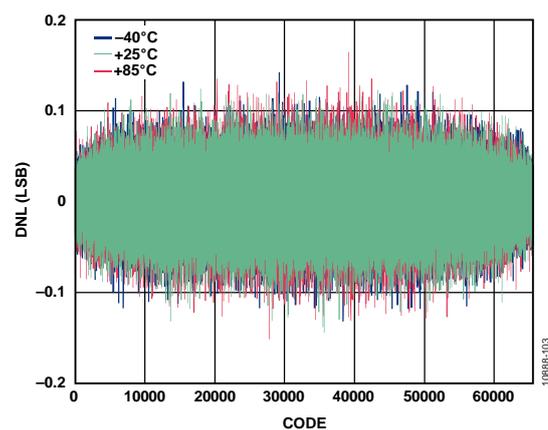


図 9.様々な温度でのコード対微分非直線性、REF = 4.096 V

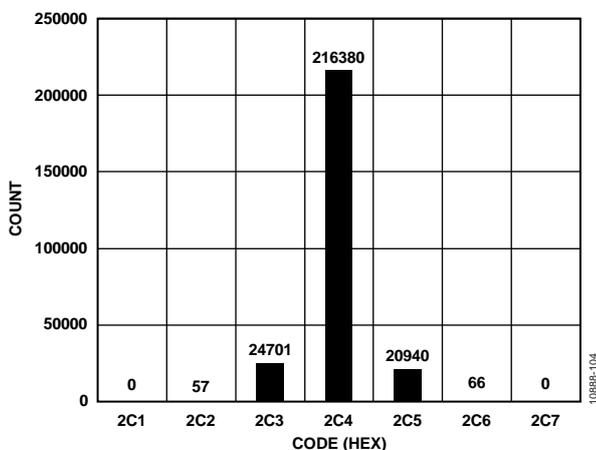


図 7.コード中心での DC 入力のヒストグラム、REF = 5 V

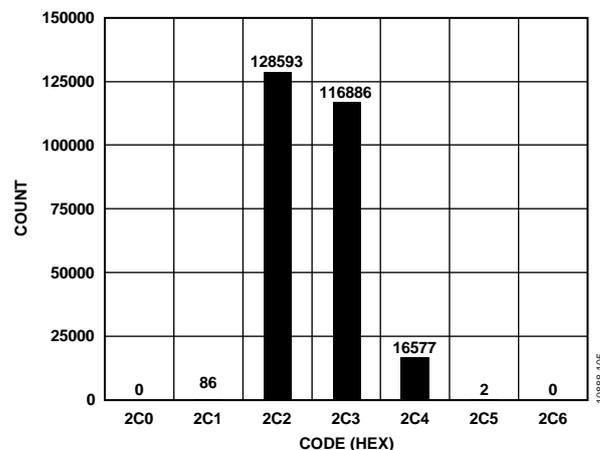


図 10.コード変化での DC 入力のヒストグラム、REF = 5 V

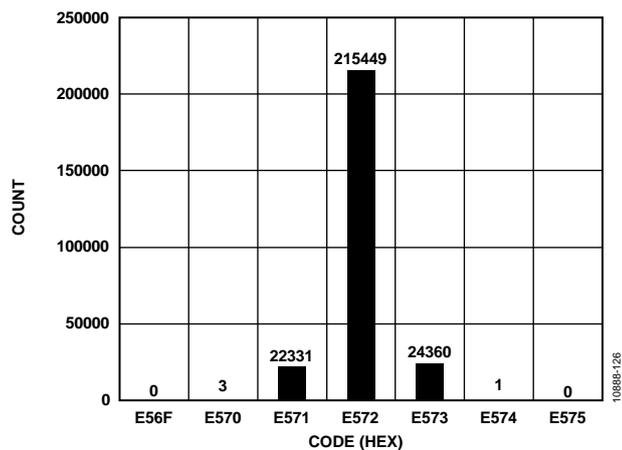


図 11.コード中心での DC 入力 histograms  
REF = 4.096 V

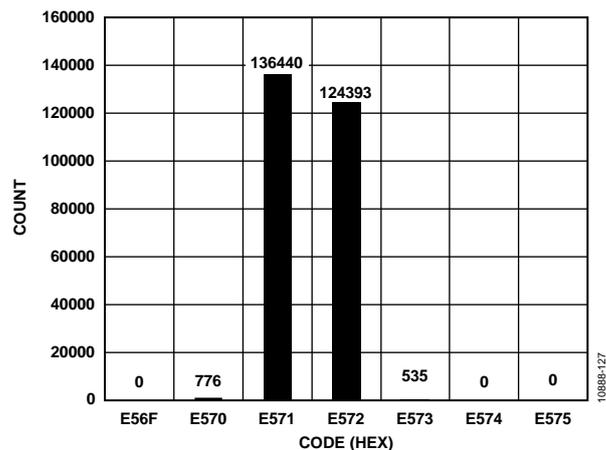


図 14.コード変化での DC 入力 histograms  
REF = 4.096 V

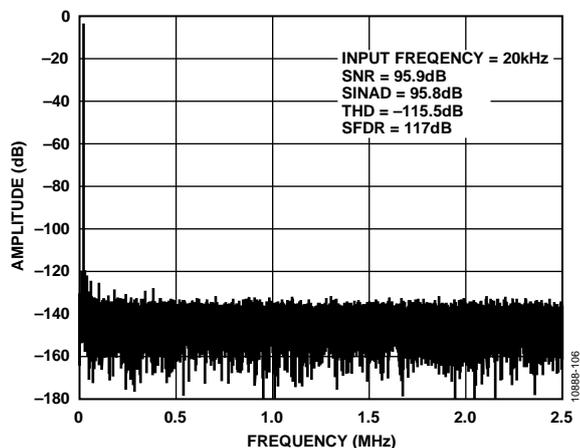


図 12.20 kHz、-0.5 dBFS 入力 トーン FFT  
広範囲表示、REF = 5 V

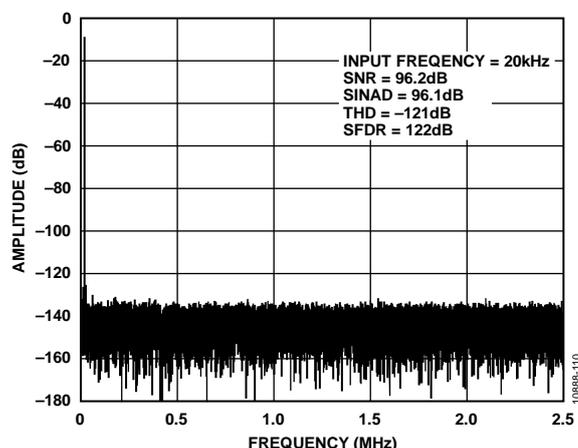


図 15.20 kHz、-6 dBFS 入力 トーン FFT  
広範囲表示、REF = 5 V

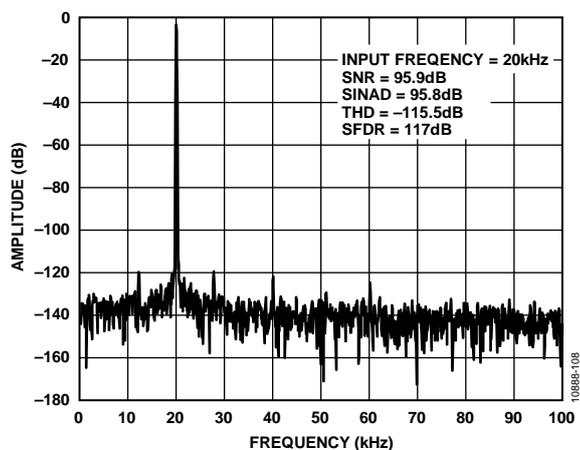


図 13.20 kHz、-0.5 dBFS 入力 トーン FFT  
ズーム表示、REF = 5 V

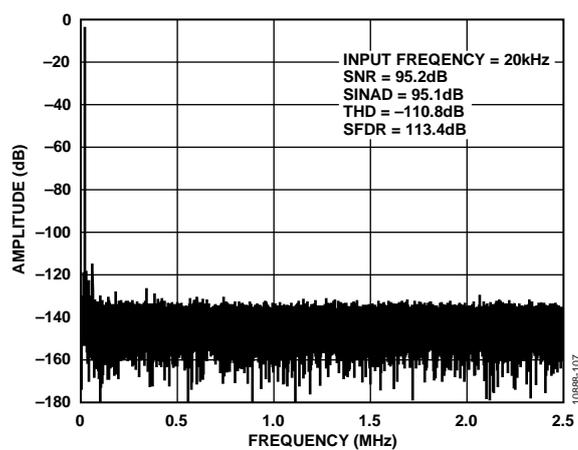


図 16.20 kHz、-0.5 dBFS 入力 トーン FFT  
広範囲表示、REF = 4.096 V

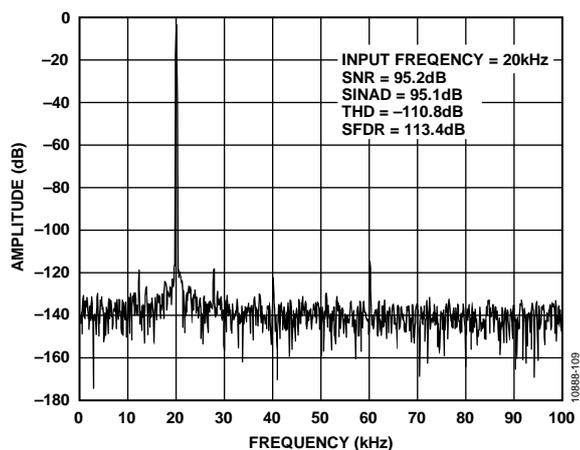


図 17. 20 kHz、-0.5 dBFS 入力トーン FFT  
ズーム表示、REF = 4.096 V

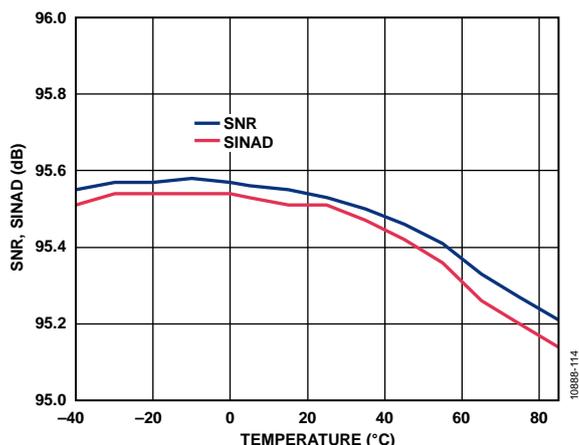


図 20. SNR および SINAD の温度特性  
REF = 5 V

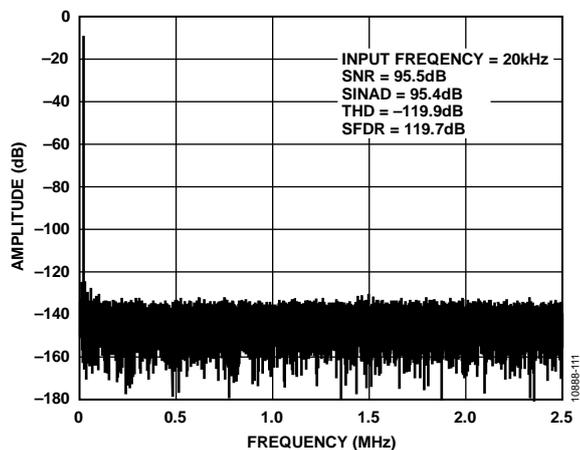


図 18. 20 kHz、-6 dBFS 入力トーン FFT  
広範囲表示、REF = 4.096 V

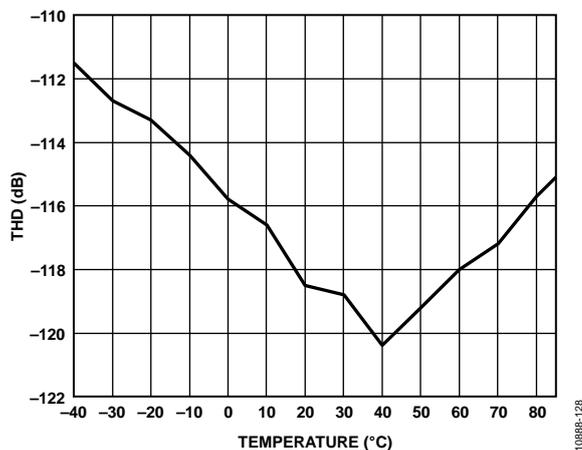


図 21. THD の温度特性  
REF = 5 V

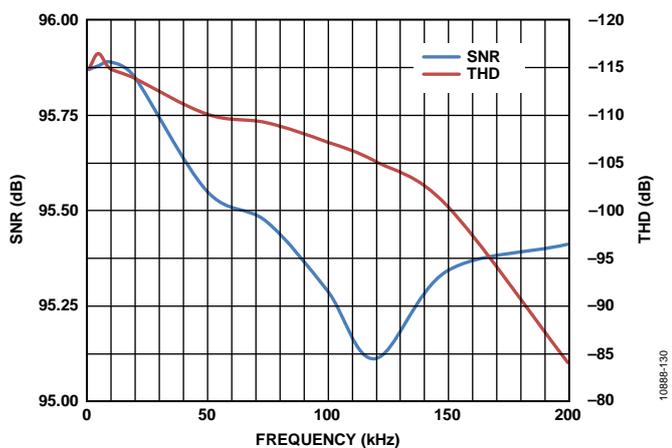


図 19. SNR および THD の周波数特性  
-0.5 dBFS、REF = 5 V

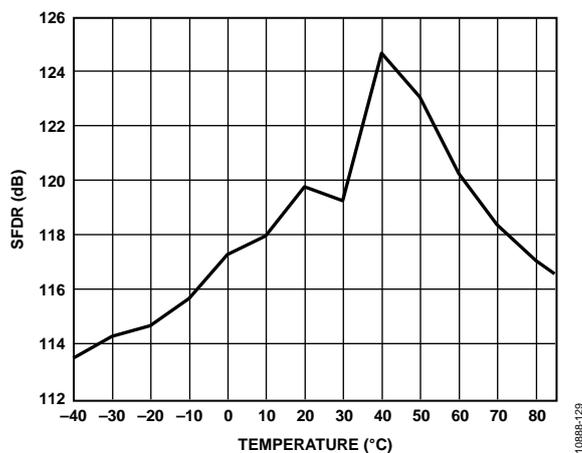


図 22. SFDR の温度特性  
REF = 5 V

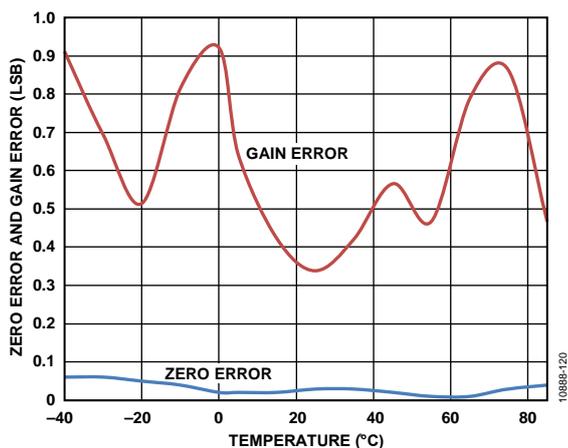


図 23.ゼロ誤差およびゲイン誤差の温度特性  
REF = 5 V

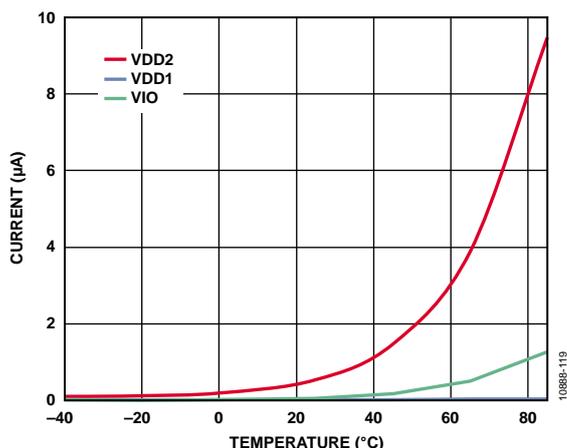


図 26.パワーダウン電流の温度特性  
REF = 5 V

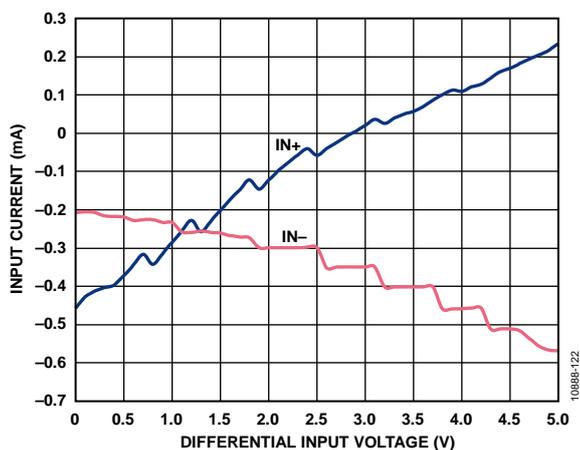


図 24.差動入力電圧対入力電流 (IN+、IN-)  
REF = 5 V

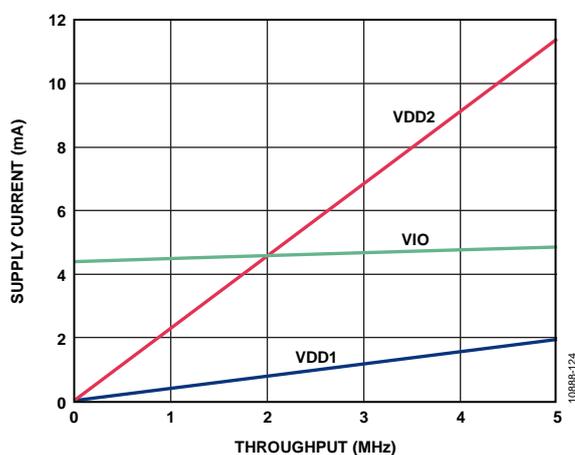


図 27.スループット対電源電流  
セルフ・クロック・モード、CNV±はCMOSモード  
内蔵リファレンス・バッファをディスエーブル

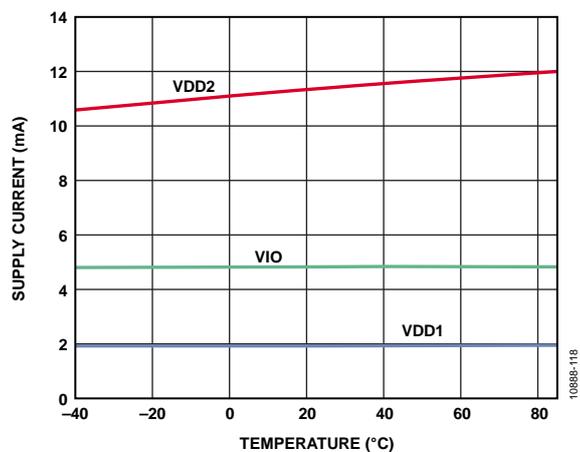


図 25.電源電流の温度特性  
REF = 5 V、セルフ・クロック・モード  
CNV±はCMOSモード  
内蔵リファレンス・バッファをディスエーブル

## 用語

### 微分非直線性誤差(DNL)誤差

理想的な ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。微分非直線性は、この理論値からの最大許容誤差を表します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

### 積分非直線性(INL)誤差

直線性誤差は、負側のフルスケールと正側のフルスケールを結ぶ直線と各コードとの許容誤差を意味します。負側フルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。正フルスケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。許容誤差は各コードの中央と直線との間の距離として測定されます。

### ダイナミックレンジ

-60 dB (typ)入力で測定した合計 rms ノイズに対するフルスケールの rms 値の比を表します。ダイナミックレンジの値は dB で表されます。

### 実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。SINAD と関係し、次式によりビット数で表されます。

$$ENOB = [(SINAD_{dB} - 1.76)/6.02]$$

### ゲイン誤差

最初の変化(100 ... 000→100 ... 001)は公称負フルスケール(±4.096 V レンジの場合は-4.0959844 V)より 0.5 LSB 上のレベルで発生する必要があります。最後の変化(011 ... 110→011 ... 111)は、公称フルスケール(±4.096 V レンジの場合は+4.095953 V)より 1.5 LSB 低いアナログ電圧で発生します。ゲイン誤差は、最後の変化の実際のレベルと最初の変化の実際のレベルとの差と、対応する両理論レベル間の差との間の違いを表します。

### ゲイン誤差ドリフト

1°C の温度変化に起因するゲイン誤差変化とフルスケール範囲(2<sup>N</sup>)の比。ppm で表示します。

### 最下位ビット(LSB)

最下位ビット LSB は、コンバータで表現できる最小増分を表します。N ビット分解能のフル差動入力 ADC の場合、ボルトで表す LSB は次式で与えられます。

$$LSB(V) = \frac{V_{IN(p-p)}}{2^N}$$

### 電源変動除去比(PSRR)

電源変動はフルスケール変化に影響しますが、コンバータの直線性には影響を与えません。PSRR は、電源電圧の公称値からの変化で発生するフルスケール変化ポイントの最大変化を表します。

### 信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

### 信号対ノイズおよび歪み(SINAD)比

SINAD は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD は、デシベル値で表されます。

### スプリアス・フリー・ダイナミックレンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号(高調波を含む)との差を意味し、デシベル値で表します。

### 全高調波歪み(THD)

THD は、基本波から 5 次高調波成分までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

### ゼロ誤差

ゼロ誤差とは、理論中心値入力電圧(0 V)と中心値出力コードを発生する実際の電圧との差を意味します。

### ゼロ誤差ドリフト

1°C の温度変化に起因するゼロ誤差変化とフルスケール・コード範囲(2<sup>N</sup>)の比。ppm で表示します。

## 動作原理

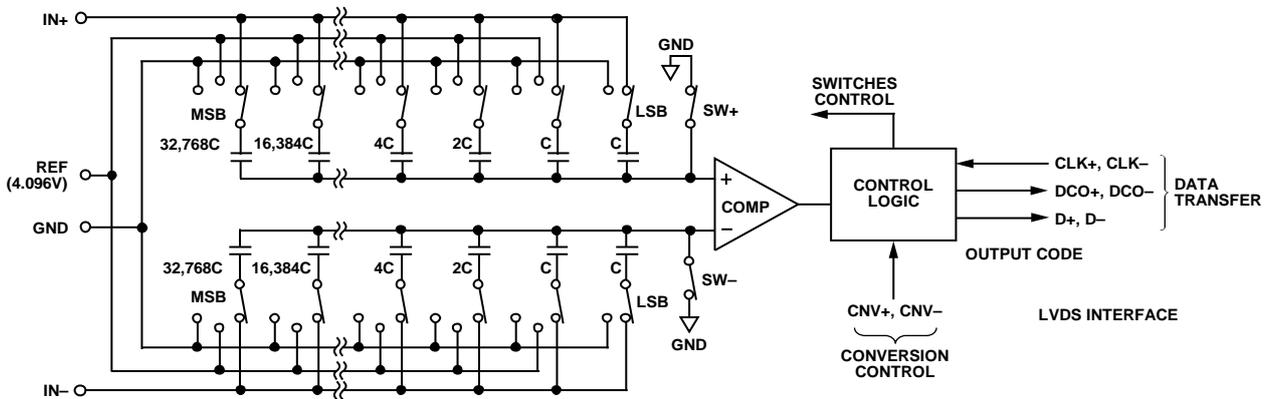


図 28.ADC の簡略化した回路図

## 回路説明

AD7961 は、5 MSPS、高精度、電力効率の優れた、16 ビット ADC で、SAR ベースのアーキテクチャを採用し、95.5 dB SNR、 $\pm 0.2$  LSB INL、 $\pm 0.14$  LSB DNL の性能を提供します。AD7961 は、パイプライン遅延またはレイテンシがないため、チャンネル・マルチプレクス・アプリケーションに最適です。

AD7961 は毎秒 5,000,000 サンプル(5 MSPS)の変換を行うことができます。このデバイスの消費電力は 46.5 mW (typ)です。AD7961 は、内蔵リファレンス・バッファの追加機能を提供します。内蔵リファレンス・バッファをイネーブルすると、AD7961 の消費電力は約 18 mW 増えます。

AD7961 の仕様は、5 V と 1.8 V の電源 (VDD1、VDD2)使用で規定されています。デジタル・ホストと AD7961 との間のインターフェースでは、1.8 V ロジックのみを使います。AD7961 は LVDS インターフェースを使ってデータ変換結果を転送します。デバイスに対する CNV+入力と CNV- 入力により、アナログ入力の変換が開始しされます。CNV+ピンと CNV- ピンは、CMOS ソースまたは LVDS ソースを使って入力することができます。

AD7961 は、省スペース、32 ピン、5 mm × 5 mm LFCSP パッケージを採用しています。

## コンバータ情報

AD7961 は、電荷再分配 DAC を使用する SAR ベース・アーキテクチャを採用した 5 MSPS ADC です。図 28 に、ADC の簡略化した回路図を示します。容量を使用するこの DAC は、2 進数の重みを持った 16 個コンデンサで構成される 2 個の同位アレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アキュイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SW+と SW-を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、IN+入力と IN-入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わり、CNV±入力がハイ・レベルになると、変換フェーズが開始されます。AD7961 には CMOS または LVDS フォーマットの CNV± 信号を入力できることに注意してください。

変換フェーズが開始されると、まず SW+と SW-が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた、入力 IN+と IN-の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントを GND と REF(リファレンス電圧)の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ ( $V_{REF}/2$ 、 $V_{REF}/4$  ...  $V_{REF}/262,144$ ) で変えます。コントロール・ロジックがこれらのスイッチをトグルして (MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、コントロール・ロジックが ADC 出力コードを発生します。

AD7961 デジタル・インターフェースでは、高いデータ転送レートを可能にするため低電圧差動シグナリング (LVDS) を使用しています。

AD7961 の変換結果は、 $t_{MSB}$  (変換開始から MSB 出力までの時間) 経過後に読み出し可能です。デジタル・ホストへデータを転送するときは、AD7961 にバースト LVDS CLK± 信号を入力する必要があります。

CLK± 信号が ADC 変換結果をデータ出力 D±に出力します。図 35 と図 36 に示すバースト CLK± 信号は、次のように規定されます。

- $t_{CLKL}$  と  $t_{MSB}$  との間の時間ウィンドウで CLK±の差動電圧を定常状態に維持します。
- AD7961 には 2 つのデータ読み出しモードがあります。エコー・クロック・インターフェース・モードとセルフ・クロック・インターフェース・モードの詳細については、デジタル・インターフェースのセクションを参照してください。

10898-011

伝達関数

AD7961 では 5 V または 4.096 V のリファレンス電圧を使います。AD7961 は、逆相アナログ入力 (IN+ と IN-) の差動電圧をデジタル出力へ変換します。IN+ と IN- には REF/2 V の同相モード電圧が必要です。

16 ビットの変換結果は、MSB ファースト、2 の補数フォーマットです。AD7961 の理論伝達特性を図 29 と表 7 に示します。

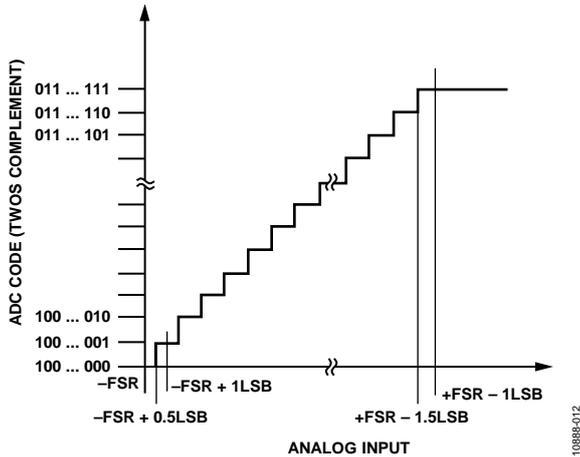


図 29.ADC の理論伝達関数 (FSR = フルスケール範囲)

アナログ入力

AD7961 に入力されるアナログ入力 IN+ と IN- は、180° 位相がずれている必要があります。図 30 に、AD7961 の入力構造の等価回路を示します。

2 個のダイオードが IN+ と IN- に対して ESD 保護機能を提供します。アナログ入力信号は AD7961 電源レール (VDD1 と GND) より 0.3 V 以上高くならないよう注意する必要があります。アナログ入力信号がこのレベルを超えると、これらのダイオードが順方向にバイアスされて、電流が流れるようになります。

これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。ただし、入力バッファ・アンプの電源が VDD1/GND 電源と異なる場合には、アナログ入力信号は電源レールを 0.3 V 以上超えることができます。このような場合 (例えば入力バッファが短絡)、電流制限機能を使ってデバイスを保護することができます。

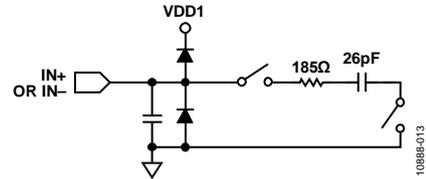


図 30.アナログ入力の等価回路

このアナログ入力構造を使うと、IN+ と IN- との間の真の差動信号のサンプリングが可能になります。この差動入力の採用により、両入力に共存する信号が除去されます。AD7961 の THD は高いアナログ入力周波数でより除去されます。

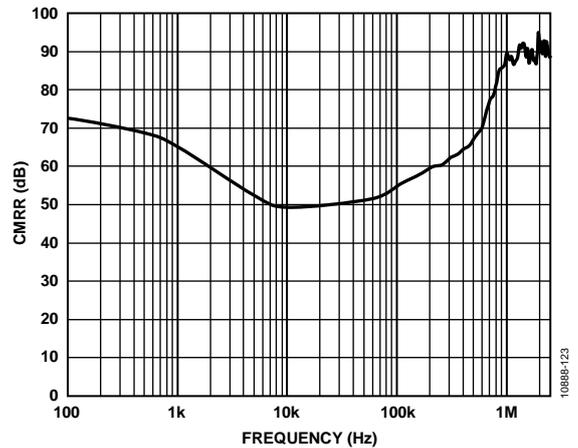


図 31.アナログ入力 CMRR の周波数特性

表 7.出力コードと理論入力電圧

Description	Analog Input (IN+ - IN-), REF = 5 V	Analog Input (IN+ - IN-), REF = 4.096 V	Digital Output Code, Twos Complement (Hex)
FSR - 1 LSB	+4.999847 V	+4.095875 V	0x7FFF
Midscale + 1 LSB	+152.6 μV	+125 μV	0x0001
Midscale	0 V	0 V	0x0000
Midscale - 1 LSB	-152.6 μV	-125 μV	0xFFFF
-FSR + 1 LSB	-4.999847 V	-4.095875 V	0x8001
-FSR	-5 V	-4.096 V	0x8000

代表的なアプリケーション

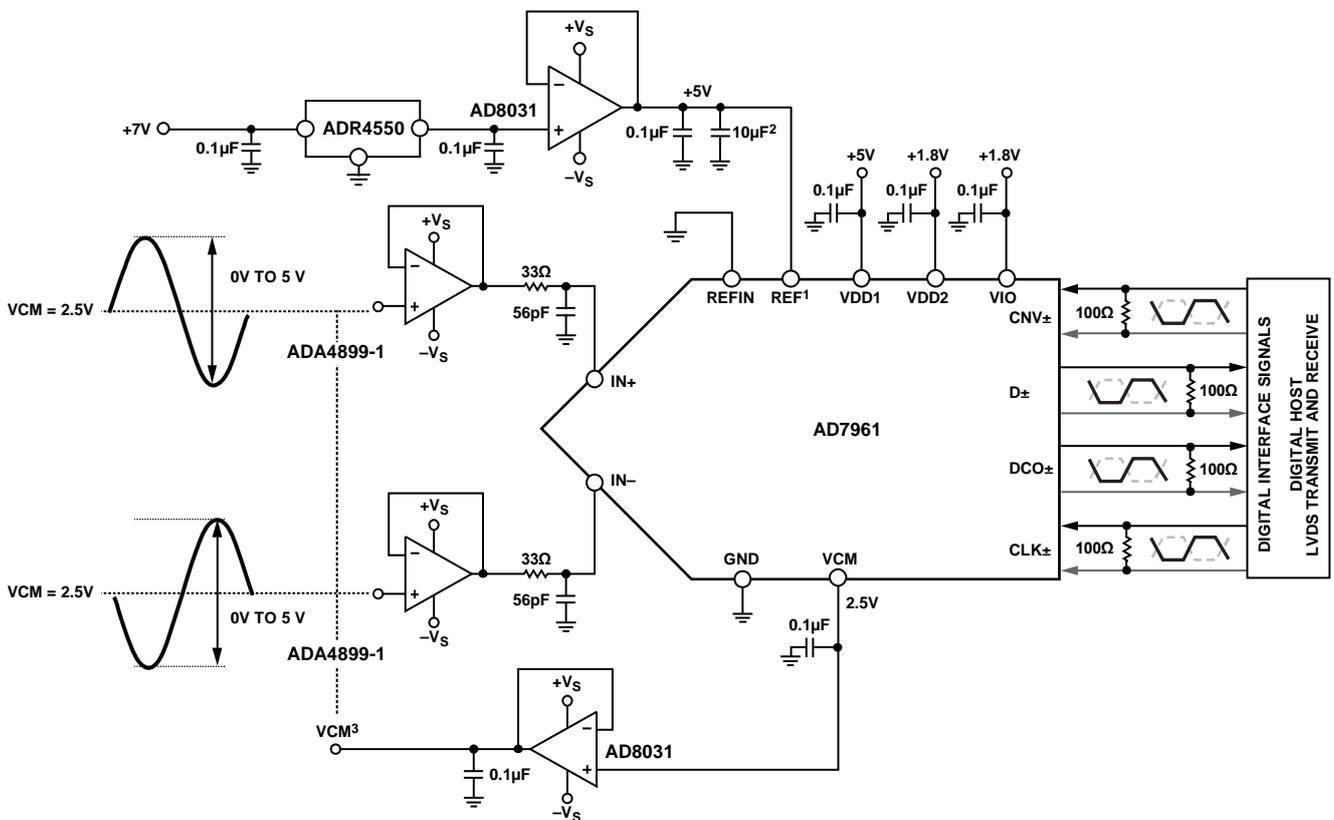
図 32 に、2 個のシングルエンド ADA4899-1 デバイスを使って AD7961 を駆動する代表的な接続図の例を示します。別の ADC ドライバとしては、AD7961 の各入力を駆動できる 2 個のシングルエンド ADA4897-1 オペアンプまたは差動アンプ ADA4932-1 があります。

AD7961 は、ノイズ、消費電力、スループットの優れた性能を必要とするデジタル X 線、コンピュータ断層撮影、赤外線カメラのような高速マルチプレクス・アプリケーションに最適です。これらのタイプのアプリケーションでは大幅にコストを削減します。AD7961 には変換時に 90 ns~110 ns の静止変換時間(ノイズの発生しない時間)が必要です。この間にはマルチプレクサ入力(複数のチャンネル)の切り替えを行わないようにして変換の誤りを防止する必要があります。言い換えれば、90 ns 以下の遅延で、かつ  $CNV_{\pm}$  の立上がりエッジからマルチプレクサ入力切

り替えイベントまで 110 ns 以上であれば、変換が誤ることはありません。この静止変換時間内にアナログ入力マルチプレクスされると、この回路による変換は最大 4 LSB の誤りが含まれます。

アナログ入力十分早期にマルチプレクスされると、入力はフルスケール信号まで十分高速に変化でき、入力は許容時間内に安定することができます。

AD7961 は、フルスケール入力に対して極めて低いノイズ・フロアを提供します。このデバイスは高スループット・レート、低ノイズ・フロア、直線性の組み合わせを持つため、分光分析装置、MRI グラジエント制御、ガス・クロマトグラフィのようなオーバーサンプリング・アプリケーションにも適しています。AD7961 の広いダイナミックレンジにより、複数のチャンネルからの小信号と大信号の正確な計測が可能になります。



<sup>1</sup>SEE THE VOLTAGE REFERENCE OPTIONS SECTION. CONNECTION TO EXTERNAL REFERENCE SIGNALS IS DEPENDENT ON THE EN1 AND EN0 SETTINGS.

<sup>2</sup>A 10µF CAPACITOR WITH LOW ESL AND ESR IS USUALLY CONNECTED BETWEEN THE REF PIN AND REF\_GND. CONNECT REF\_GND TO THE COMMON GROUND OF THE BOARD. THE REF AND REFIN PINS ARE DECOUPLED REGARDLESS OF EN1 AND EN0 SETTINGS.

<sup>3</sup>BUFFERED VCM PIN OUTPUT GIVES THE REQUIRED 2.5V COMMON-MODE SUPPLY FOR ANALOG INPUTS.

10886-015

図 32.代表的なアプリケーション図

表 8. リファレンス電圧オプション

EN3	EN2	EN1	EN0	REFIN	Reference Mode Description
X <sup>1</sup>	0	0	0	X <sup>1</sup>	Power-down mode. Everything is powered down, including the LVDS interface.
X <sup>1</sup>	0	0	1	0 V	Interface powered up. Reference buffer disabled. An external 5 V reference is applied to the REF pin. Connect REFIN to 0 V in this mode. The bandwidth of the input sampling network is set to 28 MHz.
X <sup>1</sup>	0	0	1	2.048 V	Internal reference buffer enabled. An external 2.048 V reference applied to REFIN pin is required. A buffered 4.096 V reference is available on the REF pin. The bandwidth of the input sampling network is set to 28 MHz.
X <sup>1</sup>	0	1	0	0 V	Internal reference buffer disabled. Drive the REF pins with a 4.096 V external reference. Connect REFIN to 0 V in this mode. The bandwidth of the input sampling network is set to 28 MHz.
X <sup>1</sup>	0	1	1	0 V	Snooze mode. <sup>2</sup> LVDS powers down. The chip is unresponsive to CNV± start pulses. The wake-up time is fast (5 μs) when EN3 to EN0 are set to XX01 or XX10. Ensure that the CNV± start pulse is low when transitioning in and out of this mode.
0	1	0	0	X <sup>1</sup>	Test patterns output on LVDS. The ADC output is not available on the interface.
1	1	0	0	X <sup>1</sup>	Invalid mode.
X <sup>1</sup>	1	0	1	0 V	Reference buffer disabled. Drive the REF pins with a 5 V external reference. The bandwidth of the input sampling network is set to narrow (9 MHz).
X <sup>1</sup>	1	0	1	2.048 V	Internal reference buffer enabled and driving REF pin to 4.096 V. The bandwidth of the input sampling network is set to narrow (9 MHz).
X <sup>1</sup>	1	1	0	0 V	Reference buffer disabled. Drive the REF pins with a 4.096 V external reference. The bandwidth of the input sampling network is set to narrow (9 MHz).
X <sup>1</sup>	1	1	1	0 V	Snooze mode. <sup>2</sup> LVDS powers down. The chip is unresponsive to CNV± start pulses. The wake-up time is fast (5 μs) when EN3 to EN0 are set to XX01 or XX10.

<sup>1</sup> X = 参照されない。

<sup>2</sup> 内蔵リファレンス・バッファを使用する場合スヌーズ・モードは役立ちません。これは内蔵リファレンス・バッファの安定のために高速ウェイクアップが不可能なためです。

## リファレンス電圧のオプション

AD7961 では、リファレンス電圧のバッファリングが可能です。AD7961 の変換は 5 V または 4.096 V のリファレンス電圧を基準にします。外付けリファレンス電圧の使用には次の 3 つのオプションがあります。

- 外部でバッファされた 5 V のリファレンス・ソースを REF ピンに入力する。
- 外部でバッファされた 4.096 V のリファレンス・ソースを REF ピンに入力する。
- 2.048 V の外付けリファレンスを REFIN ピン (高インピーダンス入力) に入力する。内蔵バッファのゲインは 2 であるため、REF ピンを 4.096 V で駆動します。

AD7961 に対する推奨外付けリファレンスは、ADR4520/ADR4540/ADR4550 と ADR440/ADR444/ADR445 です。このリファレンスを発生する種々のオプションは、EN1 ピンと EN0 ピンで制御されます (表 8 参照)。-3 dB 入力帯域幅は EN2 から制御されます。EN2 = 0 にすると -3 dB 入力帯域幅は 28 MHz に、EN2 = 1 にすると -3 dB 入力帯域幅は 9 MHz に、それぞれ設定されます。この狭い帯域幅 (9 MHz) は、サンプル・レートが 2 MSPS 以下の場合に使ってください。EN3 = 1 で VCM リファレンス出力がイネーブルされ、EN3 = 0 で VCM リファレンス出力電圧がディスエーブルされます。最適な SNR とダイナミックレンジ性能は、高い 5 V の外付けリファレンス電圧オプションを使用したときに実現されます。改善は約 1.7 dB で、次式で計算されます。

$$\Delta \text{SNR} = 20 \log \left( \frac{5.0}{4.096} \right)$$

## パワーダウン・モードとスヌーズ・モードからのウェイクアップ時間

AD7961 は、EN3~EN0 = X000 のときパワーダウンし、EN3~EN0 = XX11 のとき表 8 に示す正しいリファレンス選択を使ってスヌーズ・モードで動作します。パワーダウン・モードとスヌーズ・モードからの選択したリファレンス設定値に対するウェイクアップ時間 (typ) を表 9 と表 10 に示します。各ウェイクアップ時間は、EN3~EN0 のロジック変化から CNV± の立上がりエッジに対して ADC がレディになるまでの時間を表します。例えば、REFIN = 0 V を使用する場合、パワーダウンから 1.4 ms 待った後に、CNV± パルスを入力してデータ変換結果を受信する必要があります。

表 9. パワーダウン・モードからのウェイクアップ時間、EN3~EN0 = X000

To Active Mode	Wake-Up Time
EN3 to EN0 = XX01, REFIN = 0 V	1.4 ms
EN3 to EN0 = XX01, REFIN = 2.048 V	8 ms
EN3 to EN0 = XX10, REFIN = 0 V	1.4 ms

表 10. スヌーズ・モードからのウェイクアップ時間、EN3~EN0 = XX11

To Active Mode	Wake-Up Time
EN3 to EN0 = XX01, REFIN = 0 V	5 μs
EN3 to EN0 = XX01, REFIN = 2.048 V	8 ms
EN3 to EN0 = XX10, REFIN = 0 V	5 μs

## 電源

AD7961 では、5 V (VDD1) 電源、1.8 V (VDD2) 電源、デジタル入力/出力インターフェース電源 (VIO)を使用します。EN0～EN3 ピンは 1.8 V ロジック・レベルで駆動します。VIO と VDD2 は同じ 1.8 V 電源から得ることができますが、別々のパターンを使い、各ピンを個別にデカップリングして VIO ピンと VDD2 ピンを分離することが望まれます。

AD7961 で必要な 5 V 電源と 1.8 V 電源は、ADP7104-5 や ADP124-1.8 のようなアナログ・デバイゼスの LDO を使って発生することができます。図 33 に AD7961 の電源周波数対 PSRR を示します。AD7961 コアの消費電力は図 34 に示すようにスループットに比例するため、低速度動作では消費電力が大幅に削減されます。

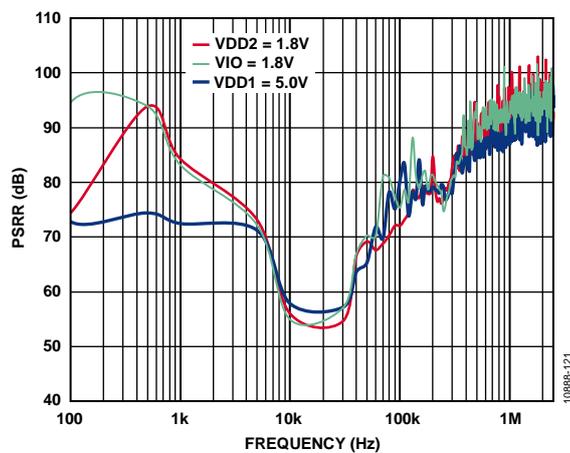


図 33.電源周波数対 PSRR

## パワーアップ

すべての ADC で望ましいことですが、外付けリファレンス(使用する場合)を入力する前にコア電源を立上げてください。アナログ入力は最後に入力してください。

AD7961 デバイスをパワーアップさせるとき、先に 1.8 V (VDD2、VIO)をデバイスに入力し、次に 5 V (VDD1)を入力します。リファレンス設定ピン(EN0、EN1、EN2)に正しい値を設定します。内蔵リファレンス・バッファを使う場合 (EN1 と EN0 の値で指定)、2.048 V の外付けリファレンスを REFIN ピンに接続するか、または 5 V/4.096 V を REF ピンに接続してください。

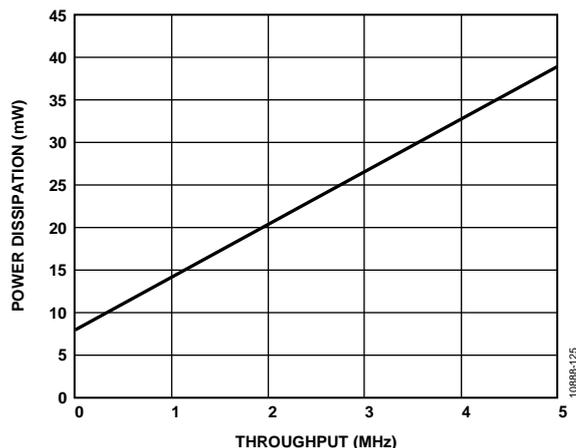


図 34.ADC スループット対コア消費電力  
セルフ・クロック・モード、CNV±は CMOS モード、内蔵リファレンス・バッファをディスエーブル

## デジタル・インターフェース

### 変換制御

すべての A/D 変換は、 $CNV_{\pm}$  信号で制御されます。この信号は  $CNV+/CNV-$  LVDS 信号として入力するか、または  $CNV-$  をグラウンドに接続して 1.8 V の CMOS ロジック信号として  $CNV+$  ピンに入力することができます。変換は  $CNV_{\pm}$  信号の立上がりエッジで開始されます。

AD7961 がパワーアップすると、発生した最初の変換結果が有効になります。AD7961 の重要な利点は、変換が終わる前にアキュイジション・フェーズへ戻ることができることです。

LVDS インターフェースを介した AD7961 デジタル・データ出力を取得する 2 つの方法をエコー・クロック・インターフェース・モードのセクションとセルフ・クロック・モードのセクションに示します。

### エコー・クロック・インターフェース・モード

エコー・クロック・インターフェース・モードでの AD7961 のデジタル動作を図 35 に示します。デジタル・ホスト上のシフトレジスタだけを使用するこのインターフェース・モードは、多くのデジタル・ホスト (FPGA、シフトレジスタ、マイクロプロセッサなど) で使用することができます。各 AD7961 とデジタル・ホストの間で 3 つの LVDS 対 ( $D_{\pm}$ 、 $CLK_{\pm}$ 、 $DCO_{\pm}$ ) が必要です。

クロック  $DCO_{\pm}$  は  $CLK_{\pm}$  のバッファ済みコピーで、データ  $D_{\pm}$  に同期し、 $DCO_{\pm}$  ( $t_D$ ) の立下がりエッジで更新されます。ボードとデジタル・ホストでの  $D_{\pm}$  と  $DCO_{\pm}$  の間の伝搬遅延を一致させることにより、シフトレジスタに対してタイミング・マージンを確保して  $DCO_{\pm}$  により  $D_{\pm}$  をラッチすることができます。

変換は、 $CNV_{\pm}$  パルスの立上がりエッジで開始されます。 $CNV_{\pm}$  パルスは、有効動作のためにロー・レベルへ戻る必要があります ( $\leq t_{CNVH}$  最大)。変換が一旦開始されると完了するまで続きます。変換フェーズでは、余分な  $CNV_{\pm}$  パルスは無視されます。 $t_{MSB}$  の経過後、ホストは  $CLK_{\pm}$  バーストを開始します。 $t_{MSB}$  は新しい変換結果の MSB の最大時間であることに注意してください。 $t_{MSB}$  を  $CLK_{\pm}$  のゲーティング・デバイスとして使用してください。エコー・クロック  $DCO_{\pm}$  とデータ  $D_{\pm}$  は、 $DCO_{\pm}$  の立下がりエッジで更新される  $D_{\pm}$  と同相で駆動されます。これに対して、ホストは  $DCO_{\pm}$  の立上がりエッジを使って  $D_{\pm}$  を入力します。唯一の条件は、次の変換フェーズの  $t_{CLKL}$  が経過する前に 16 個の  $CLK_{\pm}$  パルスが終わることです。そうしないと、データが失われます。16 ビットすべてを読出した後  $t_{MSB}$  まで、 $D_{\pm}$  と  $DCO_{\pm}$  は 0 に駆動されます。 $CLK_{\pm}$  バーストと  $CLK_{\pm}$  バーストの間では  $CLK_{\pm}$  をアイドル・ローに設定してください。

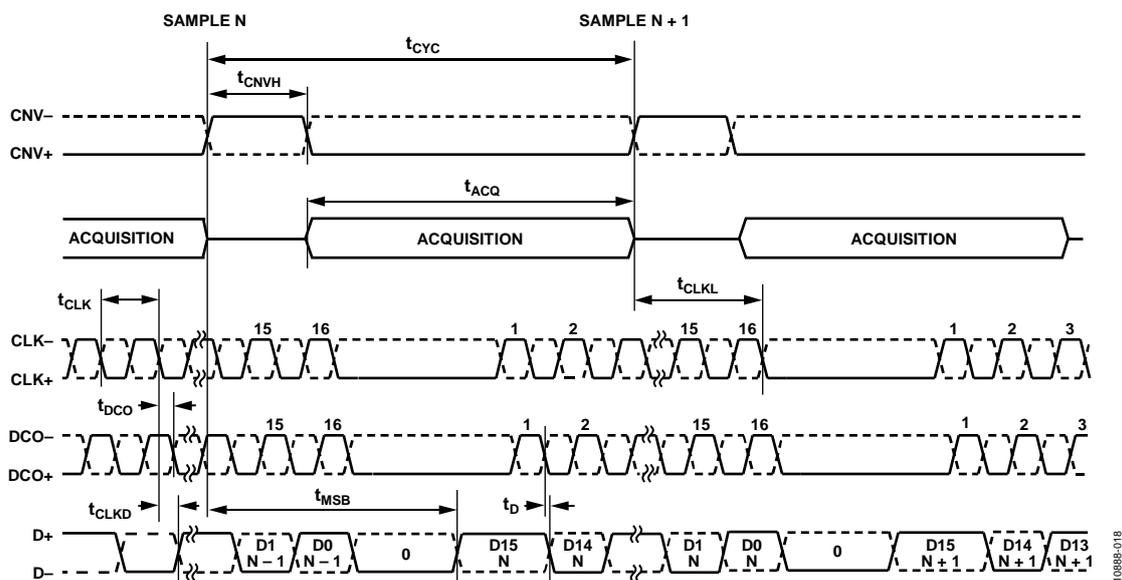


図 35. エコー・クロック・インターフェース・モードのタイミング図

**セルフ・クロック・モード**

セルフ・クロック・インターフェース・モードでの AD7961 のデジタル動作を図 36 に示します。このインターフェース・モードでは ADC とデジタル・ホストの間の PCB パターン数を 2 つの LVDS 対 (CLK± と D±) に、または 1 対 (CLK± を共用する場合) に、それぞれ減らすことができます。複数の AD7961 デバイス間で共通の CLK± 信号を共用することができます。これは、デジタル・ホストへの LVDS 接続数を減らすときに役立ちます。

セルフ・クロック・インターフェース・モードを使用する場合、各 ADC データ・ワードの前には 010 のヘッダー・シーケンスが付く必要があります。t<sub>MSB</sub> の経過後、ヘッダーの先頭ビット 0 が D± 上に自動的に出力され、ヘッダーの残りの 2 ビット 10 が次のサンプル開始時の最初の 2 個の CLK± 立下がりエッジで出力されます。このヘッダー (010) を使って、デジタル・ホストで各変換の D± を同期化します。これは、このモードでは、デジタル・ホストがデータ出力を取得できるようにする、データ (D±) に同期したクロック出力が存在しないためです。

デジタル・ホストのアクイジション・クロックに対する D± データの同期は、AD7961 デバイス 1 個に対して 1 個のステート・マシンを使って実現されます。例えば、CLK± と同じ速度で動作するステート・マシンでは、このクロック周波数の 3 相 (位相差 120°) を使います。各相で D± データを ADC からの出力として取得します。

ステート・マシン・クロックの各相で取得した AD7961 データを比較します。取得データの各セットのヘッダー内の 1 の位置から、D± のデータ有効ウィンドウ内で発生する正しいステート・マシン・クロック位相を選択することができます。

このセルフ・クロック・モードのデータ取得方法を使うと、デジタル・ホストは変換結果取得タイミングを調整してすべての AD7961 の伝搬遅延変動に対応できるようになります。例えば、共通入力クロックを共用する複数の AD7961 デバイスからデータを取得する場合がこれに該当します。

変換は、CNV± パルスで開始されます。CNV± パルスは、有効動作のためにロー・レベル (t<sub>CNVH</sub> 最大) へ戻る必要があります。変換が一旦開始されると完了するまで続きます。変換フェーズでは、余分な CNV± パルスは無視されます。t<sub>MSB</sub> の経過後、ホストは AD7961 に対する CLK± 信号バースト入力を開始します。18 個の全 CLK± パルスは、t<sub>MSB</sub> と後続の t<sub>CLKL</sub> による時間フレームのウィンドウ内で入力する必要があります。必要とされる 18 個の CLK± パルスは、t<sub>CLKL</sub> (次の変換フェーズが基準) が経過する前に終わる必要があります。そうしないと、次の変換結果で上書きされるためデータが失われてしまいます。

18 個の CLK± パルスの各バーストの間では、CLK± をアイドル・ハイに設定してください。ヘッダー・ビットと次の ADC 変換結果のデータは、CLK± 信号の次のバースト中の CLK± の後続立下がりエッジで出力されます。

セルフ・クロック・インターフェース・モードを使用すると、AD7961 はフレームの終わりの 0 状態を保証するためクロック・パルスの追加 (19 番目) が可能になります (図 37 参照)。t<sub>MSB</sub> の経過後、ヘッダー・シーケンスの先頭ビット 0 が D± 上に自動的に出力され、ヘッダーの残りの 2 ビット 10 が次のサンプル開始時の最初の 2 個の CLK± 立下がりエッジで出力されます。このヘッダー (010) を使って、デジタル・ホストで各変換の D± を同期化します。これは、このモードでは、デジタル・ホストがデータ出力を取得できるようにする、データ (D±) に同期したクロック出力が存在しないためです。

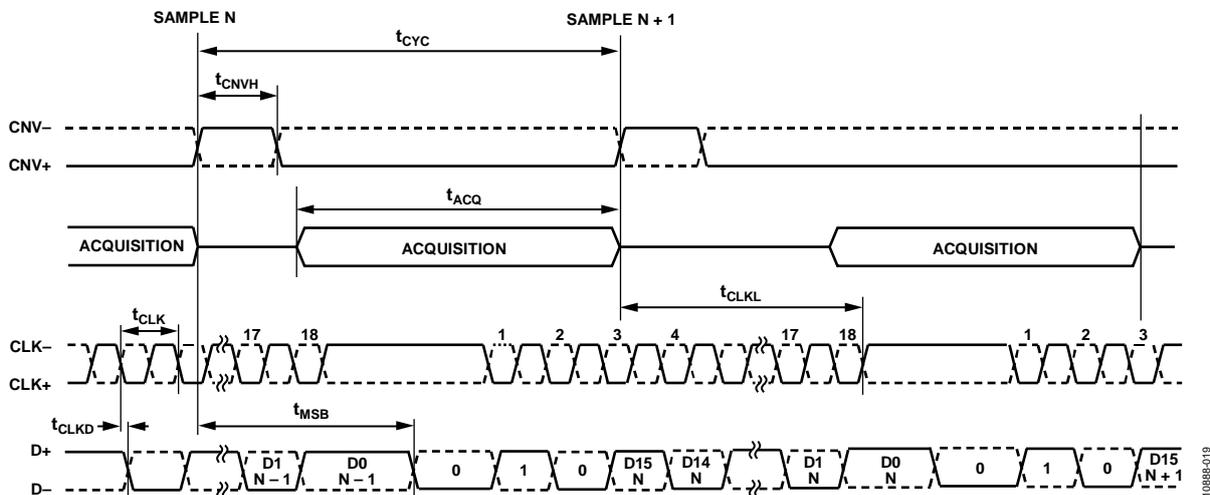


図 36.セルフ・クロック・インターフェース・モードのタイミング図

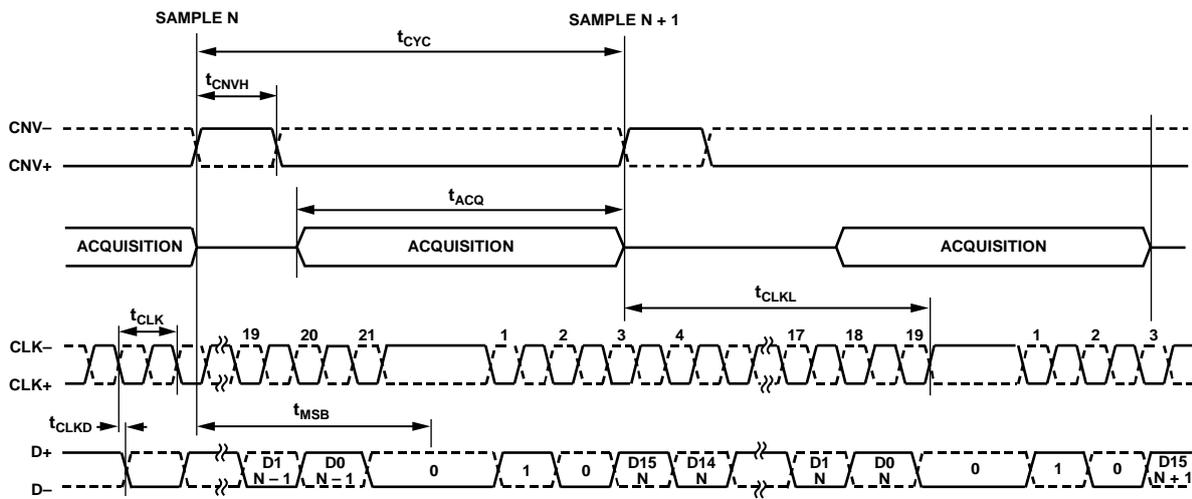


図 37.追加クロック・パルスありのセルフ・クロック・インターフェース・モードのタイミング図

10888-020

## アプリケーション情報

### レイアウト

AD7961 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7961 の下のグラウンド・プレーンがシールドして使われてない限り、ノイズがデバイスに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNV $\pm$ や CLK $\pm$ のような高速なスイッチング信号は、アナログ信号パスの近くを通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。後者の場合、各プレーンは AD7961 の下で接続する必要があります。

AD7961 のリファレンス電圧入力ピン REF は動的入力インピーダンスを持っています。リファレンス電圧のデカップリング・セラミック・コンデンサを REF ピンと REF\_GND ピンの近くに、理想的には直接に接続して、寄生インダクタンスを小さくして

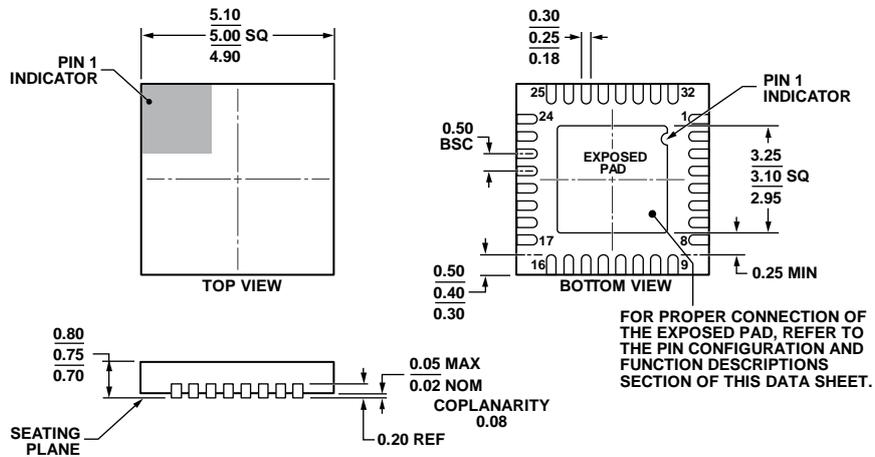
REF をデカップリングし、太い低インピーダンスのパターンで両ピンを接続してください。

最後に、AD7961 の電源(VDD1、VDD2、VIO)は AD7961 の近くに配置したセラミック・コンデンサ(一般に 100 nF)でデカップリングし、低インピーダンス・パスを提供する短く太いパターンで接続して、電源ライン上のグリッチの影響を軽減します。

### AD7961 の性能評価

AD7961 の回路図とレイアウトのその他の推奨ガイドラインは、[EVAL-AD7961FMCZ](#) ボードのユーザー・ガイド ([UG-581](#))に記載してあります。組み立て/テスト済みの評価用ボード、ユーザー・ガイド、[EVAL-SDP-CH1Z](#) を介して PC から EVAL-AD7961FMCZ ボードを制御するソフトウェアはアナログ・デバイセズのウェブサイト [www.analog.com/jp](http://www.analog.com/jp) から提供しています。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

112408-A

図 38.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
 5 mm x 5 mm ボディ、極薄クワッド  
 (CP-32-7)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD7961BCPZ	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-7
AD7961BCPZ-RL7	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-7
EVAL-AD7961FMCZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。