

AD7910/AD7920

特長

- スループット・レート：250kSPS
- V_{DD} 仕様：2.35~5.25V
- 低消費電力：
 - 3V電源250kSPSで3.6mW (typ)
 - 5V電源250kSPSで12.5mW (typ)
- 広入力帯域幅：
 - 100kHzの入力周波数でS/N比は71dB
- 柔軟な電源/シリアル・クロック・スピード管理
- パイプライン遅延なし
- 高速シリアル・インターフェース
 - SPI™/QSPI™/MICROWIRE™/DSPコンパチブル
- スタンバイ・モード：最大1 μ A
- 6ピンSC70パッケージ
- 8ピンMSOPパッケージ

アプリケーション

- バッテリー駆動システム
 - 携帯情報端末 (PDA)
 - 医療機器
 - 移動通信
- 計装システムおよび制御システム
 - データ・アキュイジション・システム
- 高速モデム
- 光学式センサー

概要

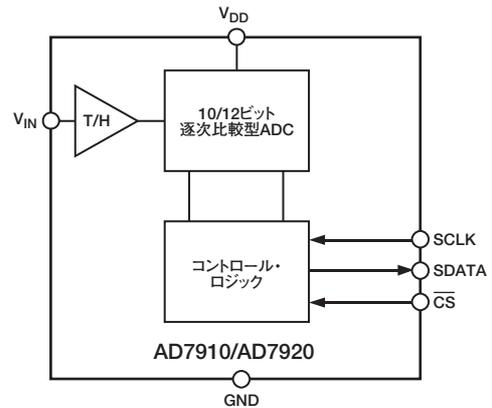
AD7910/AD7920は、10ビットと12ビットの高速、低消費電力の逐次比較型ADCです。デバイスは、2.35~5.25Vの単電源で動作し、スループット・レートは最高250kSPSになります。また、ローノイズ、広帯域幅のトラック・アンド・ホールド・アンプを内蔵しており、13MHzを超える入力周波数を処理できます。

\overline{CS} とシリアル・クロックを使用して変換プロセスとデータ・アキュイジションを制御するため、マイクロプロセッサやDSPとインターフェースをとることができます。 \overline{CS} の立下りエッジで入力信号をサンプリングし、変換もこの時点で開始します。デバイスに関連するパイプライン遅延はありません。

AD7910/AD7920は高度な設計手法を使用して、高いスループット・レートで消費電力をきわめて低く抑えます。

デバイスのリファレンスが V_{DD} から内部的に取り込まれるため、ADCの入力ダイナミックレンジが最大になります。デバイスのアナログ入力範囲は0~ V_{DD} です。変換レートはSCLKによって決まります。

機能ブロック図



製品のハイライト

1. SC70およびMSOPパッケージを採用した10/12ビットのADC
2. 低消費電力
3. 柔軟な電源/シリアル・クロック・スピード管理
変換レートはシリアル・クロックで決まるため、シリアル・クロック・スピードを高くすれば変換時間を短縮できます。これによって、非変換時にパワーダウン・モードを使用して、平均消費電力を低減することが可能です。低いスループット・レートで電力効率を最大にするためのパワーダウン・モードも備えています。消費電流は最大1 μ A、パワーダウン・モードでは一般に50nAです。
4. リファレンスは電源から取ります。
5. パイプライン遅延なし
デバイスには標準的な逐次比較型ADCが装備されており、 \overline{CS} 入力とワンスオフ変換制御によって、サンプリングのタイミングを正確に制御します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。記載の商標および登録商標は、それぞれの企業が所有するものです。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

AD7910 — 仕様¹ (特に指定のない限り、 $V_{DD}=2.35\sim 5.25V$ 、 $f_{SCLK}=5MHz$ 、 $f_{SAMPLE}=250kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$)

パラメータ	Aグレード ^{1,2}	単位	テスト条件/備考
ダイナミック性能 信号対 (ノイズ+歪み) (SINAD) ³ 全高調波歪み (THD) ³ ピーク高調波またはスプリアス・ノイズ (SFDR) ³ 相互変調歪み (IMD) ³ 2次項 3次項 アパーチャ遅延 アパーチャ・ジッター フル・パワー帯域幅	61 -72 -73 -82 -82 10 30 13.5 2	dB (min) dB (max) dB (max) dB (typ) dB (typ) ns (typ) ps (typ) MHz (typ) MHz (typ)	$f_{IN}=100kHz$ サイン波 $f_a=100.73kHz$ 、 $f_b=90.7kHz$ $f_a=100.73kHz$ 、 $f_b=90.7kHz$ 3dBの場合 0.1dBの場合
DC精度 分解能 積分非直線性 微分非直線性 オフセット誤差 ^{3,4} ゲイン誤差 ^{3,4} 総合未調整誤差 (TUE) ^{3,4}	10 ±0.5 ±0.5 ±1 ±1 ±1.2	ビット LSB (max) LSB (max) LSB (max) LSB (max) LSB (max)	10ビットまでノー・ミスコード保証
アナログ入力 入力電圧範囲 DCリーク電流 入力容量	$0\sim V_{DD}$ ±0.5 20	V μA (max) pF (typ)	トラック・アンド・ホールドはトラック状態、 ホールド状態では6pF (typ)
ロジック入力 ハイレベル入力電圧、 V_{INH} ローレベル入力電圧、 V_{INL} 入力電流、 I_{IN} 、SCLKピン 入力電流、 I_{IN} 、 \overline{CS} ピン 入力容量、 C_{IN} ⁵	2.4 0.8 0.4 ±0.5 ±10 5	V (min) V (max) V (max) μA (max) nA (typ) pF (max)	$V_{DD}=5V$ $V_{DD}=3V$ 10nA (typ)、 $V_{IN}=0V$ または V_{DD}
ロジック出力 ハイレベル出力電圧、 V_{OH} ローレベル出力電圧、 V_{OL} フローティング状態リーク電流 フローティング状態出力容量 ⁵ 出力コーディング	$V_{DD}-0.2$ 0.4 ±1 5 ストレート・バイナリー	V (min) V (max) μA (max) pF (max)	$I_{SOURCE}=200\mu A$ 、 $V_{DD}=2.35\sim 5.25V$ $I_{SINK}=200\mu A$
変換レート 変換時間 トラック・アンド・ホールド・アキュイジション時間 ³ スループット・レート	2.8 250 250	μs (max) ns (max) kSPS (max)	5MHzのSCLKで14 SCLKサイクル
電源条件 V_{DD} I_{DD} ノーマル・モード (静止時) 1.2 ノーマル・モード (動作時) 3 1.4 フル・パワーダウン・モード 1 消費電力 ⁶ ノーマル・モード (動作時) 15 4.2 フル・パワーダウン 5 3	2.35/5.25 2.5 1.2 3 1.4 1 15 4.2 5 3	V (min/max) mA (typ) mA (typ) mA (max) mA (max) μA (max) mA (max) mW (max) mW (max) μW (max) μW (max)	デジタルI/P=0Vまたは V_{DD} $V_{DD}=4.75\sim 5.25V$ 、SCLKオンまたはオフ $V_{DD}=2.35\sim 3.6V$ 、SCLKオンまたはオフ $V_{DD}=4.75\sim 5.25V$ 、 $f_{SAMPLE}=250kSPS$ $V_{DD}=2.35\sim 3.6V$ 、 $f_{SAMPLE}=250kSPS$ 一般に50nA $V_{DD}=5V$ 、 $f_{SAMPLE}=250kSPS$ $V_{DD}=3V$ 、 $f_{SAMPLE}=250kSPS$ $V_{DD}=5V$ $V_{DD}=3V$

注

¹ 温度範囲：-40~+85°C

² $V_{DD}=2.0V$ から動作可能 (ハイレベル入力電圧 [V_{INH}]：最小1.8V)

³ 用語集のセクションを参照してください。

⁴ SC70の値は特性評価によって保証。

⁵ 適合性を保証するために25°Cでサンプル・テスト済み。

⁶ 電源とスループット・レートのセクションを参照してください。

仕様は予告なく変更されることがあります。

AD7920 — 仕様¹ (特に指定のない限り、 $V_{DD}=2.35\sim 5.25V$ 、 $f_{SCLK}=5MHz$ 、 $f_{SAMPLE}=250kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$)

パラメータ	Aグレード ^{1,2}	Bグレード ^{1,2}	単位	テスト条件/備考
ダイナミック性能				$f_{IN}=100kHz$ サイン波
信号対 (ノイズ+歪み) (SINAD) ³	70	70	dB (min)	$V_{DD}=2.35\sim 3.6V$ 、 $T_A=25^\circ C$
	69	69	dB (min)	$V_{DD}=2.4\sim 3.6V$
	71.5	71.5	dB (typ)	$V_{DD}=2.35\sim 3.6V$
	69	69	dB (min)	$V_{DD}=4.75\sim 5.25V$ 、 $T_A=25^\circ C$
S/N比 (SNR) ³	68	68	dB (min)	$V_{DD}=4.75\sim 5.25V$
	71	71	dB (min)	$V_{DD}=2.35\sim 3.6V$ 、 $T_A=25^\circ C$
	70	70	dB (min)	$V_{DD}=2.4\sim 3.6V$
	70	70	dB (min)	$V_{DD}=4.75\sim 5.25V$ 、 $T_A=25^\circ C$
	69	69	dB (min)	$V_{DD}=4.75\sim 5.25V$
全高調波歪み (THD) ³	-80	-80	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ³	-82	-82	dB (typ)	
相互変調歪み (IMD) ³				
2次項	-84	-84	dB (typ)	$f_a=100.73kHz$ 、 $f_b=90.72kHz$
3次項	-84	-84	dB (typ)	$f_a=100.73kHz$ 、 $f_b=90.72kHz$
アパーチャ遅延	10	10	ns (typ)	
アパーチャ・ジッター	30	30	ps (typ)	
フル・パワー帯域幅	13.5	13.5	MHz (typ)	@3dB
	2	2	MHz (typ)	@0.1dB
DC精度				Bグレード ⁴
分解能	12	12	ビット	
積分非直線性 ³	± 0.75	± 1.5	LSB (max)	
			LSB (typ)	
微分非直線性	± 0.75	-0.9/+1.5	LSB (max)	12ビットまでノーマスコード保証
			LSB (typ)	
オフセット誤差 ^{3,5}	± 1.5	± 1.5	LSB (max)	
			LSB (typ)	
ゲイン誤差 ^{3,5}	± 1.5	± 0.2	LSB (typ)	
			LSB (max)	
			LSB (typ)	
			LSB (max)	
総合未調整誤差 (TUE) ^{3,5}		± 2	LSB (max)	
アナログ入力				
入力電圧範囲	$0\sim V_{DD}$	$0\sim V_{DD}$	V	
DCリーク電流	± 0.5	± 0.5	μA (max)	
入力容量	20	20	pF (typ)	トラック・アンド・ホールドはトラック状態、ホールド状態では6pF (typ)
ロジック入力				
ハイレベル入力電圧、 V_{INH}	2.4	2.4	V (min)	
	1.8	1.8	V (min)	$V_{DD}=2.35V$
ローレベル入力電圧、 V_{INL}	0.8	0.8	V (max)	$V_{DD}=3.6\sim 5.25V$
	0.4	0.4	V (max)	$V_{DD}=2.35\sim 3.6V$
入力電流、 I_{IN} 、SCLKピン	± 0.5	± 0.5	μA (max)	一般に10nA、 $V_{IN}=0V$ または V_{DD}
入力電流、 I_{IN} 、 \overline{CS} ピン	± 10	± 10	nA (typ)	
入力容量、 C_{IN} ⁶	5	5	pF (max)	
ロジック出力				
ハイレベル出力電圧、 V_{OH}	$V_{DD}-0.2$	$V_{DD}-0.2$	V (min)	$I_{SOURCE}=200\mu A$ 、 $V_{DD}=2.35\sim 5.25V$
ローレベル出力電圧、 V_{OL}	0.4	0.4	V (max)	$I_{SINK}=200\mu A$
フローティング状態リーク電流	± 1	± 1	μA (max)	
フローティング状態出力容量 ⁶	5	5	pF (max)	
出力コーディング	ストレート・バイナリー			
変換レート				
変換時間	3.2	3.2	μs (max)	5MHzのSCLKで16 SCLKサイクル
トラック・アンド・ホールド・アクイジション時間 ³	250	250	ns (max)	
スループット・レート	250	250	kSPS (max)	シリアル・インターフェースのセクションを参照

AD7910/AD7920

AD7920 — 仕様¹ (続き)

パラメータ	Aグレード ^{1, 2}	Bグレード ^{1, 2}	単位	テスト条件/備考
電源条件				
V_{DD}	2.35/5.25	2.35/5.25	V (min/max)	
I_{DD}				デジタルI/P=0Vまたは V_{DD}
ノーマル・モード (静止時)	2.5	2.5	mA (typ)	$V_{DD}=4.75\sim 5.25V$, SCLKオンまたはオフ
	1.2	1.2	mA (typ)	$V_{DD}=2.35\sim 3.6V$, SCLKオンまたはオフ
ノーマル・モード (動作時)	3	3	mA (max)	$V_{DD}=4.75\sim 5.25V$, $f_{SAMPLE}=250kSPS$
	1.4	1.4	mA (max)	$V_{DD}=2.35\sim 3.6V$, $f_{SAMPLE}=250kSPS$
フル・パワーダウン・モード	1	1	μA (max)	一般に50nA
消費電力 ⁷				
ノーマル・モード (動作時)	15	15	mW (max)	$V_{DD}=5V$, $f_{SAMPLE}=250kSPS$
	4.2	4.2	mW (max)	$V_{DD}=3V$, $f_{SAMPLE}=250kSPS$
フル・パワーダウン	5	5	μW (max)	$V_{DD}=5V$
	3	3	μW (max)	$V_{DD}=3V$

注

¹ 温度範囲: $-40\sim +85^{\circ}C$

² $V_{DD}=2.0V$ から動作可能 (ローレベル入力電圧 [V_{INL}]: 最大0.35V)

³ 用語集のセクションを参照してください。

⁴ $V_{DD}=4.75\sim 5.25V$ であるとき、標準的な値としてBグレードの最大仕様を適用します。

⁵ SC70の値は特性評価によって保証。

⁶ 適合性を保証するために $25^{\circ}C$ でサンプル・テスト済み。

⁷ 電源とスループット・レートのセクションを参照してください。

仕様は予告なく変更されることがあります。

タイミング仕様¹ (特に指定のない限り、 $V_{DD}=2.35\sim 5.25V$ 、 $T_A=T_{MIN}\sim T_{MAX}$)

パラメータ	AD7910/AD7920 T_{MIN} 、 T_{MAX} における限界	単位	説明
f_{SCLK} ²	10 5	kHz (min) ³ MHz (max)	
$t_{CONVERT}$	$14\times t_{SCLK}$ $16\times t_{SCLK}$		AD7910 AD7920
t_{QUIET}	50	ns (min)	バスの解放から次の変換の開始までに必要な最小静止時間
t_1	10	ns (min)	\overline{CS} の最小パルス幅
t_2	10	ns (min)	\overline{CS} からSCLKまでのセットアップ・タイム
t_3 ⁴	22	ns (max)	\overline{CS} からSDATAのスリーステートがディスエーブルにされるまでの遅延
t_4 ⁴	40	ns (max)	SCLKの立下りエッジ後のデータ・アクセス時間
t_5	$0.4\times t_{SCLK}$	ns (min)	SCLKのロー・パルス幅
t_6	$0.4\times t_{SCLK}$	ns (min)	SCLKのハイ・パルス幅
t_7 ⁵			SCLKからデータ有効までのホールド・タイム
	10	ns (min)	$V_{DD}\leq 3.3V$
	9.5	ns (min)	$3.3V < V_{DD} \leq 3.6V$
	7	ns (min)	$V_{DD} > 3.6V$
t_8 ⁶	36	ns (max)	SCLKの立下りエッジからSDATAのスリーステートまで
	注7参照	ns (min)	SCLKの立下りエッジからSDATAのスリーステートまで
$t_{POWER-UP}$ ⁸	1	μs (max)	フル・パワーダウンからのパワーアップ時間

注

¹ 適合性を保証するために $25^{\circ}C$ でサンプル・テスト済み。すべての入力信号は、 $tr=tf=5ns$ (V_{DD} の10~90%)で規定され、1.6Vの電圧レベルからタイミングがとられます。

² SCLK入力のマーク/スペース比は40/60~60/40です。

³ 仕様が保証される最小の f_{SCLK} 。

⁴ 図1の負荷回路で測定した値で、 $V_{DD}=2.35V$ の場合には、出力が0.8Vまたは1.8Vを超えるのに必要な時間、 $V_{DD}>2.35V$ の場合には、出力が0.8Vまたは2.0Vを超えるのに必要な時間と定義されます。

⁵ 50pFの負荷コンデンサで測定。

⁶ t_8 は、図1の回路に負荷を加えたときに、データ出力が0.5V変化するための測定時間をもとにしています。測定した数値を外挿して、50pFコンデンサの充/放電による影響を除去します。つまり、タイミング特性で示される時間 t_8 は、デバイスの真のバス解放時間であり、バス負荷とは無関係です。

⁷ t_7 の値は、 t_8 の最小値にも適用されます。

⁸ パワーアップ時間のセクションを参照してください。

仕様は予告なく変更されることがあります。

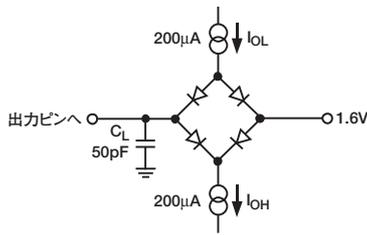


図1. デジタル出力タイミング仕様のための負荷回路

タイミング例

図2と図3には、タイミング仕様書のタイミング・パラメータの一部を示します。

タイミング例1

図3から、 $f_{SCLK}=5\text{MHz}$ でスループットレートが250kSPSとすると、 $t_2+12.5(1/f_{SCLK})+t_{ACQ}=4\mu\text{s}$ のサイクル時間が得られます。 $t_2=10\text{ns}$ (min) で、 t_{ACQ} が1.49 μs になります。この1.49 μs という値で、 t_{ACQ} の250nsという条件が満たされます。図3から、 t_{ACQ} は、 $2.5(1/f_{SCLK})+t_8+t_{QUIET}$ となります。ここで、 $t_8=36\text{ns}$ (max) です。これによって、 t_{QUIET} の954nsという値が可能になり、50nsという最小条件を満たします。

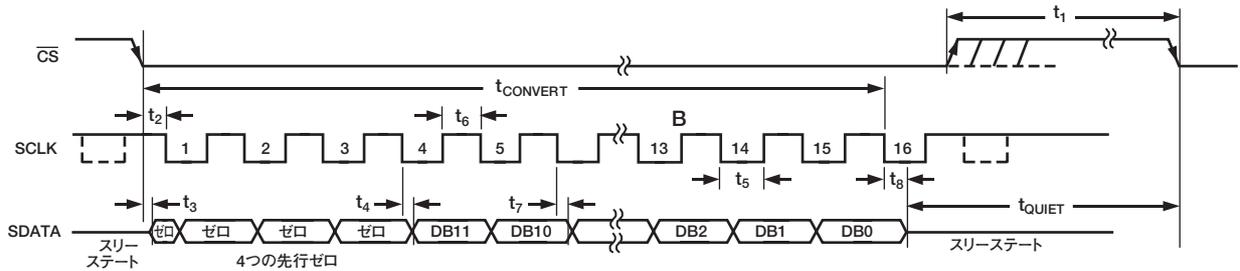


図2. AD7920シリアル・インターフェースのタイミング図

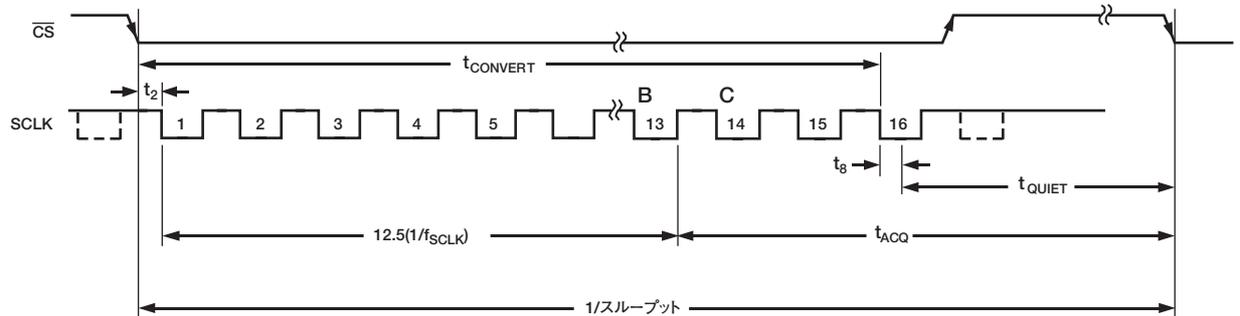


図3. シリアル・インターフェースのタイミング例

タイミング例2

AD7920は、低いクロック周波数でも動作できます。図3から、 $f_{SCLK}=3.4\text{MHz}$ でスループット・レートが150kSPSとすると、 $t_2+12.5(1/f_{SCLK})+t_{ACQ}=6.66\mu\text{s}$ のサイクル時間が得られます。 $t_2=10\text{ns}$ (min) で、 t_{ACQ} が2.97 μs になります。この2.97 μs という値で、 t_{ACQ} の250nsという条件が満たされます。図3から、

t_{ACQ} は、 $2.5(1/f_{SCLK})+t_8+t_{QUIET}$ となり、 $t_8=36\text{ns}$ (max) です。これによって、 t_{QUIET} の2.19 μs という値が可能になり、50nsという最小条件を満たします。この例や他の低速クロック値では、変換が完了する前に信号を取得できますが、変換と変換の間に最低50nsの t_{QUIET} を残す必要があります。この例では、図3のポイントCのあたりで信号を完全に取得します。

AD7910/AD7920

絶対最大定格¹

(特に指定のない限り、 $T_A = 25^\circ\text{C}$)

$V_{DD} \sim \text{GND}$	$-0.3 \sim +7\text{V}$
アナログ入力電圧 $\sim \text{GND}$	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
デジタル入力電圧 $\sim \text{GND}$	$-0.3 \sim +7\text{V}$
デジタル出力電圧 $\sim \text{GND}$	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
電源以外のピンへの入力電流 ²	$\pm 10\text{mA}$

動作温度範囲

商業用 (A, Bグレード)	$-40 \sim +85^\circ\text{C}$
保管温度範囲	$-65 \sim +150^\circ\text{C}$
接合温度	150°C

MSOPパッケージ

θ_{JA} 熱抵抗	$205.9^\circ\text{C}/\text{W}$
θ_{JC} 熱抵抗	$43.74^\circ\text{C}/\text{W}$

SC70パッケージ

θ_{JA} 熱抵抗	$340.2^\circ\text{C}/\text{W}$
θ_{JC} 熱抵抗	$228.9^\circ\text{C}/\text{W}$

ピン温度、ハンダ付け

気相 (60秒)	215°C
赤外線 (15秒)	220°C

ESD

注

¹ 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

² 100mAまでの過渡電流では、SCRラッチアップは発生しません。

オーダー・ガイド

モデル	温度範囲	直線性誤差 (LSB) ¹	パッケージ・オプション ²	ブランド情報
AD7910AKS	$-40 \sim +85^\circ\text{C}$	± 0.5 (max)	KS-6	CVA
AD7910ARM	$-40 \sim +85^\circ\text{C}$	± 0.5 (max)	RM-8	CVA
AD7920AKS	$-40 \sim +85^\circ\text{C}$	± 0.75 (typ)	KS-6	CUA
AD7920BKS	$-40 \sim +85^\circ\text{C}$	± 1.5 (max)	KS-6	CUB
AD7920BRM	$-40 \sim +85^\circ\text{C}$	± 1.5 (max)	RM-8	CUB

注

¹ ここでいう直線性誤差は、積分非直線性をいいます。

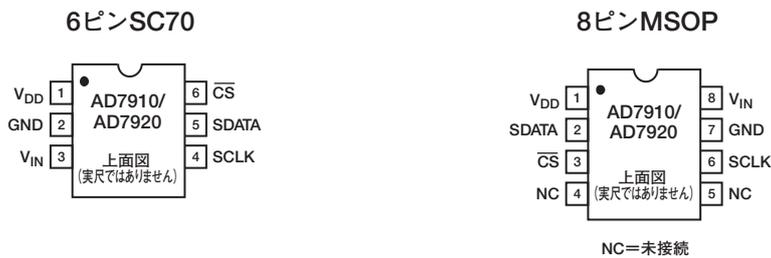
² KS=SC70、RM=MSOP

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD7910/AD7920は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置



ピン機能の説明

記号	機能
$\overline{\text{CS}}$	チップ・セレクト アクティブ・ローのロジック入力。この入力はAD7910/AD7920の変換開始とシリアル・データ転送のフレームの2つの機能を持ちます。
V_{DD}	電源入力 AD7910/AD7920の V_{DD} レンジは2.35~5.25Vです。
GND	アナログ・グラウンド AD7910/AD7920のすべての回路のグラウンド・リファレンス・ポイントです。アナログ入力信号はすべて、このGND電圧を基準にしてください。
V_{IN}	アナログ入力 シングルエンドのアナログ入力チャンネル。入力範囲は0~ V_{DD} です。
SDATA	データ出力 ロジック出力。AD7910/AD7920からの変換結果をシリアル・データ・ストリームとして出力します。SCLK入力の立下りエッジでビットをクロック出力します。AD7920からのデータ・ストリームは、4つの先行ゼロと12ビットの変換データで構成され、MSBファーストです。AD7910からのデータ・ストリームは、4つの先行ゼロ、10ビットの変換データ、2つの後続ゼロで構成され、同じくMSBファーストです。
SCLK	シリアル・クロック ロジック入力。SCLKは、デバイスからデータにアクセスするためのシリアル・クロックを提供します。AD7910/AD7920変換プロセスのクロック・ソースとしても、このクロック入力を使用します。
NC	未接続

AD7910/AD7920

用語集

積分非直線性

ADC伝達関数の両端を結ぶ直線からの最大偏差です。AD7920とAD7910の場合、伝達関数の両端とは、最初のコード遷移より1LSB下のゼロ・スケールと、最後のコード遷移より1LSB上のフル・スケールになります。

微分非直線性

ADCの2つの隣接したコード間での変化の測定値と1LSBの理想値との差です。

オフセット誤差

最初のコード遷移 (00 ... 000から00 ... 001) と理想の遷移 (GND+1LSB) との偏差です。

ゲイン誤差

オフセット誤差が調整された後の、最後のコード遷移 (111 ... 110から111 ... 111) と理想の遷移 ($V_{REF}-1LSB$) との偏差です。

トラック・アンド・ホールド・アクイジション時間

トラック・アンド・ホールド・アンプは、変換の最後にトラック・モードに戻ります。トラック・アンド・ホールド・アクイジション時間とは、変換後に、トラック・アンド・ホールド・アンプの出力が、 $\pm 0.5LSB$ 以内のその最終値に到達するために必要な時間をいいます。詳細については、シリアル・インターフェースのセクションを参照してください。

信号対 (ノイズ+歪み) 比

A/Dコンバータの出力で測定される信号と (ノイズ+歪み) の比です。信号は基本波のrms振幅です。ノイズは、DCを除いて、サンプリング周波数の半分 ($f_s/2$) までのすべての非基本信号の合計です。この比は、デジタル化プロセスでの量子化レベルの数に依存します。レベルの数が多いほど、量子化ノイズは小さくなります。サイン波入力を持つ理想的なNビット・コンバータの理論的な信号対 (ノイズ+歪み) 比は、次の式で求めます。

$$\text{信号対 (ノイズ+歪み)} = (6.02N+1.76) \text{ dB}$$

これにより、この値は12ビットのコンバータで74dB、10ビットのコンバータで62dBになります。

総合未調整誤差

これは、ゲイン誤差、直線性誤差、オフセット誤差を含む、総合的な仕様です。

全高調波歪み (THD)

全高調波歪み (THD) は、高調波のrms合計の基本波に対する比です。THDは次のように定義されます。

$$THD(dB) = 20 \log \frac{\sqrt{V_2^2+V_3^2+V_4^2+V_5^2+V_6^2}}{V_1}$$

ここで、 V_1 は基本波のrms振幅であり、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、2次～6次の高調波のrms振幅です。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、ADC出力スペクトル (DCを除いて $f_s/2$ まで) 内で2番目に大きな成分のrms値と、基本波のrms値との比として定義されます。通常、この仕様の値は、スペクトル内の最大高調波によって決定されます。ただし、ADCの場合、高調波がノイズ・フロアに埋もれているため、この値がノイズ・ピークになります。

相互変調歪み

2つの周波数 f_a と f_b でのサイン波で構成される入力では、非直線性を持つすべてのアクティブ・デバイスは、 $m f_a \pm n f_b$ ($m, n=0, 1, 2, 3, \dots$) という和と差の周波数での歪み積を生成します。相互変調歪みの項では、 m と n がどちらも非ゼロです。たとえば、2次項には (f_a+f_b) と (f_a-f_b) が、3次項には ($2f_a+f_b$)、($2f_a-f_b$)、(f_a+2f_b)、(f_a-2f_b) が含まれます。

AD7910/AD7920は、2つの入力周波数を使用するCCIF規格によってテストされています (仕様ページの f_a と f_b を参照)。この場合、一般に、2次項は元のサイン波から離れた周波数になりますが、3次項は入力周波数に近い周波数になります。その結果、2次項と3次項が別々の指定値になります。相互変調歪みの計算は、THDの仕様によって異なります。THD仕様とは、個々の歪み積のrms合計と、基本波の合計のrms振幅との比であり、dBで表わされます。

代表的な性能特性 — AD7910/AD7920

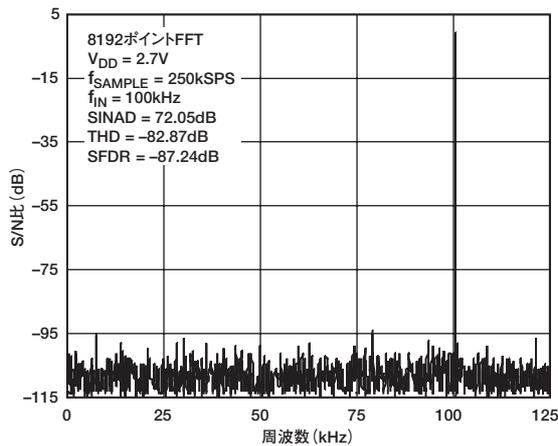
TPC 1とTPC 2に、250kSPSのサンプリング・レートと100kHzの入力周波数におけるAD7920とAD7910の代表的なFFTプロットを示します。

TPC 3には、AD7920を使用して5MHzのSCLK周波数で250kSPSでサンプリングする場合について、さまざまな電源電圧による入力周波数と信号対（ノイズ+歪み）比性能との関係を示します。

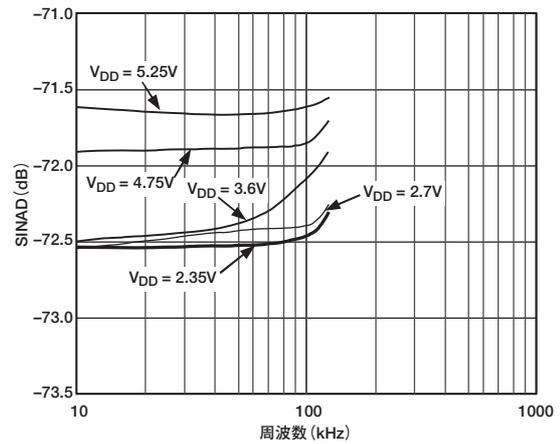
TPC 4とTPC 5には、AD7920の代表的なINLとDNLの性能を示します。

TPC 6には、3.6Vの電源電圧を使用して250kSPSのレートでサンプリングする場合のさまざまなソース・インピーダンスに対するアナログ入力周波数と全高調波歪みの関係を示します。アナログ入力のセクションを参照してください。

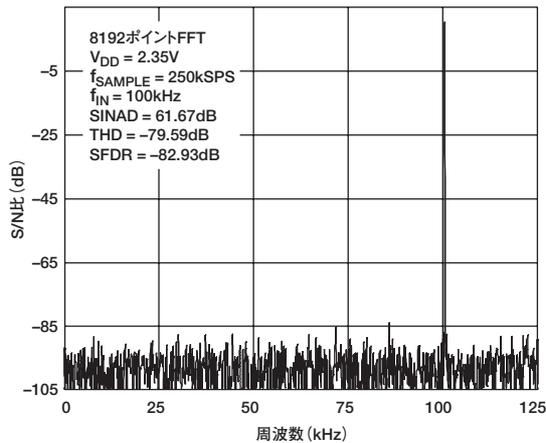
TPC 7には、5MHzのSCLK周波数によって250kSPSでサンプリングする場合のさまざまな電源電圧に対するアナログ入力信号周波数と全高調波歪みとの関係を示します。



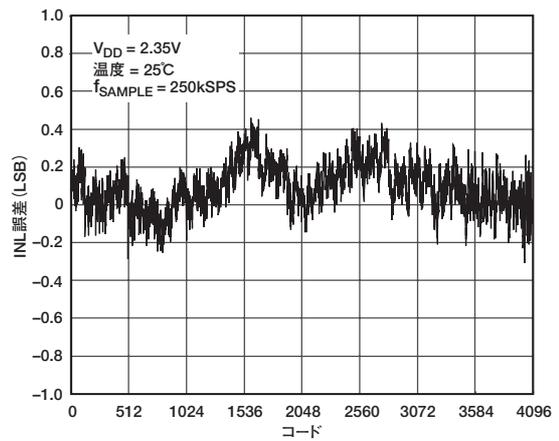
TPC 1. 250kSPSでのAD7920のダイナミック性能



TPC 3. AD7920のSINADと250kSPSでの入力周波数の関係

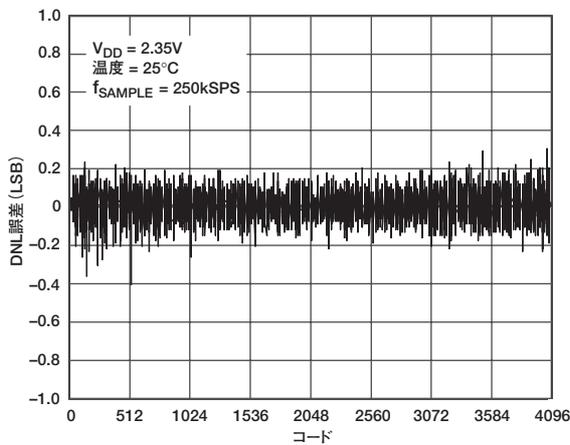


TPC 2. 250kSPSでのAD7910のダイナミック性能

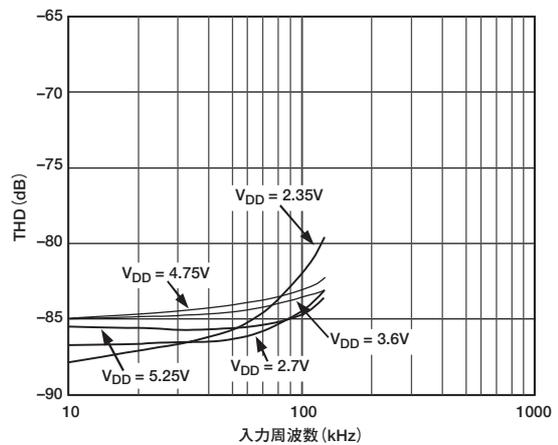


TPC 4. AD7920のINL性能

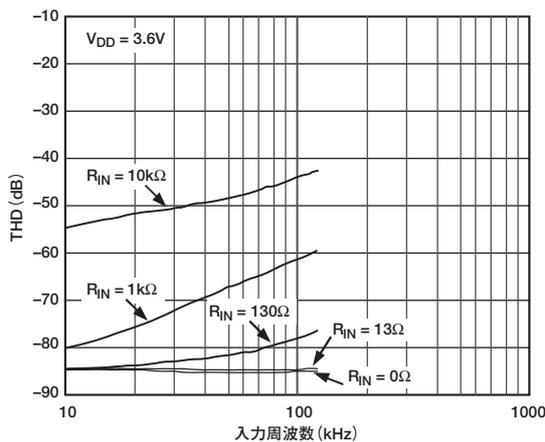
AD7910/AD7920



TPC 5. AD7920のDNL性能



TPC 7. さまざまな電源電圧でのTHDとアナログ入力周波数の関係



TPC 6. さまざまなソース・インピーダンスでのTHDとアナログ入力周波数の関係

回路説明

AD7910/AD7920は、高速、マイクロパワーの10/12ビット単電源A/Dコンバータで、2.35~5.25Vの電源で動作します。AD7910/AD7920を5V電源または3V電源で動作させ、5MHzのクロックを供給すると、250kSPSのスループット・レートが可能です。

AD7910/AD7920は、内蔵トラック・アンド・ホールド、A/Dコンバータ、シリアル・インターフェースを小さな6ピンSC70パッケージまたは8ピンMSOPパッケージに格納しているため、他のソリューションに比べて大幅な省スペースが実現できます。シリアル・クロック入力はデバイスからのデータ・アクセスだけでなく、逐次比較型A/Dコンバータのクロック・ソースにもなります。アナログ入力範囲は0V~ V_{DD} です。ADCに外部リファレンスは不要で、内蔵のリファレンス也没有。AD7910/AD7920用のリファレンスは電源から得られるため、ダイナミック入力範囲が広がります。

AD7910/AD7920には、変換と変換の間で電力を節約するパワーダウン・オプションがあります。動作モードのセクションで説明しますが、標準のシリアル・インターフェースを介してパワーダウン機能を実現します。

コンバータの動作

AD7910/AD7920は、電荷再分配式DACをベースにした逐次比較型A/Dコンバータです。図4と図5に、ADCの簡略化した回路図を示します。図4には、アクイジション・フェーズにあるADCを示します。SW2が閉じ、SW1は位置Aにあり、コンパレータがバランス状態に保たれ、サンプリング・コンデンサが V_{IN} の信号を取り込みます。

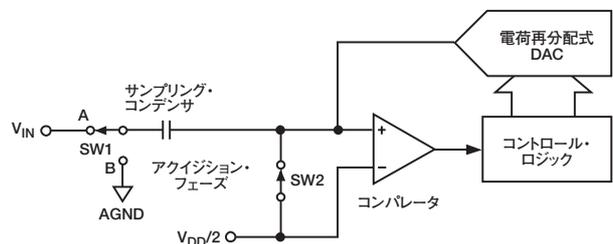


図4. ADCのアクイジション・フェーズ

ADCが変換を開始すると（図5を参照）、SW2が開き、SW1が位置Bに移動して、コンパレータはバランスを失います。コントロール・ロジックと電荷再分配式DACにより、コンパレータのバランスを回復させるために、サンプリング・コンデンサに一定量の電荷が加算／減算されます。コンパレータが再びバランス状態に戻ると、変換が完了し、コントロール・ロジックがADCの出力コードを生成します。図6にADCの伝達関数を示します。

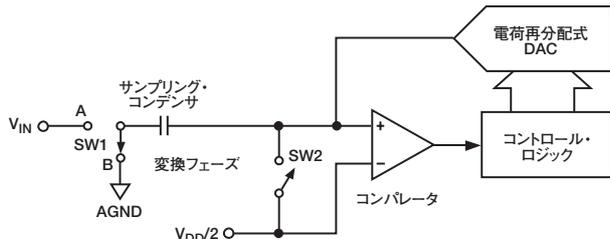


図5. ADCの変換フェーズ

ADC伝達関数

AD7910/AD7920の出力コーディングは、ストレート・バイナリです。連続した整数LSB値（1LSB、2LSBなど）で、設計されたコード遷移が発生します。LSBの大きさは、AD7920で $V_{DD}/4096$ 、AD7910で $V_{DD}/1024$ です。図6に、AD7910/AD7920の理想的な伝達特性を示します。

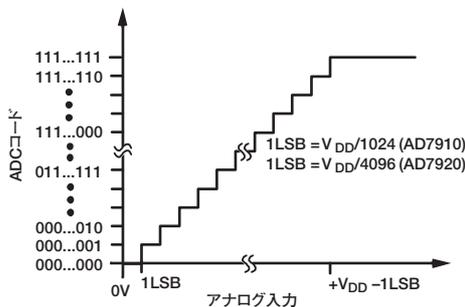


図6. 伝達特性

代表的な接続図

図7に、AD7910/AD7920の代表的な接続図を示します。 V_{DD} から V_{REF} を内部的に取得します。したがって、 V_{DD} は十分にデカップリングしてください。これによって、アナログ入力範囲が $0V \sim V_{DD}$ となります。変換結果は16ビット・ワードで出力され、4つの先行ゼロの後に、12ビットまたは10ビットの結果のMSBが続きます。AD7910の10ビットの結果には、2つの後続0が続きます。

AD7910/AD7920が必要とする電源電流はきわめて小さいので、別の方法として高精度リファレンスをAD7910/AD7920への電源ソースに利用できます。REF19xリファレンス（5V用のREF195または3V用のREF193）で、ADCに必要な電圧を供給できます（図7を参照）。この構成は、電源のノイズが非常に多い場合や、システム電源電圧が5Vや3V以外の値（たとえば、15V）の場合に特に便利です。REF19xはAD7910/AD7920に安定した電圧を出力します。低ドロップアウトのREF193を使用する場合、AD7910/AD7920に供給すべき電流は、一般に1.2mAです。ADCが250kSPSのレートで変換しているとき、REF193は最大1.4mAをAD7910/AD7920に供給する必要があります。REF193の負荷レギュレーションは一般に10ppm/mA（REF193、 $V_S = 5V$ ）であるため、これから1.4mAを引き出すと、14ppm（ $42\mu V$ ）の誤差が生じます。この値は、REF193で $V_{DD} = 3V$ を供給されるAD7920では0.057LSBの誤差、AD7910では0.014LSBの誤差に相当します。消費電力が重要なアプリケーションでは、ADCのパワーダウン・モードとREF19xリファレンスのスリープ・モードを使用して、電力性能を改善します。動作モードのセクションを参照してください。

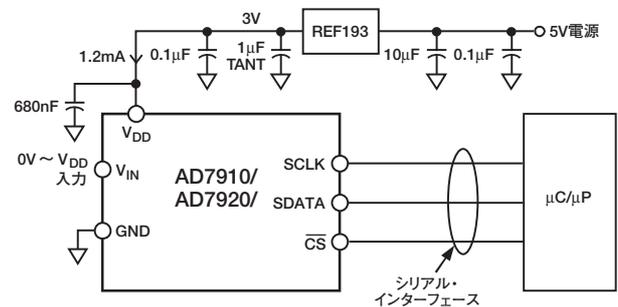


図7. 電源にREF193を使用する場合

表Iには、同じセットアップ条件のもとで、室温での100kHzの入力トーン用に V_{DD} ソースとしてさまざまなリファレンスを使用した場合の代表的な性能データを示します。

表I. さまざまなリファレンスICを使用した時のAD7920の代表的な性能

リファレンスを V_{DD} に接続	AD7920のS/N比性能 (dB)
AD780 (3Vの場合)	72.65
REF193	72.35
AD780 (2.5Vの場合)	72.5
REF192	72.2
REF43	72.6

AD7910/AD7920

アナログ入力

図8に、AD7910/AD7920のアナログ入力構造の等価回路を示します。D1とD2の2つのダイオードが、アナログ入力にESD保護を提供します。アナログ入力信号が電源レールを300mV以上超えないように注意する必要があります。これを超えると、ダイオードが順方向にバイアスされて、電流がサブストレートに流れます。デバイスに回復不可能な損傷を与えずにダイオードに流せる電流は、10mAまでです。図8のコンデンサC1の代表値は約6pFであり、主にピン容量によって決まります。抵抗R1はスイッチのオン抵抗から成る集中要素であり、代表値は約100Ωです。コンデンサC2はADCサンプリング・コンデンサで、一般に20pFの容量があります。ACアプリケーションの場合には、該当するアナログ入力ピンにバンドパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することをお勧めします。高調波歪みとS/N比が重視されるアプリケーションでは、アナログ入力を低インピーダンスの信号源で駆動してください。大きな信号源インピーダンスでは、ADCのAC性能に大きく影響します。このため、入力バッファ・アンプが必要になることもあります。適切なオペアンプは、アプリケーションによって異なります。

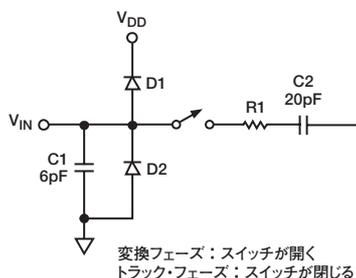


図8. アナログ入力等価回路

表IIには、同じセットアップ条件のもとで、室温で100kHzの入力トーン用にさまざまなオペアンプを入力バッファとして使用した場合の代表的な性能データの一部を示します。

表II. さまざまな入力バッファを使用した時のAD7920の代表的な性能 ($V_{DD}=3V$)

入力バッファ内のオペアンプ	AD7920のS/N比性能 (dB)
AD711	72.3
AD797	72.5
AD845	71.4

アナログ入力を駆動するアンプを使用しないときには、信号源インピーダンスを低い値に制限してください。最大信号源インピーダンスは、許容される全高調波歪み (THD) の量に依存します。信号源インピーダンスが大きくなると、THDが増加し、性能が低下します (TPC 6を参照)。

デジタル入力

AD7910/AD7920のデジタル入力は、アナログ入力を制限する最大定格によって制限されません。デジタル入力の場合は7Vになることがあり、アナログ入力のような $V_{DD}+0.3V$ の制限はありません。たとえば、AD7910/AD7920が3Vの V_{DD} で動作する場合に、デジタル入力に5Vのロジック・レベルを使用できます。ただし、 $V_{DD}=3V$ の場合、SDATAでのデータ出力も3Vのロジック・レベルになることに注意してください。SCLKと \overline{CS} に $V_{DD}+0.3V$ の制限がないことから得られるもう1つの利点は、電源シーケンスの問題を回避できることです。 V_{DD} より前に、 \overline{CS} やSCLKが印加された場合でも、ラッチ・アップの危険はありません。アナログ入力の場合は、 V_{DD} より前に0.3Vを超える信号が印加されるとラッチ・アップの可能性がありま

動作モード

AD7910/AD7920の動作モードは、変換中に \overline{CS} 信号のロジック状態を制御して選択します。動作モードには、ノーマル・モードとパワーダウン・モードの2つがあります。AD7910/AD7920がパワーダウン・モードに入るかどうかは、変換を開始した後、 \overline{CS} がどのポイントでハイレベルに引きもどされるかによって決まります。同様に、すでにパワーダウン・モードになっている場合には、デバイスをノーマル動作に戻すかパワーダウン・モードのままにするかは、 \overline{CS} で制御します。これらの動作モードは、柔軟な電源管理オプションを提供するために設計されています。これらのオプションを選択すれば、さまざまなアプリケーション条件に合わせて、消費電力/スループット・レートの比を最適化することができます。

ノーマル・モード

このモードは、最速のスループット・レート性能を実現するためのものです。AD7910/AD7920は常時フルパワー状態にあるため、ユーザーはパワーアップ時間を気にする必要がありません。図9に、このモードでのAD7910/AD7920の動作の概略図を示します。

シリアル・インターフェースのセクションで説明するように、 \overline{CS} の立下りエッジで変換を開始します。デバイスを常時フルパワー状態にするには、 \overline{CS} の立下りエッジ後、10個以上のSCLK立下りエッジが経過するまで \overline{CS} をローレベルにしておく必要があります。10番目のSCLK立下りエッジの後、 $t_{CONVERT}$ の終わる前に、 \overline{CS} がハイレベルになった場合、デバイスはパワーアップ状態を保ちますが、変換は終了し、SDATAがスリーステート状態に戻ります。

AD7920の場合、変換を完了し、完全な変換結果にアクセスするには、16のシリアル・クロック・サイクルが必要です。AD7910では、変換を完了し、完全な変換結果にアクセスするには、最小限14のシリアル・クロック・サイクルが必要です。

\overline{CS} は、次の変換までハイのアイドル状態になるか、次の変換に入る少し前に \overline{CS} がハイに戻るまでローのアイドル状態になります (実質的に \overline{CS} はローのアイドル状態)。

データ転送が完了する (SDATAがスリーステートに戻る) と、静止時間 t_{QUIET} が経過した後で、 \overline{CS} を再びローにすることによって、別の変換を開始できます。

パワーダウン・モード

このモードは、低いスループット・レートが要求されるアプリケーションでの使用を目的としています。各変換の間でADCをパワーダウンする場合や、一連の変換を高スループット・レートで実行し、こうしたいくつかの変換バーストの間に比較的長い時間ADCをパワーダウンする場合があります。AD7910/AD7920がパワーダウン・モードにあるとき、すべてのアナログ回路がパワーダウンします。

パワーダウン・モードに入るには、図10に示すように、SCLKの2番目の立下りエッジの後、SCLKの10番目の立下りエッジの前どこかで \overline{CS} をハイレベルにし、変換プロセスを中断する必要があります。SCLKのこのウィンドウ内で \overline{CS} がハイレベルになると、デバイスはパワーダウン・モードに入り、 \overline{CS} の立下りエッジによって開始した変換が終了し、SDATAはスリーステート状態に戻ります。2番目のSCLK立下りエッジの前に \overline{CS} がハイレベルになった場合、デバイスはノーマル・モードのまま、パワーダウンしません。これによって、 \overline{CS} ラインでのグリッチによる意図しないパワーダウンを回避できます。

この動作モードを終了して、AD7910/AD7920を再びパワーアップするために、ダミー変換を実行します。 \overline{CS} の立下りエッジで、デバイスがパワーアップを開始し、10番目のSCLKの立下りエッジの後まで \overline{CS} がローレベルに保持されている限り、パワーアップを続けます。図11に示すように、16個のSCLKが経過するとデバイスは完全にパワーアップされ、次の変換から有効なデータが得られます。10番目のSCLK立下りエッジの前に \overline{CS} がハイレベルになった場合、AD7910/AD7920は再びパワーダウン・モードに戻ります。これによって、 \overline{CS} ラインでのグリッチや、 \overline{CS} がローレベルの間に8 SCLKサイクルが誤ってバーストすることから生じる、意図しないパワーアップを回避できます。デバイスは \overline{CS} の立下りエッジでパワーアップを開始しますが、10番目のSCLK立下りエッジより前であれば、 \overline{CS} の立上りエッジで再びパワーダウンします。

パワーアップ時間

AD7910/AD7920のパワーアップ時間は $1\mu\text{s}$ であるため、デバイスがパワーアップするには常に1つのダミー・サイクルで十分です。ダミー・サイクルが完了すると、ADCは完全にパワーアップされ、入力信号を正しく取得できます。ただし、ダミー変換後にバスがスリーステート状態に戻った時点から \overline{CS} の次の立下りエッジまで、静止時間 (t_{QUIET}) を設ける必要があります。

図11のように、ダミー・サイクルによってパワーダウン・モードからパワーアップするときには、デバイスのパワーダウン中にホールド・モードであったトラック・アンド・ホールドが、 \overline{CS} の立下りエッジ後にデバイスが受信する最初のSCLKエッジの後でトラック・モードに戻ります。図11では、これをポイントAとして示しています。どのSCLK周波数でも、デバイスをパワーアップして V_{IN} を取得するには1つのダミー・サイクルで十分ですが、デバイスをパワーアップして V_{IN} を完全に取得するには、必ずしも16 SCLKの完全なダミー・サイクルを経過する必要があります。ただし、5MHzのSCLK周波数で与えられた場合には、サイクル時間は $3.2\mu\text{s}$ になります。 $3.2\mu\text{s}$ のダミー・サイクル1つで、デバイスがパワーアップされ、 V_{IN} が完全に得られます。ただし、5MHzのSCLKで $1\mu\text{s}$ の後は、5つのSCLKサイクルしか経過していません。この段階で、ADCは完全にパワーアップされ、信号を取得できます。この場合、10番目のSCLK立下りエッジの後で \overline{CS} をハイレベルにし、時間 t_{QUIET} の後に再びローレベルにして変換を開始できます。

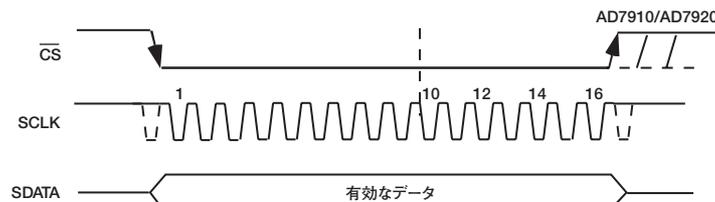


図9. ノーマル・モードの動作

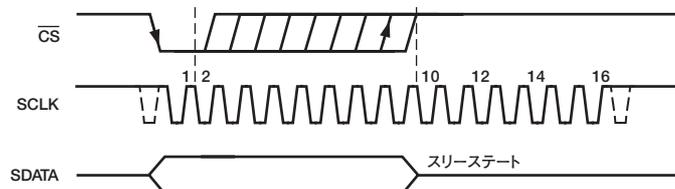


図10. パワーダウン・モードに入る

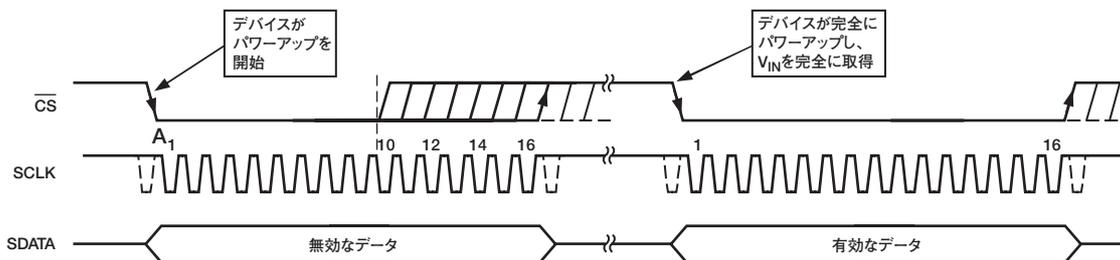


図11. パワーダウン・モードを終了する

AD7910/AD7920

AD7910/AD7920に電源を最初に供給すると、ADCはパワーダウン・モードかノーマル・モードのいずれかでパワーアップします。このため、有効な変換を試みる前に、ダミー・サイクルを1つ経過させて、デバイスを完全にパワーアップすることをお勧めします。同様に、未使用時にデバイスをパワーダウン・モードにするため、パワーダウン・モードでパワーアップしたい場合には、図10に示すサイクルを実行することによって、ダミー・サイクルを使用してデバイスをパワーダウンにすることができます。AD7910/AD7920に電源を供給すれば、そのパワーアップ時間はパワーダウン・モードからパワーアップするときと同じになります。デバイスがノーマル・モードでパワーアップする場合には、完全にパワーアップするために約1 μ sが必要です。ダミー・サイクルを実行して希望する動作モードにするためには、1 μ s待機する必要はありません。ADCに電源を供給した直後に、ダミー・サイクルを実行できます。ダミー変換の直後に最初の有効な変換を実行した場合には、十分なアクイジション時間を設けるよう注意する必要があります。前述のように、パワーダウン・モードからパワーアップする場合には、 \overline{CS} の立下りエッジの後で最初のSCLKエッジが加えられると、デバイスがトラック・モードに戻ります。電源の供給後、ADCが初めてパワーアップしたときには、トラック・アンド・ホールドはすでにトラック・モードになっています。つまり、ADCの電源電流を監視することができるのであれば、ADCが希望する動作モードでパワーアップし、モード変更のためのダミー・サイクルが必要ない場合には、トラック・アンド・ホールドをトラック・モードにするためのダミー・サイクルも必要ないということになります。

電源とスループット・レート

変換しないときにAD7910/AD7920をパワーダウン・モードにすることによって、ADCの平均消費電力が低スループット・レートで低減します。図12に、スループット・レートが減少するにつれてデバイスがパワーダウン状態に長くとどまり、これにより平均消費電力が時間とともに減少する様子を示します。

たとえば、AD7910/AD7920が100kSPSのスループット・レートと5MHzのSCLK ($V_{DD}=5V$) による連続サンプリング・モードで動作し、変換と変換の間にデバイスがパワーダウン・モードに入る場合、消費電力を次のように計算します。

ノーマル・モードでの消費電力は15mW ($V_{DD}=5V$) です。これには、デバイスがパワーダウン・モードに入るときに消費する電力、ダミー変換中に消費する電力 (デバイスがパワーダウン・モードを終了してパワーアップする場合)、そして変換中に消費する電力が含まれます。

パワーダウン・モードのセクションで述べたように、パワーダウン・モードに入るには、2番目と10番目のSCLK立下りエッジの間のどこかで \overline{CS} をハイレベルにする必要があります。このため、パワーダウン・モードに入るときに消費電力は、使用するSCLKサイクルの数によって異なります。この例では、パワーダウン・モードに入るために5つのSCLKサイクルを使用します。これによって、 $5 \times (1/f_{SCLK}) = 1\mu s$ の時間が与えられます。

パワーアップ時間が1 μ sであるため、デバイスをパワーアップするには5つのSCLKサイクルだけが必要ということになります。ただし、パワーダウン・モードを終了するときには、少なくとも10番目のSCLK立下りエッジまで \overline{CS} をローレベルにしておかなくてはなりません。つまり、パワーダウン・モードを終了してデバイスをパワーアップするには、最低9つのSCLKサイクルを使用することになります。

ここから、9つのSCLKサイクルを使用した場合、デバイスをパワーアップしてパワーダウン・モードを終了するための時間は、 $9 \times (1/f_{SCLK}) = 1.8\mu s$ になります。

最後に、変換時間が $16 \times (1/f_{SCLK}) = 3.2\mu s$ かかります。

したがって、AD7910/AD7920は、各変換サイクルにおいて $3.2\mu s + 1.8\mu s + 1\mu s = 6\mu s$ の間に15mWを消費することになります。スループット・レートが100kSPSの場合には、サイクル時間は10 μs で、各サイクル中に消費する平均電力は、 $(6/10) \times (15mW) = 9mW$ です。シャットダウン電流はきわめて小さく、消費電力値全体に影響しないため、デバイスがパワーダウン・モードにあるときの消費電力は考慮していません。

$V_{DD}=3V$ 、SCLK=5MHzで、変換と変換の間でデバイスが再びパワーダウン・モードになる場合、ノーマル動作時の消費電力は4.2mWです。前と同じタイミング条件を想定すると、AD7910/AD7920は、各変換サイクル中に6 μs で4.2mWを消費することになります。100kSPSのスループット・レートでは、各サイクル中に消費する平均電力は、 $(6/10) \times (4.2mW) = 2.52mW$ です。図12に、5Vと3Vの電源で変換と変換の間にパワーダウン・モードを使用する場合の電力とスループット・レートの関係を示します。

パワーダウン・モードは、スループット・レートが約160kSPS以下での使用を目的としています。これは、サンプリング・レートが高くなると、パワーダウン・モードによる電力節減がなくなるからです。

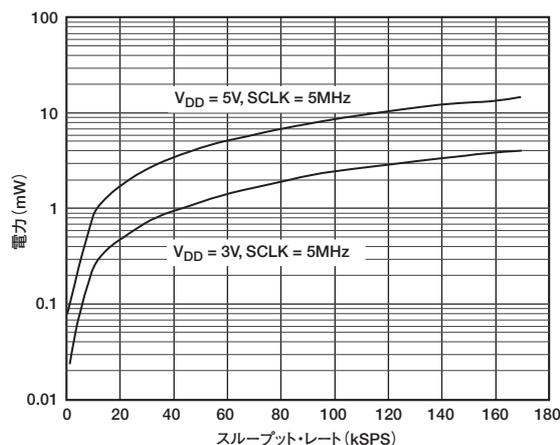


図12. 電源とスループット・レート

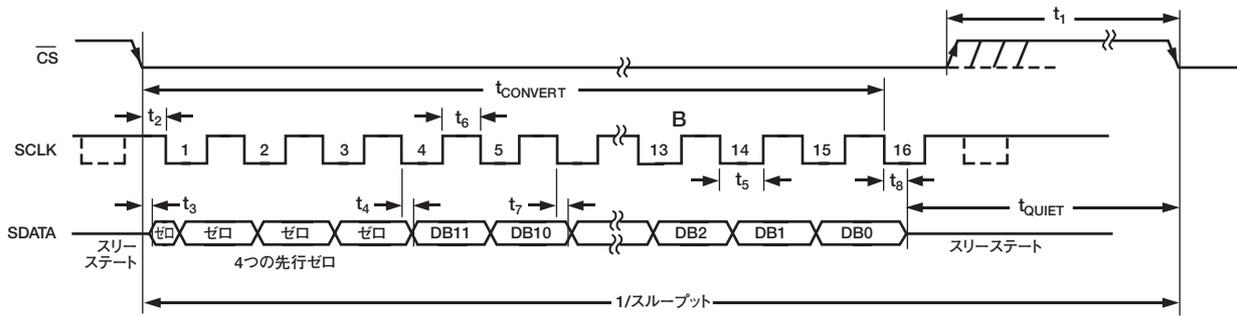


図13. AD7920のシリアル・インターフェースのタイミング図

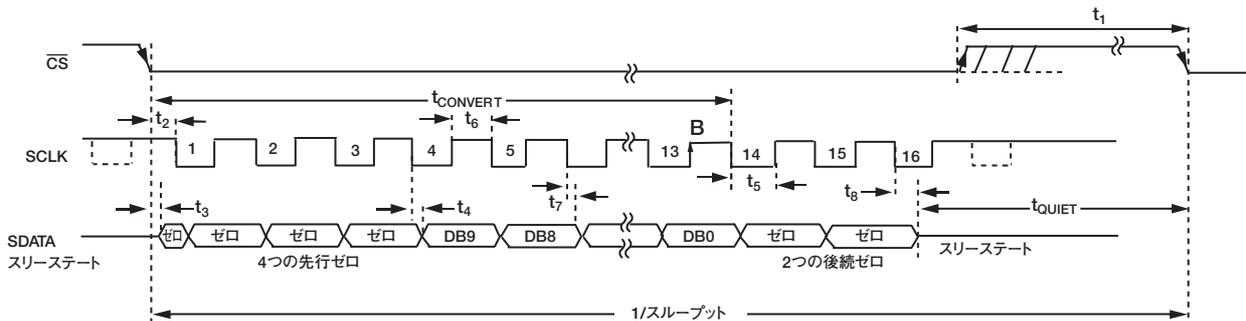


図14 AD7910のシリアル・インターフェースのタイミング図

シリアル・インターフェース

図13と図14には、それぞれAD7920とAD7910にシリアル・インターフェースをとるための詳細なタイミング図を示します。シリアル・クロックで変換クロックを与えると同時に、変換時にAD7910/AD7920からの情報転送を制御します。

\overline{CS} 信号で、データ転送と変換プロセスを開始します。 \overline{CS} の立下りエッジでトラック・アンド・ホールドがホールド・モードになり、バスがスリーステートから抜け出し、さらにこの時点でアナログ入力をサンプリングします。この時点で変換も開始されます。

AD7920では、変換の完了には16 SCLKサイクルが必要です。13個のSCLK立下りエッジが経過すると、図13のポイントBに示すように、トラック・アンド・ホールドが次のSCLK立上りエッジでトラック・モードに戻ります。16番目のSCLK立下りエッジで、SDATAラインがスリーステート状態に戻ります。16個のSCLKが経過する前に、 \overline{CS} の立上りエッジが現れた場合は、変換が終了し、SDATAラインがスリーステート状態に戻ります。それ以外の場合には、図13に示すように、16番目のSCLK立下りエッジでSDATAがスリーステート状態に戻ります。変換プロセスを実行し、AD7920からのデータにアクセスするには、16個のシリアル・クロック・サイクルが必要です。

AD7910では、変換を完了するには14 SCLKサイクルが必要です。13個のSCLK立下りエッジが経過すると、図14のポイントBに示すように、トラック・アンド・ホールドが次のSCLK立上りエッジでトラック・モードに戻ります。

14個のSCLKが経過する前に \overline{CS} の立上りエッジが現れた場合には、変換は終了し、SDATAラインがスリーステート状態に戻ります。このサイクルで16個のSCLKを使用する場合には、図14に示すように、SDATAは16番目のSCLK立下りエッジでスリーステート状態に戻ります。

\overline{CS} がローになることによって、マイクロコントローラやDSPによって読み出される最初の先行ゼロがクロック出力されます。次に、それ以降のSCLK立下りエッジによって、2番目の先行ゼロから残りのデータがクロック出力されます。このようにして、シリアル・クロックでの最初の立下りクロック・エッジで最初の先行ゼロが提供され、2番目の先行ゼロもクロック出力されます。データ転送での最終ビットは16番目の立下りエッジで有効になり、直前の(15番目の)立下りエッジでクロック出力されます。

遅いSCLKを用いるアプリケーションでは、各SCLKの立上りエッジでデータを読み出すことができます。この場合、2番目の先行ゼロは、SCLKの最初の立下りエッジでクロック出力され、最初の立上りエッジで読み出すことができます。しかし、 \overline{CS} がローになったときにクロック出力された最初の先行ゼロは、最初の立下りエッジで読み出されない限り、取り損ないます。最後のビットは、SCLKの15番目の立下りエッジでクロック出力され、SCLKの15番目の立上りエッジで読み出すことができます。

SCLKの立下りエッジの直後に \overline{CS} がローになった場合には、前と同様に \overline{CS} で最初の先行ゼロをクロック出力し、SCLKの立上りエッジで読み出すことができます。2番目の先行ゼロは、次のSCLK立下りエッジでクロック出力され、次の立上りエッジで読み出すことができます。

AD7910/AD7920

マイクロプロセッサとのインターフェース

AD7910/AD7920のシリアル・インターフェースによって、デバイスも多くさまざまなマイクロプロセッサと直接接続できます。ここでは、代表的なマイクロコントローラやDSPのシリアル・インターフェース・プロトコルによりAD7910/AD7920とインターフェースする方法について説明します。

AD7910/AD7920とTMS320C541のインターフェース

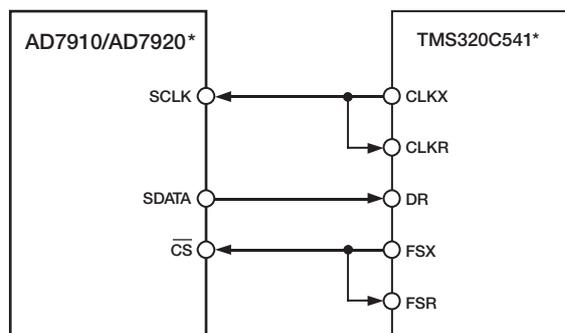
TMS320C541のシリアル・インターフェースでは、連続的なシリアル・クロックとフレーム同期信号を使用して、AD7910/AD7920などの周辺デバイスとのデータ転送動作を同期させています。 \overline{CS} 入力によって、TMS320C541とAD7910/AD7920の間の接続ロジックなしに、簡単にインターフェースをとることができます。内部シリアル・クロックCLKX (SPCレジスタでMCM=1) と内部フレーム信号 (SPCでTXM=1) によって、TMS320C541のシリアル・ポートをバースト・モード (シリアル・ポート・コントロール・レジスタ、SPCでFSM=1) で動作するように設定します。これにより、両方のピンが出力として構成されます。AD7920では、ワード長を16ビットに設定してください (SPCレジスタでFO=0)。このDSPによって、16ビットまたは8ビットのワード長のフレームが可能になります。したがって、14ビットが要求されるAD7910の場合も同様にFOビットを最大16ビットに設定します。つまり、変換結果を取得するには16 SCLKが必要で、最後の2つのクロック・サイクルで2つの後続0がクロック出力されます。

要約すれば、SPCレジスタの値は次のようになります。

FO=0
FSM=1
MCM=1
TXM=1

AD7910/AD7920でパワーダウン・モードの実行のために、フォーマット・ビットFOを1に設定し、ワード長を8ビットに設定します。

図15に、接続図を示します。信号処理アプリケーションでは、TMS320C541からのフレーム同期信号で等間隔サンプリングを行う必要があります。



*分かりやすくするために他のピンは省略してあります

図15. TMS320C541とのインターフェース

AD7910/AD7920とADSP-218x

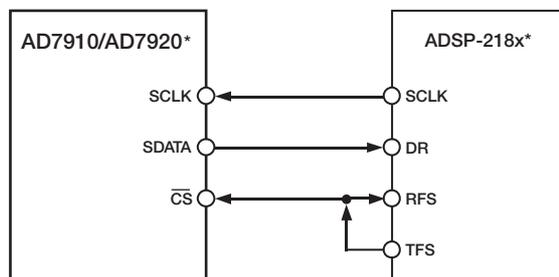
ADSP-218xファミリーのDSPは、接続ロジックを使用せずに、AD7910/AD7920に直接接続することができます。SPORTコントロール・レジスタを次のように設定してください。

TFSW=RFSW=1、別のフレーミング
INVRFS=INVTF=1、アクティブ・ローのフレーム信号
DTYPE=00、右詰めデータ
ISCLK=1、内部シリアル・クロック
TFSR=RFSR=1、すべてのワードをフレーム化
IRFS=0、RFSを入力として設定
ITFS=1、TFSを出力として設定
SLEN=1111、AD7920では16ビット
SLEN=1101、AD7910では14ビット

パワーダウン・モードを実行するためには、SLENを1001に設定して8ビットのSCLKバーストを出力します。接続図を図16に示します。ADSP-218xでは、SPORTのTFSとRFSが接続され、TFSが出力、RFSが入力に設定されています。DSPを別のフレーミング・モードで動作し、SPORTコントロール・レジスタを前述のように設定します。TFS上で生成されるフレーム同期信号を \overline{CS} に接続し、信号処理アプリケーションではすべてそうするように等間隔サンプリングにする必要があります。ただし、この例では、タイマー割り込みがADCのサンプリング・レートの制御に使用されるため、場合によっては等間隔サンプリングが実現できないこともあります。

タイマー・レジスタに、必要なサンプル間隔で割り込みを提供する値をロードします。割り込みを受信すると、TFS/DT (ADCの制御ワード) とともに値を送信します。RFSの制御にはTFSを使用し、これによってデータの読み出しを制御します。シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSで送信する命令が与えられると (つまり、AX0=TX0)、SCLKの状態をチェックします。DSPは、SCLKがハイになり、ローになり、再びハイになるまで待つってから、送信を開始します。SCLKの立上りエッジまたはその近傍で送信命令が発生するようにタイマーとSCLKの値を選択している場合には、データを送信するか、または次のクロック・エッジまで待つこととなります。

たとえば、ADSP-2111には16MHzのマスター・クロック周波数があります。SCLKDIVレジスタに値3がロードされた場合には、2MHzのSCLKが得られ、SCLK周期ごとに8つのマスター・クロック周期が経過します。タイマー・レジスタに値803がロードされた場合には、割り込みの間隔とその後の送信命令の間隔は、SCLK周期で100.5個分になります。この状態では送信命令がSCLKのエッジで発生するため、不等間隔のサンプリングになります。割り込みと割り込みの間のSCLKの数が整数値Nの場合には、DSPは等間隔のサンプリングを行います。



*分かりやすくするために他のピンは省略してあります

図16. ADSP-218xへのインターフェース

AD7910/AD7920とDSP563xxのインターフェース

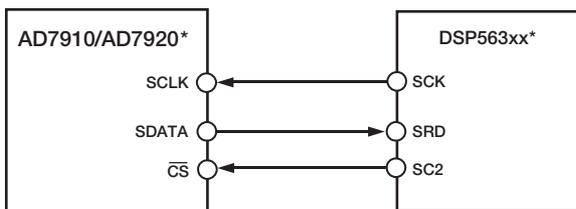
図17の接続図に、AD7910/AD7920を、モトローラ社のDSP563xxファミリーのSSI（同期シリアル・インターフェース）に接続する方法を示します。SSIは、TxとRxの両方に対して内部的に生成したワード・フレーム同期（コントロール・レジスタB、つまりCRBでビットFSL1=0、FSL0=0）によって、同期およびノーマル・モード（CRBでSYN=1、MOD=0）で動作します。AD7920では、ビットWL2=0、WL1=1、WL0=0に設定して、コントロール・レジスタA（CRA）でワード長を16に設定します。このDSPは14ビット・ワード長のオプションがないので、AD7910のワード長はAD7920と同じく16ビットに設定されます。AD7910では、変換プロセスで16個のSCLKサイクルを使用し、最後の2つのクロック周期で2つの後続0をクロック出力して、16ビット・ワードを埋めます。

AD7910/AD7920でパワーダウン・モードを実行するために、CRAでビットWL2=0、WL1=0、WL0=0を設定し、ワード長を8ビットに変更することができます。CRBレジスタのFSPビットは1に設定できます。これによって、フレームがローレベルになり、変換が開始されます。同様に、CRBレジスタのビットSCD2、SCKD、SHFDを使用すれば、シリアル・ポートのピンSC2（フレーム同期信号）とSCKが出力に設定され、MSBが最初にシフトされます。

要約すると、次のようになります。

MOD=0
SYN=1
WL2、WL1、WL0はワード長に依存
FSL1=1、FSL0=0
FSP=1、負のフレーム同期
SCD2=1
SCKD=1
SHFD=0

信号処理アプリケーションでは、DSP563xxからのフレーム同期信号によって等間隔サンプリングを行う必要がありますので、注意してください。



*分かりやすくするために他のピンは省略してあります

図17. DSP563xxへのインターフェース

アプリケーションのヒント

グラウンドとレイアウト

AD7910/AD7920を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの特定の領域にまとめるように設計してください。これによって、簡単に分離できるグラウンド・プレーンを使用できるようになります。最大のシールド効果を得るために、グラウンド・プレーンに対するエッチングは原則として最小限に抑えます。デジタルとアナログのグラウンド・プレーンは、1箇所だけで結合してください。複数のデバイスがAGND~DGND接続を必要とするシステムでAD7910/AD7920を使用する場合には、AD7910/AD7920のできるだけ近くで、スターグラウンド・ポイント1箇所だけで接続してください。

ノイズがチップに混入するので、デバイスの真下にデジタル・ラインを通さないようにしてください。アナログ・グラウンド・プレーンについては、ノイズ混入を防止するために、AD7910/AD7920の下を通すことは可能です。AD7910/AD7920への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を低減します。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分にノイズが放射しないようにします。また、クロック信号をアナログ入力付近に通さないようにします。デジタル信号とアナログ信号のクロスオーバーを避けます。基板の反対側のトレースは、互いに直角になるようにします。これによって、基板を通るフィードスルーの影響が減ります。マイクロストリップ技術は格段に優れていますが、両面ボードでは対応できない場合があります。この方式では、基板のコンポーネント側は必ず接地面に置かれ、信号はハンダ側に接地されます。

優れたデカップリングも重要です。たとえば、680nFの0805によって電源をGNDにデカップリングしてください。コンポーネントのサイズが重要なアプリケーションでSC70パッケージを使用する場合には、たとえば、代わりに220nFの0603コンデンサを使用できます。ただし、その場合にはデカップリングがあまり効果的ではなく、およそ0.3dBのSINAD低下が生じることがあります。これらのデカップリング部品から最高性能を引き出すには、各ピンを短いトラック長で接続して、デカップリング・コンデンサとV_{DD}ピンおよびGNDピンとの距離をできるだけ短くするようにしてください。図18と図19に、それぞれMSOPパッケージとSC70パッケージに対するデカップリング・コンデンサの推奨位置を示します。

AD7910/AD7920

図18に示すように、MSOPパッケージでは、 V_{DD} ピンとGNDピンを短いトラック長で接続して、デカップリング・コンデンサをできるだけICの近くに配置します。 V_{DD} ピンとGNDピンの間をビアで接続して、PCBの裏側、ICの真下にデカップリング・コンデンサを配置することもできます。この方法は、標準の1.6mmの厚さを超えるPCBではお勧めできません。最高の性能を得るには、PCBの上面、ICの横にデカップリング・コンデンサを配置します。

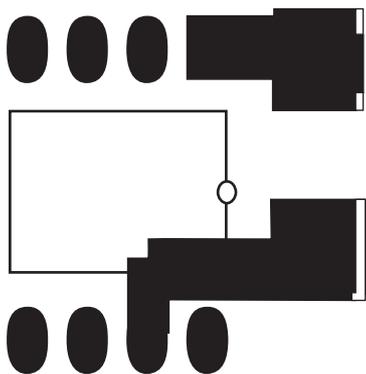


図18. AD7910/AD7920 MSOPパッケージに対する電源の推奨デカップリング方法

SC70パッケージでも同じように、 V_{DD} ピンとGNDピンのできるだけ近くにデカップリング・コンデンサを配置してください。 V_{DD} をGNDの隣にするピン配置によって、ICのすぐ近くにデカップリング・コンデンサを配置することができます。PCBの裏側、 V_{DD} ピンとGNDピンの真下にデカップリング・コンデンサを配置することもできます。ただし、前の場合と同じように、最高の性能を得るには、デカップリング・コンデンサをICと同じ側に配置してください。

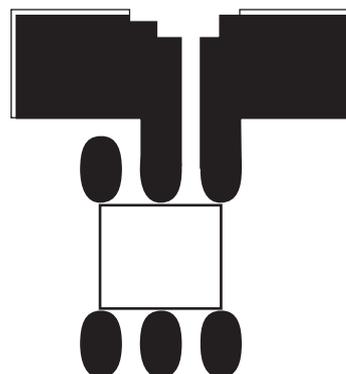


図19. AD7910/AD7920 SC70パッケージに対する電源の推奨デカップリング方法

AD7910/AD7920性能の評価

AD7910/AD7920の性能を評価する特定の評価ボードはありませんが、AD7476/AD7477CBとAD7476A/AD7477ACBの評価ボードを使用できます。これらの評価ボードには、AD7910/AD7920と類似したシリアル・インターフェースがあります。このため、シリアル・インターフェースの動作に習熟したり、電源をさまざまなリファレンスから取ることができるシステムにデバイスを実装する方法やADCとDSPの接続方法を試すために役立ちます。

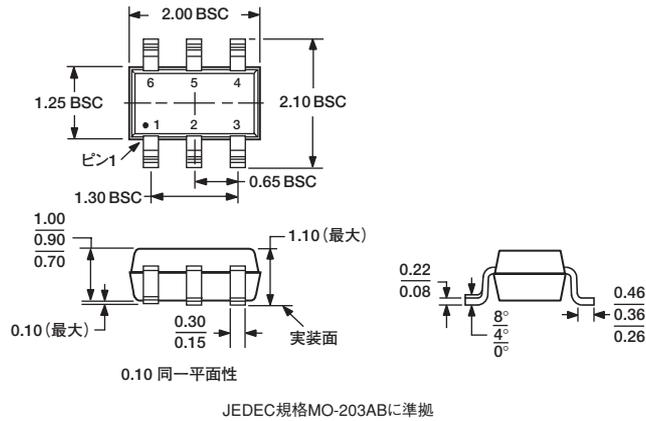
上述の評価ボードのパッケージには、組み立てとテストが済んだ評価ボード、ドキュメント、Eval-Board Controllerを介してPCからボードを制御するためのソフトウェアが含まれています。Eval-Board Controllerを評価ボードや、末尾番号CBが付く他の多くのアナログ・デバイセズの評価ボードと組み合わせて使用すれば、ADCのAC性能とDC性能を実証/評価することができます。

このソフトウェアを使用すれば、ADCでACテスト（高速フーリエ変換）とDCテスト（コードのヒストグラム）を実行することができます。詳細については、評価ボードのテクニカル・ノートを参照してください。

外形寸法

6ピン・プラスチック表面実装パッケージ [SC70]
(KS-6)

寸法はミリメートルで表示



8ピンMSOPパッケージ [MSOP]
(RM-8)

寸法はミリメートルで表示

