

## AD7904/AD7914/AD7924

### 特長

高速スループット・レート：1MSPS

2.7~5.25VのV<sub>DD</sub>で仕様規定

低消費電力：

3V電源、1MSPSで最大6mW

5V電源、1MSPSで最大13.5mW

シーケンサ付き4チャンネル（シングルエンド）入力

広い入力帯域幅：

AD7924では、50kHzの入力周波数でS/N比70dB

柔軟な電力/シリアル・クロック速度の管理

パイプライン遅延なし

高速シリアル・インターフェースSPI™/QSPI™/

MICROWIRE™/DSPと互換

シャットダウン・モード：最大0.5μA

16ピンTSSOPパッケージ

### 概要

AD7904/AD7914/AD7924は、それぞれ8ビット、10ビット、12ビットの高速、低消費電力の4チャンネル逐次比較型ADCです。AD7904/AD7914/AD7924は2.7~5.25Vの単電源で動作し、スループット・レートは最大1MSPSです。デバイスには、ローノイズ、広帯域幅のトラック/ホールド・アンプが内蔵され、8MHzを超える入力周波数に対応できます。

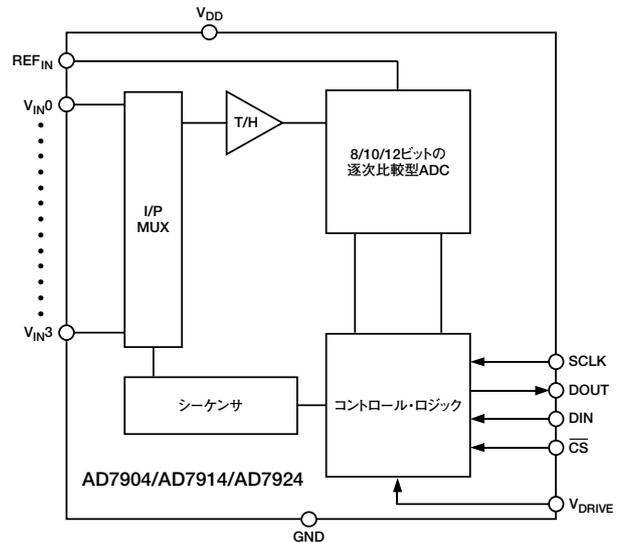
変換プロセスとデータ・アクイジションは、 $\overline{CS}$ とシリアル・クロック信号を使用して制御するため、マイクロプロセッサやDSPに簡単に接続できます。入力信号を $\overline{CS}$ の立ち下がりエッジでサンプリングし、変換もこの時点で開始します。デバイスに関連するパイプライン遅延はありません。

AD7904/AD7914/AD7924は高度な設計技法を使用しているため、最大スループット・レートでもきわめて低い消費電力になります。最大スループット・レートの消費電流は、3V電源で最大2mA、5V電源で最大2.7mAです。

コントロール・レジスタの設定により、デバイスのアナログ入力範囲は、0V~REF<sub>IN</sub>または0V~2×REF<sub>IN</sub>の選択が可能です。出力コードはストレート・バイナリーまたは2の補数となります。AD7904/AD7914/AD7924はいずれも、チャンネル・シーケンサ付きの4チャンネル、シングルエンド・アナログ入力を備えているため、連続的に変換するチャンネルをあらかじめプログラム選択できます。

SCLK周波数が変換を制御するためのマスター・クロックとしても使われるため、AD7904/AD7914/AD7924の変換時間は、SCLK周波数によって決まります。

機能ブロック図



### 製品のハイライト

- 低消費電力で高スループット  
AD7904/AD7914/AD7924では、最高1MSPSのスループット・レートを実現します。3V電源での最大スループット・レートで、最大6mWの電力しか消費しません。
- チャンネル・シーケンサ付き4チャンネル・シングルエンド入力  
連続するチャンネル・シーケンスを選択すれば、ADCが各チャンネルを循環して変換を続けます。
- V<sub>DRIVE</sub>機能をもつ単電源動作  
AD7904/AD7914/AD7924は、2.7~5.25Vの単電源で動作します。V<sub>DRIVE</sub>機能によって、V<sub>DD</sub>とは無関係に、シリアル・インターフェースで3Vまたは5Vのプロセッサ・システムに直接接続できます。
- 柔軟な電力/シリアル・クロック速度管理  
変換レートはシリアル・クロックによって決定されるため、シリアル・クロックの速度を上げることによって、変換時間を短縮できます。また、デバイスにはさまざまなシャットダウン・モードがあるため、低いスループット・レートで電力効率を最大にすることができます。フル・シャットダウンでの電流消費は、最大0.5μAです。
- パイプライン遅延なし  
このデバイスは標準の逐次比較型ADCで、 $\overline{CS}$ 入力での立ち下がりエッジの変換制御によってサンプリングの瞬間を正確に制御できます。

SPIとQSPIは、Motorola, Inc.の商標です。  
MICROWIREは、National Semiconductor Corporationの商標です。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. 0

**アナログ・デバイス株式会社**

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03(5402)8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06(6350)6868 (代)

# AD7904 — 仕様

(特に指定のない限り、 $V_{DD}=V_{DRIVE}=2.7\sim 5.25V$ 、 $REF_{IN}=2.5V$ 、 $f_{SCLK}=20MHz$ 、 $T_A=T_{MIN}\sim T_{MAX}$ )

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/コメント
<b>ダイナミック性能</b> 信号対ノイズおよび歪み (SINAD) <sup>2</sup> S/N比 (SNR) <sup>2</sup> 全高調波歪み (THD) <sup>2</sup> ピーク高調波またはスプリアス・ノイズ (SFDR) <sup>2</sup> 相互変調歪み (IMD) <sup>2</sup> 2次成分 3次成分 アパーチャ遅延 アパーチャ・ジッター チャンネル間アイソレーション <sup>2</sup> フル・パワー帯域幅	49 49 -66 -64 -90 -90 10 50 -85 8.2 1.6	dB (min) dB (min) dB (max) dB (max) dB (typ) dB (typ) ns (typ) ps (typ) dB (typ) MHz (typ) MHz (typ)	$f_{IN}=50kHz$ サイン波、 $f_{SCLK}=20MHz$  $f_a=40.1kHz$ 、 $f_b=41.5kHz$  $f_{IN}=400kHz$ 3dBのとき 0.1dBのとき
<b>DC精度<sup>2</sup></b> 分解能 積分非直線性 微分非直線性 0V~ $REF_{IN}$ の入力範囲 オフセット誤差 オフセット誤差マッチ ゲイン誤差 ゲイン誤差マッチ 0V~ $2\times REF_{IN}$ 入力範囲 正のゲイン誤差 正のゲイン誤差マッチ ゼロ・コード誤差 ゼロ・コード誤差マッチ 負のゲイン誤差 負のゲイン誤差マッチ	8 $\pm 0.2$ $\pm 0.2$ $\pm 0.5$ $\pm 0.05$ $\pm 0.2$ $\pm 0.05$ $\pm 0.2$ $\pm 0.05$ $\pm 0.2$ $\pm 0.05$ $\pm 0.5$ $\pm 0.1$ $\pm 0.2$ $\pm 0.05$	ビット LSB (max) LSB (max)	8ビットのノー・ミスコードを保証 出力コード、ストレート・バイナリー  $REF_{IN}\pm REF_{IN}$ の範囲で、出力コード、2の補数
<b>アナログ入力</b> 入力電圧範囲  DCリーク電流 入力容量	0~ $REF_{IN}$ 0~ $2\times REF_{IN}$  $\pm 1$ 20	V V  $\mu A$ (max) pF (typ)	RANGEビットを1に設定 RANGEビットを0に設定、 $V_{DD}/V_{DRIVE}=4.75\sim 5.25V$
<b>リファレンス入力</b> $REF_{IN}$ 入力電圧 DCリーク電流 $REF_{IN}$ 入力インピーダンス	2.5 $\pm 1$ 36	V $\mu A$ (max) k $\Omega$ (typ)	$\pm 1\%$ 仕様性能  $f_{SAMPLE}=1MSPS$
<b>ロジック入力</b> 入力電圧ハイレベル、 $V_{INH}$ 入力電圧ローレベル、 $V_{INL}$ 入力電流、 $I_{IN}$ 入力容量、 $C_{IN}^3$	$0.7\times V_{DRIVE}$ $0.3\times V_{DRIVE}$ $\pm 1$ 10	V (min) V (max) $\mu A$ (max) pF (max)	標準で10nA、 $V_{IN}=0V$ または $V_{DRIVE}$
<b>ロジック出力</b> 出力電圧ハイレベル、 $V_{OH}$ 出力電圧ローレベル、 $V_{OL}$ フローティング状態リーク電流 フローティング状態出力容量 <sup>3</sup> 出力コーディング	$V_{DRIVE}-0.2$ 0.4 $\pm 1$ 10 ストレート・バイナリー 2の補数	V (min) V (max) $\mu A$ (max) pF (max)	$I_{SOURCE}=200\mu A$ 、 $V_{DD}=2.7\sim 5.25V$ $I_{SINK}=200\mu A$  コーディング・ビットを1に設定 コーディング・ビットを0に設定
<b>変換レート</b> 変換時間 トラック/ホールド・アキュジション時間  スループット・レート	800 300 300 1	ns (max) ns (max) ns (max) MSPS (max)	20MHzのSCLKで16 SCLKサイクル サイン波入力 フルスケール・ステップ入力 シリアル・インターフェースのセクションを参照

# AD7904/AD7914/AD7924

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/コメント
<b>電源条件</b>			
$V_{DD}$	2.7/5.25	V (min/max)	
$V_{DRIVE}$	2.7/5.25	V (min/max)	
$I_{DD}^4$			デジタルI/P=0Vまたは $V_{DRIVE}$
ノーマル・モード (静止時)	600	$\mu$ A (typ)	$V_{DD}=2.7\sim 5.25V$ 、SCLKオンまたはオフ
ノーマル・モード (動作時)	2.7	mA (max)	$V_{DD}=4.75\sim 5.25V$ 、 $f_{SCLK}=20MHz$
	2	mA (max)	$V_{DD}=2.7\sim 3.6V$ 、 $f_{SCLK}=20MHz$
自動シャットダウン・モード使用	960	$\mu$ A (typ)	$f_{SAMPLE}=250kSPS$
	0.5	$\mu$ A (max)	(静止時)
フル・シャットダウン・モード	0.5	$\mu$ A (max)	SCLKオンまたはオフ (20nA標準)
<b>消費電力<sup>4</sup></b>			
ノーマル・モード (動作時)	13.5	mW (max)	$V_{DD}=5V$ 、 $f_{SCLK}=20MHz$
	6	mW (max)	$V_{DD}=3V$ 、 $f_{SCLK}=20MHz$
自動シャットダウン・モード (静止時)	2.5	$\mu$ W (max)	$V_{DD}=5V$
	1.5	$\mu$ W (max)	$V_{DD}=3V$
フル・シャットダウン・モード	2.5	$\mu$ W (max)	$V_{DD}=5V$
	1.5	$\mu$ W (max)	$V_{DD}=3V$

注

<sup>1</sup> 温度範囲：Bバージョン：-40～+85℃

<sup>2</sup> 用語のセクションを参照。

<sup>3</sup> 適合性を保証するために25℃でサンプル・テスト済み。

<sup>4</sup> 電力とスループット・レートの関係のセクションを参照。

仕様は予告なく変更されることがあります。

# AD7914 — 仕様

(特に指定のない限り、 $V_{DD}=V_{DRIVE}=2.7\sim 5.25V$ 、 $REF_{IN}=2.5V$ 、 $f_{SCLK}=20MHz$ 、 $T_A=T_{MIN}\sim T_{MAX}$ )

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/コメント
<b>ダイナミック性能</b> 信号対ノイズおよび歪み (SINAD) <sup>2</sup> S/N比 (SNR) <sup>2</sup> 全高調波歪み (THD) <sup>2</sup> ピーク高調波またはスプリアス・ノイズ (SFDR) <sup>2</sup> 相互変調歪み (IMD) <sup>2</sup> 2次成分 3次成分 アパーチャ遅延 アパーチャ・ジッター チャンネル間アイソレーション <sup>2</sup> フル・パワー帯域幅	61 61 -72 -74 -90 -90 10 50 -85 8.2 1.6	dB (min) dB (min) dB (max) dB (max) dB (typ) dB (typ) ns (typ) ps (typ) dB (typ) MHz (typ) MHz (typ)	$f_{IN}=50kHz$ サイン波、 $f_{SCLK}=20MHz$  $f_a=40.1kHz$ 、 $f_b=41.5kHz$  $f_{IN}=400kHz$ 3dBのとき 0.1dBのとき
<b>DC精度<sup>2</sup></b> 分解能 積分非直線性 微分非直線性 0V~ $REF_{IN}$ 入力範囲 オフセット誤差 オフセット誤差マッチ ゲイン誤差 ゲイン誤差マッチ 0V~ $2\times REF_{IN}$ 入力範囲 正のゲイン誤差 正のゲイン誤差マッチ ゼロ・コード誤差 ゼロ・コード誤差マッチ 負のゲイン誤差 負のゲイン誤差マッチ	10 $\pm 0.5$ $\pm 0.5$ $\pm 2$ $\pm 0.2$ $\pm 0.5$ $\pm 0.2$ $\pm 0.5$ $\pm 0.2$ $\pm 0.5$ $\pm 0.2$ $\pm 0.5$ $\pm 0.2$	ビット LSB (max) LSB (max)	10ビットのノー・ミスコードを保証 出力コード、ストレート・バイナリー  $REF_{IN}\pm REF_{IN}$ の範囲で、出力コード、2の補数
<b>アナログ入力</b> 入力電圧範囲  DCリーク電流 入力容量	0~ $REF_{IN}$ 0~ $2\times REF_{IN}$  $\pm 1$ 20	V V  $\mu A$ (max) pF (typ)	RANGEビットを1に設定 RANGEビットを0に設定、 $V_{DD}/V_{DRIVE}=4.75\sim 5.25V$
<b>リファレンス入力</b> $REF_{IN}$ 入力電圧 DCリーク電流 $REF_{IN}$ 入力インピーダンス	2.5 $\pm 1$ 36	V $\mu A$ (max) k $\Omega$ (typ)	$\pm 1\%$ 仕様性能  $f_{SAMPLE}=1MSPS$
<b>ロジック入力</b> 入力電圧ハイレベル、 $V_{INH}$ 入力電圧ローレベル、 $V_{INL}$ 入力電流、 $I_{IN}$ 入力容量、 $C_{IN}^3$	$0.7\times V_{DRIVE}$ $0.3\times V_{DRIVE}$ $\pm 1$ 10	V (min) V (max) $\mu A$ (max) pF (max)	標準で10nA、 $V_{IN}=0V$ または $V_{DRIVE}$
<b>ロジック出力</b> 出力電圧ハイレベル、 $V_{OH}$ 出力電圧ローレベル、 $V_{OL}$ フローティング状態リーク電流 フローティング状態出力容量 <sup>3</sup> 出力コーディング	$V_{DRIVE}-0.2$ 0.4 $\pm 1$ 10 ストレート・バイナリー 2の補数	V (min) V (max) $\mu A$ (max) pF (max)	$I_{SOURCE}=200\mu A$ 、 $V_{DD}=2.7\sim 5.25V$ $I_{SINK}=200\mu A$  コーディング・ビットを1に設定 コーディング・ビットを0に設定
<b>変換レート</b> 変換時間 トラック/ホールド・アクイジション時間  スループット・レート	800 300 300 1	ns (max) ns (max) ns (max) MSPS (max)	20MHzのSCLKで16 SCLKサイクル サイン波入力 フルスケール・ステップ入力 シリアル・インターフェースのセクションを参照

# AD7904/AD7914/AD7924

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/コメント
<b>電源条件</b>			
$V_{DD}$	2.7/5.25	V (min/max)	
$V_{DRIVE}$	2.7/5.25	V (min/max)	
$I_{DD}^4$			デジタルI/P=0Vまたは $V_{DRIVE}$
ノーマル・モード (静止時)	600	$\mu$ A (typ)	$V_{DD}=2.7\sim 5.25V$ 、SCLKオンまたはオフ
ノーマル・モード (動作時)	2.7	mA (max)	$V_{DD}=4.75\sim 5.25V$ 、 $f_{SCLK}=20MHz$
	2	mA (max)	$V_{DD}=2.7\sim 3.6V$ 、 $f_{SCLK}=20MHz$
自動シャットダウン・モードの使用	960	$\mu$ A (typ)	$f_{SAMPLE}=250kSPS$
	0.5	$\mu$ A (max)	(静止時)
フル・シャットダウン・モード	0.5	$\mu$ A (max)	SCLKオンまたはオフ (20nA標準)
<b>消費電力<sup>4</sup></b>			
ノーマル・モード (動作時)	13.5	mW (max)	$V_{DD}=5V$ 、 $f_{SCLK}=20MHz$
	6	mW (max)	$V_{DD}=3V$ 、 $f_{SCLK}=20MHz$
自動シャットダウン・モード (静止時)	2.5	$\mu$ W (max)	$V_{DD}=5V$
	1.5	$\mu$ W (max)	$V_{DD}=3V$
フル・シャットダウン・モード	2.5	$\mu$ W (max)	$V_{DD}=5V$
	1.5	$\mu$ W (max)	$V_{DD}=3V$

注

<sup>1</sup> 温度範囲：Bバージョン：-40～+85℃

<sup>2</sup> 用語のセクションを参照。

<sup>3</sup> 適合性を保証するために25℃でサンプル・テスト済み。

<sup>4</sup> 電力とスループット・レートの関係のセクションを参照。

仕様は予告なく変更されることがあります。

# AD7924—仕様

(特に指定のない限り、 $V_{DD}=V_{DRIVE}=2.7\sim 5.25V$ 、 $REF_{IN}=2.5V$ 、 $f_{SCLK}=20MHz$ 、 $T_A=T_{MIN}\sim T_{MAX}$ )

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/コメント
<b>ダイナミック性能</b> 信号対ノイズおよび歪み (SINAD) <sup>2</sup> S/N比 (SNR) <sup>2</sup> 全高調波歪み (THD) <sup>2</sup> ピーク高調波またはスプリアス・ノイズ (SFDR) <sup>2</sup> 相互変調歪み (IMD) <sup>2</sup> 2次成分 3次成分 アパーチャ遅延 アパーチャ・ジッター チャンネル間アイソレーション <sup>2</sup> フル・パワー帯域幅	70 69 70 -77 -73 -78 -76 -90 -90 10 50 -85 8.2 1.6	dB (min) dB (min) dB (min) dB (max) dB (max) dB (max) dB (max) dB (typ) dB (typ) ns (typ) ps (typ) dB (typ) MHz (typ) MHz (typ)	$f_{IN}=50kHz$ サイン波、 $f_{SCLK}=20MHz$ 5Vのとき 3Vのとき。標準で69.5dB 5Vのとき。標準で-84dB 3Vのとき。標準で-77dB 5Vのとき。標準で-86dB 3Vのとき。標準で-80dB $f_a=40.1kHz$ 、 $f_b=41.5kHz$ $f_{IN}=400kHz$ 3dBのとき 0.1dBのとき
<b>DC精度<sup>2</sup></b> 分解能 積分非直線性 微分非直線性 0V~ $REF_{IN}$ 入力範囲 オフセット誤差 オフセット誤差マッチ ゲイン誤差 ゲイン誤差マッチ 0V~ $2\times REF_{IN}$ 入力範囲 正のゲイン誤差 正のゲイン誤差マッチ ゼロ・コード誤差 ゼロ・コード誤差マッチ 負のゲイン誤差 負のゲイン誤差マッチ	12 $\pm 1$ $-0.9/+1.5$ $\pm 8$ $\pm 0.5$ $\pm 1.5$ $\pm 0.5$ $\pm 1.5$ $\pm 0.5$ $\pm 8$ $\pm 0.5$ $\pm 0.5$ $\pm 1$ $\pm 0.5$	ビット LSB (max) LSB (max)	12ビットのノー・ミスコードを保証 出力コード、ストレート・バイナリー 標準で $\pm 0.5LSB$ $REF_{IN}\pm REF_{IN}$ の範囲で、出力コード、2の補数 標準で $\pm 0.8LSB$
<b>アナログ入力</b> 入力電圧範囲 DCリーク電流 入力容量	0~ $REF_{IN}$ 0~ $2\times REF_{IN}$ $\pm 1$ 20	V V $\mu A$ (max) pF (typ)	RANGEビットを1に設定 RANGEビットを0に設定、 $V_{DD}/V_{DRIVE}=4.75\sim 5.25V$
<b>リファレンス入力</b> $REF_{IN}$ 入力電圧 DCリーク電流 $REF_{IN}$ 入力インピーダンス	2.5 $\pm 1$ 36	V $\mu A$ (max) k $\Omega$ (typ)	$\pm 1\%$ 仕様性能 $f_{SAMPLE}=1MSPS$
<b>ロジック入力</b> 入力電圧ハイレベル、 $V_{INH}$ 入力電圧ローレベル、 $V_{INL}$ 入力電流、 $I_{IN}$ 入力容量、 $C_{IN}^3$	$0.7\times V_{DRIVE}$ $0.3\times V_{DRIVE}$ $\pm 1$ 10	V (min) V (max) $\mu A$ (max) pF (max)	標準で10nA、 $V_{IN}=0V$ または $V_{DRIVE}$
<b>ロジック出力</b> 出力電圧ハイレベル、 $V_{OH}$ 出力電圧ローレベル、 $V_{OL}$ フローティング状態リーク電流 フローティング状態出力容量 <sup>3</sup> 出力コーディング	$V_{DRIVE}-0.2$ 0.4 $\pm 1$ 10 ストレート・バイナリー 2の補数	V (min) V (max) $\mu A$ (max) pF (max)	$I_{SOURCE}=200\mu A$ 、 $V_{DD}=2.7\sim 5.25V$ $I_{SINK}=200\mu A$ コーディング・ビットを1に設定 コーディング・ビットを0に設定

# AD7904/AD7914/AD7924

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/コメント
変換レート			
変換時間	800	ns (max)	20MHzのSCLKで16 SCLKサイクル
トラック/ホールド・アクイジション時間	300	ns (max)	サイン波入力
	300	ns (max)	フルスケール・ステップ入力
スループット・レート	1	MSPS (max)	シリアル・インターフェースのセクションを参照
電源条件			
V <sub>DD</sub>	2.7/5.25	V (min/max)	
V <sub>DRIVE</sub>	2.7/5.25	V (min/max)	
I <sub>DD</sub> <sup>4</sup>			デジタルI/P=0VまたはV <sub>DRIVE</sub>
ノーマル・モード (静止時)	600	μA (typ)	V <sub>DD</sub> =2.7~5.25V、SCLKオンまたはオフ
ノーマル・モード (動作時)	2.7	mA (max)	V <sub>DD</sub> =4.75~5.25V、f <sub>SCLK</sub> =20MHz
	2	mA (max)	V <sub>DD</sub> =2.7~3.6V、f <sub>SCLK</sub> =20MHz
自動シャットダウン・モードの使用	960	μA (typ)	f <sub>SAMPLE</sub> =250kSPS
	0.5	μA (max)	(静止時)
フル・シャットダウン・モード	0.5	μA (max)	SCLKオンまたはオフ (20nA標準)
消費電力 <sup>4</sup>			
ノーマル・モード (動作時)	13.5	mW (max)	V <sub>DD</sub> =5V、f <sub>SCLK</sub> =20MHz
	6	mW (max)	V <sub>DD</sub> =3V、f <sub>SCLK</sub> =20MHz
自動シャットダウン・モード (静止時)	2.5	μW (max)	V <sub>DD</sub> =5V
	1.5	μW (max)	V <sub>DD</sub> =3V
フル・シャットダウン・モード	2.5	μW (max)	V <sub>DD</sub> =5V
	1.5	μW (max)	V <sub>DD</sub> =3V

注

<sup>1</sup> 温度範囲: Bバージョン: -40~+85°C

<sup>2</sup> 用語のセクションを参照。

<sup>3</sup> 適合性を保証するために25°Cでサンプル・テスト済み。

<sup>4</sup> 電力とスループット・レートの関係のセクションを参照。

仕様は予告なく変更されることがあります。

# AD7904/AD7914/AD7924

## タイミング仕様<sup>1</sup> (特に指定のない限り、 $V_{DD}=2.7\sim 5.25V$ 、 $V_{DRIVE}\leq V_{DD}$ 、 $REF_{IN}=2.5V$ 、 $T_A=T_{MIN}\sim T_{MAX}$ )

パラメータ	AD7904/AD7914/AD7924の $T_{MIN}$ 、 $T_{MAX}$ のリミット値			説明
	$V_{DD}=3V$	$V_{DD}=5V$	単位	
$f_{SCLK}^2$	10 20	10 20	kHz (min) MHz (max)	
$t_{CONVERT}$	$16\times t_{SCLK}$	$16\times t_{SCLK}$		
$t_{QUIET}$	50	50	ns (min)	$\overline{CS}$ の立ち上がりエッジと次の変換の開始との間に必要な最小静止時間
$t_2$	10	10	ns (min)	$\overline{CS}$ からSCLKまでのセットアップ・タイム
$t_3^3$	35	30	ns (max)	$\overline{CS}$ からDOUTスリーステート・ディセーブルまでの遅延
$t_4^3$	40	40	ns (max)	SCLK立ち下がりエッジからのデータ・アクセス時間
$t_5$	$0.4\times t_{SCLK}$	$0.4\times t_{SCLK}$	ns (min)	SCLKロー・パルス幅
$t_6$	$0.4\times t_{SCLK}$	$0.4\times t_{SCLK}$	ns (min)	SCLKハイ・パルス幅
$t_7$	10	10	ns (min)	SCLKからDOUT有効までのホールド・タイム
$t_8^4$	15/45	15/35	ns (min/max)	SCLK立ち下がりエッジからDOUTハイ・インピーダンス
$t_9$	10	10	ns (min)	SCLK立ち下がりエッジまでのDINセットアップ・タイム
$t_{10}$	5	5	ns (min)	SCLK立ち下がりエッジからのDINホールド・タイム
$t_{11}$	20	20	ns (min)	16番目のSCLK立ち下がりエッジから $\overline{CS}$ ハイ
$t_{12}$	1	1	$\mu s$ (max)	フル・パワーダウン/自動シャットダウン・モードからのパワーアップ時間

### 注

<sup>1</sup> 適合性を保証するために25°Cでサンプル・テスト済み。すべての入力信号は、 $t_r=t_f=5ns$  ( $V_{DD}$ の10~90%)で規定され、1.6Vの電圧レベルからタイミングがとられます。図1を参照。3Vの動作範囲は2.7~3.6Vです。5Vの動作範囲は4.75~5.25Vです。

<sup>2</sup> SCLK入力のマーク/スペース比は40/60~60/40です。

<sup>3</sup> 図1の負荷回路で測定した値で、出力が0.4Vまたは $0.7\times V_{DRIVE}$ を超えるために必要な時間と定義されます。

<sup>4</sup>  $t_8$ に関しては、図1の回路に負荷を加えたときに、データ出力が0.5V変化するのにかかる時間を測定して得られます。次いで、50pFコンデンサの充/放電の効果を除去するために、測定した数値を外挿します。つまり、タイミング特性に記載されている時間 $t_8$ は、デバイスの真のバス解放時間であり、バスの負荷とは無関係です。

仕様は予告なく変更されることがあります。

## 絶対最大定格<sup>1</sup>

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ )

$AV_{DD} \sim \text{AGND}$ .....	$-0.3 \sim +7\text{V}$
$V_{DRIVE} \sim \text{AGND}$ .....	$-0.3\text{V} \sim AV_{DD} + 0.3\text{V}$
アナログ入力電圧 $\sim \text{AGND}$ .....	$-0.3\text{V} \sim AV_{DD} + 0.3\text{V}$
デジタル入力電圧 $\sim \text{AGND}$ .....	$-0.3 \sim +7\text{V}$
デジタル出力電圧 $\sim \text{AGND}$ .....	$-0.3\text{V} \sim AV_{DD} + 0.3\text{V}$
$\text{REF}_{IN} \sim \text{AGND}$ .....	$-0.3\text{V} \sim AV_{DD} + 0.3\text{V}$
電源以外の任意のピンへの入力電流 <sup>2</sup> .....	$\pm 10\text{mA}$
動作温度範囲	
コマーシャル用 (Bバージョン) .....	$-40 \sim +85^\circ\text{C}$
保存温度範囲 .....	$-65 \sim +150^\circ\text{C}$
ジャンクション温度 .....	$150^\circ\text{C}$

TSSOPパッケージ、消費電力 .....	450mW
$\theta_{JA}$ 熱抵抗 .....	$150.4^\circ\text{C}/\text{W}$ (TSSOP)
$\theta_{JC}$ 熱抵抗 .....	$27.6^\circ\text{C}/\text{W}$ (TSSOP)
ピン温度、ハンダ付け	
気相 (60秒) .....	$215^\circ\text{C}$
赤外線 (15秒) .....	$220^\circ\text{C}$
ESD .....	2kV

注  
<sup>1</sup> 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。  
<sup>2</sup> 100mAまでの過渡電流では、SCRラッチ・アップは発生しません。

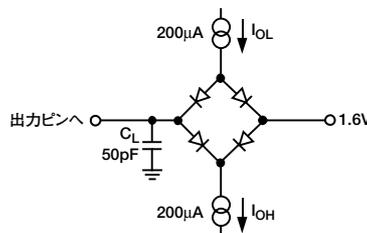


図1. デジタル出力タイミング仕様の負荷回路

## オーダー・ガイド

モデル	温度範囲	直線性誤差 (LSB) <sup>1</sup>	パッケージ・オプション	パッケージ
AD7904BRU	$-40 \sim +85^\circ\text{C}$	$\pm 0.2$	RU-16	TSSOP
AD7914BRU	$-40 \sim +85^\circ\text{C}$	$\pm 0.5$	RU-16	TSSOP
AD7924BRU	$-40 \sim +85^\circ\text{C}$	$\pm 1$	RU-16	TSSOP
EVAL-AD79x4CB <sup>2</sup>	評価ボード			
EVAL-CONTROL BRD <sup>2,3</sup>	コントローラ・ボード			

注

<sup>1</sup> ここでの直線性誤差は、積分直線性誤差を意味します。

<sup>2</sup> これは単独の評価ボードとしても、または評価/デモ用に評価コントローラ・ボードと組み合わせても使用できます。ボードは、AD7904、AD7914、AD7924のそれぞれに付属しています。

<sup>3</sup> このボードは完成ユニットであり、PCを使用して、末尾番号CBが付くすべてのアナログ・デバイス評価ボードの制御と通信が可能です。完成した評価キットを発注するには、特定のADC評価ボード (EVAL-AD79x4CB、EVAL-CONTROL BRD2、12VのACトランスなど) を発注する必要があります。詳細については、関連する評価ボード・テクニカル・ノートを参照してください。

## 注意

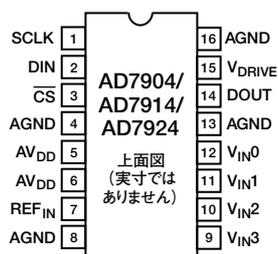
ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電放電が容易に蓄積され、検知されないまま放電されます。AD7904/AD7914/AD7924は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



# AD7904/AD7914/AD7924

## ピン配置

16ピンのTSSOP



## ピン機能の説明

ピン番号	記号	機能
1	SCLK	シリアル・クロック ロジック入力。SCLKは、デバイスからのデータにアクセスするためのシリアル・クロックです。このクロック入力、AD7904/AD7914/AD7924の変換プロセスのクロック・ソースにもなります。
2	DIN	データ入力 ロジック入力。AD7904/AD7914/AD7924のコントロール・レジスタに書き込まれるデータがこの入力から提供され、SCLKの立ち下がりエッジでレジスタにクロック入力されます (コントロール・レジスタのセクションを参照)。
3	$\overline{CS}$	チップ・セレクト アクティブ・ローのロジック入力。この入力は、AD7904/AD7914/AD7924での変換開始とシリアル・データ転送のフレーミングという、2つの機能を提供します。
4、8、13、16	AGND	アナログ・グラウンド AD7904/AD7914/AD7924上のすべてのアナログ回路のグラウンド・リファレンス・ポイントです。アナログ入力信号と外部リファレンス信号は、すべてこのAGND電圧を基準にしてください。AGNDピンはすべて相互接続してください。
5、6	AV <sub>DD</sub>	アナログ電源入力 AD7904/AD7914/AD7924のAV <sub>DD</sub> 範囲は2.7~5.25Vです。0V~2×REF <sub>IN</sub> 範囲の場合、AV <sub>DD</sub> は4.75~5.25Vにしてください。
7	REF <sub>IN</sub>	AD7904/AD7914/AD7924のリファレンス入力 この入力には外部リファレンスを適用する必要があります。仕様性能を得るには、外部リファレンスの電圧範囲は2.5V±1%になります。
12~9	V <sub>IN0</sub> ~V <sub>IN3</sub>	アナログ入力0~アナログ入力3 内蔵トラック/ホールド回路にマルチプレクサ入力される4チャンネルのシングルエンド・アナログ入力。変換されるアナログ入力チャンネルを選択するには、コントロール・レジスタのアドレス・ビットADD1とADD0を使用します。これらのアドレス・ビットをSEQ1ビットおよびSEQ0ビットと組み合わせれば、シーケンサをプログラムできます。すべての入力チャンネルの入力範囲は、0V~REF <sub>IN</sub> または0V~2×REF <sub>IN</sub> まで拡張でき、コントロール・レジスタのRANGEビットで選択します。ノイズの混入を避けるため、未使用の入力チャンネルはAGNDに接続してください。
14	DOUT	データ出力 ロジック出力。AD7904/AD7914/AD7924の変換結果は、シリアル・データ・ストリームでこの出力に提供されます。SCLK入力の立ち下がりエッジで、各ビットを出力します。AD7904からのデータ・ストリームは、2つの先行ゼロ、変換結果に対応するチャンネルを示す2つのアドレス・ビット、続いて8ビットの変換データ、4つの末尾ゼロで構成され、MSBファーストです。AD7914からのデータ・ストリームは、2つの先行ゼロ、変換結果に対応するチャンネルを示す2つのアドレス・ビット、続いて10ビットの変換データ、2つの末尾ゼロで構成され、同じくMSBファーストです。AD7924からのデータ・ストリームは、2つの先行ゼロ、変換結果に対応するチャンネルを示す2つのアドレス・ビット、続いて12ビットの変換データで構成され、MSBファーストです。出力コーディングは、コントロール・レジスタのCODINGビットで、ストレート・バイナリーまたは2の補数を選択できます。
15	V <sub>DRIVE</sub>	ロジック電源入力 AD7904/AD7914/AD7924のシリアル・インターフェースが動作する電圧は、このピンに供給される電圧で決まります。

## 用語集

### 積分非直線性

ADC伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、最初のコード遷移より1LSB下のゼロ・スケールと最後のコード遷移より1LSB上のフル・スケールです。

### 微分非直線性

ADCの2つの隣接コード間における1LSB変化の測定値と理論値の差をいいます。

### オフセット誤差

最初のコード遷移 (00...000から00...001への遷移) と理論値 (AGND+1LSB) との差をいいます。

### オフセット誤差マッチ

任意の2チャンネル間のオフセット誤差の差をいいます。

### ゲイン誤差

オフセット誤差を調整した後の最後のコード遷移 (111...110から111...111への遷移) と理論値 ( $REF_{IN}-1LSB$ ) との差をいいます。

### ゲイン誤差マッチ

任意の2チャンネル間のゲイン誤差の差をいいます。

### ゼロ・コード誤差

これは、出力の2の補数コーディング・オプションを使用するとき、特に、 $REF_{IN}$ ポイントにバイアスをかけた $-REF_{IN}\sim+REF_{IN}$ での $2\times REF_{IN}$ 入力範囲に適用します。ゼロ・コード誤差は、理想的な $V_{IN}$ 電圧 ( $REF_{IN}-1LSB$ ) からのミッドスケール遷移 (オール0からオール1) の偏差です。

### ゼロ・コード誤差マッチ

任意の2チャンネル間のゼロ・コード誤差の差です。

### 正のゲイン誤差

これは、出力の2の補数コーディング・オプションを使用するとき、特に、 $REF_{IN}$ ポイントにバイアスをかけた $-REF_{IN}\sim+REF_{IN}$ での $2\times REF_{IN}$ 入力範囲に適用します。正のゲイン誤差は、ゼロ・コード誤差を調整した後の最後のコード遷移 (011...110から011...111) と理論値 ( $+REF_{IN}-1LSB$ ) との差です。

### 正のゲイン誤差マッチ

任意の2チャンネル間の正のゲイン誤差の差です。

### 負のゲイン誤差

これは、出力の2の補数コーディング・オプションを使用するとき、特に、 $REF_{IN}$ ポイントにバイアスをかけた $-REF_{IN}\sim+REF_{IN}$ での $2\times REF_{IN}$ 入力範囲に適用します。負のゲイン誤差は、ゼロ・コード誤差を調整した後の最初のコード遷移 (100...000から100...001) と理論値 ( $-REF_{IN}+1LSB$ ) との差です。

### 負のゲイン誤差マッチ

任意の2チャンネル間の負のゲイン誤差の差です。

### チャンネル間アイソレーション

チャンネル間アイソレーションとは、チャンネル間のクロストーク・レベルの測定値をいいます。これを測定するには、フル・スケールの400kHzサイン波信号を3本の非選択入力チャンネルに入力して、その信号が50kHz信号を伴う選択チャンネルでどれだけ減衰するかを判定します。この数値は、AD7904/AD7914/AD7924の4本のチャンネル間での最悪の場合を意味します。

### PSR (電源除去比)

電源変動はフル・スケール遷移に影響を与えますが、コンバータの直線性には影響しません。電源除去比は、電源電圧公称値からの電源電圧変化に起因するフル・スケール遷移ポイントでの最大変化になります。代表的な性能曲線を参照してください。

### トラック/ホールド・アクイジション時間

トラック/ホールド・アンプは、変換の終わりでトラック・モードに戻ります。トラック/ホールド・アクイジション時間とは、変換終了後に、トラック/ホールド・アンプの出力が最終値の $\pm 1LSB$ に到達するのに要する時間をいいます。

### 信号対 (ノイズ+歪み) 比

A/Dコンバータの出力で測定される信号と (ノイズ+歪み) の比をいいます。信号は基本波のRMS振幅で、ノイズはサンプリング周波数の $1/2$  ( $f_s/2$ ) までの、DCと基本波を除く全信号のRMS値の総和です。この比は、デジタル化プロセスの量子化レベル数に依存します。レベル数が多いほど、量子化ノイズは小さくなります。サイン波入力に対する理想のNビット・コンバータの理論的な信号対 (ノイズ+歪み) 比は、次式で表されます。

$$\text{信号対 (ノイズ+歪み) 比} = (6.02N + 1.76) \text{ dB}$$

この値は、12ビット・コンバータで74dB、10ビット・コンバータで62dB、8ビット・コンバータで50dBです。

### 全高調波歪み

全高調波歪み (THD) は、高調波のRMS値総和と基本波の比です。AD7904/AD7914/AD7924の場合、次式で表されます。

$$THD(dB) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 $V_1$ は基本波のRMS振幅で、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は2次～6次高調波のRMS振幅です。

# AD7904/AD7914/AD7924 — 代表的な性能特性

## 性能曲線

TPC1に、1MSPSサンプル・レートと50kHz入力周波数でのAD7924の代表的なFFTプロットを示します。TPC2には、20MHzのSCLKによって1MSPSでサンプリングした場合の、さまざまな電源電圧に対する入力周波数と信号対（ノイズ+歪み）比性能との関係を示します。

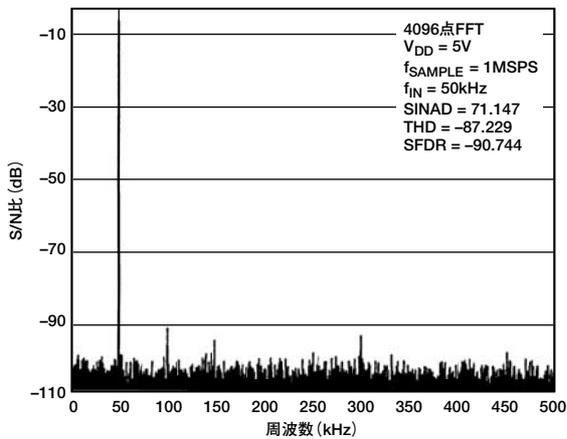
TPC3には、デカップリングを使用しないときの、AD7924の電源リップル周波数と電源除去比の関係を示します。電源除去比は、ADC出力でのフル・スケール周波数 $f$ の電力と、ADC  $AV_{DD}$ 電源に入力した周波数 $f_s$ の200mV p-pサイン波の電力の比として、次のように表されます。

$$PSRR \text{ (dB)} = 10 \log (Pf / Pf_s)$$

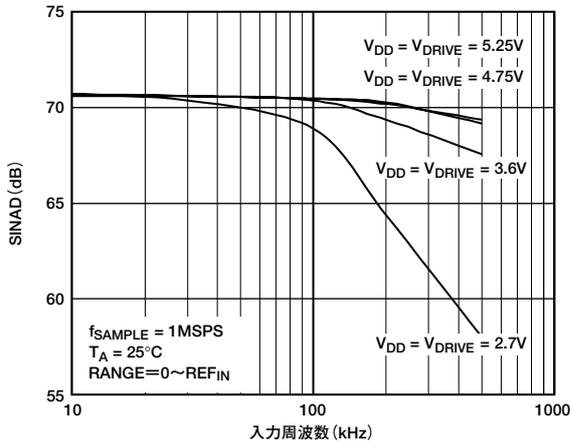
ここで、 $Pf$ はADC出力での周波数 $f$ の電力、 $Pf_s$ はADC  $AV_{DD}$ 電源に結合された周波数 $f_s$ での電力です。ここでは、200mVのp-pサイン波を $AV_{DD}$ 電源に結合しています。

TPC4には、さまざまな電源電圧に対するアナログ入力周波数と全高調波歪みの関係を示します。TPC5には、さまざまなソース・インピーダンスに対するアナログ入力周波数と全高調波歪みの関係を示します。アナログ入力セクションを参照してください。

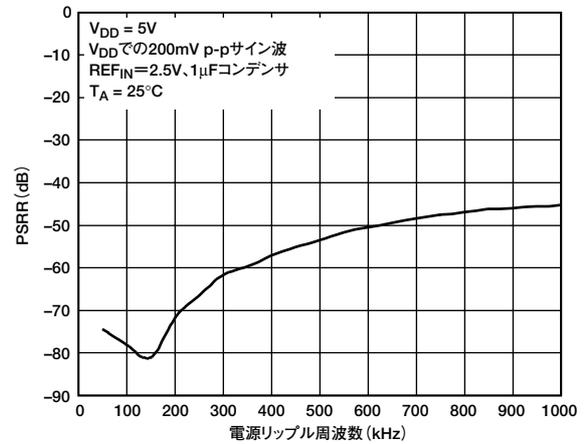
TPC6とTPC7には、AD7924の代表的なINLとDNLのプロットを示します。



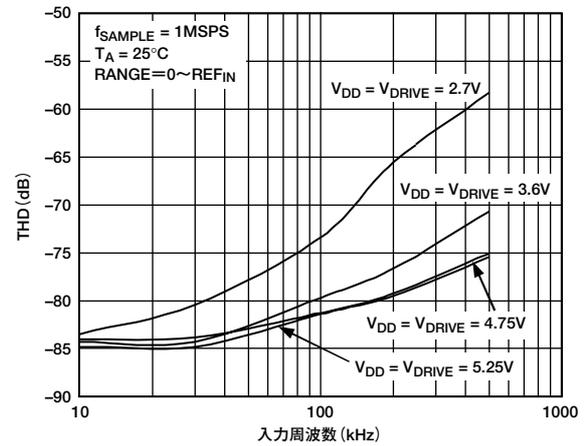
TPC1. 1MSPSでのAD7924のダイナミック性能



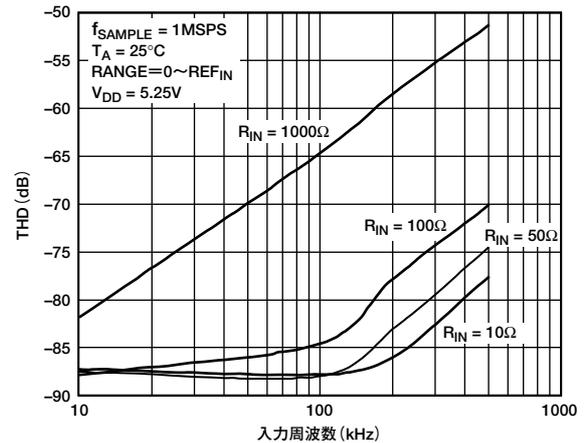
TPC2. 1MSPSでのさまざまな電源電圧に対するAD7924 SINADとアナログ入力周波数の関係



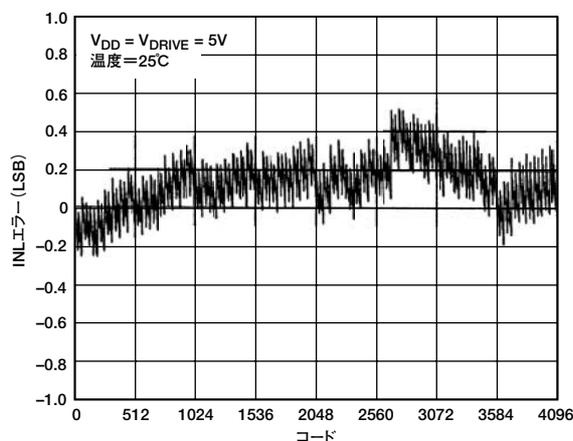
TPC3. AD7924のPSRRと電源リップル周波数



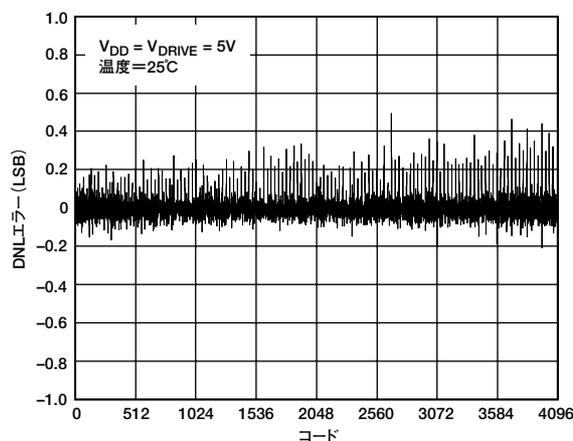
TPC4. 1MSPSでのさまざまな電源電圧に対するAD7924のTHDとアナログ入力周波数の関係



TPC5. さまざまなソース・インピーダンスに対するAD7924のTHDとアナログ入力周波数の関係



TPC6. AD7924の代表的なINL



TPC7. AD7924の代表的なDNL

## コントロール・レジスタ

AD7904/AD7914/AD7924のコントロール・レジスタは、12ビットの書き込み専用レジスタです。データは、AD7904/AD7914/AD7924のDINピンからSCLKの立ち下がりエッジでロードされ、デバイスからの変換結果の読み出しと同時に、DINライン上に転送されます。DINライン上に転送されたデータは、次の変換の際のAD7904/AD7914/AD7924の設定に使用されます。この動作では、各データ転送に対して16個のシリアル・クロックが必要です。コントロール・レジスタにロードされるのは、 $\overline{CS}$ の立ち下がりエッジ後の最初の12個のクロック立ち下がりエッジで入力された情報だけです。MSBはデータ・ストリームの先頭ビットです。ビットの機能を表Iに示します。

表I. コントロール・レジスタ・ビットの機能

MSB											LSB	
WRITE	SEQ1	DONTC	DONTC	ADD1	ADD0	PM1	PM0	SEQ0	DONTC	RANGE	CODING	

ビット	記号	コメント
11	WRITE	コントロール・レジスタのこのビットに書き込まれた値によって、次の11ビットがコントロール・レジスタにロードされるかどうか決まります。このビットが1の場合に、次の11ビットがコントロール・レジスタに書き込まれます。0の場合は、残りの11ビットがコントロール・レジスタにロードされないため、コントロール・レジスタは変化しません。
10	SEQ1	コントロール・レジスタのSEQ1ビットは、SEQ0ビットと組み合わせて使用し、シーケンサ機能の使用を制御します。(表IVを参照)。
9~8	DONTCARE	
7~6	ADD1, ADD0	この2つのアドレス・ビットは、現在の変換シーケンスの最後にロードされ、次のシリアル転送で変換されるアナログ入力チャンネルを選択したり、表IVに示す連続シーケンスでの最終チャンネルを選択します。選択された入力チャンネルは、表IIに示すようにデコードされます。変換結果に対応するアドレス・ビットも、12ビットのデータの前にDOUTに出力されます。シリアル・インターフェースのセクションを参照してください。変換される次のチャンネルは、14番目のSCLK立ち下がりエッジにおいて、MUXによって選択されます。
5, 4	PM1, PM0	パワー・マネジメント・ビット 表IIIに示すように、この2つのビットでAD7904/AD7914/AD7924の動作モードをデコードします。
3	SEQ0	コントロール・レジスタのSEQ0ビットは、SEQ1ビットと組み合わせて使用し、シーケンサ機能の使用を制御します(表IVを参照)。
2	DONTCARE	
1	RANGE	このビットで、AD7904/AD7914/AD7924で使用するアナログ入力範囲を選択します。0に設定するとアナログ入力範囲は $0V \sim 2 \times REF_{IN}$ になり、1に設定すると $0V \sim REF_{IN}$ になります。 $0V \sim 2 \times REF_{IN}$ の場合、 $V_{DD} = 4.75 \sim 5.25V$ でなければなりません。
0	CODING	このビットで、AD7904/AD7914/AD7924が変換結果に使用する出力コーディングのタイプを選択します。このビットを0に設定すると、デバイスの出力コーディングは2の補数になります。1に設定すると、デバイスの出力コーディングは次の変換のためにストレート・バイナリーになります。

# AD7904/AD7914/AD7924

表II. チャンネル選択

ADD1	ADD0	アナログ入力チャンネル
0	0	V <sub>IN0</sub>
0	1	V <sub>IN1</sub>
1	0	V <sub>IN2</sub>
1	1	V <sub>IN3</sub>

表III. パワーモードの選択

PM1	PM0	モード
1	1	<b>ノーマル動作</b> このモードでは、AD7904/AD7914/AD7924は、いずれのロジック入力ピンの状態にも無関係にフル・パワー・モードを維持します。このモードで、AD7904/AD7914/AD7924の最高のスループット・レートが得られます。
1	0	<b>フル・シャットダウン</b> このモードでは、AD7904/AD7914/AD7924上の全回路がパワー・ダウン・モードになり、AD7904/AD7914/AD7924はフル・シャットダウン・モードになります。フル・シャットダウン・モードでは、AD7904/AD7914/AD7924はコントロール・レジスタ内の情報を保持しません。これらのビットが変更されるまで、デバイスはフル・シャットダウン状態を保ちます。
0	1	<b>自動シャットダウン</b> このモードでは、AD7904/AD7914/AD7924は、コントロール・レジスタが更新されたときに各変換の最後に自動的にフル・シャットダウン・モードになります。フル・シャットダウン・モードからのウェイクアップ時間は1μsなので、このモードで変換を有効に実行するには、ユーザーは1μs経過後に変換を開始する必要があります。
0	0	<b>無効な選択</b> この設定はできません。

## シーケンサ動作

ユーザーは、コントロール・レジスタのSEQ1ビットとSEQ0ビットを設定することによって、シーケンサ機能の動作モードを選択できます。表IVに、シーケンサの3つの動作モードを示します。

図2には、マルチチャンネルADCの従来型の動作を示します。変換する次のチャンネルは、各シリアル転送で選択します。この動作モードでは、シーケンサ機能は使用しません。

図3には、チャンネル0から最終選択チャンネルまでの一連のチャンネルで、連続的に変換する場合のAD7904/AD7914/AD7924のプログラム設定を示します。この動作モードを終了して、図2に示すマルチチャンネルADCの従来の動作モードに戻るには、次のシリアル転送でWRITEビット=1、SEQ1=SEQ0=0にします。

表IV. シーケンス選択

SEQ1	SEQ0	シーケンス・タイプ
0	x	この設定は、シーケンス機能を使用しないことを意味します。個々の変換のために選択されるアナログ入力チャンネルは、それぞれ事前の書き込み動作におけるチャンネル・アドレス・ビットADD1、ADD0の内容によって決まります。この動作モードは、シーケンサ機能を使用しない、マルチチャンネルADCの従来型の動作です。このモードでは、変換する次のチャンネルは、AD7904/AD7914/AD7924へのそれぞれの書き込みで選択されます（図2を参照）。
1	0	SEQ1ビットとSEQ0ビットをこのように設定した場合には、書き込み動作の終了時にシーケンサ機能が中断されることがありません。このため、1つのシーケンスでサイクルを終了させることなく、変換と変換の間にコントロール・レジスタの他のビットを変更できます。
1	1	この設定は、チャンネル・アドレス・ビットADD1、ADD0と組み合わせて使用し、チャンネル0から、コントロール・レジスタのチャンネル・アドレス・ビットで決定される最終選択チャンネルまでの連続したチャンネル・シーケンスでの連続変換をプログラムします（図3を参照）。

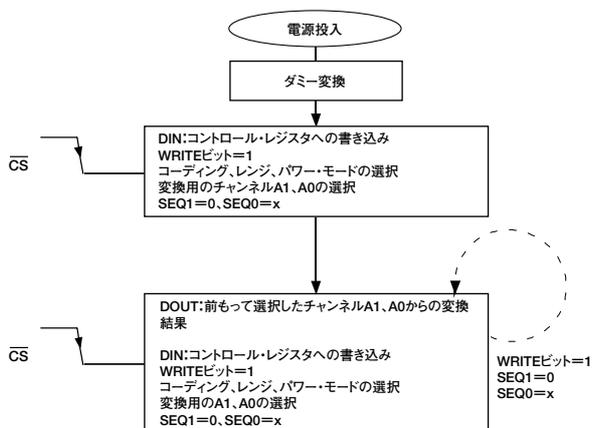


図2. SEQ1ビット=0、SEQ0ビット=xのフローチャート

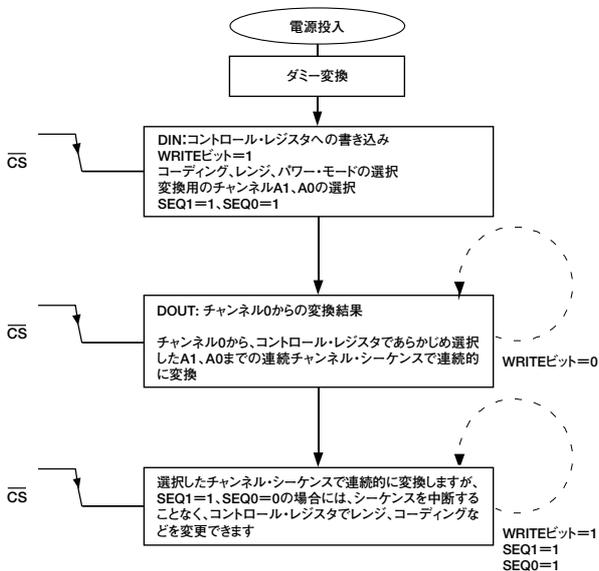


図3. SEQ1ビット=1、SEQ0ビット=1のフローチャート

## 回路情報

AD7904/AD7914/AD7924は、それぞれ8ビット、10ビット、12ビットの、高速な4チャンネル単電源A/Dコンバータです。デバイスは、2.7~5.25V電源で動作します。5Vまたは3Vの電源で動作する場合、AD7904/AD7914/AD7924は、20MHzのクロックで1MSPSのスループット・レートを実現します。

AD7904/AD7914/AD7924は、内蔵トラック/ホールド、A/Dコンバータ、シリアル・インターフェースを16ピンのTSSOPパッケージで提供します。それぞれチャンネル・シーケンス付きの4チャンネルのシングルエンド入力を備えているため、ユーザーは、連続した $\overline{CS}$ 立ち下がりエッジのたびにADCが循環するチャンネル・シーケンスを選択できます。シリアル・クロック入力、デバイスからのデータを読み出し、ADCに書き込まれるデータの転送を制御し、さらに逐次比較型A/Dコンバータのクロック・ソースになります。AD7904/AD7914/AD7924のアナログ入力範囲は、コントロール・レジスタのビット1のステータスに応じて、 $0V \sim REF_{IN}$ または $0V \sim 2 \times REF_{IN}$ です。0~ $2 \times REF_{IN}$ の範囲の場合、デバイスを4.75~5.25V電源で動作させる必要があります。

AD7904/AD7914/AD7924の提供する柔軟なパワー・マネジメント・オプションによって、ユーザーは、与えられたスループット・レートで最高のパワー性能を実現できます。これらのオプションは、コントロール・レジスタのパワー・マネジメント・ビットであるPM1とPM0を設定して選択します。

## コンバータの動作

AD7904/AD7914/AD7924は、それぞれ8ビット、10ビット、12ビットの逐次比較型A/Dコンバータで、容量性DACをベースにしています。AD7904/AD7914/AD7924は、 $0V \sim REF_{IN}$ または $0V \sim 2 \times REF_{IN}$ の範囲でアナログ入力信号を変換できます。図4と図5に、ADCの簡略化した回路図を示します。ADCは、コントロール・ロジック、SAR、容量性DACで構成されます。これらのパーツを使用し、サンプリング・コンデンサに対して一定量の電荷を加算または減算し、コンパレータを平衡状態に戻します。図4に、アキュイジション状態におけるADCを示します。SW2は閉じており、SW1はポジションAにあります。コンパレータは平衡状態で保持され、サンプリング・コンデンサは選択された $V_{IN}$ チャンネルで信号を取得します。

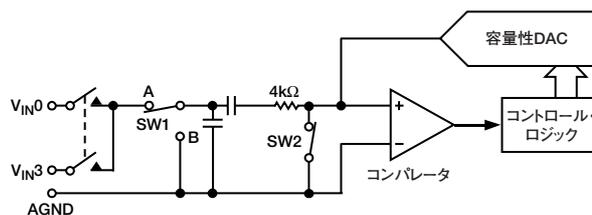


図4. ADCのアキュイジション状態

# AD7904/AD7914/AD7924

ADCが変換を開始すると（図5を参照）、SW2が開いて、SW1がポジションBに移動し、コンパレータの平衡が失われます。次に、コントロール・ロジックと容量性DACを使って、サンプリング・コンデンサに対して一定量の電荷を加算または減算し、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックがADC出力コードを生成します。図7と図8に、ADC伝達関数を示します。

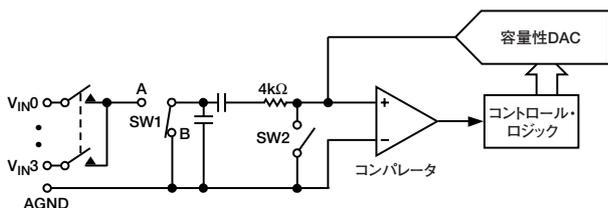


図5. ADCの変換状態

## アナログ入力

図6に、AD7904/AD7914/AD7924のアナログ入力構造の等価回路を示します。2個のダイオードD1とD2は、アナログ入力にESD保護機能を提供します。アナログ入力信号が200mVより高く電源電圧を上回ることがないように注意してください。この値を上回ると、これらのダイオードが順方向にバイアスされて、電流をサブストレートに導きます。デバイスに回復不能な損傷を与えないでダイオードに流すことができる最大電流は10mAです。図6に示すコンデンサC1は通常約4pFであり、主にピン容量によるものです。抵抗R1は、スイッチ（トラック／ホールド・スイッチ）のON抵抗から構成される集中コンポーネントであり、入力マルチプレクサのON抵抗も含んでいます。一般に、合計の抵抗は約400Ωです。コンデンサC2は、ADCサンプリング・コンデンサであり、一般に30pFの容量があります。ACアプリケーションの場合には、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することをお勧めします。高調波歪みとS/N比が重要なアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動する必要があります。高いソース・インピーダンスは、ADCのAC性能に大きな影響を与えます。このため、入力バッファ・アンプを使用する必要があります。オペアンプの選択は、アプリケーションに依存します。

アンプを使用しないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、許容全高調波歪み（THD）に依存します。ソース・インピーダンスが大きくなるほどTHDが大きくなり、性能が低下します（TPC5を参照）。

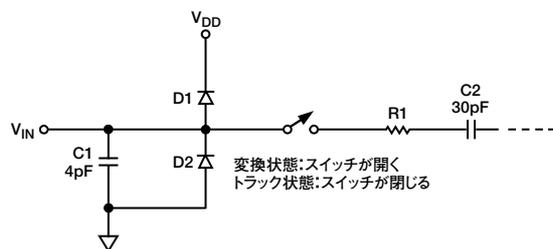
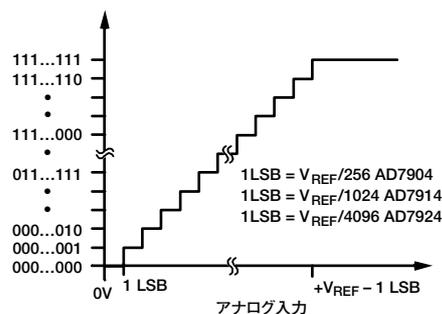


図6. アナログ入力の等価回路

## ADCの伝達関数

AD7904/AD7914/AD7924の出力コーディングは、コントロール・レジスタのLSBのステータスに応じて、ストレート・バイナリまたは2の補数になります。設計されたコード遷移は、連続するLSB値（1LSB、2LSBなど）で発生します。LSBサイズは、AD7904では $REF_{IN}/256$ 、AD7914では $REF_{IN}/1024$ 、AD7924では $REF_{IN}/4096$ です。図7に、ストレート・バイナリコーディングを選択した場合のAD7904/AD7914/AD7924の理論伝達特性を示します。図8には、2の補数コーディングを選択した場合のAD7904/AD7914/AD7924の理論伝達特性を示します。



注:  $V_{REF}$ は、 $REF_{IN}$ または $2 \times REF_{IN}$ です。

図7. ストレート・バイナリの伝達特性

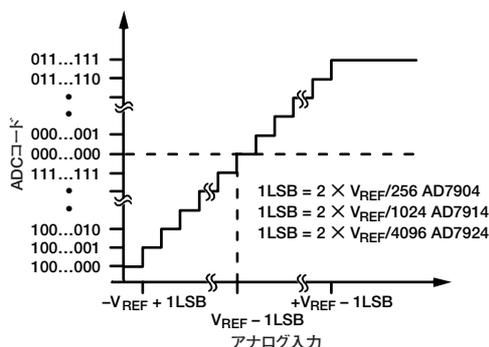


図8.  $REF_{IN} \pm REF_{IN}$ 入力範囲での2の補数伝達特性

## バイポーラ入力信号の処理

図9に、 $2 \times REF_{IN}$ 入力範囲と2の補数出力コーディング方式の組み合わせがバイポーラ入力信号を処理するのに便利であることを示します。バイポーラ入力信号が $REF_{IN}$ でバイアスをかけられ、2の補数出力コーディングが選択されている場合には、 $2 \times REF_{IN}$ のダイナミックレンジで、 $REF_{IN}$ はゼロ・コード・ポイントになり、 $-REF_{IN}$ は負のフル・スケールで、 $+REF_{IN}$ は正のフル・スケールになります。

## 代表的な接続図

図10に、AD7904/AD7914/AD7924の代表的な接続図を示します。この設定では、GNDピンはシステムのアナログ・グラウンド・プレーンに接続しています。図10では、0~2.5V（RANGEビットが1の場合）または0~5V（RANGEビットが0の場合）のアナログ入力範囲を提供するために、 $REF_{IN}$ をリファレンス・ソースAD780のデカップリングされた2.5V電源に接続します。AD7904/AD7914/AD7924は5Vの $V_{DD}$ に接続しますが、シリアル・インターフェースは3Vのマイクロプロセッサに接続します。3Vのロジック・インターフェースを可能にするため、AD7904/AD7914/AD7924の $V_{DRIVE}$ ピンは、マイクロプロセッサの同じ3V電源に接続します（デジタル入力のセクションを参照）。変換結果は16ビット・ワードで出力されます。この16ビットのデータ・ストリームは、2つの先行ゼロ、変換



# AD7904/AD7914/AD7924

AD7904/AD7914/AD7924が5Vの $V_{DD}$ で動作している場合に、 $V_{DRIVE}$ ピンに3V電源からの電力を供給できます。AD7904/AD7914/AD7924は、5Vの $V_{DD}$ で優れたダイナミック性能を発揮しますが、同時に3Vのプロセッサに接続することもできます。 $V_{DRIVE}$ が $V_{DD}$ を0.3Vを超えて上回らないように注意してください（絶対最大定格のセクションを参照）。

## リファレンス

AD7904/AD7914/AD7924に2.5Vリファレンスを供給するには、外部リファレンス・ソースを使用してください。リファレンス・ソースでの誤差は、AD7904/AD7914/AD7924伝達関数でのゲイン誤差につながり、デバイスの規定されたフル・スケール誤差に加算されます。REF<sub>IN</sub>ピンには、0.1 $\mu$ F以上のコンデンサを接続してください。AD7904/AD7914/AD7924用のリファレンス・ソースとしては、AD780、REF193、AD1582などが適切です。

REF<sub>IN</sub>ピンに2.5Vが印加された場合には、アナログ入力範囲は、コントロール・レジスタのRANGEビットの設定に応じて、0~2.5Vまたは0~5Vになります。

## 動作モード

AD7904/AD7914/AD7924には複数の動作モードがあります。これらのモードは、柔軟なパワー・マネジメント・オプションを提供するように設計されています。これらのオプションを選択して、さまざまなアプリケーションの条件にもっとも適した消費電力/スループット・レート比を設定することができます。AD7904/AD7914/AD7924の動作モードは、表IIIに示すように、コントロール・レジスタのパワー・マネジメント・ビットPM1とPM0で制御します。AD7904/AD7914/AD7924に最初に電源を投入するときは、デバイスが必要な動作モードになっているか注意してください（AD7904/AD7914/AD7924のパワーアップのセクションを参照）。

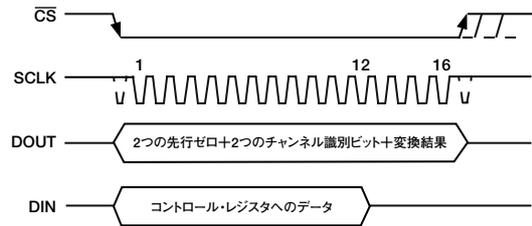
### ノーマル・モード (PM1=PM0=1)

このモードでは、AD7904/AD7914/AD7924を常時フルパワー状態に置くことによって、ユーザーはパワーアップ時間を気にする必要がなく、最高のスループット・レート性能が得られます。図11に、このモードにおけるAD7904/AD7914/AD7924の動作の全体図を示します。

変換は $\overline{CS}$ の立ち下がりエッジで開始され、シリアル・インターフェースのセクションで説明するように、トラック/ホールドがホールド・モードに入ります。データ転送の最初の12クロック・サイクルでDINライン上のAD7904/AD7914/AD7924に供給されるデータは、コントロール・レジスタにロードされます（WRITEビットが1に設定されている場合）。ノーマル・モードでは、その同じ変換の間の書き込み転送でPM1とPM0が1に設定されている限り、デバイスは変換が終了したときに完全にパワーアップされたままです。ノーマル・モードで継続動作を行うには、書き込み動作が行われていると想定して、すべてのデータ転送でPM1とPM0の両方に1をロードする必要があります。WRITEビットを0に設定した場合には、パワー・マネジメント・ビットは変更されず、デバイスはノーマル・モードのままです。

変換を完了して変換結果にアクセスするには、16シリアル・クロック・サイクルが必要です。トラック/ホールドは、14番目のSCLK立ち下がりエッジでトラックに戻ります。これによって、 $\overline{CS}$ は、次の変換までアイドル・ハイになるか、次の変換のしばらく前までアイドル・ローになります（事実上、 $\overline{CS}$ はアイドル・ロー）。

データ転送が完了する（DOUTがスリーステートに戻る）と、 $\overline{CS}$ を再びローレベルにして静止時間 $t_{QUIET}$ を経過した後、別の変換を開始できます。



注:コントロール・レジスタのデータは、最初の12 SCLKサイクルでロードします。

図11. ノーマル・モードの動作

### フル・シャットダウン (PM1=1, PM0=0)

このモードでは、AD7904/AD7914/AD7924のすべての内部回路がパワーダウンします。フル・シャットダウン中も、コントロール・レジスタの情報は保持されます。AD7904/AD7914/AD7924は、コントロール・レジスタのパワー・マネジメント・ビットPM1とPM0が変更されるまで、フル・シャットダウンを維持します。

デバイスがフル・シャットダウン・モードのとき、パワー・マネジメント・ビットがPM0=PM1=1のノーマル・モードに変更されてコントロール・レジスタへの書き込みが行われると、デバイスは $\overline{CS}$ の立ち上がりエッジでパワーアップを開始します。デバイスがフル・シャットダウン・モードのときホールドになっていたトラック/ホールドは、14番目のSCLK立ち下がりエッジでトラックに戻ります。

デバイスを完全にパワーアップさせるためには、次の $\overline{CS}$ 立ち上がりエッジまでに $t_{POWER UP}$  ( $t_{12}$ ) が経過する必要があります。図12に、このシーケンスの全体図を示します。

### 自動シャットダウン (PM1=0, PM0=1)

このモードでは、コントロール・レジスタが更新されたとき、AD7904/AD7914/AD7924は各変換の最後に自動的にシャットダウンに入ります。デバイスがシャットダウンに入ると、トラック/ホールドはホールド・モードになります。図13に、このモードでのAD7904/AD7914/AD7924の動作の全体図を示します。シャットダウン・モードでは、AD7904/AD7914/AD7924のすべての内部回路がパワーダウンします。シャットダウン中、コントロール・レジスタの情報は保持されます。AD7904/AD7914/AD7924は、次の $\overline{CS}$ 立ち下がりエッジを受信するまでシャットダウン状態を保ちます。この $\overline{CS}$ 立ち下がりエッジで、デバイスのシャットダウン中にホールドになっていたトラック/ホールドがトラック状態に戻ります。自動シャットダウンからのウェイクアップ時間は最大1 $\mu$ sなので、1 $\mu$ sが経過してから有効な変換を行ってください。20MHzのクロックでAD7904/AD7914/AD7924を実行するとき、デバイスを完全にパワーアップするには、16 SCLKダミー・サイクル1つで十分です。このダミー・サイクル中に、コントロール・レジスタの内容が変化しないようにします。したがって、DINライン上でWRITEビットを0にします。このダミー・サイクルは、他のすべての変換結果を有効に保ちながら、デバイスのスループット・レートを事実上半減させます。このモードでは、各変換の最後にデバイスがシャットダウンに入ることによって、デバイスの消費電力が大幅に減少します。コントロール・レジスタが自動シャットダウンに移るよう設定されている場合、変換の最後に自動シャットダウン・モードに入ります。ユーザーは、 $\overline{CS}$ 信号を制御して、ADCの低消費電力状態のオン/オフを切り替えることができます。

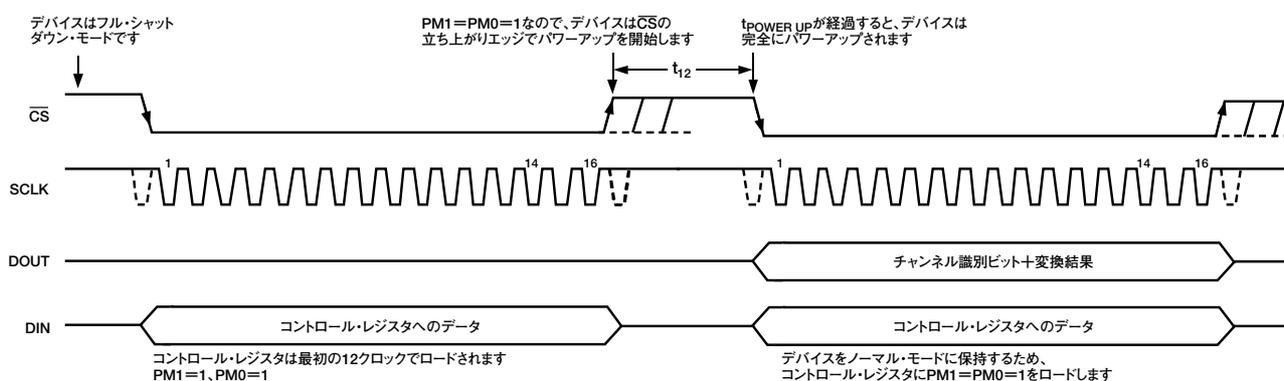


図12. フル・シャットダウン・モードの動作

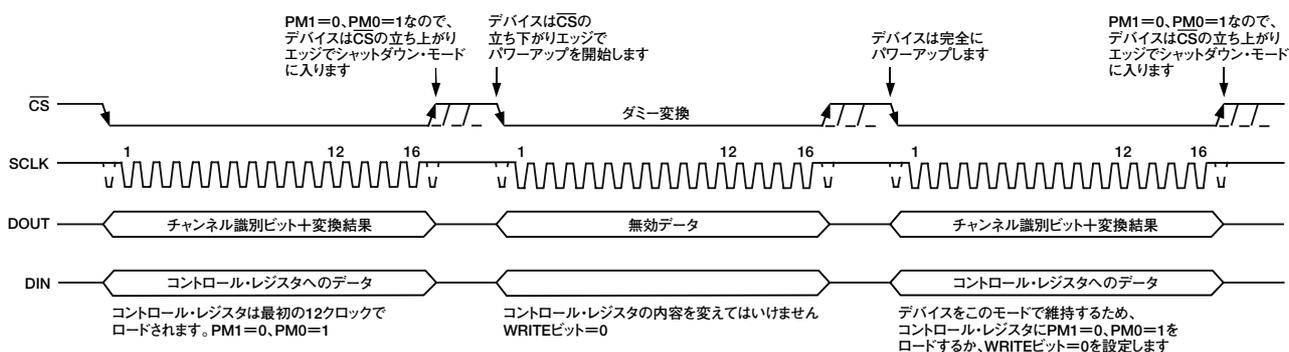


図13. 自動シャットダウン・モードの動作

## AD7904/AD7914/AD7924のパワーアップ

AD7904/AD7914/AD7924に電源が初めて投入されると、ADCはデバイスの任意の動作モードでパワーアップします。デバイスを必要な動作モードにするため、ユーザーは、図14a~14cに示すダミー・サイクル動作を実行してください。

デバイスを必要な動作モードにするため、ダミー変換動作を実行する必要があります。デバイスをノーマル・モードにするために、DINラインをハイレベル (PM1, PM0=1, 1) に固定してダミー・サイクル動作を実行することができます。これは、コントロール・レジスタの他の必要な設定によって異なります。ただし、最初の有効な変換を試みる前に、コントロール・レジスタが更新されるCSの立ち上がりエッジから1 $\mu$ sの最小パワーアップ時間を確保する必要があります。これは、デバイスが初めてパワーアップしてシャットダウンになることを可能にするためです。必要な動作モードがフル・シャットダウンの場合にも、電源が印加された後でダミー・サイクルが1つだけ必要です。このダミー・サイクルでは、ユーザーがパワー・マネジメント・ビットPM1, PM0=1, 0を設定するだけで、そのシリアル転送の最後にあるCSの立ち上がりエッジで、デバイスはフル・シャットダウン・モードに入ります。

電源が印加された後の必要な動作モードが自動シャットダウンの場合には、2つのダミー・サイクルが必要になります。その1つはDINをハイレベルに固定したものであり、もう1つのダミー・サイクルではパワー・マネジメント・ビットPM1, PM0=0, 1を設定します。電源が印加された後の2番目のCS立ち上がりエッジでは、コントロール・レジスタは正しい情報を格納し、デバイスは設定に基づいて自動シャットダウン・モードに入ります。消費電力が重要な問題になる場合には、最初のダミー・サイクルでPM1, PM0=1, 0、つまり、フル・シャットダウンに設定してから、2番目のダミー・サイクルでデバイスを自動シャットダウン・モードにすることもできます。説明のために、図14cでは、この場合の最初のダミー・サイクルでDINをハイレベルに固定しています。

図14a、図14b、図14cに、それぞれノーマル・モード、フル・シャットダウン・モード、自動シャットダウン・モードが必要な動作モードである場合の、電源印加後に必要なダミー・サイクルを示します。

# AD7904/AD7914/AD7924

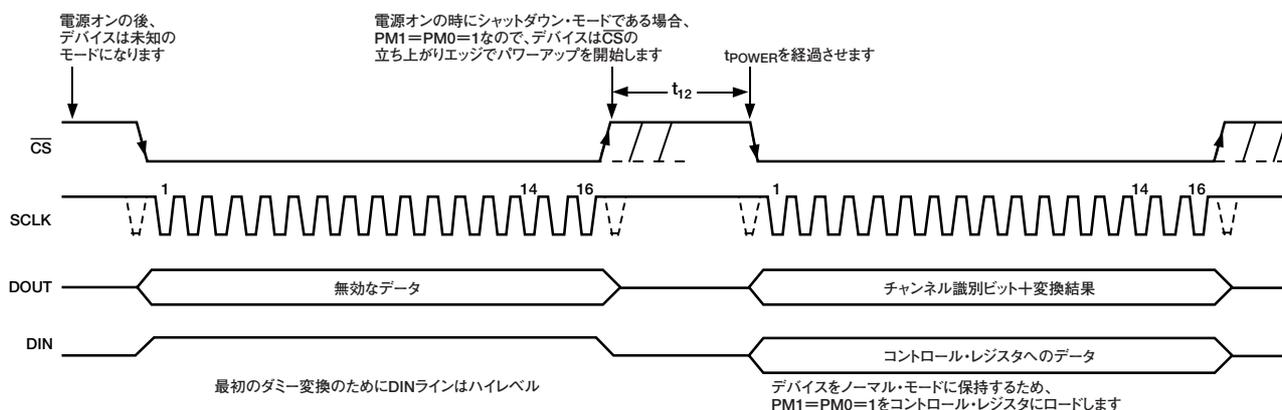


図14a. 電源が最初に印加された後、AD7904/AD7914/AD7924をノーマル・モードにする方法

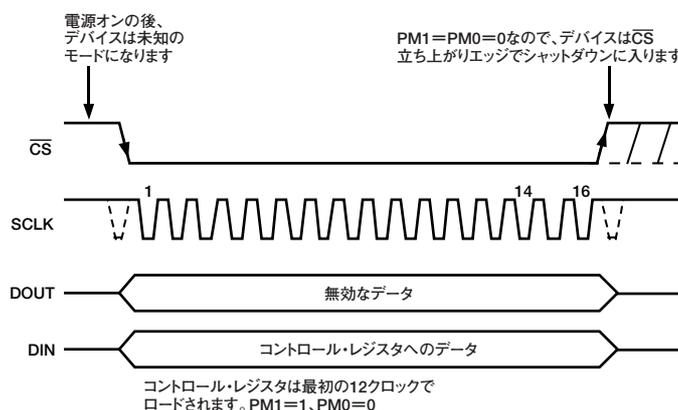


図14b. 電源が最初に印加された後、AD7904/AD7914/AD7924をフル・シャットダウン・モードにする方法

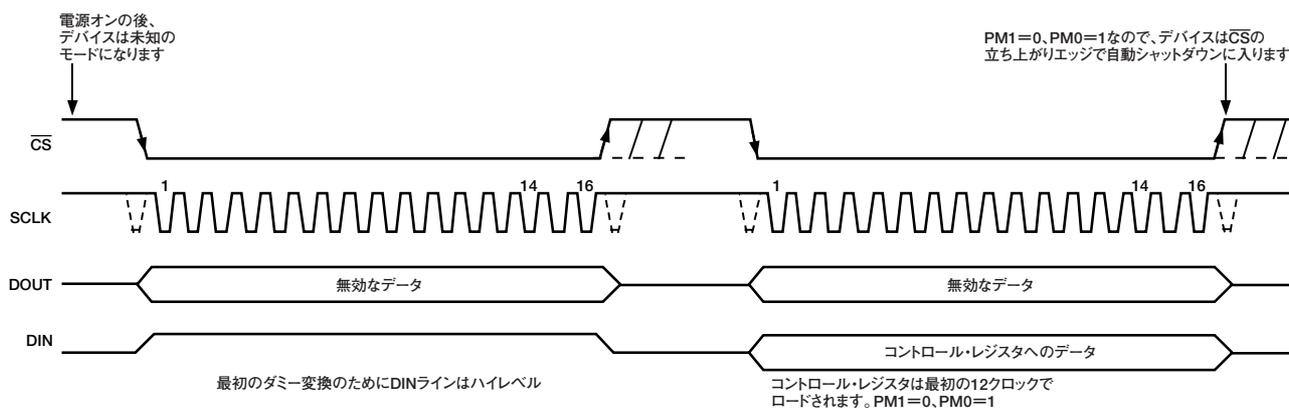


図14c. 電源が最初に印加された後、AD7904/AD7914/AD7924を自動シャットダウン・モードにする方法

## 電力とスループット・レートの関係

AD7904/AD7914/AD7924を自動シャットダウン・モードで動作した場合、ADCの平均消費電力は低スループット・レートで減少します。図15に、スループット・レートが減少するにつれて、デバイスがシャットダウン状態に長くとどまり、平均消費電力が低下する様子を示します。

たとえば、AD7924が連続サンプリング・モードで動作し、スループット・レートが100kSPS、SCLKが20MHz ( $V_{DD}=5V$ )で、デバイスが自動シャットダウン・モード ( $PM1=0$ 、 $PM0=1$ ) になっている場合には、消費電力は次のように計算されます。

ノーマル動作時の最大消費電力は13.5mW ( $V_{DD}=5V$ ) です。自動シャットダウンからのパワーアップ時間が1ダミー・サイクル ( $1\mu s$ ) であり、残りの変換時間がもう1つのサイクル ( $1\mu s$ ) である場合には、AD7924は各変換サイクル中に $2\mu s$ の間13.5mWを消費することになります。残りの変換サイクル ( $8\mu s$ ) の間、デバイスはシャットダウンされます。この残りの $8\mu s$ の変換サイクルの間、AD7924は $2.5\mu W$ を消費することになります。スループット・レートが100kSPSである場合には、サイクル・タイムは $10\mu s$ で、各サイクルでの平均消費電力は、 $(2/10) \times (13.5mW) + (8/10) \times (2.5\mu W) = 2.702mW$  になります。

図15に、5Vと3Vの電源で自動シャットダウン・モードを使用するときの、最大電力とスループット・レートの関係を示します。

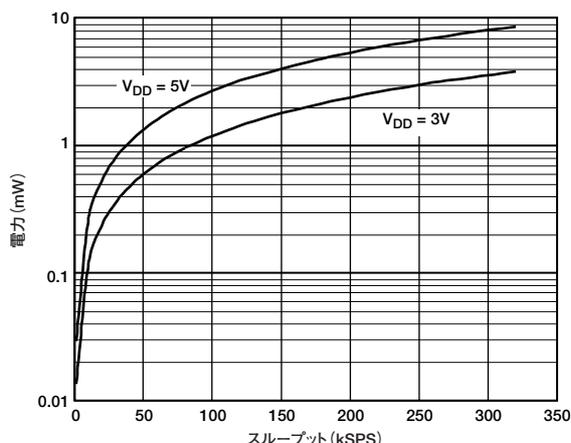


図15. AD7924の電力とスループット・レート

## シリアル・インターフェース

図16、図17、図18に、それぞれAD7904、AD7914、AD7924へのシリアル・インターフェースの詳細タイミング図を示します。シリアル・クロックが変換クロックを提供し、さらに各変換中にAD7904/AD7914/AD7924との間でやり取りされる情報の転送も制御します。

$\overline{CS}$ 信号がデータ転送と変換プロセスを開始させます。 $\overline{CS}$ の立ち下がりエッジでトラック/ホールドがホールド・モードに入り、バスがスリーステート状態を終了し、この時点でアナログ入力がサンプリングされます。変換もこの時点で開始され、完了するまでに16個のSCLKサイクルを必要とします。図16、図17、図18のポイントBに示すように、トラック/ホールドが14番目のSCLK立ち下がりエッジでトラック状態に戻ります。16番目のSCLK立ち下がりエッジでは、DOUTラインがスリーステート状態に戻ります。16個のSCLKが経過する前に $\overline{CS}$ の立ち上がりエッジが発生した場合には、変換は終了し、DOUTラインはスリーステート状態に戻り、コントロール・レジスタは更新されません。それ以外の場合には、図16、図17、図18に示すように、DOUTは16番目のSCLK立ち下がりエッジでスリーステート状態に戻ります。

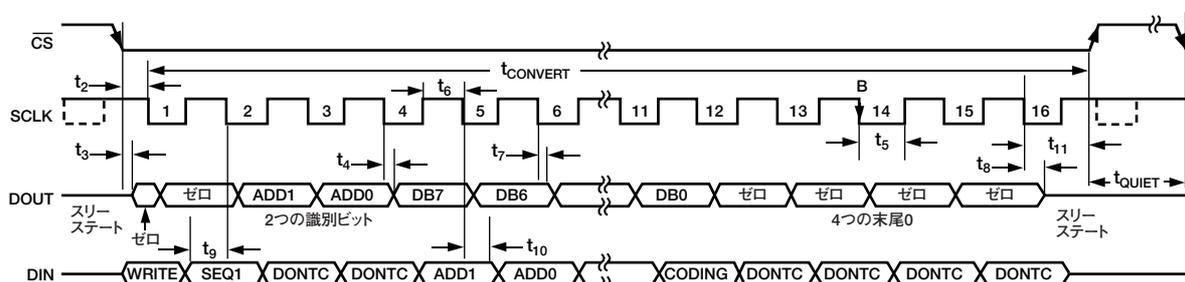


図16. AD7904のシリアル・インターフェースのタイミング図

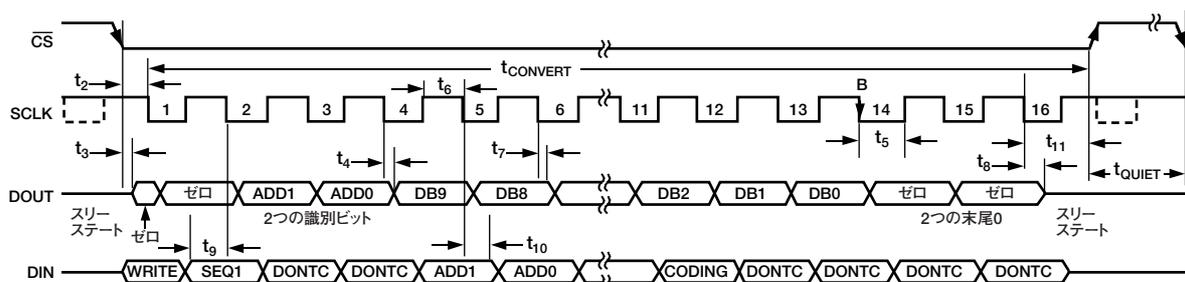


図17. AD7914のシリアル・インターフェースのタイミング図

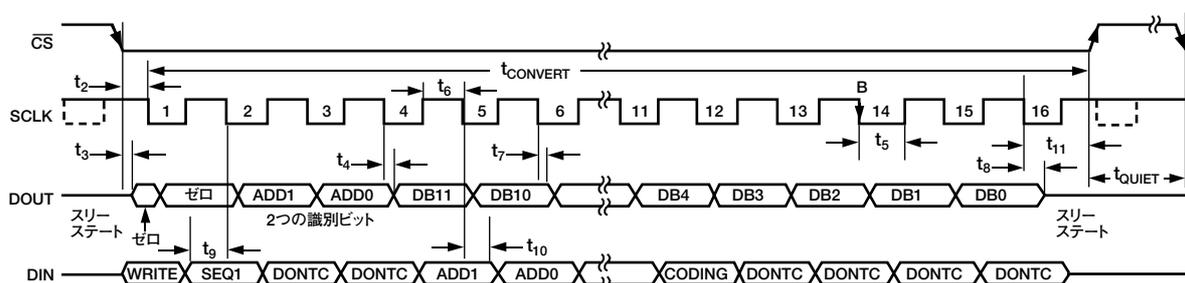


図18. AD7924のシリアル・インターフェースのタイミング図

## AD7904/AD7914/AD7924

変換プロセスを実行して、AD7904/AD7914/AD7924からデータを読み出すためには、16サイクルのシリアル・クロックが必要です。AD7904/AD7914/AD7924の場合、8/10/12ビットのデータの前に、2つの先行ゼロのほか、結果が対応するチャンネルを識別する2つのチャンネル・アドレス・ビットADD1とADD0があります。CSがローレベルに変化すると、SCLKの最初の立ち下がりエッジでマイクロコントローラまたはDSPによって読み出される最初の先行ゼロが出力されます。SCLKの最初の立ち下がりエッジは、2番目のSCLK立ち下がりエッジでマイクロコントローラまたはDSPによって読み出される2番目の先行ゼロも出力し、以下同じように行われます。その後、残りの2つのアドレス・ビットと8/10/12ビットのデータが、それ以降のSCLK立ち下がりエッジによって最初のアドレス・ビットADD1を先頭にして出力されます。したがって、シリアル・クロック上の2番目の立ち下がりエッジでは2番目の先行ゼロが提供され、アドレス・ビットADD1も出力されます。データ転送での最終ビットは、16番目の立ち下がりエッジで有効で、前の（15番目の）立ち下がりエッジで出力されます。

MSB（WRITEビット）が1に設定されているとすると、コントロール・レジスタへの情報の書き込みは、データ転送でのSCLKの最初の12個の立ち下がりエッジで行われます。

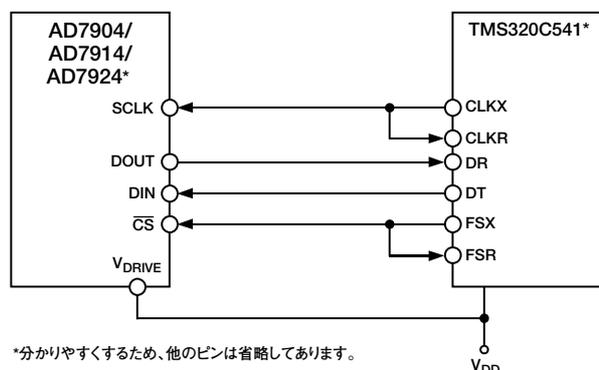
AD7904は、2つの先行ゼロ、変換結果が対応する2つのチャンネル・アドレス・ビット、続いて8ビットの変換結果と4つの末尾0を出力します。AD7914は、2つの先行ゼロ、変換結果が対応する2つのチャンネル・アドレス・ビット、続いて10ビットの変換結果と2つの末尾0を出力します。AD7924から読み出される16ビット・ワードには、2つの先行ゼロ、変換結果が対応する2つのチャンネル・アドレス・ビット、これに続く12ビットの変換結果が常に含まれています。

### マイクロプロセッサとのインターフェース

AD7904/AD7914/AD7924は、シリアル・インターフェースを使ってさまざまなマイクロプロセッサに直接接続できます。このセクションでは、AD7904/AD7914/AD7924と一般的なマイクロコントローラとの接続方法とDSPシリアル・インターフェース・プロトコルについて説明します。

### AD7904/AD7914/AD7924とTMS320C541のインターフェース

TMS320C541のシリアル・インターフェースでは、連続シリアル・クロック信号とフレーム同期信号を使って、データ転送動作をAD7904/AD7914/AD7924などの周辺デバイスと同期させます。CS入力を使用すれば、グルー・ロジックを必要とせずに、TMS320C541とAD7904/AD7914/AD7924の間で容易にインターフェースをとることができます。TMS320C541のシリアル・ポートを、内部CLKX0（シリアル・ポート0でのTXシリアル・クロック）とFSX0（シリアル・ポート0からのTXフレーム同期）によって、バースト・モード動作に設定します。シリアル・ポート・コントロール・レジスタ（SPC）は、FO=0、FSM=1、MCM=1、TXM=1に設定してください。接続図を図19に示します。信号処理アプリケーションの場合には、TMS320C541からのフレーム同期信号が基準となって等間隔サンプリングが行われる必要があります。AD7904/AD7914/AD7924のV<sub>DRIVE</sub>ピンは、TMS320C541と同じ電源電圧を受け取ります。これによってADCは、必要があれば、シリアル・インターフェース、つまりTMS320C541よりも高い電圧で動作できるようになります。



\*分かりやすくするため、他のピンは省略してあります。

図19. TMS320C541とのインターフェース

### AD7904/AD7914/AD7924とADSP-21xxとのインターフェース

DSPのADSP-21xxファミリーは、グルー・ロジックを必要とせずに、AD7904/AD7914/AD7924に直接接続することができます。AD7904/AD7914/AD7924のV<sub>DRIVE</sub>ピンは、ADSP-218xの場合と同じ電源電圧を受け取ります。これによってADCは、必要があれば、シリアル・インターフェース、つまりADSP-218xよりも高い電圧で動作できるようになります。

SPORT0コントロール・レジスタは、次のように設定してください。

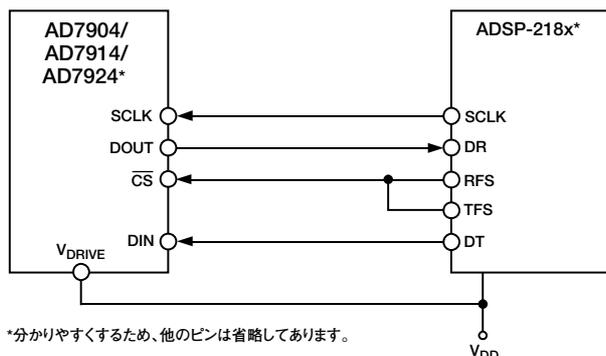
```
TFSW=RFSW=1、オレタネット・フレーミング
INVRFS=INVTFS=1、アクティブ・ローのフレーム信号
DTYPE=00、データ右詰め
SLEN=1111、16ビットのデータ・ワード
ISCLK=1、内部シリアル・クロック
TFSR=RFSR=1、ワードごとのフレーム
IRFS=0
ITFS=1
```

接続図を図20に示します。ADSP-218xでは、SPORTのTFSとRFSを接続し、TFSを出力、RFSを入力に設定します。DSPはオレタネット・フレーミング・モードで動作し、SPORTコントロール・レジスタを上述のように設定します。TFS上で生成されるフレーム同期信号はCSに接続され、これが基準となつてすべての信号処理アプリケーションと同様に等間隔サンプリングが行われる必要があります。しかし、この例では、タイマー割り込みを使ってADCのサンプリング・レートを制御するため、ある条件では等間隔サンプリングは不可能です。次にその条件を説明します。

タイマー・レジスタなどには、必要なサンプル間隔で割り込みを生成する値を設定します。割り込みを受信すると、TFS/DT（ADCコントロール・ワード）と一緒に値が送信されます。TFSを使ってRFSを制御するため、データの読み出しも制御されます。シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSと一緒に送信する命令が与えられると（AX0=TX0）、SCLKの状態をチェックします。DSPは、SCLKがハイからロー、次にまたハイに変化するのを待ってから、送信を開始します。送信命令がSCLKの立ち上がりエッジまたはその近くで発生するようにタイマー値とSCLK値が選択されている場合には、データが送信されるか、あるいは次のクロック・エッジまで待ちます。

たとえば、ADSP-2189に20MHzの水晶発振子があって、マスター・クロック周波数が40MHzの場合には、マスター・サイクル時間は25nsになります。SCLKDIVレジスタに値3がロードされると、5MHzのSCLKが得られ、SCLKが1周する間にマスター・クロックが8周します。選択されたスループット・

レートによって異なりますが、タイマー・レジスタにたとえば値803がロードされると ( $803+1=804$ )、割り込みの間隔、およびその後の送信命令の間隔はSCLK周期で100.5個になります。この場合、送信命令がSCLKエッジで発生するため、不均衡のサンプリングになります。割り込みと割り込みの間のSCLK数がNの整数値であれば、DSPは等間隔サンプリングを行います。



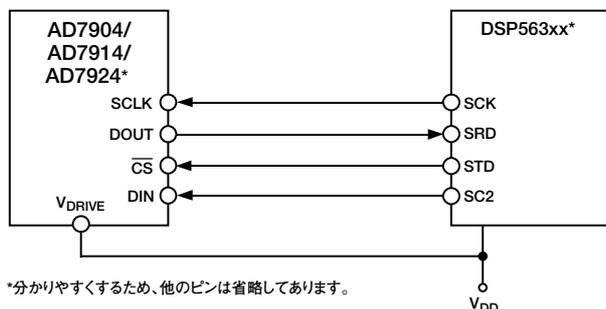
\*分かりやすくするため、他のピンは省略してあります。

図20. ADSP-218xとのインターフェース

#### AD7904/AD7914/AD7924とDSP563xxとのインターフェース

AD7904/AD7914/AD7924とモトローラ社DSPのDSP563xxファミリーのESSI (同期シリアル・インターフェース) との接続方法を図21に示します。各ESSI (2つ搭載されています) は、TxとRxに対して内部で生成した1ビット・クロック幅のフレーム同期信号を使い (CRB内のFSL1ビット=0、FSL0ビット=0)、同期モード (CRB内のSYNビット=1) で動作します。ESSIのノーマル動作を選択するには、CRB内でMOD=0にします。CRA内でWL1ビット=1とWL0ビット=0を設定し、ワード長を16に設定します。フレーム同期を負にするために、CRB内のFSPビットを1に設定してください。信号処理アプリケーションの場合には、DSP563xxからのフレーム同期信号で等間隔サンプリングを行う必要があります。

図21に示す例では、シリアル・クロックをESSIから取るため、SCK0ピンを出力に設定する必要があります (SCKD=1)。AD7904/AD7914/AD7924のV<sub>DRIVE</sub>ピンは、DSP563xxと同じ電源電圧を受け取ります。これによってADCは、必要であれば、シリアル・インターフェース、つまりDSP563xxよりも高い電圧で動作できるようになります。



\*分かりやすくするため、他のピンは省略してあります。

図21. DSP563xxとのインターフェース

## アプリケーション情報

### グラウンドとレイアウト

TPC3のPSRRと電源リップル周波数のプロットに示すように、AD7904/AD7914/AD7924には電源ノイズの影響をあまり受けないという特長があります。ただし、グラウンドとレイアウトについては注意が必要です。

AD7904/AD7914/AD7924を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボード内の一定の領域にまとめて配置するように設計してください。こうすれば、簡単に分離できるグラウンド・プレーンを利用できるようになります。グラウンド・プレーンに最善のシールド効果を与えるため、エッチングは最小限に抑えるようにしてください。AD7904/AD7914/AD7924の3つのAGNDピンはすべて、AGNDプレーンに接続します。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは、1点だけで接続します。複数のデバイスがAGNDとDGNDの接続を必要とするシステムの中にAD7904/AD7914/AD7924を置く場合にも、接続は1点 (AD7904/AD7914/AD7924にできるだけ近い星形グラウンド・ポイント) だけにする必要があります。

デバイスの下にデジタル・ラインを配線するとチップにノイズが混入するので、このような配線は避けてください。ノイズの混入を防止するため、アナログ・グラウンド・プレーンはAD7904/AD7914/AD7924の下を通るようにします。AD7904/AD7914/AD7924に入力する電源ラインはできるだけ太くしてパスのインピーダンスを小さくし、電源ライン上のグリッチの影響を減らしてください。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドしてボードの他の部分へのノイズ放射を防ぎ、クロック信号をアナログ入力付近に配線しないでください。デジタル信号とアナログ信号の交差を防止する必要があります。ボードの相対する側のパターンは、互いに直角となるよう配置します。これによって、ボードを貫通する結合効果を低減できます。マイクロストリップ技術が最適ですが、両面ボードで常に可能とは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号はハンダ面に配線します。

優れたデカップリングも重要です。すべてのアナログ電源を10μF tantalum コンデンサと0.1μFコンデンサの並列接続でAGNDからデカップリングする必要があります。これらのデカップリング部品を使って最善の効果を得るためには、デバイスのできるだけ近く、理想的にはデバイスのすぐ隣に配置してください。0.1μFコンデンサでは、直列実効抵抗 (ESR) と直列実効インダクタンス (ESI) を低くしてください。一般的なセラミック型や表面実装型などを使用することで、高周波数レベルでグラウンドへの低インピーダンス・パスを提供し、内部ロジック・スイッチングによる過渡電流に対処します。

### AD7904/AD7914/AD7924の性能評価

AD7904/AD7914/AD7924の推奨レイアウトの概要を、AD7904/AD7914/AD7924の評価ボードに示してあります。評価ボードのパッケージには、組み立ておよびテスト済みの評価ボード、文書、EVAL-BOARD CONTROLLERを介してPCからボードを制御するソフトウェアが含まれています。EVAL-BOARD CONTROLLERをAD7904/AD7914/AD7924評価ボードや末尾番号CBのその他多くのアナログ・デバイス評価ボードと組み合わせ使用すれば、AD7904/AD7914/AD7924のAC/DC両方の特性のデモンストレーション/評価を行うことができます。

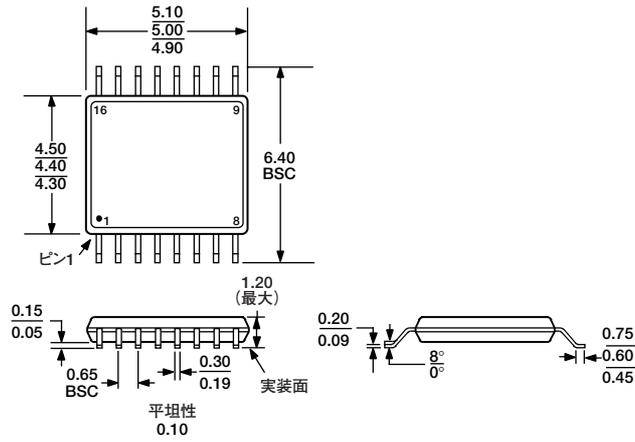
このソフトウェアを使って、AD7904/AD7914/AD7924のACテスト (高速フーリエ変換) とDCテスト (コードのヒストグラム) を実行できます。ソフトウェアと文書は、評価ボードに添付のCDにあります。

# AD7904/AD7914/AD7924

## 外形寸法

### 16ピンのTSSOP (Thin Shrink Small Outline Package) (RU-16)

寸法はミリメートルで表示



JEDEC規格MO-153ABに準拠

C03087-0-1/02(0)

PRINTED IN JAPAN