

QSOP採用、12.0 mW、16ビット、1 MSPSの
デュアル差動PulSAR ADC

データシート

AD7903

特長

ノーマス・コードの16ビット分解能
スループット: 1 MSPS
低消費電力
1 MSPSで7.0 mW (V_{DD1} と V_{DD2} の場合)
1 MSPSで12.0 mW (総合)
10 kSPSで140 μ W
INL: ± 0.5 LSB (typ)、 ± 2.0 LSB (最大)
SINAD: 1 kHzで93.5 dB
THD: 1 kHzで-112 dB
真の差動アナログ入力範囲: $\pm V_{REF}$
 $V_{REF} = 2.4$ V $\sim$ 5.1 Vで0 V $\sim V_{REF}$
任意の入力範囲使用が可能
ADA4941-1の使用による容易な駆動

パイプライン遅延なし

1.8 V/2.5 V/3 V/5 V ロジック・インターフェースによる単電源
2.5 V 動作シリアル・ポート・インターフェース: (SPI)/QSPI/
MICROWIRE/DSP 互換

20ピンQSOPパッケージを採用

広い動作温度範囲: -40°C $\sim$ +125°C

アプリケーション

バッテリー駆動の装置

通信

自動テスト装置(ATE)

データ・アキュイジション

医療計測機器

計測機器の二重化

同時サンプリング

概要

AD7903は16ビットの逐次比較型デュアルA/Dコンバータ(ADC)で、各ADCは個別の単電源(V_{DDx})で動作します。このデバイスは、2個の低消費電力高速16ビット・サンプリングADCと多機能シリアル・インターフェース・ポート(SPI)を内蔵しています。AD7903は、 $CNVx$ の立上がりエッジで $INx+$ ピンと $INx-$ ピンの間の電位差をサンプリングします。これらのピンの電圧は、0 V $\sim V_{REF}$ で逆相に振れます。 $REFx$ ピン(V_{REF})の外付けリファレンス電圧は、各電源電圧ピン V_{DDx} から独立して設定することができます。デバイスの消費電力はスループットに比例します。

$SDIx$ 入力を使用するSPI互換シリアル・インターフェースを使うと、1本の3線式バス上にある複数のADCをデジタイゼーション接続することができ、オプションとしてビジー表示を行うこともできます。個別電源 $VIOx$ を使うと、1.8 V、2.5 V、3 V、または5 V ロジックとインターフェースすることができます。

AD7903は20ピンQSOPパッケージを採用し、動作は-40°C $\sim$ +125°Cで規定されています。

表 1. MSOP 14/16/18ビットPulSAR® ADC

Bits	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	1000 kSPS	ADC Driver
18		AD7691 ¹	AD7690 ¹	AD7982 ¹	ADA4941-1 ADA4841-x
16	AD7680 AD7683 AD7684	AD7685 ¹ AD7687 ¹ AD7694	AD7686 ¹ AD7688 ¹ AD7693 ¹	AD7980 ¹ AD7903 AD7902	ADA4941-1 ADA4841-x
14	AD7940	AD7942 ¹	AD7946 ¹		

¹ ピン互換。

機能ブロック図

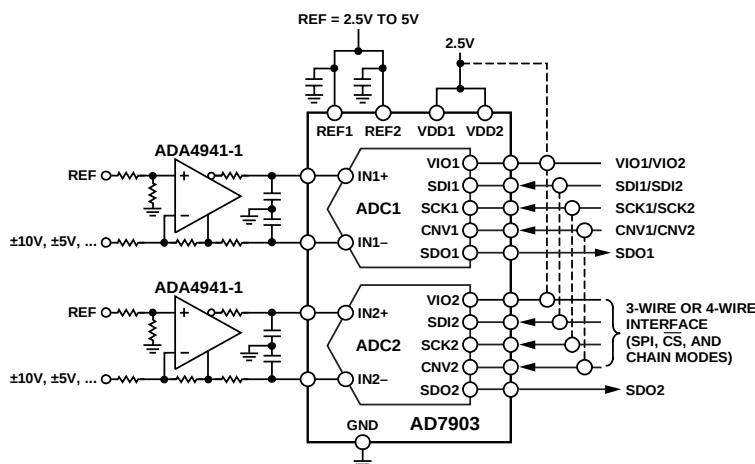


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料はREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2013–2014 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	アナログ入力	15
アプリケーション	1	ドライバ・アンプの選択	16
概要	1	シングル/差動ドライバ	16
機能ブロック図	1	リファレンス電圧入力	17
改訂履歴	2	電源	17
仕様	3	デジタル・インターフェース	17
タイミング仕様	5	$\overline{CS}$ モード	18
絶対最大定格	6	チェーン・モード	22
ESD の注意	6	アプリケーション情報	24
ピン配置およびピン機能説明	7	同時サンプリング	24
代表的な性能特性	8	機能安全について	25
用語	13	レイアウト	26
動作原理	14	AD7903 の性能評価	26
回路説明	14	外形寸法	27
コンバータの動作	14	オーダー・ガイド	27
代表的な接続図	15		

改訂履歴

1/14—Rev. 0 to Rev. A	
Change to Gain Error Temperature Drift Parameter	3
Changes to Figure 12	9
Changes to Figure 17 and Figure 20	10
Changes to Figure 28	11
12/13—Revision 0: Initial Version	

仕様

特に指定がない限り、 $V_{DD} = 2.5\text{ V}$ 、 $V_{IO} = 2.3\text{ V} \sim 5.5\text{ V}$ 、 $V_{REF} = 5\text{ V}$ 、 $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。¹

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	$IN_{X+} - IN_{X-}$	$-V_{REF}$		$+V_{REF}$	V
Absolute Input Voltage	IN_{X+} , IN_{X-}	-0.1		$V_{REF} + 0.1$	V
Common-Mode Input Range	IN_{X+} , IN_{X-}	$V_{REF} \times 0.475$	$V_{REF} \times 0.5$	$V_{REF} \times 0.525$	V
Analog Input CMRR	$f_{IN} = 450\text{ kHz}$		67		dB
Leakage Current at 25°C	Acquisition phase		200		nA
Input Impedance		See the Analog Inputs section			
ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity Error	$V_{REF} = 5\text{ V}$	-1.0	± 0.4	$+1.0$	LSB ²
	$V_{REF} = 2.5\text{ V}$		± 0.7		LSB ²
Integral Nonlinearity Error	$V_{REF} = 5\text{ V}$	-2.0	± 0.5	$+2.0$	LSB ²
	$V_{REF} = 2.5\text{ V}$		± 0.4		LSB ²
Transition Noise	$V_{REF} = 5\text{ V}$		0.75		LSB ²
	$V_{REF} = 2.5\text{ V}$		1.2		LSB ²
Gain Error ³	T_{MIN} to T_{MAX}	-0.04	± 0.006	$+0.04$	% FS
Gain Error Temperature Drift			0.19		ppm/ $^\circ\text{C}$
Gain Error Match ³	T_{MIN} to T_{MAX}		0.0	0.025	% FS
Offset Error ³	T_{MIN} to T_{MAX}	-0.5	± 0.015	$+0.5$	mV
Offset Temperature Drift			0.3		ppm/ $^\circ\text{C}$
Offset Error Match ³	T_{MIN} to T_{MAX}		0.05	1.0	mV
Power Supply Sensitivity	$V_{DD} = 2.5\text{ V} \pm 5\%$		± 0.1		LSB ²
THROUGHPUT					
Conversion Rate	$V_{IO} \geq 2.3\text{ V}$ up to 85°C , $V_{IO} \geq 3.3\text{ V}$ above 85°C , up to 125°C	0		1	MSPS
Transient Response	Full-scale step			290	ns
AC ACCURACY					
Dynamic Range	$V_{REF} = 5\text{ V}$		95.5		dB ⁴
	$V_{REF} = 2.5\text{ V}$		92.5		dB ⁴
Oversampled Dynamic Range	$f_{OUT} = 10\text{ kSPS}$		113.5		dB ⁴
Signal-to-Noise Ratio (SNR)	$f_{IN} = 1\text{ kHz}$, $V_{REF} = 5\text{ V}$	92	94		dB ⁴
	$f_{IN} = 1\text{ kHz}$, $V_{REF} = 2.5\text{ V}$	89	91		dB ⁴
Spurious-Free Dynamic Range (SFDR)	$f_{IN} = 1\text{ kHz}$		-115		dB ⁴
Total Harmonic Distortion (THD)	$f_{IN} = 1\text{ kHz}$		-112		dB ⁴
Signal-to-(Noise + Distortion) (SINAD)	$f_{IN} = 1\text{ kHz}$, $V_{REF} = 5\text{ V}$	91.5	93.5		dB ⁴
	$f_{IN} = 1\text{ kHz}$, $V_{REF} = 2.5\text{ V}$	88.5	90.5		dB ⁴
Channel-to-Channel Isolation	$f_{IN} = 10\text{ kHz}$		-120		dB ⁴

¹ このデータシートでは、 V_{DDx} 、 V_{IOx} 、 $REFx$ の各ピンの電圧をそれぞれ V_{DD} 、 V_{IO} 、 V_{REF} で表します。

² 入力範囲が 5 V の場合、 $1\text{ LSB} = 152.6\text{ }\mu\text{V}$ 。入力範囲が 2.5 V の場合、 $1\text{ LSB} = 76.3\text{ }\mu\text{V}$ 。

³ 用語のセクションを参照してください。これらの仕様にはすべての温度範囲の変動が含まれますが、外付けリファレンス電圧の変動による影響は含まれません。

⁴ dB 表示のすべての仕様はフルスケール入力 FSR を基準とします。デシベル値で表すすべての仕様はフルスケール入力 FSR を基準とし、特に指定がない限り、フルスケールより 0.5 dB 低い入力信号を使ってテスト。

特に指定がない限り、 $V_{DD} = 2.5\text{ V}$ 、 $V_{IO} = 2.3\text{ V} \sim 5.5\text{ V}$ 、 $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。¹

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFERENCE					
Voltage Range		2.4		5.1	V
Load Current	1 MSPS, $V_{REF} = 5\text{ V}$, each ADC		330		μA
SAMPLING DYNAMICS					
–3 dB Input Bandwidth			10		MHz
Aperture Delay	$V_{DD} = 2.5\text{ V}$		2.0		ns
Aperture Delay Match	$V_{DD} = 2.5\text{ V}$		2.0		ns
DIGITAL INPUTS					
Logic Levels					
V_{IL}	$V_{IO} > 3\text{ V}$	–0.3		$+0.3 \times V_{IO}$	V
	$V_{IO} \leq 3\text{ V}$	–0.3		$+0.1 \times V_{VIO}$	V
V_{IH}	$V_{IO} > 3\text{ V}$	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
	$V_{IO} \leq 3\text{ V}$	$0.9 \times V_{IO}$		$V_{IO} + 0.3$	V
I_{IL}		–1		+1	μA
I_{IH}		–1		+1	μA
DIGITAL OUTPUTS					
Data Format			Twos complement		Bits
Pipeline Delay	No delay; conversion results available immediately after conversion is complete			0	Samples
V_{OL}	$I_{SINK} = +500\text{ }\mu\text{A}$			0.4	V
V_{OH}	$I_{SOURCE} = -500\text{ }\mu\text{A}$	$V_{IO} - 0.3$			V
POWER SUPPLIES					
V_{DDx}		2.375	2.5	2.625	V
V_{IOx}	Specified performance	2.3		5.5	V
V_{IOx} Range	Full Range	1.8		5.5	V
I_{VDDx}	Each ADC		1.4	1.6	mA
I_{VIOx}	Each ADC		0.2	0.45	mA
Standby Current ^{2, 3}	V_{DD} and $V_{IO} = 2.5\text{ V}$, 25°C		0.35		nA
Power Dissipation	10 kSPS throughput		140		μW
	1 MSPS throughput		12.0	16	mW
VDD Only			7.0		mW
REF Only			3.3		mW
VIO Only			1.7		mW
Energy per Conversion			7.0		nJ/sample
TEMPERATURE RANGE ⁴					
Specified Performance	T_{MIN} to T_{MAX}	–40		+125	$^\circ\text{C}$

¹ このデータシートでは、 V_{DDx} 、 V_{IOx} 、 $REFx$ の各ピンの電圧をそれぞれ V_{DD} 、 V_{IO} 、 V_{REF} で表します。

² すべてのデジタル入力が必要に応じて V_{IOx} またはグラウンドに接続。

³ アクイジション・フェーズ時。

⁴ 拡張温度範囲については最寄りのアナログ・デバイセズ代理店にお尋ねください。

タイミング仕様

特に指定がない限り、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{DD} = 2.37\text{ V} \sim 2.63\text{ V}$ 、 $V_{IO} = 2.3\text{ V} \sim 5.5\text{ V}$ 。負荷条件については図2と図3を参照してください。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time (CNVx Rising Edge to Data Available)	t_{CONV}	500		710	ns
Acquisition Time	t_{ACQ}	290			ns
Time Between Conversions	t_{CYC}				
VIOx Above 2.3 V		1000			ns
CNVx Pulse Width ($\overline{CS}$ Mode)	t_{CNVH}	10			ns
SCKx Period ($\overline{CS}$ Mode)	t_{SCK}				
VIOx Above 4.5 V		10.5			ns
VIOx Above 3 V		12			ns
VIOx Above 2.7 V		13			ns
VIOx Above 2.3 V		15			ns
SCKx Period (Chain mode)	t_{SCK}				
VIOx Above 4.5 V		11.5			ns
VIOx Above 3 V		13			ns
VIOx Above 2.7 V		14			ns
VIOx Above 2.3 V		16			ns
SCKx Low Time	t_{SCKL}	4.5			ns
SCKx High Time	t_{SCKH}	4.5			ns
SCKx Falling Edge to Data Remains Valid	t_{HSDO}	3			ns
SCKx Falling Edge to Data Valid Delay	t_{DSDO}				
VIOx Above 4.5 V				9.5	ns
VIOx Above 3 V				11	ns
VIOx Above 2.7 V				12	ns
VIOx Above 2.3 V				14	ns
CNVx or SDIx Low to SDOx, D15 (MSB) Valid ($\overline{CS}$ Mode)	t_{EN}				
VIOx Above 3 V				10	ns
VIOx Above 2.3 V				15	ns
CNVx or SDIx High or Last SCKx Falling Edge to SDOx High Impedance ($\overline{CS}$ Mode)	t_{DIS}			20	ns
SDIx Valid Setup Time from CNVx Rising Edge ($\overline{CS}$ Mode)	$t_{SSDICNV}$	5			ns
SDIx Valid Hold Time from CNVx Rising Edge ($\overline{CS}$ Mode)	$t_{HSDICNV}$	2			ns
SCKx Valid Setup Time from CNVx Rising Edge (Chain Mode)	$t_{SSCKCNV}$	5			ns
SCKx Valid Hold Time from CNVx Rising Edge (Chain Mode)	$t_{HSCKCNV}$	5			ns
SDIx Valid Setup Time from SCKx Falling Edge (Chain Mode)	$t_{SSDISCK}$	2			ns
SDIx Valid Hold Time from SCKx Falling Edge (Chain Mode)	$t_{HSDISCK}$	3			ns
SDIx High to SDOx High (Chain Mode with Busy Indicator)	$t_{DSDOSDI}$			15	ns

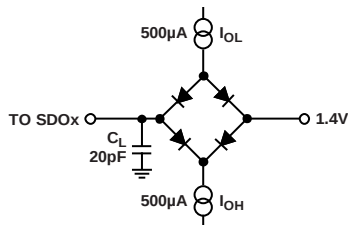
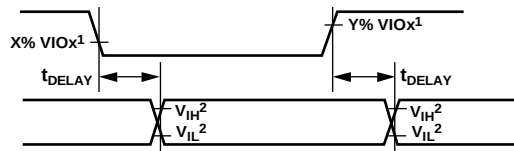


図 2. デジタル・インターフェース・タイミングの負荷回路



¹ FOR $V_{IOx} \leq 3.0\text{ V}$, $X = 90$ AND $Y = 10$; FOR $V_{IOx} > 3.0\text{ V}$, $X = 70$ AND $Y = 30$.
² MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE SPECIFICATIONS FOR DIGITAL INPUTS PARAMETER IN TABLE 3.

図 3. タイミング測定の電圧レベル

絶対最大定格

表 5.

Parameter	Rating
Analog Inputs	
INx+, INx- to GND ¹	-0.3 V to $V_{REF} + 0.3$ V or ± 10 mA
Supply Voltage	
REFx, VIOx to GND	-0.3 V to +6.0 V
VDDx to GND	-0.3 V to +3.0 V
VDDx to VIOx	+3 V to -6 V
Digital Inputs to GND	-0.3 V to $V_{IO} + 0.3$ V
Digital Outputs to GND	-0.3 V to $V_{IO} + 0.3$ V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Lead Temperatures	
Vapor Phase (60 sec)	255°C
Infrared (15 sec)	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

¹ INx+ と INx- についてはアナログ入力のセクションを参照してください。

ピン配置およびピン機能説明

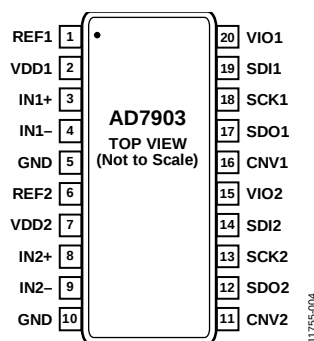


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1, 6	REF1, REF2	AI	リファレンス電圧入力。REFx 範囲は 2.4 V～5.1 V。これらのピンは GND ピンを基準とするため、10 μ F のコンデンサで GND ピンの近くにデカップリングする必要があります。
2, 7	VDD1, VDD2	P	電源。
3, 8	IN1+, IN2+	AI	差動正アナログ入力。
4, 9	IN1-, IN2-	AI	差動負アナログ入力。
5, 10	GND	P	電源グラウンド。
11, 16	CNV2, CNV1	DI	変換入力。これらの入力は、複数の機能を持っています。前縁エッジで変換を開始し、デバイスのインターフェース・モード(チェーン・モード、またはアクティブ・ローの $\overline{\text{CS}}$ モード)を選択します。 $\overline{\text{CS}}$ モードでは、CNVx ピンがロー・レベルのとき SDOx ピンがイネーブルされます。チェーン・モードでは、CNVx がハイ・レベルのときにデータを読み出す必要があります。
12, 17	SDO2, SDO1	DO	シリアル・データ出力。変換結果がこれらのピンに出力されます。変換結果は SCKx に同期化されます。
13, 18	SCK2, SCK1	DI	シリアル・データ・クロック入力。デバイスが選択されたとき、変換結果がこれらのクロックでシフトアウトされます。
14, 19	SDI2, SDI1	DI	シリアル・データ入力。これらの入力は、複数の機能を持っています。ADC のインターフェース・モードを選択し、CNVx の立上がりエッジで SDIx がハイ・レベルのとき、 $\overline{\text{CS}}$ モードが選択されます。このモードでは、SDIx または CNVx がロー・レベルのとき、シリアル出力信号をイネーブルすることができます。変換が完了したとき SDIx または CNVx がロー・レベルの場合、ビジー・インジケータ機能がイネーブルされます。
15, 20	VIO2, VIO1	P	入出力インターフェースのデジタル電源。公称は、ホスト・インターフェース電源(2.5 V または 3.3 V)と同じ電位。

¹ AI = アナログ入力、DI = デジタル入力、DO = デジタル出力、P = 電源。

代表的な性能特性

特に指定がない限り、 $V_{DD} = 2.5\text{ V}$ 、 $V_{REF} = 5.0\text{ V}$ 、 $V_{IO} = 3.3\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $f_{\text{SAMPLE}} = 1\text{ MSPS}$ 。

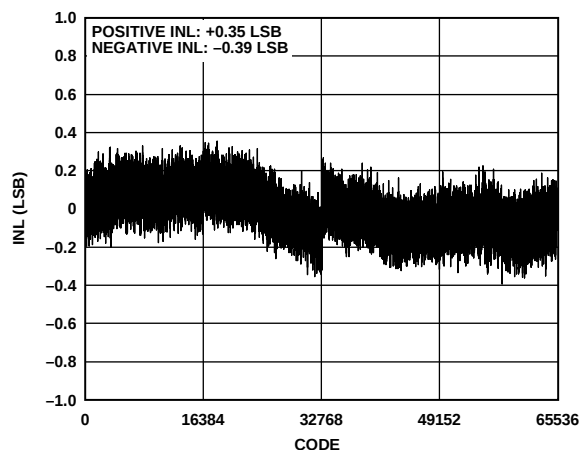


図 5.コード対積分非直線性、 $V_{REF} = 5\text{ V}$

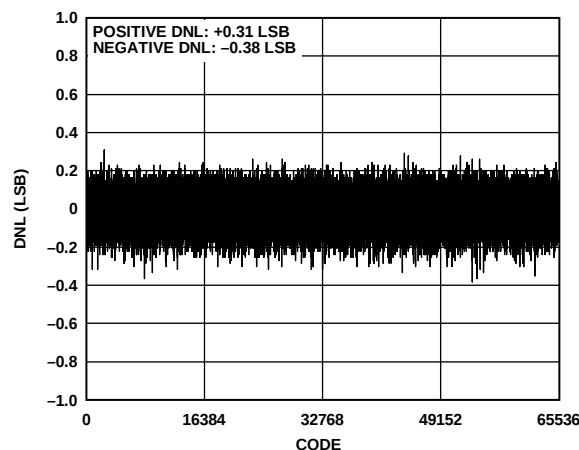


図 8.コード対微分非直線性、 $V_{REF} = 5\text{ V}$

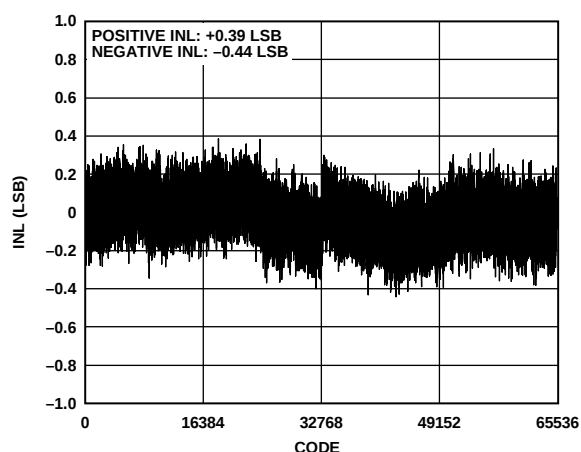


図 6.コード対積分非直線性、 $V_{REF} = 2.5\text{ V}$

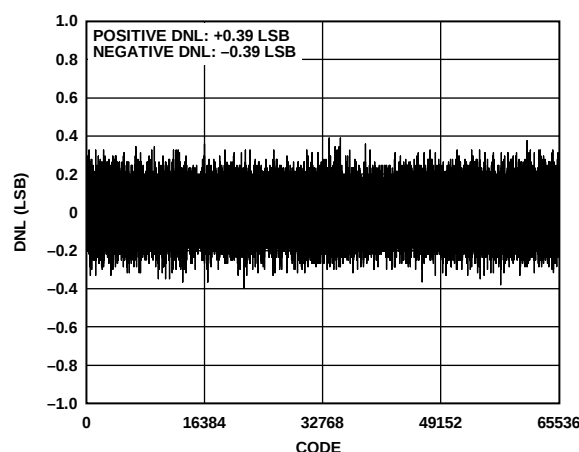


図 9.コード対微分非直線性、 $V_{REF} = 2.5\text{ V}$

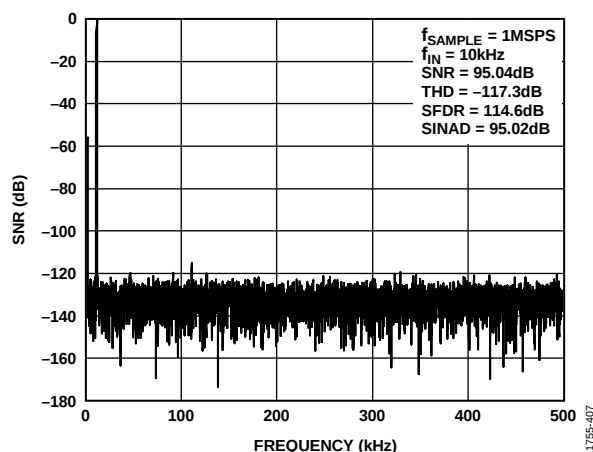


図 7.FFT プロット、 $V_{REF} = 5\text{ V}$

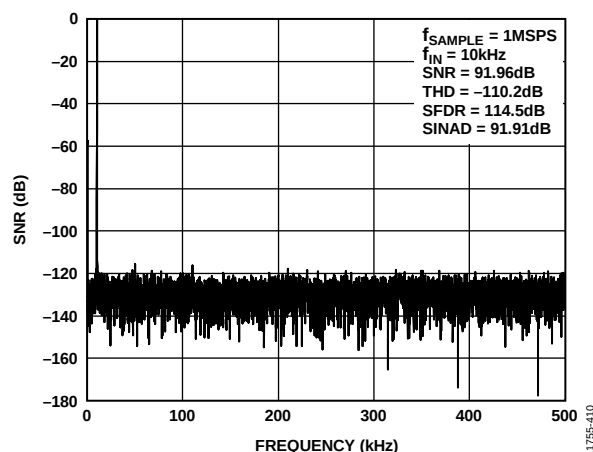


図 10.FFT プロット、 $V_{REF} = 2.5\text{ V}$

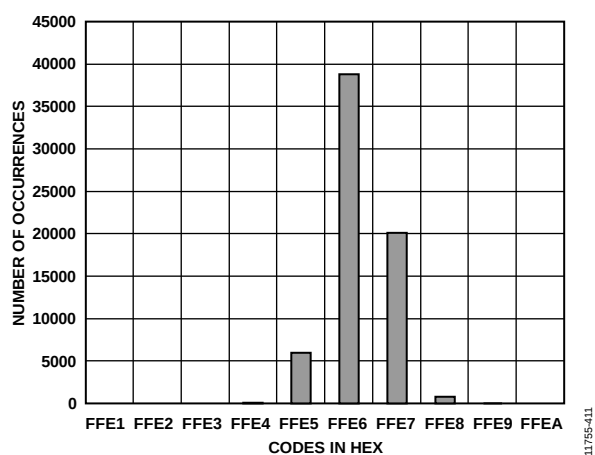


図 11.コード中心での DC 入力のヒストグラム、 $V_{REF} = 5V$

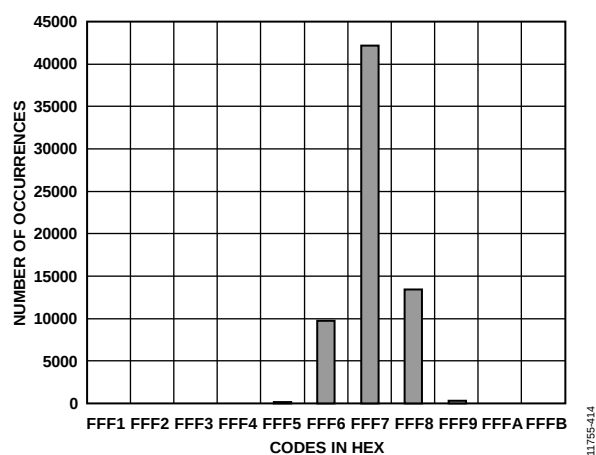


図 14.コード中心での DC 入力のヒストグラム、 $V_{REF} = 2.5V$

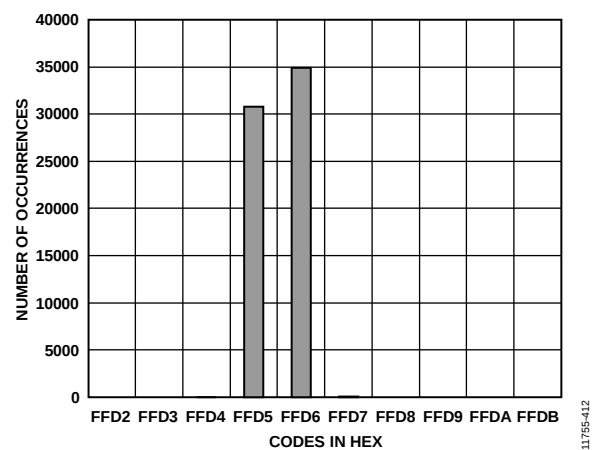


図 12.コード変化での DC 入力のヒストグラム、 $V_{REF} = 5V$

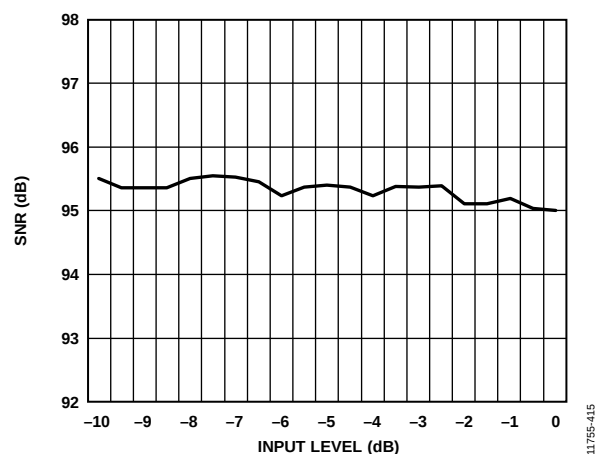


図 15.入力レベル対 SNR

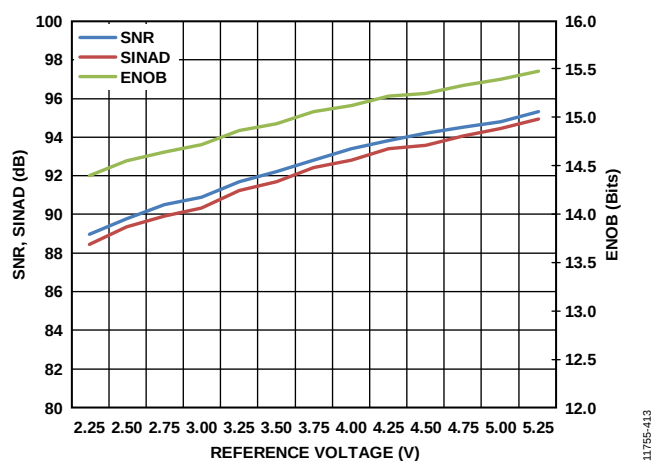


図 13.リファレンス電圧対 SNR、SINAD、ENOB

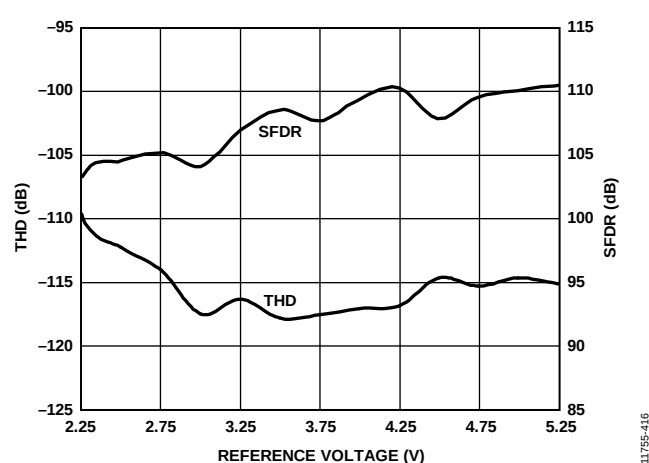


図 16.リファレンス電圧対 THD、SFDR

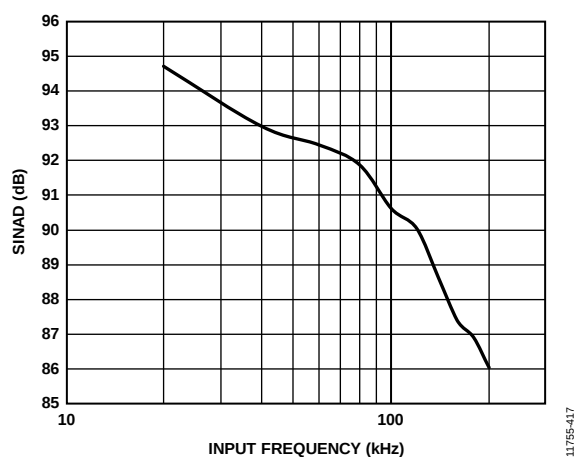


図 17.入力周波数対 SINAD

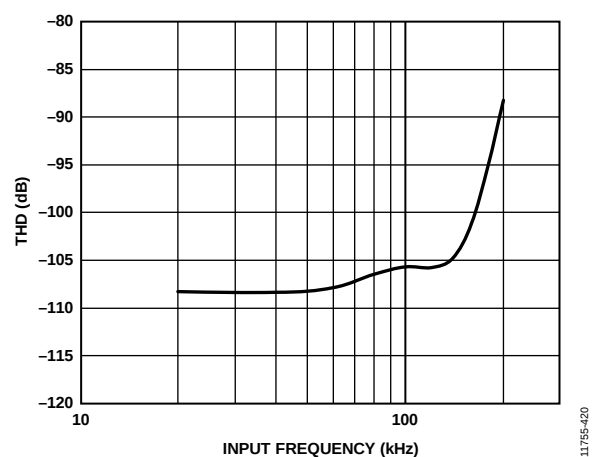


図 20.入力周波数対 THD

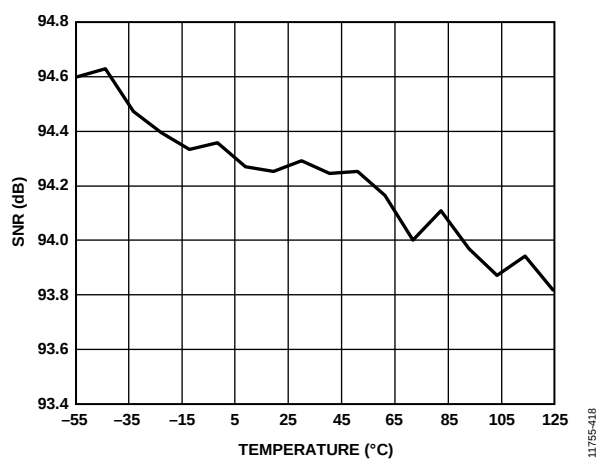


図 18.SNR の温度特性

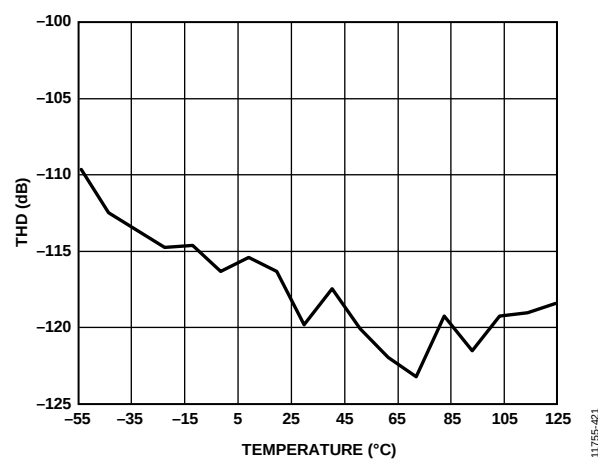


図 21.TH D の温度特性

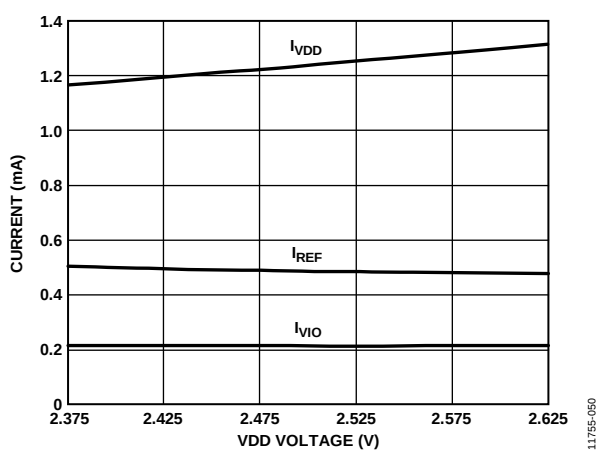


図 19.VDD 電源電圧対各 ADC の動作電流

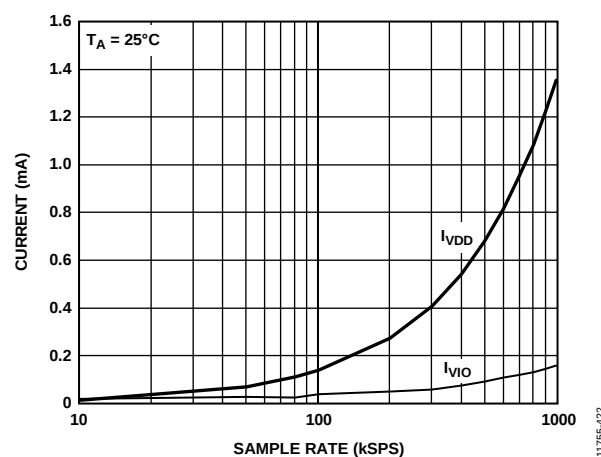


図 22.サンプル・レート Cr 対各 ADC の動作電流

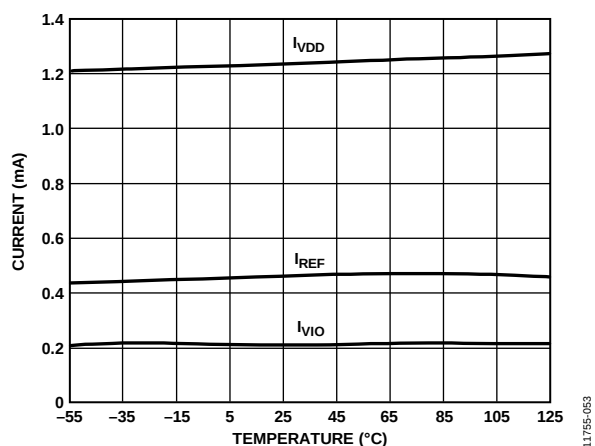


図 23.各 ADC の動作電流温度特性

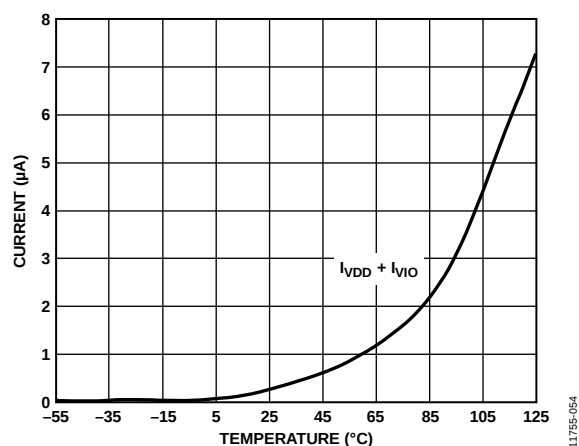


図 26.各 ADC のパワーダウン電流温度特性

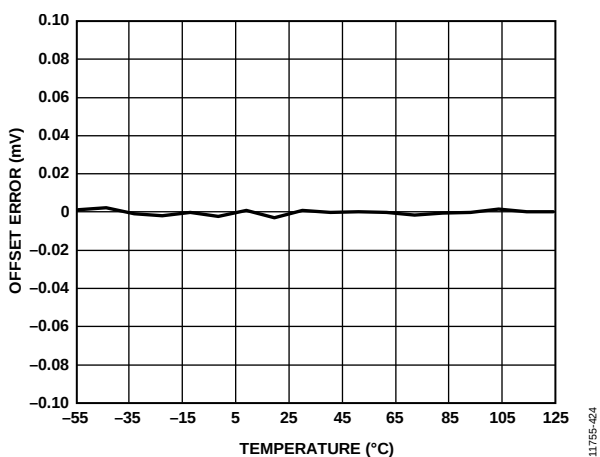


図 24.オフセット誤差の温度特性

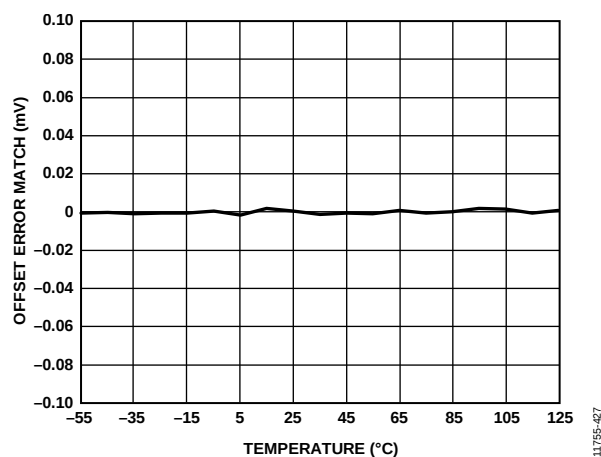


図 27.オフセット誤差マッチの温度特性

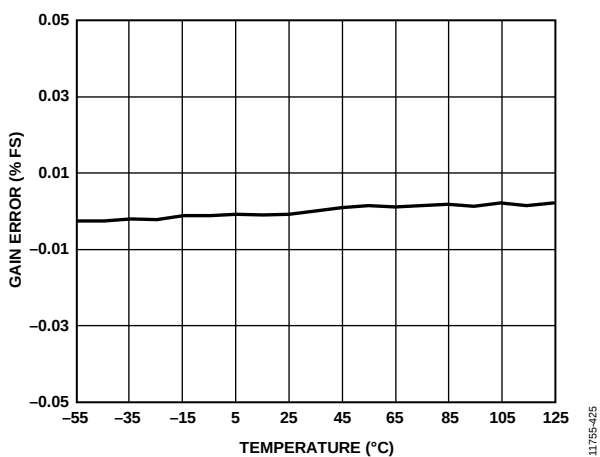


図 25.ゲイン誤差の温度特性

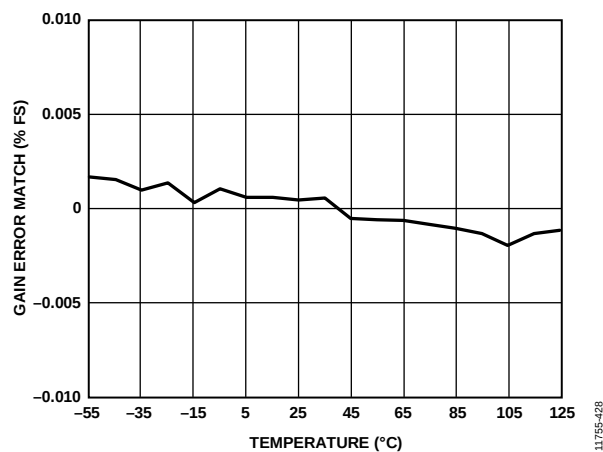


図 28.ゲイン誤差マッチの温度特性

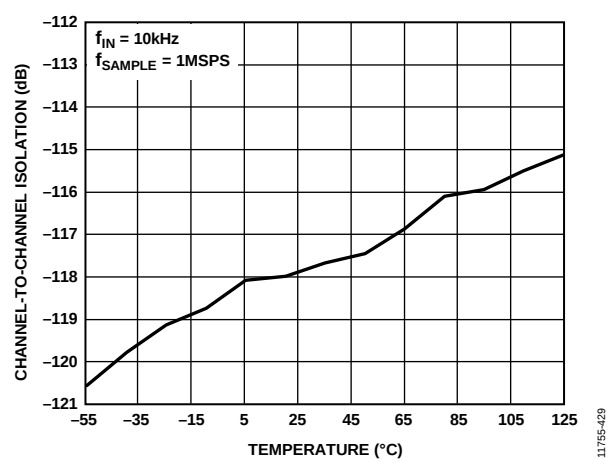


図 29.チャンネル間アイソレーションの温度特性

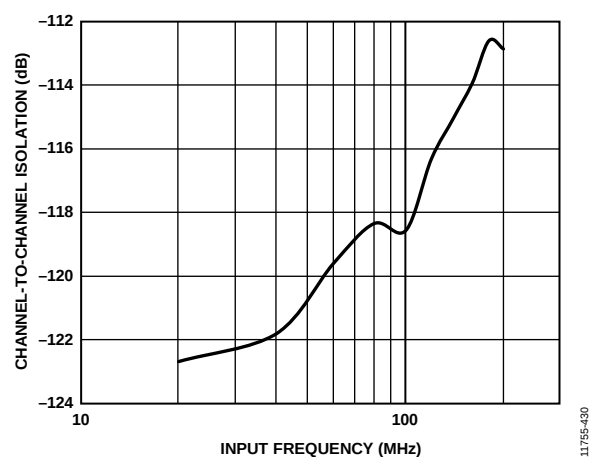


図 30.チャンネル間アイソレーションの周波数特性

用語

積分非直線性誤差(INL)

INL は、負側のフルスケールと正側のフルスケールを結ぶ直線と実際のコード出力との誤差として定義されます。負側フルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。正フルスケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。許容誤差は各コードの中央と直線との間の距離として測定されます。

微分非直線性誤差(DNL)

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。DNL は、この理論値からの最大許容誤差を意味します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

オフセット誤差

オフセット誤差は、理論ミッドスケール電圧値(0 V)とミッドスケール値出力コード(0 LSB)を発生する実際の電圧との差を意味します。

オフセット誤差マッチ

これは、多チャンネル・コンバータのチャンネル間のオフセット差をミリボルトで表したものです。これは次式で計算されます。

$$\text{オフセット・マッチング} = V_{\text{OFFSET_MAX}} - V_{\text{OFFSET_MIN}}$$

ここで、

$V_{\text{OFFSET_MAX}}$ は正の最大オフセット誤差。

$V_{\text{OFFSET_MIN}}$ は負の最大オフセット誤差。

オフセット・マッチングは製品データシートで規定されるフルスケール入力範囲に対してミリボルトで表されます。

ゲイン誤差

最初の変化(100 ... 00→100 ... 01)は公称負フルスケール(±5 V レンジの場合は-4.999981 V)より 0.5 LSB 上のレベルで発生する必要があります。最後の変化(011 ... 10→011 ... 11)は、公称フルスケール(±5 V レンジの場合は 4.999943 V)より 1.5 LSB 低いアナログ電圧で発生します。ゲイン誤差は、最後の変化の実際のレベルと最初の変化の実際のレベルとの差と、対応する両理論レベル間の差との間の違いを表します。

ゲイン誤差のマッチング

これは、多チャンネル ADC で最小フルスケールに対する最大フルスケールの比を表します。次式によりフルスケールのパーセント値で表示します。

$$\text{Gain Matching} = \left(\frac{FSR_{\text{MAX}} - FSR_{\text{MIN}}}{\frac{FSR_{\text{MAX}} + FSR_{\text{MIN}}}{2}} \right) \times 100\%$$

ここで、

FSR_{MAX} は ADC の正の最大ゲイン誤差。

FSR_{MIN} は負の最大ゲイン誤差。

スプリアス・フリー・ダイナミックレンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、dB 値で表します。

実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。次式により、SINAD と関係します。

$$ENOB = (SINAD_{\text{dB}} - 1.76) / 6.02$$

ENOB はビット数で表されます。

ノイズ・フリー・コード分解能(NFCR)

超えると、個々のコードが区別できなくなるビット数。次のように計算されます。

$$\text{ノイズ・フリー・コード分解能} = \log_2(2^N / \text{ピーク to ピーク・ノイズ})$$

ノイズフリー・コード分解能はビット数で表されます。

実効分解能

次のように計算されます。

$$\text{実効分解能} = \log_2(2^N / \text{RMS 入力ノイズ})$$

実効分解能はビット数で表されます。

全高調波歪み(THD)

THD は、基本波から 5 次高調波成分までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値(dB)で表します。

ダイナミックレンジ

入力を短絡して測定した合計 rms ノイズに対するフルスケールの rms 値の比を表します。ダイナミックレンジの値は dB で表されます。すべてのノイズ・ソースと DNL 効果を含むように -60 dBFS の信号を使って測定します。

信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値(dB)で表されます。

信号対(ノイズ + 歪)比(SINAD)

SINAD は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD は、デシベル値(dB)で表されます。

アパーチャ遅延

アパーチャ遅延は、アキュイジション性能を表します。CNVx 入力の立上がりエッジから入力信号が変換用に保持されまでの時間を表します。

過渡応答

フルスケールのステップ関数が入力された後に ADC が正確に入力を取得するまでに要する時間を表します。

動作原理

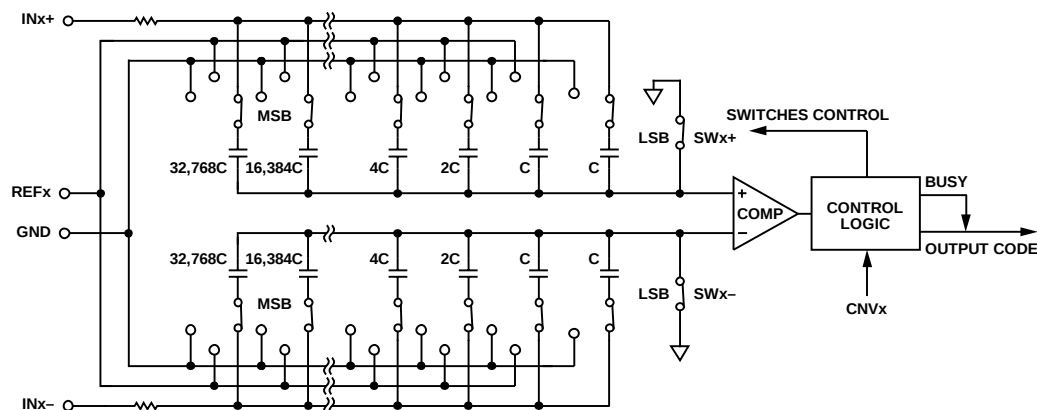


図 31.ADC の簡略化した回路図

回路説明

AD7903 は逐次比較型アーキテクチャを採用した高速高精度低消費電力 16 ビットのデュアル A/D コンバータ(ADC)です。

AD7903 は毎秒 1,000,000 サンプル(1 MSPS)の同時変換が可能で、変換と変換の間にパワーダウンします。例えば、10 kSPS 動作時の消費電力が ADC あたり 70 μ W であるため、バッテリー駆動のアプリケーションに最適です。

AD7903はトラック・アンド・ホールドを内蔵し、パイプライン遅延またはレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7903 は、1.8 V~5 V のデジタル・ロジック・ファミリーにインターフェースすることができます。このデバイスは、柔軟構成を可能にする 20 ピン QSO[®]パッケージを採用しています。このデバイスは、疑似差動 16 ビット AD7902 とピン・コンパチブルです。

コンバータの動作

AD7903 は、電荷再分配型 DAC を採用した逐次比較型デュアル ADC です。図 31 に、ADC の簡略化した回路図を示します。容量を使用するこの DAC は、2 進数の重みを持った 16 個コンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

各 ADC のアキュイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SWx+と SWx-を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、INx+入力と INx-入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わり、CNVx 入力が高レベルになると、変換フェーズが開始されます。変換フェーズが開始されると、まず SWx+と SWx-が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた、入力 INx+と INx-の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しなくなります。コンデンサ・アレイの各エレメントを GND と REFx の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ($V_{REF}/2$, $V_{REF}/4$... $V_{REF}/65,536$)で変えます。コントロール・ロジックがこれらのスイッチをトグルして(MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアキュイジション・フェ

ーズに戻り、コントロール・ロジックが ADC 出力コードとビジー表示を発生します。

AD7903 は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロック、SCKxは不要です。

伝達関数

AD7903 の理論伝達特性を図 32 と表 7 に示します。

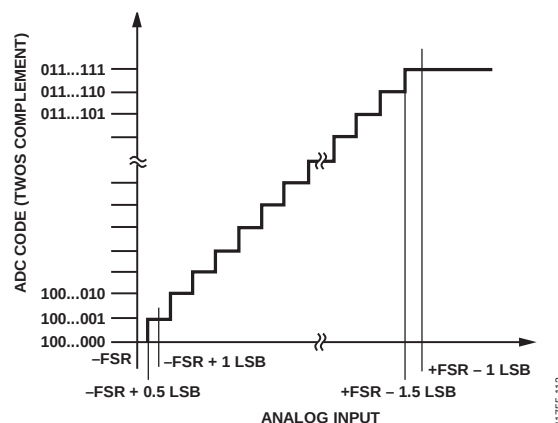


図 32.ADC の理論伝達関数

表 7.出力コードと理論入力電圧

Description	Analog Input, $V_{REF} = 5\text{ V}$	Digital Output Code (Hex)
FSR - 1 LSB	+4.999962 V	0x7FFF ¹
Midscale + 1 LSB	+38.15 μ V	0x0001
Midscale	0 V	0x0000
Midscale - 1 LSB	-38.15 μ V	0xFFFF
-FSR + 1 LSB	-4.999962 V	0x8001
-FSR	-5 V	0x8000 ²

¹これは、アナログ入力範囲より上($V_{REF} - V_{GND}$ より上の $V_{IN+} - V_{IN-}$)に対するコードでもあります。

²これは、アナログ入力範囲より下(V_{GND} より下の $V_{IN+} - V_{IN-}$)に対するコードでもあります。

代表的な接続図

図 35 に、複数の電源が使用可能な場合の AD7903 の推奨接続図例を示します。

アナログ入力

図 33 に、AD7903 の入力構造の等価回路を示します。

ダイオード D1 と D2 は、アナログ入力 INx+ と INx- に対する ESD 保護用です。アナログ入力信号は、リファレンス入力電圧 (V_{REF}) より 0.3 V 以上高くならないよう注意する必要があります。アナログ入力信号がこのレベルを超えると、これらのダイオードが順方向にバイアスされて、電流が流れるようになります。これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。ただし、入力バッファの電源 (例えば、図 35 の [ADA4841-1](#) の電源) が V_{REF} の電源と異なる場合には、アナログ入力信号が電源レールを 0.3 V 以上超えることができます。このような場合 (例えば入力バッファが短絡)、電流制限機能を使ってデバイスを保護することができます。

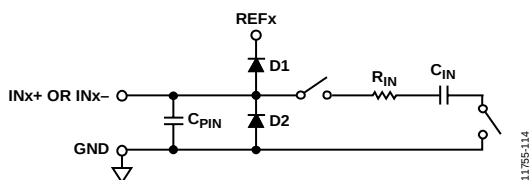


図 33. アナログ入力の等価回路

このアナログ入力構造を使うと、INx+ と INx- の間の差動信号のサンプリングが可能になります。この差動入力の採用により、許容同相モード入力範囲内で両入力に共存する信号が除去されます。

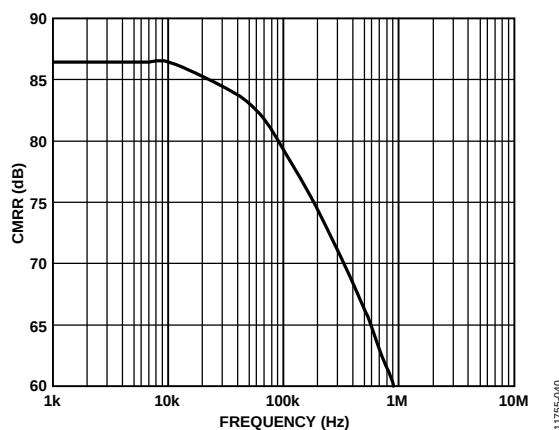
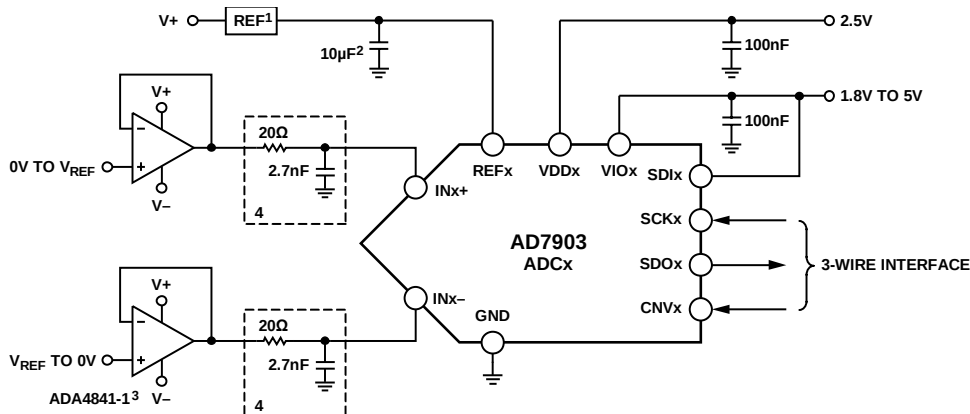


図 34. アナログ入力 CMRR の周波数特性

アキュイジション・フェーズでは、アナログ入力 (INx+ または INx-) のインピーダンスは、コンデンサ C_{PIN} と、 R_{IN} および C_{IN} の直列接続の回路との並列組み合わせとしてモデル化することができます。 C_{PIN} は主にピン容量です。 R_{IN} は 400 Ω (typ) であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。 C_{IN} は 30 pF (typ) であり、主に ADC サンプリング・コンデンサから構成されています。

スイッチが閉じているサンプリング・フェーズでは、入力インピーダンスは C_{PIN} に制限されます。 R_{IN} と C_{IN} により、1 極ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7903 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC 性能、特に THD が大きい影響を受けます。DC 性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します。



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.

² C_{REF} IS USUALLY A 10µF CERAMIC CAPACITOR (X5R).

SEE RECOMMENDED LAYOUT IN FIGURE 54.

³SEE THE DRIVER AMPLIFIER CHOICE SECTION.

⁴OPTIONAL FILTER. SEE THE ANALOG INPUTS SECTION.

図 35. 複数の電源を使用する代表的なアプリケーション図

リファレンス電圧入力

AD7903 のリファレンス電圧入力 REF は動の入力インピーダンスを持っています。このため、REFx ピンと GND ピンとの間を効果的にデカップリングした低インピーダンス・ソースか動駆る必要があります(レイアウトのセクション参照)。

REF を非常に小さいインピーダンス・ソースで駆動する場合は(例えば、AD8031またはAD8605を使用するリファレンス・バッファ)、10 μ F のセラミック・チップ・コンデンサ(X5R、0805サイズ)は最適性能を得るために十分です。

バッファなしでリファレンス電圧を使う場合は、デカップリング値は使用するリファレンスに依存します。例えば、22 μ F のセラミック・チップ・コンデンサ(X5R、1206 サイズ)は、低温度ドリフト ADR43x リファレンスを使って最適性能を得るために十分です。

必要な場合には、2.2 μ F までの小型なリファレンス・デカップリング・コンデンサ値を使うことができ、性能特に DNL への影響は最小に抑えられます。

REFx ピンと GND ピンの間に小さい値のセラミック・デカップリング・コンデンサ(例えば、100 nF)を追加する必要はありません。

電源

AD7903 は各 ADC に対してコア電源(VDDx)とデジタル入力/出力インターフェース電源(VIOx)の 2 種類の電源ピンを使っています。VIOx を使うと、1.8 V~5.5 V で動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIOx と VDDx を接続することができます。AD7903 は VIOx と VDDx の間の電源シーケンスに依存しません。さらに、広い周波数範囲で電源変動に対して安定です(図 37)。

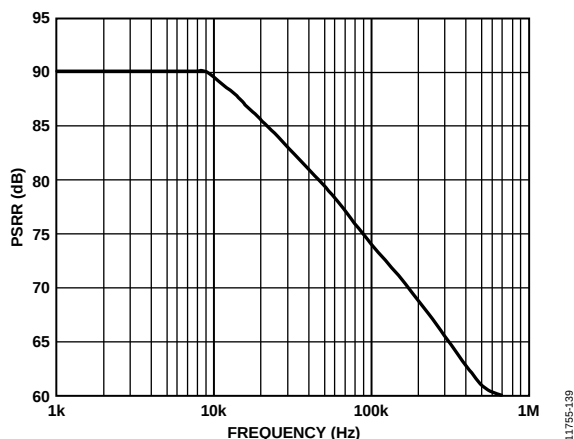


図 37. PSRR の周波数特性

最適性能を得るためには、VDDx をリファレンス電圧入力 (REFx) の約 1/2 にする必要があります。例えば、REFx = 5.0 V の場合、VDDx = 2.5 V ($\pm 5\%$) する必要があります。

AD7903 は各変換フェーズの終わりに自動的にパワーダウンするため、消費電力はサンプリング・レートに比例します。このため、低サンプリング・レート(例えば数 Hz)とバッテリー駆動アプリケーションに最適なデバイスになっています。

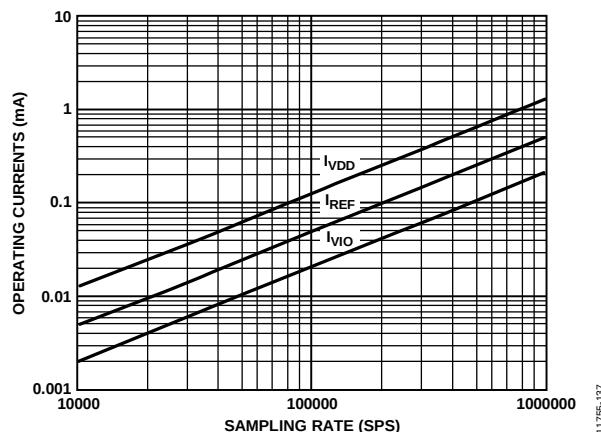


図 38. サンプリング・レート対 ADC あたりの動作電流

デジタル・インターフェース

AD7903 のピン数は少ないですが、シリアル・インターフェース・モードで柔軟性を提供します。

CSモードでは、AD7903はSPI、QSPI、デジタル・ホスト、DSP と互換性を持っています。このモードでは、3 線式または 4 線式のインターフェースを使うことができます。CNVx 信号、SCKx 信号、SDOx 信号を使う 3 線式インターフェースは、配線数が少ないため、例えば、孤立しているアプリケーションで便利です。SDIx 信号、CNVx 信号、SCKx 信号、SDOx 信号を使う 4 線式インターフェースを使用すると、CNVx(変換を開始します)をリードバック・タイミング(SDIx)に依存しないようにすることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

AD7903 をチェーン・モードで使うと、シフトレジスタに似た 1 本のデータライン上での複数の ADC のカスケード接続に対して、SDIx 入力を使ったデジタイズチェーン機能を提供することができます。AD7903 は 2 個の ADC を 1 つのパッケージに内蔵しているため、チェーン・モードを使って両 ADC からデータを取得することができますが、使用する 4 線式ユーザー・インターフェース信号は 1 セットだけで済みます。

デバイスが動作するモードは、CNVx の立上がりエッジ時の SDIx のレベルで決定されます。SDIx がハイ・レベルのときには CSモードが、SDIx がロー・レベルときにはチェーン・モードが、それぞれ選択されます。SDIx ホールド・タイムは、SDIx と CNVx が接続されているとき、チェーン・モードが常に選択されるようにします。

いずれのモードでも、AD7903はデータビットの前にスタート・ビットを発生させるオプションを提供します。このスタート・ビットをビジー信号表示と組合せて使用して、デジタル・ホストに対して割込みを行い、データの読出しを開始させることができます。ビジー表示を使わない場合は、リードバックの前に最大変換時間の経過を待たなければなりません。

ビジー表示機能は、次のようにイネーブルされます。

- CSモードでは、ADC 変換が終了したとき CNVx または SDIx がロー・レベルになった場合(図 42 と図 46 参照)。
- チェーン・モードでは、CNVx 立上がりエッジ時に SCKx がハイ・レベルになった場合(図 50 参照)。

CS モード

CS モード 3 線式、ビジー表示なし

ビジー表示なしで 3 線式インターフェースを使用する $\overline{\text{CS}}$ モードは、1 個の AD7903 を SPI 互換デジタル・ホストに接続する際に使用されます。

図 39 に接続図を、図 40 に対応するタイミングを、それぞれ示します。

SDIx と VIOx を接続した状態では、CNVx の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDOx はハイ・インピーダンスになります。変換が開始されると、CNVx の状態に関係なく完了するまで継続されます。例えば、CNVx をロー・レベルにしてアナログ・マルチプレクサのような他の SPI デバイ

スを選択することができますが、

ビジー信号の発生を防止するため、最小変換時間が経過する前に CNVx をハイ・レベルに戻して、最大変換時間の間ハイ・レベルを維持する必要があります。変換が完了すると、AD7903 はアキュイジション・フェーズに入りパワーダウンします。

CNVx がロー・レベルになると、MSB が SDOx に自動的に出力されます。残りのデータビットは、後続の SCKx の立下がりエッジで出力されます。データは、両 SCKx エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKx の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。16 番目の SCKx 立下がりエッジの後、または CNVx がハイ・レベルになったときのいずれか早い方で、SDOx はハイ・インピーダンスに戻ります。

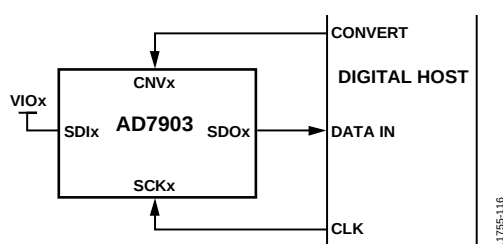


図 39. $\overline{\text{CS}}$ モード 3 線式インターフェース、ビジー表示なしの接続図(SDIx ハイ・レベル)

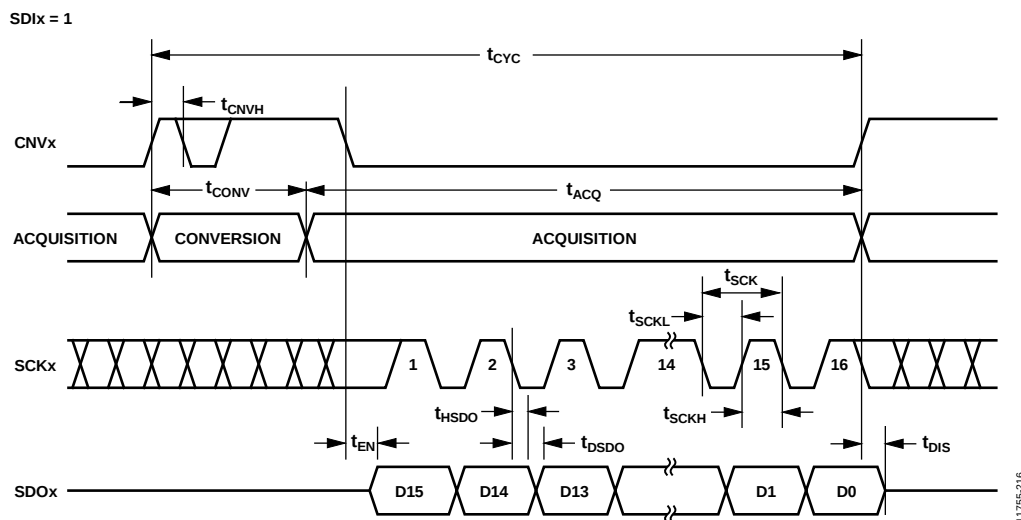


図 40. $\overline{\text{CS}}$ モード 3 線式インターフェース、ビジー表示なしのシリアル・インターフェース・タイミング(SDI ハイ・レベル)

CS モード 3 線式、ビジー表示あり

ビジー表示ありで 3 線式インターフェースを使用する $\overline{\text{CS}}$ モードは、1 個の AD7903 を割込み入力を持つ SPI 互換デジタル・ホストに接続する際に使用されます。

図 41 に接続図を、図 42 に対応するタイミングを、それぞれ示します。

SDIx と VIOx を接続した状態では、CNVx の立上がりエッジで変換が開始され、CS モードが選択され、SDOx はハイ・インピーダンスになります。CNVx の状態に無関係に変換が完了するまで SDOx はハイ・インピーダンスを維持します。最小変換時間の前に、CNVx を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間が経過する前に CNVx がロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、ビジー信号が確実に発生するようにする必要があります。

変換が完了すると、SDO はハイ・インピーダンスから低インピーダンスになります。SDOx ラインをプルアップして、この変化を割込み信号として使って、デジタル・ホストにより制御されるデータの読出しを開始させることができます。その後 AD7903 はアキュイジション・フェーズに入り、パワーダウンします。その後データビットは MSB ファーストで、後続の SCKx の立下がりエッジで出力されます。データは、両 SCKx エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKx の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。オプションの 17 番目の SCKx 立下がりエッジの後、または CNVx がハイ・レベルになったときのいずれか早い方で、SDOx はハイ・インピーダンスに戻ります。

複数の ADC を同時に選択した場合、SDOx 出力ピンが損傷またはラッチアップなしにこの接続を処理します。余分な電力消費を回避するためこの競合をできるだけ短くすることをお勧めします。

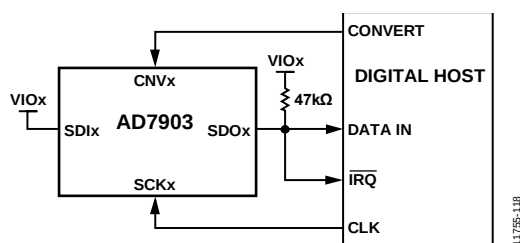


図 41. $\overline{\text{CS}}$ モード 3 線式インターフェース、ビジー表示ありの接続図(SDIx ハイ・レベル)

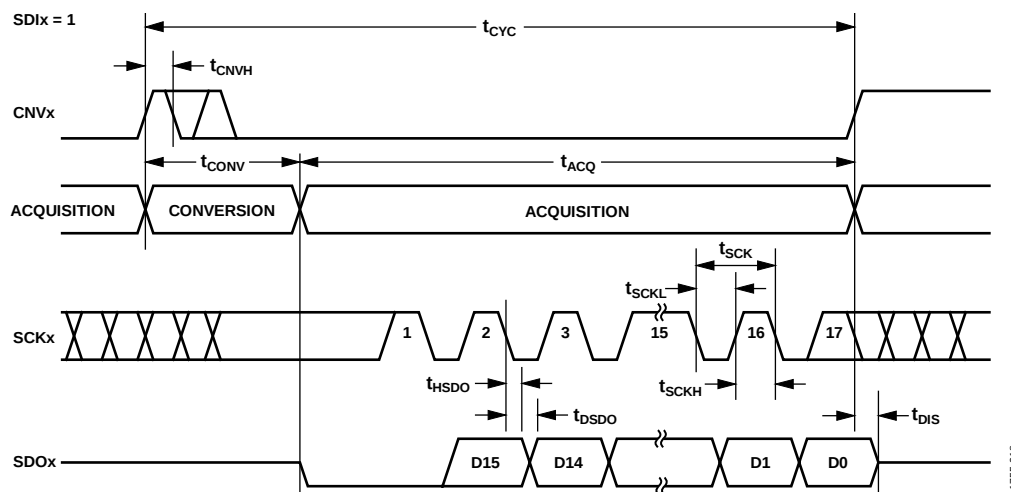


図 42. $\overline{\text{CS}}$ モード 3 線式インターフェース、ビジー表示ありのシリアル・インターフェース・タイミング(SDIx ハイ・レベル)

CS モード 4 線式インターフェース、ビジー表示なし

ビジー表示なしで 4 線式インターフェースを使用する $\overline{\text{CS}}$ モードは、AD7903 内の両 ADC を SPI 互換デジタル・ホストに接続する際に使用されます。

図 43 に、AD7903 の接続図例を示します。対応するタイミング図を図 44 に示します。

SDIx がハイ・レベルを入力した状態では、CNVx の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDOx はハイ・インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVx がハイ・レベルに維持される必要があります(SDIx と CNVx をロー・レベルにすると、SDOx がロー・レベルに駆動されます)。最小変換時間の前に、SDIx を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間の前

に SDIx がハイ・レベルに戻るため、最大変換時間の間ハイ・レベルを維持して、ビジー信号の発生を防止する必要があります。変換が完了すると、AD7903 はアキュイジション・フェーズに入りパワーダウンします。対応する SDIx 入力にロー・レベルを入力すると、各 ADC の変換結果を読むことができ、MSB が SDOx へ出力されます。残りのデータビットは、後続の SCKx の立下がりエッジで出力されます。データは、両 SCKx エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKx の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。16 番目の SCKx 立下がりエッジの後、または SDIx がハイ・レベルになったときのいずれか早い方で、SDOx はハイ・インピーダンスに戻り、もう一方の ADC を読むことができますようになります。

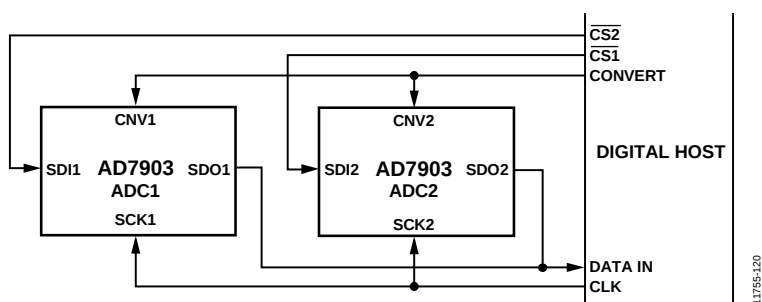


図 43. $\overline{\text{CS}}$ モード 4 線式インターフェース、ビジー表示なしの接続図

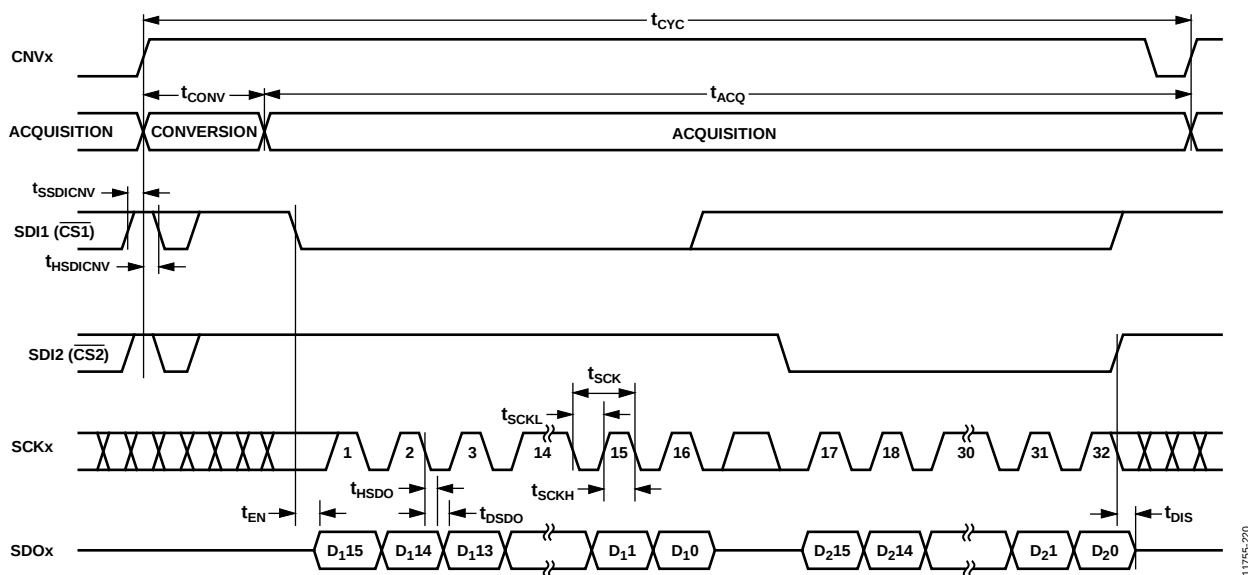


図 44. $\overline{\text{CS}}$ モード 4 線式インターフェース、ビジー表示なしのシリアル・インターフェース・タイミング

CS モード 4 線式インターフェース、ビジー表示あり

ビジー表示ありで 4 線式インターフェースを使用する $\overline{\text{CS}}$ モードは、1 個の AD7903 を割込み入力を持つ SPI 互換デジタル・ホストに接続する際に使用されます。この CS モードは、 CNV_x (アナログ入力をサンプルするために使われます) がデータの読出しを選択する際に使われる信号に依存しないようにするときにも使われます。この独立性は、 CNV_x 上のジッタが小さいことが要求されるアプリケーションで特に重要です。

図 45 に接続図を、図 46 に対応するタイミングを、それぞれ示します。

SDI_x にハイ・レベルを入力した状態では、 CNV_x の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、 SDO_x はハイ・インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、 CNV_x がハイ・レベルに維持される必要があります(SDI_x と CNV_x をロー・レベルにすると、 SDO_x がロー・レベルに駆動されます)。最小変換時間の前に、 SDI_x を使ってアナログ・マルチプレクサのような他の

SPI デバイスを選択することができますが、最小変換時間が経過する前に SDI_x がロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、ビジー信号が確実に発生するようにする必要があります。変換が完了すると、 SDO_x はハイ・インピーダンスから低インピーダンスになります。 SDO_x ラインをプルアップして、この変化を割込み信号として使って、デジタル・ホストにより制御されるデータのリードバックを開始させることができます。その後 AD7903 はアキュイジション・フェーズに入り、パワーダウンします。その後データビットは MSB ファーストで、後続の SCK_x の立下がりエッジで出力されます。データは、両 SCK_x エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、 SCK_x の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。オプションの 17 番目の SCK_x 立下がりエッジの後、または SDI_x がハイ・レベルになったときのいずれか早い方で、 SDO_x はハイ・インピーダンスに戻ります。

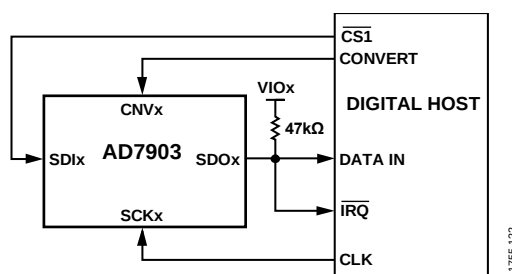


図 45. $\overline{\text{CS}}$ モード 4 線式インターフェース、ビジー表示ありの接続図

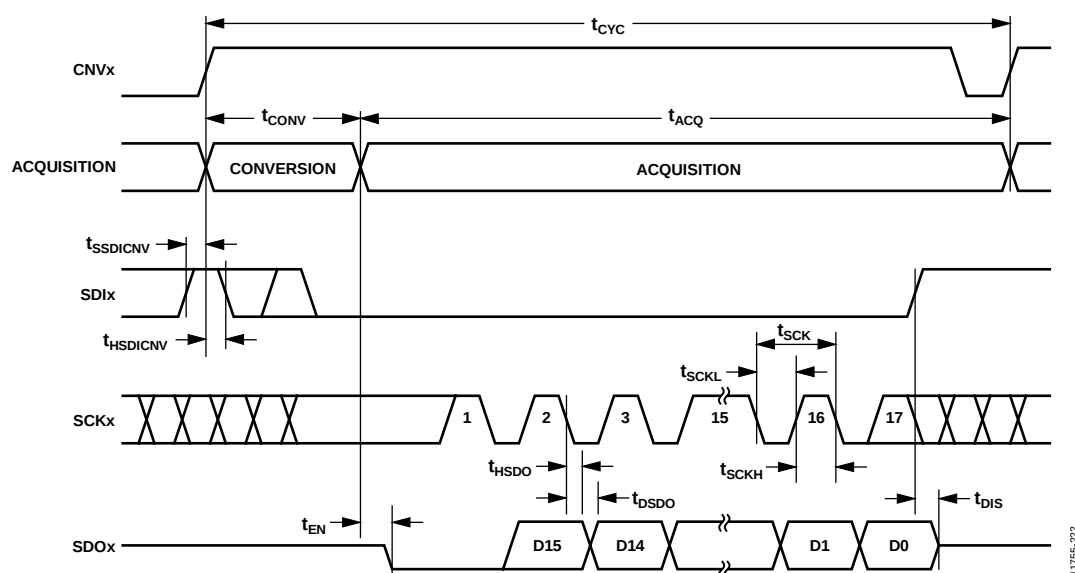


図 46. $\overline{\text{CS}}$ モード 4 線式インターフェース、ビジー表示ありのシリアル・インターフェース・タイミング

チェーン・モード

チェーン・モード、ビジー表示なし

このモードを使って、3 線式シリアル・インターフェースに AD7903 内の両 ADC をデイジーチェーン接続することができます。この機能は部品数と接続配線数の削減に役立ちます。例えば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図 47 に、AD7903 内の両 ADC を使う接続図例を示します。対応するタイミングを図 48 に示します。

SDIx と CNVx をロー・レベルにすると、SDOx がロー・レベルに駆動されます。SCKx がロー・レベルのとき、CNVx の立上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示がディスエーブルされます。このモードでは、変換フ

ェーズとそれに続くデータ・リードバックの間、CNVx がハイ・レベルに維持されます。変換が完了すると、MSB が SDOx に出力され、AD7903 はアキュイジション・フェーズに入りパワーダウンをします。内部シフトレジスタに保存されている残りのデータビットは、後続の SCKx の立上がりエッジで出力されます。各 ADC で、SDIx が内部シフトレジスタの入力に接続され、SCKx の立上がりエッジでクロック駆動されます。チェーン内の各 ADC はデータを MSB ファーストで出力し、N 個の ADC をリードバックするためには $16 \times N$ 個のクロックが必要です。データは、両 SCKx エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKx の立上がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になり、かつチェーン内の AD7903 数を増やすことができます。最大変換レートは、合計リードバック時間により低下することがあります。

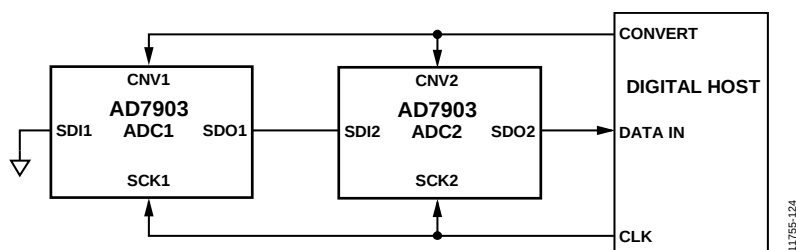


図 47.チェーン・モード、ビジー表示なしの接続図

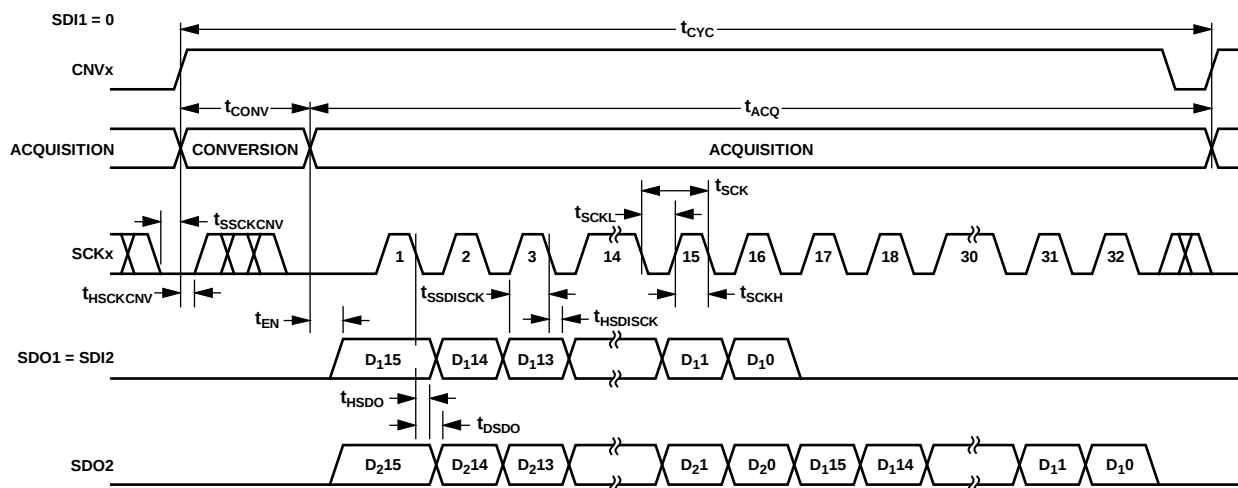


図 48.チェーン・モード、ビジー表示なしのシリアル・インターフェース・タイミング

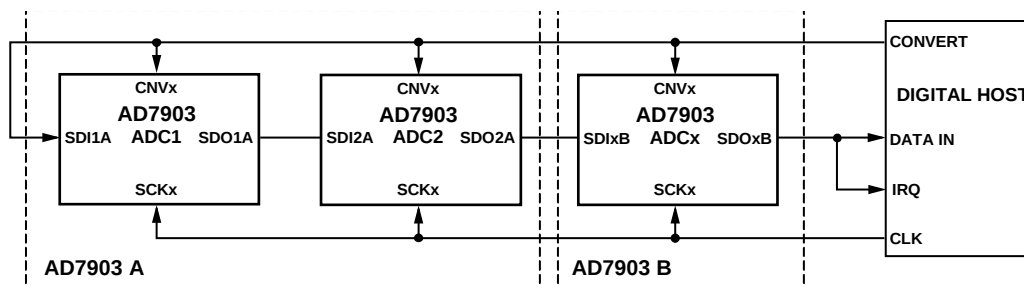
チェーン・モード、ビジー表示あり

ビジー表示ありのチェーン・モードは、3 線式シリアル・インターフェースに AD7903 内の両 ADC をデジタイズチェーン接続するときにも使用することができます。この機能は部品数と接続配線数の削減に役立ちます。例えば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図 49 に、AD7903 の 3 個の ADC を使う接続図例を示します。対応するタイミングを図 50 に示します。

SDIx と CNVx をロー・レベルにすると、SDOx がロー・レベルに駆動されます。SCKx がハイ・レベルのとき、CNVx の立上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示機能がイネーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVx がハ

イ・レベルに維持されます。チェーン内のすべての ADC で変換が完了すると、デジタル・ホストに最も近い ADC (図 49 の AD7903 B ボックス内で ADCx と表示された ADC) の SDOx ピンがハイ・レベルに駆動されます。SDOx 上のこの変化をビジー表示として使って、デジタル・ホストから制御されるデータ・リードバックを開始することができます。その後 AD7903 はアクイジション・フェーズに入り、パワーダウンします。内部シフトレジスタに保存されているデータビットは、後続の SCKx の立下がりエッジで MSB ファーストで出力されます。各 ADC で、SDIx が内部シフトレジスタの入力に接続され、SCKx の立下がりエッジでクロック駆動されます。チェーン内の各 ADC はデータを MSB ファーストで出力し、N 個の ADC をリードバックするためには $16 \times N + 1$ 個のクロックが必要です。立上がりエッジを使ってデータを取込むことができますが、SCKx の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になり、かつチェーン内の ADC 数を増やすことができます。

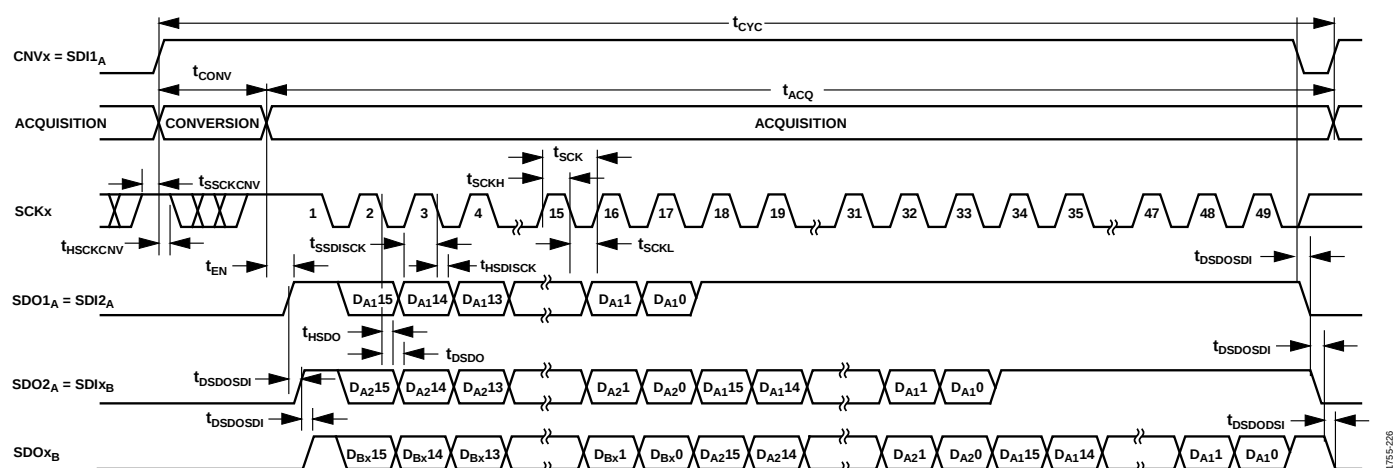


NOTES

1. DASHED LINE DENOTED ADCs ARE WITHIN A GIVEN PACKAGE.
2. SDI1A AND SDO1A REFER TO THE SDI1 AND SDO1 PINS IN ADC1 IN THE FIRST AD7903 OF THE CHAIN (AD7903 A). SDI2A AND SDO2A REFER TO THE SDI2 AND SDO2 PINS IN ADC2 OF AD7903 A. LIKEWISE, SDIxB AND SDOxB REFER TO THE SDIx AND SDOx PINS IN BOTH ADC1 AND ADC2 OF THE SECOND AD7903 IN THE CHAIN (AD7903 B)

11755-126

図 49. チェーン・モード、ビジー表示ありの接続図



11755-226

図 50. チェーン・モード、ビジー表示ありのシリアル・インターフェース・タイミング

アプリケーション情報

同時サンプリング

AD7903は2つの独自のユーザー・インターフェースを内蔵するため、デバイスから変換結果を取得する際に最大の柔軟性を提供します。AD7903は、2つのユーザー・インターフェースがデジタル・ホストからの変換スタート (CNVx) 信号を共用して2チャンネル同時サンプリング・デバイスを作成するオプションを提供します。サンプリング時点とデジタル・ホストでの変換結果使用時点との間の遅延が重要となる制御アプリケーションのようなアプリケーションでは、AD7903を図51のように構成することが推奨されます。この構成を使うと、同時サンプリングに加えて同時データ読出しが可能になります。ただし、この構成でもデジタル・ホストにデータ入力ピンの追加が必要になります。この方法では、ADCからデータを取得するために必要なSCKx立下がりエッジがビジー・インジケータのステータスに応じて15個または16個で済むため、最大スループットが可能になります。

あるいは、同時サンプリングが必要であるが、デジタル・ホストのピン数が制限されているアプリケーションでは、AD7903上の2つのユーザー・インターフェースを図47と図49に示すいずれかのデジチェーン構成で接続することができます。このデジチェーン接続を使うと、1本のデジタル・ホスト入力ピンを使って同時サンプリング機能を実現することができます。この方法では、ADCからデータを取得するために、ビジー・インジケータのステータスに応じて31個または32個のSCKx立下がりエッジが必要です。

図51に、デジタル・ホストで2つのデータ入力を使用する同時サンプリング・システムの例を示します。対応するタイミング図(図52)に、CSモード、3線式同時サンプリング・シリアル・インターフェース、ビジー表示なしを示します。ただし、3線式または4線式のシリアル・インターフェース・タイミング・オプションを使用することができます。

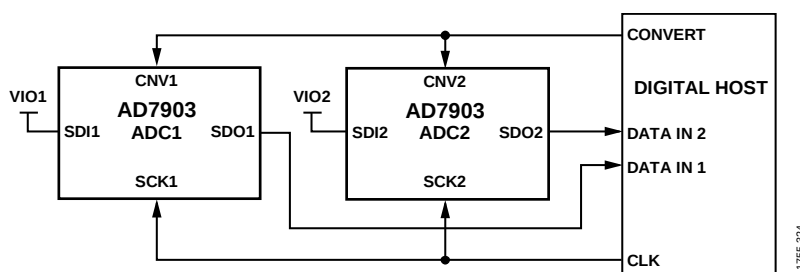


図 51.同時サンプリング例の接続図

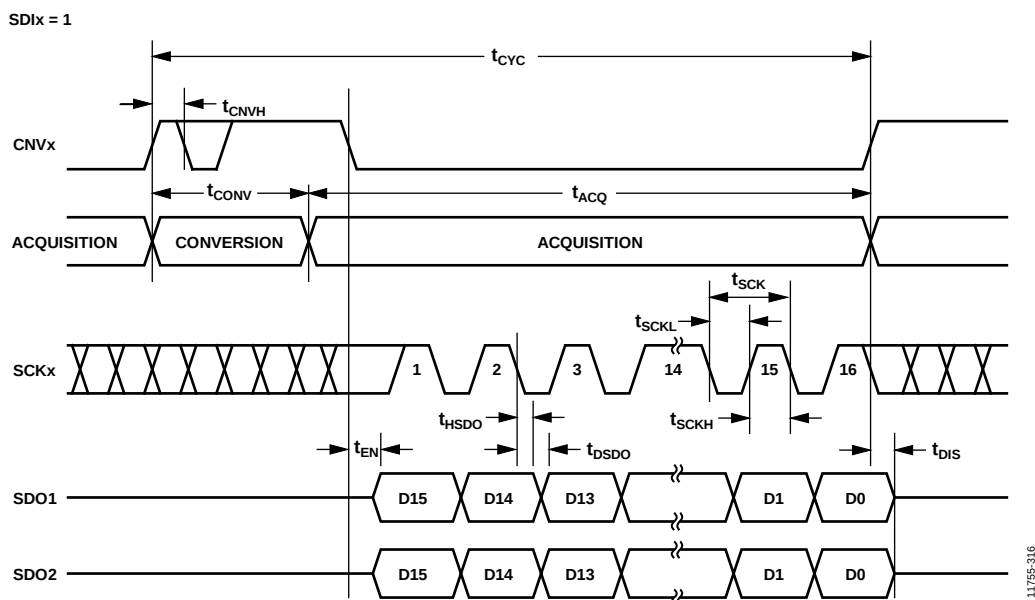


図 52.同時サンプリング・シリアル・インターフェース例のタイミング

機能安全について

AD7903 は物理的に分離された 2 個の ADC を内蔵しているため、機能安全アプリケーションに最適です。この分離のため、各 ADC は、独立なユーザー・インターフェース、独立なリファレンス入力、独立なアナログ入力、独立な電源を持っています。デバイスは物理的に分離されているため、評価/バックアップ測定値の取得に適しており、同時に、評価に使う ADC を制御を受けているシステムから分離することができます。

同時サンプリングのセクションでは、デバイスが同時動作する方法を説明していますが、この回路は実際には 2 系統のシグナル・チェーンで構成されています。この分離により、AD7903 は

計測アプリケーションの二重化に最適になっています。冗長な ADC 測定値を使用するシグナル・チェーンを構成すると、ノー・シングル・エラー・システムの実現に役立ちます。図 53 に、反転信号のモニタリングを採用した冗長測定値から構成される、代表的な機能安全アプリケーション回路を示します。正常では同じ方向に向かう回路出力が、故障状態では反対方向へ向かうような一般的な原因による故障を検出するために、反転が行われています。

さらに、検査のときには、デバイスで使用している QSOP パッケージのリードに接触することができます。

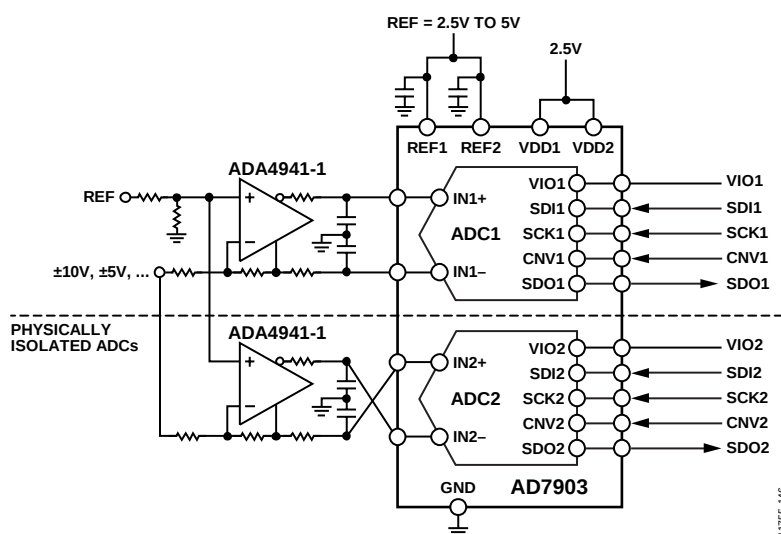


図 53. 代表的な機能安全ブロック図

レイアウト

AD7903 のプリント回路ボード(PCB)は、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7903では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7903の下グラウンド・プレーンがシールドとして使われていない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNVx やクロックのような高速なスイッチング信号は、アナログ信号パスの近くを通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。信号忠実度問題を回避するため、PCB レイアウトでデジタル・エッジの単調性を実現するように注意してください。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通に、または分けて使うことができます。後者の場合、各プレーンは AD7903 の下で接続する必要があります。

AD7903 のリファレンス入力(REF1 と REF2)は、動入力インピ

ーダンスを持っています。リファレンス電圧のデカップリング・セラミック・コンデンサを REFx ピンと GND ピンの近くに、理想的には直接に接続して、寄生インダクタンスを小さくしてこれらのリファレンス入力をデカップリングし、太い低インピーダンスのパターンでこれらのピンを接続してください。最後に、電源(VDDx と VIOx)を 100 nF (typ)のセラミック・コンデンサでデカップリングします。これらは AD7903 の近くに配置し、短く太いパターンで接続して、低インピーダンス・パスを提供し、電源ライン上のグリッチの影響を小さくします。

図 54 に、これらの規則に従うレイアウト例を示します。

AD7903 の性能評価

AD7903 に対するその他の推奨レイアウトは、ユーザー・ガイド [UG-609](#) に示してあります。評価用ボード ([EVAL-AD7903SDZ](#))の梱包には、組み立て/テスト済みの評価用ボード、ユーザー・ガイド、[EVAL-SDP-CB1Z](#) を介して PC からボードを制御するソフトウェアが添付されています。

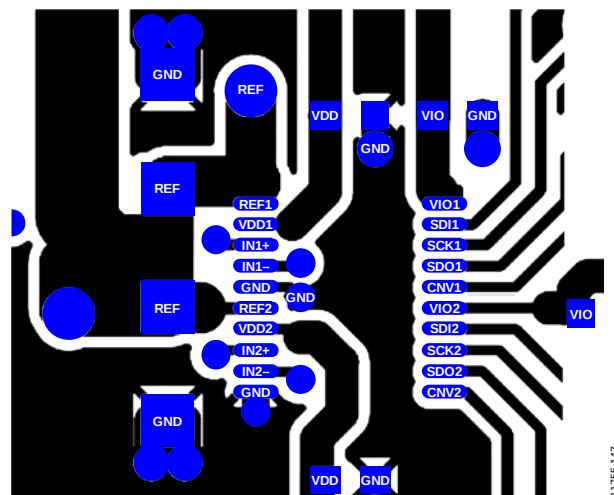
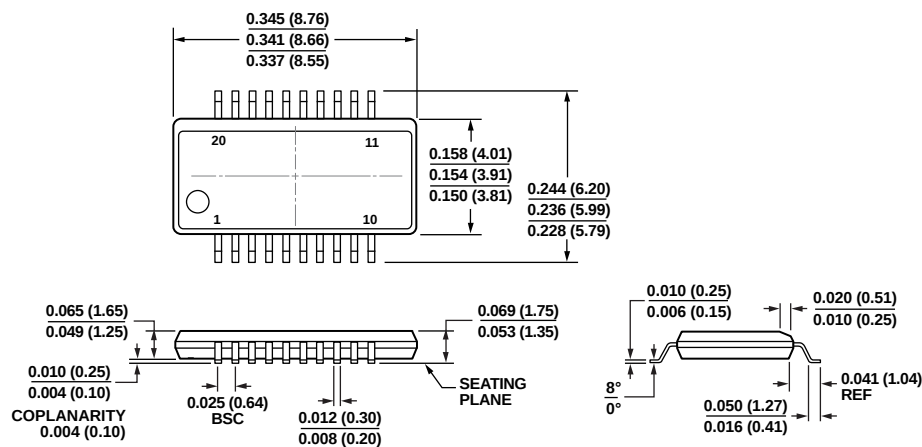


図 54.AD7903 のレイアウト例 (表面層)

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-137-AD
CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

08-19-2008-A

図 55.20 ピン・シュリンク・スモール・アウトライン・パッケージ[QSOP]
(RQ-20)
寸法:インチ(mm)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Ordering Quantity
AD7903BRQZ	−40°C to +125°C	20-Lead Shrink Small Outline Package (QSOP)	RQ-20	Tube, 56
AD7903BRQZ-RL7	−40°C to +125°C	20-Lead Shrink Small Outline Package (QSOP)	RQ-20	Reel, 1,000
EVAL-AD7903SDZ		Evaluation Board		
EVAL-SDP-CB1Z		Controller Board		

¹ Z = RoHS 準拠製品。