

AD7798/AD7799

特長

RMSノイズ：

- 27nV@4.17Hz (AD7799)
- 65nV@16.7Hz (AD7799)
- 40nV@4.17Hz (AD7798)
- 85nV@16.7Hz (AD7798)

消費電流：380 μ A (typ)

パワーダウン時の消費電流：1 μ A (max)

低ノイズのプログラマブル・ゲイン計装アンプ

更新レート：4.17~500Hz

3チャンネルの差動入力

内部クロック発振器

50Hz/60Hzを同時除去

リファレンス検出

ローサイドのパワー・スイッチ

プログラマブル・デジタル出力

バーンアウト電流

電源：2.7~5.25V

温度範囲：-40~+105 $^{\circ}$ C

独立したインターフェース電源

16ピンTSSOPパッケージ

インターフェース

3線式シリアル

SPI[®]、QSPI[™]、MICROWIRE[™]、DSP互換

SCLKにシュミット・トリガを内蔵

アプリケーション

重量計

圧力計測

ストレインゲージ・トランスデューサ

ガス分析

工業用プロセス制御

計測機器

ポータブル計測機器

血液分析

スマート・トランスミッタ

液体/ガス・クロマトグラフィ

6桁DVM

機能ブロック図

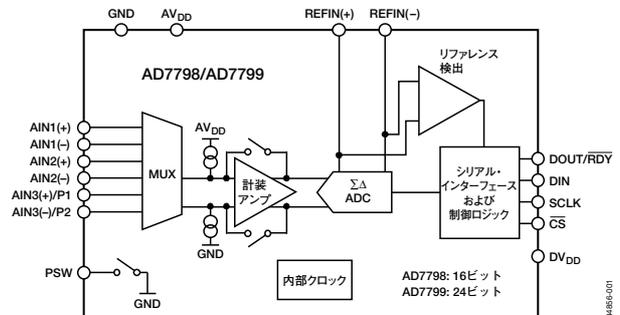


図1

概要

AD7798/AD7799は、高精度計測アプリケーション向けの低消費電力、低ノイズ、全機能内蔵型アナログ・フロントエンドです。3チャンネル差動アナログ入力を備えた低ノイズ、16/24ビットのシグマ・デルタ ($\Sigma\Delta$) A/Dコンバータ (ADC) を内蔵しています。AD7798/AD7799は低ノイズ計装アンプも内蔵しているため、小振幅の信号をADCに直接インターフェースできます。ゲインを64に設定すると、更新レートが4.17Hzのとき、rmsノイズは27nV (AD7799)、40nV (AD7798) になります。

オンチップ機能としては、ローサイドのパワー・スイッチ、リファレンス検出、プログラマブル・デジタル出力ピン、バーンアウト電流、内部クロック発振器があります。デバイスからの出力データ・レートはソフトウェアで設定可能で、4.17~500Hzの周波数範囲で変化させることができます。

このデバイスは、2.7~5.25Vの電源で動作します。AD7798の消費電流は300 μ A (typ) で、AD7799の消費電流は380 μ A (typ) です。いずれも16ピンTSSOPパッケージで提供しています。

AD7798/AD7799

目次

仕様	3	ADC回路情報	19
タイミング特性	6	概要	19
絶対最大定格	8	デジタル・インターフェース	20
ESDに関する注意	8	回路説明	23
ピン配置と機能の説明	9	アナログ入力チャンネル	23
出力ノイズおよび分解能仕様	10	計装アンプ	23
AD7798	10	バイポーラ/ユニポーラ構成	23
AD7799	11	データ出力のコーディング	24
代表的な性能特性	12	バーニアアウト電流	24
オンチップ・レジスタ	13	リファレンス	24
コミュニケーション・レジスタ	13	リファレンス検出	24
ステータス・レジスタ	14	リセット	25
モード・レジスタ	14	AV _{DD} モニタ	25
設定レジスタ	16	キャリブレーション	25
データ・レジスタ	17	グラウンディングとレイアウト	26
IDレジスタ	17	アプリケーション	27
IOレジスタ	17	重量計	27
オフセット・レジスタ	18	外形寸法	28
フルスケール・レジスタ	18	オーダー・ガイド	28

改訂履歴

2005年1月ーリビジョン0：初版

仕様

$AV_{DD}=2.7\sim 5.25V$ 、 $DV_{DD}=2.7\sim 5.25V$ 、 $GND=0V$ 、 $REFIN(+)=AV_{DD}$ 、 $REFIN(-)=0V$ 。特に指定のない限り、仕様はすべて $T_{MIN}\sim T_{MAX}$ の条件で規定。

表1

パラメータ	AD7798B/AD7799B ¹	単位	テスト条件/備考
ADCチャンネル			
出力更新レート	4.17~500	Hz (nom)	AD7799: $f_{ADC}<250Hz$ AD7798
ノー・ミスコード ²	24	ビット (min)	
	16	ビット (min)	
分解能	表5~8を参照		
出力ノイズと更新レート	表5~8を参照		
積分非直線性 (INL)	±15	FSRのppm (max)	
オフセット誤差 ³	±1	μV (typ)	
オフセット誤差の温度ドリフト ⁴	±10	nV/°C (typ)	
フルスケール誤差 ^{3, 5}	±10	μV (typ)	
ゲインの温度ドリフト ⁴	±1	ppm/°C (typ)	
電源電圧変動除去比	100	dB (min)	$A_{IN}=1V/\text{ゲイン}$ 、 $\text{ゲイン}\geq 4$
アナログ入力			
差動入力電圧範囲	$\pm V_{REF}/\text{ゲイン}$	V (nom)	$V_{REF}=REFIN(+)-REFIN(-)$ 、 ゲイン=1~128
A_{IN}電圧の絶対限界値²			
非バッファ・モード	GND-30mV $AV_{DD}+30mV$	V (min) V (max)	ゲイン=1または2
バッファ・モード	GND+100mV $AV_{DD}-100mV$	V (min) V (max)	ゲイン=1または2
計装アンプ・アクティブ	GND+300mV $AV_{DD}-1.1$	V (min) V (max)	ゲイン=4~128
同相電圧 (V_{CM})	0.5	V (min)	$V_{CM}=(A_{IN}(+)+A_{IN}(-))/2$ 、 ゲイン=4~128
アナログ入力電流			
バッファ・モードまたは 計装アンプ・アクティブ 平均入力電流 ²	±1 ±250 ±1	nA (max) pA (max) nA (max)	ゲイン=1または2、更新レート<100Hz ゲイン=4~128、更新レート<100Hz A _{IN3} (+)/A _{IN3} (-)、更新レート<100Hz
平均入力電流ドリフト	±2	pA/°C (typ)	
非バッファ・モード 平均入力電流	±400	nA/V (typ)	ゲイン=1または2 入力電流は入力電圧によって変化
平均入力電流ドリフト	±50	pA/V/°C (typ)	
ノーマル・モード除去比 ²			
@50Hz、60Hz	65	dB (min)	80dB (typ)、50±1Hz、 60±1Hz (FS [3:0]=1010) ⁶
@50Hz	80	dB (min)	90dB (typ)、50±1Hz (FS [3:0]=1001) ⁶
@60Hz	90	dB (min)	100dB (typ)、60±1Hz (FS [3:0]=1000) ⁶
同相ノイズ除去比			
@DC	100	dB (min)	$A_{IN}=1V/\text{ゲイン}$ 、 $\text{ゲイン}\geq 4$
@50Hz、60Hz ²	100	dB (min)	50±1Hz、60±1Hz (FS [3:0]=1010) ⁶
@50Hz、60Hz ²	100	dB (min)	50±1Hz (FS [3:0]=1001) ⁶ 、 60±1Hz (FS [3:0]=1000) ⁶

AD7798/AD7799

パラメータ	AD7798B/AD7799B ¹	単位	テスト条件/備考
電圧リファレンス 外部REFIN電圧 リファレンス電圧範囲 ²	2.5 0.1 AV _{DD}	V (nom) V (min) V (max)	REFIN = REFIN(+) - REFIN(-) V _{REF} = AV _{DD} で計装アンプがアクティブの場合は、差動入力を0.9×V _{REF} /ゲインに制限してください
REFIN電圧の絶対限界値 ²	GND - 30mV AV _{DD} + 30mV	V (min) V (max)	
平均リファレンス入力電流 平均リファレンス入力電流ドリフト ノーマル・モード除去	400 ±0.03 アナログ入力の場合と同じ	nA/V (typ) nA/V/°C (typ)	
同相ノイズ除去比 リファレンス検出レベル	100 0.3 0.65	dB (typ) V (min) V (max)	V _{REF} < 0.3VでNOXREFビットがアクティブ
ローサイドのパワー・スイッチ R _{ON}	7 9	Ω (max) Ω (max)	AV _{DD} = 5V AV _{DD} = 3V
許容電流 ²	30	mA (max)	連続電流
デジタル出力 (P1とP2) 出力ハイレベル電圧 (V _{OH}) ² 出力ローレベル電圧 (V _{OL}) ² 出力ハイレベル電圧 (V _{OH}) ² 出力ローレベル電圧 (V _{OL}) ²	AV _{DD} - 0.6 0.4 4 0.4	V (min) V (max) V (min) V (max)	AV _{DD} = 3V, I _{SOURCE} = 100μA AV _{DD} = 3V, I _{SINK} = 100μA AV _{DD} = 5V, I _{SOURCE} = 200μA AV _{DD} = 5V, I _{SINK} = 800μA
内部クロック 周波数 ²	64 ± 3%	kHz (min/max)	
ロジック入力 CS ² 入力ローレベル電圧 (V _{INL}) 入力ハイレベル電圧 (V _{INH}) SCLKとDIN (シュミット・トリガ入力) ² V _T (+) V _T (-) V _T (+) - V _T (-) V _T (+) V _T (-) V _T (+) - V _T (-) 入力電流 入力容量	0.8 0.4 2.0 1.4/2 0.8/1.7 0.1/0.17 0.9/2 0.4/1.35 0.06/0.13 ±10 10	V (max) V (max) V (min) V (min/max) V (min/max) V (min/max) V (min/max) V (min/max) V (min/max) V (min/max) μA (max) pF (typ)	DV _{DD} = 5V DV _{DD} = 3V DV _{DD} = 3Vまたは5V DV _{DD} = 5V DV _{DD} = 5V DV _{DD} = 5V DV _{DD} = 3V DV _{DD} = 3V DV _{DD} = 3V DV _{DD} = 3V V _{IN} = DV _{DD} またはGND すべてのデジタル入力
ロジック出力 出力ハイレベル電圧 (V _{OH}) ² 出力ローレベル電圧 (V _{OL}) ² 出力ハイレベル電圧 (V _{OH}) ² 出力ローレベル電圧 (V _{OL}) ² フローティング状態での漏れ電流 フローティング状態での出力容量 データ出力コーディング	DV _{DD} - 0.6 0.4 4 0.4 ±10 10 オフセット・バイナリ	V (min) V (max) V (min) V (max) μA (max) pF (typ)	DV _{DD} = 3V, I _{SOURCE} = 100μA DV _{DD} = 3V, I _{SINK} = 100μA DV _{DD} = 5V, I _{SOURCE} = 200μA DV _{DD} = 5V, I _{SINK} = 1.6mA

パラメータ	AD7798B/AD7799B ¹	単位	テスト条件/備考
システム・キャリブレーション ² フルスケール・キャリブレーション 制限電圧	+1.05×FS	V (max)	FS=フルスケール・アナログ入力。 V _{REF} =AV _{DD} で計装アンプがアクティブの 場合は、差動入力を0.9×V _{REF} /ゲインに制 限する必要があります。
ゼロスケール・キャリブレーション 制限電圧	-1.05×FS	V (min)	
入力スパン	0.8×FS	V (min)	
	2.1×FS	V (max)	
電源条件 ⁷			
電源電圧			
AV _{DD} ~GND	2.7/5.25	V (min/max)	非バッファ・モード、 110μA (typ) @AV _{DD} =3V、 125μA (typ) @AV _{DD} =5V バッファ・モード、ゲイン=1または2、 130μA (typ) @AV _{DD} =3V、 165μA (typ) @AV _{DD} =5V AD7798：ゲイン=4~128、 300μA (typ) @AV _{DD} =3V、 350μA (typ) @AV _{DD} =5V AD7799：ゲイン=4~128、 380μA (typ) @AV _{DD} =3V、 440μA (typ) @AV _{DD} =5V
DV _{DD} ~GND	2.7/5.25	V (min/max)	
電源電流			
I _{DD} 電流	140	μA (max)	
	180	μA (max)	
	400	μA (max)	
	500	μA (max)	
I _{DD} (パワーダウン・モード)	1	μA (max)	

¹ 温度範囲：-40~+105℃

² これらの仕様については出荷テストは実施していませんが、仕様は量産開始時の特性評価データにより保証しています。

³ キャリブレーション後、誤差は設定ゲイン条件および選択した更新レート条件でのノイズ値にほぼ等しくなります。

⁴ 任意の温度下で再キャリブレーションを行うと、ドリフト誤差は除去できます。

⁵ フルスケール誤差は、出荷時のキャリブレーション条件 (AV_{DD}=4V、ゲイン=1、T_A=25℃) で正側と負側の両方のフルスケールに適用されます。

⁶ FS[3:0]は、出力ワードレートを選擇する際にモード・レジスタで使用する4つのビットです。

⁷ デジタル入力は、DV_{DD}またはGNDに等しくなります。

AD7798/AD7799

タイミング特性

特に指定のない限り、 $AV_{DD}=2.7\sim 5.25V$ 、 $DV_{DD}=2.7\sim 5.25V$ 、 $GND=0V$ 、入力ロジック0=0V、入力ロジック1= DV_{DD}

表2

パラメータ ^{1, 2}	T_{MIN} 、 T_{MAX} 時の限界値 (Bバージョン)	単位	条件/備考
t_3	100	ns (min)	SCLKのハイ・パルス幅
t_4	100	ns (min)	SCLKのロー・パルス幅
読出し動作			
t_1	0	ns (min)	\overline{CS} の立下がりエッジからDOUT/ \overline{RDY} アクティブまでの時間
	60	ns (max)	$DV_{DD}=4.75\sim 5.25V$
	80	ns (max)	$DV_{DD}=2.7\sim 3.6V$
t_2^3	0	ns (min)	SCLKのアクティブ・エッジからデータ有効までの遅延時間 ⁴
	60	ns (max)	$DV_{DD}=4.75\sim 5.25V$
	80	ns (max)	$DV_{DD}=2.7\sim 3.6V$
$t_5^{5, 6}$	10	ns (min)	\overline{CS} の非アクティブ・エッジ後のバス開放時間
	80	ns (max)	
t_6	0	ns (min)	SCLKの非アクティブ・エッジから \overline{CS} の非アクティブ・エッジまでの時間
t_7	10	ns (min)	SCLKの非アクティブ・エッジからDOUT/ \overline{RDY} ハイ・レベルまでの時間
書込み動作			
t_8	0	ns (min)	\overline{CS} の立下がりエッジからSCLKアクティブ・エッジまでのセットアップ時間 ⁴
t_9	30	ns (min)	データ有効からSCLKエッジまでのセットアップ時間
t_{10}	25	ns (min)	データ有効からSCLKエッジまでのホールド時間
t_{11}	0	ns (min)	\overline{CS} の立上がりエッジからSCLKエッジまでのホールド時間

¹ 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号を $t_r=t_f=5ns$ (DV_{DD} の10~90%)で規定し、1.6Vの電圧レベルからの時間を計測しています。

² 図3と図4を参照。

³ これらの値は図2の負荷回路を用いて測定したもので、出力が V_{OL} または V_{OH} の限界値に達するまでの時間です。

⁴ SCLKのアクティブ・エッジは、SCLKの立下がりエッジです。

⁵ 時間は、図2の負荷回路においてデータ出力が0.5V変化するまでの所要時間を測定して得られたものです。この測定時間は、50pFコンデンサの充放電による影響を受けない値として推測されているため、タイミング特性に記載された時間がデバイスの真のバス開放時間であり、外部バスの負荷容量とは無関係です。

⁶ ADCの読出し後、 \overline{RDY} はハイレベルに戻ります。シングル/連続変換モード時、 \overline{RDY} がハイレベルの間、必要に応じてデータを再読出できますが、読出し動作が次の出力更新の直前で実行されないようにしてください。連続読出しモードでは、デジタル・ワードの読出しは1回のみ可能です。

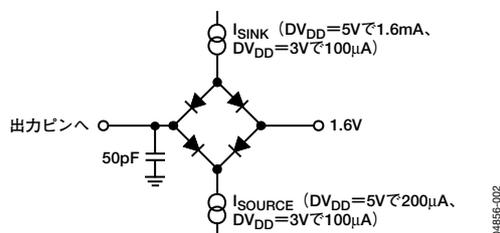


図2. タイミング特性評価用の負荷回路

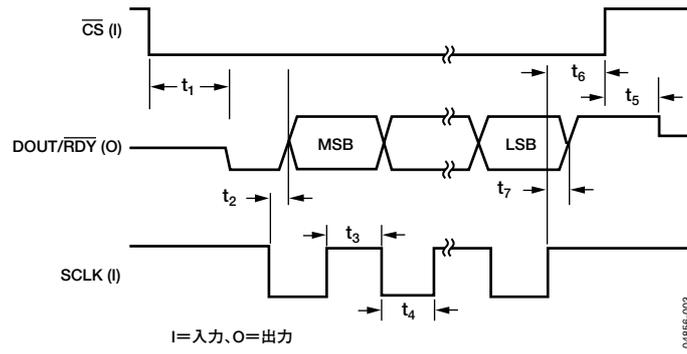


図3. 読出しサイクルのタイミング図

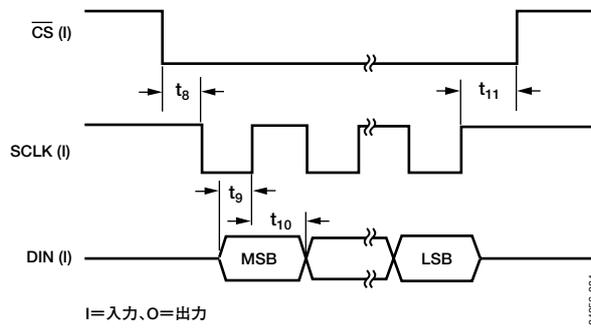


図4. 書込みサイクルのタイミング図

AD7798/AD7799

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$

表3

パラメータ	定格
GNDに対する AV_{DD}	$-0.3\sim+7\text{V}$
GNDに対する DV_{DD}	$-0.3\sim+7\text{V}$
GNDに対するアナログ入力電圧	$-0.3\text{V}\sim AV_{DD}+0.3\text{V}$
GNDに対するリファレンス入力電圧	$-0.3\text{V}\sim AV_{DD}+0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3\text{V}\sim DV_{DD}+0.3\text{V}$
GNDに対するデジタル出力電圧	$-0.3\text{V}\sim DV_{DD}+0.3\text{V}$
AIN/デジタル入力電流	10mA
動作温度範囲	$-40\sim+85^{\circ}\text{C}$
保存温度範囲	$-65\sim+150^{\circ}\text{C}$
最大ジャンクション温度	150 $^{\circ}\text{C}$
TSSOP	
θ_{JA} 熱抵抗	128 $^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	14 $^{\circ}\text{C}/\text{W}$
ピン温度、ハンダ処理	
ベーキング時間 (60秒)	215 $^{\circ}\text{C}$
赤外線方式 (15秒)	220 $^{\circ}\text{C}$

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイスの動作を定めたものではありません。長時間デバイスを絶対最大定格条件に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明

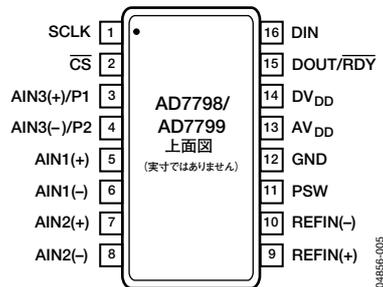


図5. ピン配置

表4. ピン機能の説明

ピン番号	記号	説明
1	SCLK	ADCとの間のデータ転送用のシリアル・クロック入力。SCLKはシュミット・トリガ入力を備えており、光絶縁アプリケーションとのインターフェースに適しています。すべてのデータを連続したパルス列で転送する場合、シリアル・クロックを連続して使用できます。あるいは、ADCとの間でデータをもっと小さいバッチで転送する場合は、これを不連続クロックとして用いることもできます。
2	$\overline{\text{CS}}$	チップ・セレクト入力。これは、ADCの選択に使用するアクティブ・ローのロジック入力です。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスを接続したシステムでADCを選択するのに用いたり、デバイスとの通信でフレーム同期信号として用いることができます。 $\overline{\text{CS}}$ をローレベルにハードウェア接続できるので、デバイスとのインターフェースにSCLK、DIN、DOUT/RDYの各信号を用いる3線式モードでADCを使うことができます。
3	AIN3(+)/P1	アナログ入力/デジタル出力ピン。AIN3(+) ¹ は、差動アナログ入力ペアAIN3(+)/AIN3(-)の正側端子です。このピンはAV _{DD} とGNDを基準とする汎用出力ビットとしても使用できます。
4	AIN3(-)/P2	アナログ入力/デジタル出力ピン。AIN3(-) ¹ は、差動アナログ入力ペアAIN3(+)/AIN3(-)の負側端子です。このピンはAV _{DD} とGNDを基準とする汎用出力ビットとしても使用できます。
5	AIN1(+)	アナログ入力。AIN1(+) ¹ は、差動アナログ入力ペアAIN1(+)/AIN1(-)の正側端子です。
6	AIN1(-)	アナログ入力。AIN1(-) ¹ は、差動アナログ入力ペアAIN1(+)/AIN1(-)の負側端子です。
7	AIN2(+)	アナログ入力。AIN2(+) ¹ は、差動アナログ入力ペアAIN2(+)/AIN2(-)の正側端子です。
8	AIN2(-)	アナログ入力。AIN2(-) ¹ は、差動アナログ入力ペアAIN2(+)/AIN2(-)の負側端子です。
9	REFIN(+)	リファレンス入力 (正)。REFIN(+) ¹ とREFIN(-) ¹ の間に外部リファレンスを加えることができます。REFIN(+) ¹ にはAV _{DD} ~GND+0.1Vまでの電圧を印加できます。リファレンス電圧(REFIN(+) ¹ -REFIN(-) ¹)の公称値は2.5Vですが、0.1V~AV _{DD} の範囲のリファレンスでも動作します。
10	REFIN(-)	リファレンス入力 (負)。REFIN(-) ¹ は、REFINの負側リファレンス入力です。GND~AV _{DD} -0.1Vまでのリファレンス電圧を印加できます。
11	PSW	GNDに接続するローサイドのパワー・スイッチ
12	GND	グラウンド基準ポイント
13	AV _{DD}	2.7~5.25Vの電源電圧
14	DV _{DD}	2.7~5.25Vのデジタル・インターフェース電源電圧。シリアル・インターフェース・ピンのロジック・レベルは、この電源に関係します。なお、DV _{DD} 電圧はAV _{DD} 電圧から独立しているため、DV _{DD} =3VのときAV _{DD} =5Vに、またはDV _{DD} =5VのときAV _{DD} =3Vにできます。
15	DOUT/RDY	シリアル・データ出力/データ・レディ出力。DOUT/RDY ¹ には2つの機能があります。1つは、ADCの出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとしての機能です。出力シフト・レジスタには、オンチップのデータ・レジスタまたはコントロール・レジスタからのデータを格納できます。さらにこのピンは、ローレベルに遷移することによって変換の終了を示すデータ・レディ出力ピンとしても機能します。変換後、データの読み出しがない場合は、次の更新が実行される前に、このピンはハイレベルになります。 DOUT/RDY ¹ の立下がりエッジはプロセッサへの割込みとして使用でき、データが有効であることを示します。外部シリアル・クロックの使用時には、DOUT/RDY ¹ ピンによってデータの読み出しが可能です。 $\overline{\text{CS}}$ がローレベルの場合、SCLKの立下がりエッジでデータ/制御ワード情報がDOUT/RDY ¹ ピンに出力され、この情報はSCLKの立下がりエッジで有効になります。
16	DIN	ADCの入力シフト・レジスタに対するシリアル・データ入力。シフト・レジスタのデータは、ADC内部のコントロール・レジスタに転送されます。コミュニケーション・レジスタのレジスタ選択ビットによって、適切なレジスタを特定します。

AD7798/AD7799

出力ノイズおよび分解能仕様

AD7798

表5は、更新レートとゲインをさまざまな値に設定したときのAD7798の出力rmsノイズを示したものです。リファレンス=2.5Vとしたときのバイポーラ入力電圧範囲を適用しています。これらの値は代表値であり、差動入力電圧=0V時に測定したものです。表6は、有効分解能を示したもので、括弧内の数値は出力ピークtoピーク分解能を表します。なお、有効分解能の計

算にはrmsノイズを使用していますが、ピークtoピーク分解能の計算にはピークtoピーク・ノイズを使用していますので注意してください。ピークtoピーク分解能は、コードのフリッカがまったくない場合の分解能です。これらの値は代表値であり、最も近いLSB値に丸めています。

表5. AD7798のさまざまなゲインと出力更新レートに対する出力RMSノイズ (μV) (2.5Vのリファレンスを使用)

更新レート	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17Hz	0.64	0.6	0.29	0.22	0.1	0.065	0.039	0.041
8.33Hz	1.04	0.96	0.38	0.26	0.13	0.078	0.057	0.055
16.7Hz	1.55	1.45	0.54	0.36	0.18	0.11	0.087	0.086
33.3Hz	2.3	2.13	0.74	0.5	0.23	0.17	0.124	0.118
62.5Hz	2.95	2.85	0.92	0.58	0.29	0.2	0.153	0.144
125Hz	4.89	4.74	1.49	1	0.48	0.32	0.265	0.283
250Hz	11.76	9.5	4.02	1.96	0.88	0.45	0.379	0.397
500Hz	11.33	9.44	3.07	1.79	0.99	0.63	0.568	0.593

表6. AD7798のさまざまなゲインと出力更新レートに対する分解能の代表値 (ビット) (2.5Vのリファレンスを使用)

更新レート	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17Hz	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)
8.33Hz	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)
16.7Hz	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)
33.3Hz	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)
62.5Hz	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)
125Hz	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)	16 (14.5)
250Hz	16 (16)	16 (15.5)	16 (15.5)	16 (15.5)	16 (16)	16 (16)	16 (15)	16 (14)
500Hz	16 (16)	16 (15.5)	16 (16)	16 (16)	16 (15.5)	16 (15.5)	16 (14.5)	15.5 (13.5)

AD7799

表7は、更新レートとゲインをさまざまな値に設定したときのAD7799の出力rmsノイズを示したものです。リファレンス=2.5Vとしたときのバイポーラ入力電圧範囲を適用しています。これらの値は代表値であり、差動入力電圧=0V時に測定したものです。表8は、有効分解能を示したもので、括弧内の数値は出力ピークtoピーク分解能を表します。なお、有効分解能

の計算にはrmsノイズを使用していますが、ピークtoピーク分解能の計算にはピークtoピーク・ノイズを使用していますので注意してください。ピークtoピーク分解能は、コードのフリッカがまったくない場合の分解能です。これらの値は代表値であり、最も近いLSB値に丸めています。

表7. AD7799のさまざまなゲインと出力更新レートに対する出力RMSノイズ (μV) (2.5Vのリファレンスを使用)

更新レート	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17Hz	0.64	0.6	0.185	0.097	0.075	0.035	0.027	0.027
8.33Hz	1.04	0.96	0.269	0.165	0.108	0.048	0.037	0.040
16.7Hz	1.55	1.45	0.433	0.258	0.176	0.085	0.065	0.065
33.3Hz	2.3	2.13	0.647	0.364	0.24	0.118	0.097	0.094
62.5Hz	2.95	2.85	0.952	0.586	0.361	0.178	0.133	0.134
125Hz	4.89	4.74	1.356	0.785	0.521	0.265	0.192	0.192
250Hz	11.76	9.5	3.797	2.054	1.027	0.476	0.326	0.308
500Hz	11.33	9.44	3.132	1.773	1.107	0.5	0.413	0.374

表8. AD7799のさまざまなゲインと出力更新レートに対する分解能の代表値 (ビット) (2.5Vのリファレンスを使用)

更新レート	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17Hz	23 (20.5)	22 (19.5)	22.5 (20)	22.5 (20)	22 (19.5)	22 (19.5)	21.5 (19)	20.5 (18)
8.33Hz	22 (19.5)	21.5 (19)	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
16.7Hz	21.5 (19)	20.5 (18)	21.5 (19)	21 (18.5)	21 (18.5)	21 (18.5)	20 (17.5)	19 (16.5)
33.3Hz	21 (18.5)	20 (17.5)	21 (18.5)	20.5 (18)	20.5 (18)	20.5 (18)	19.5 (17)	18.5 (16)
62.5Hz	20.5 (18)	19.5 (17)	20.5 (18)	20 (17.5)	19.5 (17)	19.5 (17)	19 (16.5)	18 (15.5)
125Hz	20 (17.5)	19 (16.5)	20 (17.5)	19.5 (17)	19 (16.5)	19 (16.5)	18.5 (16)	17.5 (15)
250Hz	18.5 (16)	18 (15.5)	18.5 (16)	18 (15.5)	18 (15.5)	18.5 (16)	18 (15.5)	17 (14.5)
500Hz	18.5 (16)	18 (15.5)	18.5 (16)	18.5 (16)	18 (15.5)	18.5 (16)	17.5 (15)	16.5 (14)

AD7798/AD7799

代表的な性能特性

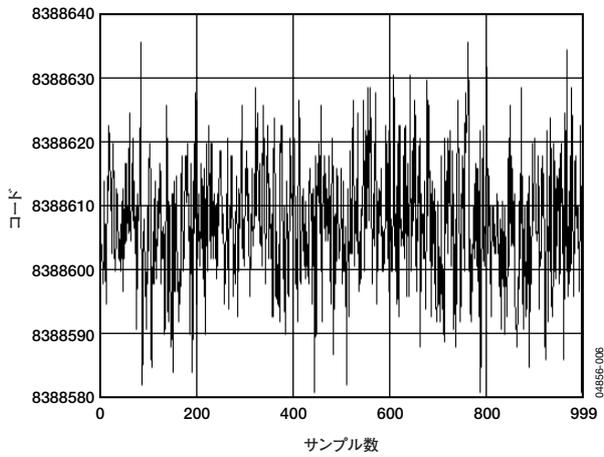


図6. AD7799のノイズ特性 ($V_{REF}=AV_{DD}/2$ 、ゲイン=64、更新レート=4.17Hz)

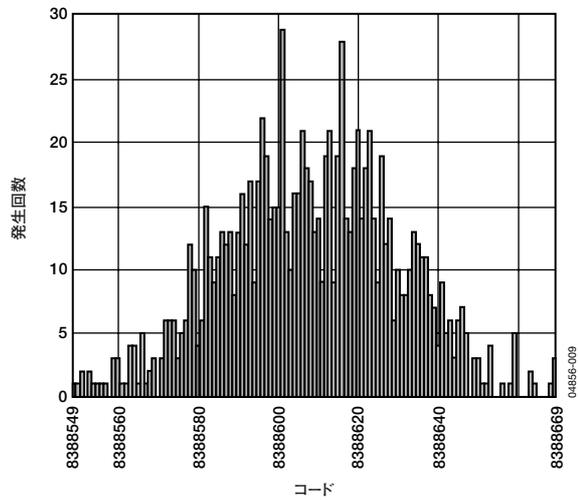


図9. AD7799のノイズ分布ヒストグラム ($V_{REF}=AV_{DD}/2$ 、ゲイン=64、更新レート=16.7Hz)

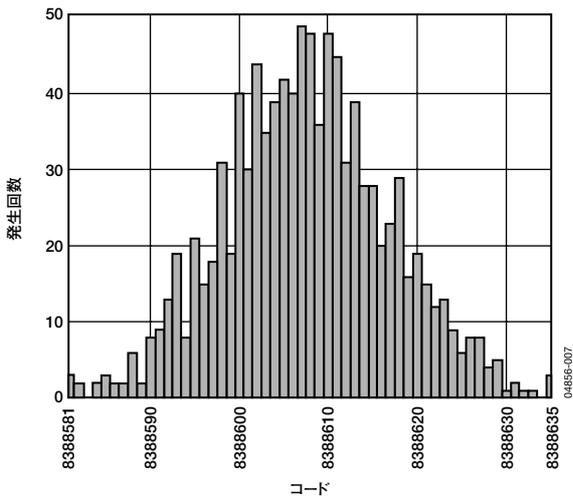


図7. AD7799のノイズ分布ヒストグラム ($V_{REF}=AV_{DD}/2$ 、ゲイン=64、更新レート=4.17Hz)

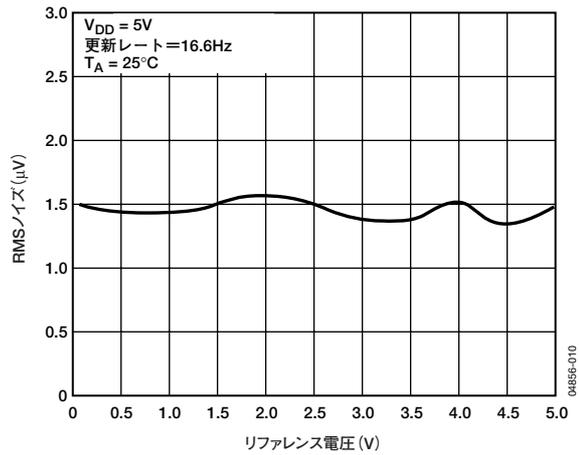


図10. リファレンス電圧 対 RMSノイズ (ゲイン=1)

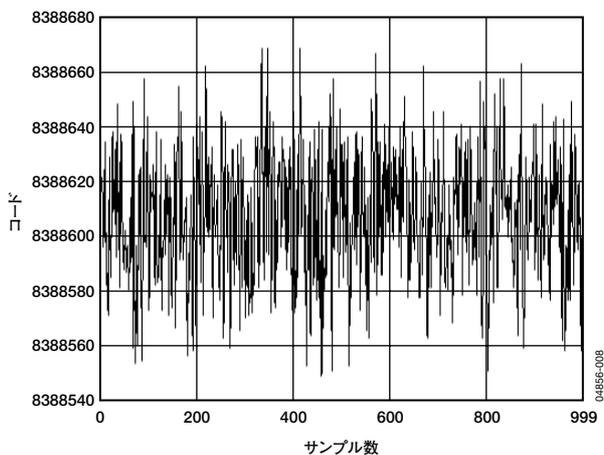


図8. AD7799のノイズ特性 ($V_{REF}=AV_{DD}/2$ 、ゲイン=64、更新レート=16.7Hz)

オンチップ・レジスタ

ADCの制御と設定は、以下に説明する多数のオンチップ・レジスタによって行います。以下では特に指定のない限り、「セット」はロジック1の状態を、「クリア」はロジック0の状態を意味します。

コミュニケーション・レジスタ

RS2, RS1, RS0=0, 0, 0

コミュニケーション・レジスタは、8ビットの書き込み専用レジスタです。ADCとの通信はすべて、コミュニケーション・レジスタへの書き込み動作により開始されなければなりません。コミュニケーション・レジスタに書き込まれるデータによって、次の動作が読出し／書き込みのどちらなのか、またどのレジスタに対してこの動作を実行するのかが決まります。読出または書き込み動作が完了した後、インターフェースはデフォルト状態に戻り、コミュニケーション・レジスタへの書き込み動作を待ちます。インターフェース・シーケンスが失われた状況では、DINがハイレベルのときに32サイクル以上のシリアル・クロックを使用して書き込み動作を行い、デバイス全体をリセットして、ADCをデフォルト状態に復帰させます。表9にコミュニケーション・レジスタのビット配置を示します。CR0～CR7はビット位置を表し、CRは各ビットがコミュニケーション・レジスタに割り当てられていることを示します。CR7はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーオン時またはリセット後のデフォルト・ステータスを示します。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
$\overline{WEN}(0)$	$R/\overline{W}(0)$	RS2(0)	RS1(0)	RS0(0)	CREAD(0)	0(0)	0(0)

表9. コミュニケーション・レジスタのビット配置

ビット位置	ビット名	説明
CR7	\overline{WEN}	書き込みイネーブル・ビット。コミュニケーション・レジスタへの書き込み動作を実際に行うには、このビットに0を書き込む必要があります。最初の書き込みビットが1の場合は、このレジスタの後続ビットに対してデバイスはクロック動作を実行しません。このビットに0が書き込まれるまで、デバイスはこのビット位置にとどまります。 \overline{WEN} ビットに0が書き込まれると、次の7ビットはコミュニケーション・レジスタにロードされます。
CR6	R/\overline{W}	読出し／書き込みビット。このビットが0の場合は、次の動作が指定レジスタへの書き込みであることを示します。このビットが1の場合は、次の動作が指定レジスタからの読出しであることを示します。
CR5～CR3	RS2～RS0	レジスタ・アドレス・ビット。これらのビットは、シリアル・インターフェース通信時のレジスタ選択に使用します。表10を参照。
CR2	CREAD	データ・レジスタ・ビットの連続読出し。このビットを1に設定し、データ・レジスタを選択すると、シリアル・インターフェースが設定され、データ・レジスタの連続読出しが可能になります。すなわち、 \overline{RDY} ピンがローレベルに遷移して変換の終了が確認された後でSCLKパルスが印加されると、データ・レジスタの内容が自動的にDOUTピンに送られます。データ読出しの場合、コミュニケーション・レジスタに書き込みを行う必要はありません。この連続読出しモードをイネーブルにするには、0101100の命令をコミュニケーション・レジスタに書き込む必要があります。連続読出しモードを終了するには、 \overline{RDY} ピンがローレベルの間に01011000の命令をコミュニケーション・レジスタに書き込みます。連続読出しモードの間ADCは、このモードの終了命令がないかDINライン上のアクティビティをモニタします。さらに、32個の連続的な1がDIN上で確認されると、リセットが実行されます。したがって、連続読出しモード時は、デバイスに命令が書き込まれるまで、DINをローレベルに保持してください。
CR1～CR0	0	正常に動作させるため、これらのビットにロジック0を設定してください。

表10. レジスタの選択

RS2	RS1	RS0	レジスタ	レジスタのサイズ
0	0	0	書き込み動作時のコミュニケーション・レジスタ	8ビット
0	0	0	読出し動作時のステータス・レジスタ	8ビット
0	0	1	モード・レジスタ	16ビット
0	1	0	設定レジスタ	16ビット
0	1	1	データ・レジスタ	16ビット (AD7798) / 24ビット (AD7799)
1	0	0	IDレジスタ	8ビット
1	0	1	IOレジスタ	8ビット
1	1	0	オフセット・レジスタ	16ビット (AD7798) / 24ビット (AD7799)
1	1	1	フルスケール・レジスタ	16ビット (AD7798) / 24ビット (AD7799)

AD7798/AD7799

ステータス・レジスタ

RS2、RS1、RS0=0、0、0、パワーオン/リセット=0x80 (AD7798) /0x88 (AD7799)

ステータス・レジスタは、8ビットの読出し専用レジスタです。ステータス・レジスタにアクセスするには、コミュニケーション・レジスタへの書き込みを行い、次の動作に読出しを選択し、RS2、RS1、RS0の各ビットに0をロードします。表11にステータス・レジスタのビット配置を示します。SR0～SR7はビット位置を表し、SRは各ビットがステータス・レジスタに割り当てられていることを示します。SR7はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーオン時またはリセット後のデフォルト・ステータスを示します。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
RDY(1)	ERR(0)	NOREF(0)	0(0)	0/1	CH2(0)	CH1(0)	CH0(0)

表11. ステータス・レジスタのビット配置

ビット位置	ビット名	説明
SR7	RDY	レディ・ビット。データ・レジスタにデータが書き込まれると、このビットはクリアされます。データ・レジスタの読出し完了後、またはデータ・レジスタが新しい変換結果に更新される一定期間前に、変換データを読み出さないようユーザに通知するためにRDYビットがセットされます。デバイスがパワーダウン・モードのときにも、RDYビットがセットされます。変換の終了は、DOUT/RDYピンによって示されます。このピンをステータス・レジスタの代わりに使用して、ADCの変換データをモニタすることもできます。
SR6	ERR	エラー・ビット。このビットは、RDYビットと同時に書き込まれます。このビットがセットされると、データ・レジスタの書き込み結果がオール0またはオール1にクランプされたことを示します。エラーの原因には、オーバーレンジやアンダーレンジなどがあります。変換開始の書き込み動作が行われると、このビットはクリアされます。
SR5	NOREF	ノー・リファレンス・ビット。このビットがセットされると、規定のスレッシュホールドよりもリファレンス (REFIN) が低いことを示します。NOREFがセットされると、変換結果がオール1にクランプされます。クリアされると、有効なリファレンスがリファレンス・ピンに印加されていることを示します。NOREFビットをイネーブルにするには、設定レジスタのREF_DETビットを1に設定します。
SR4	0	このビットは自動的にクリアされます。
SR3	0/1	このビットはAD7798では自動的にクリアされ、AD7799では自動的にセットされます。
SR2～SR0	CH2～CH0	これらのビットは、ADCが変換しているチャンネルを示します。

モード・レジスタ

RS2、RS1、RS0=0、0、1、パワーオン/リセット=0x000A

モード・レジスタは、データの読出し/書き込みが可能な16ビットのレジスタです。このレジスタを使用して、動作モード、更新レート、ローサイドのパワー・スイッチを選択します。表12に、モード・レジスタのビット配置を示します。MR0～MR15はビット位置を表し、MRは各ビットがモード・レジスタに割り当てられていることを示します。MR15はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーアップ時またはリセット後のデフォルト・ステータスを示します。モード・レジスタに書き込みを行うと、変調器とフィルタがリセットされ、RDYビットがセットされます。

MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8
MD2(0)	MD1(0)	MD0(0)	PSW(0)	0(0)	0(0)	0(0)	0(0)
MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
0(0)	0(0)	0(0)	0(0)	FS3(1)	FS2(0)	FS1(1)	FS0(0)

表12. モード・レジスタのビット配置

ビット位置	ビット名	説明
MR15～MR13	MD2～MD0	モード選択ビット。これらのビットを使用して、AD7798/AD7799の動作モードを選択します (表13を参照)。
MR12	PSW	パワー・スイッチ制御ビット。ユーザがこのビットをセットすると、GNDに接続されているパワー・スイッチPSWが閉じます。パワー・スイッチには最大30mAの電流シンク能力があります。このビットをクリアすると、パワー・スイッチが開きます。ADCがパワーダウン・モードのときは、パワー・スイッチは開いています。
MR11～MR4	0	正常に動作させるため、これらのビットにロジック0を設定してください。
MR3～MR0	FS3～FS0	フィルタの更新レート選択ビット (表14を参照)。

表13. 動作モード

MD2	MD1	MD0	モード
0	0	0	連続変換モード（デフォルト）。連続変換モードでは、ADCは連続的に変換を実行し、その結果をデータ・レジスタに格納します。変換が終了するとRDYがローレベルになります。パワーオン、チャンネルの変更、あるいはモード/設定/IOの各レジスタへの書き込みが完了し、 $2/f_{ADC}$ の時間が経過すると最初の変換が実行され、 f_{ADC} の周波数で次の変換動作が実行されます。
0	0	1	シングル変換モード。シングル変換モードを選択すると、ADCはパワーアップ後に1回のみ変換を行います。発振器のパワーアップとセトリングの所要時間は1msです。この後ADCは、 $2/f_{ADC}$ の時間で変換を行います。変換結果はデータ・レジスタに格納され、RDYがローレベルに遷移すると、ADCはパワーダウン・モードに戻ります。データを読み出すか、または別の変換を開始するまで、変換結果はデータ・レジスタに保持され、RDYはアクティブ（ローレベル）の状態を維持します。
0	1	0	アイドル・モード。アイドル・モードでは、ADCのフィルタと変調器がリセット状態に保持されますが、変調器のクロック供給は続行されます。
0	1	1	パワーダウン・モード。このモードでは、バーンアウト電流などのAD7798/AD7799のすべての回路がパワーダウンします。
1	0	0	内部ゼロスケール・キャリブレーション。イネーブルのチャンネル入力には内部で自動的に短絡されます。キャリブレーションの完了には2変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードに入ります。計測したオフセット係数は、選択チャンネルのオフセット・レジスタに格納されます。
1	0	1	内部フルスケール・キャリブレーション。キャリブレーション用に選択したアナログ入力にフルスケール入力電圧を自動的に接続します。ゲインが1のとき、キャリブレーションの完了には2変換サイクルが必要です。それ以外の場合、フルスケール・キャリブレーションの完了には、4変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードに入ります。計測したフルスケール係数は、選択チャンネルのフルスケール・レジスタに格納されます。ゲインが128のとき、内部フルスケール・キャリブレーションは実行できません。工場出荷時にADCはゲイン128でキャリブレーションが実施されており、パワーアップ時にゲインが128に設定されていると、この工場設定値がフルスケール・レジスタに格納されます。ゲインを128に設定する場合は、システム・フルスケール・キャリブレーションを実行できます。チャンネルのゲインを変更する場合は、フルスケール誤差を最小限に抑えるために、そのつど必ずフルスケール・キャリブレーションを行ってください。
1	1	0	システム・ゼロスケール・キャリブレーション。このモードでは、CH2～CH0ビットで選択したチャンネル入力ピンにシステム・ゼロスケール入力を接続する必要があります。システム・オフセット・キャリブレーションの完了には2変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードに入ります。計測したオフセット係数は、選択チャンネルのオフセット・レジスタに格納されます。チャンネルのゲインを変更する場合は、そのつどゼロスケール・キャリブレーションを行ってください。
1	1	1	システム・フルスケール・キャリブレーション。このモードでは、CH2～CH0ビットで選択したチャンネル入力ピンにシステム・フルスケール入力を接続する必要があります。キャリブレーションの完了には2変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードに入ります。計測したフルスケール係数は、選択チャンネルのフルスケール・レジスタに格納されます。チャンネルのゲインを変更する場合は、そのつど必ずフルスケール・キャリブレーションを行ってください。

表14. 選択可能な更新レート

FS3	FS2	FS1	FS0	f_{ADC} (Hz)	t_{SETTLE} (ms)	除去比@50Hz/60Hz
0	0	0	0	予備		
0	0	0	1	500	4	
0	0	1	0	250	8	
0	0	1	1	125	16	
0	1	0	0	62.5	32	
0	1	0	1	50	40	
0	1	1	0	39.2	48	
0	1	1	1	33.3	60	
1	0	0	0	19.6	101	90dB (60Hzのみ)
1	0	0	1	16.7	120	80dB (50Hzのみ)
1	0	1	0	16.7	120	65dB

AD7798/AD7799

FS3	FS2	FS1	FS0	f _{ADC} (Hz)	t _{SETTLE} (ms)	除去比@50Hz/60Hz
1	0	1	1	12.5	160	66dB
1	1	0	0	10	200	69dB
1	1	0	1	8.33	240	70dB
1	1	1	0	6.25	320	72dB
1	1	1	1	4.17	480	74dB

設定レジスタ

RS2、RS1、RS0=0、1、0、パワーオン/リセット=0x0710

設定レジスタは、データの読出し/書込みが可能な16ビットのレジスタです。このレジスタを使用して、ADCのユニポーラ/バイポーラ・モード設定、バッファのイネーブル/ディスエーブル、バーニアアウト電流のイネーブル/ディスエーブル、ゲインの選択、アナログ入力チャンネルの選択を行います。表15に、設定レジスタのビット配置を示します。CON0~CON15はビット位置を表し、CONは各ビットが設定レジスタに割り当てられていることを示します。CON15はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーオン時またはリセット後のデフォルト・ステータスを示します。

CON15	CON14	CON13	CON12	CON11	CON10	CON9	CON8
0(0)	0(0)	BO(0)	U \bar{B} (0)	0(0)	G2(1)	G1(1)	G0(1)
CON7	CON6	CON5	CON4	CON3	CON2	CON1	CON0
0(0)	0(0)	REF_DET(0)	BUF(1)	0(0)	CH2(0)	CH1(0)	CH0(0)

表15. 設定レジスタのビット配置

ビット位置	ビット名	説明																																													
CON15~ CON14 CON13	0 BO	正常に動作させるために、これらのビットにロジック0を設定してください。 バーニアアウト電流イネーブル・ビット。このビットを1に設定すると、信号経路で100nAの電流源がイネーブルになります。BO=0に設定すると、バーニアアウト電流がディスエーブルになります。バーニアアウト電流をイネーブルに設定できるのは、バッファまたは計装アンプがアクティブのときのみです。																																													
CON12	U \bar{B}	ユニポーラ/バイポーラ選択ビット。このビットをセットすると、ユニポーラ・コーディングがイネーブルになります。すなわち、ゼロスケールの差動入力 ⁸ が0x000000のコードで、フルスケールの差動入力 ⁸ が0xFFFFのコードで出力されます。このビットをクリアすると、バイポーラ・コーディングがイネーブルになります。この場合、負のフルスケール差動入力 ⁸ が0x000000のコード、ゼロスケール差動入力 ⁸ が0x800000のコード、そして正のフルスケール差動入力 ⁸ が0xFFFFのコードで出力されます。																																													
CON11 CON10~ CON8	0 G2~G0	正常に動作させるために、このビットにロジック0を設定してください。 ゲイン選択ビット。これらのビットに書込みを行い、以下のADC入力電圧範囲を選択します。																																													
		<table border="1"> <thead> <tr> <th>G2</th> <th>G1</th> <th>G0</th> <th>ゲイン</th> <th>ADCの入力電圧範囲 (リファレンス=2.5V)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1 (計装アンプ不使用)</td> <td>2.5V</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2 (計装アンプ不使用)</td> <td>1.25V</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>4</td> <td>625mV</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>8</td> <td>312.5mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>16</td> <td>156.2mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>32</td> <td>78.125mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>64</td> <td>39.06mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>128</td> <td>19.53mV</td> </tr> </tbody> </table>	G2	G1	G0	ゲイン	ADCの入力電圧範囲 (リファレンス=2.5V)	0	0	0	1 (計装アンプ不使用)	2.5V	0	0	1	2 (計装アンプ不使用)	1.25V	0	1	0	4	625mV	0	1	1	8	312.5mV	1	0	0	16	156.2mV	1	0	1	32	78.125mV	1	1	0	64	39.06mV	1	1	1	128	19.53mV
G2	G1	G0	ゲイン	ADCの入力電圧範囲 (リファレンス=2.5V)																																											
0	0	0	1 (計装アンプ不使用)	2.5V																																											
0	0	1	2 (計装アンプ不使用)	1.25V																																											
0	1	0	4	625mV																																											
0	1	1	8	312.5mV																																											
1	0	0	16	156.2mV																																											
1	0	1	32	78.125mV																																											
1	1	0	64	39.06mV																																											
1	1	1	128	19.53mV																																											
CON7~ CON6 CON5	0 REF_DET	正常に動作させるために、これらのビットにロジック0を設定してください。 リファレンス検出機能をイネーブルにします。REF_DETがセットされると、ADCが使用している外部リファレンスがオープン回路になるか、電圧が0.5Vよりも低くなったときにステータス・レジスタのNOREFビットがこれを示します。このビットがクリアされると、リファレンス検出機能がディスエーブルになります。																																													

ビット位置	ビット名	説明																																													
CON4	BUF	ADCをバッファ／非バッファの動作モードに設定します。BUFがクリアされると、ADCは非バッファ・モードで動作し、デバイスの消費電力が低減します。BUFがセットされると、ADCはバッファ・モードで動作し、システム上でゲイン誤差を発生させることなく、入力インピーダンスをフロントエンドで増大させることができます。ゲインが1または2の場合、バッファをディスエーブルに設定できます。ゲインがこれより大きい場合は、バッファは自動的にイネーブルになります。 バッファがディスエーブルのときは、アナログ入力ピン上の電圧範囲をGND-30mV~AV _{DD} +30mVとすることができます。バッファがイネーブルのときは、ある程度のヘッドルームが必要となるため、すべての入力ピン上の電圧は両電源レールの100mV以内に制限されます。																																													
CON3	0	正常に動作させるために、このビットにロジック0を設定してください。																																													
CON2~ CON0	CH2~ CH0	チャンネル選択ビット。これらのビットに書込みを行い、ADCのアクティブなアナログ入力チャンネルを以下のように選択します。																																													
		<table border="1"> <thead> <tr> <th>CH2</th> <th>CH1</th> <th>CH0</th> <th>チャンネル</th> <th>キャリブレーション・ペア</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>AIN1(+)-AIN1(-)</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>AIN2(+)-AIN2(-)</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>AIN3(+)-AIN3(-)</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>AIN1(-)-AIN1(-)</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>予備</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>予備</td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>予備</td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>AV_{DD}モニタ</td> <td>ゲイン=1/6と内部リファレンス=1.17Vを自動的に選択します。</td> </tr> </tbody> </table>	CH2	CH1	CH0	チャンネル	キャリブレーション・ペア	0	0	0	AIN1(+)-AIN1(-)	0	0	0	1	AIN2(+)-AIN2(-)	1	0	1	0	AIN3(+)-AIN3(-)	2	0	1	1	AIN1(-)-AIN1(-)	0	1	0	0	予備		1	0	1	予備		1	1	0	予備		1	1	1	AV _{DD} モニタ	ゲイン=1/6と内部リファレンス=1.17Vを自動的に選択します。
CH2	CH1	CH0	チャンネル	キャリブレーション・ペア																																											
0	0	0	AIN1(+)-AIN1(-)	0																																											
0	0	1	AIN2(+)-AIN2(-)	1																																											
0	1	0	AIN3(+)-AIN3(-)	2																																											
0	1	1	AIN1(-)-AIN1(-)	0																																											
1	0	0	予備																																												
1	0	1	予備																																												
1	1	0	予備																																												
1	1	1	AV _{DD} モニタ	ゲイン=1/6と内部リファレンス=1.17Vを自動的に選択します。																																											

データ・レジスタ

RS2, RS1, RS0=0, 1, 1, パワーオン/リセット=0x0000(00)

ADCからの変換結果がこのデータ・レジスタに格納されます。これは読出し専用レジスタです。このレジスタからの読出しが完了すると、RDYビットとDOUT/RDYピンがセットされます。

IDレジスタ

RS2, RS1, RS0=1, 0, 0, パワーオン/リセット=0xXA (AD7798) /0xB (AD7799)

AD7798/AD7799の識別番号がIDレジスタに格納されます。これは読出し専用レジスタです。

IOレジスタ

RS2, RS1, RS0=1, 0, 1, パワーオン/リセット=0x00

IOレジスタは、データの読出し/書込みが可能な8ビットのレジスタです。このレジスタを使用して、AIN3(+)/AIN3(-)ピンの機能を選択します。表16に、IOレジスタのビット配置を示します。IO0~IO7はビット位置を示し、IOは各ビットがIOレジスタに割り当てられていることを示します。IO7はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーオン時またはリセット後のデフォルト・ステータスを示します。

IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0
0(0)	IOEN(0)	IO2DAT(0)	IO1DAT(0)	0(0)	0(0)	0(0)	0(0)

AD7798/AD7799

表16. IOレジスタのビット配置

ビット位置	ビット名	説明
IO7	0	正常に動作させるために、このビットにロジック0を設定してください。
IO6	IOEN	AIN3(+)/P1とAIN3(-)/P2をアナログ入力ピンまたはデジタル出力ピンに設定します。このビットをセットすると、これらのピンはデジタル出力ピンP1とP2に設定されます。このビットをクリアすると、アナログ入力ピンAIN3(+とAIN3(-)に設定されます。
IO5、IO4	IO2DAT、IO1DAT	P1/P2データ。IOENをセットすると、デジタル出力ピンP1とP2のデータがIO1DATビットとIO2DATビットに書き込まれます。
IO3~IO0	0	正常に動作させるために、これらのビットに必ずロジック0を設定してください。

オフセット・レジスタ

RS2、RS1、RS0=1、1、0、パワーオン/リセット=0x8000 (AD7798) /0x800000 (AD7799)

各アナログ入力チャンネルには、チャンネルのオフセット・キャリブレーション係数を格納する専用のオフセット・レジスタが用意されています。このレジスタはAD7798で16ビット幅、AD7799で24ビット幅で、パワーオン/リセット時の値は16進数8000(00)です。各オフセット・レジスタとそれに対応するフルスケール・レジスタによって、1つのレジスタ・ペアが形成されます。内部またはシステム・ゼロスケール・キャリブレーションを開始すると、パワーオン・リセット値が自動的に上書きされます。オフセット・レジスタは、読出し/書込みレジスタです。ただし、オフセット・レジスタに書き込むときは、AD7798/AD7799をアイドル・モードまたはパワーダウン・モードに設定してください。

フルスケール・レジスタ

RS2、RS1、RS0=1、1、1、パワーオン/リセット=0x5XXX (AD7798) /0x5XXX00 (AD7799)

フルスケール・レジスタはAD7798で16ビット、AD7799で24ビットのレジスタで、ADCのフルスケール・キャリブレーション係数を格納します。AD7798/AD7799は3個のフルスケール・レジスタを内蔵し、それぞれ各チャンネル専用のフルスケール・レジスタとなっています。フルスケール・レジスタは読出し/書込みレジスタですが、フルスケール・レジスタに書き込みを行うときは、ADCをパワーダウン・モードまたはアイドル・モードにする必要があります。レジスタはパワーオン時に、工場出荷時校正のフルスケール・キャリブレーション係数（ゲイン=128で実施）に設定されます。内部またはシステム・フルスケール・キャリブレーションを開始すると、あるいはフルスケール・レジスタに書き込みを行うと、デフォルト値が自動的に上書きされます。

ADC回路情報

概要

AD7798/AD7799は、 $\Sigma\Delta$ 変調器、バッファ、計装アンプ、デジタル・フィルタを内蔵した低消費電力ADCです。圧力トランスデューサや重量計などのダイナミック・レンジの広い低周波数信号の計測用に設計されています。

各デバイスは、バッファ付き／バッファなしの3チャンネルの差動入力を備えています。リファレンスは、外部リファレンス源から供給します。図11に、デバイスの動作に必要な基本的な接続を示します。

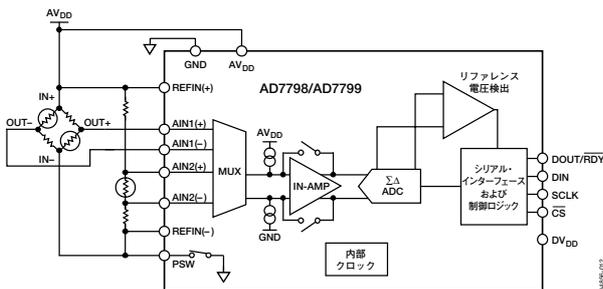


図11. 基本的な接続図

AD7798/AD7799の出力レート (f_{ADC}) はプログラマブルです。設定可能な更新レートと対応するセトリング時間を表14に示します。ノーマル・モード除去は、デジタル・フィルタの主要な機能です。更新レートを16.7Hz以下に設定すると、50Hzと60Hzにノッチが配置されているため、50Hzと60Hzの同時除去が最適化されます(図13を参照)。

量子化ノイズとデバイス・ノイズの除去を最適化するため、AD7798/AD7799では出力更新レートに応じて、多少異なるタイプのフィルタを使用します。更新レートが4.17~12.5Hzの場合は、平均化フィルタとともに3次Sincフィルタを使用します。更新レートが16.7~39.2Hzの場合は、変型3次Sincフィルタを使用します。更新レート=16.7Hzのとき、3次Sincフィルタは50Hzと60Hzの同時除去を行います。更新レートが50~250Hzの場合は、4次Sincフィルタを使用します。さらに、更新レート=500Hzでは、積分専用フィルタを使用します。更新レートに対する各種フィルタの周波数応答特性を図12から図15に示します。

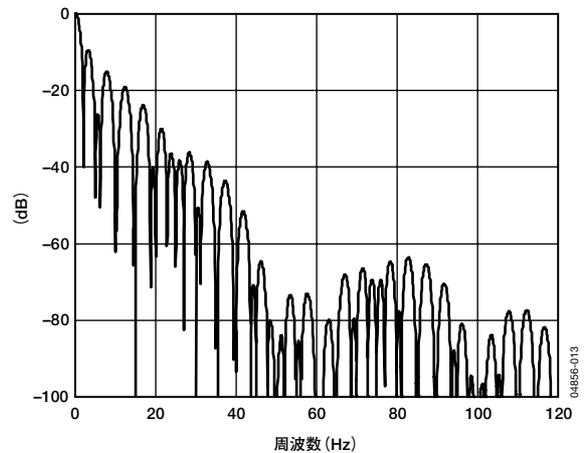


図12. フィルタの周波数応答特性 (更新レート=4.17Hz)

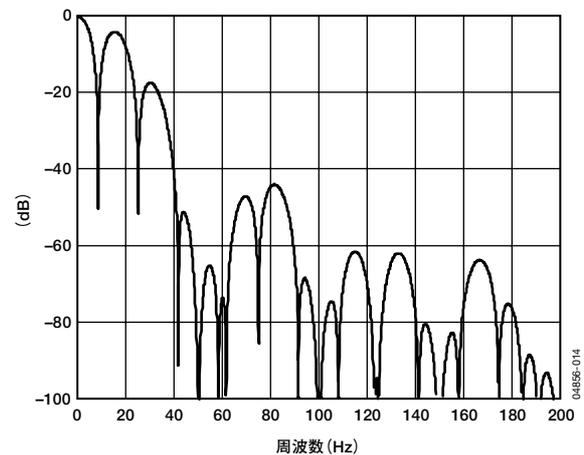


図13. フィルタの周波数応答特性 (更新レート=16.7Hz)

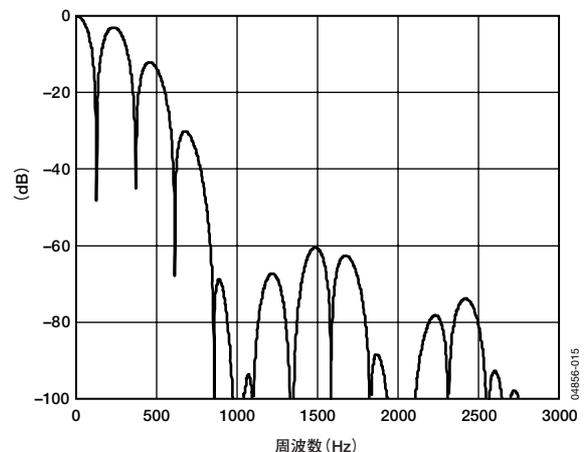


図14. フィルタの周波数応答特性 (更新レート=250Hz)

AD7798/AD7799

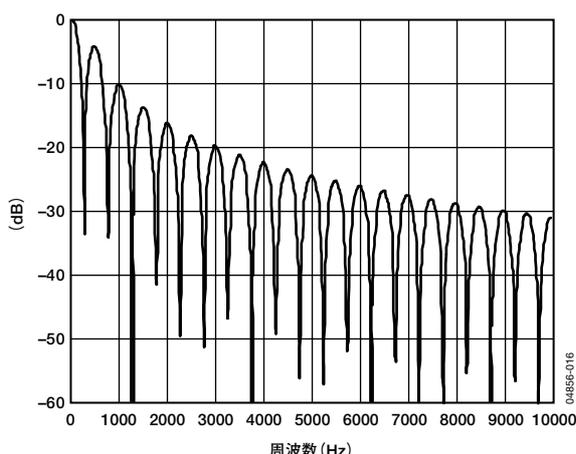


図15. フィルタの周波数応答特性 (更新レート=500Hz)

デジタル・インターフェース

上述のように、AD7798/AD7799のプログラマブル機能はオンチップ・レジスタを用いて制御します。データはシリアル・インターフェースを介してレジスタに書き込まれ、レジスタからの読出しもこのインターフェースを介して行われます。デバイスとの通信はすべて、必ずコミュニケーション・レジスタへの書き込みから開始します。パワーオンまたはリセット後、デバイスはコミュニケーション・レジスタに書き込みが行われるのを待ちます。このレジスタに書き込まれたデータによって、次の動作が読出し/書き込みのどちらか、またこの動作をどのレジスタに行うかが決まります。したがって、どのレジスタに書き込む場合も、まず最初にコミュニケーション・レジスタへの書き込みを行い、その後を選択したレジスタに書き込みます。他のレジスタからの読出し (連続読出しモードを選択する場合を除きます) についても、コミュニケーション・レジスタへの書き込みを行った後に、選択したレジスタからデータを読み出します。

AD7798/AD7799のシリアル・インターフェースには、 \overline{CS} 、DIN、SCLK、DOUT/ \overline{RDY} の4つの信号があります。DINラインはオンチップ・レジスタへのデータ転送に使用し、DOUT/ \overline{RDY} はオンチップ・レジスタからのアクセスに使用します。SCLKはデバイスのシリアル・クロック入力であり、すべてのデータ転送 (DINまたはDOUT/ \overline{RDY} 上) はSCLK信号を基準にして実行されます。DOUT/ \overline{RDY} ピンはデータ・レディ信号として動作し、新しいデータワードが出力レジスタに用意されるとローレベルになります。データ・レジスタからの読出しが完了すると、DOUT/ \overline{RDY} ピンはハイレベルにリセットされます。このピンはデータ・レジスタの更新前にもハイレベルに遷移し、レジスタの更新中にデータが読み出されることのないように、デバイスからの読出しができない状態であることを示します。 \overline{CS} はデバイスの選択に使用します。複数の部品がシリアル・バスに接続されるシステムでは、 \overline{CS} を使用してAD7798/AD7799をデコードできます。

図3と図4は、 \overline{CS} を使用してAD7798/AD7799をデコードする場合のインターフェース接続タイミング図です。図3はAD7798/AD7799の出力シフト・レジスタからの読出し動作のタイミングを、図4は入力シフト・レジスタへの書き込み動作のタイミングを示します。最初の読出しの後、DOUT/ \overline{RDY} ラインがハイレベルに戻っても、データ・レジスタから同じワードを何度か読み出すことが可能です。ただし、次の出力更新が実行される前に、読出し動作を完了させる必要がある点に注意してください。連続読出しモードの場合は、データ・レジスタからの読出しは1回のみです。

\overline{CS} をローレベルに固定して、シリアル・インターフェースを3線式モードで動作させることができます。この場合、SCLK、DIN、DOUT/ \overline{RDY} のラインを使用してAD7798/AD7799との通信を行います。変換の終了をモニタするには、ステータス・レジスタの \overline{RDY} ビットを使用します。この方法は、マイクロコントローラとのインターフェースに適しています。デコーディング信号として \overline{CS} が必要な場合は、ポート・ピンから信号を生成できます。マイクロコントローラとのインターフェースでは、データ転送が終了し、次のデータ転送を開始するまでの間は、SCLKをハイレベルのアイドル状態にしておくことを推奨します。

AD7798/AD7799では \overline{CS} をフレーム同期信号として使用することも可能です。この方式は、DSPとのインターフェースに便利です。通常 \overline{CS} はDSPでSCLKの立下がりエッジの後で発生するため、DSPとのインターフェース時、先頭ビット (MSB) が \overline{CS} によって効果的にクロック出力されます。タイミング仕様が適切であれば、データ転送の終了から次の転送開始までの間、SCLKを連続的に動作させることができます。

シリアル・インターフェースをリセットするには、DIN入力に1を続けて書き込みます。32以上のシリアル・クロック・サイクルでロジック1をAD7798/AD7799に書き込めば、シリアル・インターフェースがリセットされます。これにより、ソフトウェアのエラーやシステム内で発生するグリッチが原因でインターフェースが失われても、インターフェースを確実に既知の状態にリセットできます。リセット時、インターフェースはコミュニケーション・レジスタへの書き込み待ちの状態に戻り、すべてのレジスタのデータ内容がパワーオン時の値にリセットされます。リセット後は、シリアル・インターフェースをアドレッシングする前に、500 μ sの余裕時間を持たせてください。

AD7798/AD7799では、連続変換またはシングル変換の設定ができます。図16から図18を参照してください。

シングル変換モード

シングル変換モードでは、変換の終了後AD7798/AD7799はパワーダウン・モードになります。モード・レジスタのMD2、MD1、MD0をそれぞれ0、0、1に設定してシングル変換を開始すると、デバイスはパワーアップし、シングル変換を実行した後、パワーダウン・モードに戻ります。オンチップの発振器がパワーアップするのに約1ms必要です。変換の所要時間は $2 \times t_{ADC}$ です。変換が終わるとDOUT/RDYはローレベルに遷移し、変換の終了を示します。データ・レジスタからデータワードが読み出されると、DOUT/RDYはハイレベルになります。CSがローレベルであれば、次の変換の開始から完了までの間、DOUT/RDYはハイレベルに維持されます。DOUT/RDYがハイレベルのときでも、必要に応じてデータ・レジスタの読み出しを数回行うことができます。

連続変換モード

これは、パワーアップ時のデフォルト・モードです。このモードでは、AD7798/AD7799は連続して変換を行い、変換が終了するたびにステータス・レジスタのRDYピンがローレベルになります。CSがローレベルの場合は、変換終了時にDOUT/RDYラインもローレベルに遷移します。変換結果を読み出すには、コミュニケーション・レジスタに書き込みを行い、次の動作がデータ・レジスタからの読み出しであることを示します。ADCにSCLKパルスが入力されると、デジタル変換結果が直ちにDOUT/RDYピンに出力されます。変換結果の読み出し後、DOUT/RDYはハイレベルに戻ります。ユーザは必要に応じてデータ・レジスタの再読み出しができます。なお、次の変換の終了時にデータ・レジスタにアクセスしないようにしてください。データ・レジスタにアクセスすると、新しい変換ワードが失われてしまいます。

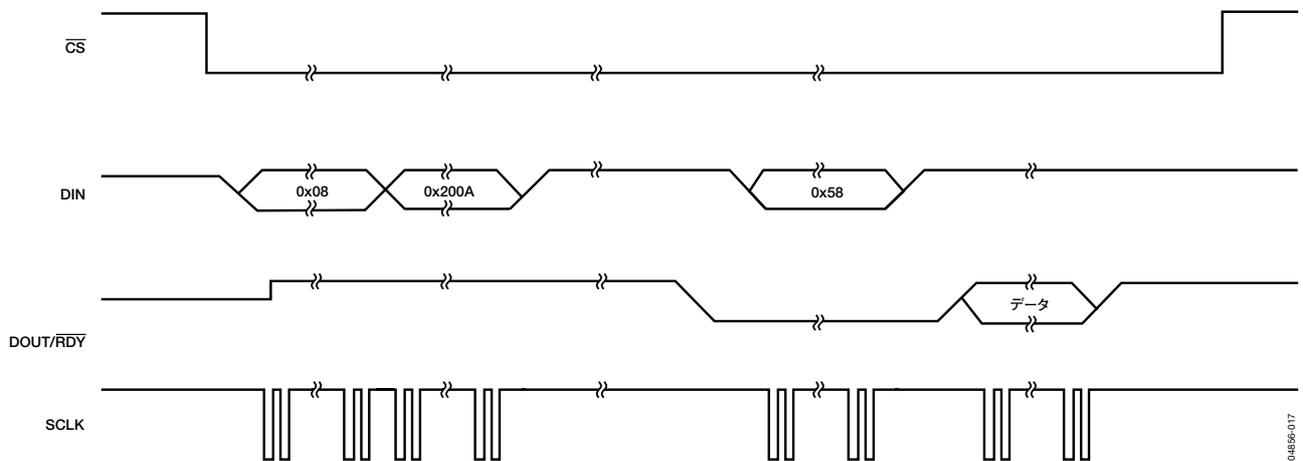


図16. シングル変換

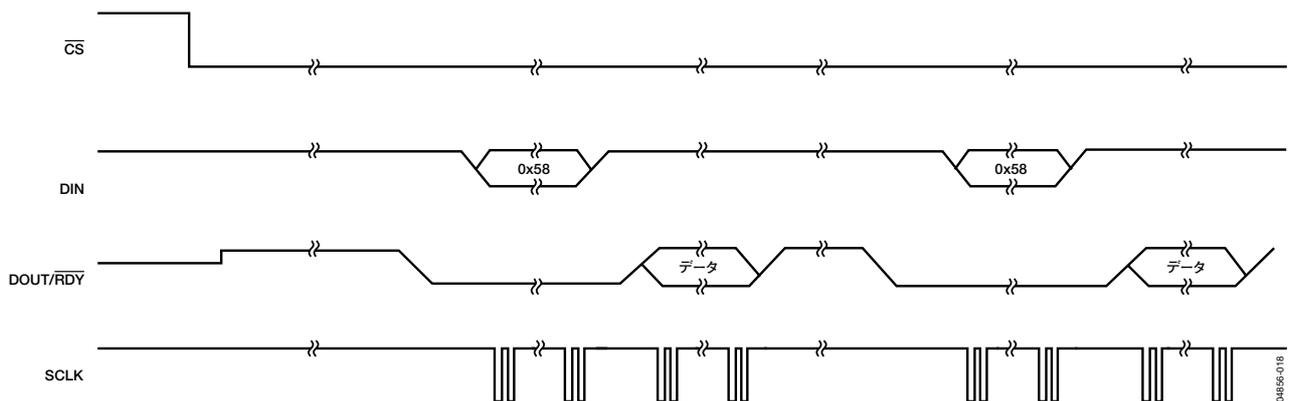


図17. 連続変換

AD7798/AD7799

連続読出しモード

変換が終了するたびにコミュニケーション・レジスタに書き込みを行ってデータにアクセスする代わりに、変換結果を自動的にDOUT/RDYラインに出力するようにAD7798/AD7799を設定できます。コミュニケーション・レジスタに01011100を書き込み、該当するサイクル数のSCLKをADCに加えるだけで、変換終了時に16/24ビットのワードが自動的にDOUT/RDYラインに出力されます。このとき、ADCは連続変換モードに設定してください。

DOUT/RDYがローレベルに遷移して変換の終了を示したとき、十分なサイクル数のSCLKをADCに加えれば、変換データがDOUT/RDYラインに出力されます。変換データが読み出されると、DOUT/RDYは次の変換結果が出力されるまでハイレベルに戻ります。このモードでは、データを読み出せるのは1回のみで、ユーザは次の変換が完了する前に、データワードを読

み出しておく必要があります。次の変換の完了前に変換結果を読み出していない場合、またはワードを読み出すための十分な数のシリアル・クロックがAD7798/AD7799に加えられなかった場合、次の変換が終了した時点でシリアル出力レジスタがリセットされ、新しい変換結果がシリアル出力レジスタに格納されます。

連続読出しモードを終了するには、DOUT/RDYピンがローレベルの間に01011000の命令をコミュニケーション・レジスタに書き込みます。連続読出しモードでは、ADCは連続読出しモードを終了する命令が出ていないかDINライン上のアクティビティをモニタします。また、32個の連続した1がDIN上で確認されると、リセットを実行します。したがって、連続読出しモードでは、命令をデバイスに書き込む必要性が生じるまで、DINはローレベルのままにしてください。

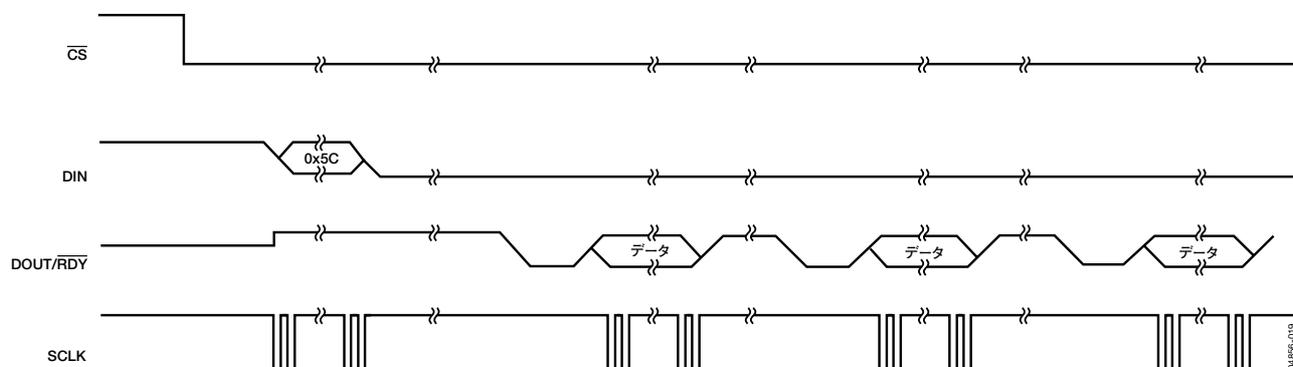


図18. 連続読出しモード

回路説明

アナログ入力チャンネル

AD7798/AD7799は、3チャンネルの差動アナログ入力を備えています。デバイスがバッファ・モードのときこれらの入力チャンネルは内蔵のバッファ・アンプに接続され、非バッファ・モードのときは $\Sigma\Delta$ 変調器に直接接続されます。バッファ・モード（モード・レジスタのBUFビットを1に設定）では、入力チャンネルはバッファ・アンプのハイ・インピーダンス入力段に接続されます。このため、入力で大きな信号源インピーダンスを許容できるようになり、ストレイン・ゲージやRTD（測温抵抗体）などの外部抵抗型センサーとの直接の接続が可能になります。

BUFビット=0のとき、デバイスは非バッファ・モードで動作します。このため、アナログ入力電流が増加します。入力信号経路がバッファされないと信号源の駆動に動的な負荷がかかるため、注意が必要です。入力ピンにコンデンサ/抵抗を組み合わせると、ADCの入力駆動信号源の出力インピーダンスによっては、ゲイン誤差が発生する可能性があります。表17に、非バッファ・モード時にゲイン誤差が20ビット分解能に影響を及ぼさないようなコンデンサ/外付け抵抗の値を示します。

表17. 非バッファ・モードでのコンデンサと外付け抵抗の組み合わせ（20ビットのゲイン誤差なし）

コンデンサ (pF)	抵抗 (Ω)
50	9k
100	6k
500	1.5k
1000	900
5000	200

AD7798/AD7799が非バッファ・モードで動作できるのは、ゲインが1または2のときに限られます。これよりゲインが大きい場合、バッファは自動的にイネーブルになります。バッファ・モード時の絶対入力電圧は、 $GND+100mV \sim AV_{DD}-100mV$ の範囲に制限されます。ゲインを4以上に設定すると、計装アンプがイネーブルになります。計装アンプがアクティブ時の絶対入力電圧は、 $GND+300mV \sim AV_{DD}-1.1V$ の範囲に制限されます。セットアップ時に同相電圧がこれらの限界値を超えないように注意してください。これらの限界値を超えると、直線性とノイズ性能が劣化します。

非バッファ・モード時の絶対入力電圧は、バッファが行われないため、 $GND-30mV \sim AV_{DD}+30mV$ の電圧範囲になります。この負側の絶対入力電圧範囲では、GNDを基準にして微小な真のバイポーラ信号をモニタできます。

計装アンプ

ゲインが4以上のときは、バッファからの出力はオンチップの計装アンプの入力に接続されます。この低ノイズの計装アンプでは、振幅の小さい信号のゲイン倍の増幅をAD7798/AD7799内部で行うと同時に優れたノイズ性能を提供します。たとえば、ゲインを64にし、更新レートが4.17Hzのとき、AD7799のrmsノイズは27nV (typ) になりますが、これは25.5ビットの有効分解能、または $V_{REF}=5V$ 時の20ビットのピークtoピーク分解能に相当します。

AD7798/AD7799では設定レジスタのG2~G0ビットを使用して、1、2、4、8、16、32、64、128のゲインをプログラミングできます。このため、2.5Vのリファレンスの使用時、ユニポーラ電圧範囲は0~19.53mVから0~2.5V、バイポーラ電圧範囲は $\pm 19.53mV \sim \pm 2.5V$ になります。計装アンプがアクティブのときは（ゲイン ≥ 4 ）、同相電圧（ $(AIN(+)+AIN(-))/2$ ）を0.5V以上にしてください。

AV_{DD} に等しい値の電圧リファレンスを用いてAD7798/AD7799を動作させる場合、計装アンプをアクティブで正しく動作させるために、アナログ入力信号を $V_{REF}/ゲイン$ の90%に制限してください。

バイポーラ/ユニポーラ構成

AD7798/AD7799のアナログ入力には、ユニポーラまたはバイポーラの電圧範囲に設定できます。なお、バイポーラ入力範囲では、システムのGNDを基準とした負側電圧を入力できるということではありません。AIN(+)入力でのユニポーラおよびバイポーラ信号は、AIN(-)入力での電圧を基準にします。たとえば、ADCがユニポーラ・モードで、AIN(-)の電圧が2.5V、ゲインが1の場合、AIN(+)ピンに入力される電圧の範囲は、2.5~5Vになります。

ADCをバイポーラ・モードに設定すると、AIN(+)入力のアナログ電圧範囲は0~5Vとなります。バイポーラ/ユニポーラを選択するには、設定レジスタのU/Bビットをプログラミングします。

AD7798/AD7799

データ出力のコーディング

ADCをユニポーラ動作に設定すると、出力コードがストレート・バイナリとなり、ゼロスケールの差動入力電圧時に000...000のコードが、ミッドスケールの入力電圧時に100...000のコードが、フルスケールの入力電圧時に111...111のコードがそれぞれ出力されます。アナログ入力電圧に対する出力コードは以下の数式で表せます。

$$\text{コード} = (2^N \times AIN \times \text{ゲイン}) / V_{REF}$$

ADCをバイポーラ動作に設定すると、出力コードがオフセット・バイナリとなり、負のフルスケール差動入力電圧時に000...000のコードが、ゼロスケール差動入力電圧時に100...000のコードが、正のフルスケール入力電圧時に111...111のコードがそれぞれ出力されます。アナログ入力電圧に対する出力コードは以下の数式で表せます。

$$\text{コード} = 2^{N-1} \times [(AIN \times \text{ゲイン} / V_{REF}) + 1]$$

ここで、AINはアナログ入力電圧で、AD77998は $N=16$ 、AD7799では $N=24$ となります。

バーンアウト電流

AD7798/AD7799は、100nAの定電流発生器を2つ内蔵しており、1つは AV_{DD} からAIN(+)に電流を供給し、もう1つはAIN(-)からGNDに電流を引き込みます。これらの電流は、選択されたアナログ入力ペアにスイッチされます。どちらの電流も、設定レジスタのバーンアウト電流イネーブル (BO) ビットの指定に従って、オン/オフします。該当チャンネルの計測に入る前に、これらの電流を使用して外部トランスデューサがまだ動作状態であることを確認できます。バーンアウト電流をオンにすると、この電流は外部トランスデューサ回路に流れ込み、この時点でアナログ入力チャンネルの入力電圧の測定が可能になります。電圧測定結果がフルスケールのときは、その理由を確認してください。測定電圧がフルスケールの場合、フロントエンド・センサーがオープン回路になっているか、フロントエンド・センサーが過負荷状態であるためにフルスケールになっているか、またはリファレンスが供給されないためにデータをオール1に固定している可能性があります。

出力の読出しがオール1の場合、上記3つのケースをチェックして原因を判断してください。電圧の測定値が0Vならば、トランスデューサが短絡していることも考えられます。正常動作時、バーンアウト電流は、設定レジスタのBOビットに0を書き込むことでターンオフします。この電流源はバッファ・モードのとき、通常の絶対入力電圧範囲の仕様で動作します。

リファレンス

これらの差動入力と同相電圧範囲は、 $GND \sim AV_{DD}$ です。リファレンス入力にはバッファされないため、抵抗とコンデンサ間の信号源インピーダンスが過度に大きいとゲイン誤差が発生します。リファレンス電圧REFIN (REFIN(+)-REFIN(-))の公称値は2.5Vですが、AD7798/AD7799は0.1V $\sim AV_{DD}$ のリファレンス電圧範囲でも動作します。アナログ入力に接続するトランスデューサの励起（電圧または電流）によってデバイスのリファレンス電圧を駆動するアプリケーションでは、動作がレシオメトリックであるため、励起電流源の低周波ノイズの影響は排除されます。レシオメトリック・アプリケーションでAD7798/AD7799を使用しない場合は、低ノイズの電圧リファレンスを使用してください。

AD7798/AD7799に推奨する2.5Vリファレンス電圧源としては、低ノイズ、低消費電力の電圧リファレンス、ADR381およびADR391があります。リファレンス入力は、ハイ・インピーダンスの動的負荷がかかる点に注意してください。各リファレンス入力の入力インピーダンスは動的であるため、入力に接続する抵抗/コンデンサの組み合わせによっては、DCゲイン誤差が発生することがあります。この誤差の大きさは、リファレンス入力を駆動する信号源の出力インピーダンスに応じて変化します。

上記の推奨リファレンス電圧源（たとえばADR391）は、一般に出力インピーダンスが小さいため、REFIN(+)ピンにデカップリング用コンデンサを接続してもシステム内にゲイン誤差を引き起こすことはありません。抵抗を外付けしてリファレンス入力電圧を生成すると、リファレンス入力は外部信号源インピーダンスの影響を大きく受けることになります。このタイプの回路構成では、REFINピンにデカップリング部品を外付けすることは推奨できません。

リファレンス検出

AD7798/AD7799には、変換やキャリブレーションに有効なリファレンスが供給されているかを検出するための回路が内蔵されています。設定レジスタのREF_DETビットを1にすると、この機能がイネーブルになります。REFIN(+)とREFIN(-)のピン間の電圧が0.3Vを下回るか、REFIN(+)またはREFIN(-)入力のどちらかがオープン回路になると、AD7798/AD7799は有効なリファレンスが供給されていないことを検出します。この場合、ステータス・レジスタのNOREFビットが1に設定されます。AD7798/AD7799が正常な変換動作を実行しているときにNOREFビットがアクティブになった場合は、変換結果はオール1に戻ります。したがって、変換の実行中に絶えずNOREFビットのステータスをモニタする必要はありません。ステータスの確認が必要になるのは、ADCのデータ・レジスタから読み出された変換結果がオール1になった場合のみです。AD7798/AD7799がフルスケール・キャリブレーションまたはオフセット・キャリブレーションを実行しているときにNOREFビットがアクティブになった場合は、キャリブレーション・レジスタに誤った係数がロードされないように、これらのレジスタの更新が禁止され、ステータス・レジスタのERRビットがセットされます。キャリブレーションを実行するたびに有効なリファレンスが供給されているか確認したい場合は、キャリブレーション・サイクルの終了時にERRビットのステータスを調べてください。

リセット

連続した32個の1をAD7798/AD7799に書き込むことで、内部回路とシリアル・インターフェースをリセットできます。これによって、ロジック、デジタル・フィルタ、アナログ変調器がリセットされ、すべてのオンチップ・レジスタはデフォルト値に戻ります。リセットはパワーアップ時に自動的に実行されます。リセットを開始するとき、オンチップ・レジスタにアクセスするまでに500 μ sの余裕時間を持たせてください。SCLK上で発生するノイズによって、シリアル・インターフェースが非同期になる場合、リセット機能が役に立ちます。

AV_{DD} モニタ

外部電圧の変換に加えて、ADCはAV_{DD}ピン上の電圧をモニタできます。CH2~CH0の各ビットを1に設定すると、AV_{DD}ピン上の電圧が内部で1/6に減衰されます。この減衰された電圧は、1.17Vの内部リファレンスによって $\Sigma\Delta$ 変調器に入力され、A/D変換が行われます。これは、電源電圧変動がモニタできる便利な機能です。

キャリブレーション

AD7798/AD7799は、モード・レジスタのモード・ビットで設定可能な4つのキャリブレーション・モード — 内部ゼロスケール・キャリブレーション、内部フルスケール・キャリブレーション、システム・ゼロスケール・キャリブレーション、システム・フルスケール・キャリブレーション — を備えています。このうちシステム・フルスケール・キャリブレーションは、オフセット誤差とフルスケール誤差をノイズ・レベルまで効果的に低減します。変換が終了するたびに、ADCの変換結果がADCキャリブレーション・レジスタによりスケールされ、その後データ・レジスタへの書き込みが行われます。変換結果をオフセット・キャリブレーション係数で減算した後に、フルスケール係数で乗算します。

キャリブレーションを開始するには、モード・レジスタのMD2~MD0ビットに該当する値を書き込みます。キャリブレーション完了後、対応するキャリブレーション・レジスタのデータ内容が更新され、ステータス・レジスタのRDYビットがセットされます。そして、DOUT/RDYピンのローレベルに遷移し（CSがローレベルの場合）、AD7798/AD7799はアイドル・モードに戻ります。

内部ゼロスケールまたはフルスケール・キャリブレーションの実行中は、ゼロスケール入力とフルスケール入力がADCの入力ピンに自動的に内部接続されます。ただし、システム・キャリブレーションの場合は、キャリブレーション・モードの開始前に、システム・ゼロスケール電圧とシステム・フルスケール電圧をADCの入力ピンに印加することが求められます。これによってADCの外部誤差が除去されます。

動作の観点から考えると、キャリブレーションをもう1つのADC変換ととらえる必要があります。ゼロスケール・キャリブレーション（必要な場合は、必ずフルスケール・キャリブレーションよりも先に実行してください。ポーリング・シーケンスまたは割込み駆動ルーチンによってキャリブレーションの終了を確認するには、システム・ソフトウェアでステータス・レジスタのRDYビットまたはDOUT/RDYピンをモニタしてください。

内部オフセット・キャリブレーションとシステム・オフセット・キャリブレーションは、どちらも2変換サイクルを必要とします。ADC自体が連続的にオフセットを除去するため、内部オフセット・キャリブレーションは必要ありません。

内部フルスケール・キャリブレーションを実行するときは、このキャリブレーション用に選択したアナログ入力にフルスケール入力電圧が自動的に接続されます。ゲインを1に設定した場合、キャリブレーションの終了までに2変換サイクル必要です。ゲインが1より大きい場合、フルスケール・キャリブレーションを実行するために、4変換サイクル必要になります。キャリブレーションの開始時にDOUT/RDYピンはハイレベルになり、終了時にローレベルに戻ります。キャリブレーションの終了後、ADCはアイドル・モードに入ります。計測したフルスケール係数は、選択したチャンネルのフルスケール・レジスタに格納されます。ゲインが128のときは、内部フルスケール・キャリブレーションは実行できません。工場出荷時のキャリブレーションではこのゲイン設定が適用され、ゲインを128に設定すると、工場での設定値がフルスケール・レジスタに自動的にロードされます。このゲイン設定で、システム・フルスケール・キャリブレーションは可能です。チャンネルのゲインを変更する際は、フルスケール誤差を最小限に抑えるために、変更のつどフルスケール・キャリブレーションが必要になります。

内部フルスケール・キャリブレーションは、規定の更新レートでのみ実行できます。ゲインが1、2、4の場合はどんな更新レートでも内部フルスケール・キャリブレーションを実行できますが、これよりもゲイン設定が大きい場合は更新レートが16.7Hz、33.3Hz、50Hz以下の場合に実行する必要があります。更新レートの変化によってフルスケール誤差が変動することはないため、1つの更新レート時のキャリブレーションがすべての更新レートに対して有効になります（ゲインまたはリファレンス電圧源を変更しないと想定した場合）。

システム・フルスケール・キャリブレーションの実行には、ゲインの設定に関係なく2変換サイクルが必要です。システム・フルスケール・キャリブレーションはゲインと更新レートをどんな値に設定しても実行できます。システム・オフセット・キャリブレーションも一緒に実行する場合は、システム・オフセット・キャリブレーションを実行してからシステム・フルスケール・キャリブレーションを開始してください。

AD7798/AD7799

グラウンディングとレイアウト

ADCのアナログ入力とリファレンス入力は差動であるため、アナログ変調器内の電圧の大部分は同相電圧になります。ADCの優れた同相ノイズ除去特性によって、これらの入力の同相ノイズが除去されます。デジタル・フィルタが、変調器のサンプリング周波数の整数倍を除く広帯域の電源ノイズを除去します。デジタル・フィルタは、ノイズ源がアナログ変調器を飽和させない限り、アナログおよびリファレンス入力のノイズも除去します。その結果、従来の高分解能コンバータに比べてAD7798/AD7799は高いノイズ干渉耐性を持つことになります。ただし、AD7798/AD7799の分解能は非常に高く、生じるノイズ・レベルが低いいため、グラウンディングとレイアウトについては注意が必要です。

AD7798/AD7799を実装するPCボードは、アナログ部とデジタル部を分離し、それぞれをボード内の特定の場所にまとめて配置するように設計してください。一般に、エッチング部分を最小化すると、最適なシールド効果が得られるため、この方法はグラウンド・プレーンに最適です。

AD7798/AD7799のGNDピンをシステムのAGNDプレーンに接続することを推奨します。どのレイアウトでもシステム内の電流の流れに注意し、電流を目的ポイントまで流すパスとリターン・パスをできるだけ近づけて配置するように心がけることが大切です。レイアウトのAGND部分にデジタル電流が流れないようにしてください。

ノイズ・カップリングを防ぐため、AD7798/AD7799のグラウンド・プレーンをデバイスの下に来るように配置してください。AD7798/AD7799の電源ラインはできるだけ太い配線パターンにしてインピーダンスを下げ、電源ライン上のグリッチの影響を低減させます。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドし、ボードの他の部分にノイズが拡散しないようにします。また、クロック信号をアナログ入力の近くに通さないでください。デジタル信号とアナログ信号の交差は避けてください。ボードの両面のパターンは、互いに直角になるように配置します。これにより、ボードを通過するフィードスルーの影響を減らすことができます。マイクロストリップ技術は特に優れていますが、必ずしも両面ボードに利用できるとは限りません。この技術では、ボードの部品実装面はグラウンド・プレーン専用とし、信号はハンダ面に配置します。

高分解能のADCを使用するときは、デカップリングが重要になります。 AV_{DD} は、 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のコンデンサを並列接続してGNDにデカップリングする必要があります。 DV_{DD} のデカップリングは、 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のコンデンサをシステムのDGNDプレーンに並列接続して行います。その際、システムのAGNDとDGND間の接続配線をAD7798/AD7799にできるだけ近づけてください。デカップリングの効果を最大にするには、これらの部品をデバイスのできるだけ近く、理想的にはデバイスの真上に配置します。すべてのロジック・チップは、 $0.1\mu\text{F}$ のセラミック・コンデンサでDGNDにデカップリングする必要があります。

アプリケーション

AD7798/AD7799は、低コストの高分解能A/D変換機能を備えています。A/D変換機能は $\Sigma\Delta$ アーキテクチャで実行されるため、ノイズの多い環境に対する高い耐性が得られます。そのため、このデバイスはセンサー信号の計測や工業用およびプロセス制御アプリケーションに最適です。

重量計

図19に、AD7798/AD7799を重量計アプリケーションに利用した接続回路例を示します。ロード・セルをブリッジ・ネットワークで構成し、OUT+とOUT-端子間で差動電圧を出力します。励起電圧を5Vとすれば、感度2mV/Vのトランスデューサが出力するフルスケール電圧範囲は10mVになります。リファレンス入力電圧範囲が電源電圧より広くになっているため、ブリッジの励起電圧をADCの電源とリファレンスに共用しています。

トランスデューサ・ベースのアプリケーションにAD7798/AD7799を使用するもう1つの利点は、ローサイドのパワー・スイッチを使用して低消費電力アプリケーションを実現できることです。ローサイドのパワー・スイッチは、ブリッジのコール

ド側と直列に接続します。通常動作時は、このスイッチは閉じて計測が可能になります。低消費電力が重要なアプリケーションではAD7798/AD7799をスタンバイ・モードにできるため、アプリケーションで消費する電力を大幅に削減できます。また、スタンバイ・モード時にローサイドのパワー・スイッチを開くことができるため、フロントエンドのトランスデューサが無駄に電力を消費することがありません。AD7798/AD7799がスタンバイ・モードを終了し、ローサイドのパワー・スイッチが閉じているときは、必ずフロントエンド回路が完全にセトリングしてからAD7798/AD7799のデータを読み出すようにしてください。

図19では、サーミスタによって温度補償を行っています。また、温度計測用のリファレンス電圧をサーミスタと直列に接続された高精度の抵抗から取っています。このため、高精度のリファレンス抵抗値とサーミスタ抵抗値の比を測定するレシオメトリック計測が可能です。つまり、リファレンス電圧が変動しても、測定に影響が出ることはありません。

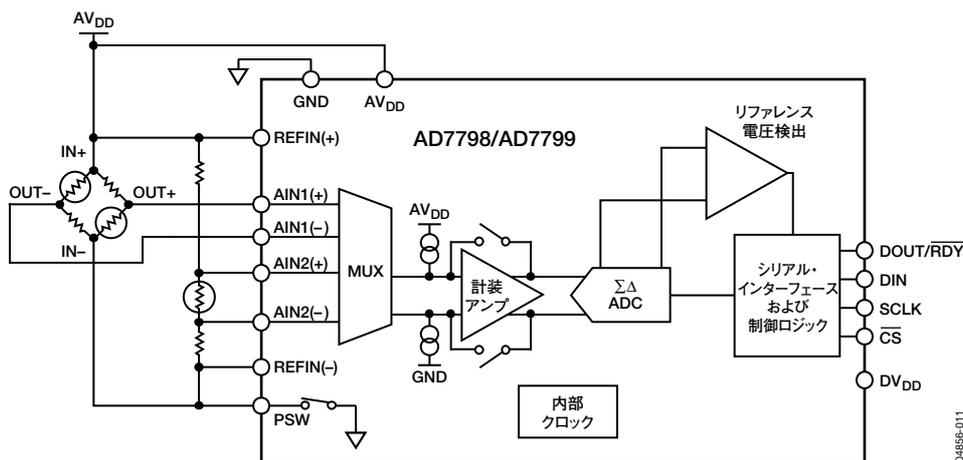
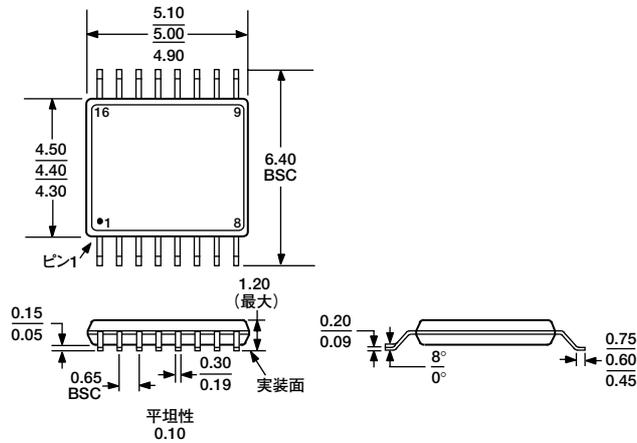


図19. AD7798/AD7799を用いた重量計回路

AD7798/AD7799

外形寸法



JEDEC規格MO-153ABに準拠

図20. 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
(RU-16)

寸法単位：mm

オーダー・ガイド

製品	温度範囲	パッケージの説明	パッケージ・オプション
AD7798BRUZ ¹	-40 ~ +105°C	16ピンTSSOP	RU-16
AD7798BRUZ-REEL ¹	-40 ~ +105°C	16ピンTSSOP	RU-16
AD7799BRUZ ¹	-40 ~ +105°C	16ピンTSSOP	RU-16
AD7799BRUZ-REEL ¹	-40 ~ +105°C	16ピンTSSOP	RU-16
AD7799BRU	-40 ~ +105°C	16ピンTSSOP	RU-16
AD7799BRU-REEL	-40 ~ +105°C	16ピンTSSOP	RU-16

¹ Z=鉛フリー製品