

特長

電力条件

電源：2.5~5.25V動作
通常動作：75 μ A (max)
パワーダウン時：1 μ A (max)

rmsノイズ：9.5Hz更新レートで1.1 μ V

16ビットp-p分解能

積分非直線性：3.5ppm (typ)

50Hzと60Hzを同時除去

内部クロック発振器

プログラマブル・ゲイン・ステージ

レールtoレール入力バッファ

V_{DD} モニター・チャンネル

温度範囲：-40~+105 $^{\circ}$ C

10ピンMSOP

インターフェース

3線式シリアル

SPI[®]、QSPI[™]、MICROWIRE[™]、DSP互換

SCLKにシュミット・トリガーを内蔵

アプリケーション

スマート・トランスミッタ

バッテリー・アプリケーション

ポータブル計測機器

センサー計測

温度計測

圧力計測

重量計

4~20mAループ

機能ブロック図

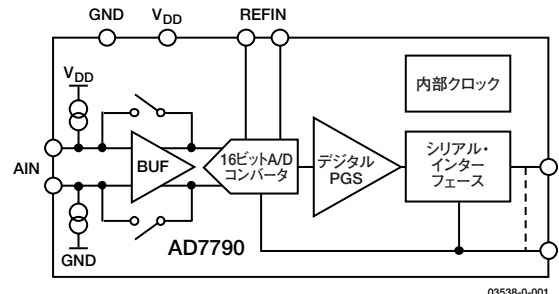


図1

概要

AD7790は、低周波計測アプリケーション向けの低消費電力、全機能完備型アナログ・フロントエンドです。内蔵のローノイズ16ビット $\Sigma\Delta$ (シグマ・デルタ) A/Dコンバータ (ADC) には、デジタルPGSGのほか、バッファ付きもしくはバッファなしにできる差動入力1つ備わっており、1、2、4、8のゲインが可能です。

AD7790は内部クロックで動作します。このため、ユーザーがデバイスにクロック源を供給する必要はありません。出力データ・レートは、9.5~120Hzの範囲でソフトウェアでプログラム可能であり、9.5Hz更新レートではrmsノイズが1.1 μ Vになります。内部クロック周波数を2、4、8で分周できるため、消費電流が低減します。更新レート、カットオフ周波数、セトリング・タイムは、クロック周波数によって変化します。

AD7790は2.5~5.25Vの電源で動作します。3V電源で動作するとき、AD7790の消費電力は最大225 μ Wです。10ピンのMSOPを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. 0

AD7790

目次

AD7790—仕様	3	ADC回路情報	13
タイミング特性	5	概要	13
絶対最大定格	7	ノイズ性能	13
ピン配置と機能の説明	8	低電流モード	13
代表的な性能特性	9	デジタル・インターフェース	14
内蔵レジスタ	10	シングル変換モード	15
コミュニケーション・レジスタ (RS1、RS0=0、0)	10	連続変換モード	15
ステータス・レジスタ (RS1、RS0=0、0；		連続読み出しモード	16
パワーオン/リセット=0x88)	11	回路の説明	17
モード・レジスタ (RS1、RS0=0、1；		アナログ入力チャンネル	17
パワーオン/リセット=0x02)	11	プログラマブル・ゲイン・ステージ	17
フィルタ・レジスタ (RS1、RS0=1、0；		バイポーラ構成	17
パワーオン/リセット=0x04)	12	データ出力コーディング	17
データ・レジスタ (RS1、RS0=1、1；		リファレンス入力	17
パワーオン/リセット=0x0000)	12	V _{DD} のモニター	18
		グラウンディングとレイアウト	18
		外形寸法	19

改訂履歴

リビジョン0：初版

AD7790—仕様¹表1. (特に指定のない限り、 $V_{DD}=2.5\sim 5.25V$ 、 $REFIN(+)=2.5V$ 、 $REFIN(-)=GND$ 、 $CDIV1=CDIV0=0$ 、 $GND=0V$ 、 $T_{MIN}\sim T_{MAX}$ で全仕様を規定)

パラメータ	AD7790B	単位	テスト条件/備考
ADCチャンネルの仕様 出力更新レート	9.5 120	公称Hz (min) 公称Hz (max)	
ADCチャンネル ノーマル・ミスコード ² 分解能 出力ノイズ 積分非直線性 オフセット誤差 オフセット誤差の温度ドリフト フルスケール誤差 ³ ゲインの温度ドリフト 電源除去比	16 16 1.1 ± 15 ± 3 ± 10 ± 10 ± 0.5 90	ビット (min) ビット p-p μV rms (typ) FSRのppm (max) μV (typ) $nV/^{\circ}C$ (typ) μV (typ) ppm/ $^{\circ}C$ (typ) dB (min)	$\pm V_{REF}$ レンジ、更新レート $\leq 20Hz$ 9.5Hz更新レート 3.5ppm (typ) 入力レンジ= $\pm REFIN$ 、100dB (typ)
アナログ入力 差動入力電圧範囲 AIN電圧絶対限界値 ² アナログ入力電流 平均入力電流 ² 平均入力電流ドリフト AIN電圧絶対限界値 ² アナログ入力電流 平均入力電流 平均入力電流ドリフト ノーマル・モード除去比 ² @ 50Hz、60Hz @ 50Hz @ 60Hz 同相ノイズ除去比 @ DC @ 50Hz、60Hz ²	$\pm REFIN/GAIN$ GND+100mV $V_{DD}-100mV$ ± 1 ± 5 GND-30mV $V_{DD}+30mV$ ± 400 ± 50 65 80 80 90 100	公称V V (min) V (max) nA (max) pA/ $^{\circ}C$ (typ) V (min) V (max) nA/V (typ) pA/V/ $^{\circ}C$ (typ) dB (min) dB (min) dB (min) dB (min) dB (min) dB (min)	REFIN=REFIN(+)-REFIN(-)、ゲイン=1、2、4、または8 バッファ・モード動作 バッファ・モード動作 非バッファ・モード動作 非バッファ・モード動作 入力電流は入力電圧によって変化 73dB (typ)、50 $\pm 1Hz$ 、60 $\pm 1Hz$ 、FS[2:0]=100 ⁴ 90dB (typ)、50 $\pm 1Hz$ 、FS[2:0]=101 ⁴ 90dB (typ)、60 $\pm 1Hz$ 、FS[2:0]=011 ⁴ 入力レンジ= $\pm REFIN$ 、AIN=1V 100dB (typ) (FS[2:0]=100 ⁴) 50 $\pm 1Hz$ (FS[2:0]=101 ⁴)、60 $\pm 1Hz$ (FS[2:0]=011 ⁴)
リファレンス入力 REFIN電圧 リファレンス電圧範囲 ² REFIN電圧絶対限界値 ² 平均リファレンス入力電流 平均リファレンス入力電流ドリフト	2.5 0.1 V_{DD} GND-30mV $V_{DD}+30mV$ 0.5 ± 0.03	公称V V (min) V (max) V (min) V (max) $\mu A/V$ (typ) nA/V/ $^{\circ}C$ (typ)	REFIN=REFIN(+)-REFIN(-)

¹ 温度範囲は-40~+105 $^{\circ}C$ ² これらの仕様は出荷テストを行っていませんが、量産開始時の特性評価データにより保証しています。³ フルスケール誤差は、正側と負側の両方のフルスケールに対するものであり、出荷時のキャリブレーション条件 ($V_{DD}=4V$) で適用されます。⁴ FS[2:0]は、出力ワード・レートを選擇するためにフィルタ・レジスタで使用する3つのビットです。

AD7790

仕様（続き）¹

パラメータ	AD7790B	単位	テスト条件/備考
リファレンス入力（続き） ノーマル・モード除去比 ² @ 50Hz、60Hz	65	dB (min)	75dB (typ)、50±1Hz、60±1Hz、 FS[2:0]=100 ⁴
@ 50Hz	80	dB (min)	90dB (typ)、50±1Hz、FS[2:0]=101 ⁴
@ 60Hz	80	dB (min)	90dB (typ)、60±1Hz、FS[2:0]=011 ⁴
同相ノイズ除去比 @ DC	100	dB (typ)	FS[2:0]=100 ⁴
@ 50Hz、60Hz	110	dB (typ)	50±1Hz (FS[2:0]=101 ⁴)、 60±1Hz (FS[2:0]=011 ⁴)
ロジック入力 SCLKを除く全入力 ² V _{INL} （ローレベル入力電圧）	0.8	V (max)	V _{DD} =5V
V _{INH} （ハイレベル入力電圧）	0.4	V (max)	V _{DD} =3V
SCLKのみ（シュミット・トリガー入力） ² V _T (+)	2.0	V (min)	V _{DD} =3Vまたは5V
V _T (-)	1.4/2	V (min) /V (max)	V _{DD} =5V
V _T (+)-V _T (-)	0.8/1.4	V (min) /V (max)	V _{DD} =5V
V _T (+)	0.3/0.85	V (min) /V (max)	V _{DD} =5V
V _T (-)	0.9/2	V (min) /V (max)	V _{DD} =3V
V _T (+)-V _T (-)	0.4/1.1	V (min) /V (max)	V _{DD} =3V
入力電流	0.3/0.85	V (min) /V (max)	V _{DD} =3V
入力容量	±1	μA (max)	V _{IN} =V _{DD} またはGND
	10	pF (typ)	全デジタル入力
ロジック出力 V _{OH} （ハイレベル出力電圧） ²	V _{DD} -0.6	V (min)	V _{DD} =3V、I _{SOURCE} =100μA
V _{OL} （ローレベル出力電圧） ²	0.4	V (max)	V _{DD} =3V、I _{SINK} =100μA
V _{OH} （ハイレベル出力電圧） ²	4	V (min)	V _{DD} =5V、I _{SOURCE} =200μA
V _{OL} （ローレベル出力電圧） ²	0.4	V (max)	V _{DD} =5V、I _{SINK} =1.6mA
フローティング状態リーク電流	±1	μA (max)	
フローティング状態出力容量	10	pF (typ)	
データ出力コーディング	オフセット・ バイナリ		
電源条件 ⁵ 電源電圧 V _{DD} ~GND	2.5/5.25	V (min) / (max)	
電源電流 I _{DD} 電流 ⁶	75	μA (max)	65μA (typ)、V _{DD} =3.6V、 非バッファ・モード
	145	μA (max)	130μA (typ)、V _{DD} =3.6V、 バッファ・モード
	80	μA (max)	73μA (typ)、V _{DD} =5.25V、 非バッファ・モード
	160	μA (max)	145μA (typ)、V _{DD} =5.25V、 バッファ・モード
I _{DD} （パワーダウン・モード）	1	μA (max)	

⁵ デジタル入力はV_{DD}またはGNDに等しくなります。

⁶ 消費電流をさらに低減するには、ADCをいずれかの低消費電力モードで使用してください（表15を参照）。

タイミング特性^{1, 2}

表2. (特に指定のない限り、 $V_{DD}=2.5\sim 5.25V$ 、 $GND=0V$ 、 $REFIN(+)=2.5V$ 、 $REFIN(-)=GND$ 、 $CDIV1=CDIV0=0$ 、
入力ロジック0=0V、入力ロジック1= V_{DD})

パラメータ	T_{MIN} 、 T_{MAX} での限界値 (Bバージョン)	単位	条件/備考
t_3	100	ns (min)	SCLKのハイ・パルス幅
t_4	100	ns (min)	SCLKのロー・パルス幅
読み出し動作			
t_1	0	ns (min)	\overline{CS} の立ち下がりエッジから $DOUT/\overline{RDY}$ アクティブまでの時間
	60	ns (max)	$V_{DD}=4.75\sim 5.25V$
	80	ns (max)	$V_{DD}=2.5\sim 3.6V$
t_2^3	0	ns (min)	SCLKのアクティブ・エッジからデータ有効までの遅延 ⁴
	60	ns (max)	$V_{DD}=4.75\sim 5.25V$
	80	ns (max)	$V_{DD}=2.5\sim 3.6V$
$t_5^{5, 6}$	10	ns (min)	\overline{CS} の非アクティブ・エッジからバス開放までの時間
	80	ns (max)	
t_6	100	ns (max)	SCLKの非アクティブ・エッジから \overline{CS} の非アクティブ・エッジまで
t_7	10	ns (min)	SCLKの非アクティブ・エッジから $DOUT/\overline{RDY}$ のハイレベルまで
書き込み動作			
t_8	0	ns (min)	\overline{CS} の立ち下がりエッジからSCLKのアクティブ・エッジまでのセットアップ・タイム ⁴
t_9	30	ns (min)	データ有効からSCLKエッジまでのセットアップ・タイム
t_{10}	25	ns (min)	データ有効からSCLKエッジまでのホールド・タイム
t_{11}	0	ns (min)	\overline{CS} の立ち上がりエッジからSCLKエッジまでのホールド・タイム

¹ 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号は $t_r=t_f=5ns$ (V_{DD} の10~90%) で規定し、1.6Vの電圧レベルからの時間とします。

² 図3と図4を参照。

³ これらの値は図2に示す負荷回路で測定し、出力が V_{OL} または V_{OH} の限界値と交差するまでに必要な時間と定義します。

⁴ SCLKのアクティブ・エッジとは、SCLKの立ち上がりエッジです。

⁵ これらの値は、図2の負荷回路でデータ出力が0.5V変化するのに要する時間の測定値から導出。この値は50pfコンデンサの充放電の影響を受けない値として推測されているため、タイミング特性で使用する時間はデバイスの真のバス開放時間であり、外部バスの負荷容量とは無関係です。

⁶ ADCの読み出し後、 \overline{RDY} はハイレベルに戻ります。シングル変換モードと連続変換モードでは、 \overline{RDY} がハイレベルの間、必要であれば同じデータを再び読み出すことができます。ただし、次の出力更新の近くではその後の読み出しが行われないように注意してください。連続読み出しモードでは、デジタル・ワードは1回しか読み出しできません。

AD7790

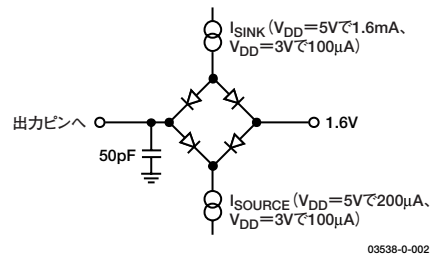
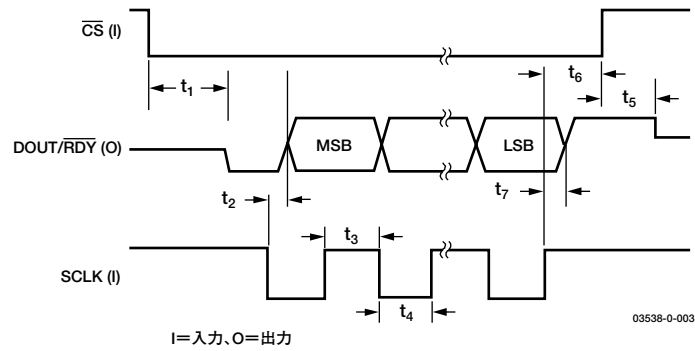
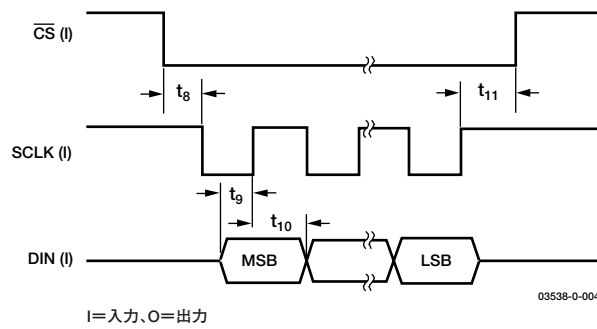


図2. タイミング特性の負荷回路



I=入力、O=出力

図3. 読み出しサイクルのタイミング図



I=入力、O=出力

図4. 書き込みサイクルのタイミング図

絶対最大定格*

表3. (特に指定のない限り、TA=25°C)

パラメータ	定格
GNDに対するV _{DD}	-0.3~+7V
GNDに対するアナログ入力電圧	-0.3V~V _{DD} +0.3V
GNDに対するリファレンス入力電圧	-0.3V~V _{DD} +0.3V
総合AIN/REFIN電流 (不定)	30mA
GNDに対するデジタル入力電圧	-0.3V~V _{DD} +0.3V
GNDに対するデジタル出力電圧	-0.3V~V _{DD} +0.3V
動作温度範囲	-40~+105°C
保存温度範囲	-65~+150°C
最大ジャンクション温度	150°C
MSOP	
θ_{JA} 熱抵抗	206°C/W
θ_{JC} 熱抵抗	44°C/W
ピン温度、ハンダ処理 (10秒)	300°C
赤外線リフロー、ピーク温度	220°C

* 絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ピン配置と機能の説明

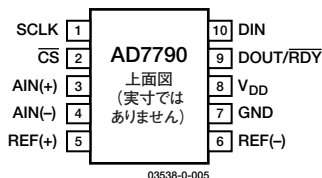


図5. ピン配置

表4. ピン機能の説明

ピン番号	記号	機能
1	SCLK	ADCとの間のデータ転送用のシリアル・クロック入力。SCLKにはシュミット・トリガー入力が入蔵されているため、光絶縁アプリケーションのインターフェースに適しています。全データを連続したパルス列で転送する場合は、シリアル・クロックを連続して使用できます。あるいは、ADCとの間でデータをもっと小さいバッチで転送する場合には、これを不連続クロックとして用いることができます。
2	$\overline{\text{CS}}$	チップ・セレクト入力。これはADCの選択に使用するアクティブ・ローのロジック入力です。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスを接続したシステムでADCの選択に用いたり、デバイスと通信する際のフレーム同期信号として用いることができます。 $\overline{\text{CS}}$ はローレベルにハードウェア接続できるので、SCLK、DIN、DOUTをデバイスとのインターフェースに使用して、ADCを3線式モードで使うことができます。
3	AIN(+)	アナログ入力。AIN(+) ⁺ は、フル差動アナログ入力の正側ピンです。
4	AIN(-)	アナログ入力。AIN(-) ⁻ は、フル差動アナログ入力の負側ピンです。
5	REFIN(+)	リファレンス入力（正）。REFIN(+) ⁺ の入力レンジは $V_{\text{DD}} \sim \text{GND} + 0.1\text{V}$ です。公称リファレンス(REFIN(+) ⁺ -REFIN(-) ⁻)は2.5Vですが、AD7790は0.1V $\sim V_{\text{DD}}$ のリファレンスで機能します。
6	REFIN(-)	リファレンス入力（負）。このリファレンスの入力レンジは $\text{GND} \sim V_{\text{DD}} - 0.1\text{V}$ です。
7	GND	グラウンド基準ポイント
8	V_{DD}	電源電圧、2.5 $\sim 5.25\text{V}$
9	DOUT/ $\overline{\text{RDY}}$	シリアル・データ出力／データ・レディ出力。DOUT/ $\overline{\text{RDY}}$ には2つの機能があります。まず、ADCの出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵のデータ・レジスタやコントロール・レジスタからのデータを格納できます。さらに、DOUT/ $\overline{\text{RDY}}$ はデータ・レディ・ピンとして動作し、ローレベルになると変換の完了を示します。変換後、データの読み出しがない場合には、次の更新が行われる前にこのピンがハイレベルになります。 DOUT/ $\overline{\text{RDY}}$ の立ち下がりエッジは、プロセッサへの割り込みとして使用でき、データが有効であることを示します。外部シリアル・クロックの場合、DOUT/ $\overline{\text{RDY}}$ ピンを使用してデータの読み出しができます。 $\overline{\text{CS}}$ がローレベルの場合、データ／制御ワード情報がSCLKの立ち下がりエッジでDOUT/ $\overline{\text{RDY}}$ ピンに出力され、SCLKの立ち上がりエッジで有効になります。 変換の終了は、ステータス・レジスタの $\overline{\text{RDY}}$ ビットによっても示されます。 $\overline{\text{CS}}$ がハイレベルのとき、DOUT/ $\overline{\text{RDY}}$ ピンはスリーステートになりますが、RDYビットはアクティブのままです。
10	DIN	ADC上の入力シフト・レジスタへのシリアル・データ入力。このシフト・レジスタ内のデータはADC内のコントロール・レジスタに転送され、コミュニケーション・レジスタのレジスタ選択ビットで適切なレジスタを特定します。

代表的な性能特性

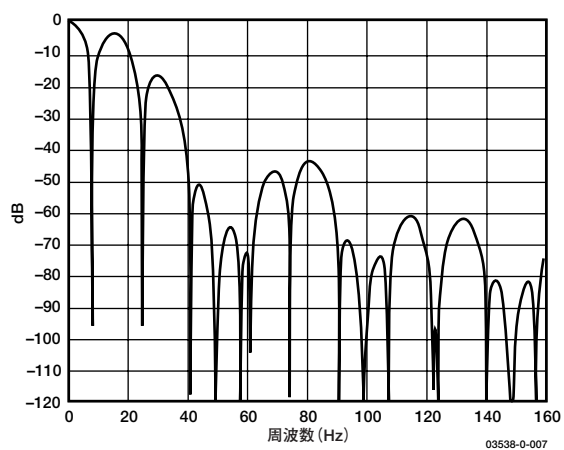


図6. 16.6Hzの更新レートに対する周波数応答

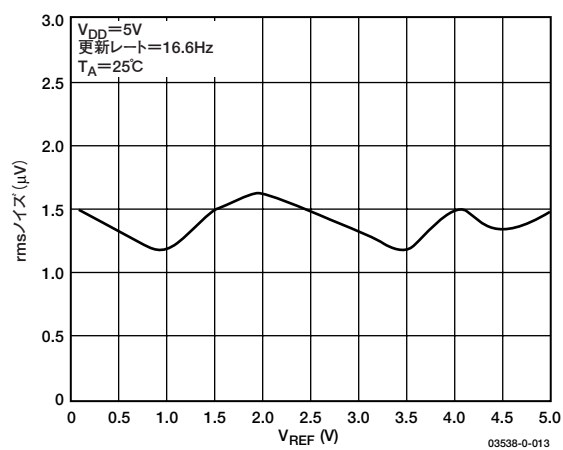


図7. rmsノイズとリファレンスの関係

AD7790

内蔵レジスタ

ADCの制御と設定は、以下のページで説明する複数の内蔵レジスタを介して行われます。以下の説明では、特に指定のない限り、「セット」はロジック1状態を意味し、「クリア」はロジック0状態を意味します。

コミュニケーション・レジスタ (RS1, RS0=0, 0)

コミュニケーション・レジスタは8ビットの書き込み専用レジスタです。AD7790へのすべての通信は、コミュニケーション・レジスタへの書き込み動作で始める必要があります。コミュニケーション・レジスタに書き込まれたデータは、次の動作が読み出しか書き込みかを決定するほか、この動作の対象となるレジスタも決定します。読み出し/書き込み動作の場合、選択したレジスタに対する後続の読み出し/書き込み動作が完了すると、インターフェースは、コミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。これはインターフェースのデフォルト状態であり、パワーアップ時またはリセット後にADCはこのデフォルト状態になり、コミュニケーション・レジスタへの書き込み動作を待ちます。インターフェース・シーケンスがなくなった場合には、少なくともシリアル・クロックで32サイクル間DINがハイレベルを維持する書き込み動作が行われると、ADCはAD7790全体をリセットしてこのデフォルト状態に戻ります。表5に、コミュニケーション・レジスタのビット配置を示します。CR0~CR7はビット位置を示し、CRはビットがコミュニケーション・レジスタ内のものであることを表しています。CR7がデータ・ストリームの先頭ビットです。()内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを示します。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
$\overline{WEN}(0)$	0(0)	RS1(0)	RS0(0)	R \overline{W} (0)	CREAD(0)	CH1(0)	CH0(0)

表5. コミュニケーション・レジスタのビット配置

ビット位置	ビット名	説明
CR7	\overline{WEN}	ライト・イネーブル・ビット。このビットに「0」を書き込むと、コミュニケーション・レジスタへの書き込みが実際に実行されます。最初のビットに「1」を書き込むと、レジスタ内の後続ビットに対するクロック駆動が停止されます。このビットに「0」が書き込まれるまで、このビット位置のままになります。 \overline{WEN} ビットに0を書き込むと、次の7ビットがコミュニケーション・レジスタにロードされます。
CR6	0	正常動作のためには、このビットにロジック0を設定する必要があります。
CR5~CR4	RS1~RS0	レジスタ・アドレス・ビット。これらのアドレス・ビットを使用して、このシリアル・インターフェースの通信中に使用されるADCのレジスタを決定します。表6を参照。
CR3	R \overline{W}	このビットが0の場合、次の動作が指定されたレジスタへの書き込みであることを表します。このビットが1の場合、次の動作が指定されたレジスタからの読み出しであることを表します。
CR2	CREAD	データ・レジスタの連続読み出し。このビットが1に設定され、データ・レジスタが選択されると、シリアル・インターフェースが設定され、データ・レジスタの連続読み出しが可能になります。つまり、SCLKパルスが入力されると、データ・レジスタの内容が自動的にDOUTピンに出力されます。データ読み出しの場合、コミュニケーション・レジスタへの書き込みは不要です。連続読み出しモードを有効にするには、コミュニケーション・レジスタに命令001111XXを書き込む必要があります。連続読み出しモードを終了するには、RDYピンがローレベルの間に、命令001110XXをコミュニケーション・レジスタに書き込む必要があります。連続読み出しモードでは、連続読み出しモードの終了命令を受信できるようにADCがDINライン上の動作を監視します。さらに、DIN上に「1」が32個連続して現れると、リセットが行われます。したがって、連続読み出しモードでは、デバイスに命令が書き込まれるまでDINをローレベルに保持してください。
CR1~CR0	CH1~CH0	アナログ入力チャンネルの選択。差動チャンネル (AIN(+)/AIN(-)) の選択や、内部短絡 (AIN(-)/AIN(-)) の選択が可能です。このチャンネルのいずれかを選択すると、REFIN(+)/REFIN(-)に印加されるリファレンス電圧源を使用してA/D変換を行います。また、電源を選択することもできます。ADCで電源電圧を測定できるため、電源変動の監視に便利です。電源電圧が5で除算されて変調器に入力されます。この時、A/D変換用のリファレンスとして、1.17V±5%の内部リファレンスが用いられます。チャンネル内に変化があると、フィルタがリセットされ、新しい変換が開始されます。

表6. レジスタの選択

RS1	RS0	レジスタ	レジスタ・サイズ
0	0	書き込み動作中のコミュニケーション・レジスタ	8ビット
0	0	読み出し動作中のステータス・レジスタ	8ビット
0	1	モード・レジスタ	8ビット
1	0	フィルタ・レジスタ	8ビット
1	1	データ・レジスタ	16ビット

表7. チャンネルの選択

CH1	CH0	チャンネル
0	0	AIN(+)-AIN(-)
0	1	予備
1	0	AIN(-)-AIN(-)
1	1	V _{DD} モニター

ステータス・レジスタ (RS1, RS0=0, 0; パワーオン/リセット=0x88)

ステータス・レジスタは8ビットの読み出し専用レジスタです。ADCのステータス・レジスタにアクセスするには、コミュニケーション・レジスタに書き込み、次の動作を読み出しに指定し、ビットRS1とRS0に0をロードする必要があります。表8に、ステータス・レジスタのビット配置を示します。SR0～SR7はビット位置を示し、SRはビットがステータス・レジスタのものであることを表しています。SR7がデータ・ストリームの先頭ビットです。()内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを示します。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
RDY(1)	ERR(0)	0(0)	0(0)	1(1)	WL(0)	CH1(0)	CH0(0)

表8. ステータス・レジスタのビット配置

ビット位置	ビット名	説明
SR7	RDY	ADCのレディ・ビット。データがADCデータ・レジスタに書き込まれるとクリアされます。ユーザーに変換データの読み出しを行わないよう知らせるため、ADCデータ・レジスタの読み出しが完了した後、または新しい変換結果でデータ・レジスタが更新される一定時間前に、RDYビットが自動的にセットされます。このビットは、AD7790がパワーダウン・モードになったときにもセットされます。変換の終わりはDOUT/RDYピンによっても示されます。このピンは、ADCの変換データを監視するために、ステータス・レジスタの代わりに使用できます。
SR6	ERR	ADCエラー・ビット。このビットは、RDYビットと同時に書き込まれます。ADCデータ・レジスタに書き込まれた結果がオール「0」またはオール「1」にクランプされたことを示すためにセットされます。エラー原因にはオーバーレンジやアンダーレンジなどがあります。変換を開始させる書き込み動作によってクリアされます。
SR5	0	このビットは自動的にクリアされます。
SR4	0	このビットは自動的にクリアされます。
SR3	1	このビットは自動的にセットされます。
SR2	0	デバイスがAD7790の場合は、このビットは自動的にクリアされます。AD7791ではセットされるので、このビットで、AD7790とAD7791の区別ができます。
SR1～SR0	CH1～CH0	これらのビットで、ADCが変換しているチャンネルがわかります。

モード・レジスタ (RS1, RS0=0, 1; パワーオン/リセット=0x02)

モード・レジスタは8ビット・レジスタで、データの読み出し/書き込みが可能です。このレジスタでADCの範囲の設定、バッファのイネーブルまたはディスエーブルの選択、デバイスのパワーダウン・モードの設定を行います。表9に、モード・レジスタのビット配置を示します。MR0～MR7はビット位置を示し、MRはビットがモード・レジスタ内のものであることを表します。MR7がデータ・ストリームの先頭ビットです。()内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを示します。セットアップ・レジスタへの書き込みによって、変調器とフィルタがリセットされ、RDYビットがセットされます。

MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
MD1(0)	MD0(0)	G1(0)	G0(0)	BO(0)	0(0)	BUF(1)	0(0)

表9. モード・レジスタのビット配置

ビット位置	ビット名	説明
MR7～MR6	MD1～MD0	モード選択ビット。これらのビットを使用して、連続変換モード、シングル変換モード、スタンバイ・モードを選択します。連続変換モードでは、ADCは連続的に変換を実行し、変換結果をデータ・レジスタに格納します。変換が完了すると、RDYはローレベルになります。連続読み出しモードでは、これらの変換を読み出すことができます。この場合、SCLKパルスが入力されると、変換が自動的にDOUTラインに出力されます。あるいは、コミュニケーション・レジスタに書き込むことによって、ADCに変換結果を出力させることもできます。パワーオン後には、最初の変換は $2f_{ADC}$ 後に得られ、それ以降の変換は f_{ADC} の周波数で得られます。シングル変換モードでは、変換が行われていないとき、ADCはパワーダウン・モードに置かれます。シングル変換モードを選択すると、ADCがパワーアップし、シングル変換を実行します ($2f_{ADC}$ 後)。変換結果はデータ・レジスタに格納され、RDYがローレベルになり、ADCはパワーダウン・モードに戻ります。データが読み出されるか次の変換が実行されるまで、変換結果はデータ・レジスタ内に残り、RDYはアクティブ (ロー) のままです。表10を参照。
MR5～MR4	G1～G0	レンジ・ビット。AD7790は、4つのアナログ入力レンジで動作します (表11を参照)。
MR3	BO	バーニアアウト電流イネーブル・ビット。このビットに1を設定すると、信号パス内で100nAの電流源がイネーブルになります。BO=0のとき、バーニアアウト電流がディスエーブルになります。バーニアアウト電流は、バッファがアクティブでなければイネーブルにできません。

AD7790

ビット位置	ビット名	説明
MR2	0	正常動作のためには、このビットにロジック0を設定する必要があります。
MR1	BUF	ADCをバッファ・モードまたは非バッファ・モードに設定します。クリアされた場合、ADCは非バッファ・モードで動作し、デバイスの消費電力が低減します。セットされた場合、ADCはバッファ・モードで動作し、システムにゲイン誤差を発生させることなく、フロントエンドをハイ・インピーダンスにすることができます。
MR0	0	正常動作のためには、このビットにロジック0を設定する必要があります。

表10. 動作モード

MD1	MD0	モード
0	0	連続変換モード (デフォルト)
0	1	予備
1	0	シングル変換モード
1	1	パワーダウン・モード

表11. アナログ入力レンジ

G1	G0	レンジ	$V_{REF}=+2.5V$ (μV) でのAD7790のLSBサイズ
0	0	$\pm V_{REF}$	76.3
0	1	$\pm V_{REF}/2$	38.14
1	0	$\pm V_{REF}/4$	19.07
1	1	$\pm V_{REF}/8$	9.54

フィルタ・レジスタ (RS1、RS0=1、0 ; パワーオン/リセット=0x04)

フィルタ・レジスタは8ビット・レジスタで、データの読み出し/書き込みが可能です。このレジスタは、出力ワード・レートの設定に使用します。表12に、フィルタ・レジスタのビット配置を示します。FR0~FR7はビット位置を示し、FRはビットがフィルタ・レジスタ内のものであることを表します。FR7がデータ・ストリームの先頭ビットです。() 内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを示します。

FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0
0(0)	0(0)	CDIV1(0)	CDIV0(0)	0(0)	FS2(1)	FS1(0)	FS0(0)

表12. フィルタ・レジスタのビット配置

ビット位置	ビット名	説明
FR7~FR6	0	正常動作のためには、これらのビットにロジック0を設定する必要があります。
FR5~FR4	CLKDIV1~CDIV0	これらのビットは、AD7790を低消費電力モードで動作させるために使用します。クロックを内部で分周し、電力を低減します。 00 通常動作モード 01 クロックを2分周 10 クロックを4分周 11 クロックを8分周
FR3	0	正常動作のためには、このビットにロジック0を設定する必要があります。
FR2~FR0	FS2~FS0	これらのビットはADCの出力ワード・レートを設定します。更新レートは50/60Hzの除去とノイズに影響します。ノイズはすべてのゲイン設定で同じです。通常消費電力モードで許容できる更新レートについては、表13を参照。低消費電力モードでは、更新レートが低減します (低電流モードを参照)。

表13. 更新レート

FS2	FS1	FS0	f_{ADC} (Hz)	f_{3dB} (Hz)	rmsノイズ (μV)	除去比
0	0	0	120	28	40	25dB @60Hz
0	0	1	100	24	25	25dB @50Hz
0	1	0	33.3	8	3.36	
0	1	1	20	4.7	1.6	80dB @60Hz
1	0	0	16.6	4	1.5	65dB @50Hz/60Hz (デフォルト設定)
1	0	1	16.7	4	1.5	80dB @50Hz
1	1	0	13.3	3.2	1.2	
1	1	1	9.5	2.3	1.1	62dB @50/60Hz

データ・レジスタ (RS1、RS0=1、1 ; パワーオン/リセット=0x0000)

ADCの変換結果はこのデータ・レジスタに格納されます。これは読み出し専用レジスタです。このレジスタからの読み出し動作が完了すると、RDYビット/ピンがセットされます。

ADC回路情報

概要

AD7790は、 $\Sigma\Delta$ 変調器、バッファ、PGA、デジタル・フィルタリング機能を内蔵した低消費電力ADCで、圧力トランスデューサ、重量計、温度計測などのアプリケーションにおけるダイナミック・レンジが広い低周波信号の計測を目的としています。

AD7790には差動入力があり、バッファ付きまたはバッファなしにすることができます。入力チャンネルでバッファを使用すれば、アナログ入力で大きなソース・インピーダンスに対応することができ、必要に応じて、アナログ入力にRCフィルタを接続すること（ノイズの除去またはRFIの削減のため）も可能になります。デバイスには、公称2.5Vの外部リファレンスが必要です。図8に、このデバイスを動作させるために必要な基本的な接続を示します。

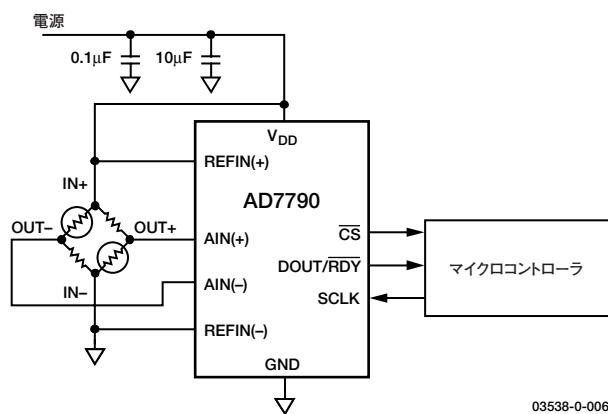


図8. 基本接続図

AD7790の出力レート (f_{ADC}) はプログラムが可能で、セトリング・タイムは $2 \times t_{ADC}$ です。ノーマル・モード除去は、デジタル・フィルタの主要な機能になります。表13に、AD7790で可能な出力レートを示します。更新レートが16.6Hzになると、この更新レートで50Hzと60Hzにノッチが配置されているため、50Hzと60Hzの同時除去が最適化されます（図6を参照）。

ノイズ性能

表14に、AD7790のさまざまな更新レートと入力レンジについて出力rmsノイズ、rms分解能、ピークtoピーク分解能（最も近い0.5LSBに丸め処理）を示します。数値は2.5Vリファレンスのときのものです。差動入力電圧=0Vでの代表値です。このピークtoピーク分解能の値は、6シグマ限界内でコード・フリッカーが生じない分解能を表しています。出力ノイズの発生源は2つあります。1つは変調器を構成する半導体デバイス内の電気的ノイズ（デバイス・ノイズ）で、もう1つはアナログ入力が増幅領域に変換されるときに加わる量子化ノイズです。デバイス・ノイズは低レベルで、周波数に無関係です。量子化ノイズは、さらに低いレベルから始まりますが、周波数の増加とともに急速に増加して主要なノイズ源になります。

表14. 代表的なピークtoピーク分解能（実効分解能）対更新レートと入力レンジ

更新レート	入力レンジ			
	±0.3125	±0.625	±1.25	±2.5
9.5	16 (16)	16 (16)	16 (16)	16 (16)
13.3	16 (16)	16 (16)	16 (16)	16 (16)
16.7	16 (16)	16 (16)	16 (16)	16 (16)
16.6	16 (16)	16 (16)	16 (16)	16 (16)
20	15.5 (16)	16 (16)	16 (16)	16 (16)
33.3	14.5 (16)	15.5 (16)	16 (16)	16 (16)
100	11.5 (14)	12.5 (15)	13.5 (16)	14.5 (16)
120	11 (13.5)	12 (14.5)	13 (15.5)	14 (16)

低電流モード

AD7790は、バッファをイネーブルにして5V電源で動作させたとき、最大160µAの電流を消費します。消費電力をこれより低減するには、フィルタ・レジスタのビットCDIV1とCDIV0を適宜設定します（表15を参照）。

これらのビットを設定することで、内部クロックを2分周、4分周、8分周してから変調器とフィルタに供給するため、デジタル電流が低減します。

内部クロック速度が低下すると、更新レートも低下します。たとえば、AD7790がフル・クロック・モードで動作するとき、16.6Hzの更新レートになるようフィルタ・ビットを設定した場合、更新レートは2分周モードで8.3Hzになります。このような低消費電力モードでは、ADC性能が低下することもあります。

表15. 低消費電力モードの選択

CDIV[1:0]	クロック	バッファ付きの電流 (typ : µA)	バッファなしの電流 (typ : µA)	50Hz/60Hz除去 (dB)
00	1	146	75	70
10	1/2	87	45	72
10	1/4	56	30	88
11	1/8	41	25	89

AD7790

デジタル・インターフェース

前述のように、AD7790のプログラマブルな機能は、一連の内蔵レジスタを使って制御します。データはAD7790のシリアル・インターフェースを介してこれらのレジスタに書き込まれ、内蔵レジスタの読み出しもこのインターフェースで行います。AD7790とのすべての通信は、必ずコミュニケーション・レジスタへの書き込みで始まります。パワーオンまたはリセットの後で、デバイスはコミュニケーション・レジスタへの書き込みを待ちます。このレジスタに書き込まれたデータが、次の動作が読み出しか書き込みかを決定するほか、この動作の対象となるレジスタも決定します。したがって、AD7790上の他のレジスタへの書き込みアクセスは、まずコミュニケーション・レジスタへの書き込み動作から始まり、その後を選択したレジスタへの書き込みが続きます。他のレジスタからの読み出し動作は（連続読み出しモードが選択されている場合を除く）、コミュニケーション・レジスタへの書き込みで始まり、その後を選択したレジスタからの読み出し動作が続きます。

AD7790のシリアル・インターフェースは、 \overline{CS} 、DIN、SCLK、DOUT/RDYの4つの信号で構成されています。DINラインはデータを内蔵レジスタに転送するために使用し、DOUT/RDYは内蔵レジスタからデータを取り出すときに使用します。SCLKはデバイス用のシリアル・クロック入力で、すべてのデータ転送（DINまたはDOUT/RDY上）は、このSCLK信号を基準にして行われます。DOUT/RDYピンはデータ・レディ信号としても機能し、新しいデータ・ワードが出力レジスタから読み出し可能になると、このラインがローレベルになります。データ・レジスタからの読み出し動作が完了すると、この信号はハイレベルにリセットされます。また、データ・レジスタの更新前にもハイレベルになり、デバイスからの読み出しができないことを示して、レジスタの更新中にデータの読み出しが行われないようにします。 \overline{CS} はデバイスの選択に使用します。シリアル・バスに複数のデバイスが接続されているシステムでは、AD7790のデコードにも使用できます。

図3と図4に、AD7790のデコードに \overline{CS} を使用したAD7790へのインターフェースのタイミング図を示します。図3はAD7790の出力シフト・レジスタからの読み出し動作のタイミング、図4は入力シフト・レジスタへの書き込み動作のタイミングを示し

ています。連続読み出しモード以外のすべてのモードでは、最初の読み出し動作の後でDOUT/RDYラインがハイレベルに戻った場合でも、データ・レジスタから同じワードを何度か読み出すことができます。しかし、次の出力更新が行われる前に、読み出し動作が完了するよう注意する必要があります。連続読み出しモードでは、データ・レジスタの読み出しは1回しかできません。

シリアル・インターフェースは、 \overline{CS} をローレベルに固定して、3線モードで動作します。この場合、SCLK、DIN、DOUT/RDYの各ラインは、AD7790との通信に使用します。変換の終了は、ステータス・レジスタのRDYビットを使用して監視します。この方式は、マイクロコントローラへのインターフェースに適しています。デコーディング信号として \overline{CS} が必要になる場合は、ポート・ピンから生成できます。マイクロコントローラ・インターフェースの場合は、データ転送とデータ転送の間でSCLKをアイドル・ハイにすることを推奨します。

AD7790は、 \overline{CS} をフレーム同期信号として使用することができます。この方式はDSPインターフェースに便利です。この場合、通常、DSPで \overline{CS} がSCLKの立ち下がりエッジの後で発生するため、先頭ビット（MSB）が実質的に \overline{CS} によってクロック出力されることとなります。タイミング数に従う限り、SCLKはデータ転送とデータ転送の間で動作を継続することができます。

シリアル・インターフェースをリセットするには、DIN入力に一連の「1」を書き込みます。少なくとも32シリアル・クロック・サイクルの間、AD7790ラインにロジック1が書き込まれた場合、シリアル・インターフェースがリセットされます。したがって、3線式システムでソフトウェア・エラーやシステム内のグリッチによってインターフェースが失われた場合、インターフェースを既知の状態にリセットできます。リセットにより、インターフェースはコミュニケーション・レジスタへの書き込みを待っている状態に戻ります。この動作は、全レジスタの内容をそれぞれのパワーオン時の値にリセットします。

AD7790は、連続変換やシングル変換を行うように設定できます。図9～11を参照してください。

シングル変換モード

シングル変換モードでは、変換と変換の間にAD7790がシャットダウン・モードに置かれます。モード・レジスタでMD1を1、MD0を0に設定してシングル変換を開始すると、AD7790がパワーアップし、シングル変換を実行してから、シャットダウン・モードに戻ります。変換には、 $2 \times t_{\text{ADC}}$ の時間が必要です。DOUT/RDYがローレベルになると、変換の完了を示します。データ・レジスタからデータ・ワードが読み出されると、DOUT/RDYがハイレベルになります。CSがローレベルの場合には、次の変換が開始されて完了するまで、DOUT/RDYはハイレベルのままになります。DOUT/RDYがハイレベルになっても、必要であればデータ・レジスタを数回読み出すことができます。

連続変換モード

これはデフォルトのパワーアップ・モードです。AD7790は連続的に変換を行い、変換が完了するたびに、ステータス・レジスタのRDYピンがローレベルになります。CSがローレベルの場合には、変換が完了すると、DOUT/RDYラインもローレベルになります。変換結果を読み出すには、コミュニケーション・レジスタに書き込みを行って、次の動作がデータ・レジスタの読み出しであることを指示できます。SCLKパルスがADCに入力されるとすぐに、デジタル変換がDOUT/RDYピンに出力されます。変換結果が読み出されると、DOUT/RDYがハイレベルに戻ります。必要であれば、このレジスタは何回も読み出すことができます。ただし、次の変換の完了時にデータ・レジスタへのアクセスが行われなければならないようにしなければなりません。そうしないと、新しい変換ワードが失われてしまいます。

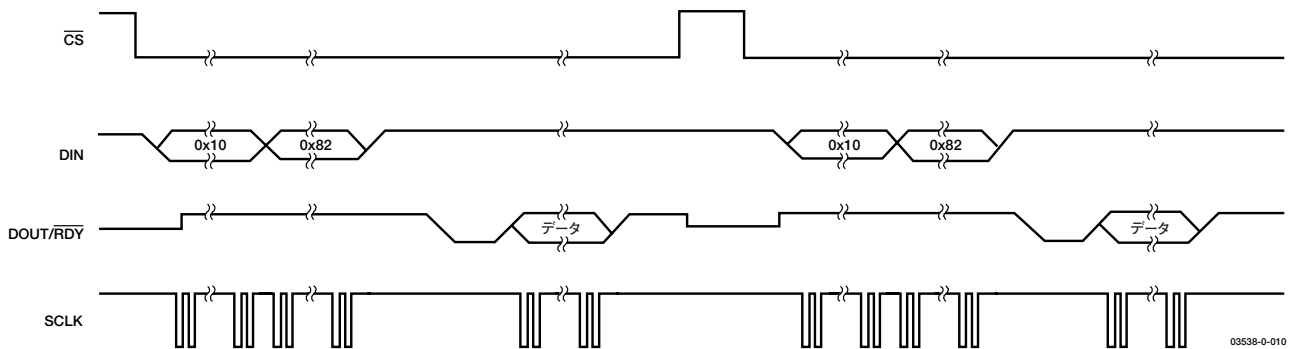


図9. シングル変換

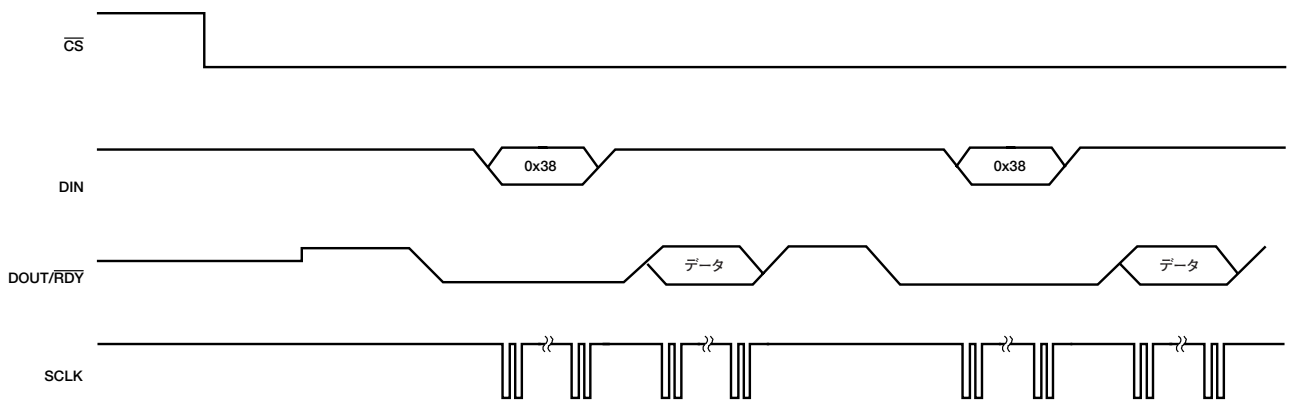


図10. 連続変換

AD7790

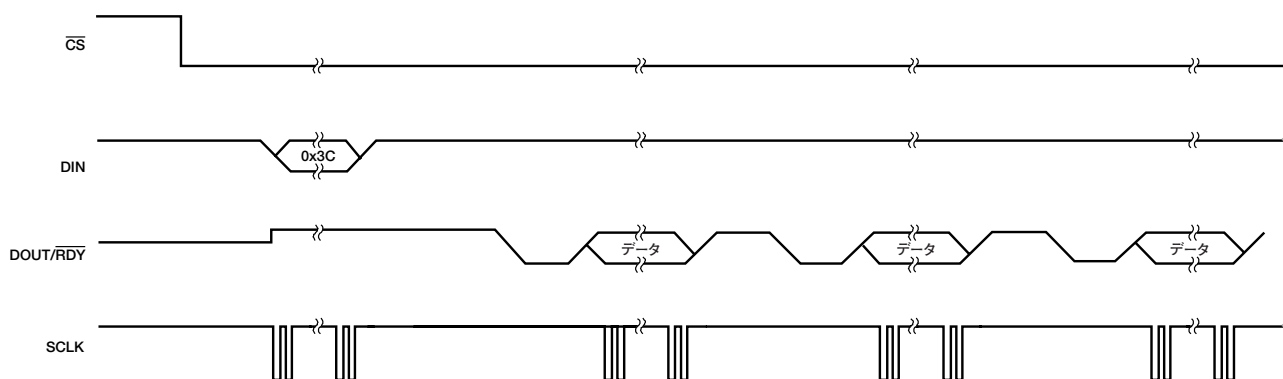
連続読み出しモード

データにアクセスするために、変換が完了するたびにコミュニケーション・レジスタに書き込む代わりに、AD7790を連続読み出しモードに設定することができます。コミュニケーション・レジスタに001111XXを書き込むと、ADCに適切な数のSCLKサイクルを入力するだけで連続読み出しモードになります。変換が完了すると、DOUT/RDYラインに自動的に16ビット・ワードが置かれます。

DOUT/RDYがローレベルになって変換の終わりを示したとき、ADCに十分なSCLKサイクルを入力すれば、データ変換結果がDOUT/RDYラインに出力されます。変換が読み出されると、次の変換が有効になるまでDOUT/RDYはハイレベルに戻ります。このモードでは、データの読み出しは1回しかできません。また、次の変換が完了するまでに、データ・ワードを読み出す

必要があります。次の変換の完了までに変換を読み出していない場合や、ワードを読み出すための十分なシリアル・クロック数がAD7790に入力されなかった場合には、次の変換が完了するとシリアル出力レジスタがリセットされ、新しい変換が出力シリアル・レジスタに格納されます。

連続読み出しモードを終了するには、RDYピンがローレベルの間に、命令001110XXをコミュニケーション・レジスタに書き込む必要があります。連続読み出しモードでは、連続読み出しモードを終了させる命令が受信できるように、ADCはDINライン上の動作を監視します。さらに、DIN上に「1」が32個連続して現れると、リセットが行われます。したがって、連続読み出しモードでは、デバイスに命令が書き込まれるまで、DINをローレベルに保持してください。



03538-0-011

図11. 連続読み出し

回路の説明

アナログ入力チャンネル

AD7790には差動アナログ入力チャンネルが1つあります。これは、デバイスがバッファ・モードで動作するときには内蔵のバッファ・アンプに接続され、デバイスが非バッファ・モードで動作するときには変調器に直接接続されます。バッファ・モード（モード・レジスタのBUFビットを1に設定）では、入力チャンネルからバッファ・アンプのハイ・インピーダンス入力段に供給します。このため、入力で大きなソース・インピーダンスを許容できるようになり、ストレイン・ゲージや抵抗温度検出器（RTD）などの外付け抵抗型センサーへの直接の接続が可能になります。

BUF=0のとき、AD7790は非バッファ・モードで動作します。この場合、比較的大きなアナログ入力電流が必要となります。なお、このバッファなしの入力パスは、駆動源に動的負荷を与えます。このため、ADC入力を駆動する信号源の出力インピーダンスに応じて、入力ピン上の抵抗/コンデンサの組み合わせからDCゲイン誤差が生じる可能性があります。表16に、非バッファ・モードで使用可能な外付け抵抗/容量の値を示します。これらの値であれば、16ビット・レベルでゲイン誤差を発生させません。

表16. 16ビット・ゲイン誤差を発生しない外付け抵抗/コンデンサの組み合わせ

C (pF)	R (Ω)
50	22.8K
100	13.1K
500	3.3K
1000	1.8K
5000	360

バッファ・モードでの絶対入力電圧範囲は、GND+100mV～V_{DD}-100mVに制限されます。同相電圧を設定するときには、これらの制限を超えないように注意してください。これを超えると、直線性とノイズ性能が低下します。

非バッファ・モードでの絶対入力電圧は、バッファされていないためにGND-30mV～V_{DD}+30mVの範囲になります。この負側の絶対入力電圧限界値では、GNDを基準とする小さい真のバイポーラ信号の監視が可能です。

プログラマブル・ゲイン・ステージ

AD7790のバッファからの出力は、デジタル・ゲイン・ステージに接続されています。ゲイン・レンジは、モード・レジスタのゲイン・ビットG1とG0で設定します。外部2.5Vリファレンスを使用する場合、デジタル・ゲイン・ステージは±2.5V、±1.25V、±625mV、または±312.5mVのバイポーラ・レンジに設定できます。これらは、AD7790の入力レンジです。

バイポーラ構成

AD7790のアナログ入力には、バイポーラ電圧を入力できます。バイポーラ入力レンジでは、システムGNDを基準とした負電圧を入力できるということではありません。AIN(+)入力でのバイポーラ信号は、AIN(-)入力での電圧を基準にします。たとえば、AIN(-)が2.5Vで、ADCがゲイン1に設定されている場合、AIN(+)入力でのアナログ入力レンジは0～5Vになります。

データ出力のコーディング

出力コードはオフセット・バイナリで、負側フルスケール電圧ではコード000...000、ゼロ差動入力電圧ではコード100...000、正側フルスケール入力電圧ではコード111...111になります。任意のアナログ入力電圧に対する出力コードは、次のように表すことができます。

$$\text{コード} = 2^{N-1} \times [(AIN \times GAIN / V_{REF}) + 1]$$

ここで、AINはアナログ入力電圧、GAINはPGAゲイン、N=16です。

リファレンス入力

AD7790には、チャンネルに対するフル差動入力機能があります。これらの差動入力に対するコモン・モード・レンジはGND～V_{DD}です。リファレンス入力はバッファなしになるため、抵抗/コンデンサのソース・インピーダンスが大きいとゲイン誤差が発生します。規定の動作に対するリファレンスREFIN (REFIN(+)-REFIN(-)) は公称2.5Vですが、AD7790は0.1V～V_{DD}のリファレンスでも動作します。アナログ入力に接続されているトランスデューサに対する励起電圧または励起電流がデバイスのリファレンスも駆動するようなアプリケーションはレシオメトリック動作になるため、励起電源での低周波ノイズの影響が除去されます。AD7790をレシオメトリック・アプリケーションで使用しない場合には、ローノイズのリファレンスを使用してください。

AD7790に推奨する2.5Vリファレンス源としては、ローノイズ、低消費電力のADR381とADR391があります。アナログ部全体を2.5V電源で駆動する場合は、リファレンス源に若干のヘッドルームが必要です。この場合は、同じくローノイズ、低消費電力のリファレンスであるADR390やADR380などの2.048Vリファレンスを推奨します。また、リファレンス入力では、ハイ・インピーダンスの動的負荷が加わることに注意してください。各リファレンス入力の入力インピーダンスが動的であるため、リファレンス入力を駆動する電源の出力インピーダンスに応じて、これらの入力での抵抗/コンデンサの組み合わせからDCゲイン誤差が発生することがあります。上述の推奨リファレンス源（たとえばADR391）は一般に出力インピーダンスが小さいため、システムにゲイン誤差を生じることなく、REFIN(+)入力にデカップリング・コンデンサを接続できます。外部抵抗を介してリファレンス入力電圧を得ると、リファレンス入力に大きな外部ソース・インピーダンスが生じることになります。このタイプの回路構成では、REFINピンでの外付けデカップリングは推奨しません。

AD7790

V_{DD}のモニター

アナログ入力チャンネルは、外部電圧の変換のほか、V_{DD}ピンの電圧監視にも使用できます。コミュニケーション・レジスタのビットCH1とCH0を1に設定すると、V_{DD}ピンの電圧が1/5に内部的に減衰し、その結果得られた電圧がΣΔ変調器に入力されます。電源監視には、A/D変換用のリファレンスとして1.17Vの内部リファレンスを使用されます。電源監視の機能は、電池の消耗を監視できるので、バッテリー駆動のアプリケーションに便利です。

グラウンディングとレイアウト

ADCのアナログ入力とリファレンス入力は差動であるため、アナログ変調器内の多くの電圧は同相電圧になります。AD7790の優れた同相ノイズ除去特性により、これらの入力の同相ノイズが除去されます。デジタル・フィルタは、変調器のサンプリング周波数の整数倍を除く広帯域の電源ノイズを除去します。また、デジタル・フィルタは、ノイズ源がアナログ変調器を飽和させない限り、アナログ入力とリファレンス入力のノイズも除去します。その結果、従来の高分解能コンバータに比べて、AD7790は高いノイズ干渉耐性を持つことになります。ただし、AD7790の分解能が高く、生じるノイズ・レベルが低いため、グラウンディングとレイアウトについては注意が必要です。

AD7790を実装するPCボードでは、アナログ部とデジタル部を分離し、それぞれをボード内の特定の場所にまとめて配置するように設計してください。一般に、エッチング部分を最小化すると、最適なシールド効果が得られるため、この方法はグラウンド・プレーンに最適です。

AD7790のGNDピンをシステムのAGNDプレーンに接続することを推奨します。どのレイアウトでもシステム内の電流の流

れに注意し、電流を目的場所まで流すパスとそのリターン・パスをできるだけ近づけて配置するように心がけることが大切です。レイアウトのAGND部分をデジタル電流が流れないようにしてください。

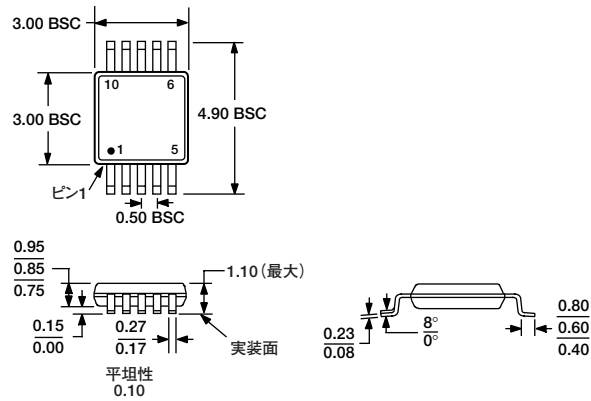
ノイズ・カップリングを防ぐため、AD7790のグラウンド・プレーンをデバイスの下に来るように配置してください。AD7790の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を低減します。クロックなどの高速のスイッチング信号はデジタル・グラウンドでシールドし、ボードの他の部分にノイズが拡散しないようにします。また、クロック信号をアナログ入力の近くに通さないでください。デジタル信号とアナログ信号の交差は避けてください。ボードの両側のパターンは、互いに直角になるように配線します。これにより、ボードを貫通するフィードスルーの影響を減らすことができます。マイクロストリップ技術は特に優れていますが、必ずしも両面ボードに使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にし、信号はハンダ面に配線します。

高分解能のADCを使用するときは、デカップリングが重要になります。V_{DD}は、10μFのタンタル・コンデンサと0.1μFのコンデンサを並列接続してGNDにデカップリングする必要があります。デカップリングの効果を最大にするには、これらの部品をデバイスのできるだけ近く、理想的にはデバイスの真上に配置します。すべてのロジック・チップは、0.1μFのセラミック・コンデンサでDGNDにデカップリングする必要があります。

外形寸法

図12. 10ピン・ミニSOP [MSOP]
(RM-10)

寸法単位：mm



JEDEC規格MO-187BAに準拠

オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション	ブランド
AD7790BRM	-40～+105℃	10ピン・ミニSOP (MSOP)	RM-10	COS
AD7790BRM-REEL	-40～+105℃	10ピン・ミニSOP (MSOP)	RM-10	COS

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD7790

C03538-0-8/03(0)

PRINTED IN JAPAN