



8 チャンネル、24 ビット 同時サンプリング A/D コンバータ

データシート

AD7771

特長

- 8 チャンネル、24 ビット、
同時サンプリング A/D コンバータ (ADC)
- シングルエンドまたは真の差動入力
チャンネルごとのプログラマブル・ゲイン・アンプ (PGA)
(ゲイン: 1、2、4、8)
- 低 DC 入力電流:
±4 nA (差動) / ±8 nA (シングルエンド)
- 出力データ・レート (ODR) / チャンネル: 最大 128 kSPS
ODR と帯域幅を設定可能
- サンプル・レート・コンバータ (SRC) によるコヒーレント・
サンプリング
サンプル・レートの分解能: 最大 15.2×10^6 SPS
- 低遅延の sinc3 および sinc5 フィルタ・パス
調整可能な位相同期
- 2.5 V の内部リファレンス
- 2 つのパワー・モード
高分解能モード
低消費電力モード
- 消費電力と性能を最適化
システムおよびチップ診断用の低分解能逐次比較型 (SAR)
ADC
- 電源
バイポーラ (±1.65 V) またはユニポーラ (3.3 V) 電源
デジタル I/O 電源: 1.8 V ~ 3.6 V
性能温度範囲: -40 °C ~ +105 °C
動作温度範囲: -40 °C ~ +125 °C
- 性能
AC および DC 性能の結合
高分解能モード (sinc5)、32 kSPS での S/N 比 (SNR) / ダイ
ナミック・レンジ: 107 dB
THD: -109 dB
フルスケール・レンジ (FSR) 積分非直線性 (INL) : ±8
ppm
オフセット誤差: ±15 µV
ゲイン誤差: ±0.1 % FS
温度係数: ±10 ppm/°C (代表値)

アプリケーション

- 電力品質および電力測定アプリケーション
- 汎用データ・アキュジション
- 脳波計 (EEG)
- 工業用プロセス制御

概要

AD7771¹ は 8 チャンネルの同時サンプリング A/D コンバータ (ADC) です。チップに 8 個の完全なシグマ・デルタ ($\Sigma\Delta$) ADC を内蔵しています。AD7771 の入力電流はきわめて小さいため、センサーを直接接続することができます。各入力チャンネルにはゲイン = 1、2、4、8 のプログラマブルなゲイン段があり、振幅の小さいセンサー出力をフルスケールの ADC 入力範囲に対応させることができるため、シグナル・チェーンのダイナミック・レンジを最大化することができます。AD7771 の V_{REF} には 1 V ~ 3.6 V を入力することができ、アナログ入力にはアナログ

電源電圧 = 3.3 V でユニポーラ ($0\text{ V} \sim V_{REF}$) を、またはアナログ電源電圧 = ±1.65 V で真のバイポーラ ($\pm V_{REF}/2\text{ V}$) を、それぞれ入力することができます。アナログ入力は、さまざまなセンサー出力構成に対応するように真の差動信号またはシングルエンド信号を入力するように設定することができます。

各チャンネルには、ADC 変調器と遅延の小さい sinc3/sinc5 デジタル・フィルタが内蔵されています。サンプル・レート・コンバータ (SRC) は、AD7771 の出力データ・レート (ODR) 全体にわたって分解能を微調整するために内蔵されています。この制御機能は、0.01 Hz のライン周波数変動でのコヒーレンスを維持するための ODR 分解能を必要とするアプリケーションで使うことができます。SRC はシリアル・ポート・インターフェース (SPI) を介して設定できます。AD7771 は、データ出力インターフェースと SPI 制御インターフェースの 2 種類のインターフェースを内蔵しています。ADC データ出力インターフェースは、AD7771 の ADC 変換結果をプロセッサへ送信する専用インターフェースです。SPI インターフェースは AD7771 設定レジスタへの書き込みと設定レジスタからの読出しに使用され、逐次比較型 (SAR) ADC からのデータの制御と読出しにも使用されます。SPI インターフェースは $\Sigma\Delta$ 変換データを出力するように設定することもできます。

AD7771 は、12 ビット SAR ADC を内蔵しています。この ADC を使用することで、システム測定機能専用の $\Sigma\Delta$ ADC チャンネルのいずれかを停止する必要なしで、AD7771 の診断を実行できます。外部マルチプレクサ (3 本の汎用入出力ピン (GPIO) を介して制御可能) とシグナル・コンディショニングを使用し、機能安全性が要求されるアプリケーションで SAR ADC を使用して $\Sigma\Delta$ ADC の測定を検証することができます。さらに、AD7771 の SAR ADC は内部ノードをセンスするためのマルチプレクサを内蔵しています。

AD7771 は、2.5 V のリファレンスとリファレンス・バッファを内蔵しています。このリファレンスの温度係数は 10 ppm/°C (代表値) です。

AD7771 は、高分解能モードと低消費電力モードの 2 つの動作モードを備えています。高分解能モードの場合、ダイナミック・レンジは大きくなり、消費電力は 16.6 mW/チャンネルになります。低消費電力モードでは狭ダイナミック・レンジ仕様になりますが、消費電力はわずか 5.25 mW/チャンネルになります。

規定の動作温度範囲は -40 °C ~ +105 °C ですが、デバイスは最大 +125 °C まで動作します。

このデータシートでは、複数の機能を備えたピンまたは一連のピンを表すために特定の用語を使用しています。DCLK0/SDO などの多機能ピンは、ピン全体の名前と呼ばれることもあれば、特定の機能のみが該当するような説明箇所では、DCLK0 のように 1 つのピン機能で表現されることもあります。例えば、AVSSx のように一連のピンの場合は、次のピンを表しています。AVSS1A、AVSS1B、AVSS2A、AVSS2B、AVSS3、AVSS4。

¹ この製品は米国特許番号 9,432,043 他で保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	Σ - Δ 出力データ.....	53
アプリケーション.....	1	ADC 変換出力 — ヘッダーとデータ.....	53
概要.....	1	サンプル・レート・コンバータ (SRC) (SPI 制御モード)	54
改訂履歴.....	3	データ出力インターフェース.....	56
機能ブロック図.....	4	CRC チェックサムの計算.....	60
仕様.....	5	レジスタの一覧.....	61
DOUTx タイミング特性.....	9	レジスタの詳細.....	65
SPI タイミング特性.....	10	チャンネル 0 設定レジスタ.....	65
同期ピンとリセットのタイミング特性.....	11	チャンネル 1 設定レジスタ.....	65
SAR ADC タイミング特性.....	12	チャンネル 2 設定レジスタ.....	66
GPIO の SRC 用更新のタイミング特性.....	12	チャンネル 3 設定レジスタ.....	66
絶対最大定格.....	13	チャンネル 4 設定レジスタ.....	67
熱抵抗.....	13	チャンネル 5 設定レジスタ.....	67
ESD に関する注意事項.....	13	チャンネル 6 設定レジスタ.....	68
ピン配置およびピン機能説明.....	14	チャンネル 7 設定レジスタ.....	68
代表的な性能特性.....	17	ADC チャンネルへのクロック・ディスエーブル・レジスタ.....	69
用語の定義.....	32	チャンネル 0 同期オフセット・レジスタ.....	69
動作原理.....	34	チャンネル 1 同期オフセット・レジスタ.....	69
アナログ入力.....	34	チャンネル 2 同期オフセット・レジスタ.....	69
伝達関数.....	35	チャンネル 3 同期オフセット・レジスタ.....	70
コア・シグナル・チェーン.....	36	チャンネル 4 同期オフセット・レジスタ.....	70
容量性 PGA.....	36	チャンネル 5 同期オフセット・レジスタ.....	70
内部リファレンスとリファレンス・バッファ.....	36	チャンネル 6 同期オフセット・レジスタ.....	70
内蔵 LDO.....	37	チャンネル 7 同期オフセット・レジスタ.....	70
クロッキングとサンプリング.....	37	汎用ユーザー設定 1 レジスタ.....	71
デジタル・リセット・ピンと同期ピン.....	37	汎用ユーザー設定 2 レジスタ.....	72
デジタル・フィルタリング.....	38	汎用ユーザー設定 3 レジスタ.....	73
シャットダウン・モード.....	38	データ出力フォーマット・レジスタ.....	73
AD7771 の制御.....	39	メイン ADC の計測およびリファレンス・マルチプレクサ制御レジスタ.....	74
ピン制御モード.....	39	グローバル診断マルチプレクサ・レジスタ.....	75
SPI 制御.....	42	GPIO 設定レジスタ.....	75
デジタル SPI.....	44	GPIO データ・レジスタ.....	76
RMS ノイズと分解能.....	47	バッファ設定 1 レジスタ.....	76
高分解能モード.....	47	バッファ設定 2 レジスタ.....	76
低消費電力モード.....	48	チャンネル 0 オフセットの上位バイト・レジスタ.....	77
診断とモニタリング.....	49	チャンネル 0 のオフセット中位バイト・レジスタ.....	77
自己診断エラー.....	49	チャンネル 0 のオフセット下位バイト・レジスタ.....	77
AD7771 の SAR ADC を用いたモニタリング (SPI 制御モード)	50	チャンネル 0 のゲイン上位バイト・レジスタ.....	77
Σ - Δ ADC 診断 (SPI 制御モード).....	52	チャンネル 0 のゲイン中位バイト・レジスタ.....	77
		チャンネル 0 のゲイン下位バイト・レジスタ.....	78

チャンネル1 オフセットの上位バイト・レジスタ	78	チャンネル6 のゲイン下位バイト・レジスタ	85
チャンネル1 のオフセット中位バイト・レジスタ	78	チャンネル7 オフセットの上位バイト・レジスタ	85
チャンネル1 のオフセット下位バイト・レジスタ	78	チャンネル7 のオフセット中位バイト・レジスタ	85
チャンネル1 のゲイン上位バイト・レジスタ	78	チャンネル7 のオフセット下位バイト・レジスタ	85
チャンネル1 のゲイン中位バイト・レジスタ	79	チャンネル7 のゲイン上位バイト・レジスタ	86
チャンネル1 のゲイン下位バイト・レジスタ	79	チャンネル7 のゲイン中位バイト・レジスタ	86
チャンネル2 オフセットの上位バイト・レジスタ	79	チャンネル7 のゲイン下位バイト・レジスタ	86
チャンネル2 のオフセット中位バイト・レジスタ	79	チャンネル0 のステータス・レジスタ	86
チャンネル2 のオフセット下位バイト・レジスタ	79	チャンネル1 のステータス・レジスタ	87
チャンネル2 のゲイン上位バイト・レジスタ	80	チャンネル2 のステータス・レジスタ	87
チャンネル2 のゲイン中位バイト・レジスタ	80	チャンネル3 のステータス・レジスタ	88
チャンネル2 のゲイン下位バイト・レジスタ	80	チャンネル4 のステータス・レジスタ	88
チャンネル3 オフセットの上位バイト・レジスタ	80	チャンネル5 のステータス・レジスタ	89
チャンネル3 のオフセット中位バイト・レジスタ	80	チャンネル6 のステータス・レジスタ	89
チャンネル3 のオフセット下位バイト・レジスタ	81	チャンネル7 のステータス・レジスタ	90
チャンネル3 のゲイン上位バイト・レジスタ	81	チャンネル0/チャンネル1 の DSP エラー・レジスタ	90
チャンネル3 のゲイン中位バイト・レジスタ	81	チャンネル2/チャンネル3 の DSP エラー・レジスタ	91
チャンネル3 のゲイン下位バイト・レジスタ	81	チャンネル4/チャンネル5 の DSP エラー・レジスタ	91
チャンネル4 オフセットの上位バイト・レジスタ	81	チャンネル6/チャンネル7 の DSP エラー・レジスタ	92
チャンネル4 のオフセット中位バイト・レジスタ	82	チャンネル0 ~ チャンネル7 のエラー・レジスタ・イネーブル・レジスタ	92
チャンネル4 のオフセット下位バイト・レジスタ	82	一般エラー・レジスタ 1	93
チャンネル4 のゲイン上位バイト・レジスタ	82	一般エラー・レジスタ 1 のイネーブル	93
チャンネル4 のゲイン中位バイト・レジスタ	82	一般エラー・レジスタ 2	94
チャンネル4 のゲイン下位バイト・レジスタ	82	一般エラー・レジスタ 2 のイネーブル	94
チャンネル5 オフセットの上位バイト・レジスタ	83	エラー・ステータス・レジスタ 1	95
チャンネル5 のオフセット中位バイト・レジスタ	83	エラー・ステータス・レジスタ 2	95
チャンネル5 のオフセット下位バイト・レジスタ	83	エラー・ステータス・レジスタ 3	96
チャンネル5 のゲイン上位バイト・レジスタ	83	デシメーション・レート (N) MSB レジスタ	96
チャンネル5 のゲイン中位バイト・レジスタ	83	デシメーション・レート (N) LSB レジスタ	96
チャンネル5 のゲイン下位バイト・レジスタ	84	デシメーション・レート (IF) MSB レジスタ	96
チャンネル6 オフセットの上位バイト・レジスタ	84	デシメーション・レート (IF) LSB レジスタ	97
チャンネル6 のオフセット中位バイト・レジスタ	84	SRC のソース/更新をロードするレジスタ	97
チャンネル6 のオフセット下位バイト・レジスタ	84	外形寸法	98
チャンネル6 のゲイン上位バイト・レジスタ	84	オーダー・ガイド	98
チャンネル6 のゲイン中位バイト・レジスタ	85		

改訂履歴

6/2017—Revision 0: Initial Version

機能ブロック図

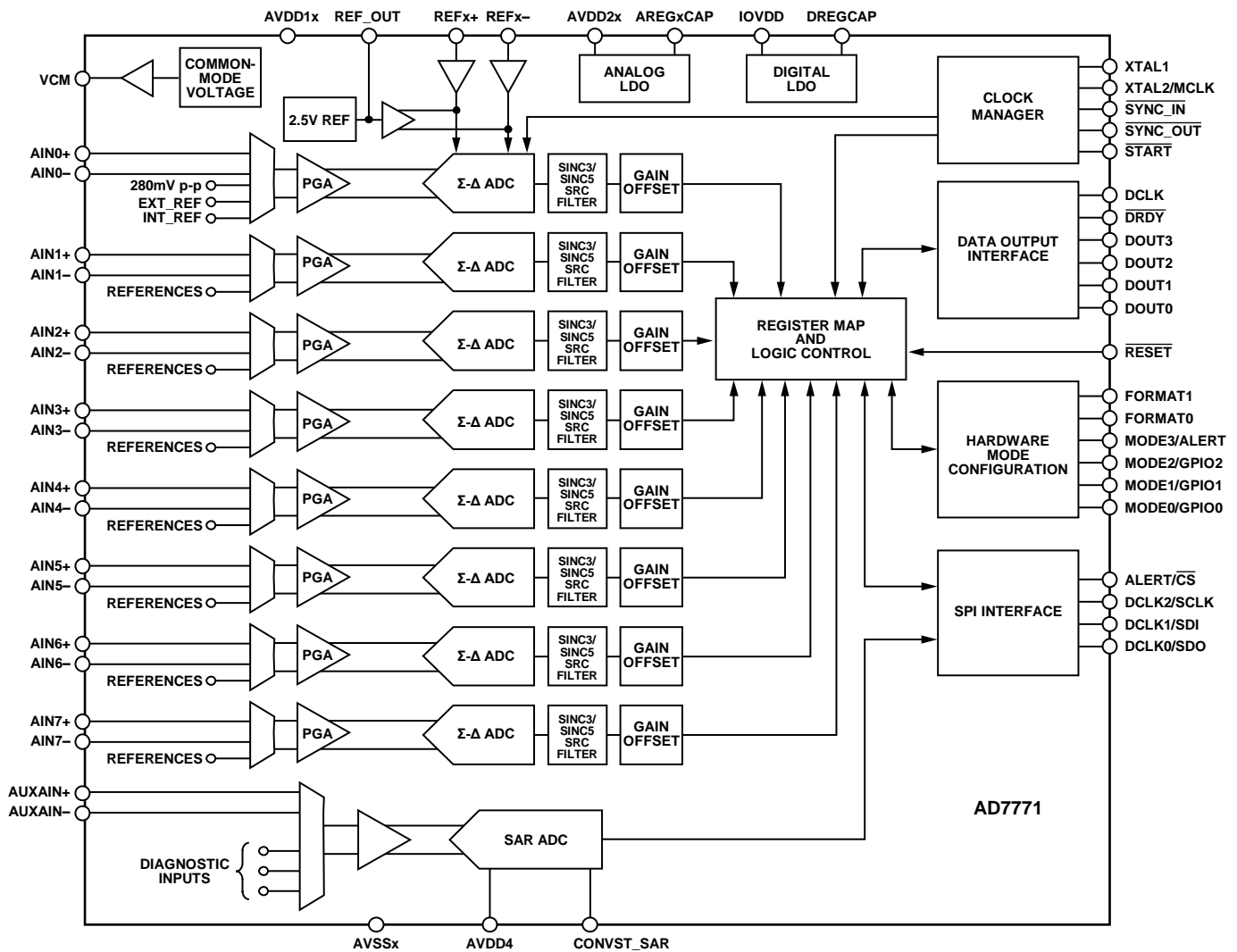


図 1.

13802-201

仕様

AVDD1x = 1.65 V、AVSSx¹ = -1.65 V（両電源動作）、AVDD1x = 3.3 V、AVSSx = アナログ・グラウンド（AGND）（単電源動作）、AVDD2x - AVSSx = 2.2 V ~ 3.6 V、IOVDD = 1.8 V ~ 3.6 V、DGND = 0 V、REFx+/REFx- = 2.5 V AVSSx（内部/外部）、マスター・クロック（MCLK）= 8192 kHz（高分解能モード）/4096 kHz（低消費電力モード）、ODR = 128 kSPS（高分解能モード）/32 kSPS（低消費電力モード）。特に指定のない限り、すべての仕様は T_{MIN} ~ T_{MAX} での値。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG INPUTS					
Differential Input Voltage Range	V _{REF} = (REFx+ - REFx-)			±V _{REF} /PGA _{GAIN}	V
Single-Ended Input Voltage Range				0 to V _{REF} /PGA _{GAIN}	V
AINx± Common-Mode Input Range		AVSSx + 0.10	(AVDD1x + AVSSx)/2	AVDD1x - 0.10	V
Absolute AINx± Voltage Limits		AVSSx + 0.10		AVDD1x - 0.10	V
DC Input Current					
Differential	High resolution mode		±4		nA
	Low power mode		±1		nA
Single-Ended	High resolution mode		±8		nA
	Low power mode		±2		nA
Input Current Drift			50		pA/°C
AC Input Capacitance			8		pF
PROGRAMMABLE GAIN AMPLIFIER (PGA)					
Gain Settings (PGA _{GAIN})			1, 2, 4, or 8		
Bandwidth					
Small Signal	High resolution mode			2	MHz
	Low power mode			512	kHz
Large Signal	High resolution mode		See 図 39, 図 40, and 図 44		
	Low power mode		See 図 42, 図 43, and 図 47		
REFERENCE					
Internal					
Initial Accuracy	REF_OUT, T _A = 25°C	2.495	2.5	2.505	V
Temperature Coefficient			±10	±38	ppm/°C
Reference Load Current, I _L		-10		+10	mA
DC Power Supply Rejection	Line regulation		95		dB
Load Regulation, ΔV _{OUT} /ΔI _L			100		μV/mA
Voltage Noise, e _{N,pp}	0.1 Hz to 10 Hz		6.8		μV rms
Voltage Noise Density, e _N	1 kHz, 2.5 V reference		273.5		nV/√Hz
Turn On Settling Time	100 nF		1.5		ms
External					
Input Voltage	V _{REF} = (REFx+ - REFx-)	1	2.5	AVDD1x	V
Buffer Headroom		AVSSx + 0.1		AVDD1x - 0.1	V
REFx- Input Voltage			AVSSx	AVDD1x - REFx+	V
Average REFx± Input Current	Current per channel				
	Reference buffer disabled, high resolution mode		18		μA/V
	Reference buffer precharge mode (pre-Q), high resolution mode		600		nA/V
	Reference buffer disabled, low power mode		4.5		μA/V
	Reference buffer pre-Q, low power mode		100		nA/V
	Reference buffer enabled, high resolution mode		12		nA/V
	Reference buffer enabled, low power mode		5		nA/V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
TEMPERATURE RANGE					
Specified Performance	T _{MIN} to T _{MAX}	-40		+105	°C
Functional ²	T _{MIN} to T _{MAX}	-40		+125	°C
TEMPERATURE SENSOR					
Accuracy			±2		°C
DIGITAL FILTER RESPONSE					
Group Delay					
Settling Time					
			<p>See the SRC の群遅延 section</p> <p>See the SRC の群遅延は、選択した ODR に依存し、次の式で定義されます。</p> $SRC \text{ の群遅延} = \frac{PM + SRC_N}{SRC_N \times ODR}$ <p>ここで</p> <p>PM は定数で値は 8。</p> <p>SRC_N は設定された ODR の整数値。</p> <p>ODR は設定された出力データ・レート。</p> <p>Sinc5 フィルタを使用する場合、群遅延は次の式で定義されます。</p> $SRC \text{ の群遅延} = \frac{PM + 2 \times SRC_N}{SRC_N \times ODR}$ <p>遅延は、群遅延とキャリブレーション時間によって決まります。</p> $遅延 = 群遅延 + t_{CAL}$ <p>高分解能モードでは、キャリブレーション遅延は、62 × t_{MCLK} で規定され、最大誤差は 2 × t_{MCLK} です。低消費電力モードでは、キャリブレーション遅延は 121 × t_{MCLK}、最大誤差は 4 × t_{MCLK} と規定されます。t_{MCLK} は変調器の周期で、高分解能モードでは 488 ns、低消費電力モードでは 1.9 μs です。</p>		
Pass Band	-0.1 dB				
	-3 dB				
Decimation Rate					
Sinc3		16		4095.99	
Sinc5		16		2048	
CLOCK SOURCE					
Frequency	High resolution mode	0.655		8.192	MHz
	Low power mode	1.3		4.096	MHz
Duty Cycle		45:55	50:50	55:45	%
Σ-Δ ADC					
Speed and Performance					
Resolution		24			Bits
ODR	High resolution mode			128	kSPS
	Low power mode			32	kSPS
No Missing Codes	Sinc3, up to 24 kSPS	24			Bits
	Sinc5	24			Bits
AC Accuracy					
Dynamic Range	Shorted inputs, PGA _{GAIN} = 1				
128 kSPS	High resolution mode (sinc5)		95		dB
32 kSPS	High resolution mode (sinc5)		107		dB
16 kSPS	High resolution mode (sinc3)		105.9		dB
4 kSPS	High resolution mode (sinc3)		116		dB
32 kSPS	Low power mode (sinc5)		94.5		dB
8 kSPS	Low power mode (sinc5)		106.5		dB
8 kSPS	Low power mode (sinc3)		95.8		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
2 kSPS	Low power mode (sinc3)		111.8		dB
Total Harmonic Distortion (THD)	-0.5 dBFS, high resolution mode		-109		dB
	-0.5 dBFS, low power mode		-105		dB
Signal-to-Noise-and-Distortion Ratio (SINAD)	$f_{IN} = 60$ Hz		106		dB
Spurious-Free Dynamic Range (SFDR)	High resolution mode, 16 kSPS, $PGA_{GAIN} = 1$		132		dB
Intermodulation Distortion (IMD)	$f_A = 50$ Hz, $f_B = 51$ Hz, high resolution mode		-125		dB
	$f_A = 50$ Hz, $f_B = 51$ Hz, low power mode		-105		dB
DC Power Supply Rejection	$AVDD1X = 3.3$ V		-90		dB
DC Common-Mode Rejection Ratio		80			dB
Crosstalk			-120		dB
DC ACCURACY					
Integral Nonlinearity (INL)	Endpoint method				
High Resolution	$PGA_{GAIN} = 1$		± 8	± 15	ppm of FSR
	Other PGA gains		± 4	± 15	ppm of FSR

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Low Power	PGA _{GAIN} = 1		±9	±17	ppm of FSR
	Other PGA gains		±6	±15	ppm of FSR
Offset Error			±15	±90	μV
Offset Error Drift			0.25		μV/°C
	Over time		-2		μV/1000 hours
Offset Matching			25		μV
Gain Error			±0.1		% FS
Gain Error Drift vs. Temperature	PGA _{GAIN} = 1		±0.75		ppm/°C
Gain Matching			±0.1		%
SAR ADC					
Speed and Performance					
Resolution			12		Bits
Analog Input Range		AVSS4 + 0.1		AVDD4 - 0.1	V
Analog Input Common-Mode Range		AVSS4 + 0.1	(AVDD4 + AVSS4)/2	AVDD4 - 0.1	V
Analog Input Current			±100		nA
Throughput				256	kSPS
DC Accuracy					
INL	Differential mode		±1.5		LSB
Differential Nonlinearity (DNL)	No missing codes (12-bit)	-0.99		1	LSB
Offset			±1		LSB
Gain			12		LSB
AC Performance					
Signal-to-Noise Ratio (SNR)	1 kHz		66		dB
THD	1 kHz		-81		dB
VCM PIN					
Output (V _{CM})			(AVDD1 _X + AVSS _X)/2		V
Load Current, I _L			1		mA
Load Regulation, ΔV _{OUT} /ΔI _L			12		mV/mA
Short-Circuit Current			5		mA
LOGIC INPUTS					
Input Voltage					
High, V _{IH}		0.7 × IOVDD			V
Low, V _{IL}				0.4	V
Hysteresis			0.1		V
Input Currents		-10		+10	μA
LOGIC OUTPUTS³					
Output Voltage					
High, V _{OH}	IOVDD ≥ 3 V, I _{SOURCE} = 1 mA	0.8 × IOVDD			V
	2.3 V ≤ IOVDD < 3 V, I _{SOURCE} = 500 μA	0.8 × IOVDD			V
	IOVDD < 2.3 V, I _{SOURCE} = 200 μA	0.8 × IOVDD			V
Low, V _{OL}	IOVDD ≥ 3 V, I _{SINK} = 2 mA			0.4	V
	2.3 V ≤ IOVDD < 3 V, I _{SINK} = 1 mA			0.4	V
	IOVDD < 2.3 V, I _{SINK} = 100 μA			0.4	V
Leakage Current	Floating state	-10		+10	μA
Output Capacitance	Floating state		10		pF
Σ-Δ ADC Data Output Coding			Twos complement		
SAR ADC Data Output Coding			Binary		

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLIES					
AVDD1x – AVSSx	All Σ - Δ channels enabled	3.0		3.6	V
I _{AVDD1x} ^{4,5}	Reference buffer pre-Q, VCM enabled, internal reference enabled				
	High resolution mode		18.3	23.7	mA
	Low power mode		5	6.4	mA
	Reference buffer enabled, VCM enabled, internal reference enabled				
	High resolution mode		20.5	26.7	mA
	Low power mode		5.5	7.1	mA
	Reference buffer disabled, VCM disabled, internal reference disabled				
	High resolution mode		14.3	18.8	mA
AVDD2x – AVSSx		2.2		3.6	V
I _{AVDD2x}	High resolution mode		10.2	10.65	mA
	Low power mode		3.8	4	mA
AVDD4 – AVSSx		3		3.6	V
I _{AVDD4}	SAR enabled		1.7	2	mA
	SAR disabled		1	10	μ A
AVSSx – DGND		-1.8		0	V
IOVDD – DGND		1.8		3.6	V
I _{IOVDD}	High resolution mode (sinc5)		14.3	17	mA
	Low power mode (sinc5)		4.6	5.5	mA
	High resolution mode (sinc3)		12.2	14.2	mA
	Low power mode (sinc3)		2.2	4.9	mA
Power Dissipation ⁶	Internal buffers bypassed, internal reference disabled, internal oscillator disabled, SAR disabled				
High Resolution Mode	128 kSPS		133	153	mW
Low Power Mode	32 kSPS		42	48.5	mW
Power-Down	All ADCs disabled		530		μ W

¹ AVSSx は次のピンを表しています: AVSS1A、AVSS1B、AVSS2A、AVSS2B、AVDD3、AVSS4。この用語はデータシート全体を通じて使用されます。

² 温度が 105 °C を超えると、このデバイスは正常に動作可能ですが、最大/最小仕様は 105 °C までの温度でのみ保証されるため、これらの仕様がわずかに低下すると考えられます。デバイスの高温での代表的性能を示すプロットについては、代表的な性能特性のセクションを参照してください。

³ SDO ピンと DOUTx ピンは、デフォルト・モードの能力で設定されています。

⁴ AVDD1x = 3.3 V、AVSSx = GND = グラウンド、IOVDD = 1.8 V、CMOS クロック。

⁵ VCM ピンまたは内部リファレンスをディスエーブルすると、消費電流が 40 μ A (代表値) 減少します。

⁶ 消費電力は 3.6 V の最大電源電圧を使用して計算しています。

DOUTx タイミング特性

AVDD1x = 1.65 V、AVSSx¹ = -1.65 V（両電源動作）、AVDD1x = 3.3 V、AVSSx = AGND（単電源動作）、AVDD2 - AVSSx = 2.2 V ~ 3.6 V、IOVDD = 1.8 V ~ 3.6 V、DGND = 0 V、REFx+/REFx- = 2.5 V 内部/外部、MCLK = 8192 kHz。特に指定のない限り、すべての仕様は T_{MIN} ~ T_{MAX} での値。

表 2.

Parameter	Description ²	Test Conditions/Comments	Min	Typ	Max	Unit
t ₁	MCLK frequency	50:50	0.655		8.192	MHz
t ₂	MCLK low time		60			ns
t ₃	MCLK high time		60			ns
t ₄	DCLK high time	MCLK/2	121			ns
t ₅	DCLK low time	MCLK/2	121			ns
t ₆	MCLK falling edge to DCLK rising edge				45	ns
t ₇	MCLK falling edge to <u>DCLK</u> falling edge				45	ns
t ₈	DCLK rising edge to <u>DRDY</u> rising edge		2			ns
t ₉	DCLK rising edge to <u>DRDY</u> falling edge		1			ns
t ₁₀	DOUTx setup time		20			ns
t ₁₁	DOUTx hold time		20			ns

¹ AVSSx は次のピンを表しています: AVSS1A、AVSS1B、AVSS2A、AVSS2B、AVSS3、AVSS4。この用語はデータシート全体を通じて使用されます。

² すべての入力信号は t_R = t_F = 1 ns/V（IOVDD の 10% ~ 90%）で規定し、(V_{IL} + V_{IH})/2 の電圧レベルで時間を測定しています。

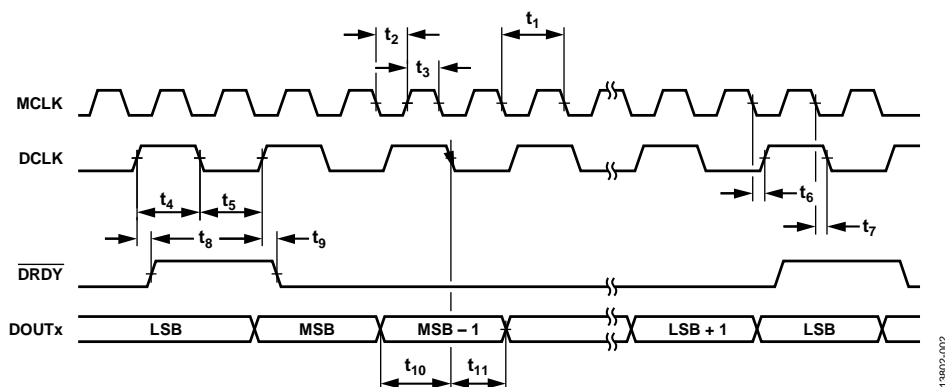


図 2. データ・インターフェースのタイミング図

13802-002

SPI タイミング特性

AVDD1x = 1.65 V、AVSSx¹ = -1.65 V (両電源動作)、AVDD1x = 3.3 V、AVSSx = AGND、AVDD2 - AVSSx = 2.2 V ~ 3.6 V、IOVDD = 1.8 V ~ 3.6 V、DGND = 0 V、REFx+/REFx- = 2.5 V (内部/外部)、MCLK = 8192 kHz。特に指定のない限り、すべての仕様は T_{MIN} ~ T_{MAX} での値。

表 3.

Parameter	Description ²	Test Conditions/Comments	Min	Typ	Max	Unit
t ₁₂	SCLK period	50:50			30	MHz
t ₁₃	SCLK low time		7			ns
t ₁₄	SCLK high time		7			ns
t ₁₅	SCLK rising edge to $\overline{\text{CS}}$ falling edge		10			ns
t ₁₆	$\overline{\text{CS}}$ falling edge to SCLK rising edge		10			ns
t ₁₇	SCLK rising edge to $\overline{\text{CS}}$ rising edge		10			ns
t ₁₈	$\overline{\text{CS}}$ rising edge to SCLK rising edge		10			ns
t ₁₉	Minimum $\overline{\text{CS}}$ high time		10			ns
t ₂₀	SDI setup time		5			ns
t ₂₁	SDI hold time		5			ns
t _{22A}	$\overline{\text{CS}}$ falling edge to SDO enable (SPI = Mode 0)		30			ns
t _{22B}	SCLK falling edge to SDO enable (SPI = Mode 1)		49			ns
t ₂₃	SDO setup time		10			ns
t ₂₄	SDO hold time		10			ns
t ₂₅	$\overline{\text{CS}}$ rising edge to SDO disable		30			ns

¹ AVSSx は次のピンを表しています: AVSS1A、AVSS1B、AVSS2A、AVSS2B、AVSS3、AVSS4。この用語はデータシート全体を通じて使用されます。

² すべての入力信号は t_R = t_F = 1 ns/V (IOVDD の 10% ~ 90%) で規定し、(V_{IL} + V_{IH})/2 の電圧レベルで時間を測定しています。

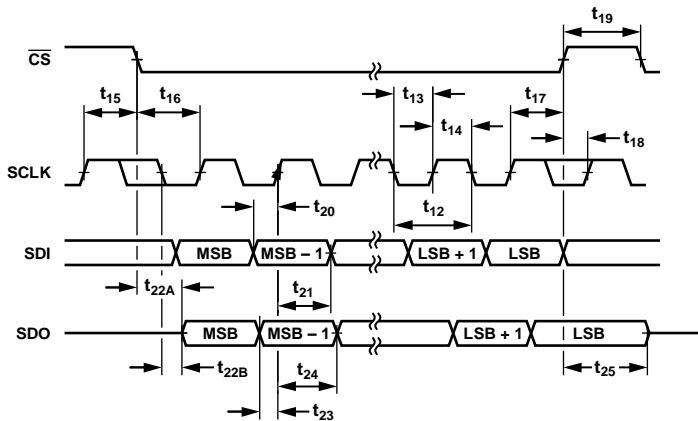


図 3. SPI 制御インターフェースのタイミング図

13862-003

同期ピンとリセットのタイミング特性

AVDD1x = 1.65 V、AVSSx¹ = -1.65 V（両電源動作）、AVDD1x = 3.3 V、AVSSx = AGND、AVDD2 - AVSSx = 2.2 V ~ 3.6 V、IOVDD = 1.8 V ~ 3.6 V、DGND = 0 V、REFx+/REFx- = 2.5 V（内部/外部）、MCLK = 8192 kHz。特に指定のない限り、すべての仕様は T_{MIN} ~ T_{MAX} での値。

表 4.

Parameter	Description ²	Test Conditions/Comments	Min	Typ	Max	Unit
t ₂₆	START setup time		10			ns
t ₂₇	START hold time		MCLK			ns
t ₂₈	MCLK falling edge to SYNC_OUT falling edge		MCLK			ns
t ₂₉	SYNC_IN setup time		10			ns
t ₃₀	SYNC_IN hold time		MCLK			ns
t _{INIT_SYNC_IN}	SYNC_IN rising edge to first DRDY	16 kSPS, high resolution mode	145			μs
t _{INIT_RESET}	RESET rising edge to first DRDY	16 kSPS, high resolution mode	225			μs
t ₃₁	RESET hold time		2 × MCLK			ns
t _{POWER_UP}	Start time	t _{POWER_UP} is not shown in 図 4		2		ms

¹ AVSSx は次のピンを表しています: AVSS1A、AVSS1B、AVSS2A、AVSS2B、AVSS3、AVSS4。この用語はデータシート全体を通じて使用されます。

² すべての入力信号は t_R = t_F = 1 ns/V（IOVDD の 10% ~ 90%）で規定し、(V_{IL} + V_{IH})/2 の電圧レベルで時間を測定しています。

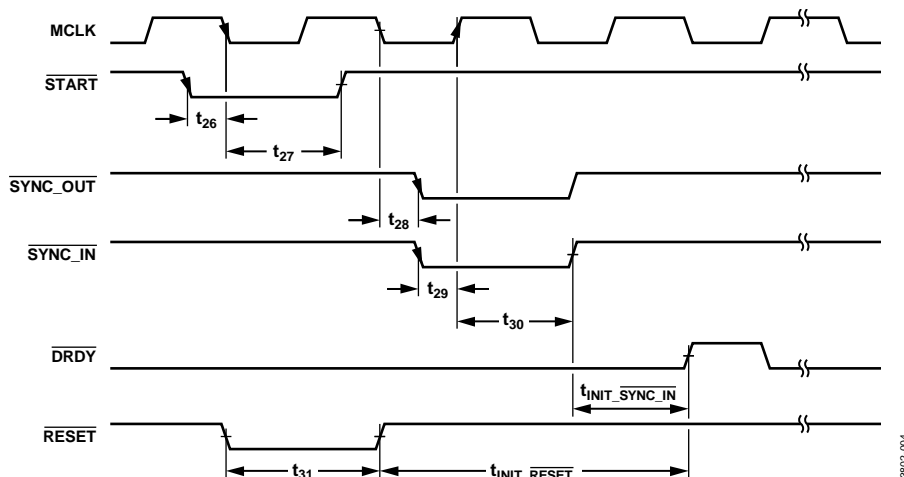


図 4. 同期ピンとリセット制御インターフェースのタイミング図

SAR ADC タイミング特性

AVDD1x = 1.65 V、AVSSx¹ = -1.65 V (両電源動作)、AVDD1x = 3.3 V、AVSSx = AGND、AVDD2 - AVSSx = 2.2 V ~ 3.6 V、IOVDD = 1.8 V ~ 3.6 V、DGND = 0 V、REFx+/REFx- = 2.5 V (内部/外部)、MCLK = 8192 kHz。特に指定のない限り、すべての仕様は T_{MIN} ~ T_{MAX} での値。

表 5.

Parameter	Description ²	Min	Typ	Max	Unit
t ₃₂	Conversion time	1		3.4	μs
t ₃₃	Acquisition time ³	500			ns
t ₃₄	Delay time	50			ns
t ₃₅	Throughput data rate			256	kSPS

¹ AVSSx は次のピンを表しています: AVSS1A、AVSS1B、AVSS2A、AVSS2B、AVSS3、AVSS4。この用語はデータシート全体を通じて使用されます。

² すべての入力信号は t_R = t_F = 1 ns/V (IOVDD の 10% ~ 90%) で規定し、(V_{IL} + V_{IH})/2 の電圧レベルで時間を測定しています。

³ ダイレクト・モードがイネーブルされています。デグリッチ・モードがイネーブルの場合は、表 29 に示しているように 1.5/MCLK を追加。

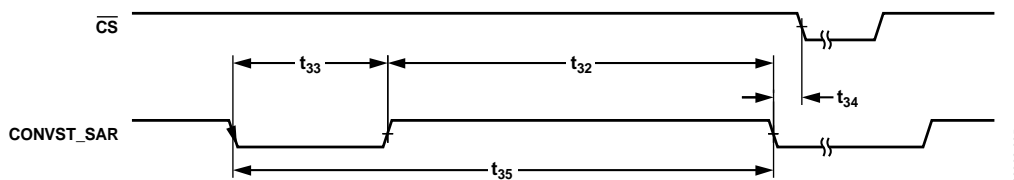


図 5. SAR ADC のタイミング図

GPIO の SRC 用更新のタイミング特性

AVDD1x = 1.65 V、AVSSx¹ = -1.65 V (両電源動作)、AVDD1x = 3.3 V、AVSSx = AGND、AVDD2 - AVSSx = 2.2 V ~ 3.6 V、IOVDD = 1.8 V ~ 3.6 V、DGND = 0 V、REFx+/REFx- = 2.5 V (内部/外部)、MCLK = 8192 kHz。特に指定のない限り、すべての仕様は T_{MIN} ~ T_{MAX} での値。

表 6.

Parameter	Description ²	Min	Typ	Max	Unit
t ₃₆	GPIO2 setup time	10			ns
t ₃₇	GPIO2 hold time—high resolution mode	MCLK			ns
	GPIO2 hold time—low power mode	2 × MCLK			ns
t ₃₈	MCLK rising edge to GPIO1 rising edge time	20			ns
t ₃₉	GPIO0 setup time	5			ns
t ₄₀	GPIO0 hold time	MCLK			ns

¹ AVSSx は次のピンを表しています: AVSS1A、AVSS1B、AVSS2A、AVSS2B、AVSS3、AVSS4。この用語はデータシート全体を通じて使用されます。

² すべての入力信号は t_R = t_F = 1 ns/V (IOVDD の 10% ~ 90%) で規定し、(V_{IL} + V_{IH})/2 の電圧レベルで時間を測定しています。

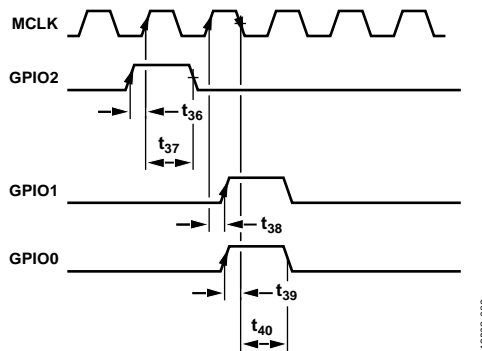


図 6. SRC 用 GPIO の更新タイミング図

絶対最大定格

表 7.

Parameter	Rating
Any Supply Pin to AVSSx	-0.3 V to +3.96 V
AVSSx to DGND	-1.98 V to +0.3 V
AREGxCAP to AVSSx	-0.3 V to +1.98 V
DREGCAP to DGND	-0.3 V to +1.98 V
IOVDD to DGND	-0.3 V to +3.96 V
IOVDD to AVSSx	-0.3 V to +5.94 V
AVDD4 to AVSSx	-0.3 V to +3.96 V
Analog Input Voltage	AVSSx - 0.3 V to AVDD1x + 0.3 V or 3.96 V (whichever is less)
REFx± Input Voltage	AVSSx - 0.3 V to AVDD1x + 0.3 V or 3.96 V (whichever is less)
AUXAIN±	AVSSx - 0.3 V to AVDD4 + 0.1 V or 3.96 V (whichever is less)
Digital Input Voltage to DGND	DGND - 0.3 V to IOVDD + 0.3 V or 3.96 V (whichever is less)
Digital Output Voltage to DGND	DGND - 0.3 V to IOVDD + 0.3 V or 3.96 V (whichever is less)
XTAL1 to DGND	DGND - 0.3 V to DREGCAP + 0.3 V or 1.98 V (whichever is less)
AINx±, AUXAIN±, and Digital Input Current	±10 mA
Operating Temperature Range	-40°C to +125°C
Junction Temperature, T _J Maximum	150°C
Storage Temperature Range	-65°C to +150°C
Reflow Soldering	260°C
ESD	2 kV
Field Induced Charged Device Model (FICDM)	500 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意が必要です。

表 8. 熱抵抗

Package Type	θ_{JA}	θ_{JB}	Ψ_{JT}	Ψ_{JB}	Unit
CP-64-15 ¹					
No Thermal Vias	30.43	N/A ²	0.13	6.59	°C/W
49 Thermal Vias	22.62	3.17	0.09	3.19	°C/W

¹ 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 参照。

² N/A は該当せずを意味します。

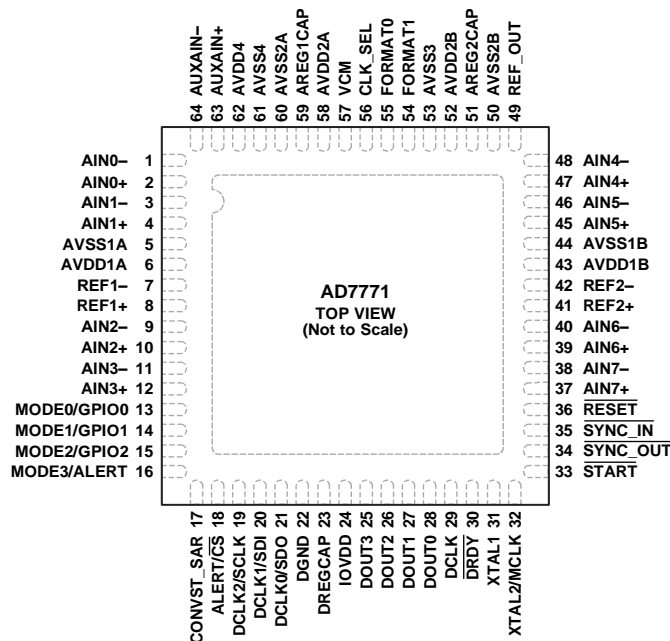
ESD に関する注意事項



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. EXPOSED PAD. CONNECT THE EXPOSED PAD TO AVSSx.

13802-007

図 7. ピン配置

表 9. ピン機能の説明

Pin No.	Mnemonic	Type	Direction	Description
1	AIN0-	Analog input	Input	負側アナログ入力チャンネル 0。
2	AIN0+	Analog input	Input	正側アナログ入力チャンネル 0。
3	AIN1-	Analog input	Input	負側アナログ入力チャンネル 1。
4	AIN1+	Analog input	Input	正側アナログ入力チャンネル 1。
5	AVSS1A	Supply	Supply	チャンネル 0 ~ チャンネル 3 の負のフロントエンド・アナログ電源。代表値は 1.65 V (両電源) および AGND (単電源)。AVSSx ピンはすべて同じ電位に接続します。
6	AVDD1A	Supply	Supply	チャンネル 0 ~ チャンネル 3 の正のフロントエンド・アナログ電源。代表値は AVSSx + 3.3 V。このピンは AVDD1B に接続します。
7	REF1-	Reference	Input	チャンネル 0 ~ チャンネル 3 の負側リファレンス入力 1。代表値は AVSSx。REFx- ピンはすべて同じ電位に接続します。
8	REF1+	Reference	Input	チャンネル 0 ~ チャンネル 3 の正側リファレンス入力 1。代表値は REF1+ 2.5 V。
9	AIN2-	Analog input	Input	負側アナログ入力チャンネル 2。
10	AIN2+	Analog input	Input	正側アナログ入力チャンネル 2。
11	AIN3-	Analog input	Input	負側アナログ入力チャンネル 3。
12	AIN3+	Analog input	Input	正側アナログ入力チャンネル 3。
13	MODE0/GPIO0	Digital I/O	I/O	ピン制御モードでのモード 0 入力 (MODE0)。詳細については、表 14 を参照してください。 SPI 制御モードで設定可能な汎用入出力 0 (GPIO0)。このピンを使用しない場合は、DGND または IOVDD に接続します。
14	MODE1/GPIO1	Digital I/O	I/O	ピン制御モードでのモード 1 入力 (MODE1)。詳細については、表 14 を参照してください。 SPI 制御モードで設定可能な汎用入出力 1 (GPIO1)。このピンを使用しない場合は、DGND または IOVDD に接続します。
15	MODE2/GPIO2	Digital I/O	I/O	ピン制御モードでのモード 2 入力 (MODE2)。詳細については、表 14 を参照してください。 SPI 制御モードで設定可能な汎用入出力 2 (GPIO2)。このピンを使用しない場合は、DGND または IOVDD に接続します。
16	MODE3/ALERT	Digital I/O	I/O	ピン制御モードでのモード 3 入力 (MODE3)。詳細については、表 14 を参照してください。 SPI 制御モードでアラート出力 (ALERT)。

Pin No.	Mnemonic	Type	Direction	Description
17	CONVST_SAR	Digital input	Input	ピン制御モードでの Σ - Δ 出力インターフェース選択ピン。詳細については、表 13 を参照してください。このピンは、SPI 制御モードでの SAR 変換のスタート・ピンとしても機能します。
18	ALERT/ $\overline{\text{CS}}$	Digital input	Input	ピン制御モードでアラート出力 (ALERT)。 SPI 制御モードでチップ選択 ($\overline{\text{CS}}$)。
19	DCLK2/SCLK	Digital input	Input	ピン制御モードでのデータ・クロック周波数選択ピン 2 (DCLK2)。詳細については、表 15 を参照してください。 SPI 制御モードの SPI クロック (SCLK)。
20	DCLK1/SDI	Digital input	Input	ピン制御モードでのデータ・クロック周波数選択ピン 1 (DCLK1)。詳細については、表 15 を参照してください。 SPI 制御モードの SPI データ入力 (SDI)。デバイスをピン制御モードに設定し、SPI をデータ出力インターフェースとして使用する場合は、このピンを DGND に接続します。
21	DCLK0/SDO	Digital output	Output	ピン制御モードでのデータ・クロック周波数選択ピン 0 (DCLK0)。詳細については、表 15 を参照してください。 SPI 制御モードの SPI データ出力 (SDO)。
22	DGND	Supply	Supply	デジタル・グラウンド。
23	DREGCAP	Supply	Output	デジタル低ドロップアウト (LDO) 出力。1 μ F のコンデンサを使用して、このピンを DGND にデカップリングします。
24	IOVDD	Supply	Supply	1.8 V ~ 3.6 V のデジタル・レベル入出力およびデジタル LDO (DLDO) 電源。IOVDD は DREGCAP より低くならないようにする必要があります。
25	DOUT3	Digital output	I/O	データ出力ピン 3。デバイスをデジタイゼーション・モードに設定した場合、このピンは入力ピンとして機能します。詳細については、デジタイゼーション・モードのセクションを参照してください。
26	DOUT2	Digital output	I/O	データ出力ピン 2。デバイスをデジタイゼーション・モードに設定した場合、このピンは入力ピンとして機能します。詳細については、デジタイゼーション・モードのセクションを参照してください。
27	DOUT1	Digital output	Output	データ出力ピン 1。
28	DOUT0	Digital output	Output	データ出力ピン 0。
29	DCLK	Digital output	Output	データ出力クロック。
30	$\overline{\text{DRDY}}$	Digital output	Output	データ出力レディ・ピン。
31	XTAL1	Clock	Input	水晶振動子 1 入力接続。CMOS をクロック源として使用する場合は、このピンを DGND に接続します。詳細については、表 12 を参照してください。
32	XTAL2/MCLK	Clock	Input	水晶振動子 2 入力接続 (XTAL2)。詳細については、表 12 を参照してください。 CMOS クロック (MCLK)。詳細については、表 12 を参照してください。
33	$\overline{\text{START}}$	Digital input	Input	同期パルス。このピンは、外部 $\overline{\text{START}}$ 非同期パルスを MCLK に内部で同期させます。同期信号は SYNC_OUT ピンによってシフト・アウトされます。使用しない場合は、このピンを DGND に接続します。詳細については「位相調整」のセクション、「デジタル・リセット・ピンと同期ピン」のセクションを参照してください。
34	$\overline{\text{SYNC_OUT}}$	Digital output	Input	同期信号。このピンはハードウェア ($\overline{\text{START}}$ ピン経由) またはソフトウェア (GENERAL_USER_CONFIG_2、ビット 0) によって生成および駆動される同期パルスを生成します。このピンを使用する場合は、SYNC_IN ピンに接続する必要があります。詳細については「位相調整」のセクション、「デジタル・リセット・ピンと同期ピン」のセクションを参照してください。
35	$\overline{\text{SYNC_IN}}$	Digital input	Input	内部デジタル・ブロックのリセットと複数のデバイスの同期。詳細については、「デジタル・リセット・ピンと同期ピン」のセクションを参照してください。
36	$\overline{\text{RESET}}$	Digital input	Input	非同期リセットピン。このピンは、すべてのレジスタをデフォルト値にリセットしません。電源のスルー・レートが遅いと、デジタル・ブロックで正しく初期化が行われなことがありません。このため、デバイスがパワーアップした後にこのピンでパルスを生成することを推奨します。
37	AIN7+	Analog input	Input	正側アナログ入力チャンネル 7。
38	AIN7-	Analog input	Input	負側アナログ入力チャンネル 7。
39	AIN6+	Analog input	Input	正側アナログ入力チャンネル 6。
40	AIN6-	Analog input	Input	負側アナログ入力チャンネル 6。
41	REF2+	Reference	Input	チャンネル 4 ~ チャンネル 7 の正側リファレンス入力 2。代表値は REF2+2.5 V。
42	REF2-	Reference	Input	チャンネル 4 ~ チャンネル 7 の負側リファレンス入力 2。代表値は AVSSx。REFx ピンはすべて同じ電位に接続します。
43	AVDD1B	Supply	Supply	チャンネル 4 ~ チャンネル 7 の正のフロントエンド・アナログ電源。このピンは AVDD1A に接続します。

Pin No.	Mnemonic	Type	Direction	Description
44	AVSS1B	Supply	Supply	チャンネル4～チャンネル7の負のフロントエンド・アナログ電源、-1.65 V（両電源）または AGND（単電源）での代表値。AVSSx ピンはすべて同じ電位に接続します。
45	AIN5+	Analog input	Input	正側アナログ入力チャンネル5。
46	AIN5-	Analog input	Input	負側アナログ入力チャンネル5。
47	AIN4+	Analog input	Input	正側アナログ入力チャンネル4。
48	AIN4-	Analog input	Input	負側アナログ入力チャンネル4。
49	REF_OUT	Reference	Output	2.5 V リファレンス出力。内部リファレンスを使用する場合は、このピンに 100 nF コンデンサを接続します。
50	AVSS2B	Supply	Supply	負のアナログ電源。すべての AVSSx ピンを相互に接続します。
51	AREG2CAP	Supply	Output	アナログ LDO 出力 2。1 μ F のコンデンサを使用して、このピンを AVSS2B ヘデカップリングします。
52	AVDD2B	Supply	Supply	正のアナログ電源。このピンは AVDD2A に接続します。
53	AVSS3	Supply	Supply	負のアナログ・グラウンド。AVSSx はすべて同じ電位に接続します。
54	FORMAT1	Digital input	Input	出力データ・フレーム 1。詳細については、表 13 を参照してください。
55	FORMAT0	Digital input	Input	出力データ・フレーム 0。詳細については、表 13 を参照してください。
56	CLK_SEL	Digital input	Input	クロック源の選択。詳細については、表 12 を参照してください。
57	VCM	Analog output	Output	コモンモード電圧出力。代表値は $(AVDD1x + AVSSx)/2$ 。
58	AVDD2A	Supply	Input	2.2 V ~ 3.6 V のアナログ電源。AVSS2x は AREGxCAP より低くならないようにする必要があります。このピンは AVDD2B に接続します。
59	AREG1CAP	Supply	Output	アナログ LDO 出力 1。1 μ F のコンデンサを使用して、このピンを AVSSx ヘデカップリングします。
60	AVSS2A	Supply	Input	負のアナログ電源。AVSSx ピンはすべて同じ電位に接続します。
61	AVSS4	Supply	Supply	負の SAR アナログ電源およびリファレンス。AVSSx ピンはすべて同じ電位に接続します。
62	AVDD4	Supply	Supply	正の SAR アナログ電源およびリファレンス・ソース。
63	AUXAIN+	Analog input	Input	正側 SAR アナログ入力チャンネル。
64	AUXAIN-	Analog input	Input	負側 SAR アナログ入力チャンネル。
	EPAD	Supply	Input	露出パッド。露出パッドは AVSSx に接続します。

代表的な性能特性

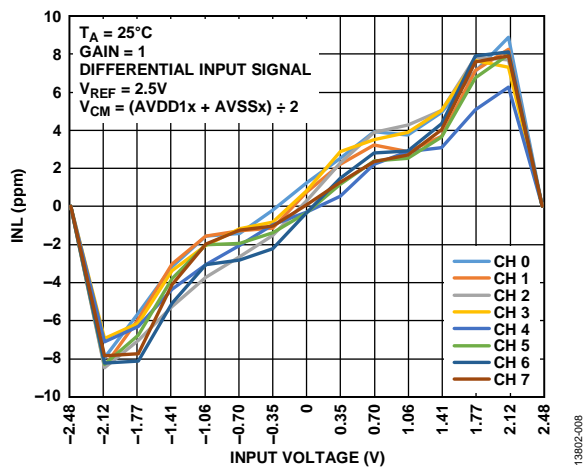


図 8. 各種チャンネルの INL と入力電圧の関係、64 kSPS、高分解能モード

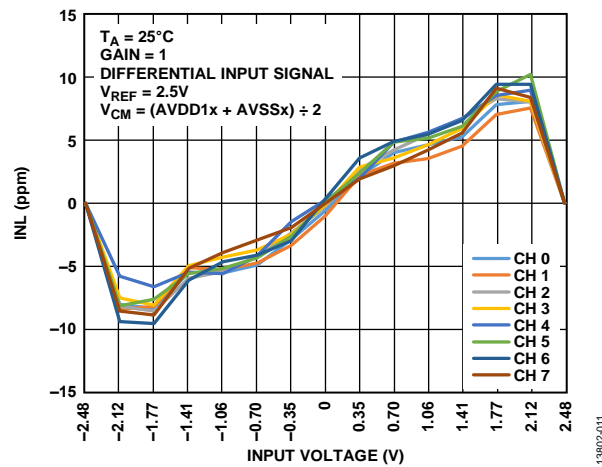


図 11. 各種チャンネルの INL と入力電圧の関係、16 kSPS、低消費電力モード

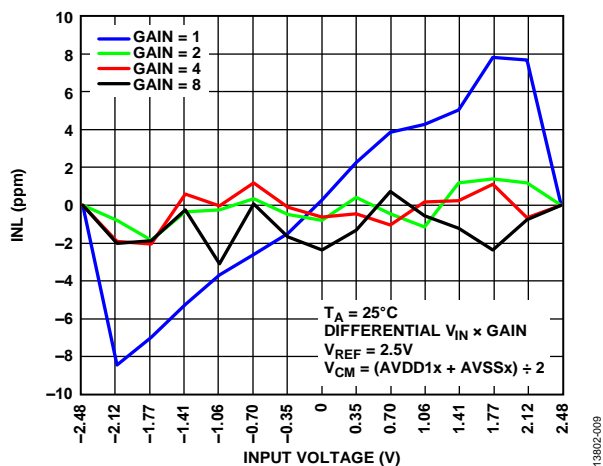


図 9. 各種 PGA ゲインでの INL と入力電圧の関係、64 kSPS、高分解能モード

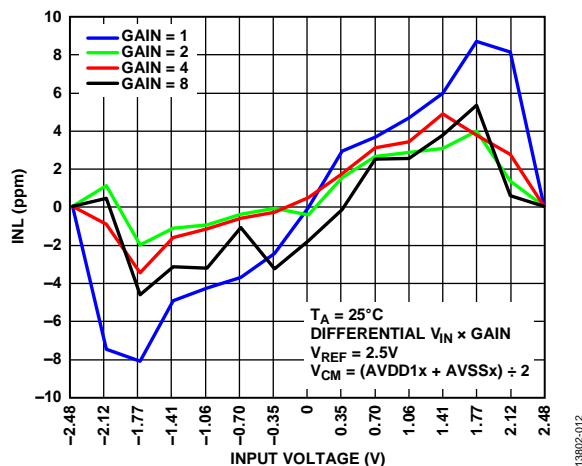


図 12. 各種 PGA ゲインでの INL と入力電圧の関係、16 kSPS、低消費電力モード

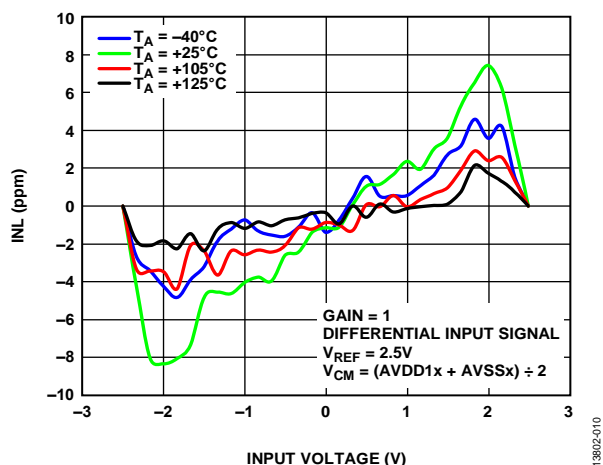


図 10. 各種温度での INL と入力電圧の関係、64 kSPS、高分解能モード

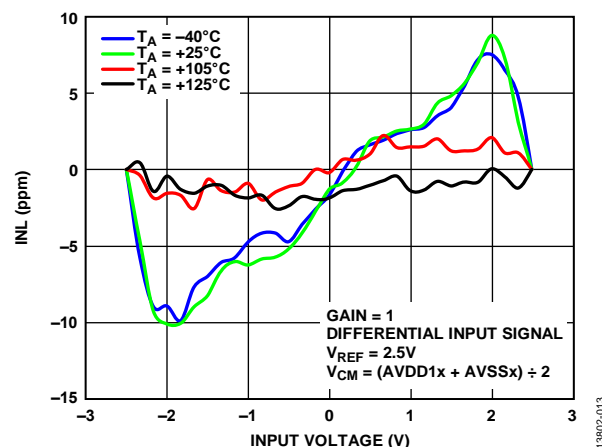


図 13. 各種温度での INL と入力電圧の関係、16 kSPS、低消費電力モード

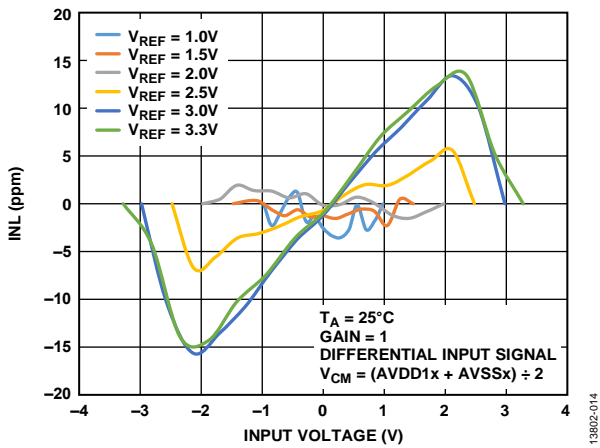


図 14. 各種リファレンス電圧 (V_{REF}) での INL と入力電圧の関係、64 kSPS、高分解能モード

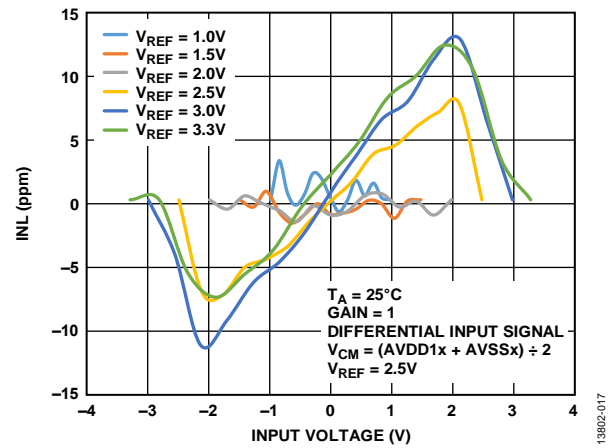


図 17. 各種リファレンス電圧 (V_{REF}) での INL と入力電圧の関係、16 kSPS、低消費電力モード

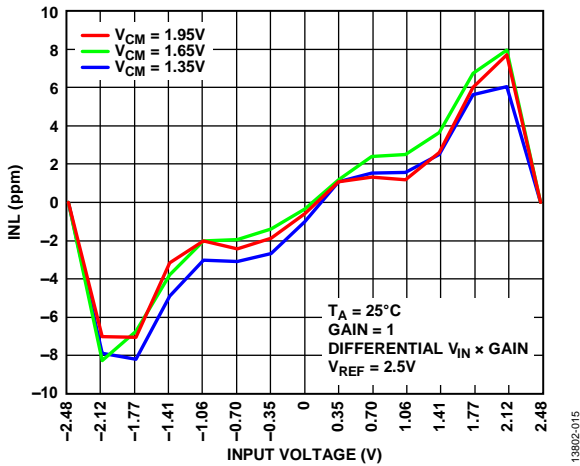


図 15. 各種 V_{CM} での INL と入力電圧の関係、64 kSPS、高分解能モード

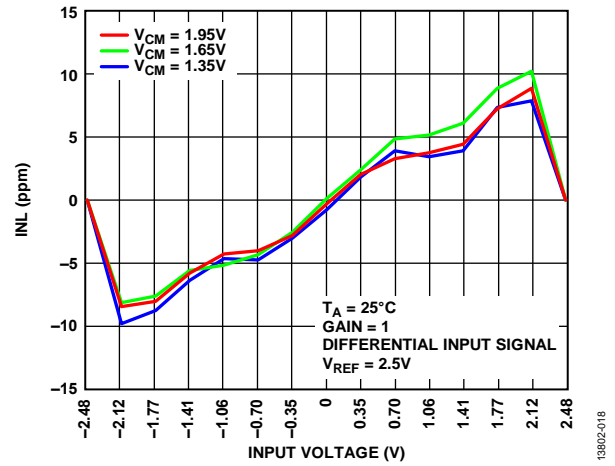


図 18. 各種 V_{CM} での INL と入力電圧の関係、16 kSPS、低消費電力モード

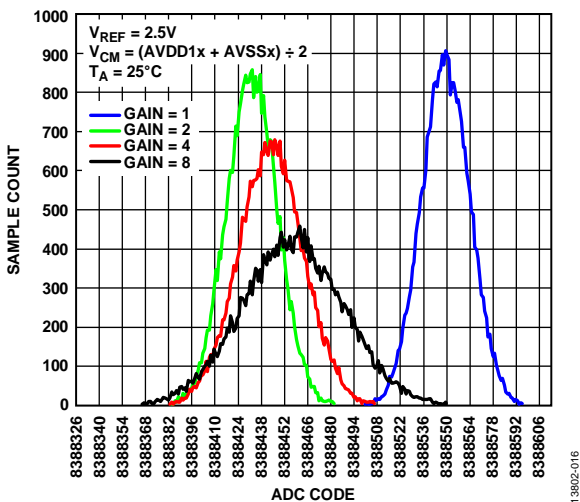


図 16. ノイズ・ヒストグラム、16 kSPS、高分解能モード、Sinc3 フィルタが有効

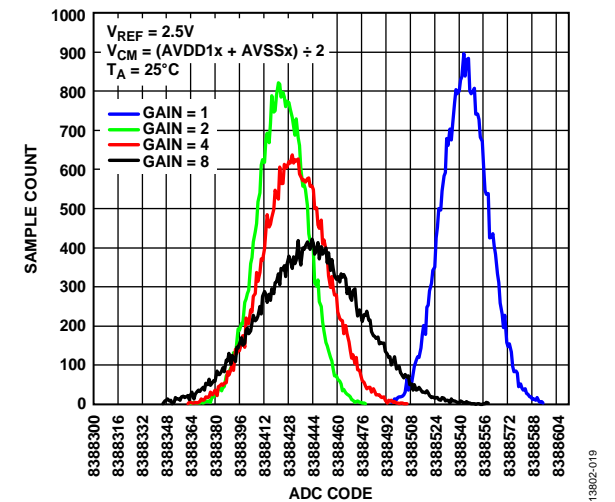


図 19. ノイズ・ヒストグラム、4 kSPS、低消費電力モード、Sinc3 フィルタが有効

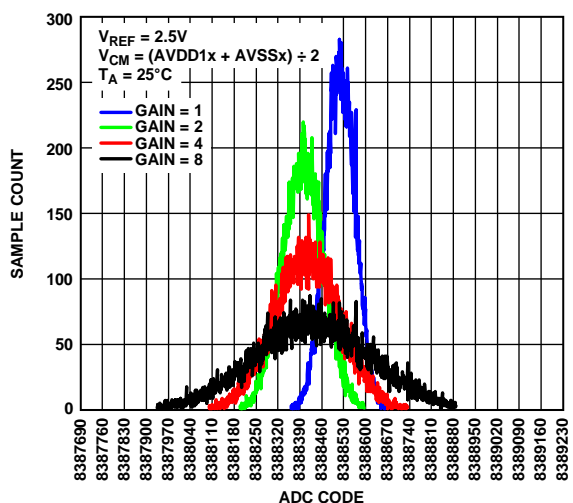


図 20. ノイズ・ヒストグラム、64 kSPS、高分解能モード、Sinc5 フィルタが有効

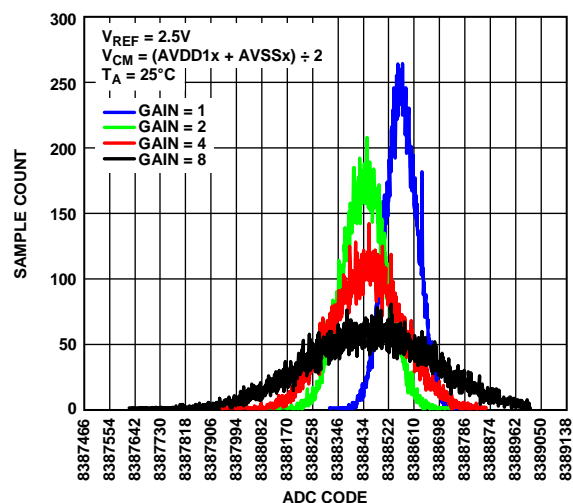


図 23. ノイズ・ヒストグラム、16 kSPS、低消費電力モード、Sinc5 フィルタが有効

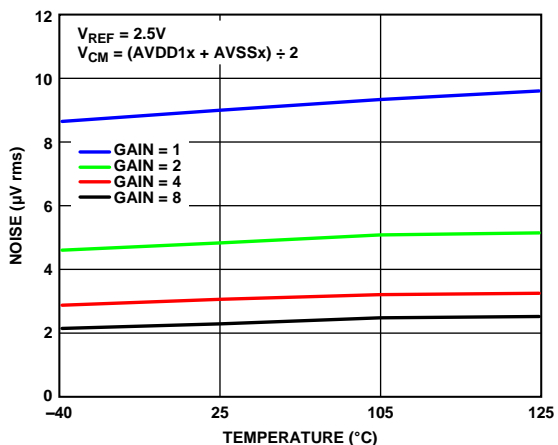


図 21. ノイズと温度の関係、16 kSPS、高分解能モード、Sinc3 フィルタが有効

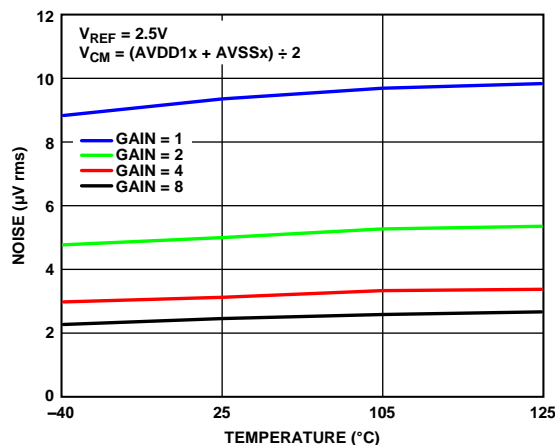


図 24. ノイズと温度の関係、4 kSPS、低消費電力モード、Sinc3 フィルタが有効

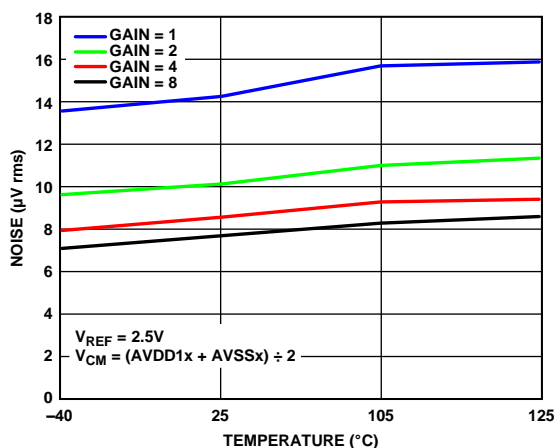


図 22. ノイズと温度の関係、64 kSPS、高分解能モード、Sinc5 フィルタが有効

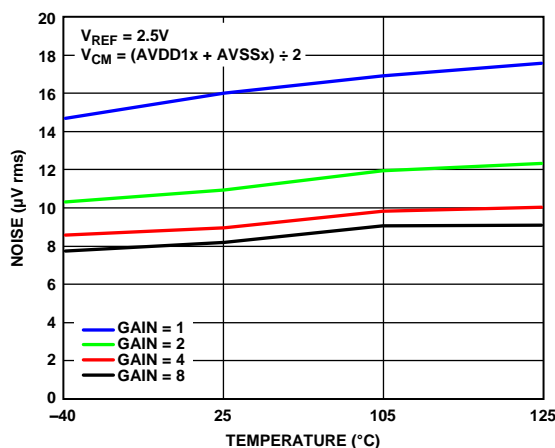


図 25. ノイズと温度の関係、16 kSPS、低消費電力モード、Sinc5 フィルタが有効

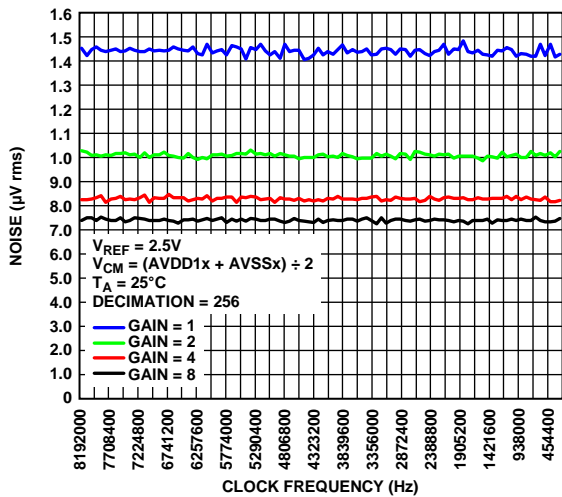


図 26. ノイズとクロック周波数の関係、高分解能モード

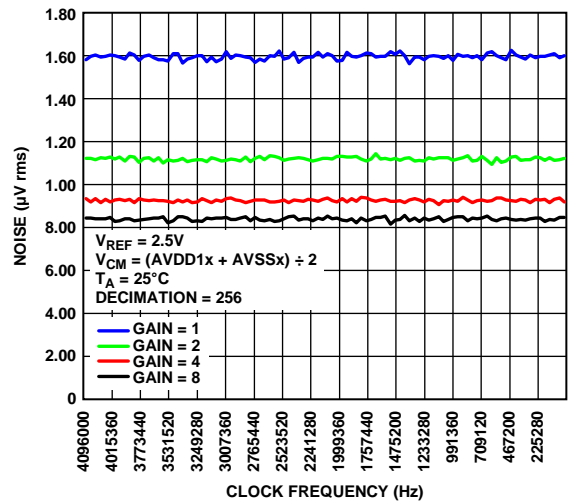


図 29. ノイズとクロック周波数の関係、低消費電力モード

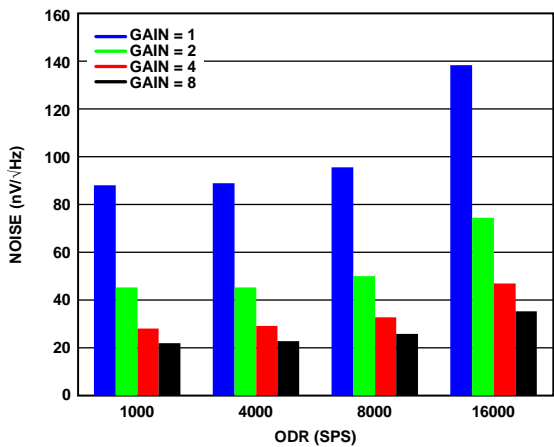


図 27. ノイズと ODR の関係、高分解能モード、Sinc3 フィルタが有効

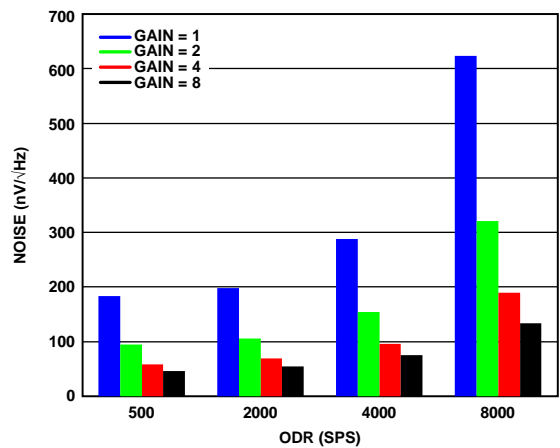


図 30. ノイズと ODR の関係、低消費電力モード、Sinc3 フィルタが有効

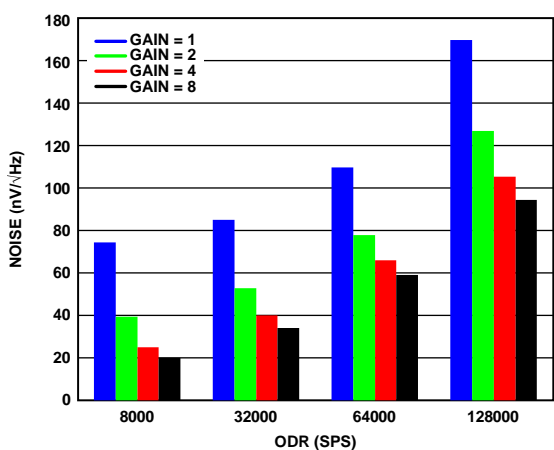


図 28. ノイズと ODR の関係、高分解能モード、Sinc5 フィルタが有効

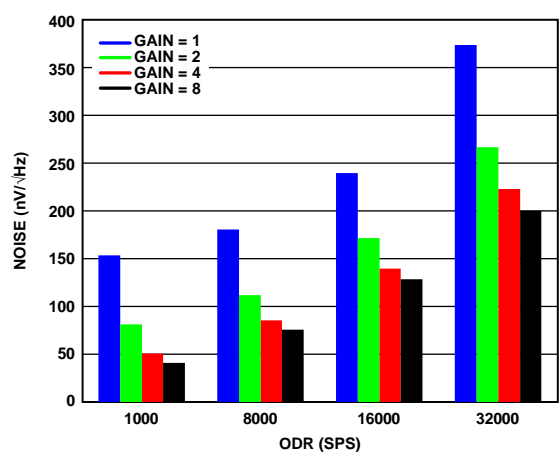


図 31. ノイズと ODR の関係、低消費電力モード、Sinc5 フィルタが有効

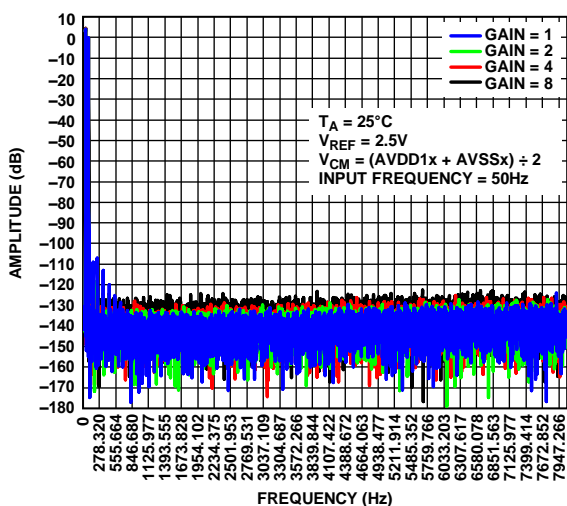


図 32. FFT プロット、高分解能モード、16 kSPS、入力周波数 (f_{IN}) = 50 Hz、Sinc3 フィルタが有効

13802-032

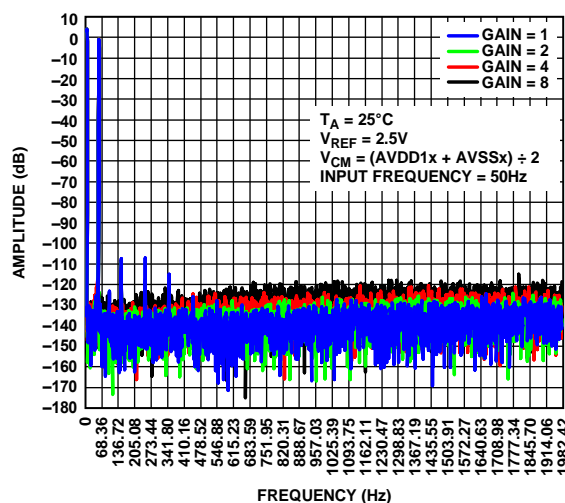


図 35. FFT プロット、低消費電力モード、4 kSPS、入力周波数 (f_{IN}) = 50 Hz、Sinc3 フィルタが有効

13802-035

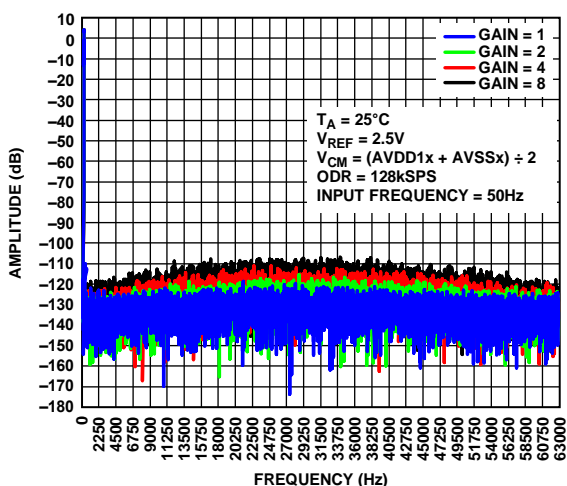


図 33. FFT プロット、高分解能モード、128 kSPS、入力周波数 (f_{IN}) = 50 Hz、Sinc5 フィルタが有効

13802-033

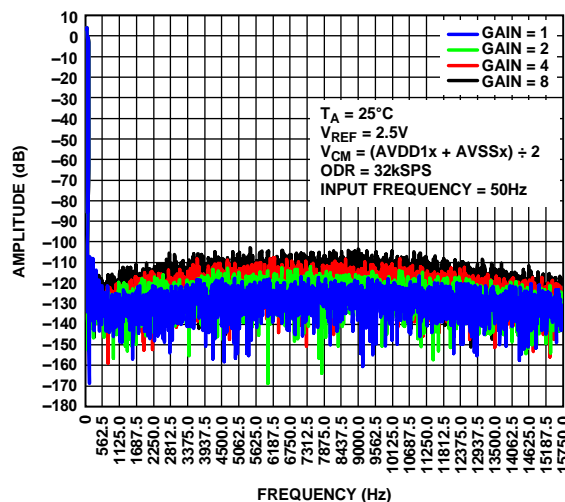


図 36. FFT プロット、低消費電力モード、32 kSPS、入力周波数 (f_{IN}) = 50 Hz、Sinc5 フィルタが有効

13802-036

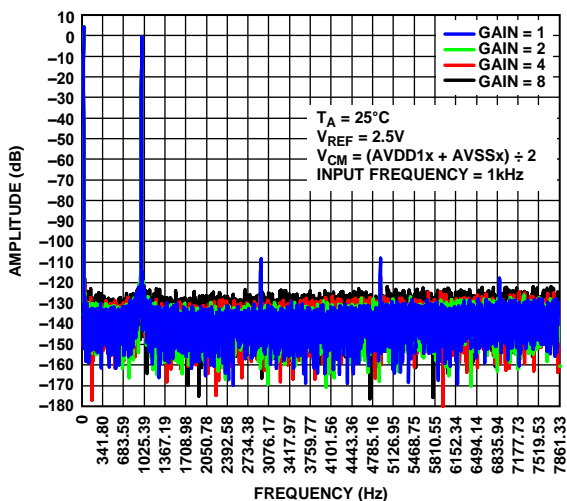


図 34. FFT プロット、高分解能モード、16 kSPS、入力周波数 (f_{IN}) = 1 kHz、Sinc3 フィルタが有効

13802-034

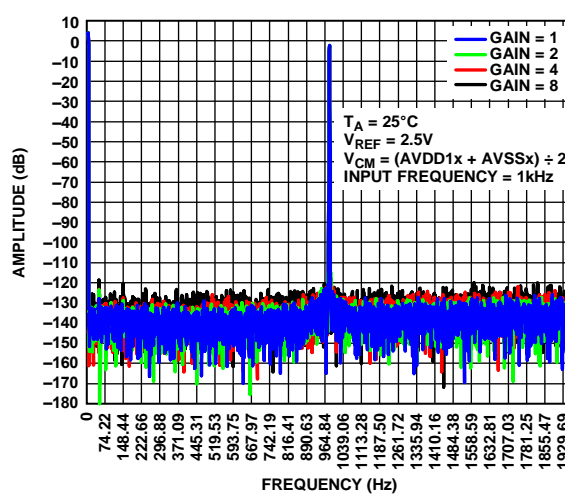


図 37. FFT プロット、低消費電力モード、4 kSPS、入力周波数 (f_{IN}) = 1 kHz、Sinc3 フィルタが有効

13802-037

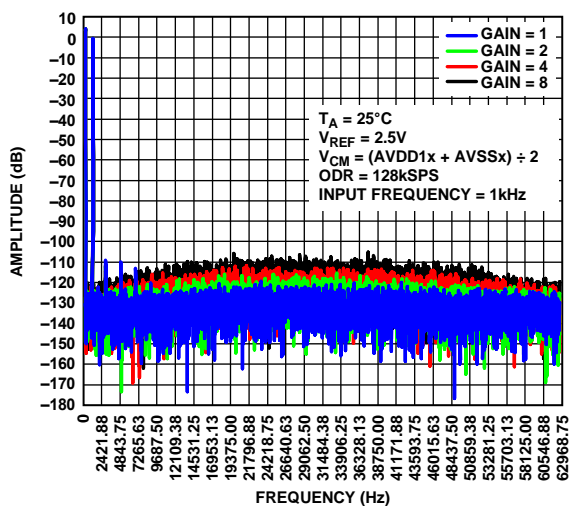


図 38. FFT プロット、高分解能モード、128 kSPS、入力周波数 (f_{IN}) = 1 kHz、Sinc5 フィルタが有効

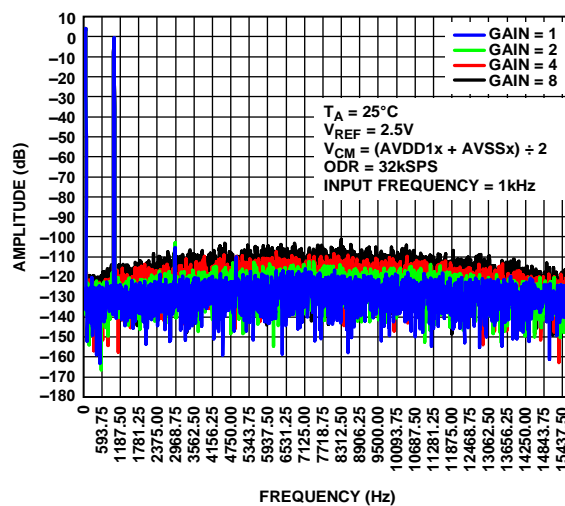


図 41. FFT プロット、低消費電力モード、32 kSPS、入力周波数 (f_{IN}) = 1 kHz、Sinc5 フィルタが有効

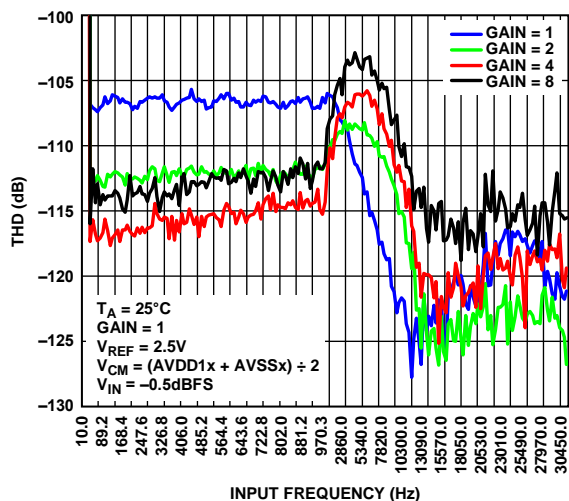


図 39. THD と入力周波数の関係、64 kSPS、高分解能モード、Sinc5 フィルタが有効

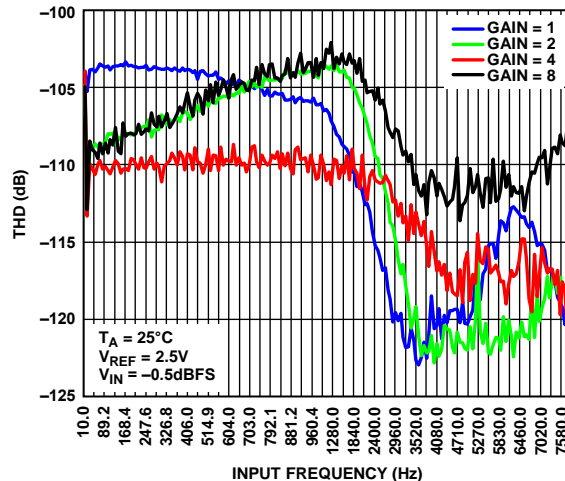


図 42. THD と入力周波数の関係、16 kSPS、低消費電力モード、Sinc5 フィルタが有効

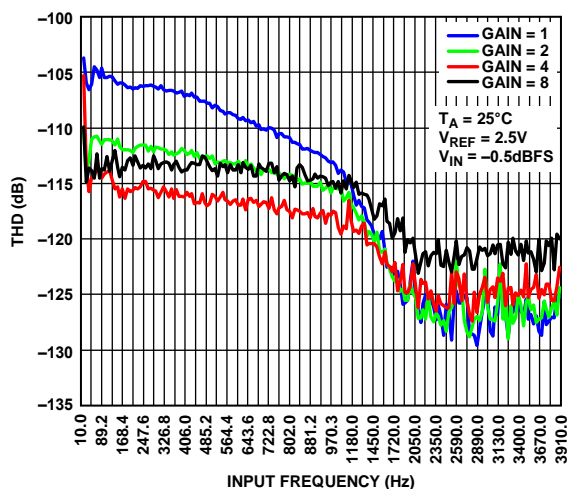


図 40. THD と入力周波数の関係、16 kSPS、高分解能モード、Sinc3 フィルタが有効

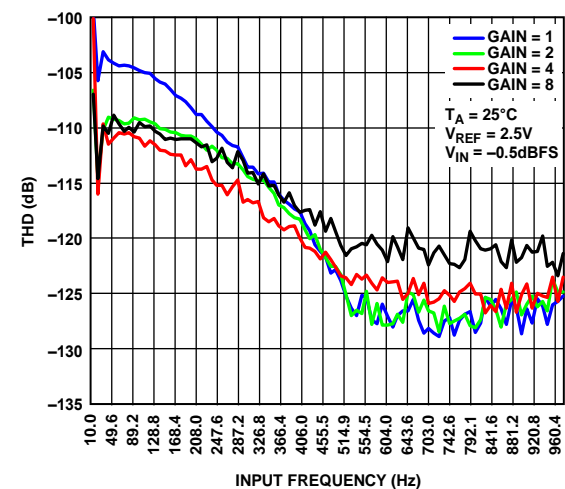


図 43. THD と入力周波数の関係、4 kSPS、低消費電力モード、Sinc3 フィルタが有効

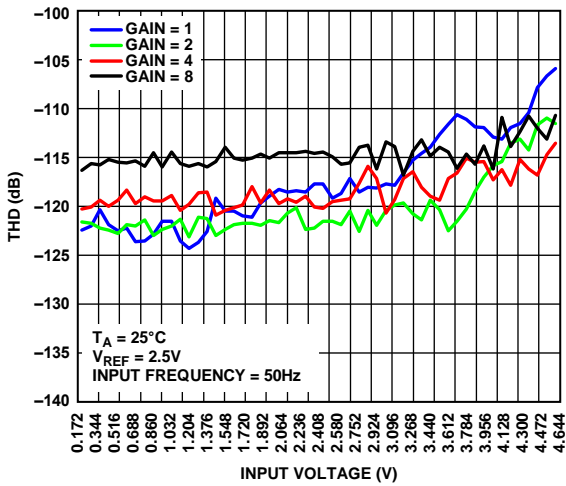


図 44. THD と入力電圧の関係、64 kSPS、高分解能モード

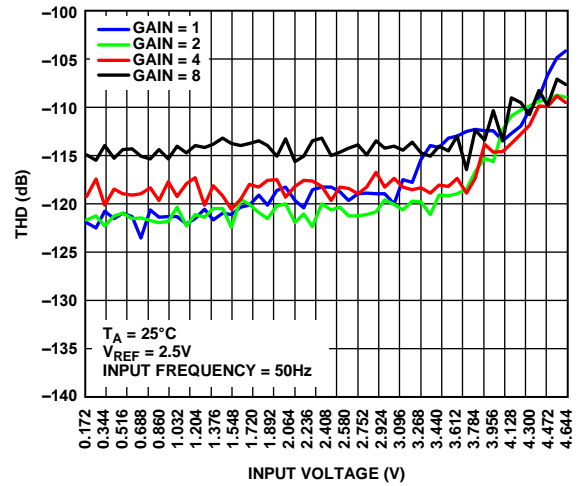


図 47. THD と入力電圧の関係、16 kSPS、低消費電力モード

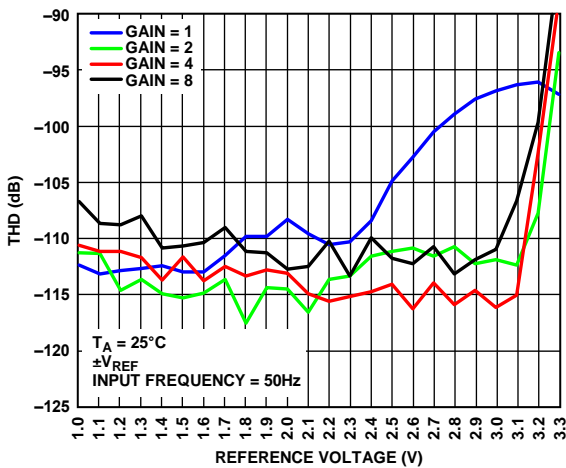


図 45. THD とリファレンス電圧の関係、64 kSPS、高分解能モード

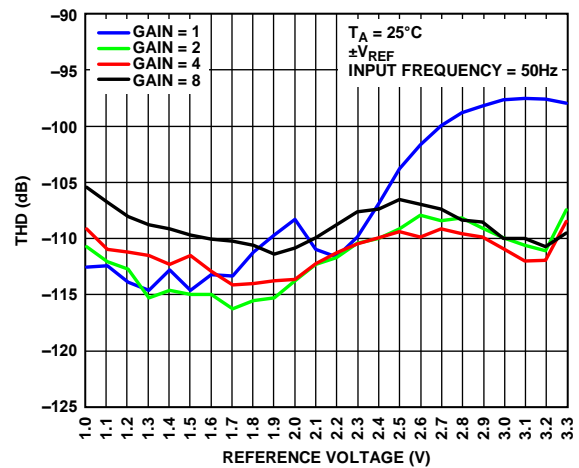


図 48. THD とリファレンス電圧の関係、16 kSPS、低消費電力モード

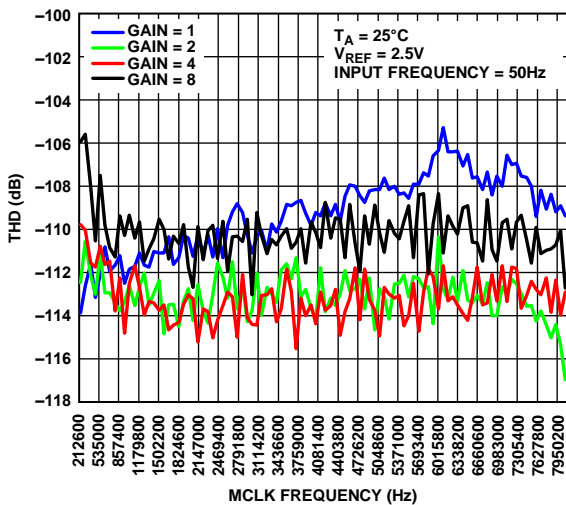


図 46. THD とマスター・クロック周波数の関係、高分解能モード

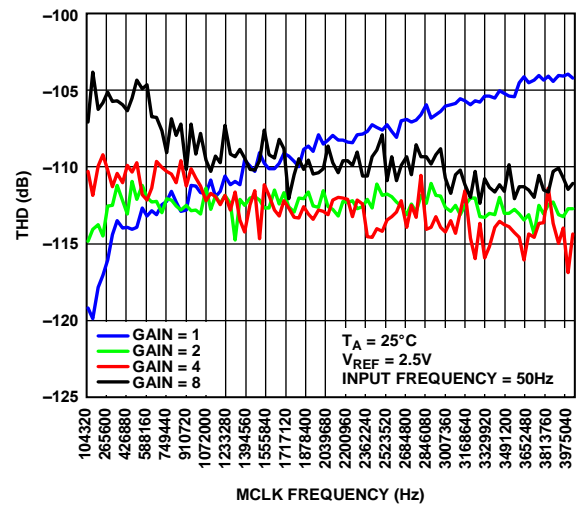


図 49. THD とマスター・クロック周波数の関係、低消費電力モード

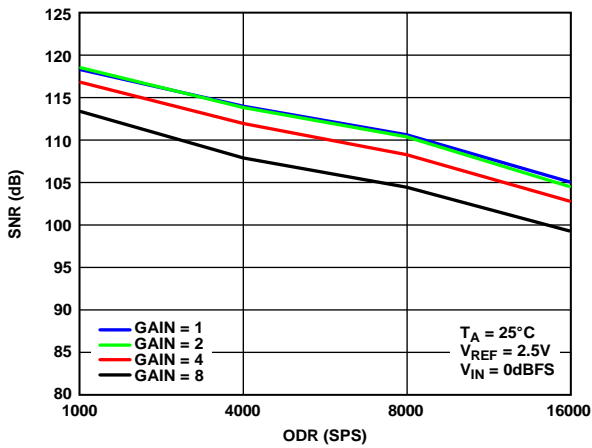


図 50. S/N 比と ODR の関係、16 kSPS、高分解能モード (AVDDx = 3.6 V、IOVDD = 3.6 V)

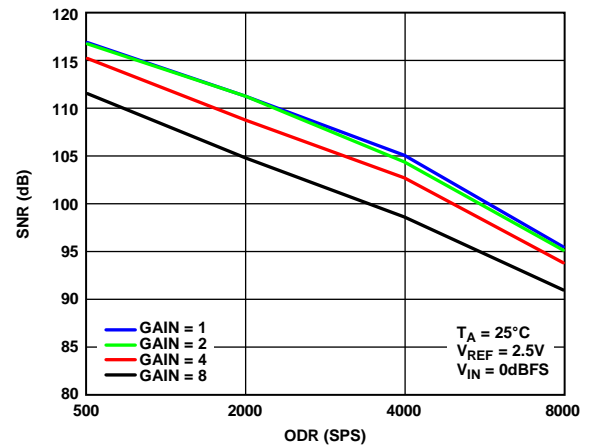


図 53. S/N 比と ODR との関係、4 kSPS、低消費電力モード (AVDDx = 3.6 V、IOVDD = 3.6 V)

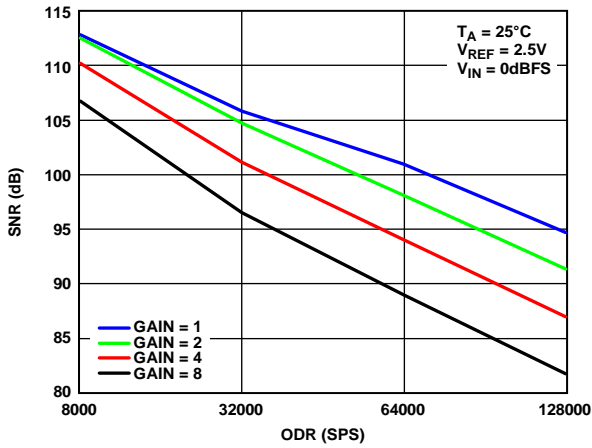


図 51. S/N 比と ODR の関係、64 kSPS、高分解能モード (AVDDx = 3.6 V、IOVDD = 3.6 V)

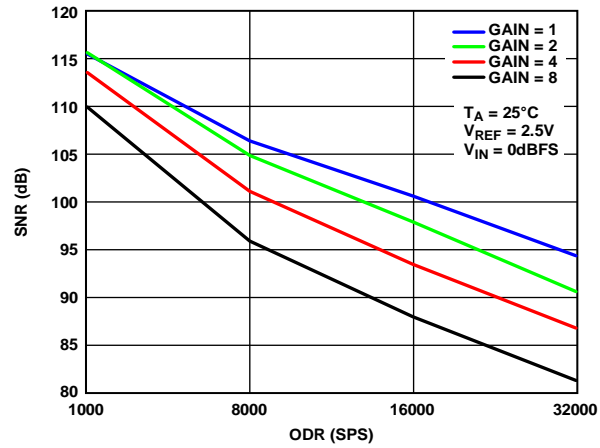


図 54. S/N 比と ODR との関係、16 kSPS、低消費電力モード (AVDDx = 3.6 V、IOVDD = 3.6 V)

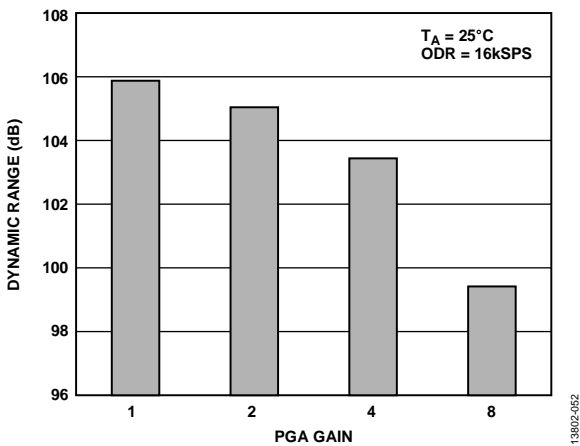


図 52. ダイナミック・レンジと PGA ゲインの関係、16 kSPS、高分解能モード

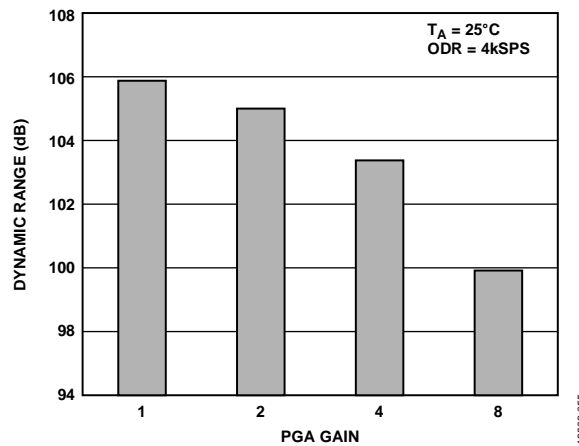


図 55. ダイナミック・レンジと PGA ゲインの関係、4 kSPS、低消費電力モード

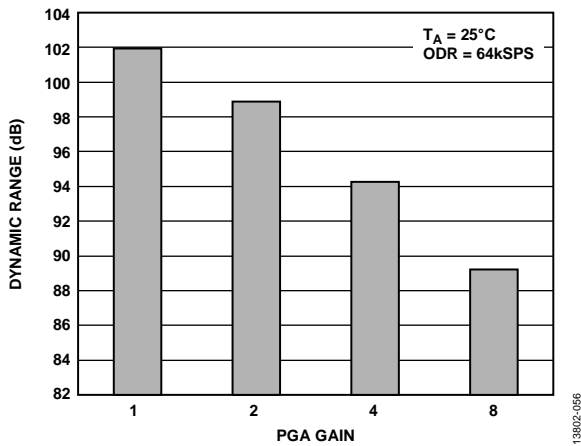


図 56. ダイナミック・レンジと PGA ゲインの関係、64 kSPS、高分解能モード

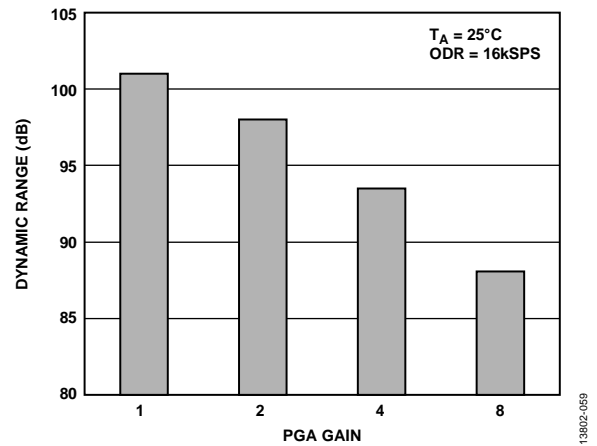


図 59. ダイナミック・レンジと PGA ゲインの関係、16 kSPS、低消費電力モード

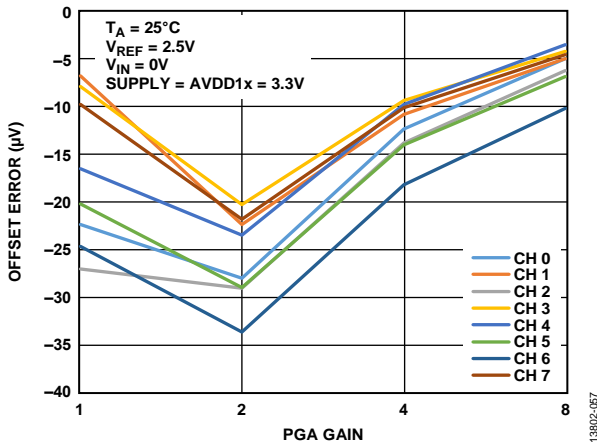


図 57. オフセット誤差と PGA ゲインの関係、64 kSPS、高分解能モード

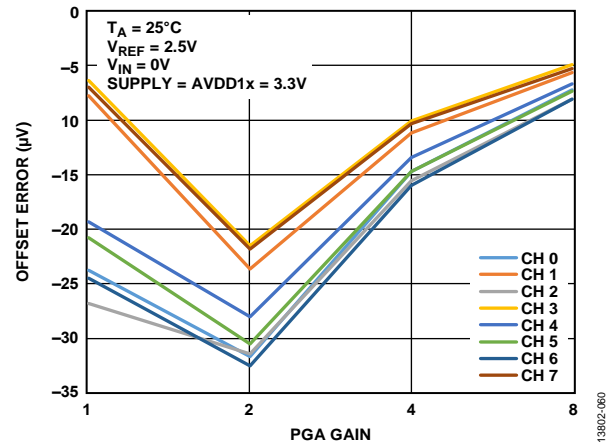


図 60. オフセット誤差と PGA ゲインの関係、16 kSPS、低消費電力モード

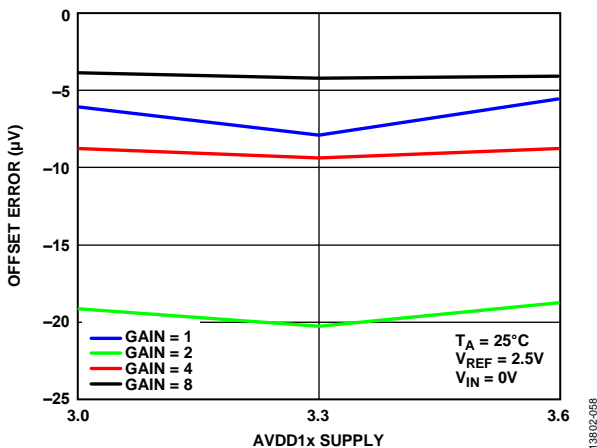


図 58. オフセット誤差と AVDD1x 電源の関係、高分解能モード

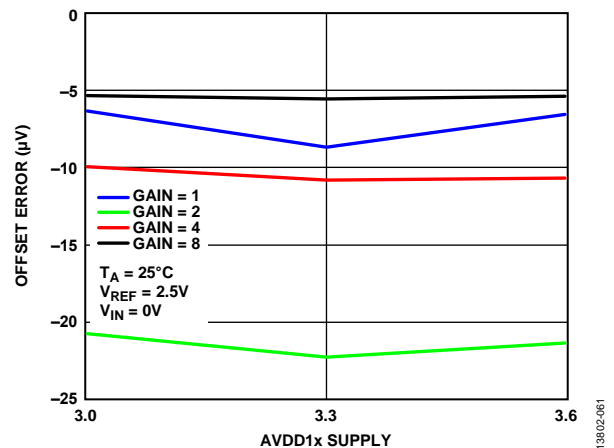


図 61. オフセット誤差と AVDD1x 電源の関係、低消費電力モード

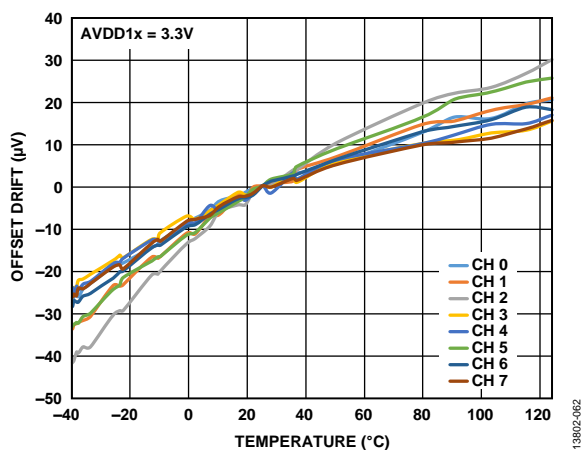


図 62. オフセット・ドリフトと温度の関係

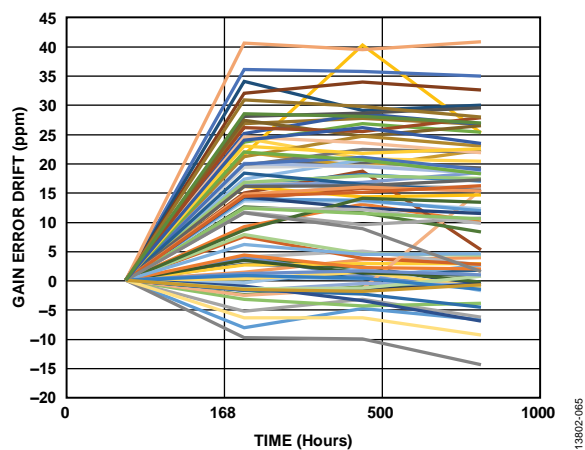


図 65. 時間対ゲイン誤差ドリフト

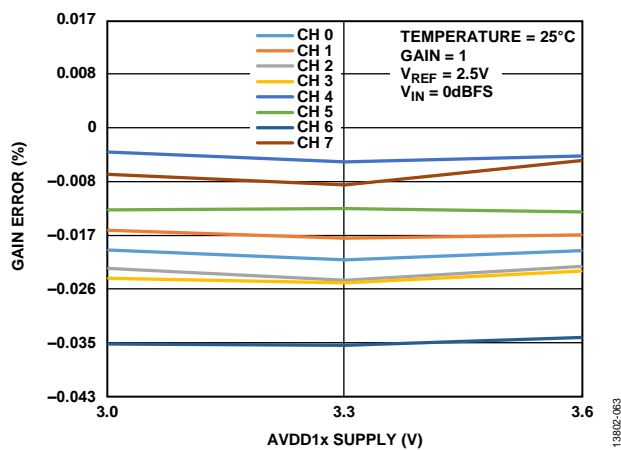


図 63. ゲイン誤差と AVDD1x 電源の関係、高分解能モード

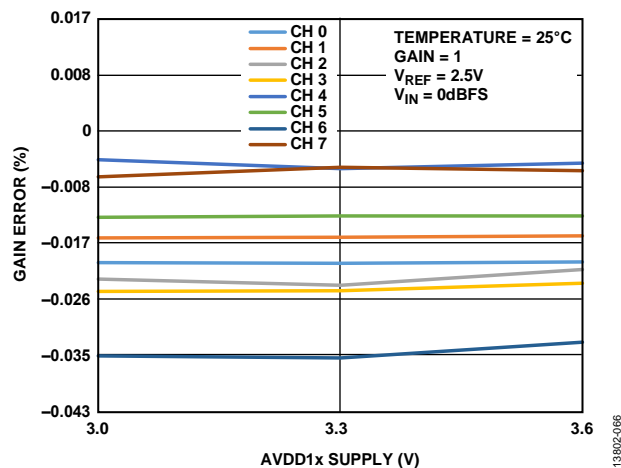


図 66. AVDD1x 電源対ゲイン誤差 (低消費電力モード)

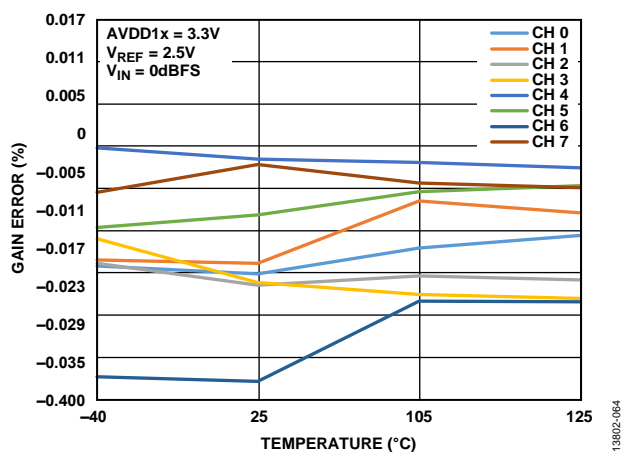


図 64. ゲイン誤差と温度の関係、高分解能モード

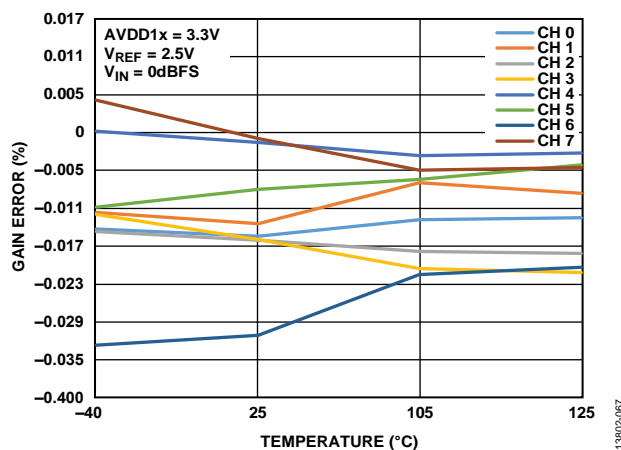


図 67. アナログ電流と温度の関係、低消費電力モード

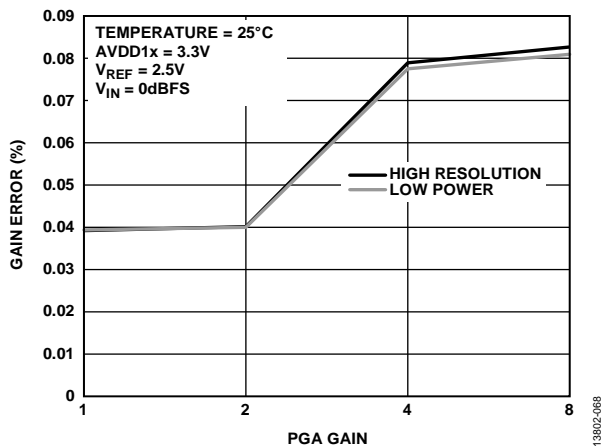


図 68. ゲイン誤差と PGA ゲインの関係

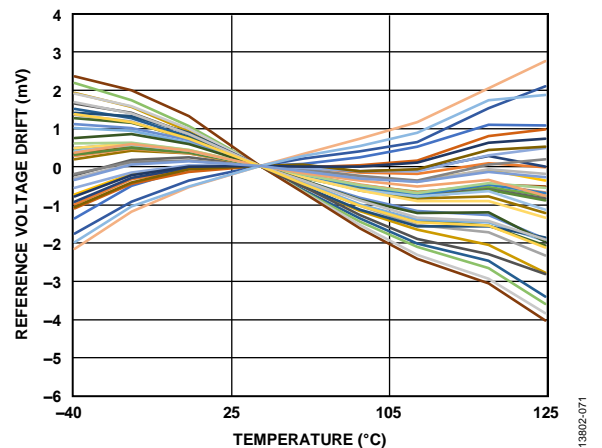


図 71. 内部リファレンス電圧ドリフト

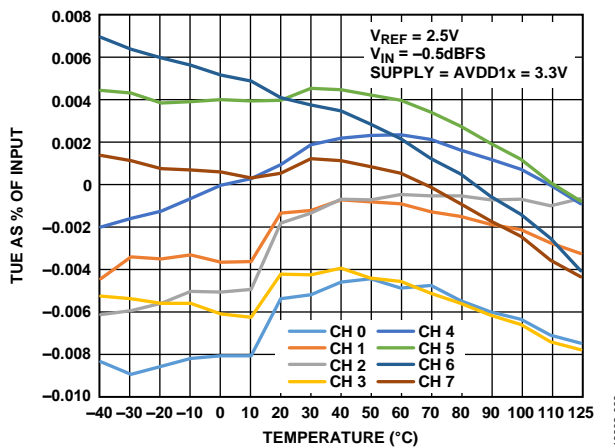


図 69. 総合未調整誤差 (TUE) (入力の %) の温度特性、高分解能モード

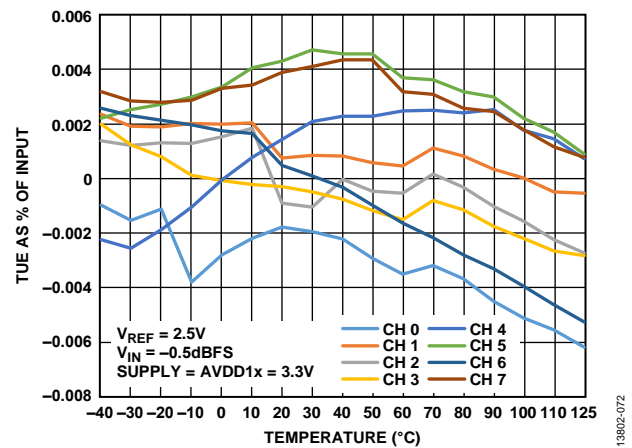


図 72. 総合未調整誤差 (TUE) (入力の %) の温度特性、低消費電力モード

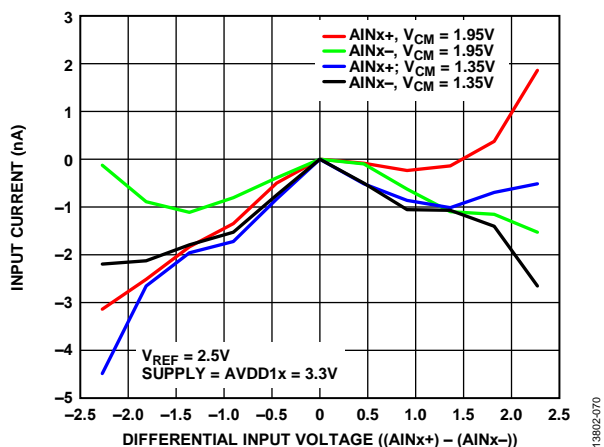


図 70. 入力電流と差動入力電圧の関係、高分解能モード

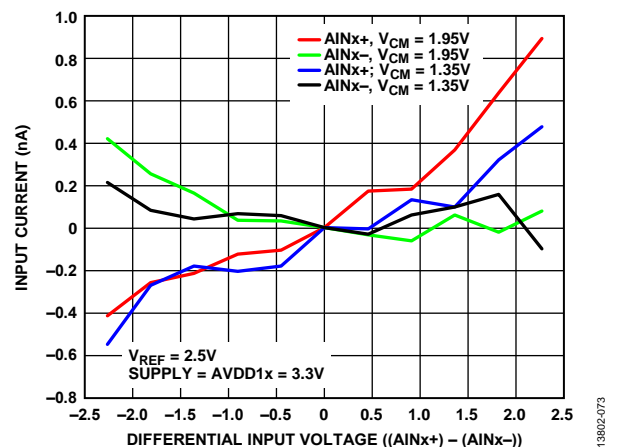


図 73. 入力電流と差動入力電圧の関係、低消費電力モード

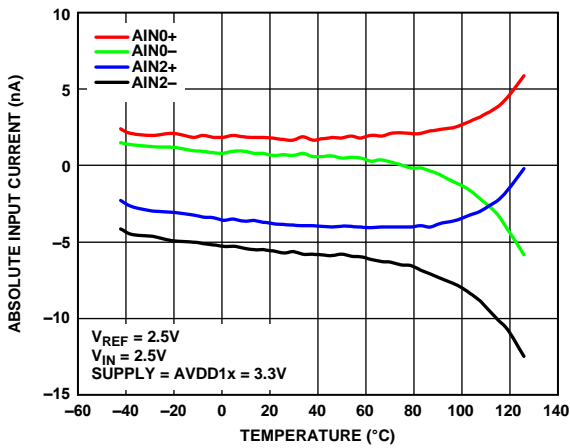


図 74. 絶対入力電流の温度特性、高分解能モード

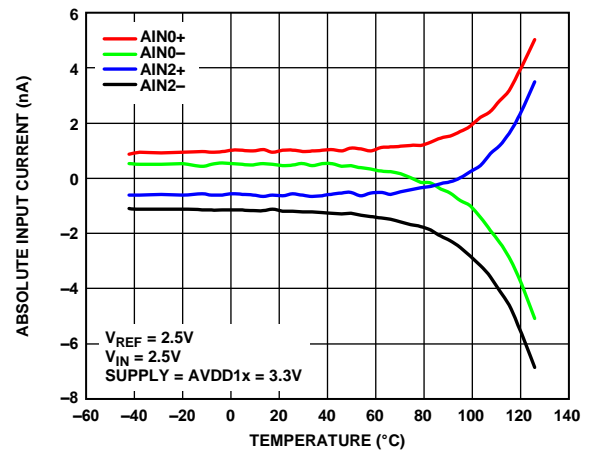


図 77. 絶対入力電流の温度特性、低消費電力モード

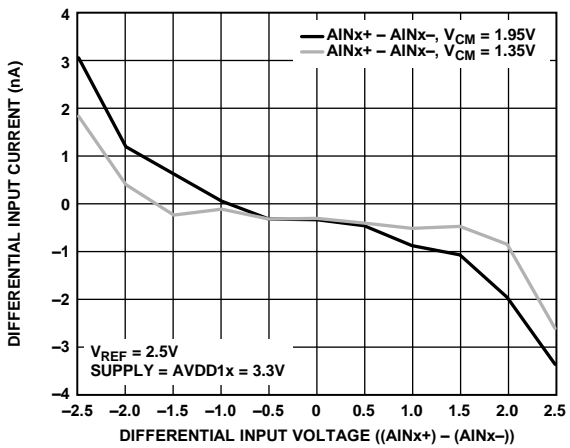


図 75. 差動入力電流と差動入力電圧の関係、高分解能モード

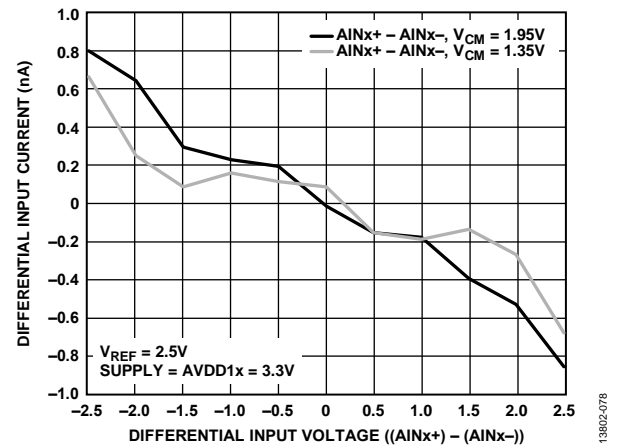


図 78. 差動入力電流と差動入力電圧の関係、低消費電力モード

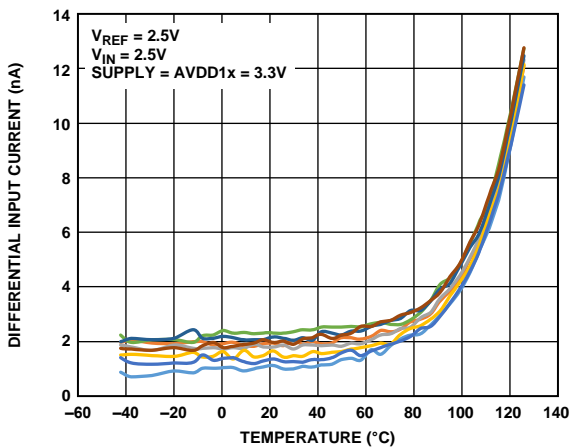


図 76. 差動入力電流の温度特性、高分解能モード

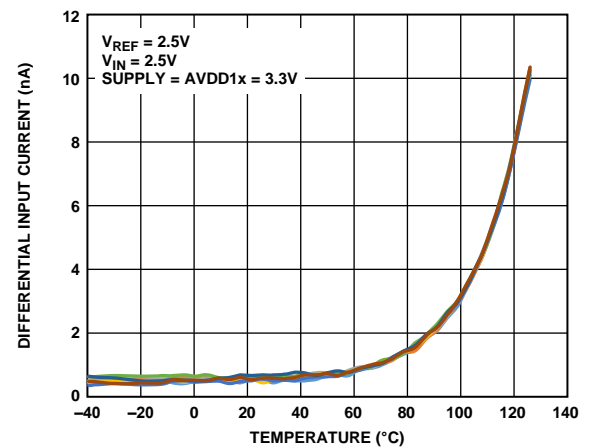


図 79. 差動入力電流の温度特性、低消費電力モード

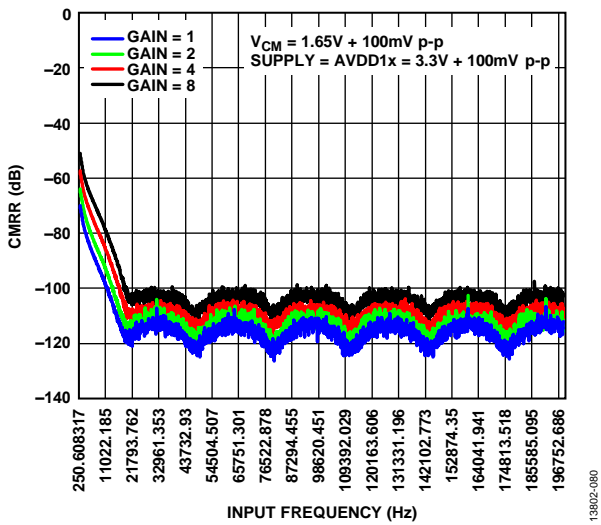


図 80. CMRR と入力周波数の関係、128 kSPS、高分解能モード

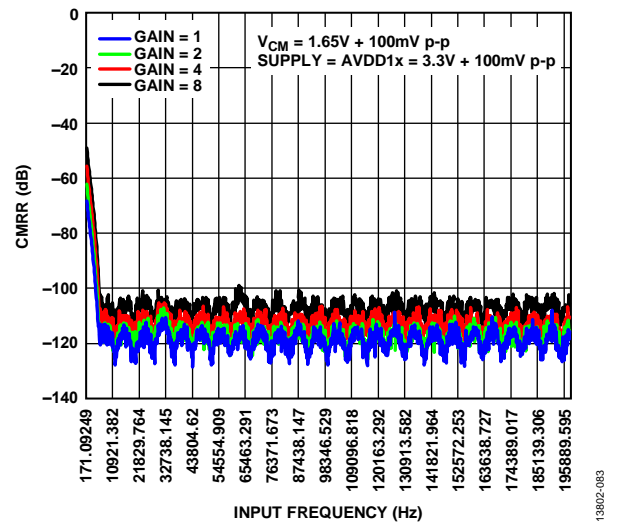


図 83. CMRR と入力周波数の関係、32 kSPS、低消費電力モード

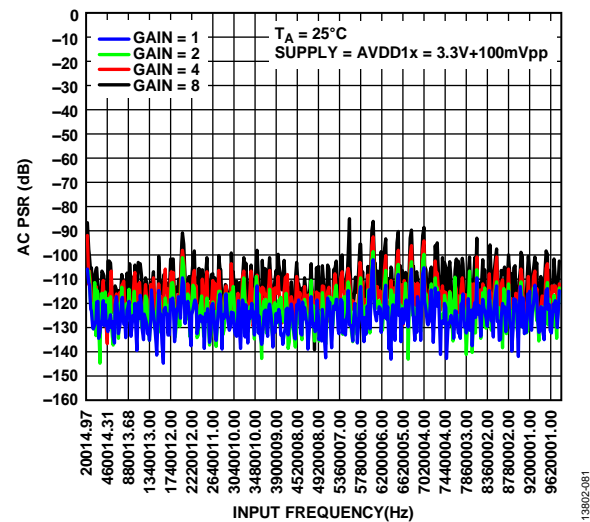


図 81. AC PSRR と入力周波数の関係、128 kSPS、高分解能モード

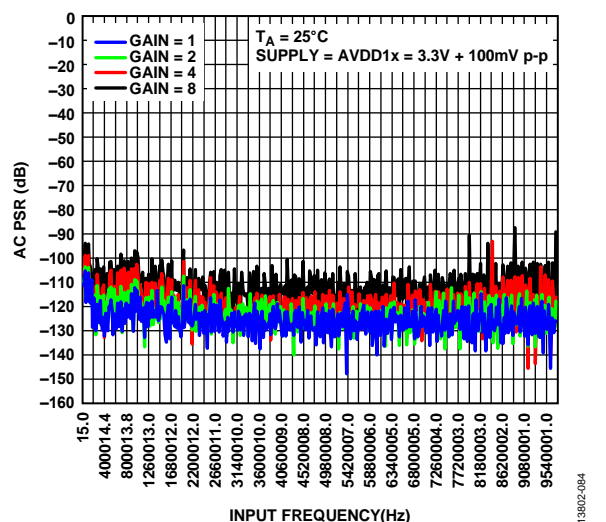


図 84. AC PSRR と入力周波数の関係、32 kSPS、低消費電力モード

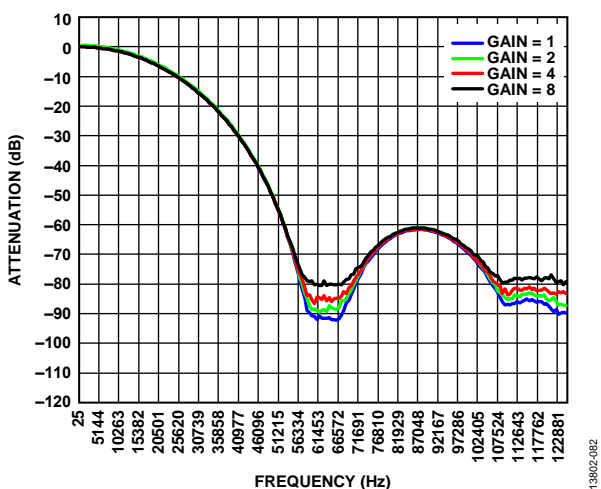


図 82. フィルタ・プロファイル (64 kSPS、高分解能モード)

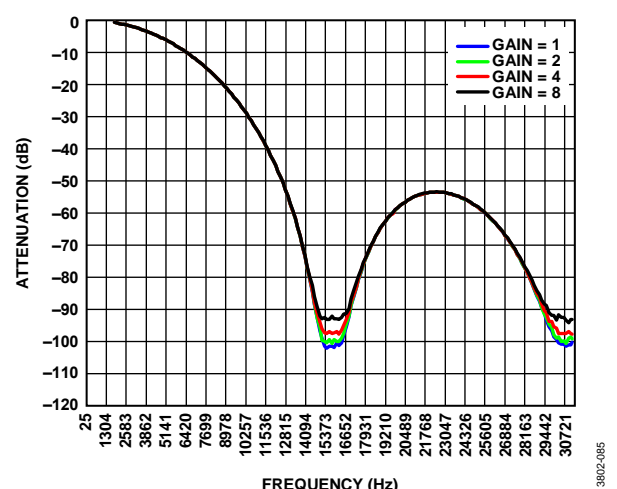


図 85. フィルタ・プロファイル、16 kSPS、低消費電力モード

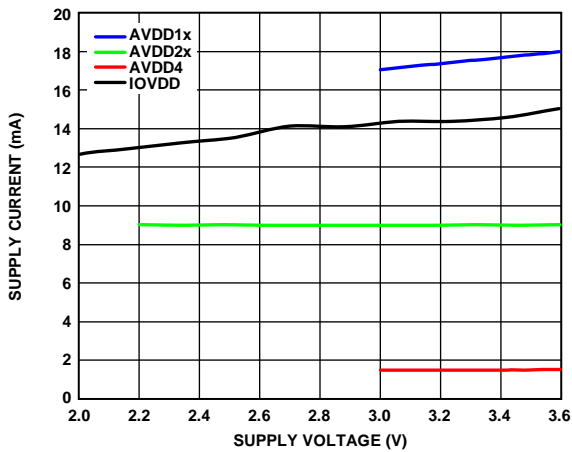


図 86. 電源電流と電源電圧の関係、高分解能モード

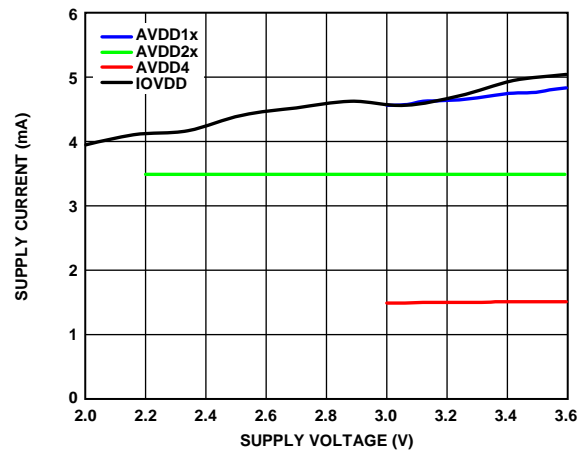


図 89. 電源電流と電源電圧の関係、低消費電力モード

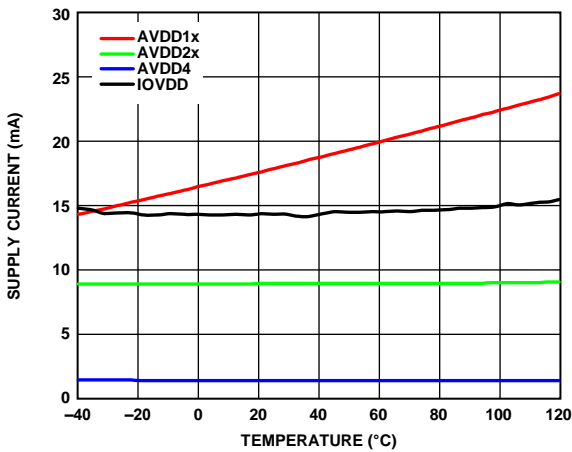


図 87. 電源電流の温度特性、高分解能モード

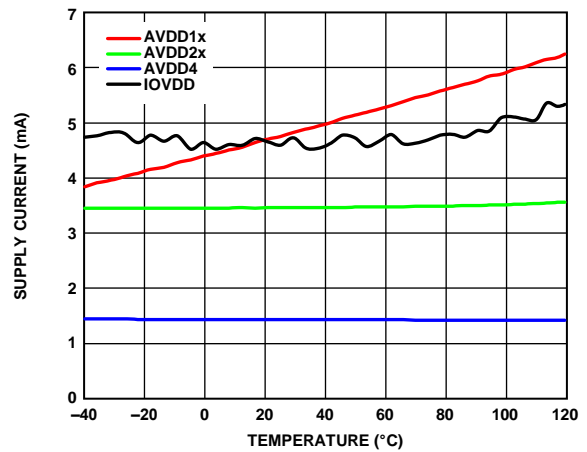


図 90. 電源電流の温度特性、低消費電力モード

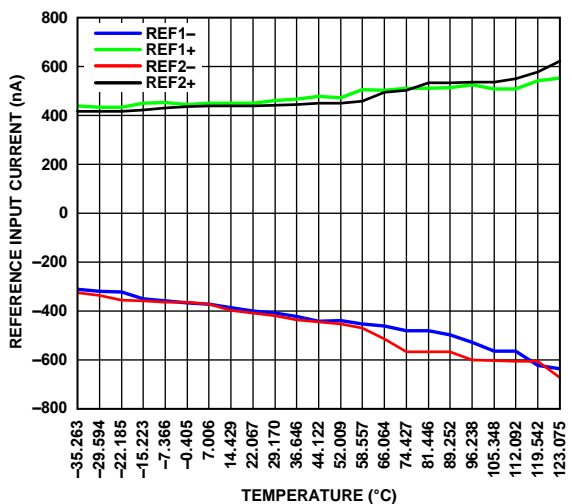


図 88. リファレンス入力電流の温度特性 (高分解能モード)

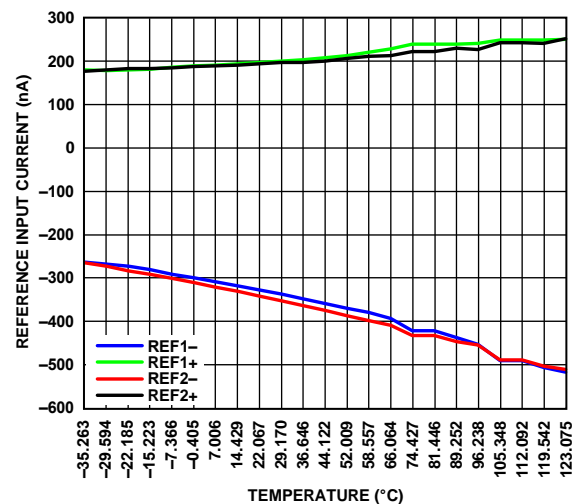


図 91. リファレンス入力電流の温度特性 (低消費電力モード)

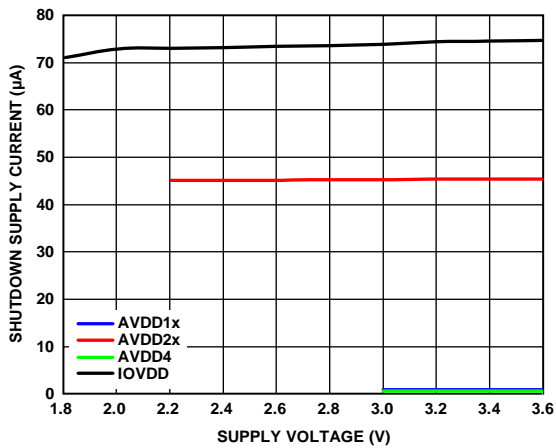


図 92. 電源電圧対シャットダウン電源電流

13802-092

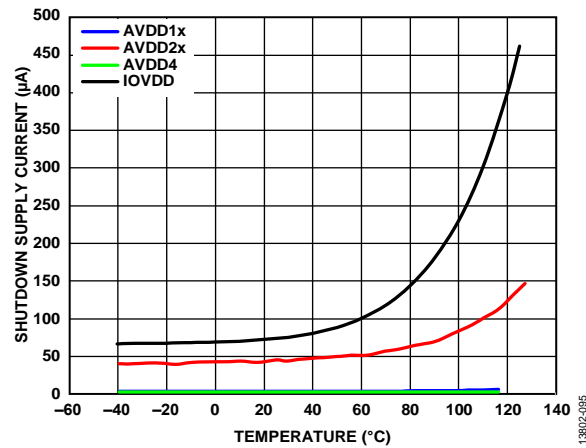


図 95. シャットダウン電源電流の温度特性

13802-095

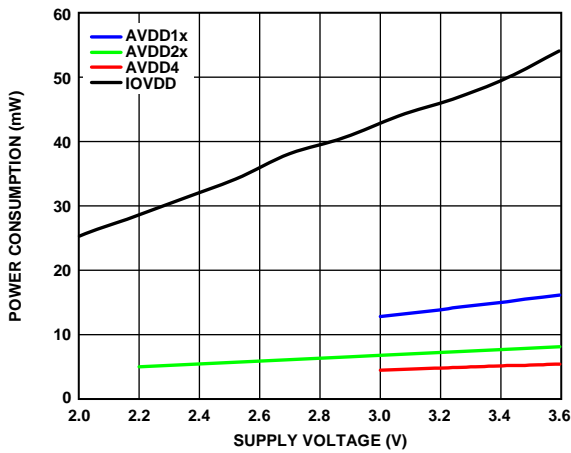


図 93. チャンネルあたりの消費電力と電源電圧の関係、高分解能モード

13802-093

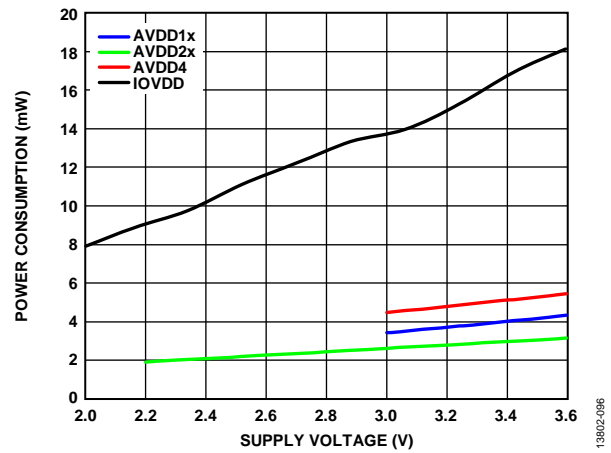


図 96. チャンネルあたりの消費電力と電源電圧の関係、低消費電力モード

13802-096

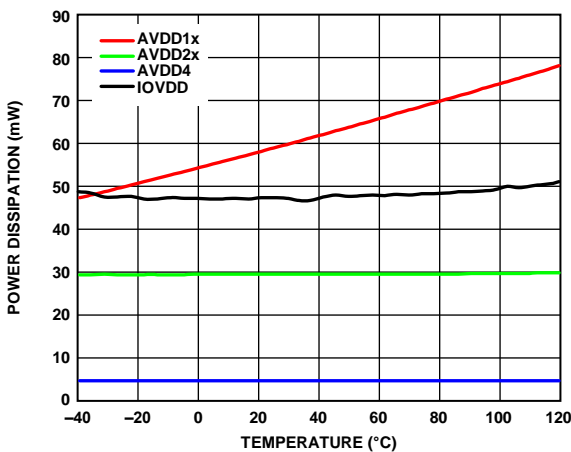


図 94. 消費電力と温度の関係、高分解能モード

13802-094

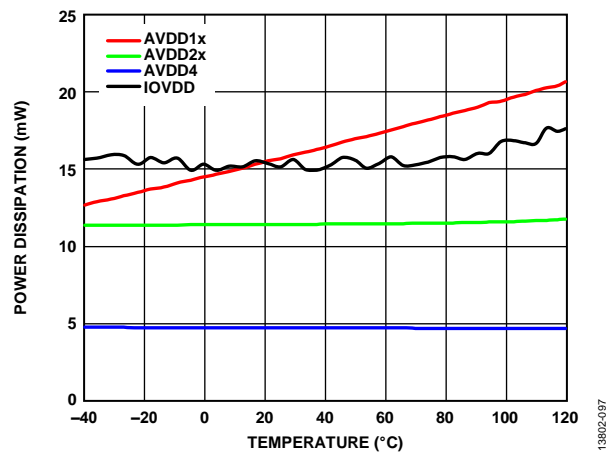


図 97. 消費電力と温度の関係、低消費電力モード

13802-097

用語の定義

同相ノイズ除去比 (CMRR)

CMRR は、周波数 f_s でのコモンモード電圧 A_{INx+} と A_{INx-} に加えられた 100 mV p-p サイン波の電力に対するフルスケール周波数 f での ADC 出力電力の比です。

$$CMRR \text{ (dB)} = 10 \log(P_f/P_{fs})$$

ここで

P_f は ADC 出力における周波数 f の電力です。

P_{fs} は、周波数 f_s での ADC 出力の電力。

微分非直線性 (DNL) 誤差

理想的な ADC では、コード遷移は 1 LSB だけ離れた位置で発生します。微分非直線性とは、この理想値からの最大偏差のことです。DNL 誤差は、ノー・ミス・コードの分解能で仕様規定されます。

積分非直線性 (INL) 誤差

積分非直線性誤差は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードの偏差です。負のフルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB 前に発生します。正のフルスケールは、最後のコード遷移を 1/2 LSB 上回ったレベルです。偏差は各コードの中央から直線までの距離として測定されます。

ダイナミック・レンジ

ダイナミック・レンジは、フルスケール入力の実効値 (rms) と入力で測ったノイズの実効値 (rms) の比です。ダイナミック・レンジの値はデシベルで表します。

チャンネル間絶縁

チャンネル間絶縁とは、チャンネル間のクロストーク・レベルの大きさです。この値を測定するには、7つの選択されていない入力チャンネルのすべてにフルスケール・サイン波の周波数スイープ信号を入力し、選択されたチャンネルでその信号の減衰量を調べます。この減衰量は AD7771 の 8つのすべてのチャンネルでの最も厳しい条件の値になります。

相互変調歪み

2つの周波数 f_A と f_B のサイン波で構成される入力で、非直線性を備えたアクティブ・デバイスは mf_A と nf_B (ここで、 $m, n = 0, 1, 2, 3, \dots$) の和と差で表される歪み積という周波数成分を生成します。相互変調歪み項とは m も n も 0 ではない項です。例えば、2次項には $(f_A + f_B)$ と $(f_A - f_B)$ が含まれ、3次項には $(2f_A + f_B)$ 、 $(2f_A - f_B)$ 、 $(f_A + 2f_B)$ 、 $(f_A - 2f_B)$ が含まれます。AD7771 は入力帯域幅の上限近くの2つの入力周波数を用いた CCIF 規格でテストされます。この場合、通常、2次項は元のサイン波の周波数から遠く離れ、3次項は入力周波数に近くなります。そのため、2次項と3次項は別々に仕様規定されます。相互変調歪みの計算は THD 仕様に従います。これは、基本波の和の rms 振幅に対する個々の歪み積の rms 総和の比率で、デシベルで表します。

ゲイン誤差

最初の遷移 (100...000 から 100...001) は負の公称フルスケールより 1/2 LSB 上のレベル (± 2.5 V の範囲で -2.49999 V) で発生します。最後の遷移 (011...110 から 011...111) は、公称フルスケールより 1/2 LSB 低いアナログ電圧 (± 2.5 V の範囲では 2.49999 V) で発生します。ゲイン誤差とは、実際のレベルと理想的なレベルの差に関する、最後の遷移と最初の遷移の間での偏差です。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、1°C の温度変化に起因するゲイン誤差変化とフルスケール範囲 (2^N) の比です。単位は ppm/°C です。

最下位ビット (LSB)

最下位ビット (LSB) は、コンバータで表現できる最小インクリメントです。分解能が N ビットの完全差動入力 ADC の場合、電圧で表現する LSB は次式で求めることができます。

$$LSB \text{ (V)} = \frac{2 \times V_{REF}}{2^N}$$

入力換算 LSB は次式で求めることができます。

$$LSB \text{ (V)} = \frac{2 \times V_{REF}}{2^N} \times \frac{PGA_{GAIN}}{2^N}$$

電源電圧変動除去比 (PSRR)

電源電圧の変動はフルスケール遷移に影響を与えますが、コンバータの直線性には影響を与えません。PSRR は、電源電圧の公称値からの変化による、フルスケール遷移ポイントでの最大変化です。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波と DC を除く) の rms 総和に対する実際の入力信号の rms 値の比率です。S/N 比の値はデシベルで表されます。

信号対 (ノイズ + 歪み) 比 (SINAD)

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波は含むが、DC を除く) の rms 総和に対する実際の入力信号の rms 値の比率です。SINAD の値はデシベルで表されません。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の rms 振幅と (高調波を含む) ピーク・スプリアス信号との差で、デシベルで表されます。

全高調波歪み (THD)

THD は、フルスケール入力信号の rms 値に対する最初の 5 次高調波成分の rms 総和の比率で、デシベルで表します。

オフセット誤差

オフセット誤差は、理想的なミッドスケール入力電圧 (0 V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット誤差ドリフト

オフセット誤差ドリフトは、1 °C の温度変化に起因するオフセット誤差変化とフルスケール・コード範囲 (2^N) の比です。単位は $\mu\text{V}/^\circ\text{C}$ です。

動作原理

AD7771 は 8 チャンネル、同時サンプリング、低ノイズの 24 ビット Σ - Δ ADC で、チャンネルごとの内蔵デジタル・フィルタリング機能と SRC を内蔵しています。

AD7771 は最大 128 kSPS を提供する高分解能モードと、最大 32 kSPS を提供する低消費電力モードの 2 つの動作モードを備えています。

AD7771 は Σ - Δ 変換技術を使用してアナログ入力信号を等価のデジタル・ワードに変換します。 Σ - Δ 技術の概要は、変調器が入力波形をサンプリングし、等価デジタル・ワードを入力クロック周波数 f_{CLKIN} で出力することです。

オーバーサンプリング・レートが高いことにより、この技術では量子化ノイズが $0\text{ Hz} \sim f_{CLKIN}/2$ の範囲に広がるため (AD7771 の場合、 f_{CLKIN} は外部クロックに比例)、対象帯域内のノイズ・エネルギーは小さくなります (図 98 参照)。量子化ノイズをさらに小さくするため、高次変調器を採用して、ノイズ・エネルギーの大部分が対象帯域外に排除されるようにノイズ・スペクトルを整形します (図 99 参照)。変調器の後ろにあるデジタル・フィルタが、大きな帯域外量子化ノイズを除去します (図 100 参照)。

Σ - Δ ADC の基本概念および高度な概念の詳細については、MT-022 チュートリアルと MT-023 チュートリアルを参照してください。

デジタル・フィルタリングには、アナログ・フィルタリングより優れた点があります。デジタル・フィルタリングは A/D 変換プロセスの後ろで実行されるため、変換中に混入するノイズを除去することができます。アナログ・フィルタリングでは、変換中に混入するノイズを除去できません。

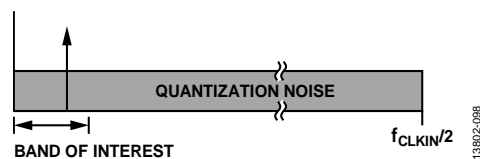


図 98. Σ - Δ ADC の動作、対象帯域内ノイズ・エネルギーの低減 (リニア・スケール X 軸)

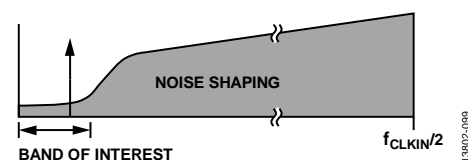


図 99. Σ - Δ ADC の動作、ノイズ・エネルギーの大部分を対象帯域外へ排除 (リニア・スケール X 軸)

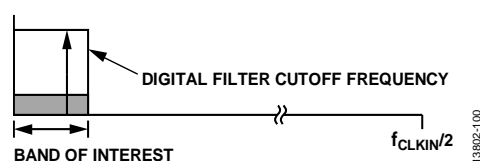


図 100. Σ - Δ ADC の動作、対象帯域からノイズ・エネルギーを除去 (リニア・スケール X 軸)

Σ - Δ ADC は、内部 LDO レギュレータによって生成された電源が安定した後に入力信号の変換を開始します。変換の開始には外部信号は不要です。

アナログ入力

AD7771 はバイポーラ・モードまたはユニポーラ・モードで動作でき、真の差動入力信号、疑似差動入力信号、シングルエンド入力信号を受け入れます。図 101 ~ 図 104 を参照してください。

表 10 に、さまざまな入力モードでの最大差動入力信号とダイナミック・レンジを示します。

表 10. 入力信号モード

Input Signal Mode	PGA Gain	Maximum Differential Signal	Maximum Peak-to-Peak Signal
True differential	All gains	$\pm(V_{REF}/PGA_{GAIN})$	$2 \times V_{REF}/PGA_{GAIN}$
Pseudo differential	All gains	$\pm(V_{REF}/PGA_{GAIN})$	$2 \times V_{REF}/PGA_{GAIN}$
Single-ended	All gains	V_{REF}/PGA_{GAIN}	V_{REF}/PGA_{GAIN}

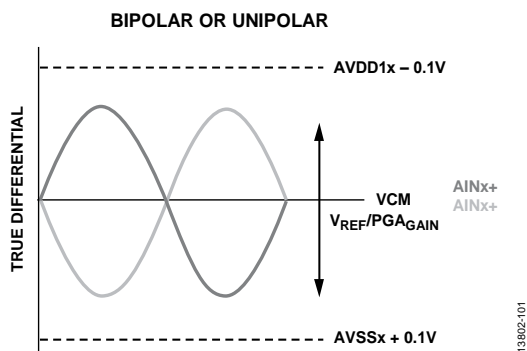


図 101. Σ - Δ ADC 入力信号の設定、真の差動

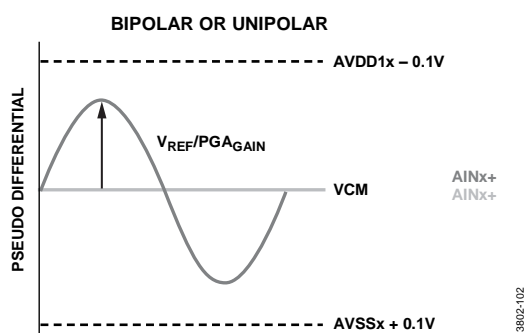


図 102. Σ - Δ ADC 入力信号の設定、疑似差動

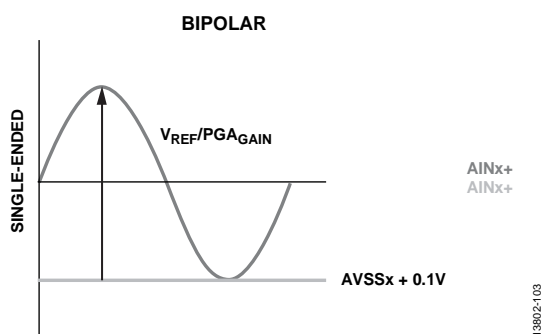


図 103. Σ - Δ ADC 入力信号の設定、シングルエンド・バイポーラ

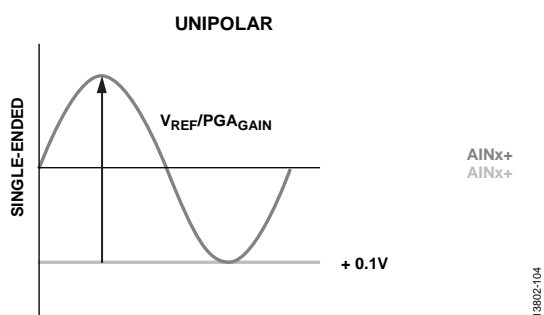


図 104. Σ - Δ ADC 入力信号の設定、シングルエンド・ユニポーラ

コモンモード入力信号は制限されていませんが、あらゆる AINx \pm ピンの絶対入力信号電圧が AVSSx + 100 mV ~ AVDD1x - 100 mV になるようにしてください。そうしないと、入力信号の直線性が低下し、信号電圧が絶対最大信号定格を超えるとデバイスが損傷します。

図 105 に、最大差動入力電圧に対するさまざまな PGA ゲインでの最大電圧コモンモード範囲および最小電圧コモンモード範囲を示します。

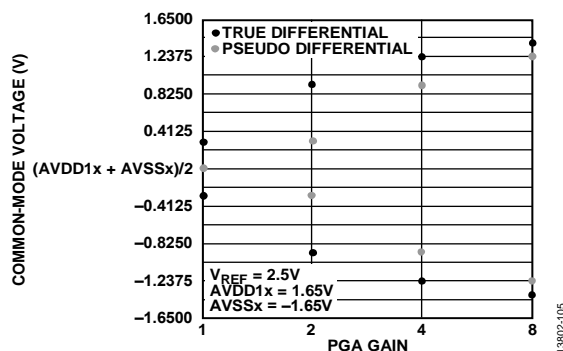


図 105. 最大差動入力信号に対する最大コモンモード電圧範囲

AD7771 には、単電源構成、疑似差動入力構成、または真の差動入力構成でコモンモード電圧ピン(AVDD1x + AVSSx)/2)、VCM があります。

伝達関数

AD7771 は、最大 3.6 V のリファレンス (代表値 2.5 V) で動作することができ、2つのアナログ入力 (AINx+ と AINx-) 間の差動電圧をデジタル出力へ変換します。ADC はアナログ入力ピン間 (AINx+ と AINx-) の電圧差を出力のデジタル・コードに変換します。24 ビットの変換結果は、MSB ファーストで、2の補数フォーマットで表されます (表 11 と図 106 を参照)。

表 11. PGA = 1x での出力コードと理論入力電圧

Condition	Analog Input ((AINx+) - (AINx-)), V _{REF} = 2.5 V	Digital Output Code, Twos Complement (Hexadecimal)
FS - 1 LSB	+2.499999702 V	0x7FFFFFFF
Midscale + 1 LSB	+298 nV	0x000001
Midscale	0 V	0x000000
Midscale - 1 LSB	-298 nV	0xFFFFF
-FS + 1 LSB	-2.499999702 V	0x800001
-FS	-2.5 V	0x800000

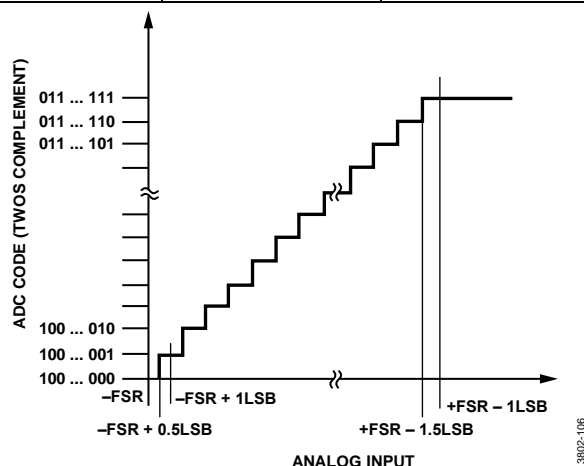


図 106. 伝達関数

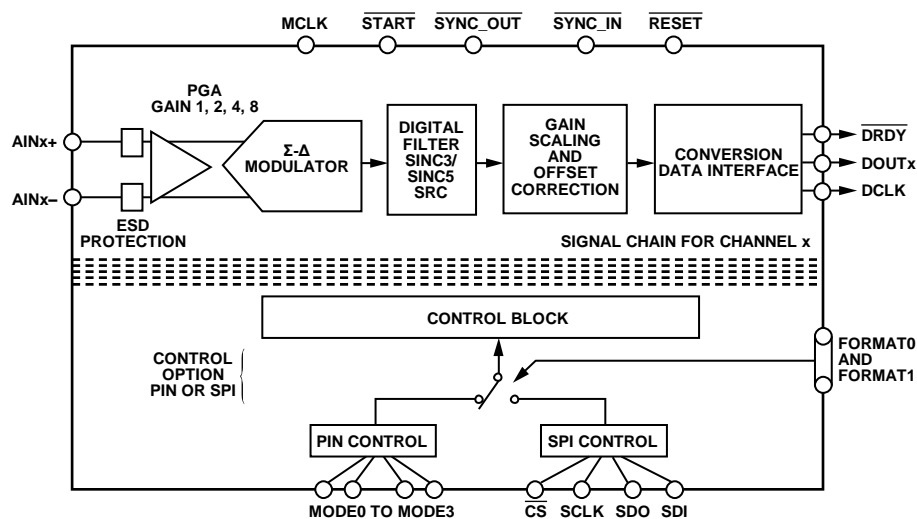


図 107. トップ・レベルのコア・シグナル・チェーン

コア・シグナル・チェーン

AD7771 の各 Σ - Δ ADC チャンネルには、アナログ入力ピンからデジタル出力ピンへの同じ信号パスがあります。図 107 に、このシグナル・チェーンのトップ・レベルの構成を示します。各 Σ - Δ ADC の前で、PGA がセンサー出力を ADC 入力に対応させ、小さい DC 入力電流（高分解能モードでは入力電流 ± 8 nA、および差動入力電流 ± 2 nA）、8 pF の AC 入力容量、設定可能ゲイン = 1、2、4、8 を提供します。詳細については、AN-1392 Application Note を参照してください。各 ADC チャンネルは、アナログ入力をオーバーサンプリングして、デジタル形式でデジタル・フィルタ・ブロックに渡す独自の Σ - Δ 変調器を備えています。データがフィルタされ、ゲインとオフセットがスケールされた後に、データ・インターフェースへ出力されます。

消費電力を小さくするため、チャンネルを個別にディスエーブルすることができます。

容量性 PGA

各 Σ - Δ ADC には専用の PGA があり、1、2、4、8 のゲイン範囲を提供します。この PGA により外部入力バッファが不要になり、小さなセンサー信号を増幅して AD7771 のフル・ダイナミック・レンジを使用することができます。

PGA は、小さなセンサー出力信号のシグナル・チェーン・ダイナミック・レンジを最大化します。

AD7771 では、PGA のチョッピングを使って入力アンプのオフセットとオフセット・ドリフトを小さくし、 $1/f$ ノイズも低減します。AD7771 の場合、チョッピング周波数は高分解能モードでは 128 kHz に、低消費電力モードでは 32 kHz に、それぞれ設定されています（詳細については、AN-1392 Application Note を参照）。チョッピング・トーンは sinc3 フィルタまたは sinc5 フィルタによって除去されます。

対象帯域でイメージを発生させる可能性のある相互変調効果を小さくするため、入力信号帯域幅をチョップ周波数の 2/3 に制限することを推奨します。

容量性 PGA の共通モード電圧はゲインに依存しないので、入力信号電圧が $AVSSx + 100$ mV \sim $AVDD1x - 100$ mV の範囲内にある限り、任意の値をとることができます。最大差動入力信

号での最大共通モード電圧については図 105 を参照してください。

内部リファレンスとリファレンス・バッファ

AD7771 は、2.5 V、10 ppm/ $^{\circ}$ C（代表値）の電圧リファレンスを内蔵しています。このリファレンスはパワーアップ時にディスエーブルされます。バッファされたリファレンスはピン 49 に出力され、最大 10 mA の連続電流を供給します。リファレンスをイネーブルする場合、100 nF のコンデンサが必要です。

低ノイズのリファレンスが必要なアプリケーションでは、REF_OUT ピンに 10 Hz より低いカットオフ周波数 (f_{CUTOFF}) を持つローパス・フィルタ (LPF) を接続することを推奨します。このフィルタ出力を REF_{x+} へ、AVSS_x を REF_{x-} へ、それぞれ接続します。

この場合、 Σ - Δ のリファレンスを外部に設定します。出力フィルタ有り/無しの場合の性能例を図 108 に示します。

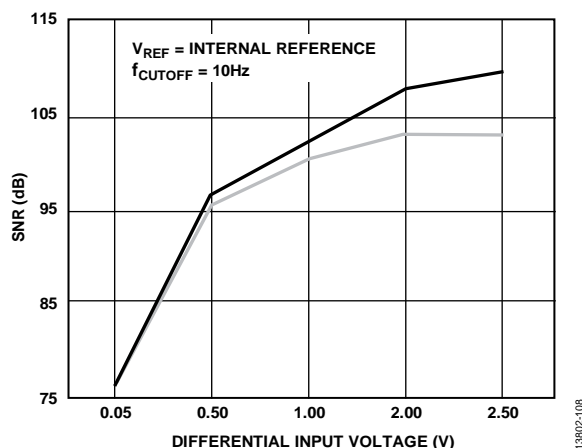


図 108. V_{REF} = 内部リファレンスおよび $f_{CUTOFF} = 10$ Hz の外部 LPF を追加した場合の S/N 比

AD7771 は、REF_{x+} ピンと REF_{x-} ピンの間に外部リファレンスを接続して使うことができます。AD7771 に対する推奨リファレンス電圧源としては、低ノイズ、高精度電圧リファレンス・ファミリーの ADR441 や ADR4525 などがあります。

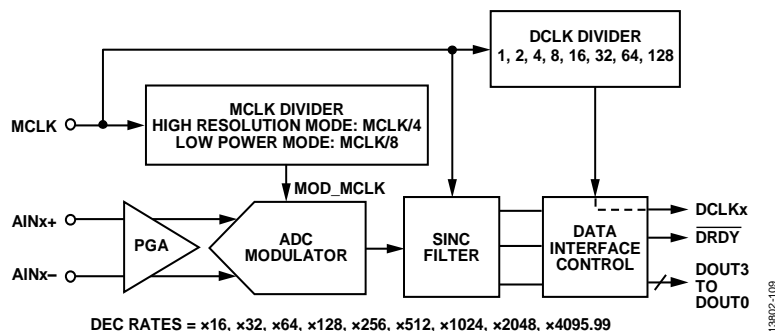


図 109. AD7771 のクロック発生

リファレンス・バッファは、バッファ・イネーブル・モード、バッファ・バイパス・モード、バッファ・プリチャージ・モードの3種類のモードで動作することができます。

バッファ・イネーブル・モードでは、バッファがフル・イネーブルされて、外部リファレンスの電流要件が最小になります。バッファの出力電圧ヘッドルームは各電源レールから ± 100 mV になることに注意してください。

バッファ・バイパス・モードでは、外部リファレンスが ADC のリファレンス・コンデンサに直接接続され、リファレンスは十分な電流を供給して、ADC の内部リファレンス・コンデンサを適正に充電する必要があります。この動作モードでは、各 ADC チャンネルが互いに絶縁されていないため、クロストークによる性能低下が予想されます。

バッファ・プリチャージ (pre-Q) モードはデフォルトの動作モードです。これはハイブリット・モードで、初期アクイジション時に内部リファレンス・バッファが接続され、ADC の内部リファレンス・コンデンサがプリチャージされます。アクイジションの最終フェーズで、リファレンスが ADC のコンデンサに直接接続されます。このモードには、バッファ・イネーブル・モードとバッファ・バイパス・モードに比較して幾つかの利点があります。バッファ Pre-Q モードでは、バッファ・バイパス・モードと比べてリファレンス電流要件が最小限に抑えられ、(バッファ・イネーブル・モードと比べて) 内部リファレンス・バッファからのノイズ成分が除去されます。

バッファ Pre-Q モードでは、リファレンスが ADC リファレンス・コンデンサの最終電圧を設定するため、バッファ・リファレンスのヘッドルーム/フットルームは適用されません。

内蔵 LDO

AD7771 は内部電源をレギュレーションするため 3 個の LDO を内蔵しています。2 個の LDO はアナログ・ブロック用、1 個の LDO はデジタル・コア用です。内蔵 LDO は、DREGCAP ピン、AREG1CAP ピン、AREG2CAP ピンに $1\ \mu\text{F}$ の外付けデカップリング・コンデンサを必要とします。LDO のスルーレートはメイン電源のスルーレートに依存するため小さくなります。このため、デジタル・ブロックが正常に初期化されるように、パワーアップ時に RESET ピンにパルスを入力してハードウェア・リセットを行う必要があります。

クロッキングとサンプリング

AD7771 は 8 個の $\Sigma\text{-}\Delta$ ADC コアを内蔵しています。各 ADC は同じマスター・クロック信号を受け取ります。AD7771 が必要とする最大外部 MCLK 周波数は、高分解能モードでは 8192 kHz、低消費電力モードでは 4096 kHz です。高性能モードでは MCLK が内部で 4 分周され、低消費電力モードでは 8 分周されて、変調器の MCLK (MOD_MCLK) 信号が生成されます。この信号は ADC の変調器のサンプリング・クロックとして使用されます。sinc3 フィルタによって選択される最小 ODR が十分低くない場合、低い ODR に対応するため、MCLK を小さくすることができます。外部クロックが 250 kHz より低い場合、CLK_QUAL_DIS ビットをセットします (SPI 制御モードのみ)。

AD7771 は、パワーアップ時に内部レジスタを初期化するクロック発振器を内蔵しています。CLK_SEL ピンは、初期化の後に使用する外部クロックを指定します (表 12 参照)。

表 12. クロック源

CLK_SEL State	Clock Source	Connection
0	CMOS	XTAL2/MCLK の入力、IOVDD ロジック・レベル。XTAL1 は DGND へ接続します。
1	Crystal	XTAL1 と XTAL2/MCLK の間に接続します。

MCLK 信号が DCLK 出力信号を発生し、これにより、AD7771 からの $\Sigma\text{-}\Delta$ 変換データをクロック出力します (図 109 参照)。

デジタル・リセット・ピンと同期ピン

SYNC_IN ピンにパルスを入力すると、デジタル・ブロックの内部リセットが行われます。このパルスは内部レジスタに設定されたデータに影響を与えません。このピンへのパルス入力は、次の 2 つのケースで必要になります。

- sinc フィルタに直接関係する 1 個以上のレジスタ (パワー・モード、オフセット、ゲイン、位相補償、sinc フィルタ) を更新した後。
- 複数デバイスの同期化。

SYNC_IN ピンのパルスは、MCLK と同期している必要があります。

コントローラ/プロセッサが同期パルスを発生できない場合、同期パルスの実現に次の2つの方法があります。

- **START** ピンに非同期パルスを入力し、内部でこれを外部 MCLK クロックに同期化させて、**SYNC_OUT** ピンに同期信号を出力します。
- 内部で **SYNC_OUT** をトリガします。AD7771 を SPI 制御モードに設定した場合、**GENERAL_USER_CONFIG_2** レジスタのビット 0 をトリガすると、**SYNC_OUT** ピンに出力される同期パルスが発生します。

内部同期を使用する場合、**SYNC_IN** ピンと **SYNC_OUT** ピンを外部で接続する必要があります。

複数の AD7771 デバイスを同期させる必要がある場合、1 個のデバイスの **SYNC_OUT** ピンを複数のデバイスへ接続することができます。この同期方法では、接続されたすべての AD7771 デバイスに対して共通の MCLK 信号を使う必要があります (図 110 参照)。

START ピンを使用しない場合は、DGND へ接続してください。

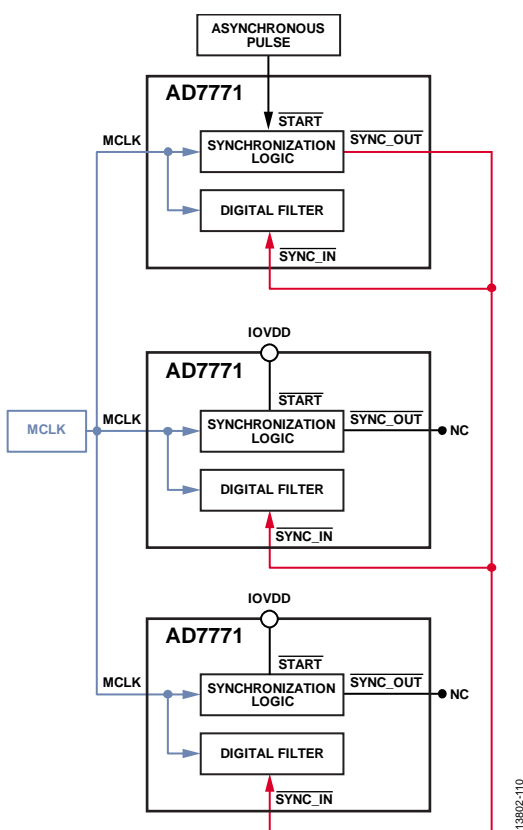


図 110. 複数の AD7771 デバイスの同期

デジタル・フィルタリング

AD7771 は、低遅延の sinc3 フィルタと sinc5 フィルタを備えています。例えば、制御ループまたはアプリケーション固有のポスト・プロセスが必要な場合など、狭帯域幅の信号を必要とするアプリケーションに対して sinc フィルタは低遅延パスとなるため、大部分の高精度 Σ - Δ ADC では sinc フィルタを使用しています。デジタル・フィルタは、サンプリング周波数の整数倍にノッチを発生させます。

Sinc3 デジタル・フィルタは 3 つのメイン・ノッチを発生します。1 つは最大 ODR (パワー・モードに応じて 128 kHz または 32 kHz) に、他の 2 つは通過帯域内に折り返しノイズが混入するのを阻止するために選択された ODR 周波数に、それぞれ発生します。Sinc5 フィルタは 5 つのメイン・ノッチを発生します。1 つは最大 ODR (パワー・モードに応じて 128 kHz または 32 kHz) に、他の 4 つは通過帯域内に折り返しノイズが混入するのを阻止するために選択された ODR 周波数に、それぞれ発生します。24 kSPS より高い出力データ・レートでは、Sinc5 デジタル・フィルタを選択することを推奨します。

図 111 と図 112 に、sinc3 および sinc5 フィルタに 32 サンプルのデシメーション・レートを適用した場合の高分解能モードと低消費電力モードに対する代表的なフィルタの伝達関数を示します。

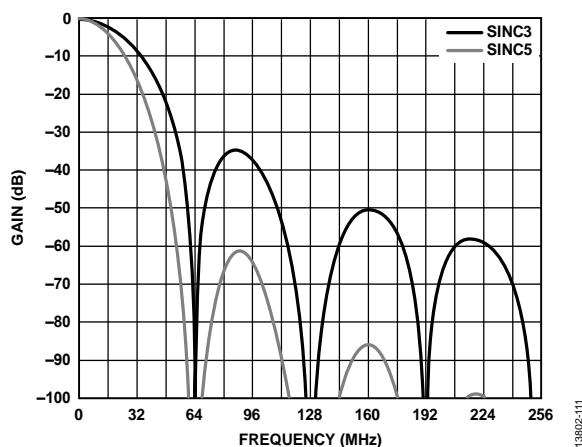


図 111. 高分解能モードでの Sinc3/Sinc5 の周波数応答

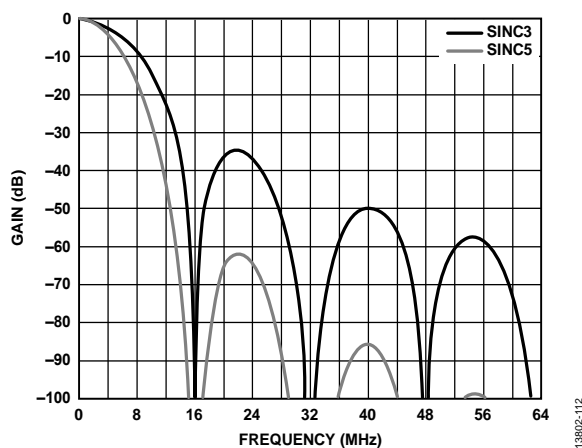


図 112. 低消費電力モードでの Sinc3/Sinc5 の周波数応答

サンプル・レート・コンバータを使うと、デシメーション・レートの非整数倍であっても、デシメーション・レートの微調整が可能になります。非整数デシメーション・レートのフィルタ・プロファイルの詳細については、サンプル・レート・コンバータ (SRC) のセクションを参照してください。

シャットダウン・モード

AVDD2x をグラウンドに接続し、かつ 1 M Ω の抵抗を XTAL2/MCLK に接続してロー・レベルにすると、AD7771 をシャットダウン・モードにすることができます。このモードでは、平均消費電流が 1 mA に削減されます (図 113 参照)。

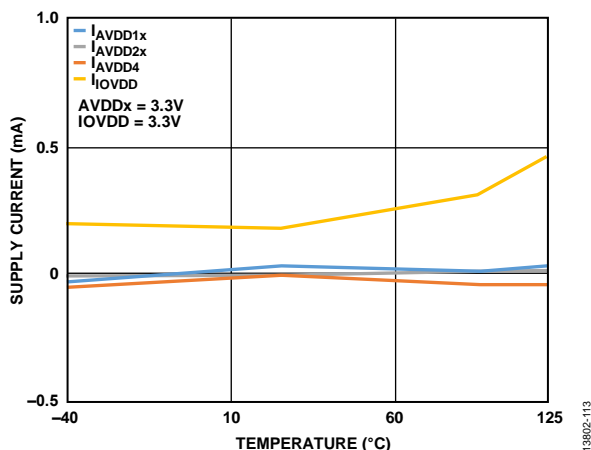


図 113. シャットダウン電流

AD7771 の制御

ピン制御モードまたは SPI 制御モードを使用して、AD7771 を制御することができます。

ピン制御モードを使うと、ハードウェア接続により、AD7771 の全機能の一部を提供するあらかじめ決められた設定にすることができます。このモードでは、SRC 機能と診断機能または拡張エラー・ソースを使用できません。

SPI インターフェースを使って AD7771 を制御すると、モニタリング機能、診断機能、 Σ - Δ 制御機能をすべて使うことができます。SPI 制御には、チャンネルごとのオフセット、ゲイン、位相の補正、さらにコヒーレント・サンプリングを実現する柔軟な SRC に対するアクセスなどの機能が追加されています。

これらのさまざまな設定の詳細については表 13 を参照してください。

ピン制御モード

ピン制御モードでは、パワーアップ時のモード・ピン (MODE 0、MODE1、MODE2、MODE3) のレベルに基づいて AD7771 が設定されます。これら 4 本のピンが、AD7771 の動作モード、デシメーション・レート/ODR、PGA ゲイン、リファレンス・ソースを設定します (表 14 参照)。

モード・ピン数と使用可能なオプション数が限られているため、PGA ゲイン制御は 4 つのブロックにグループ化され、ODR はデシメーション・レートで決定される最大値に選択されます。すなわち、高分解能モードでは ODR (kHz) = 2048/デシメーションに、低消費電力モードでは ODR (kHz) = 512/デシメーションに、それぞれ設定されます。

選択したモードに応じて、デバイスは外部リファレンスまたは内部リファレンスを使うように設定されます。

変換データは、SPI インターフェースまたはデータ出力インターフェースを使って読み出すことができます (表 13 参照)。データ出力インターフェースを使って変換データを読み出す場合、イネーブルする DOUTx ライン数と Σ - Δ データの転送に必要なクロック数は、CONV_SAR ピン、FORMAT0 ピン、FORMAT1 ピンのロジック・レベルにより決定されます。この場合、DCLK2、DCLK1、DCLK0 の各ピンが Σ - Δ 出力インターフェースを選択し、DCLKx の分周機能 (MCLK の約数) を制御します (表 15 参照)。DCLKx の分周機能がデータ出力インターフェースの DCLKx 信号の周波数を設定します。DCLK の最小周波数は、デシメーション・レートと動作モードに依存します。最小 DCLKx 周波数の詳細については、データ出力インターフェースのセクションを参照してください。

AD7771 の設定モードを決定するすべてのピンは、SYNC_IN ピンにパルスが入力されるたびに見直されます。ピン制御モードの代表的な接続図を図 114 に示します。

表 13. データ・インターフェースのフォーマット

CONVST_SAR State	FORMAT1	FORMAT0	Control Mode	Data Output Mode
1	0	0	Pin	SPI output
	0	1	Pin	SPI output
	1	1	Pin	SPI output
	1	1	SPI	Defined in Register 0x014
0	0	0	Pin	DOUT0, Channel 0 and Channel 1
				DOUT1, Channel 2 and Channel 3
	1	1	Pin	DOUT2, Channel 4 and Channel 5
				DOUT3, Channel 6 and Channel 7
0	1	Pin	DOUT0, Channel 0 to Channel 3	
			DOUT1, Channel 4 to Channel 7	
1	0	Pin	DOUT0, Channel 0 to Channel 7	
			1	1

表 14. ピン制御モードのオプション

Pin State				Decimation Rate	Power Mode	PGA Gain Channel		Reference Source	Filter
MODE3	MODE2	MODE1	MODE0			Channel 0 to Channel 3	Channel 4 to Channel 7		
0	0	0	0	16	High resolution	1	1	External	Sinc5
0	0	0	1	16	High resolution	1	4	External	Sinc5
0	0	1	0	32	High resolution	1	1	External	Sinc5
0	0	1	1	32	High resolution	1	4	External	Sinc5
0	1	0	0	64	High resolution	1	1	External	Sinc5
0	1	0	1	64	High resolution	1	4	External	Sinc5
0	1	1	0	128	High resolution	1	1	External	Sinc5
0	1	1	1	128	High resolution	1	4	External	Sinc5
1	0	0	0	256	High resolution	1	1	External	Sinc5
1	0	0	1	16	High resolution	1	1	Internal	Sinc5
1	0	1	0	32	High resolution	1	1	Internal	Sinc5
1	0	1	1	64	High resolution	1	1	Internal	Sinc5
1	1	0	0	16	Low power	1	1	External	Sinc5
1	1	0	1	32	Low power	1	1	External	Sinc5
1	1	1	0	64	Low power	1	1	External	Sinc3
1	1	1	1	32	Low power	1	1	External	Sinc3

表 15. ピン制御モード状態の DCLKx 選択

DCLK2/SCLK	DCLK1/SDI	DCLK0/SDO	MCLK Divider
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

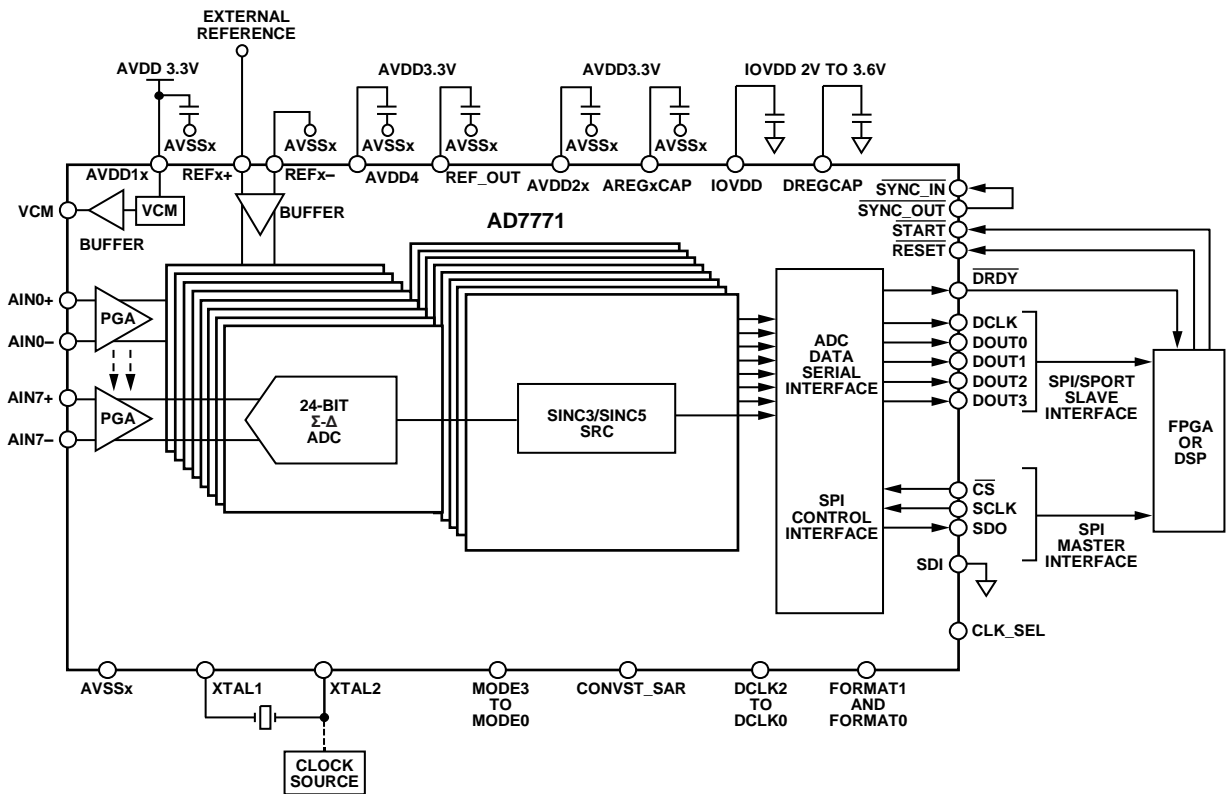


図 114. 外部リファレンスを使用するピン制御モードの接続図

13802-114

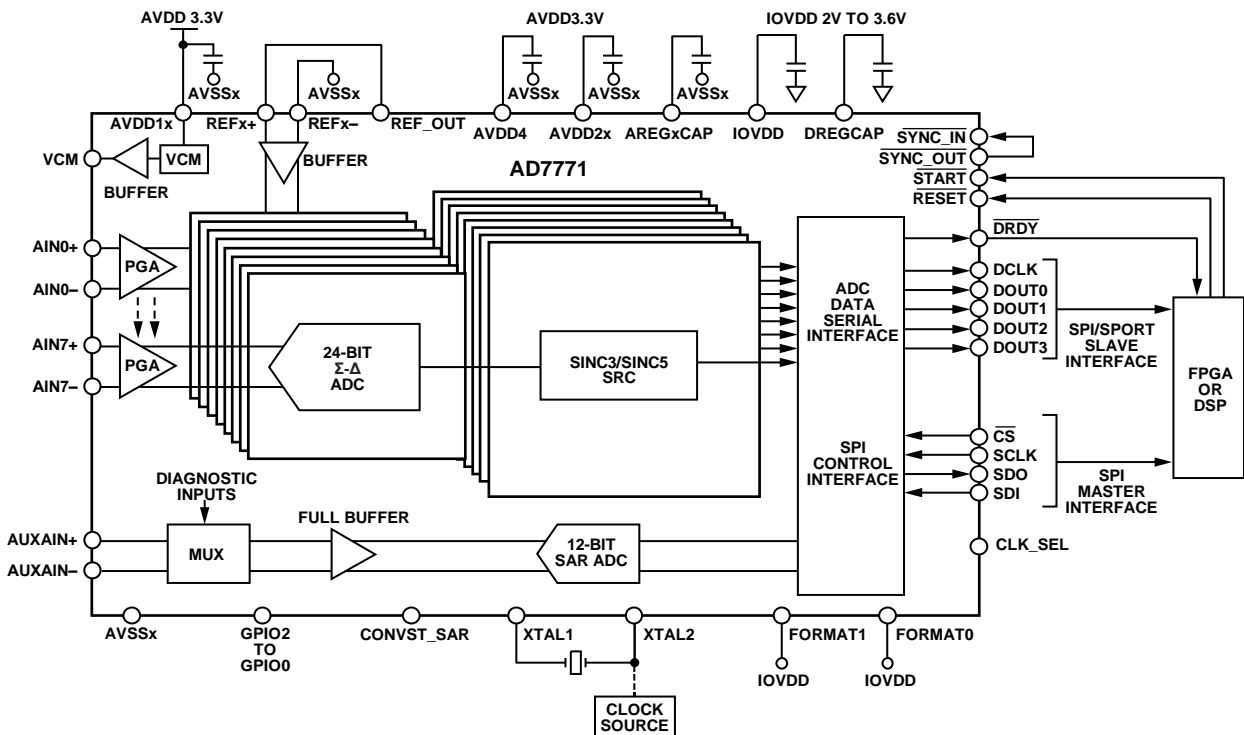


図 115. 内部リファレンスを使用する SPI 制御モードの接続図

13802-115

SPI 制御

AD7771 の制御とモニタリングの 2 つ目のオプションは、SPI インターフェースを使用します。このオプションを使うと、SAR コンバータ、位相同期、オフセットとゲインの調整、診断、SRC に対するアクセスなど、AD7771 のフル機能にアクセスすることができます。SPI 制御を使うときは、FORMAT0 ピンと FORMAT1 ピンをロジック・ハイに設定します。

このモードでは、SPI_SLAVE_MODE_EN ビットをセットして、SPI インターフェースを使って $\Sigma\text{-}\Delta$ 変換データを読み出すこともできます。

SPI 制御モードの代表的な接続図を図 115 に示します。

SPI 制御モードで使用可能な機能

AD7771 の SPI 制御では、機能と診断の全機能を提供します。SPI 制御機能のセクションに、SPI 制御モードで提供する機能と診断を記載しています。

オフセットとゲインの補正

システム・キャリブレーション用にオフセット・レジスタとゲイン・レジスタが設けてあります。ゲイン・レジスタは出荷時に PGA ゲイン=1 に設定されていますが、必要に応じて新しい値で上書きすることができます。

ゲイン・レジスタは 24 ビット長で、3 個のレジスタ CHx_GAIN_UPPER_BYTE、CHx_GAIN_MID_BYTE、CHx_GAIN_LOWER_BYTE に分かれています。これらのレジスタがチャンネルごとにゲインを設定します。

ゲイン値は、ゲイン=1 を表す 0x555555 を基準とします。

オフセット・レジスタは 24 ビット長で、3 バイトのレジスタ CHx_OFFSET_UPPER_BYTE、CHx_OFFSET_MID_BYTE、CHx_OFFSET_LOWER_BYTE に分かれています。デフォルト値はパワーアップ時の 0x000000 になります。オフセットは、2 の補数の符号付き 24 ビット値として設定します。チャンネル・ゲインを公称値の 0x555555 に設定すると、オフセット・レジスタの 1 LSB の調整により、デジタル出力が $-4/3$ LSB だけ変化します。

キャリブレーション例として、オフセット測定値は -200 LSB になります (両 AINx± ピンを同じ電位に接続)。

-150 LSB のオフセット調整により、 $-150 \times (-4/3) = 200$ LSB (ゲイン値 = 0x555555) だけデジタル出力が変化し、この値は 2 の補数で $0xFFFFF - 0x96 + 1 = 0xFFFF70$ と表されます。オフセット・レジスタを次のようにプログラムします。

- CHx_OFFSET_UPPER_BYTE = 0xFF
- CHx_OFFSET_MID_BYTE = 0xFF
- CHx_OFFSET_LOWER_BYTE = 0x70

ゲイン補償の前にオフセット補償が行われることに注意してください。ゲインは、PGA_GAIN=1 の最終テスト時に設定されます。ゲイン・レジスタ値は上書きできますが、リセットまたは電源サイクル後に、ゲイン・レジスタ値はハード・コードの出荷時設定値に戻されます。

ゲインを公称値 (0x555555) の 0.75 に設定する必要がある場合は、次の値を設定します。

$$0x555555 \times 0.75 = 0x400000$$

この場合、オフセット・レジスタの 1 LSB の調整により、デジタル出力が $-4/3 \times 0.75 = 1$ LSB だけ変化します。ゲイン・レジスタを次のようにプログラムします。

- CHx_GAIN_UPPER_BYTE = 0x40
- CHx_GAIN_MID_BYTE = 0x00
- CHx_GAIN_LOWER_BYTE = 0x00

SPI 制御機能

グローバル制御機能

AD7771 のグローバル制御機能の詳細を以下に示します。

- 高分解能動作モードと低消費電力動作モード
- ODR: SRC
- Sinc3 フィルタおよび sinc5 フィルタ
- VCM バッファのパワーダウン
- 内部リファレンス/外部リファレンスの選択
- リファレンス・バッファのイネーブル・モード、プリチャージ・モード、またはバイパス・モード
- 内部リファレンスのパワーダウン
- SAR 診断マルチプレクサ
- SAR のパワーダウン
- GPIO の書込み/読出し
- SAR 変換の SPI による読出し
- SPI スレーブ・モード - $\Sigma\text{-}\Delta$ 結果の読出し
- SDO と DOUTx の駆動能力
- DOUTx のモード
- DCLK の分周
- 内蔵 LDO のバイパス
- 巡回冗長検査 (CRC) 保護: イネーブルまたはディスエーブル

チャンネルごとの機能

AD7771 のチャンネルごとの機能の詳細を以下に示します。

- PGA ゲイン
- $\Sigma\text{-}\Delta$ チャンネルのパワーダウン
- 位相遅延: チャンネルごとの同期位相オフセット
- オフセットのキャリブレーション
- ゲインのキャリブレーション
- $\Sigma\text{-}\Delta$ 入力信号マルチプレクサ
- チャンネル誤差レジスタ
- PGA ゲイン

位相調整

AD7771 に接続されたセンサーまたは信号チャンネルの位相誤差によるチャンネル間の位相不一致を補償するために、AD7771 の位相遅延を調整することができます。CHx_SYNC_OFFSET レジスタを設定して位相調整を行います。この設定により同期信号を変調器クロック MOD_MCLK の所定個数分だけ遅延させて、各 $\Sigma\text{-}\Delta$ ADC のデジタル・フィルタを個別に起動します。

同期パルスの中に位相調整レジスタを読み出すと、その後レジスタを変化させてもパルスが発生されるまで影響を与えません (ピンでパルスが発生させる方法については、「デジタル・リセット・ピンと同期ピン」のセクションを参照してください)。

位相オフセット・レジスタにはデシメーション・レートに依存する係数が内部で乗算されます (表 16 参照)。

表 16. デシメーション・レート対位相調整

Phase Adjustment Compensation	Decimation Rate
×1	≤255
×2	≤511
×4	≤1023
×8	≤2047
×16	≤4095

最大位相遅延は、デシメーション・レート以上にはできません。最大位相遅延がデシメーション・レート以上の場合、値は内部でデシメーション・レート値 -1 に変更されます。

一例として、チャンネル 0 とチャンネル 1 の間の位相不一致が 5° で、ODR が高分解能モードで 5 kSPS とします。このケースでは、デシメーション・レートは 2048 kHz/5 kHz = 409.6 になり、これはオフセット・レジスタ値に内部で 2 が乗算されていることを意味します。

入力信号を 50 Hz とすると、フル周期のサンプルに必要な MOD_MCLK パルス数は $2048 \text{ kHz}/50 \text{ Hz} = 40960 > 360^\circ/40960 = 0.00878^\circ$ になります。

5°の遅延が必要な場合、MOD_MCLK 遅延数は 569 ($5^\circ/0.00878^\circ$) である必要があります。これは、オフセット・レジスタに 2 が乗算されて、オフセット・レジスタの最終値は $409.6/2 - 569/2$ (負の値) になるためです。このケースでは、レジスタに設定されたオフセット値が 204 より大きい場合 (例えば、 $210 \times 2 = 420$)、値は内部で 408 に変更されて、 $408 \times 0.00878^\circ = 3.58^\circ$ の位相補償が得られます。

PGA ゲイン

CHx_CONFIG レジスタのビット [7:6] を適宜設定して、PGA ゲインを個々に選択することができます (表 17 参照)。

表 17. CHx_CONFIG による PGA ゲイン設定

CHx_CONFIG, Bits[7:6] Setting	PGA Gain Setting
00	×1
01	×2
10	×4
11	×8

Σ-Δ リファレンスを更新する場合、SYNC_IN ピンにパルスを入力して、リファレンス変化中の無効なサンプルを除去することを推奨します。

デシメーション

デシメーションは次のようにサンプリング周波数を決定します。

- 高分解能モードでは、サンプリング周波数 = $MCLK / (4 \times \text{デシメーション})$
- 低消費電力モードでは、サンプリング周波数 = $MCLK / (8 \times \text{デシメーション})$

詳細については、サンプル・レート・コンバータ (SRC) のセクションを参照してください。

GPIOx ピン

AD7771 が SPI 制御モードで動作する場合、モード・ピンは GPIOx ピンとして機能します (図 116 参照)。GPIOx ピンは、任意の順で入力または出力に設定することができます。

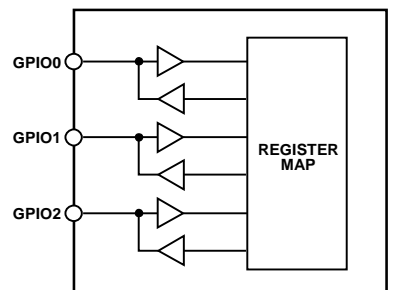


図 116. GPIOx ピンの機能

GPIOx ピンの設定制御と読出しは、GPIO_CONFIG レジスタのビット [2:0] (0 = 入力、1 = 出力) と GPIO_DATA レジスタにより行われます。数ある使い方の中でも特に、GPIO を使って SAR ADC の補助入力に接続された外部マルチプレクサを制御することができます。Σ-Δ ADC の変換結果の確認にこのマルチプレクサを使ってください。

さらに、GPIOx ピンを使って新しいデシメーション・レートを外部トリガすることができます。この機能の詳細については、サンプル・レート・コンバータ (SRC) のセクションを参照してください。

Σ-Δ リファレンスの設定

AD7771 は、外部リファレンスまたは内部リファレンスを使って動作することができます。さらに、診断目的で、リファレンスとしてアナログ電源を使用することができます (表 18 参照)。REFx-/REFx+ により、電圧リファレンスを選択できます。ここで REFx+ は REFx- ピンの電圧よりも低い電圧です。

表 18. Σ-Δ リファレンス

Setting for ADC_MUX_CONFIG, Bits[7:6]	Channel 0 to Channel 3	Channel 4 to Channel 7
00	REF1+/REF1-	REF2+/REF2-
01	Internal reference	Internal reference
10	AVDD1A/AVSS1A	AVDD1B/AVSS1B
11	REF1-/REF1+	REF2-/REF2+

リファレンス・バッファの動作を表 19 に示します。選択したリファレンスとバッファ動作モードがすべてのチャンネルに有効になります。

Σ-Δ リファレンスを更新する場合、SYNC_IN ピンにパルスを入力して、リファレンス変化中の無効なサンプルを除去することを推奨します。

表 19. リファレンス・バッファの動作モード

Reference Buffer Operation Mode	REFx+	REFx-
Enabled	BUFFER_CONFIG_1, Bit 4 = 1; BUFFER_CONFIG_2, Bit 7 = 0	BUFFER_CONFIG_1, Bit 3 = 1; BUFFER_CONFIG_2, Bit 6 = 0
Precharged	BUFFER_CONFIG_1, Bit 4 = 1; BUFFER_CONFIG_2, Bit 7 = 1	BUFFER_CONFIG_1, Bit 3 = 1; BUFFER_CONFIG_2, Bit 6 = 1
Disabled	BUFFER_CONFIG_1, Bit 4 = 0	BUFFER_CONFIG_1, Bit 3 = 0

表 20. その他のディスエーブル・パワーダウン・ブロック

Block	Register	Notes
VCM	GENERAL_USER_CONFIG_1, Bit 5	Enabled by default
Reference Buffer	BUFFER_CONFIG_1, Bits[4:3]	Precharge mode by default
Internal Reference Buffer	GENERAL_USER_CONFIG_1, Bit 4	Disabled by default
Σ-Δ Channel	CH_DISABLE, Bits[7:0]	All channels enabled
SAR	GENERAL_USER_CONFIG_1, Bit 3	Disabled by default
Internal Oscillator	GENERAL_USER_CONFIG_1, Bit 2	Enabled by default

パワー・モード

AD7771 は、高分解能モードと低消費電力モードの電源モードを提供して、電力効率を向上させます。これらのモードは、GENERAL_USER_CONFIG_1 のビット 6 を使って制御します。消費電力をさらに削減するため、その他のブロックを独立にディスエーブルすることができます (表 20 参照)。

パワー・モードを変更する場合は、SYNC_IN ピンにパルスを入力する必要があります。

Sinc3 フィルタおよび Sinc5 フィルタ

AD7771 は sinc3 と sinc5 のデジタル・フィルタを内蔵しています。デフォルトで、パワーアップ時には sinc3 フィルタを使用していますが、GENERAL_USER_CONFIG_2 のビット 6 をセットすることによって変更することができます。Sinc フィルタを変更する場合は、SYNC_IN ピンにパルスを入力する必要があります。

LDO のバイパス

内蔵 LDO を個別にバイパスして、外部電源を AREG1CAP ピン、AREG2CAP ピン、または DREGCAP ピンに直接接続することができます。表 21 に、これらのピンの絶対最小/最大電源電圧、およびレギュレータのバイパスに使用するレジスタを示します。

表 21. LDO のバイパス

LDO	BUFFER_CONFIG_2, Bits[2:0] ¹	Supply	
		Max (V)	Min (V)
AREG1CAP	1XX	1.9	1.85
AREG2CAP	X1X	1.9	1.85
DREGCAP	XX1	1.9	1.65

¹ X は、ドント・ケアを意味します。

デジタル SPI

AD7771 のシリアル・インターフェースは、CS、SDI、SCLK、SDO の 4 つの信号で構成されています。SPI の代表的な接続図を図 117 に示します。

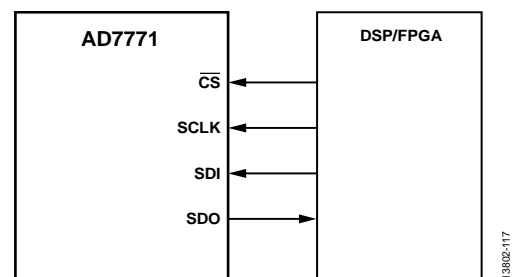


図 117. SPI 制御インターフェース — AD7771 が SPI のスレーブ、デジタル・シグナル・プロセッサ (DSP) / フィールド・プログラマブル・ゲート・アレイ (FPGA) がマスター

SPI がモード 0 とモード 3 で動作し、CPOL = 0、CPHA = 0 (モード 0) または CPOL = 1、CPHA = 1 (モード 3) になります。

ピン制御モードでは、CONV_SAR ピンのレベルに応じて、SDI を使って Σ-Δ 変換結果を読み出すことができます (表 13 参照)。

SPI 制御モードでは、SPI インターフェースがデータを内部レジスタへ転送すると同時に、選択した動作モードに応じて、SDO ピンに内部レジスタからデータを読み出すか、SAR または Σ-Δ 変換結果を読み出します。

SPI 制御モードでの SDO データ・ソースは、GENERAL_USER_CONFIG_2 レジスタと GENERAL_USER_CONFIG_3 レジスタにより指定されます (表 22 参照)。

表 22. SPI 制御モードでの SPI 動作モード

GENERAL_USER_CONFIG_2, Bit 5 Setting	GENERAL_USER_CONFIG_3, Bit 4 Setting ¹	Mode
0	0	Internal register
0	1	Σ-Δ data conversion
1	X	SAR conversion

¹ X は、ドント・ケアを意味します。

SPI 制御モードでは、SDO ピンに 4 レベルの入力/出力 (I/O) 能力があり、GENERAL_USER_CONFIG_2 のビット [4:3] でこのレベルを選択することができます (表 23 参照)。

表 23.S DO 能力

GENERAL_USER_CONFIG_2, Bits[4:3] Setting	Mode
00	Nominal
01	Strong
10	Weak
11	Extra strong

SCLK は、デバイスのシリアル・クロック入力です。すべてのデータ転送 (SDO または SDI 上での転送) は、この SCLK 信号を基準として行われます。

SPI は、8 ビットの倍数で動作することができます。例えば、SPI 制御モードで、SDO ピンを使って内部レジスタまたは SAR ADC からデータを読み出す場合、データ・フレームは CRC をディスエーブルした 16 ビット幅になるか (図 118 参照)、CRC をイネーブルした 24 ビット幅になります (図 119 参照)。このケースでは、コントローラは 16 ビット/24 ビット (CRC をディスエーブル/イネーブル) の 1 フレームを発生するか、または 8 ビットの 2 フレーム/3 フレーム (CRC をディスエーブル/イネーブル) を発生することができます。SDO ピンが $\Sigma\Delta$ チャンネルからデータを読み出す場合、コントローラから 64 ビットを読み出す必要があります (このケースでは、コントローラは 64 ビットのフレームを発生することができます - 2×32 ビット、 4×16 ビット、または 8×8 ビット)。

SPI CRC - チェックサム保護 (SPI 制御モード)

AD7771 には、SPI 制御モードの SPI インターフェースを強固にするチェックサム・モードがあります。チェックサムを使用すると、有効データのみがレジスタに書き込まれ、またレジスタから読み出されるデータを検証することができます。SPI の CRC は、SPI_CRC_TEST_EN ビットをセットしてイネーブルすることができます。レジスタへの書き込み時にエラーが発生した場合、エラー・レジスタの SPI_CRC_ERR ビットがセットされます。

SPI_CRC_TEST_EN ビットをイネーブルすると、すべての R/W 動作で CRC チェックサムが実行されます。SPI_CRC_TEST_EN をイネーブルすると、8 ビット CRC ワードが SAR 動作とレジスタ・マップ動作に対する各 SPI トランザクションに追加されます。 $\Sigma\Delta$ 読出し動作の詳細については、CRC ヘッダーのセクションを参照してください。

レジスタへの書き込みが正常に行われたかを確認するには、レジスタを読み出し、チェックサムを検証することを推奨します。

CRC チェックサム計算では、常に多項式 $x^8 + x^2 + x + 1$ が使用されます。詳細については、「SPI 制御モードのチェックサム」のセクションを参照してください。

SPI リード/ライト・レジスタ・モード (SPI 制御モード)

AD7771 は、デバイスの設定と制御を行うレジスタを内蔵しています。

レジスタには 7 ビット・アドレスが付いています - SDI ライン上の 7 ビット・レジスタ・アドレスがリード/ライト機能に対するレジスタを選択します。SDI データ内で 7 ビットのレジスタ・アドレスが R/W ビットに続きます。SDI ライン上で 7 ビットのレジスタ・アドレスに続く 8 ビットは、SPI が書き込み転送の場合に、選択されたレジスタへ書き込まれるデータです。SDI ライン上のデータは、SCLK の立上がりエッジで AD7771 へ入力されます (図 3 参照)。

SPI 転送時の SDO ライン上のデータには、8 ビットの 0010 0000 ヘッダーが含まれます。すなわち、読出し (R) 動作の場合はレジスタ・データの 8 ビットで、書き込み (W) 動作の場合は 8 個のゼロになります。

CRC をディスエーブルすると、転送時の SDI ライン上の基本データ・フレームは 16 ビット長になります (図 118 参照)。CRC がイネーブルの場合、SPI 転送には 24 SCLK 周期の最小フレーム長が必要です。SDO ライン上の 24 ビット・データは、8 ビットのヘッダー (0010 0000)、8 ビットのデータ、8 ビットの CRC から構成されます (図 119 参照)。

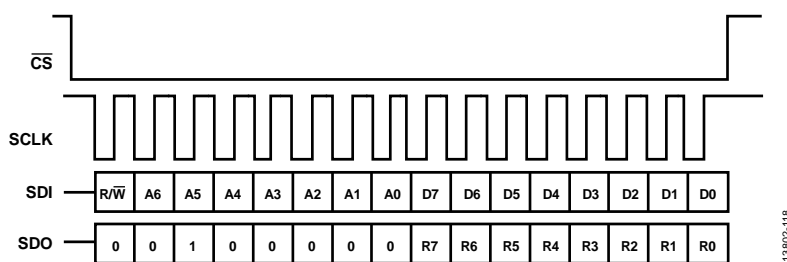


図 118. 16 ビットの SPI 転送 - CRC をディスエーブル

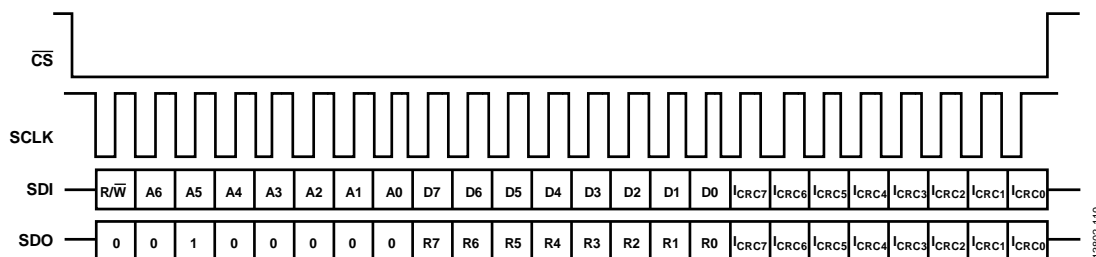


図 119. 24 ビットの SPI 転送 - CRC をイネーブル

SPI SAR 診断モード (SPI 制御モード)

GENERAL_USER_CONFIG_2 レジスタのビット 5 をセットすると、SAR ADC 変換からのデータを SDO ラインにシフト・アウトするように設定されます (表 22 参照)。

SAR モードでは、AD7771 の内部レジスタへの書込みは可能ですが、読出しコマンドはすべて無視されます。これは、SDO データ・フレームが SAR ADC からの変換結果のシフト・アウト専用になっているためです。

この動作モードを終了するときは、GENERAL_USER_CONFIG_2 レジスタのビット 5 をリセットします。

CRC をディスエーブルした場合、SPI 転送時の SDO ライン上のデータには、4 ビットの 0010 ヘッダーと 12 ビットの SAR 変換結果が含まれます。

CRC がイネーブルの場合、SPI 転送には 24 SCLK 周期の最小フレーム長が必要です。SDO ライン上の 24 ビット・データは、4 ビットのヘッダー (0010)、12 ビットのデータ、8 ビットの CRC から構成されます (図 120 参照)。

SPI リード/ライト・レジスタ・モード (「SPI リード/ライト・レジスタ・モード」のセクションを参照) では、SDI ラインに R/W ビット、7 ビットのレジスタ・アドレス、8 ビットのデータ、8 ビットの CRC (イネーブル時) が含まれます。SDO ラインを介して SAR 変換結果を読み出しているときに、内部レジスタへの不要な書込みを回避するためには、デバイスへ読出しコマンド、例えば 0x8000 を送信することを推奨します。SDO ピ

ンは SAR ADC の値をシフト・アウトするため、このコマンドは無視されます。

SAR ADC で連続変換を行う場合、新しい変換を行う前に、前の変換結果を読み出してください。そうしないと、変換結果が破壊されます。

Σ-Δ データ、ADC モード

ピン制御モードでは、SPI を使用して Σ-Δ 変換結果を読み出すことができます (表 13 を参照)。SPI 制御モードでは、GENERAL_USER_CONFIG_3 のビット 4 をセットして SPI から Σ-Δ 変換結果を読み出します (表 22 を参照)。このモードでは、AD7771 の内部レジスタへ書込み可能ですが、読出しコマンドはすべて無視されます。これは、SDO データ・フレームが Σ-Δ ADC の変換結果のシフト・アウト専用になっているためです。内部レジスタへの不要な書込みを回避するためには、デバイスへ読出しコマンド、例えば 0x8000 を送信することを推奨します。SDO ピンは Σ-Δ ADC の値をシフト・アウトするため、このコマンドは無視されます。

SDO ピンのデータは、8 ビットの倍数、例えば 64 ビット、2 × 32 ビット、4 × 16 ビット、または 8 × 8 ビットで読み出すことができます。

SPI ソフトウェア・リセット

64 個の連続クロック中 SDI ピンをハイ・レベルに維持すると、ソフトウェア・リセットが発生します。

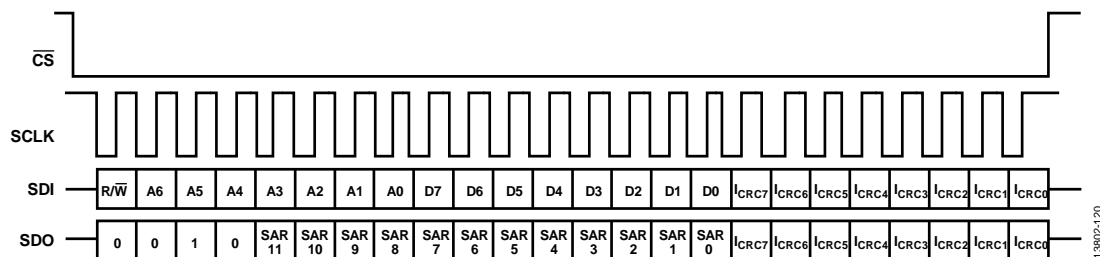


図 120. SAR ADC/診断モード — CRC をイネーブル

RMS ノイズと分解能

表 24 ~ 表 27 に、さまざまな出力データ・レートとゲインの設定値における AD7771 のダイナミック・レンジ (DR)、rms ノイズ (RTI)、有効ビット数 (ENOB)、実効分解能 (ER) を示します。ここに示した値は、2.5 V の外部リファレンス電圧を使用した場合のバイポーラ入力範囲です。これらの値は代表値であり、ADC の単一チャンネルの差動入力端子に 0 V を入力して、連続変換しているときに生成される値です。

実効分解能は、rms ノイズを使って計算するように注意してください。この rms ノイズの計算には、連続する 16,384 のサンプルが使用されています。

$$\text{実効分解能} = \log_2 (\text{入力範囲} / \text{RMS ノイズ})$$

$$\text{ENOB} = (\text{DR} - 1.78) / 6$$

高分解能モード

表 24. 高分解能モードでの DR および RTI

Sinc Filter	Decimation Rate	Output Data Rate (SPS)	f _{-3 dB} (Hz)	Gain = 1		Gain = 2		Gain = 4		Gain = 8	
				DR (dB)	RTI (μV rms)	DR (dB)	RTI (μV rms)	DR (dB)	RTI (μV rms)	DR (dB)	RTI (μV rms)
Sinc5	16	128,000	26542.34	95.1	31.32	91.7	22.68	87.1	19.39	82.0	17.11
	32	64,000	13403.14	101.8	14.31	98.5	10.30	94.4	8.41	89.7	7.37
	64	32,000	6833.54	107.1	7.90	105.3	4.85	101.5	3.65	96.9	3.14
	256	8,000	1906.34	114.4	3.34	113.8	1.84	111.6	1.16	107.9	0.91
Sinc3	128	16,000	4878.83	105.7	9.01	105.2	4.88	103.2	2.99	99.6	2.26
	256	8,000	2756.43	112.1	4.32	111.5	2.31	109.3	1.52	105.5	1.19
	512	4,000	1695.23	115.8	2.86	115.6	1.51	113.5	0.96	109.5	0.75
	1024	1,000	899.33	122.0	1.39	121.6	0.73	119.6	0.47	115.7	0.36

表 25. 高分解能モードでの ENOB および ER

Sinc Filter	Decimation Rate	Output Data Rate (SPS)	f _{-3 dB} (Hz)	Gain = 1		Gain = 2		Gain = 4		Gain = 8	
				ENOB (Bits)	ER (Bits)	ENOB (Bits)	ER (Bits)	ENOB (Bits)	ER (Bits)	ENOB (Bits)	ER (Bits)
Sinc5	16	128,000	26542.34	15.5	17.3	14.9	17.8	14.2	18.0	13.3	18.2
	32	64,000	13403.14	16.6	18.4	16.1	18.9	15.4	19.2	14.6	19.4
	64	32,000	6833.54	17.5	19.3	17.2	20.0	16.6	20.4	15.8	20.6
	256	8,000	1906.34	18.7	20.5	18.6	21.4	18.2	22.0	17.6	22.4
Sinc3	128	16,000	4878.83	17.3	19.1	17.2	20.0	16.9	20.7	16.3	21.1
	256	8,000	2756.43	18.3	20.1	18.2	21.0	17.9	21.6	17.2	22.0
	512	4,000	1695.23	18.9	20.7	18.9	21.7	18.6	22.3	17.9	22.7
	1024	1,000	899.33	20.0	21.8	19.9	22.7	19.6	23.3	18.9	23.7

低消費電力モード

表 26. 低消費電力モードでの DR および RTI

Sinc Filter	Decimation Rate	Output Data Rate (SPS)	f _{-3dB} (Hz)	Gain = 1		Gain = 2		Gain = 4		Gain = 8	
				DR (dB)	RTI (μV rms)	DR (dB)	RTI (μV rms)	DR (dB)	RTI (μV rms)	DR (dB)	RTI (μV rms)
Sinc5	16	32,000	6833.54	94.3	34.2	90.9	25.04	86.5	20.5	81.3	19.43
	32	16,000	3548.74	100.9	15.7	97.8	11.22	93.6	9.0	87.9	8.39
	64	8,000	1906.34	106.7	83.3	104.6	5.18	100.6	4.03	96.1	3.46
	512	1,000	469.24	117.1	25.2	116.8	1.29	114.4	8.41	110.7	0.67
Sinc3	64	8,000	2756.43	95.5	29.86	95.0	15.26	93.7	8.9	90.8	6.11
	128	4,000	1695.23	105.4	9.47	105.1	4.95	102.7	3.21	98.7	2.51
	256	2,000	1164.63	111.7	4.62	111.2	2.41	108.9	1.57	104.8	1.27
	1024	500	766.68	118.6	2.1	118.2	1.07	116.2	0.7	112.5	0.54

表 27. 低消費電力モードでの ENOB および ER

Sinc Filter	Decimation Rate	Output Data Rate (SPS)	f _{-3dB} (Hz)	Gain = 1		Gain = 2		Gain = 4		Gain = 8	
				ENOB (Bits)	ER (Bits)	ENOB (Bits)	ER (Bits)	ENOB (Bits)	ER (Bits)	ENOB (Bits)	ER (Bits)
Sinc5	16	32,000	6833.54	15.4	17.2	14.8	17.6	14.1	17.9	13.2	18.0
	32	16,000	3548.74	16.5	18.3	16.0	18.8	15.3	19.1	14.3	19.2
	64	8,000	1906.34	17.4	15.9	17.1	19.9	16.4	20.2	15.7	20.5
	512	1,000	469.24	19.2	17.6	19.1	21.9	18.7	19.2	18.1	22.8
Sinc3	64	8,000	2756.43	15.6	17.4	15.5	18.3	15.3	19.1	14.8	19.6
	128	4,000	1695.23	17.2	19.0	17.2	19.9	16.8	20.6	16.1	20.9
	256	2,000	1164.63	18.3	20.0	18.2	21.0	17.8	21.6	17.1	21.9
	1024	500	766.68	19.4	21.2	19.3	22.2	19.0	22.8	18.4	23.1

診断とモニタリング

自己診断エラー

AD7771 は正しい動作を保証するための自己診断機能を備えています。エラーが検出されると、ALERT ピン（ピン制御モードではピン 18、SPI 制御モードではピン 16）がハイ・レベルになり、コントローラへの外部割込みを発生させます。また、 $\Sigma\Delta$ 出力データのヘッダーには、コントローラにチップ・エラーを通知するアラート・ビットがあります（「ADC 変換出力-ヘッダーとデータ」のセクションを参照）。

エラーがなくなると、ALERT のピンおよびビット（ステータス・ヘッダー）の両方が自動的にクリアされます。SPI に関するエラーは自動的に回復しません。エラーをクリアするには、適切なレジスタを読み出します。ビットを読み出した後の次の SPI アクセスで ALERT ピンおよびビットがリセットされます。

エラー検出器が手動でディスエーブルされている場合、内部エラーは生成されないためレジスタ・マップや ALERT のピンおよびビットはトリガされません。

エラーには、表 28 に示すようなさまざまなソースがあります。ピン制御モードではエラー・ソースをチェックできないので、エラー・ソースの一部はイネーブルされません。SPI 制御モードでは、適切なレジスタ・ビットを読み出すことによってエラー・ソースを確認します。

表 28 に示すように、STATUS_REG_x レジスタのビットによって、エラーを生成したレジスタを特定します。

表 28. レジスタのエラー・ソース

Bit Name	Register Source
ERR_LOC_GEN2	GEN_ERR_REG_2
ERR_LOC_GEN1	GEN_ERR_REG_1
ERR_LOC_CH7	CH7_ERR_REG
ERR_LOC_CH6	CH6_ERR_REG
ERR_LOC_CH5	CH5_ERR_REG
ERR_LOC_CH4	CH4_ERR_REG
ERR_LOC_CH3	CH3_ERR_REG
ERR_LOC_CH2	CH2_ERR_REG
ERR_LOC_CH1	CH1_ERR_REG
ERR_LOC_CH0	CH0_ERR_REG
ERR_LOC_SAT_CH6_7	CH6_7_SAT_ERR
ERR_LOC_SAT_CH4_5	CH4_5_SAT_ERR
ERR_LOC_SAT_CH2_3	CH2_3_SAT_ERR
ERR_LOC_SAT_CH0_1	CH0_1_SAT_ERR

また、STATUS_REG_x レジスタには、内部エラー・ビットがセットされているかどうかを示す CHIP_ERROR ビットがあります。エラーがなくなつてからレジスタを読み出すと、このビットはクリアされます。

STATUS_REG_3 の INIT_COMPLETE ビットは、デバイスが正しく初期化されていることを示します。このビットはエラー・ビットではなく指標です。

一般エラー

MCLK スイッチ・エラー (SPI 制御モード)

電源投入後、AD7771 はクロッキング・ハンドオーバー・シーケンスを開始して、クロッキング制御を外部発振器または CMOS クロックに渡します。SPI モードでは、ハンドオーバーでエラーが発生した場合、一般エラー・レジスタ

GEN_ERR_REG_2 の EXT_MCLK_SWITCH_ERR ビットがセットされます。

EXT_MCLK_SWITCH_ERR がセットされた場合は、デバイスが内部発振器を使って動作していることを意味します。

低速の (265 kHz 未満の) 外部クロックを使用するには、CLK_QUAL_DIS ビットをセットします。このビットをセットすると、エラー・ビットもクリアされます。

外部クロックが 132 kHz ~ 265 kHz の場合は、内部発振器と外部クロック間の内部同期によってはエラーがトリガされないことがあります。それでも、CLK_QUAL_DIS ビットをセットすることをお勧めします。

低速クロックを使用しないでエラーがトリガされた場合は、リセットが必要です。

リセットの検出

AD7771 の一般エラー・レジスタには RESET_DETECTED ビットがあります。このビットは、AD7771 にリセット・パルスが与えられるとアサートされ、一般エラー・レジスタを読み出すことによってクリアされます。このビットは、パワーオン・リセット (POR) によってデバイスが正しく初期化されたことを示します。また、予期しないデバイスのリセットや RESET ピンのグリッチを検出するのにも使用できます。SPI 制御モードでこのエラー信号をリセットするには、SYNC_IN ピンをトグルするか、一般エラー・レジスタ、GEN_ERR_REG_2 を読み出します。ピン制御モードでこのエラー信号をリセットするには、SYNC_IN ピンをトグルします。

内部 LDO ステータス

AD7771 は、内部のアナログとデジタルの電源を調整するために 3 個の内部 LDO を備えています。これらの LDO には内部電源モニターがあります。内部コンパレータはこれらの電源を監視し、所定の制限値を超えた場合にエラーを通知します。

ALDO1_PSM_ERR、ALDO2_PSM_ERR、DLDO_PSM_ERR の各ビットは、LDO の故障、または LDO がバイパスされている場合は、外部電源の異常のいずれかを示します。

内部のアナログおよびデジタルの電圧モニターは、LDO_PSM_TEST_EN ビットを適切に選択することでディスエーブルすることができます。

エラーを確認するには、SAR ADC を使用します。

また、検出器が正しく動作しているかどうかを確認するのに、LDO_PSM_TRIP_TEST_EN ビットを適宜セットすることによって、内部モニターのレベルを手動でトリガすることができます。これらのビットはコンパレータ・ウィンドウの閾値を LDO 出力よりも増加させ、コンパレータを強制的にトリガします。

ROM およびメモリ・マップ CRC

ROM 検証の際、電源投入時にエラーが発見された場合や内部メモリ・マップが破損している場合は、AD7771 はエラーを発生し、エラーの原因に応じて MEMMAP_CRC_ERR または ROM_CRC_ERR をセットします。

MEMMAP_CRC_TEST_EN ビットおよび ROM_CRC_TEST_EN ビットをクリアすることによってチェッカーをディスエーブルすることができます。

これらのエラーのいずれかがトリガされた場合は、デバイスをリセットする必要があります。

Σ-Δ ADC エラー

リファレンス検出 (SPI 制御モード)

SPI 制御モードにおいて、変換やキャリブレーションのための有効なリファレンスが存在することを検出する回路が AD7771 に内蔵されています。選択した REF_{x+} ピンと REF_{x-} ピン間の電圧が 0.7 V を下回ると、AD7771 は有効なリファレンスが存在しないことを検出します。これの影響を受けたチャンネルを識別するには CH_x_ERR_REF_DET を調べます。調べることによって、エラーがすでに存在しない場合はこのビットがクリアされます。この電圧検出器は、REF_DET_TEST_EN ビットをクリアすることでディスエーブルすることができます。

エラーを確認するには、Σ-Δ ADC 診断または SAR ADC を使用します。

過電圧イベントと低電圧イベント

AD7771 は過電圧回路と低電圧回路をそれぞれのアナログ入力ピンに搭載しています。アナログ入力ピンの電圧が AVDD1_x + 0.04 mV を超えると、CH_x_ERR_AIN_x_OV ビットがセットされます。入力電圧が AVDD1_x - 40 mV を下回ると、このエラーは解消されます。

低電圧イベント (AVSS_x - 40 mV) が発生すると、CH_x_ERR_AIN_x_UV ビットがセットされます。入力電圧が AVSS_x + 0.04 V まで増加すると、このエラーは解消されます。

これの影響を受けたチャンネル入力を確認するには、CH_x_ERR_AINM_UV、CH_x_ERR_AINM_OV、CH_x_ERR_AINP_UV、CH_x_ERR_AINP_OV の各ビットを読み出します。こうすると、エラーがすでに存在しない場合に、これらのビットをクリアすることができます。過電圧と低電圧の検出は、AINM_UV_TEST_EN、AINM_OV_TEST_EN、AINP_UV_TEST_EN、または AINP_OV_TEST_EN の各ビットをクリアすることで個別にディスエーブルすることができます。

入力電圧は SAR ADC で個別にチェックできます。

変調器の飽和

AD7771 の各 Σ-Δ ADC は変調器の飽和検出機能を備えています。変調器の 20 個の連続するコードがすべて 1 または 0 の場合、変調器の飽和イベントとして、この状態がフラグされます。エラーが自動的に修正された場合、CH_x_ERR_MOD_SAT を読み出すと、ビットがクリアされます。

変調器の飽和検出は、MOD_SAT_TEST_EN ビットをクリアすることでディスエーブルすることができます。

変調器の入力電圧は内部で減衰されることに注意してください。すなわち、すべて 1 または 0 の変調器出力は、変調器が範囲外であって、RESET パルスが必要であることを意味しています。

フィルタ飽和

AD7771 は、各 Σ-Δ ADC チャンネルにデジタル・フィルタの飽和検出機能を備えています。この検出は、フィルタ出力が範囲外にあって、出力コードが正または負のフルスケールよりも約 20 % 高いことを示します。CH_x_ERR_FILTER_SAT ビットを読み出すと、エラーが自己修正されている場合は、このビットがクリアされます。

この検出は、FILTER_SAT_TEST_EN ビットをクリアすることでディスエーブルすることができます。

出力飽和

出力飽和イベントは、ゲインおよびオフセットのキャリブレーションによって、デジタル・フィルタからの出力が正または負のフルスケールでクリップしたときに発生することがあります。出力は折り返しません。CH_x_ERR_OUTPUT_SAT ビットを読み出すと、エラーが自己修正されている場合は、ビットがクリアされます。

この検出は、OUTPUT_SAT_TEST_EN ビットをクリアすることでディスエーブルすることができます。

SPI 伝送エラー (SPI 制御モード)

すべての SPI エラーは、SPI エラーが含まれている GEN_ERR_REG_1 を読み出すとクリアされます。これらのエラーは自動的に回復しないので、エラー・レジスタを読み出すまでは、ALERT ピンと ALERT ビットはセットされたままになります。

CRC チェックサム・エラー

SPI_CRC_TEST_EN ビットをセットして CRC チェックサムがインーブルされた場合は、CRC メッセージが AD7771 内部の CRC ブロックで計算されたメッセージと一致しない場合にエラー・ビット SPI_CRC_ERR がセットされます。CRC メッセージが内部で計算されたメッセージと一致しない場合、レジスタは更新されません。

SCLK カウンタ

CS がハイ・レベルになった後に、コントローラが生成したクロック数が 8 の倍数でない場合は、エラー・ビット SPI_CLK_COUNT_ERR がセットされます。8 の倍数の最後のコマンドが実行されます。ただし、SPI_CLK_COUNT_TEST_EN ビットをセットすることで、SCLK カウンタをディスエーブルすることができます。

無効読出し

無効なレジスタ・アドレスを読み出そうとすると、SPI_INVALID_READ_ERR ビットがセットされます。

無効な読出しアドレスの検出は、SPI_INVALID_READ_TEST_EN ビットをセットすることでディスエーブルすることができます。

無効書込み

無効なレジスタ・アドレスを書き込もうとすると、SPI_INVALID_WRITE_ERR ビットがセットされます。

無効な書込みアドレスの検出は、SPI_INVALID_WRITE_TEST_EN ビットをセットすることでディスエーブルすることができます。

AD7771 の SAR ADC を用いたモニタリング (SPI 制御モード)

AD7771 は、チップ診断、システム診断、測定検証のための SAR ADC を内蔵しています。SAR ADC の分解能は 12 ビットです。AVDD4 ピンと AVSS4 ピンは Σ-Δ ADC 電源とは完全に独立して動作するので、機能の安全性が重視されるシステムでチップ診断に使用することができます。SAR 変換処理のためのリファレンスは SAR ADC の電源電圧 (AVDD4/AVSS4) から与えられるため、SAR のアナログ入力範囲は AVSS4 ~ AVDD4 となります。

SAR ADC のスループット・レートは最大 256 kSPS です。CONVST_SAR ピンにより SAR ADC での変換が開始されます。CONVST_SAR ピンの最大許容周波数は 256 kHz です。SAR ADC で連続変換を行う場合、新しい変換を行う前に、前の変換結果を読み出してください。そうしないと、変換結果が破壊されます。

SAR ADC は SPI 制御モードでのみ使用可能です。SAR ADC から変換結果を読み出すには、SAR_DIAG_MODE_EN ビットをセットします。このビットをセットすると、図 121 に示すように、SDO ピンからシフト・アウトするすべてのデータは SAR ADC の変換から生じるものになります。

誤ったトリガを防ぐために、CONVST_SAR 信号を内部でデグリッチすることができます。

表 29. SAR の同期とデグリッチ

CONVST_DEGLITCH_DIS (Register 0x013, Bits[7:6])	Effect on CONVST_SAR
11	CONVST_SAR goes directly to the SAR
10	CONVST_SAR reaches the SAR when it is 1.5/MCLK cycles wide

デグリッチ回路をイネーブルする場合は、1.5/MCLK だけ収集時間を増やします。

AD7771 は、SAR ADC の前段に内部マルチプレクサを配置しています。このマルチプレクサは、SAR ADC への入力に対して、診断の場合に内部回路ノードに設定するか、あるいは外部の AUXAIN+ ピンおよび AUXAIN- ピンを選択するかを、SPI を介して設定することができます。

SAR ADC は外部電圧の変換に加え、AVDD、IOVDD、DGND ピンの内部ノードや、DLDO 出力とアナログ LDO (ALDO) 出力を監視します。表 30 に示すように、一部の電圧は内部で 6分の1に減衰され、その電圧が SAR ADC に与えられます。この機能は、電源電圧の変動を監視するときに便利です。

SAR の入力マルチプレクサは GLOBAL_MUX_CONFIG レジスタによって制御され、表 30 に示すようにさまざまな入力に適用できます。

図 122 に示すように、SAR ADC は SAR ドライバ・アンプも内蔵しています。このアンプは、SAR 入力を t_{33} の時間内に 12 ビット精度へ安定させます。このドライバ・アンプは、SAR コンバータからグローバル診断マルチプレクサ入力回路ノードへのキックバックを最小限に抑えることができます。

Σ - Δ の測定値を検証するには、補助入力である AUXAIN+ および AUXIN- を使用します。SPI 制御モードで動作中は、AD7771 は SPI を介して制御される 3 個の GPIOx ポートを使用できません。GPIOx ピンは外部のデュアル 8:1 マルチプレクサを制御するのに使用できます。このマルチプレクサは 8 チャンネルの Σ - Δ をサンプリングするのに使用します。これは、機能の安全性が要求されるアプリケーションで診断に使用します。このような診断では、 Σ - Δ チャンネルでプライマリの測定を検証する際にセカンダリの外部 ADC が不要となります。

温度センサー

内部ダイ温度を $\pm 2^\circ\text{C}$ の誤差で測定できます。差動電圧ベース・エミッタ (DV_{BE}) は、 25°C を基準として測定した温度に比例します。

$$\text{温度} (^\circ\text{C}) = \frac{DV_{BE} - 0.6 \text{ V}}{2 \text{ mV}}$$

表 30. SAR マルチプレクサ入力

SAR Input	Positive Signal	Negative Signal	Attenuation \div 6
0	AUXAIN+	AUXAIN-	No
1	DV_{BE}	AVSSx	No
2	REF1+	REF1-	No
3	REF2+	REF2-	No
4	REF_OUT	AVSSx	No
5	VCM	AVSSx	No
6	AREG1CAP	AVSSx	Yes
7	AREG2CAP	AVSSx	Yes
8	DREGCAP	DGND	Yes
9	AVDD1A	AVSSx	Yes
10	AVDD1B	AVSSx	Yes
11	AVDD2A	AVSSx	Yes
12	AVDD2B	AVSSx	Yes
13	IOVDD	DGND	Yes
14	AVDD4	AVSSx	No
15	DGND	AVSSx	Yes
16	DGND	AVSSx	Yes
17	DGND	AVSSx	Yes
18	AVDD4	AVSSx	Yes
19	REF1+	AVSSx	No
20	REF2+	AVSSx	No
21	AVSSx	AVDD4	Yes

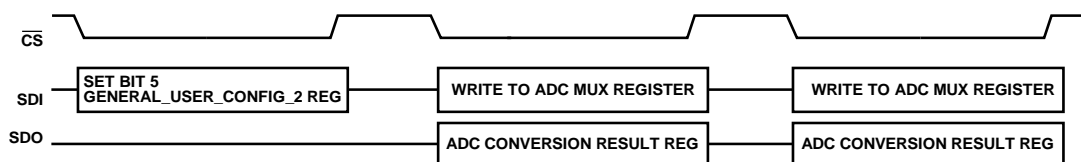


図 121. SPI が SAR ADC から読み出すように AD7771 を設定

13862-121

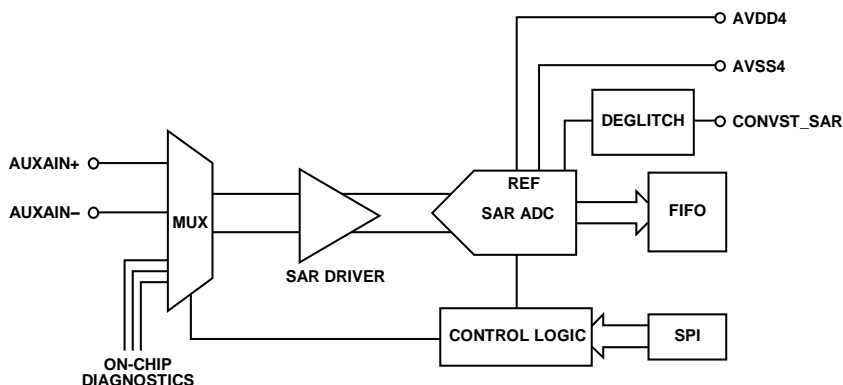


図 122. SAR ADC の構成と管理

表 31. Σ - Δ 診断

Input	Voltage	Recommended Voltage Reference	Notes/Result
0	Floating	Not applicable	Not applicable
1	Floating	Not applicable	Not applicable
2	280 mV differential signal	Internal/external	PGA gain verification
3	External reference, positive/negative	External	Positive full scale
4	External reference, negative/positive	External	Negative full scale
5	External reference, negative/negative	External	Zero scale
6	Internal reference, positive/negative	Internal	Positive full scale
7	Internal reference, negative/positive	Internal	Negative full scale
8	Internal reference, positive/positive	Internal	Zero scale
9	External reference, positive/positive	External	Zero scale

Σ - Δ ADC 診断 (SPI 制御モード)

AD7771 の Σ - Δ ADC による診断機能は SPI を介して利用することができます。PGA の前段に配置された内部マルチプレクサはさまざまな入力を持ち、 Σ - Δ ADC に対してゼロスケール、正のフルスケール、または負のフルスケールの入力を選択できます。これらの入力は、 Σ - Δ ADC チャンネルの正常動作を検証するように変換できます。

診断マルチプレクサ制御信号は、 Σ - Δ のすべてのチャンネルで共有されます。選択した診断に応じて、変換を測定可能な範囲内に収めるために、 Σ - Δ ADC リファレンスをさまざまなリファレンス・ソースに接続します。

診断マルチプレクサをイネーブルするには次の 2 つの方法があります。

- **CHx_RX** ビットをセットする。このビットは入力の Σ - Δ マルチプレクサをイネーブルします。マルチプレクサの入力を表 31 に示します。変換時に使用されるリファレンスは **REF_MUX_CTRL** ビットによって制御されます。
- **CHx_REF_MONITOR** をセットする。このビットは **CHx_RX** ビットをイネーブルしたのと同じ効果を持ち、主リファレンスとして **VDD1x/AVSSx** 電源を選択します。

AINx (\pm) ピンを **AVSSx** に接続している場合は、入力範囲が **AVSSx + 100 mV** の範囲外になるため、得られる結果は期待値と若干異なる場合があります。

代わりに、入力はゲインとオフセットのエラーを校正するのにも使用できます。

Σ-Δ 出力データ

ADC 変換出力 — ヘッダーとデータ

AD7771 の Σ-Δ 変換結果は、選択したインターフェースに応じて、DOUT0 ~ DOUT3 の各ピン、または SPI を介して出力されます。DOUTx インターフェースを選択した場合は、AD7771 は伝送の際のマスターとして機能します。SPI を選択した場合は、コントローラがマスターとなります。

DRDY 信号は、Σ-Δ 変換の読出しに選択するインターフェースとは無関係に、変換の終了を示します。Σ-Δ 変換の読出しに SPI を使用する場合は、前回の変換データの読出し前に新しい変換が完了する (DRDY の立下がりエッジ) と、前回の変換結果が上書きされるため、前回の変換データが破損します。

各チャンネルの幅は 32 ビット長です。図 123 に示すように、このうち 8 ビットはヘッダー、24 ビットは Σ-Δ 変換に割り当てられています。

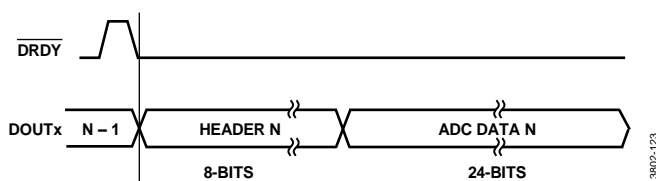


図 123. ADC が出力する 8 ビットのヘッダーと 24 ビットの変換データ

ヘッダーは、ピン制御モードでは CRC に固定され、SPI モードでは CRC ヘッダーとエラー・ヘッダーのどちらかを選択できます。

CRC ヘッダー

ヘッダーは、ピン制御モードでは CRC ヘッダーとなり、SPI 制御モードでは DOUT_HEADER_FORMAT がセットされている場合に CRC ヘッダーとなります。

図 124 に示すように、このヘッダーは、アラート・ビット、ADC チャンネル ID の 3 ビット (表 32 参照)、および CRC の 4 ビットから構成されます。

アラート・ビットは、「一般エラー」のセクションで述べたように、いずれかのチャンネルでエラーが検出された場合にハイ・レベルに設定されます。エラーがなくなるまで、アラート・ビットは 1 に設定されたままです。

ALERT	CHANNEL NUMBER	CHANNEL NUMBER	CHANNEL NUMBER	CRC	CRC	CRC	CRC

図 124. CRC ヘッダー

表 35. ステータス・ヘッダ出力

Bits	Name	Description
7	Alert	イネーブルされている診断機能がエラーを検出した場合、このビットはハイ・レベルに設定されます。例えば、外部クロックが検出されない場合、メモリ・マップのビットが反転した場合、内部 CRC エラーなどです。このビットはチャンネル固有のものではありません。エラーがなくなると、このビットはクリアされます。
6:4	CH_ID_[2:0]	これらのビットは、後続の変換データの送信元である ADC チャンネルを示します (表 32 参照)。
3	RESET_DETECTED	このビットはリセット状態が発生したことを示します。このビットはチャンネル固有のものではありません。
2	MODULATOR_SATURATE	このビットは、変調器出力で 0 または 1 が 20 個連続したことを示します。エラーがなくなると、このビットは自動的にリセットされます。
1	FILTER_SATURATE	このビットは、フィルタ出力が範囲外になったことを示します。エラーがなくなると、このビットは自動的にリセットされます。
0	AIN_OV_UVERROR	このビットは、AINx± 入力が過電圧または低電圧の状態であることを示します。このビットは、適切なレジスタを読み出して、エラーが存在しなくなるまでセットされます。

表 32. チャンネル ID

Channzel	CH_ID_2	CH_ID_1	CH_ID_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

生成される CRC は 8 ビット長です。このうち、表 33 に示すように、4 つの MSB は第 1 チャンネルのヘッダーに配置され、4 つの LSB は第 2 チャンネルのヘッダーに配置されます。チャンネルがディスエーブルされている場合は、このチャンネルの 24 ビット出力データは 0x000000 になります。

表 33. 8 ビットの CRC、ヘッダー構成 (チャンネル 2)

CE	0	1	0	CRC7	CRC6	CRC5	CRC4

表 34. 8 ビットの CRC、ヘッダー構成 (チャンネル 3)

CE	0	1	1	CRC3	CRC2	CRC1	CRC0

エラー・ヘッダー (SPI 制御モード)

SPI 制御モードでは、デフォルトのヘッダーをエラー・ヘッダーに置き換えることができます。Σ-Δ 変換を SPI インターフェースを介して読み出す場合は、SPI_CRC_TEST_EN ビットをクリアすることで CRC をディスエーブルします。DOUTx インターフェースを使用する場合は、DOUT_HEADER_FORMAT ビットをクリアします。

表 35 に示すように、エラー・ヘッダーは各チャンネルに固有の一般エラー・ソース情報を提供します。「Σ-Δ ADC エラー」のセクションで述べたように、このエラーのチェッカーを個別にディスエーブルしている場合でも、変調器エラーとフィルタ・エラーは示されます。

サンプル・レート・コンバータ (SRC) (SPI 制御モード)

AD7771 は各 Σ - Δ チャンネルに特許取得済みの SRC と呼ばれる機能を実装しています。この機能により、出力データ・レートやサンプリング周波数を、非整数値を含む任意の値に設定することができます。SRC は、 Σ - Δ ADC の ODR の分解能を最大 15.2 μ SPS まで細かく制御できます。サンプリングの同期性を維持するために、入力信号の変動に従って ODR が変化しなければならないアプリケーションでは、SRC が ODR を微調整します。例えば、電力品質アプリケーションにおいて最高分類基準であるクラス A を達成するには、入力電力ラインで同期性を 0.01 Hz の変動に維持する必要があります。SRC を使用して、このサンプリング周波数の精度を実現します。

ピン制御モードでは、あらかじめ規定したピン制御オプションに従って ODR は設定されます。したがって、表 13 に示すように、非整数を選択することはできません。

ODR を設定するには、デシメーション値に応じて、最大 4 個のレジスタを設定する必要があります。2 個のレジスタに整数値 N (実効デシメーション・レート) を、2 個のレジスタに小数値である補間係数 (IF) を設定します。

整数値レジスタは、SRC_N_MSB のビット [3:0] および SRC_N_LSB のビット [7:0] です。小数値レジスタは、SRC_IF_MSB のビット [7:0] および SRC_IF_LSB のビット [7:0] です。

例えば、2.8 kHz の出力データ・レートが必要な場合、デシメーション・レートは次のようになります。

- 高分解能モード = 2048/2.8 = 731.428
- 低消費電力モード = 512/2.8 = 182.857

高分解能モードのレジスタの値は次のとおりです。

- 731 (10 進数) = 0x2DB
- SRC_N_MSB、ビット [3:0] = 0x02
- SRC_N_LSB、ビット [7:0] = 0xDB
- 0.428 (10 進数) = 0.428 \times 2¹⁶ = 28048 (10 進数) = 0x6D91
- SRC_IF_MSB、ビット [7:0] = 0x6D
- SRC_IF_LSB、ビット [7:0] = 0x91

SRC 分解能は、デシメーションの 10 進値と変調器クロック (MOD_MCLK) によって決まり、次式で計算することができます。

$$Resolution = \frac{MOD_{MCLK}}{2^{16} \times DEC^2 + 3 \times DEC + 2} \times \frac{1}{2^{16}}$$

ここで

MOD_MCLK は変調器の周波数です。

DEC はデシメーション・レートの小数部

高分解能モードで、デシメーションの小数部が 450 の場合、分解能は次のようになります。

$$\frac{2048}{2^{16} \times 450^2 + 3 \times 450^2} \times \frac{1}{2^{16}} = 15.2 \times 10^{-6} \text{ SPS}$$

ODR は随時更新することができますが、新しい ODR は Σ - Δ ADC の 3 変換サイクル後に有効になります。この条件により、変換結果が範囲外になることなく、スムーズに移行されます。

新しい値を SRC レジスタに書き込んだ後で ODR を変更するには次の 2 つの方法があります。すなわち、SRC_LOAD_SOURCE ビット (SRC_UPDATE レジスタのビット 7) に従い、ソフトウェアまたはハードウェアを介して行います。

SRC_LOAD_SOURCE ビットがクリアされている場合は、SRC_LOAD_UPDATE ビットを 1 に設定することで新しい ODR の値に更新されます。このビットは、少なくとも 2 つの MCLK 期間はハイ・レベルに保持しなければなりません。次の更新を実行する前にこのビットを 0 に戻します。

SRC_LOAD_SOURCE がセットされている場合、GPIO0 ピンが ODR の更新を外部で制御します。GPIO2 ピンにパルスを与えると、外部 MCLK クロックに内部で同期し、得られた同期信号が GPIO1 ピンに出力されます。

GPIO1 ピンと GPIO0 ピンは外部で接続する必要があります。

複数の AD7771 デバイスを同期させる必要がある場合、1 個のデバイスの GPIO1 ピンを複数のデバイスへ接続することができます。この同期方法では、接続されたすべての AD7771 デバイスに対して共通の MCLK 信号を使う必要があります (図 125 参照)。

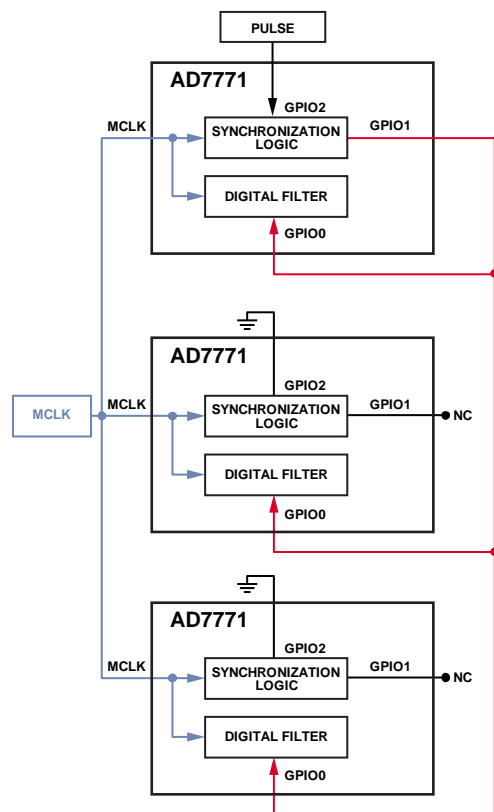


図 125. ハードウェア ODR 更新

13902-125

SRC の帯域幅

Sinc3 および Sinc5 フィルタ・アーキテクチャにより、デシメーション範囲に非整数値を選択することが可能です。この汎用性は、フィルタのノッチを動的に調整する必要があることを意味します。すなわち、PGA のチョッピング・トーンを除去するために、可変周波数の 2 つのノッチ(sinc3)または 4 つのノッチ

(sinc5)、および 1 つの固定ノッチが必要です。その結果、-0.1 dB および -3 dB の帯域幅に対する従来の式は、選択するデシメーション・レートに応じて調整する必要があります。

帯域幅の伝達関数は線形ではありませんが、線形関数を用いて近似することが可能です。

図 126 ~ 図 129 はそれぞれ、-0.1 dB および -3 dB の帯域幅の補正係数を示しています。低消費電力モードでは、オフセットは 4 で除算する必要があります。例えば、sinc5 で ODR = 1000 SPS の場合、-0.1 dB のポイントは次のようになります。

$$BW = 0.0377 \times 1000 + \frac{49.355}{4} = 50.03 \text{ Hz}$$

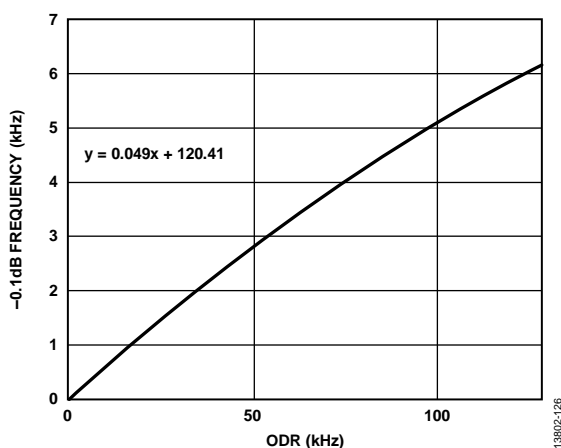


図 126. -0.1 dB の補正係数、Sinc3 フィルタが有効

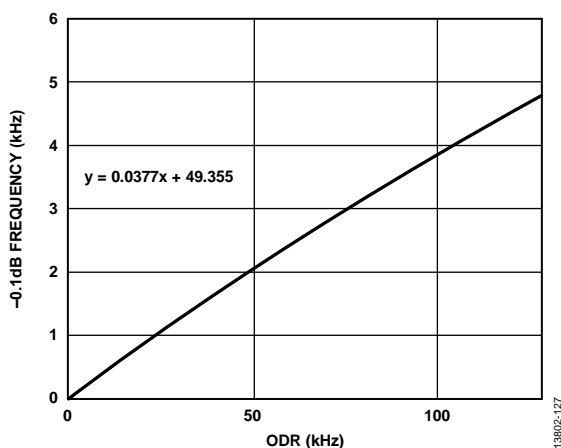


図 127. -0.1 dB の補正係数、Sinc5 フィルタが有効

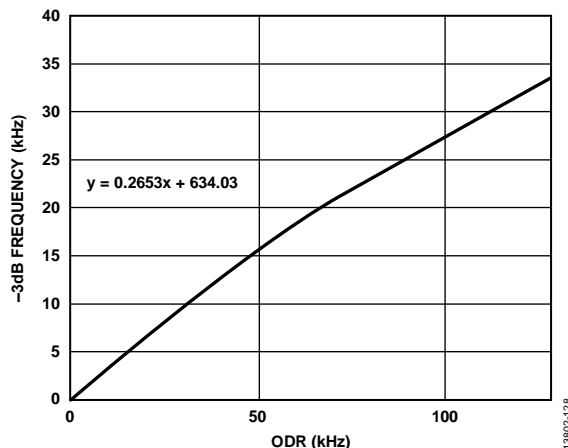


図 128. -3 dB の補正係数、Sinc3 フィルタが有効

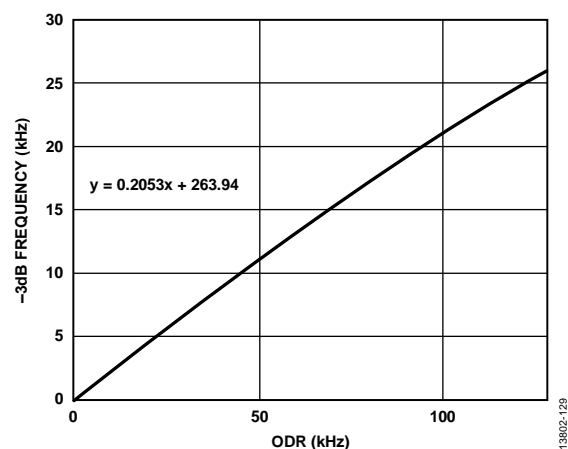


図 129. -3 dB の補正係数、Sinc5 フィルタが有効

SRC の群遅延

SRC の群遅延は、選択した ODR に依存し、次の式で定義されます。

$$SRC \text{ の群遅延} = \frac{PM + SRC_N}{SRC_N \times ODR}$$

ここで

PM は定数で値は 8。

SRC_N は設定された ODR の整数値。

ODR は設定された出力データ・レート。

Sinc5 フィルタを使用する場合、群遅延は次の式で定義されます。

$$SRC \text{ の群遅延} = \frac{PM + 2 \times SRC_N}{SRC_N \times ODR}$$

遅延は、群遅延とキャリブレーション時間によって決まります。

$$\text{遅延} = \text{群遅延} + t_{CAL}$$

高分解能モードでは、キャリブレーション遅延は、 $62 \times t_{MCLK}$ で規定され、最大誤差は $2 \times t_{MCLK}$ です。低消費電力モードでは、キャリブレーション遅延は $121 \times t_{MCLK}$ 、最大誤差は $4 \times t_{MCLK}$ と規定されます。 t_{MCLK} は変調器の周期で、高分解能モードでは 488 ns、低消費電力モードでは 1.9 μ s です。

セトリング時間

セトリング時間は、すべての内部ステージ、フィルタ遅延、およびブロック・キャリブレーションの影響によって決まります。

sinc3 フィルタ・オプションを使用するときは、フィルタの遅延は 3/ODR です。外部パルスを与えるような極端なケースでは、この値は 4/ODR に増加する可能性があります。sinc5 フィルタを使用する場合、フィルタの遅延は 5/ODR、極端なケースでは 6/ODR です。

データ出インターフェース

Σ-Δ 出力データのインターフェースは、電源投入時にピン制御モードで CONVST_SAR、FORMAT0、FORMAT1 の各ピンで決まります。FORMATx ピンは動的に変更することはできません。

表 36. DOUTx チャンネル

DOUT_FORMAT Bits/ FORMATx Pins	Number of DOUTx Lines Enabled	Associated Channels
00	4	DOUT0—Channel 0 and Channel 1 DOUT1—Channel 2 and Channel 3 DOUT2—Channel 4 and Channel 5 DOUT3—Channel 6 and Channel 7
01	2	DOUT0—Channel 0, Channel 1, Channel 2, and Channel 3 DOUT1—Channel 4, Channel 5, Channel 6, and Channel 7
10 or 11	1	DOUT0—Channel 0, Channel 1, Channel 2, Channel 3, Channel 4, Channel 5, Channel 6, and Channel 7

ん。ピン制御モードで使用可能なオプションを表 14 に示します。デバイスを SPI 制御モードに設定している場合は、SPI_SLAVE_MODE_EN ビットによって、SPI が Σ-Δ ADC の変換結果を送信することができます (表 22 を参照)。

DOUT3 ~ DOUT0 データ・インターフェース
スタンドアロン・モード

スタンドアロン・モードでは、AD7771 のインターフェースはマスターとして動作します。DOUT の設定方法には 3 種類あり、図 130 ~ 132 に示すように、ピン制御モードで FORMATx ピンを使用して設定するか、表 36 に示すように、SPI 制御モードで DATE_FORMAT のビット [7:6] を使用して設定します。

図 133、図 134、および図 135 は、それぞれの DOUTx 出力モードで予想されるデータ出力を示しています。

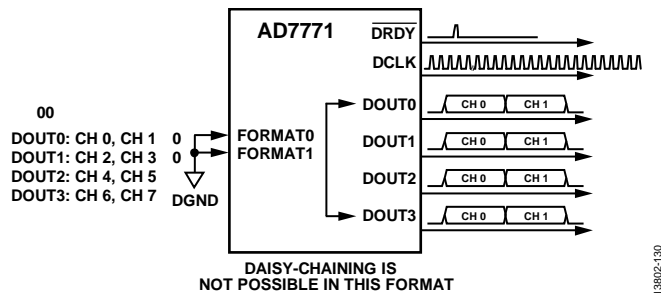


図 130. FORMATx ピンによる設定 — FORMAT0 = 0、FORMAT1 = 0

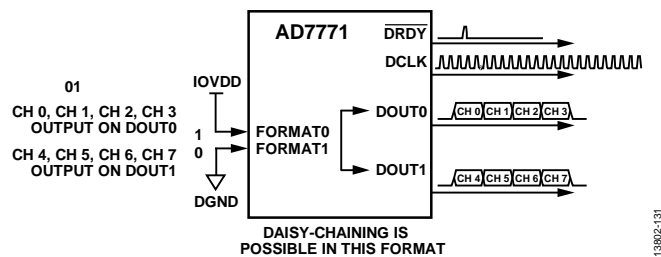


図 131. FORMATx ピンによる設定 — FORMAT0 = 1、FORMAT1 = 0

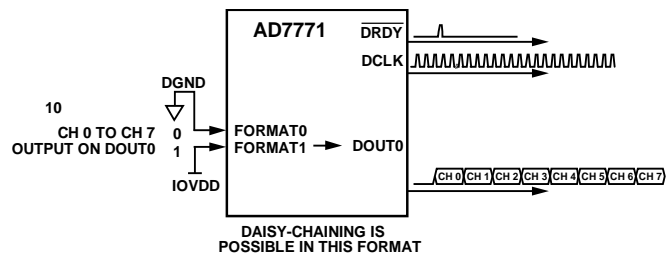


図 132. FORMATx ピンによる設定 — FORMAT0 = 0、FORMAT1 = 1

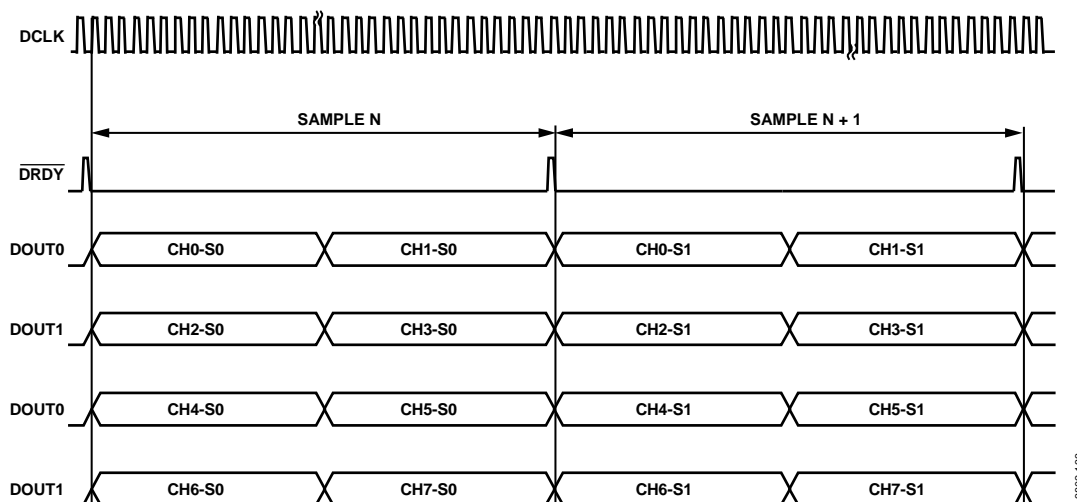


図 133. FORMAT0 = 0, FORMAT1 = 0 — 各 DOUTx は 2 つの ADC 変換結果を出力 (S0 はサンプル 0 を示し、S1 はサンプル 1 を示す)

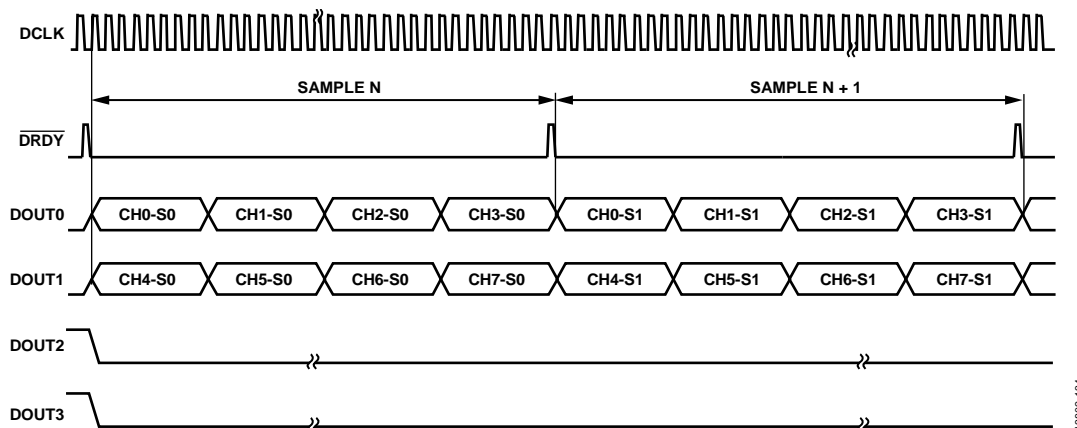


図 134. FORMAT0 = 0, FORMAT1 = 1 — チャンネル 0 ~ チャンネル 3 は DOUT0 を共有し、チャンネル 4 ~ チャンネル 7 は DOUT1 を共有 (S0 はサンプル 0 を示し、S1 はサンプル 1 を示す)

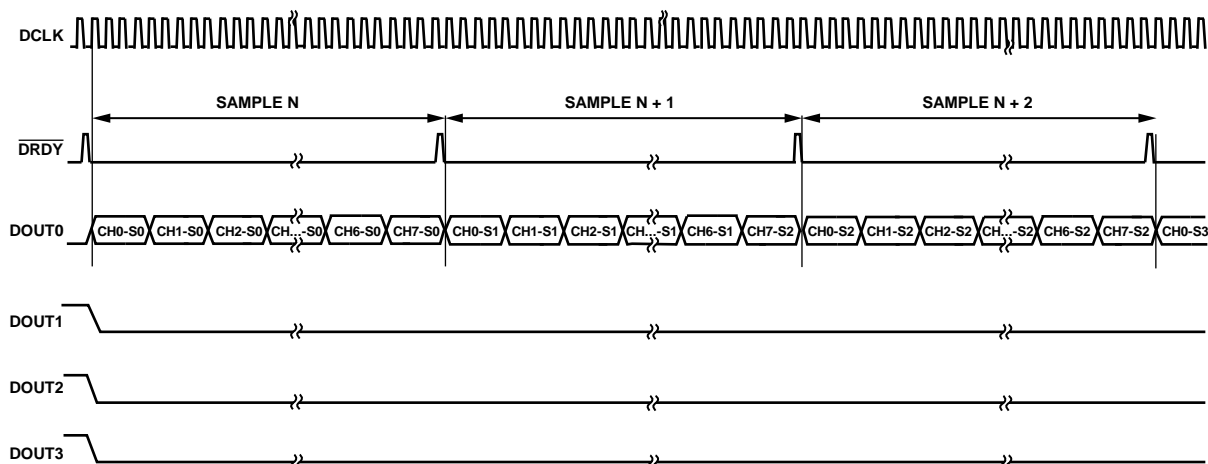


図 135. FORMAT0 = 1, FORMAT1 = 0 — チャンネル 0 ~ チャンネル 7 は DOUT0 にのみ出力 (S0 はサンプル 0 を示し、S1 はサンプル 1 を示す)

デイジーチェーン・モード

デバイスをデイジーチェーン接続すると、別々の AD7771 デバイスからの複数の ADC 出力をカスケード接続することによって、多数のデバイスが同じデータ・インターフェース・ラインを使用することができます。デイジーチェーン構成では、1 個のデバイスだけが DOUTx インターフェースとデジタル・ホスト間を直接接続します。AD7771 におけるデイジーチェーン機能の実装は、複数のデバイスで DOUT0 および DOUT1 をカスケード接続するか、あるいは DOUT0 を使用するだけで行います（使用可能な DOUTx ピンの数は、選択する DOUTx モードに依存）。デイジーチェーン・デバイスの能力およびチェーンによって処理可能なデバイス数の制限は、選択する DCLKx モードおよび使用するデシメーション・レートに依存します。

デイジーチェーン・モードで動作しているときは、チェーン内のすべての AD7771 デバイスが正常に同期化されている必要が

あります。詳細については、「デジタル・リセット・ピンと同期ピン」のセクションを参照してください。

この機能は、部品数と接続配線数を低減するのに特に役立ちます。例えば、孤立した複数のコンバータを使用するアプリケーションやインターフェース能力が制限されているシステムに使用できます

表 37 に示すように、デイジーチェーン動作は 2 種類の設定が可能です。

図 136 に示すように、FORMATx = 10 モードを使用すると、DOUT2 は入力ピンとして動作します。この場合、AD7771 デバイスの DOUT0 ピンは、チェーン内の次のデバイスの DOUT2 ピンにカスケード接続されます。データの読出しは、シフト・レジスタをクロック駆動するのに似ています。この場合、DCLK の立上がりエッジでデータがクロックされます。

表 37. デイジーチェーン動作での DOUTx モード

DOUT_FORMAT Bits/ FORMATx Pins	Number of DOUTx Lines Enabled	Associated Channels
01	2	DOUT0—Channel 0 to Channel 3 and DOUT2 DOUT1—Channel 4 to Channel 7 and DOUT3 DOUT2—input channel DOUT3—input channel
10	1	DOUT0—Channel 0 to Channel 7 and DOUT2 DOUT2—input channel

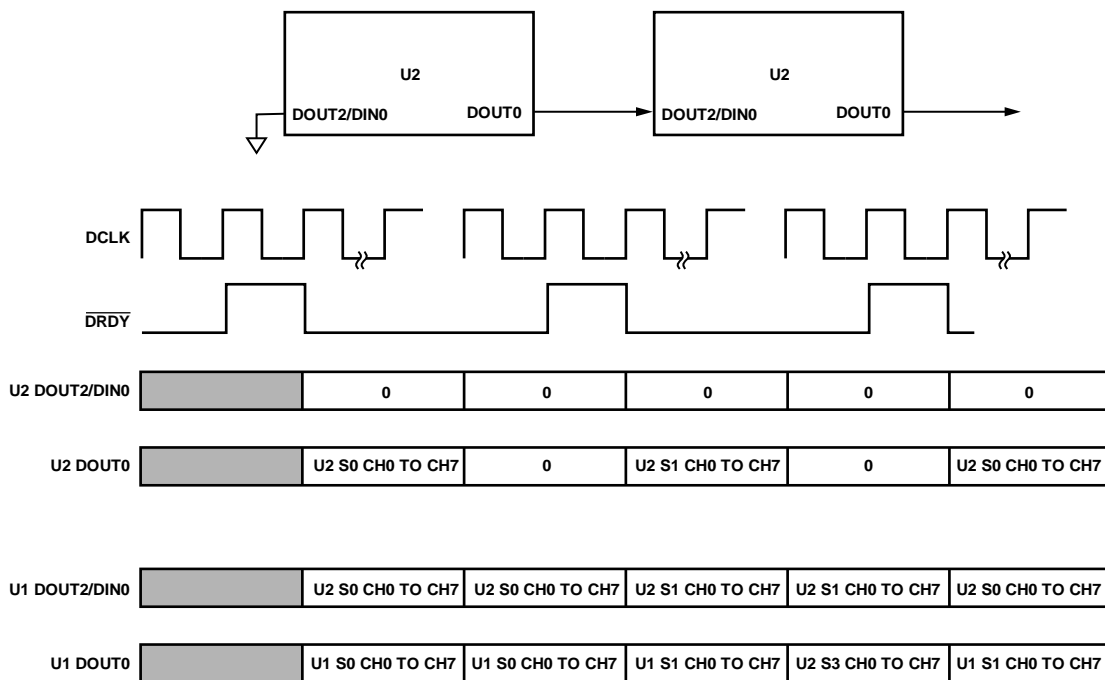


図 136. デイジーチェーン接続モード、FORMAT0 = 1、FORMAT1 = 0（S0 はサンプル 0 を示し、S1 はサンプル 1 を示す）。デイジーチェーン・モードで接続する場合、DOUT2 は入力ピンとして動作し、DIN0 を表す。

最小 DCLKx 周波数

新しい変換が完了する前にデータが完全にシフト・アウトされるように DCLKx 周波数比を選択します。そうしなければ、前の変換結果が上書きされ、伝送内容が破損します。最小の DCLKx 周波数比は、以下の式に示すように、デシメーション・レート、動作モード、および DOUT3 ~ DOUT0 のデータ・インターフェース上でイネーブルされたラインによって決まります。

スタンダアロンの高分解能モード：

$$DCLK_{MIN_RATIO} < Decimation / (8 \times DOUT_FORMAT)$$

スタンダアロンの低消費電力モード：

$$DCLK_{MIN_RATIO} < Decimation / (4 \times DOUT_FORMAT)$$

デジチェーンの高分解能モード：

$$DCLK_{MIN_RATIO} < Decimation / (8 \times Devices \times DOUTx\ Channels)$$

デジチェーンの低消費電力モード：

$$DCLK_{MIN_RATIO} < Decimation / (4 \times Devices \times DOUTx\ Channels)$$

マスター・インターフェース・モード、FORMATx = 01 で動作している例として、DOUT0 ピンと DOUT1 ピンが 4 個の Σ-Δ チャンネルをそれぞれシフト・アウトし、高分解能モードで最大出力レート、デシメーション = 128 と仮定すると、次のようになります。

$$DCLK_{MIN} < 128 / (8 \times 4) = 4$$

必要最低限以上で DCLK_{MIN_RATIO} を選択した場合は、新しいサンプルが使用可能になるまで、ロジック 0 が連続して送信されます。

また、デジチェーン・モードの例では、FORMATx = 01、デバイスを 3 個接続し、高分解能モードでデシメーション・レートが 256 と仮定すると、次のようになります。

$$DCLK_{MIN_RATIO} < 256 / (8 \times 3 \times 4) = 2.66 = 2$$

各種の比を表 38 に示します。

表 38. 使用可能な DCLK 比

DCLK_CLK_DIV (SPI Control Mode), DCLKx (Pin Control Mode)	DCLKx Ratio
000	1
001	2
010	4
011	8
100	16
101	32
110	64
111	128

表 39 および表 40 に示すように、達成可能な最大の ODR、および設定する DOUTx ピン設定に必要な最小の DCLKx 周波数が存在します。

表 39. 高分解能モードにおける最大 ODR と最小 DCLKx 周波数

Decimation Rate	ODR (kSPS)	Minimum DCLKx (kHz) ¹		
		1 × DOUTx	2 × DOUTx	4 × DOUTx
4095	0.500122	128	64	32
2048	1	256	128	64
1024	2	512	256	128
512	4	1024	512	256
256	8	2048	1024	512
128	16	4096	2048	1024
64	32	8192	4096	2048
32	64	N/A	8192	4096
16	128	N/A	N/A	8192

¹ N/A は適用なしを意味します。

表 40. 低電力モードにおける最大 ODR と最小 DCLKx 周波数

Decimation Rate	ODR (kSPS)	Minimum DCLKx (kHz)		
		1 × DOUTx	2 × DOUTx	4 × DOUTx
2048	0.25	64	32	16
1024	0.5	128	64	32
512	1	256	128	64
256	2	512	256	128
128	4	1024	512	256
64	8	2048	1024	512
32	16	4096	2048	1024
16	32	N/A ¹	4096	2048

¹ N/A は適用なしを意味します。

AD7771 が SPI 制御モードで動作する場合は、DOUTx の能力を調整することが可能で、表 41 に示すように DOUT_DRIVE_STR ビットで選択できます。

表 40. 低電力モードにおける最大 ODR と最小 DCLKx 周波数

DOUT_DRIVEz_STR	Mode
00	Nominal
01	Strong
10	Weak
11	Extra strong

SPI

SPI は、プロセッサまたはマイクロコントローラがマスターである場合に、Σ-Δ ADC から変換結果を読み出す際の柔軟性を提供します。

新しい変換が完了すると、データにアクセスできることを示すために、DRDY 信号がトグルされます。DRDY がトグルすると、内部のチャンネル・カウンタがリセットされ、次の SPI 読み出しが再びチャンネル 0 から開始されます。逆に、最後のチャンネルのデータが読み出された後、次の DRDY 信号の前にチャンネル 7 (LSB) からすべての後続を読み出します。

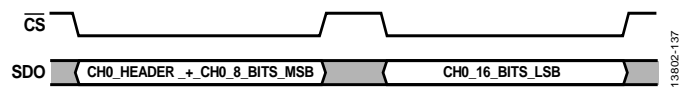


図 137. SPI の読出し、フレームあたり 16 ビット

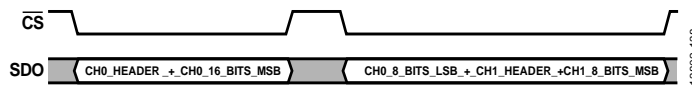


図 138. SPI の読出し、フレームあたり 24 ビット

SPI はフレームあたり 8 ビットの倍数で動作します。図 137 はフレームあたり 16 ビットでの読出しの例を示し、図 138 はフレームあたり 24 ビットでの読出しを示しています。

注意点として、デバイスを SPI 制御モードに設定している場合は、64 個の連続クロックで SDO ピンがハイにサンプリングされた場合、AD7771 はソフトウェア・リセットを生成します。リセットや不要なレジスタ書き込みを回避するには、0x8000 のコマンドを転送することをお奨めします。これによって、「SPI ソフトウェア・リセット」のセクションで述べたように、デバイスから無視される読出しコマンドが生成されます。

CRC チェックサムの計算

AD7771 は、 Σ - Δ 変換結果用と SPI 制御モード用の 2 種類の CRC チェックサム・ジェネレータを実装しています。

AD7771 は CRC 多項式を使用して CRC チェックサム値を計算します。使用する 8 ビットの CRC 多項式は $x^8 + x^2 + x + 1$ です。

多項式の MSB がデータの最も左にあるロジック 1 と揃うように、多項式の位置を合わせます。排他的論理和 (XOR) 関数をデータに適用して、短い数値を新規生成します。多項式の位置を再度調整して、多項式の MSB が、得られたデータの最も左にあるロジック 1 と揃うようにします。このプロセスは、元のデータが多項式の値よりも小さくなるまで繰り返されます。これが 8 ビットのチェックサムです。

12 ビット・データの CRC 計算の例を表 42 に示します。

表 42. 12 ビット・データの CRC 計算の例¹

Data	0	1	1	0	0	1	0	0	1	1	1	0
Polynomial		1	0	0	0	0	0	1	1			
			1	0	0	1	0	1	0	1	1	0
			1	0	0	0	0	0	1	1		
CRC					0	1	0	1	1	1	1	0

¹ この表はデータの除算を表し、空白のセルは、フォーマットの目的に使用している。

Σ - Δ CRC チェックサム

CRC メッセージは、AD7771 の ADC ペアにより内部で計算されます。CRC は、2 つの ADC からの ADC 出力データおよびヘッダーのビット [7:4] を用いて計算されます。したがって、8 ビットの CRC を計算するのに 56 ビットが使用されます。この CRC は、2 チャンネルのヘッダーに分割されます。CRC データは、チャンネル 0 とチャンネル 1、チャンネル 2 とチャンネル 3、チャンネル 4 とチャンネル 5、チャンネル 6 とチャンネル 7 のチャンネルのペアに対応しています。

チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 1 で終わる値を発生させます。

CRC は、2 つの連続するチャンネル・ペア (チャンネル 0 とチャンネル 1、チャンネル 2 とチャンネル 3、チャンネル 4 とチャンネル 5、チャンネル 6 とチャンネル 7) にまたがる 56 ビットから計算されます。この 56 ビットは、ペアにしたチャンネルのそれぞれのアラート・ビット、最初の ADC チャンネル・ペア用の 3 ビット、データ用の 24 ビットで構成されます。例えば、2 番目のチャンネル・ペアである (チャンネル 2 とチャンネル 3) については次のようになります。

$$56 \text{ ビット} = \text{アラート・ビット} + \text{ADC チャンネルの 3 ビット (010)} + 24 \text{ データ・ビット (チャンネル 2)} + \text{アラート・ビット} + \text{ADC チャンネルの 3 ビット (011)} + 24 \text{ データ・ビット (チャンネル 3)}$$

SPI 制御モードのチェックサム

CRC メッセージは、AD7771 により内部で計算されます。

AD7771 に転送されたデータは、CRC 計算に、R/W ビット、7 ビット・アドレス、および 8 ビット・データを使用します。

計算されてデータに付加され、シフトアウトされる CRC は、レジスタ読出し用に 0010 0000 のヘッダーおよび 8 ビット・データを使用します。また、SAR の読出し転送用には、0010 のヘッダーおよび 12 ビットの SAR 変換データを使用します。

レジスタの一覧

表 43. レジスタの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W		
0x00	CH0_CONFIG	[7:0]	CH0_GAIN		CH0_REF_MONITOR	CH0_RX	RESERVED				0x00	/W R		
0x01	CH1_CONFIG	[7:0]	CH1_GAIN		CH1_REF_MONITOR	CH1_RX	RESERVED				0x00	R/W		
0x02	CH2_CONFIG	[7:0]	CH2_GAIN		CH2_REF_MONITOR	CH2_RX	RESERVED				0x00	R/W		
0x03	CH3_CONFIG	[7:0]	CH3_GAIN		CH3_REF_MONITOR	CH3_RX	RESERVED				0x00	R/W		
0x04	CH4_CONFIG	[7:0]	CH4_GAIN		CH4_REF_MONITOR	CH4_RX	RESERVED				0x00	R/W		
0x05	CH5_CONFIG	[7:0]	CH5_GAIN		CH5_REF_MONITOR	CH5_RX	RESERVED				0x00	R/W		
0x06	CH6_CONFIG	[7:0]	CH6_GAIN		CH6_REF_MONITOR	CH6_RX	RESERVED				0x00	R/W		
0x07	CH7_CONFIG	[7:0]	CH7_GAIN		CH7_REF_MONITOR	CH7_RX	RESERVED				0x00	R/W		
0x08	CH_DISABLE	[7:0]	CH7_DISABLE	CH6_DISABLE	CH5_DISABLE	CH4_DISABLE	CH3_DISABLE	CH2_DISABLE	CH1_DISABLE	CH0_DISABLE	0x00	R/W		
0x09	CH0_SYNC_OFFSET	[7:0]	CH0_SYNC_OFFSET									0x00	R/W	
0x00A	CH1_SYNC_OFFSET	[7:0]	CH1_SYNC_OFFSET									0x00	R/W	
0x00B	CH2_SYNC_OFFSET	[7:0]	CH2_SYNC_OFFSET									0x00	R/W	
0x00C	CH3_SYNC_OFFSET	[7:0]	CH3_SYNC_OFFSET									0x00	R/W	
0x00D	CH4_SYNC_OFFSET	[7:0]	CH4_SYNC_OFFSET									0x00	R/W	
0x00E	CH5_SYNC_OFFSET	[7:0]	CH5_SYNC_OFFSET									0x00	R/W	
0x00F	CH6_SYNC_OFFSET	[7:0]	CH6_SYNC_OFFSET									0x00	R/W	
0x010	CH7_SYNC_OFFSET	[7:0]	CH7_SYNC_OFFSET									0x00	R/W	
0x011	GENERAL_USER_CONFIG_1	[7:0]	ALL_CH_DIS_M_CLK_EN	POWER-MODE	PDB_VCM	PDB_REFOUT_BUF	PDB_SAR	PDB_RC_OSC	SOFT_RESET		0x24	R/W		
0x012	GENERAL_USER_CONFIG_2	[7:0]	RESERVED	FILTER_MODE	SAR_DIAG_MODE_EN	SDO_DRIVE_STR		DOUT_DRIVE_STR		SPL_SYNC	0x09	R/W		
0x013	GENERAL_USER_CONFIG_3	[7:0]	CONVST_DEGLITCH_DIS		RESERVED	SPL_SLAVE_MODE_EN	RESERVED			CLK_QUAL_DIS	0x80	R/W		
0x014	DOUT_FORMAT	[7:0]	DOUT_FORMAT		DOUT_HEADER_FORMAT	RESERVED	DCLK_CLK_DIV			RESERVED	0x20	R/W		
0x015	ADC_MUX_CONFIG	[7:0]	REF_MUX_CTRL		MTR_MUX_CTRL				RESERVED		0x00	R/W		
0x016	GLOBAL_MUX_CONFIG	[7:0]	GLOBAL_MUX_CTRL					RESERVED				0x00	R/W	
0x017	GPIO_CONFIG	[7:0]	RESERVED					GPIO_OP_EN				0x00	R/W	
0x018	GPIO_DATA	[7:0]	RESERVED			GPIO_READ_DATA			GPIO_WRITE_DATA			0x00	R/W	
0x019	BUFFER_CONFIG_1	[7:0]	RESERVED				REF_BUF_POS_EN	REF_BUF_NEG_EN	RESERVED				0x38	R/W
0x01A	BUFFER_CONFIG_2	[7:0]	REF-BUFP_PREQ	REF-BUFN_PREQ	RESERVED			PDB_ALDO1_OVRD RV	PDB_ALDO2_OVRDRV	PDB_DLDO_OVRDRV	0xC0	R/W		
0x01C	CH0_OFFSET_UPPER_BYTE	[7:0]	CH0_OFFSET_ALL[23:16]									0x00	R/W	
0x01D	CH0_OFFSET_MID_BYTE	[7:0]	CH0_OFFSET_ALL[15:8]									0x00	R/W	

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x01E	CH0_OFFSET_LOWER_BYTE	[7:0]					CH0_OFFSET_ALL[7:0]				0x00	R/W
0x01F	CH0_GAIN_UPPER_BYTE	[7:0]					CH0_GAIN_ALL[23:16]				0x00	R/W
0x020	CH0_GAIN_MID_BYTE	[7:0]					CH0_GAIN_ALL[15:8]				0x00	R/W
0x021	CH0_GAIN_LOWER_BYTE	[7:0]					CH0_GAIN_ALL[7:0]				0x00	R/W
0x022	CH1_OFFSET_UPPER_BYTE	[7:0]					CH1_OFFSET_ALL[23:16]				0x00	R/W
0x023	CH1_OFFSET_MID_BYTE	[7:0]					CH1_OFFSET_ALL[15:8]				0x00	R/W
0x024	CH1_OFFSET_LOWER_BYTE	[7:0]					CH1_OFFSET_ALL[7:0]				0x00	R/W
0x025	CH1_GAIN_UPPER_BYTE	[7:0]					CH1_GAIN_ALL[23:16]				0x00	R/W
0x026	CH1_GAIN_MID_BYTE	[7:0]					CH1_GAIN_ALL[15:8]				0x00	R/W
0x027	CH1_GAIN_LOWER_BYTE	[7:0]					CH1_GAIN_ALL[7:0]				0x00	R/W
0x028	CH2_OFFSET_UPPER_BYTE	[7:0]					CH2_OFFSET_ALL[23:16]				0x00	R/W
0x029	CH2_OFFSET_MID_BYTE	[7:0]					CH2_OFFSET_ALL[15:8]				0x00	R/W
0x02A	CH2_OFFSET_LOWER_BYTE	[7:0]					CH2_OFFSET_ALL[7:0]				0x00	R/W
0x02B	CH2_GAIN_UPPER_BYTE	[7:0]					CH2_GAIN_ALL[23:16]				0x00	R/W
0x02C	CH2_GAIN_MID_BYTE	[7:0]					CH2_GAIN_ALL[15:8]				0x00	R/W
0x02D	CH2_GAIN_LOWER_BYTE	[7:0]					CH2_GAIN_ALL[7:0]				0x00	R/W
0x02E	CH3_OFFSET_UPPER_BYTE	[7:0]					CH3_OFFSET_ALL[23:16]				0x00	R/W
0x02F	CH3_OFFSET_MID_BYTE	[7:0]					CH3_OFFSET_ALL[15:8]				0x00	R/W
0x030	CH3_OFFSET_LOWER_BYTE	[7:0]					CH3_OFFSET_ALL[7:0]				0x00	R/W
0x031	CH3_GAIN_UPPER_BYTE	[7:0]					CH3_GAIN_ALL[23:16]				0x00	R/W
0x032	CH3_GAIN_MID_BYTE	[7:0]					CH3_GAIN_ALL[15:8]				0x00	R/W
0x033	CH3_GAIN_LOWER_BYTE	[7:0]					CH3_GAIN_ALL[7:0]				0x00	R/W
0x034	CH4_OFFSET_UPPER_BYTE	[7:0]					CH4_OFFSET_ALL[23:16]				0x00	R/W
0x035	CH4_OFFSET_MID_BYTE	[7:0]					CH4_OFFSET_ALL[15:8]				0x00	R/W
0x036	CH4_OFFSET_LOWER_BYTE	[7:0]					CH4_OFFSET_ALL[7:0]				0x00	R/W
0x037	CH4_GAIN_UPPER_BYTE	[7:0]					CH4_GAIN_ALL[23:16]				0x00	R/W
0x038	CH4_GAIN_MID_BYTE	[7:0]					CH4_GAIN_ALL[15:8]				0x00	R/W
0x039	CH4_GAIN_LOWER_BYTE	[7:0]					CH4_GAIN_ALL[7:0]				0x00	R/W
0x03A	CH5_OFFSET_UPPER_BYTE	[7:0]					CH5_OFFSET_ALL[23:16]				0x00	R/W
0x03B	CH5_OFFSET_MID_BYTE	[7:0]					CH5_OFFSET_ALL[15:8]				0x00	R/W
0x03C	CH5_OFFSET_LOWER_BYTE	[7:0]					CH5_OFFSET_ALL[7:0]				0x00	R/W
0x03D	CH5_GAIN_UPPER_BYTE	[7:0]					CH5_GAIN_ALL[23:16]				0x00	R/W
0x03E	CH5_GAIN_MID_BYTE	[7:0]					CH5_GAIN_ALL[15:8]				0x00	R/W

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x03F	CH5_GAIN_LOWER_BYTE	[7:0]	CH5_GAIN_ALL[7:0]									0x00	R/W
0x040	CH6_OFFSET_UPPER_BYTE	[7:0]	CH6_OFFSET_ALL[23:16]									0x00	R/W
0x041	CH6_OFFSET_MID_BYTE	[7:0]	CH6_OFFSET_ALL[15:8]									0x00	R/W
0x042	CH6_OFFSET_LOWER_BYTE	[7:0]	CH6_OFFSET_ALL[7:0]									0x00	R/W
0x043	CH6_GAIN_UPPER_BYTE	[7:0]	CH6_GAIN_ALL[23:16]									0x00	R/W
0x044	CH6_GAIN_MID_BYTE	[7:0]	CH6_GAIN_ALL[15:8]									0x00	R/W
0x045	CH6_GAIN_LOWER_BYTE	[7:0]	CH6_GAIN_ALL[7:0]									0x00	R/W
0x046	CH7_OFFSET_UPPER_BYTE	[7:0]	CH7_OFFSET_ALL[23:16]									0x00	R/W
0x047	CH7_OFFSET_MID_BYTE	[7:0]	CH7_OFFSET_ALL[15:8]									0x00	R/W
0x048	CH7_OFFSET_LOWER_BYTE	[7:0]	CH7_OFFSET_ALL[7:0]									0x00	R/W
0x049	CH7_GAIN_UPPER_BYTE	[7:0]	CH7_GAIN_ALL[23:16]									0x00	R/W
0x04A	CH7_GAIN_MID_BYTE	[7:0]	CH7_GAIN_ALL[15:8]									0x00	R/W
0x04B	CH7_GAIN_LOWER_BYTE	[7:0]	CH7_GAIN_ALL[7:0]									0x00	R/W
0x04C	CH0_ERR_REG	[7:0]	RESERVED			CH0_ERR_AINM_UV	CH0_ERR_AINM_OV	CH0_ERR_AINP_UV	CH0_ERR_AINP_OV	CH0_ERR_REF_DET	0x00	R	
0x04D	CH1_ERR_REG	[7:0]	RESERVED			CH1_ERR_AINM_UV	CH1_ERR_AINM_OV	CH1_ERR_AINP_UV	CH1_ERR_AINP_OV	CH1_ERR_REF_DET	0x00	R	
0x04E	CH2_ERR_REG	[7:0]	RESERVED			CH2_ERR_AINM_UV	CH2_ERR_AINM_OV	CH2_ERR_AINP_UV	CH2_ERR_AINP_OV	CH2_ERR_REF_DET	0x00	R	
0x04F	CH3_ERR_REG	[7:0]	RESERVED			CH3_ERR_AINM_UV	CH3_ERR_AINM_OV	CH3_ERR_AINP_UV	CH3_ERR_AINP_OV	CH3_ERR_REF_DET	0x00	R	
0x050	CH4_ERR_REG	[7:0]	RESERVED			CH4_ERR_AINM_UV	CH4_ERR_AINM_OV	CH4_ERR_AINP_UV	CH4_ERR_AINP_OV	CH4_ERR_REF_DET	0x00	R	
0x051	CH5_ERR_REG	[7:0]	RESERVED			CH5_ERR_AINM_UV	CH5_ERR_AINM_OV	CH5_ERR_AINP_UV	CH5_ERR_AINP_OV	CH5_ERR_REF_DET	0x00	R	
0x052	CH6_ERR_REG	[7:0]	RESERVED			CH6_ERR_AINM_UV	CH6_ERR_AINM_OV	CH6_ERR_AINP_UV	CH6_ERR_AINP_OV	CH6_ERR_REF_DET	0x00	R	
0x053	CH7_ERR_REG	[7:0]	RESERVED			CH7_ERR_AINM_UV	CH7_ERR_AINM_OV	CH7_ERR_AINP_UV	CH7_ERR_AINP_OV	CH7_ERR_REF_DET	0x00	R	
0x054	CH0_1_SAT_ERR	[7:0]	RESERVED		CH1_ERR_MOD_SAT	CH1_ERR_FILTER_SAT	CH1_ERR_OUTPUT_SAT	CH0_ERR_MOD_SAT	CH0_ERR_FILTER_SAT	CH0_ERR_OUTPUT_SAT	0x00	R	
0x055	CH2_3_SAT_ERR	[7:0]	RESERVED		CH3_ERR_MOD_SAT	CH3_ERR_FILTER_SAT	CH3_ERR_OUTPUT_SAT	CH2_ERR_MOD_SAT	CH2_ERR_FILTER_SAT	CH2_ERR_OUTPUT_SAT	0x00	R	
0x056	CH4_5_SAT_ERR	[7:0]	RESERVED		CH5_ERR_MOD_SAT	CH5_ERR_FILTER_SAT	CH5_ERR_OUTPUT_SAT	CH4_ERR_MOD_SAT	CH4_ERR_FILTER_SAT	CH4_ERR_OUTPUT_SAT	0x00	R	
0x057	CH6_7_SAT_ERR	[7:0]	RESERVED		CH7_ERR_MOD_SAT	CH7_ERR_FILTER_SAT	CH7_ERR_OUTPUT_SAT	CH6_ERR_MOD_SAT	CH6_ERR_FILTER_SAT	CH6_ERR_OUTPUT_SAT	0x00	R	
0x058	CHX_ERR_REG_EN	[7:0]	OUTPUT_SAT_TEST_EN	FILTER_SAT_TEST_EN	MOD_SAT_TEST_EN	AINM_UV_TEST_EN	AINM_OV_TEST_EN	AINP_UV_TEST_EN	AINP_OV_TEST_EN	REF_DET_TEST_EN	0xFE	R/W	
0x059	GEN_ERR_REG_1	[7:0]	RESERVED		MEMMAP_CRC_ERR	ROM_CRC_ERR	SPI_CLK_COUNT_ERR	SPI_INVALID_READ_ERR	SPI_INVALID_WRITE_ERR	SPI_CRC_ERR	0x00	R	
0x05A	GEN_ERR_REG_1_EN	[7:0]	RESERVED		MEMMAP_CRC_TEST_EN	ROM_CRC_TEST_EN	SPI_CLK_COUNT_TEST_EN	SPI_INVALID_READ_TEST_EN	SPI_INVALID_WRITE_TEST_EN	SPI_CRC_TEST_EN	0x3E	R/W	
0x05B	GEN_ERR_REG_2	[7:0]	RESERVED		RESET_DETECTED	EXT_MCLK_SWITCH_ERR	RESERVED	ALDO1_PSM_ERR	ALDO2_PSM_ERR	DLDO_PSM_ERR	0x00	R	
0x05C	GEN_ERR_REG_2_EN	[7:0]	RESERVED		RESET_DETECT_EN	RESERVED	LDO_PSM_TEST_EN		LDO_PSM_TRIP_TEST_EN		0x3C	R/W	

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x05D	STATUS_REG_1	[7:0]	RESERVED		CHIP_ERROR	ERR_LOC_CH4	ERR_LOC_CH3	ERR_LOC_CH2	ERR_LOC_CH1	ERR_LOC_CH0	0x00	R	
0x05E	STATUS_REG_2	[7:0]	RESERVED		CHIP_ERROR	ERR_LOC_GEN2	ERR_LOC_GEN1	ERR_LOC_CH7	ERR_LOC_CH6	ERR_LOC_CH5	0x00	R	
0x05F	STATUS_REG_3	[7:0]	RESERVED		CHIP_ERROR	INIT_COMPLETE	ERR_LOC_SAT_CH6_7	ERR_LOC_SAT_CH4_5	ERR_LOC_SAT_CH2_3	ERR_LOC_SAT_CH0_1	0x00	R	
0x060	SRC_N_MSB	[7:0]	RESERVED				SRC_N_ALL[11:8]					0x00	R/W
0x061	SRC_N_LSB	[7:0]	SRC_N_ALL[7:0]									0x80	R/W
0x062	SRC_IF_MSB	[7:0]	SRC_IF_ALL[15:8]									0x00	R/W
0x063	SRC_IF_LSB	[7:0]	SRC_IF_ALL[7:0]									0x00	R/W
0x064	SRC_UPDATE	[7:0]	SRC_LOAD_SOURCE	RESERVED						SRC_LOAD_UPDATE	0x00	R/W	

レジスタの詳細

チャンネル 0 設定レジスタ

アドレス: 0x000、リセット値: 0x00、レジスタ名: CH0_CONFIG

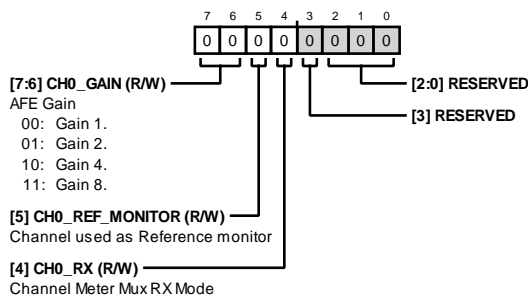


表 44. CH0_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	CH0_GAIN	00 01 10 11	AFE ゲイン ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8	0x0	R/W
5	CH0_REF_MONITOR		リファレンス・モニタとして使用するチャンネル	0x0	R/W
4	CH0_RX		チャンネル計測マルチプレクサの Rx モード	0x0	R/W
[3:0]	RESERVED		予備	0x0	R/W

チャンネル 1 設定レジスタ

アドレス: 0x001、リセット値: 0x00、レジスタ名: CH1_CONFIG

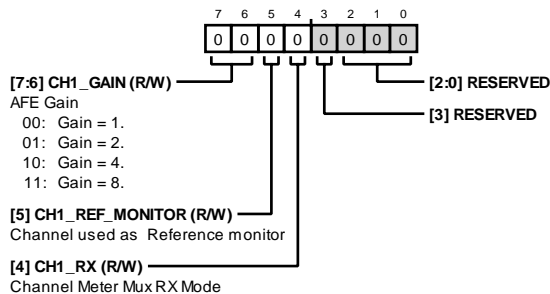


表 45. CH1_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	CH1_GAIN	00 01 10 11	AFE ゲイン ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8	0x0	R/W
5	CH1_REF_MONITOR		リファレンス・モニタとして使用するチャンネル	0x0	R/W
4	CH1_RX		チャンネル計測マルチプレクサの Rx モード	0x0	R/W
[3:0]	RESERVED		予備	0x0	R/W

チャンネル 2 設定レジスタ

アドレス: 0x002、リセット値: 0x00、レジスタ名: CH2_CONFIG

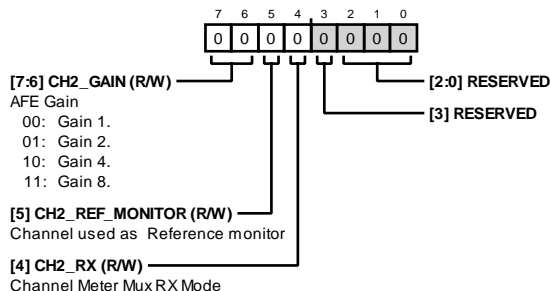


表 46. CH2_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	CH2_GAIN	00 01 10 11	AFE ゲイン ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8	0x0	R/W
5	CH2_REF_MONITOR		リファレンス・モニタとして使用するチャンネル	0x0	R/W
4	CH2_RX		チャンネル計測マルチプレクサの Rx モード	0x0	R/W
[3:0]	RESERVED		予備	0x0	R/W

チャンネル 3 設定レジスタ

アドレス: 0x003、リセット値: 0x00、レジスタ名: CH3_CONFIG

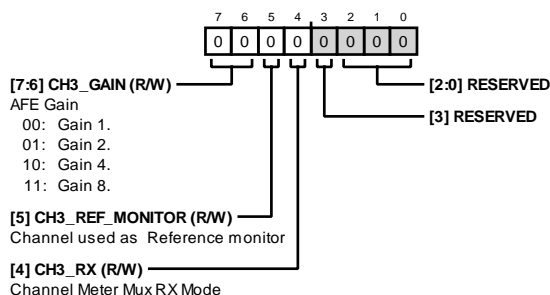


表 47. CH3_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	CH3_GAIN	00 01 10 11	AFE ゲイン ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8	0x0	R/W
5	CH3_REF_MONITOR		リファレンス・モニタとして使用するチャンネル	0x0	R/W
4	CH3_RX		チャンネル計測マルチプレクサの Rx モード	0x0	R/W
[3:0]	RESERVED		予備	0x0	R/W

チャンネル 4 設定レジスタ

アドレス: 0x004、リセット値: 0x00、レジスタ名: CH4_CONFIG

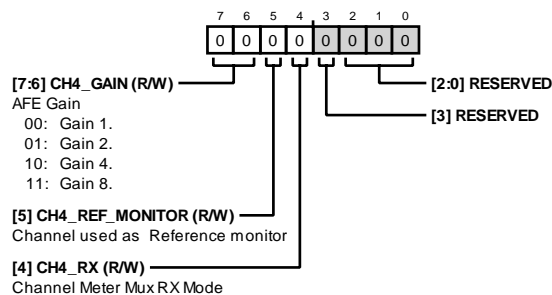


表 48. CH4_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	CH4_GAIN	00 01 10 11	AFE ゲイン ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8	0x0	R/W
5	CH4_REF_MONITOR		リファレンス・モニタとして使用するチャンネル	0x0	R/W
4	CH4_RX		チャンネル計測マルチプレクサの Rx モード	0x0	R/W
[3:0]	RESERVED		予備	0x0	R/W

チャンネル 5 設定レジスタ

アドレス: 0x005、リセット値: 0x00、レジスタ名: CH5_CONFIG

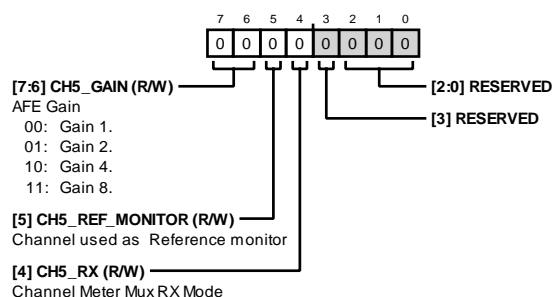


表 49. CH5_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	CH5_GAIN	00 01 10 11	AFE ゲイン ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8	0x0	R/W
5	CH5_REF_MONITOR		リファレンス・モニタとして使用するチャンネル	0x0	R/W
4	CH5_RX		チャンネル計測マルチプレクサの Rx モード	0x0	R/W
[3:0]	RESERVED		予備	0x0	R/W

チャンネル 6 設定レジスタ

アドレス: 0x006、リセット値: 0x00、レジスタ名: CH6_CONFIG

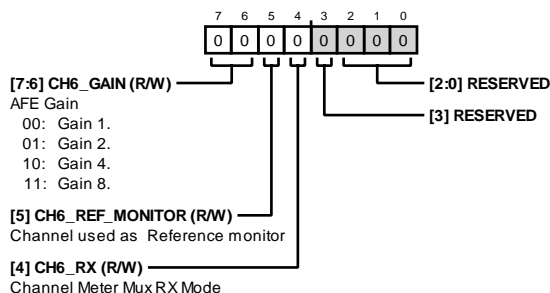


表 50. CH6_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	CH6_GAIN	00 01 10 11	AFE ゲイン ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8	0x0	R/W
5	CH6_REF_MONITOR		リファレンス・モニタとして使用するチャンネル	0x0	R/W
4	CH6_RX		チャンネル計測マルチプレクサの Rx モード	0x0	R/W
[3:0]	RESERVED		予備	0x0	R/W

チャンネル 7 設定レジスタ

アドレス: 0x007、リセット値: 0x00、レジスタ名: CH7_CONFIG

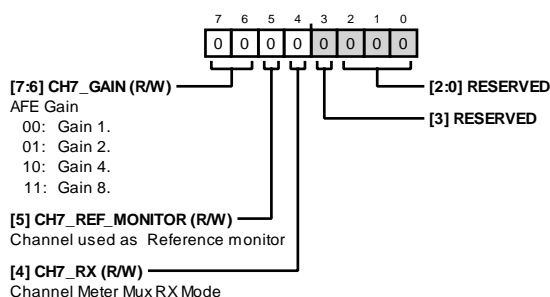


表 51. CH7_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	CH7_GAIN	00 01 10 11	AFE ゲイン ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8	0x0	R/W
5	CH7_REF_MONITOR		リファレンス・モニタとして使用するチャンネル	0x0	R/W
4	CH7_RX		チャンネル計測マルチプレクサの Rx モード	0x0	R/W
[3:0]	RESERVED		予備	0x0	R/W

ADC チャンネルへのクロック・ディスエーブル・レジスタ

アドレス: 0x008、リセット値: 0x00、レジスタ名: CH_DISABLE

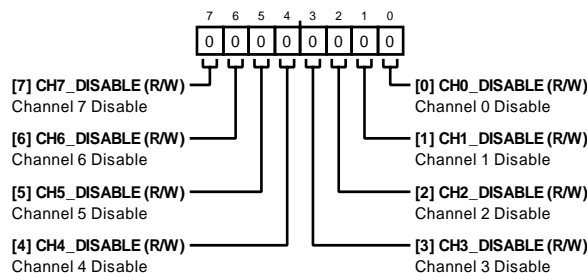


表 52. CH_DISABLE のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	CH7_DISABLE		チャンネル7をディスエーブル	0x0	R/W
6	CH6_DISABLE		チャンネル6をディスエーブル	0x0	R/W
5	CH5_DISABLE		チャンネル5をディスエーブル	0x0	R/W
4	CH4_DISABLE		チャンネル4をディスエーブル	0x0	R/W
3	CH3_DISABLE		チャンネル3をディスエーブル	0x0	R/W
2	CH2_DISABLE		チャンネル2をディスエーブル	0x0	R/W
1	CH1_DISABLE		チャンネル1をディスエーブル	0x0	R/W
0	CH0_DISABLE		チャンネル0をディスエーブル	0x0	R/W

チャンネル0同期オフセット・レジスタ

アドレス: 0x009、リセット値: 0x00、レジスタ名: CH0_SYNC_OFFSET

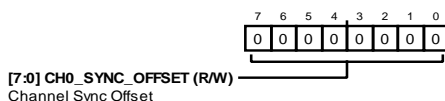


表 53. CH0_SYNC_OFFSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH0_SYNC_OFFSET		チャンネル同期オフセット	0x0	R/W

チャンネル1同期オフセット・レジスタ

アドレス: 0x00A、リセット値: 0x00、レジスタ名: CH1_SYNC_OFFSET

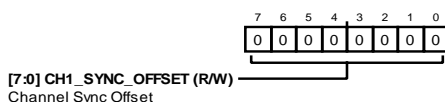


表 54. CH1_SYNC_OFFSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH1_SYNC_OFFSET		チャンネル同期オフセット	0x0	R/W

チャンネル2同期オフセット・レジスタ

アドレス: 0x00B、リセット値: 0x00、レジスタ名: CH2_SYNC_OFFSET

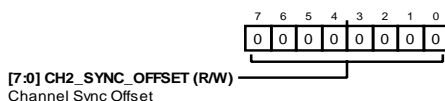


表 55. CH2_SYNC_OFFSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH2_SYNC_OFFSET		チャンネル同期オフセット	0x0	R/W

チャンネル 3 同期オフセット・レジスタ

アドレス: 0x00C、リセット値: 0x00、レジスタ名: CH3_SYNC_OFFSET

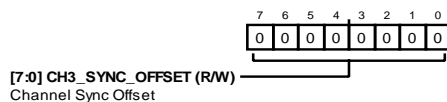


表 56. CH3_SYNC_OFFSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH3_SYNC_OFFSET		チャンネル同期オフセット	0x0	R/W

チャンネル 4 同期オフセット・レジスタ

アドレス: 0x00D、リセット値: 0x00、レジスタ名: CH4_SYNC_OFFSET

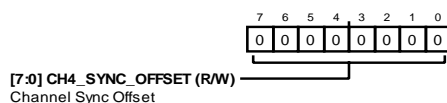


表 57. CH4_SYNC_OFFSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH4_SYNC_OFFSET		チャンネル同期オフセット	0x0	R/W

チャンネル 5 同期オフセット・レジスタ

アドレス: 0x00E、リセット値: 0x00、レジスタ名: CH5_SYNC_OFFSET

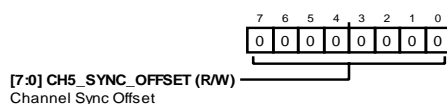


表 58. CH5_SYNC_OFFSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH5_SYNC_OFFSET		チャンネル同期オフセット	0x0	R/W

チャンネル 6 同期オフセット・レジスタ

アドレス: 0x00F、リセット値: 0x00、レジスタ名: CH6_SYNC_OFFSET

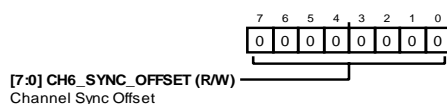


表 59. CH6_SYNC_OFFSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH6_SYNC_OFFSET		チャンネル同期オフセット	0x0	R/W

チャンネル 7 同期オフセット・レジスタ

アドレス: 0x010、リセット値: 0x00、レジスタ名: CH7_SYNC_OFFSET

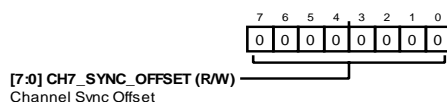


表 60. CH7_SYNC_OFFSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH7_SYNC_OFFSET		チャンネル同期オフセット	0x0	R/W

汎用ユーザー設定 1 レジスタ

アドレス: 0x011、リセット値: 0x24、レジスタ名: GENERAL_USER_CONFIG_1

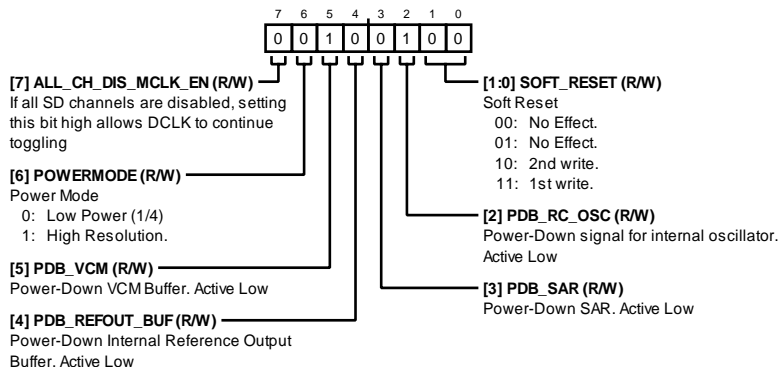


表 61. GENERAL_USER_CONFIG_1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	ALL_CH_DIS_MCLK_EN		すべてのΣ-Δチャンネルをディスエーブルした場合、このビットをハイ・レベルに設定すると、DCLKの連続トグルが可能になります。	0x0	R/W
6	POWERMODE	0 1	パワー・モード 0 低消費電力 (1/4) 1 高分解能	0x0	R/W
5	PDB_VCM		VCMバッファのパワー・ダウン。アクティブ・ロー。	0x1	R/W
4	PDB_REFOUT_BUF		内部リファレンス出力バッファのパワー・ダウン。アクティブ・ロー。	0x0	R/W
3	PDB_SAR		SARのパワーダウン。アクティブ・ロー。	0x0	R/W
2	PDB_RC_OSC		内部発振器のパワー・ダウン信号。アクティブ・ロー。	0x1	R/W
[1:0]	SOFT_RESET	00 01 10 11	ソフト・リセット 影響なし 影響なし 2回目の書込み 最初の書込み	0x0	R/W

汎用ユーザー設定 2 レジスタ

アドレス: 0x012、リセット値: 0x09、レジスタ名: GENERAL_USER_CONFIG_2

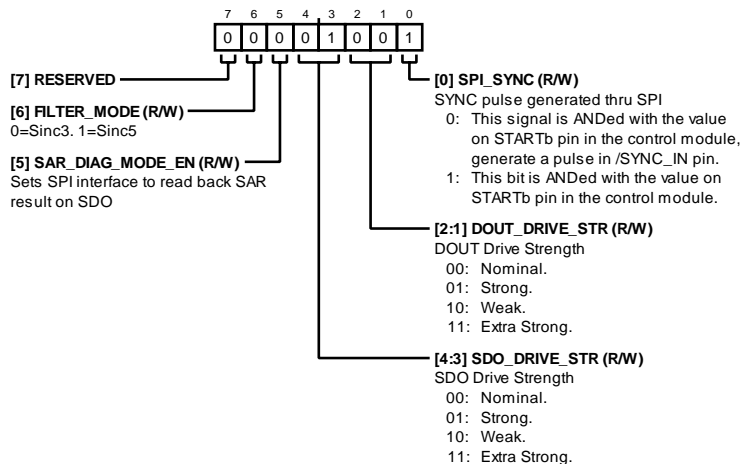


表 62. GENERAL_USER_CONFIG_2 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	RESERVED		予備。	0x0	R/W
6	FILTER_MODE		0 = Sinc3。 1 = Sinc5。	0x0	R/W
5	SAR_DIAG_MODE_EN		SDO 上の SAR の結果を読み出すように SPI インターフェースを設定します。	0x0	R/W
[4:3]	SDO_DRIVE_STR	00 01 10 11	SDO の駆動能力。 公称値。 強い。 弱い。 きわめて強い。	0x1	R/W
[2:1]	DOUT_DRIVE_STR	00 01 10 11	DOUTx の駆動能力。 公称値。 強い。 弱い。 きわめて強い。	0x0	R/W
0	SPI_SYNC	0 1	SPI を使った SYNC パルスの生成。 この信号は、制御モジュールの <u>START</u> ピンの値と AND 接続され、 <u>SYNC_IN</u> ピンにパルスを生成します。 このビットが、制御モジュールの <u>START</u> ピンの値と AND 接続されます。	0x1	R/W

汎用ユーザー設定 3 レジスタ

アドレス: 0x013、リセット値: 0x80、レジスタ名: GENERAL_USER_CONFIG_3

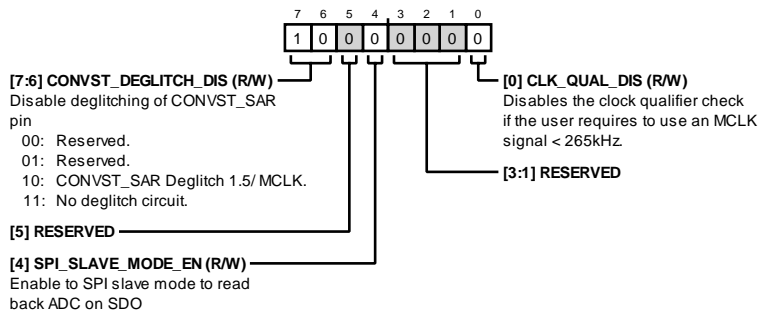


表 63. GENERAL_USER_CONFIG_3 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	CONVST_DEGLITCH_DIS	00 01 10 11	CONVST_SAR ピンのデグリッチをディスエーブルにします。 予備。 予備。 CONVST_SAR をデグリッチ (1.5/MCLK)。 デグリッチ回路なし	0x2	R/W
5	RESERVED		予備。	0x0	R/W
4	SPI_SLAVE_MODE_EN		SPI スレーブ・モードをイネーブルにして SDO に ADC を読み出します。	0x0	R/W
[3:2]	RESERVED		予備。	0x0	R/W
1	RESERVED		予備。	0x0	R/W
0	CLK_QUAL_DIS		265 kHz 未満の MCLK 信号を使用する必要がある場合に、クロック修飾子のチェックを無効にします。	0x0	R/W

データ出力フォーマット・レジスタ

アドレス: 0x014、リセット値: 0x20、レジスタ名: DOUT_FORMAT

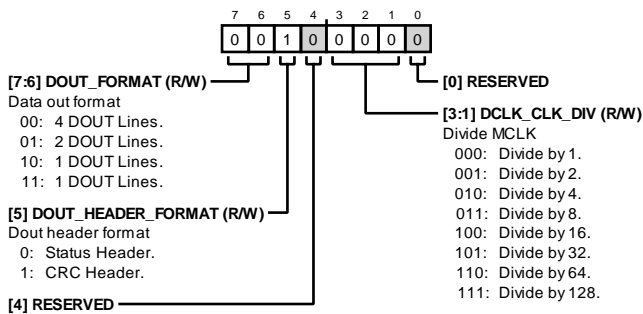


表 64. DOUT_FORMAT のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	DOUT_FORMAT	00 01 10 11	データ出力フォーマット 4 DOUTx ライン 2 DOUTx ライン 1 DOUTx ライン 1 DOUTx ライン	0x0	R/W
5	DOUT_HEADER_FORMAT	0 1	DOUTx ヘッダー・フォーマット ステータス・ヘッダー CRC ヘッダー	0x1	R/W
4	RESERVED		予備	0x0	R/W

Bits	Bit Name	Settings	Description	Reset	Access
[3:1]	DCLK_CLK_DIV	000 001 010 011 100 101 110 111	MCLK 分周 1 分周 2 分周 4 分周 8 分周 16 分周 32 分周 64 分周 128 分周	0x0	R/W
0	RESERVED		予備	0x0	R/W

メイン ADC の計測およびリファレンス・マルチプレクサ制御レジスタ

アドレス: 0x015、リセット値: 0x00、レジスタ名: ADC_MUX_CONFIG

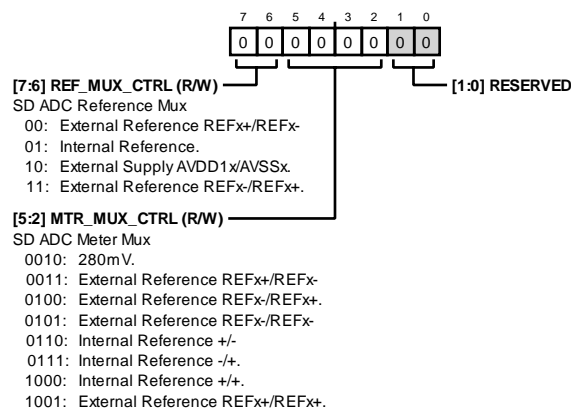


表 65. ADC_MUX_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	REF_MUX_CTRL	00 01 10 11	Σ - Δ ADC リファレンス Mux 外部リファレンス REFx+/REFx- 内部リファレンス 外部電源 AVDD1x/AVSSx 外部リファレンス REFx-/REFx+	0x0	R/W
[5:2]	MTR_MUX_CTRL	0010 0011 0100 0101 0110 0111 1000 1001	Σ - Δ ADC メーター Mux 280 mV 外部リファレンス REFx+/REFx- 外部リファレンス REFx-/REFx+ 外部リファレンス REFx-/REFx- 内部リファレンス +/- 内部リファレンス -/+ 内部リファレンス +/+ 外部リファレンス REFx+/REFx+	0x0	R/W
[1:0]	RESERVED		予備。	0x0	R/W

グローバル診断マルチプレクサ・レジスタ

アドレス: 0x016、リセット値: 0x00、レジスタ名: GLOBAL_MUX_CONFIG

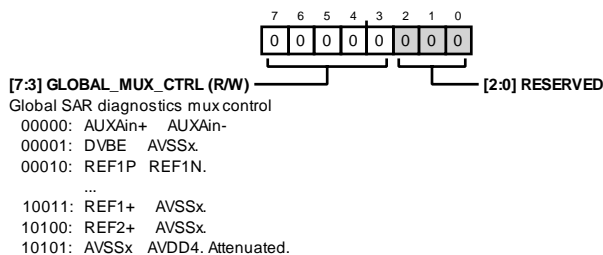


表 66. GLOBAL_MUX_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:3]	GLOBAL_MUX_CTRL		グローバルな SAR 診断によるマルチプレクサ制御。	0x0	R/W
		00000	AUXAIN+/AUXAIN-		
		00001	DV _{BE} /AVSSx		
		00010	REF1+/REF1-		
		10011	REF2+/REF2-		
		10100	REF_OUT/AVSSx		
		10101	VCM/AVSSx		
		10110	AREG1CAP/AVSSx		
		10111	AREG2CAP/AVSSx		
		11000	DREGCAP/DGND		
		11001	AVDD1A/AVSSx		
		11010	AVDD1B/AVSSx		
		11011	AVDD2A/AVSSx		
		11100	AVDD2B/AVSSx		
		11101	IOVDD/DGND		
		11110	AVDD4/AVSSx		
		11111	DGND/AVSSx		
		10000	DGND/AVSSx		
		10001	DGND/AVSSx		
		10010	AVDD4/AVSSx		
		10011	REF1+/AVSSx		
		10100	REF2+/AVSSx		
		10101	AVSSx/AVDD4. 減衰済み。		
[2:0]	RESERVED		予備。	0x0	R/W

GPIO 設定レジスタ

アドレス: 0x017、リセット値: 0x00、レジスタ名: GPIO_CONFIG

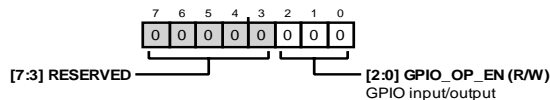


表 67. GPIO_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:3]	RESERVED		予備。	0x0	R/W
[2:0]	GPIO_OP_EN		GPIO 入出力	0x0	R/W

GPIO データ・レジスタ

アドレス: 0x018、リセット値: 0x00、レジスタ名: GPIO_DATA

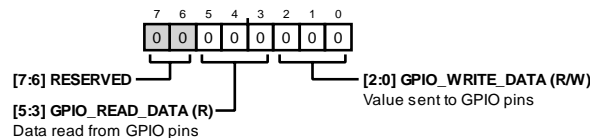


表 68. GPIO_DATA のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備。	0x0	R/W
[5:3]	GPIO_READ_DATA		GPIO ピンから読み出されたデータ	0x0	R
[2:0]	GPIO_WRITE_DATA		GPIO ピンに送信された値	0x0	R/W

バッファ設定 1 レジスタ

アドレス: 0x019、リセット値: 0x38、レジスタ名: BUFFER_CONFIG_1

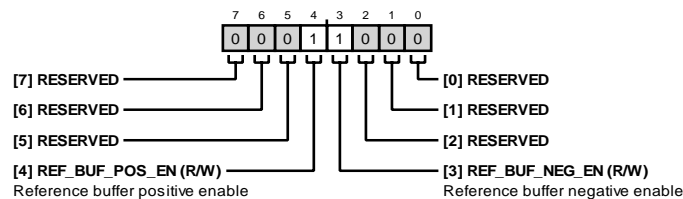


表 69. BUFFER_CONFIG_1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		予備	0x0	R/W
4	REF_BUF_POS_EN		正のリファレンス・バッファをイネーブル	0x1	R/W
3	REF_BUF_NEG_EN		負のリファレンス・バッファをイネーブル	0x1	R/W
[2:0]	RESERVED		予備	0x0	R/W

バッファ設定 2 レジスタ

アドレス: 0x01A、リセット値: 0xC0、レジスタ名: BUFFER_CONFIG_2

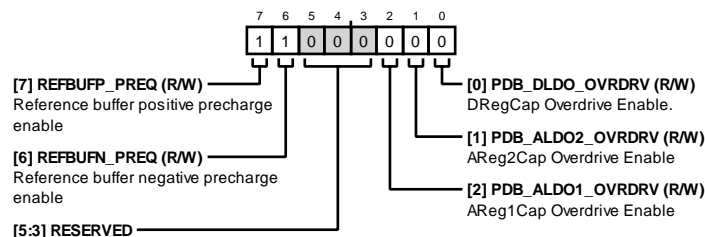


表 70. BUFFER_CONFIG_2 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	REFBUFF_PREQ		正のリファレンス・バッファ・プリチャージをイネーブル	0x1	R/W
6	REFBUFN_PREQ		負のリファレンス・バッファ・プリチャージをイネーブル	0x1	R/W
[5:3]	RESERVED		予備	0x0	R/W
2	PDB_ALDO1_OVRDRV		AREG1CAP オーバードライブをイネーブル	0x0	R/W
1	PDB_ALDO2_OVRDRV		AREG2CAP オーバードライブをイネーブル	0x0	R/W
0	PDB_DLDO_OVRDRV		DREGCAP オーバードライブをイネーブル	0x0	R/W

チャンネル 0 オフセットの上位バイト・レジスタ

アドレス: 0x01C、リセット値: 0x00、レジスタ名: CH0_OFFSET_UPPER_BYTE

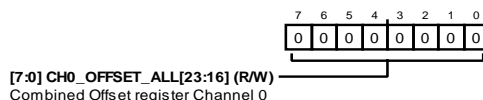


表 71. CH0_OFFSET_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH0_OFFSET_ALL[23:16]		結合オフセット・レジスタ・チャンネル 0	0x0	R/W

チャンネル 0 のオフセット中位バイト・レジスタ

アドレス: 0x01D、リセット値: 0x00、レジスタ名: CH0_OFFSET_MID_BYTE

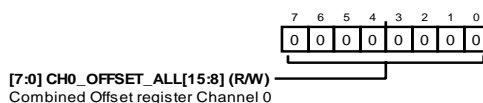


表 72. CH0_OFFSET_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH0_OFFSET_ALL[15:8]		結合オフセット・レジスタ・チャンネル 0	0x0	R/W

チャンネル 0 のオフセット下位バイト・レジスタ

アドレス: 0x01E、リセット値: 0x00、レジスタ名: CH0_OFFSET_LOWER_BYTE

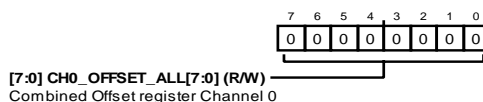


表 73. CH0_OFFSET_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH0_OFFSET_ALL[7:0]		結合オフセット・レジスタ・チャンネル 0	0x0	R/W

チャンネル 0 のゲイン上位バイト・レジスタ

アドレス: 0x01F、リセット値: 0x00、レジスタ名: CH0_GAIN_UPPER_BYTE

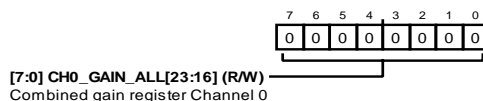


表 74. CH0_GAIN_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH0_GAIN_ALL[23:16]		結合ゲイン・レジスタ・チャンネル 0	0x0	R/W

チャンネル 0 のゲイン中位バイト・レジスタ

アドレス: 0x020、リセット値: 0x00、レジスタ名: CH0_GAIN_MID_BYTE

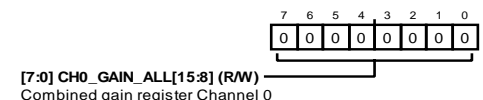


表 75. CH0_GAIN_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH0_GAIN_ALL[15:8]		結合ゲイン・レジスタ・チャンネル 0	0x0	R/W

チャンネル 0 のゲイン下位バイト・レジスタ

アドレス: 0x021、リセット値: 0x00、レジスタ名: CH0_GAIN_LOWER_BYTE

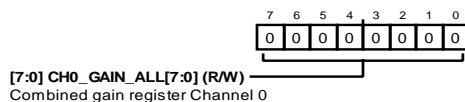


表 76. CH0_GAIN_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH0_GAIN_ALL[7:0]		結合ゲイン・レジスタ・チャンネル 0	0x0	R/W

チャンネル 1 オフセットの上位バイト・レジスタ

アドレス: 0x022、リセット値: 0x00、レジスタ名: CH1_OFFSET_UPPER_BYTE

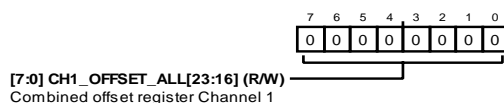


表 77. CH1_OFFSET_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH1_OFFSET_ALL[23:16]		結合オフセット・レジスタ・チャンネル 1	0x0	R/W

チャンネル 1 のオフセット中位バイト・レジスタ

アドレス: 0x023、リセット値: 0x00、レジスタ名: CH1_OFFSET_MID_BYTE

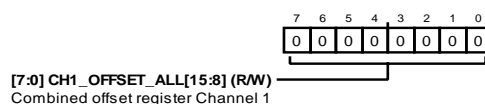


表 78. CH1_OFFSET_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH1_OFFSET_ALL[15:8]		結合オフセット・レジスタ・チャンネル 1	0x0	R/W

チャンネル 1 のオフセット下位バイト・レジスタ

アドレス: 0x024、リセット値: 0x00、レジスタ名: CH1_OFFSET_LOWER_BYTE

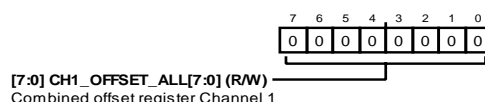


表 79. CH1_OFFSET_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH1_OFFSET_ALL[7:0]		結合オフセット・レジスタ・チャンネル 1	0x0	R/W

チャンネル 1 のゲイン上位バイト・レジスタ

アドレス: 0x025、リセット値: 0x00、レジスタ名: CH1_GAIN_UPPER_BYTE

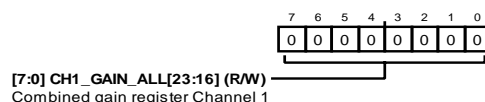


表 80. CH1_GAIN_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH1_GAIN_ALL[23:16]		結合ゲイン・レジスタ・チャンネル 1	0x0	R/W

チャンネル 1 のゲイン中位バイト・レジスタ

アドレス: 0x026、リセット値: 0x00、レジスタ名: CH1_GAIN_MID_BYTE

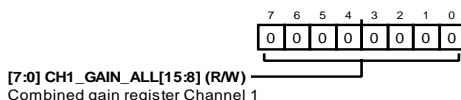


表 81. CH1_GAIN_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH1_GAIN_ALL[15:8]		結合ゲイン・レジスタ・チャンネル 1	0x0	R/W

チャンネル 1 のゲイン下位バイト・レジスタ

アドレス: 0x027、リセット値: 0x00、レジスタ名: CH1_GAIN_LOWER_BYTE

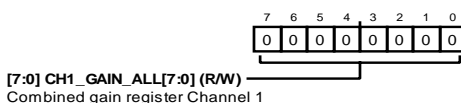


表 82. CH1_GAIN_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH1_GAIN_ALL[7:0]		結合ゲイン・レジスタ・チャンネル 1	0x0	R/W

チャンネル 2 オフセットの上位バイト・レジスタ

アドレス: 0x028、リセット値: 0x00、レジスタ名: CH2_OFFSET_UPPER_BYTE

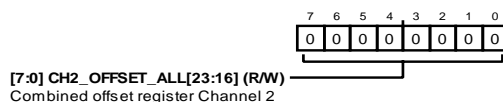


表 83. CH2_OFFSET_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH2_OFFSET_ALL[23:16]		結合オフセット・レジスタ・チャンネル 2	0x0	R/W

チャンネル 2 のオフセット中位バイト・レジスタ

アドレス: 0x029、リセット値: 0x00、レジスタ名: CH2_OFFSET_MID_BYTE

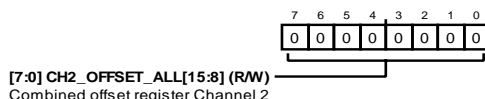


表 84. CH2_OFFSET_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH2_OFFSET_ALL[15:8]		結合オフセット・レジスタ・チャンネル 2	0x0	R/W

チャンネル 2 のオフセット下位バイト・レジスタ

アドレス: 0x02A、リセット値: 0x00、レジスタ名: CH2_OFFSET_LOWER_BYTE

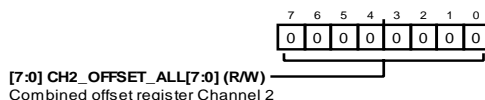


表 85. CH2_OFFSET_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH2_OFFSET_ALL[7:0]		結合オフセット・レジスタ・チャンネル 2	0x0	R/W

チャンネル 2 のゲイン上位バイト・レジスタ

アドレス: 0x02B、リセット値: 0x00、レジスタ名: CH2_GAIN_UPPER_BYTE

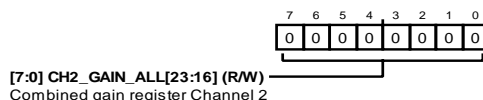


表 86. CH2_GAIN_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH2_GAIN_ALL[23:16]		結合ゲイン・レジスタ・チャンネル 2	0x0	R/W

チャンネル 2 のゲイン中位バイト・レジスタ

アドレス: 0x02C、リセット値: 0x00、レジスタ名: CH2_GAIN_MID_BYTE

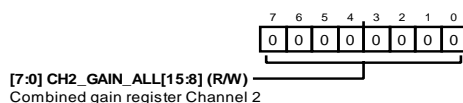


表 87. CH2_GAIN_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH2_GAIN_ALL[15:8]		結合ゲイン・レジスタ・チャンネル 2	0x0	R/W

チャンネル 2 のゲイン下位バイト・レジスタ

アドレス: 0x02D、リセット値: 0x00、レジスタ名: CH2_GAIN_LOWER_BYTE

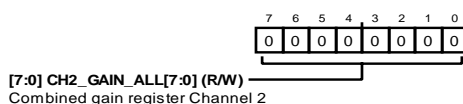


表 88. CH2_GAIN_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH2_GAIN_ALL[7:0]		結合ゲイン・レジスタ・チャンネル 2	0x0	R/W

チャンネル 3 オフセットの上位バイト・レジスタ

アドレス: 0x02E、リセット値: 0x00、レジスタ名: CH3_OFFSET_UPPER_BYTE

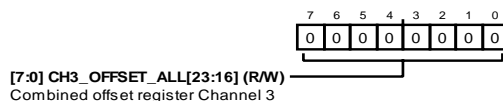


表 89. CH3_OFFSET_UPPER_BYTE のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH3_OFFSET_ALL[23:16]		結合オフセット・レジスタ・チャンネル 3	0x0	R/W

チャンネル 3 のオフセット中位バイト・レジスタ

アドレス: 0x02F、リセット値: 0x00、レジスタ名: CH3_OFFSET_MID_BYTE

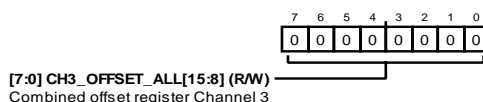


表 90. CH3_OFFSET_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH3_OFFSET_ALL[15:8]		結合オフセット・レジスタ・チャンネル 3	0x0	R/W

チャンネル 3 のオフセット下位バイト・レジスタ

アドレス: 0x030、リセット値: 0x00、レジスタ名: CH3_OFFSET_LOWER_BYTE

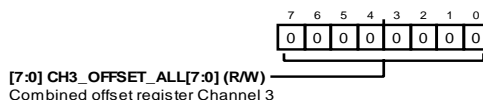


表 91. CH3_OFFSET_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH3_OFFSET_ALL[7:0]		結合オフセット・レジスタ・チャンネル 3	0x0	R/W

チャンネル 3 のゲイン上位バイト・レジスタ

アドレス: 0x031、リセット値: 0x00、レジスタ名: CH3_GAIN_UPPER_BYTE

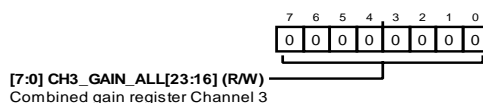


表 92. CH3_GAIN_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH3_GAIN_ALL[23:16]		結合ゲイン・レジスタ・チャンネル 3	0x0	R/W

チャンネル 3 のゲイン中位バイト・レジスタ

アドレス: 0x032、リセット値: 0x00、レジスタ名: CH3_GAIN_MID_BYTE

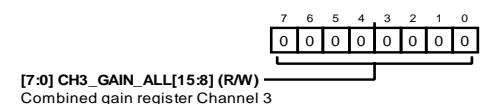


表 93. CH3_GAIN_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH3_GAIN_ALL[15:8]		結合ゲイン・レジスタ・チャンネル 3	0x0	R/W

チャンネル 3 のゲイン下位バイト・レジスタ

アドレス: 0x033、リセット値: 0x00、レジスタ名: CH3_GAIN_LOWER_BYTE

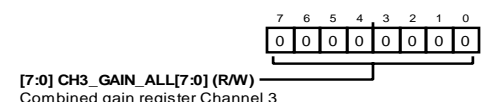


表 94. CH3_GAIN_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH3_GAIN_ALL[7:0]		結合ゲイン・レジスタ・チャンネル 3	0x0	R/W

チャンネル 4 オフセットの上位バイト・レジスタ

アドレス: 0x034、リセット値: 0x00、レジスタ名: CH4_OFFSET_UPPER_BYTE

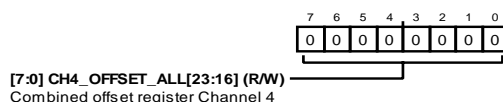


表 95. CH4_OFFSET_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH4_OFFSET_ALL[23:16]		結合オフセット・レジスタ・チャンネル 4	0x0	R/W

チャンネル 4 のオフセット中位バイト・レジスタ

アドレス: 0x035、リセット値: 0x00、レジスタ名: CH4_OFFSET_MID_BYTE

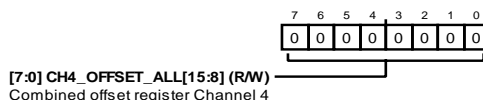


表 96. CH4_OFFSET_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH4_OFFSET_ALL[15:8]		結合オフセット・レジスタ・チャンネル 4	0x0	R/W

チャンネル 4 のオフセット下位バイト・レジスタ

アドレス: 0x036、リセット値: 0x00、レジスタ名: CH4_OFFSET_LOWER_BYTE

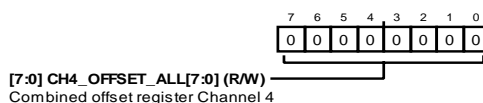


表 97. CH4_OFFSET_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH4_OFFSET_ALL[7:0]		結合オフセット・レジスタ・チャンネル 4	0x0	R/W

チャンネル 4 のゲイン上位バイト・レジスタ

アドレス: 0x037、リセット値: 0x00、レジスタ名: CH4_GAIN_UPPER_BYTE

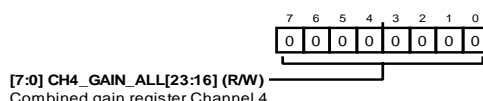


表 98. CH4_GAIN_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH4_GAIN_ALL[23:16]		結合ゲイン・レジスタ・チャンネル 4	0x0	R/W

チャンネル 4 のゲイン中位バイト・レジスタ

アドレス: 0x038、リセット値: 0x00、レジスタ名: CH4_GAIN_MID_BYTE

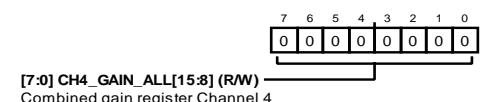


表 99. CH4_GAIN_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH4_GAIN_ALL[15:8]		結合ゲイン・レジスタ・チャンネル 4	0x0	R/W

チャンネル 4 のゲイン下位バイト・レジスタ

アドレス: 0x039、リセット値: 0x00、レジスタ名: CH4_GAIN_LOWER_BYTE

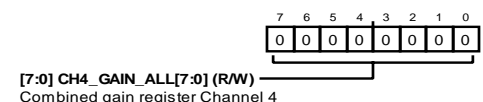


表 100. CH4_GAIN_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH4_GAIN_ALL[7:0]		結合ゲイン・レジスタ・チャンネル 4	0x0	R/W

チャンネル 5 オフセットの上位バイト・レジスタ

アドレス: 0x03A、リセット値: 0x00、レジスタ名: CH5_OFFSET_UPPER_BYTE

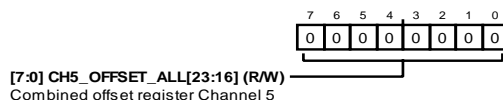


表 101. CH5_OFFSET_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH5_OFFSET_ALL[23:16]		結合オフセット・レジスタ・チャンネル 5	0x0	R/W

チャンネル 5 のオフセット中位バイト・レジスタ

アドレス: 0x03B、リセット値: 0x00、レジスタ名: CH5_OFFSET_MID_BYTE

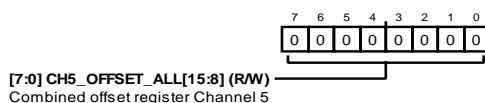


表 102. CH5_OFFSET_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH5_OFFSET_ALL[15:8]		結合オフセット・レジスタ・チャンネル 5	0x0	R/W

チャンネル 5 のオフセット下位バイト・レジスタ

アドレス: 0x03C、リセット値: 0x00、レジスタ名: CH5_OFFSET_LOWER_BYTE

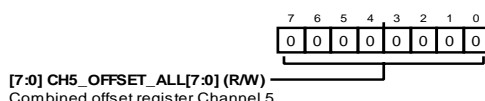


表 103. CH5_OFFSET_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH5_OFFSET_ALL[7:0]		結合オフセット・レジスタ・チャンネル 5	0x0	R/W

チャンネル 5 のゲイン上位バイト・レジスタ

アドレス: 0x03D、リセット値: 0x00、レジスタ名: CH5_GAIN_UPPER_BYTE

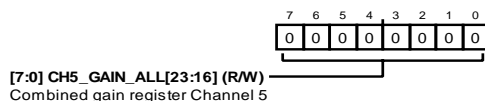


表 104. CH5_GAIN_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH5_GAIN_ALL[23:16]		結合ゲイン・レジスタ・チャンネル 5	0x0	R/W

チャンネル 5 のゲイン中位バイト・レジスタ

アドレス: 0x03E、リセット値: 0x00、レジスタ名: CH5_GAIN_MID_BYTE

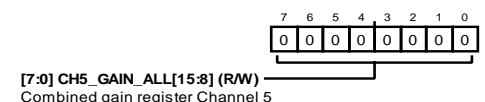


表 105. CH5_GAIN_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH5_GAIN_ALL[15:8]		結合ゲイン・レジスタ・チャンネル 5	0x0	R/W

チャンネル 5 のゲイン下位バイト・レジスタ

アドレス: 0x03F、リセット値: 0x00、レジスタ名: CH5_GAIN_LOWER_BYTE

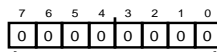
[7:0] CH5_GAIN_ALL[7:0] (R/W)
Combined gain register Channel 5

表 106. CH5_GAIN_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH5_GAIN_ALL[7:0]		結合ゲイン・レジスタ・チャンネル 5	0x0	R/W

チャンネル 6 オフセットの上位バイト・レジスタ

アドレス: 0x040、リセット値: 0x00、レジスタ名: CH6_OFFSET_UPPER_BYTE

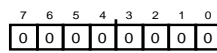
[7:0] CH6_OFFSET_ALL[23:16] (R/W)
Combined offset register Channel 6

表 107. CH6_OFFSET_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH6_OFFSET_ALL[23:16]		結合オフセット・レジスタ・チャンネル 6	0x0	R/W

チャンネル 6 のオフセット中位バイト・レジスタ

アドレス: 0x041、リセット値: 0x00、レジスタ名: CH6_OFFSET_MID_BYTE

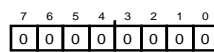
[7:0] CH6_OFFSET_ALL[15:8] (R/W)
Combined offset register Channel 6

表 108. CH6_OFFSET_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH6_OFFSET_ALL[15:8]		結合オフセット・レジスタ・チャンネル 6	0x0	R/W

チャンネル 6 のオフセット下位バイト・レジスタ

アドレス: 0x042、リセット値: 0x00、レジスタ名: CH6_OFFSET_LOWER_BYTE

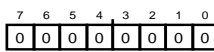
[7:0] CH6_OFFSET_ALL[7:0] (R/W)
Combined offset register Channel 6

表 109. CH6_OFFSET_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH6_OFFSET_ALL[7:0]		結合オフセット・レジスタ・チャンネル 6	0x0	R/W

チャンネル 6 のゲイン上位バイト・レジスタ

アドレス: 0x043、リセット値: 0x00、レジスタ名: CH6_GAIN_UPPER_BYTE

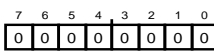
[7:0] CH6_GAIN_ALL[23:16] (R/W)
Combined gain register Channel 6

表 110. CH6_GAIN_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH6_GAIN_ALL[23:16]		結合ゲイン・レジスタ・チャンネル 6	0x0	R/W

チャンネル 6 のゲイン中位バイト・レジスタ

アドレス: 0x044、リセット値: 0x00、レジスタ名: CH6_GAIN_MID_BYTE

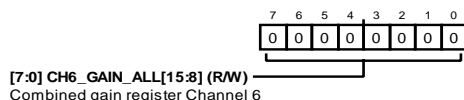


表 111. CH6_GAIN_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH6_GAIN_ALL[15:8]		結合ゲイン・レジスタ・チャンネル 6	0x0	R/W

チャンネル 6 のゲイン下位バイト・レジスタ

アドレス: 0x045、リセット値: 0x00、レジスタ名: CH6_GAIN_LOWER_BYTE

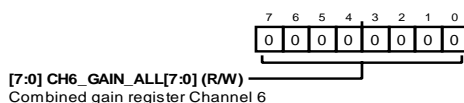


表 112. CH6_GAIN_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH6_GAIN_ALL[7:0]		結合ゲイン・レジスタ・チャンネル 6	0x0	R/W

チャンネル 7 オフセットの上位バイト・レジスタ

アドレス: 0x046、リセット値: 0x00、レジスタ名: CH7_OFFSET_UPPER_BYTE

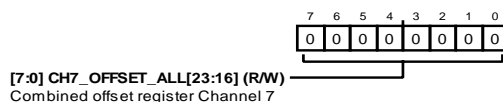


表 113. CH7_OFFSET_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH7_OFFSET_ALL[23:16]		結合オフセット・レジスタ・チャンネル 7	0x0	R/W

チャンネル 7 のオフセット中位バイト・レジスタ

アドレス: 0x047、リセット値: 0x00、レジスタ名: CH7_OFFSET_MID_BYTE

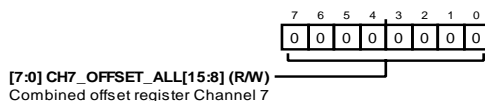


表 114. CH7_OFFSET_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH7_OFFSET_ALL[15:8]		結合オフセット・レジスタ・チャンネル 7	0x0	R/W

チャンネル 7 のオフセット下位バイト・レジスタ

アドレス: 0x048、リセット値: 0x00、レジスタ名: CH7_OFFSET_LOWER_BYTE

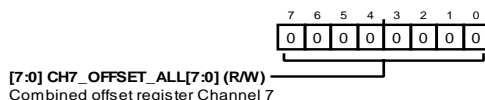


表 115. CH7_OFFSET_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH7_OFFSET_ALL[7:0]		結合オフセット・レジスタ・チャンネル 7	0x0	R/W

チャンネル 7 のゲイン上位バイト・レジスタ

アドレス: 0x049、リセット値: 0x00、レジスタ名: CH7_GAIN_UPPER_BYTE

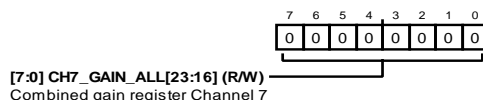


表 116. CH7_GAIN_UPPER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH7_GAIN_ALL[23:16]		結合ゲイン・レジスタ・チャンネル 7	0x0	R/W

チャンネル 7 のゲイン中位バイト・レジスタ

アドレス: 0x04A、リセット値: 0x00、レジスタ名: CH7_GAIN_MID_BYTE

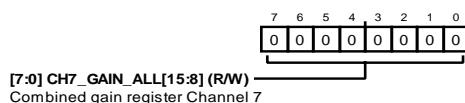


表 117. CH7_GAIN_MID_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH7_GAIN_ALL[15:8]		結合ゲイン・レジスタ・チャンネル 7	0x0	R/W

チャンネル 7 のゲイン下位バイト・レジスタ

アドレス: 0x04B、リセット値: 0x00、レジスタ名: CH7_GAIN_LOWER_BYTE

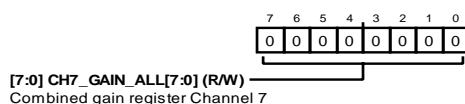


表 118. CH7_GAIN_LOWER_BYTE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CH7_GAIN_ALL[7:0]		結合ゲイン・レジスタ・チャンネル 7	0x0	R/W

チャンネル 0 のステータス・レジスタ

アドレス: 0x04C、リセット値: 0x00、レジスタ名: CH0_ERR_REG

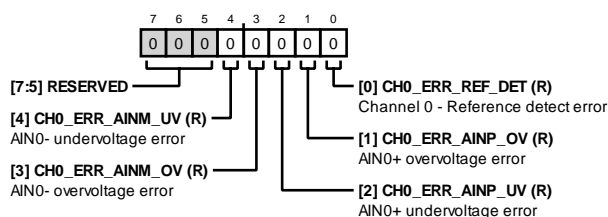


表 119. CH0_ERR_REG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		予備	0x0	R/W
4	CH0_ERR_AINM_UV		チャンネル 0 - AIN0- 低電圧エラー	0x0	R
3	CH0_ERR_AINM_OV		チャンネル 0 - AIN0- 過電圧エラー	0x0	R
2	CH0_ERR_AINP_UV		チャンネル 0 - AIN0+ 低電圧エラー	0x0	R
1	CH0_ERR_AINP_OV		チャンネル 0 - AIN0+ 過電圧エラー	0x0	R
0	CH0_ERR_REF_DET		チャンネル 0 - リファレンス検出エラー	0x0	R

チャンネル 1 のステータス・レジスタ

アドレス: 0x04D、リセット値: 0x00、レジスタ名: CH1_ERR_REG

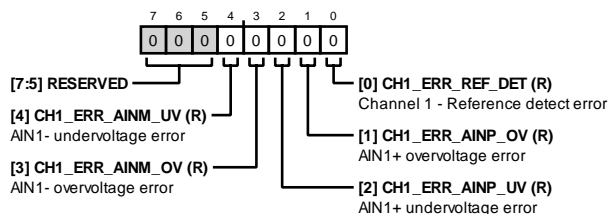


表 120. CH1_ERR_REG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		予備	0x0	R/W
4	CH1_ERR_AINM_UV		チャンネル 1 - AIN1- 低電圧エラー	0x0	R
3	CH1_ERR_AINM_OV		チャンネル 1 - AIN1- 過電圧エラー	0x0	R
2	CH1_ERR_AINP_UV		チャンネル 1 - AIN1+ 低電圧エラー	0x0	R
1	CH1_ERR_AINP_OV		チャンネル 1 - AIN1+ 過電圧エラー	0x0	R
0	CH1_ERR_REF_DET		チャンネル 1 - リファレンス検出エラー	0x0	R

チャンネル 2 のステータス・レジスタ

アドレス: 0x04E、リセット値: 0x00、レジスタ名: CH2_ERR_REG

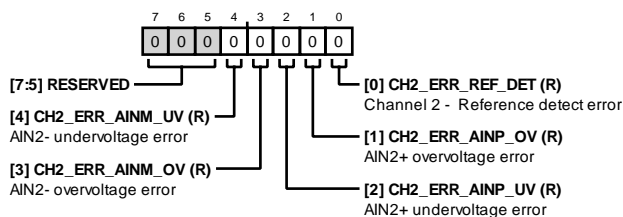


表 121. CH2_ERR_REG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		予備	0x0	R/W
4	CH2_ERR_AINM_UV		チャンネル 2 - AIN2- 低電圧エラー	0x0	R
3	CH2_ERR_AINM_OV		チャンネル 2 - AIN2- 過電圧エラー	0x0	R
2	CH2_ERR_AINP_UV		チャンネル 2 - AIN2+ 低電圧エラー	0x0	R
1	CH2_ERR_AINP_OV		チャンネル 2 - AIN2+ 過電圧エラー	0x0	R
0	CH2_ERR_REF_DET		チャンネル 2 - リファレンス検出エラー	0x0	R

チャンネル 3 のステータス・レジスタ

アドレス: 0x04F、リセット値: 0x00、レジスタ名: CH3_ERR_REG

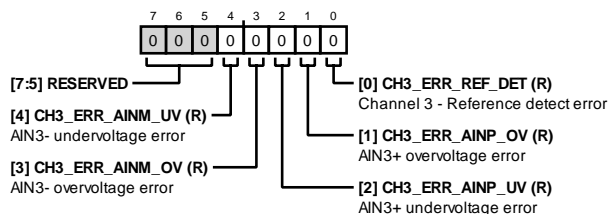


表 122. CH3_ERR_REG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		予備	0x0	R/W
4	CH3_ERR_AINM_UV		チャンネル 3 - AIN3- 低電圧エラー	0x0	R
3	CH3_ERR_AINM_OV		チャンネル 3 - AIN3- 過電圧エラー	0x0	R
2	CH3_ERR_AINP_UV		チャンネル 3 - AIN3+ 低電圧エラー	0x0	R
1	CH3_ERR_AINP_OV		チャンネル 3 - AIN3+ 過電圧エラー	0x0	R
0	CH3_ERR_REF_DET		チャンネル 3 - リファレンス検出エラー	0x0	R

チャンネル 4 のステータス・レジスタ

アドレス: 0x050、リセット値: 0x00、レジスタ名: CH4_ERR_REG

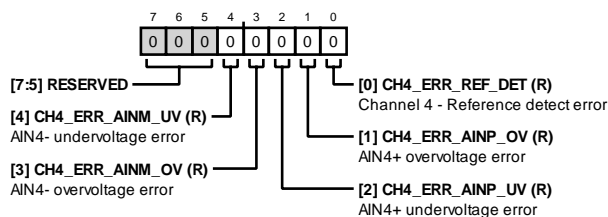


表 123. CH4_ERR_REG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		予備	0x0	R/W
4	CH4_ERR_AINM_UV		チャンネル 4 - AIN4- 低電圧エラー	0x0	R
3	CH4_ERR_AINM_OV		チャンネル 4 - AIN4- 過電圧エラー	0x0	R
2	CH4_ERR_AINP_UV		チャンネル 4 - AIN4+ 低電圧エラー	0x0	R
1	CH4_ERR_AINP_OV		チャンネル 4 - AIN4+ 過電圧エラー	0x0	R
0	CH4_ERR_REF_DET		チャンネル 4 - リファレンス検出エラー	0x0	R

チャンネル 5 のステータス・レジスタ

アドレス: 0x051、リセット値: 0x00、レジスタ名: CH5_ERR_REG

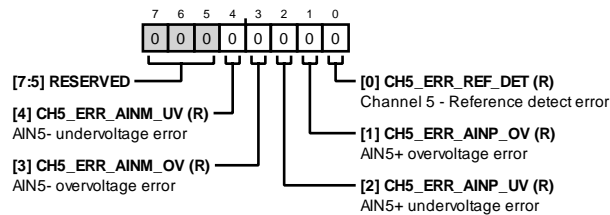


表 124. CH5_ERR_REG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		予備	0x0	R/W
4	CH5_ERR_AINM_UV		チャンネル 5 - AIN5- 低電圧エラー	0x0	R
3	CH5_ERR_AINM_OV		チャンネル 5 - AIN5- 過電圧エラー	0x0	R
2	CH5_ERR_AINP_UV		チャンネル 5 - AIN5+ 低電圧エラー	0x0	R
1	CH5_ERR_AINP_OV		チャンネル 5 - AIN5+ 過電圧エラー	0x0	R
0	CH5_ERR_REF_DET		チャンネル 5 - リファレンス検出エラー	0x0	R

チャンネル 6 のステータス・レジスタ

アドレス: 0x052、リセット値: 0x00、レジスタ名: CH6_ERR_REG

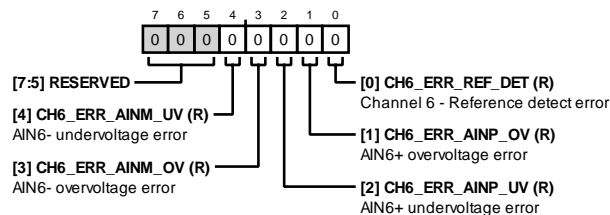


表 125. CH6_ERR_REG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		予備	0x0	R/W
4	CH6_ERR_AINM_UV		チャンネル 6 - AIN6- 低電圧エラー	0x0	R
3	CH6_ERR_AINM_OV		チャンネル 6 - AIN6- 過電圧エラー	0x0	R
2	CH6_ERR_AINP_UV		チャンネル 6 - AIN6+ 低電圧エラー	0x0	R
1	CH6_ERR_AINP_OV		チャンネル 6 - AIN6+ 過電圧エラー	0x0	R
0	CH6_ERR_REF_DET		チャンネル 6 - リファレンス検出エラー	0x0	R

チャンネル 7 のステータス・レジスタ

アドレス: 0x053、リセット値: 0x00、レジスタ名: CH7_ERR_REG

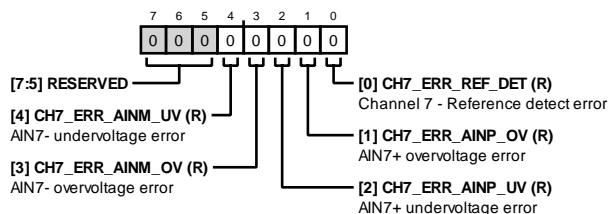


表 126. CH7_ERR_REG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		予備	0x0	R
4	CH7_ERR_AINM_UV		チャンネル 7 - AIN7- 低電圧エラー	0x0	R
3	CH7_ERR_AINM_OV		チャンネル 7 - AIN7- 過電圧エラー	0x0	R
2	CH7_ERR_AINP_UV		チャンネル 7 - AIN7+ 低電圧エラー	0x0	R
1	CH7_ERR_AINP_OV		チャンネル 7 - AIN7+ 過電圧エラー	0x0	R
0	CH7_ERR_REF_DET		チャンネル 7 - リファレンス検出エラー	0x0	R

チャンネル 0/チャンネル 1 の DSP エラー・レジスタ

アドレス: 0x054、リセット値: 0x00、レジスタ名: CH0_1_SAT_ERR

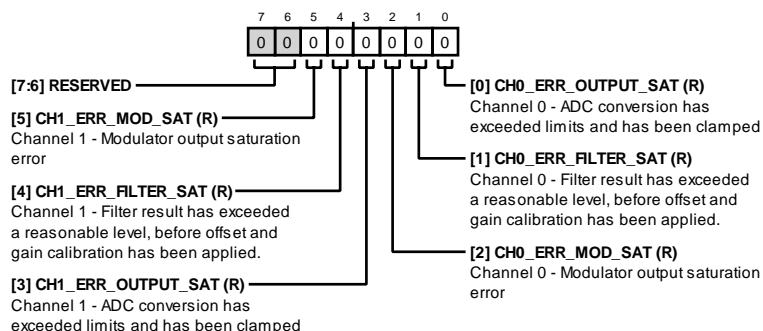


表 127. CH0_1_SAT_ERR のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	CH1_ERR_MOD_SAT		チャンネル 1 - 変調器の出力飽和エラー	0x0	R
4	CH1_ERR_FILTER_SAT		チャンネル 1 - オフセットおよびゲイン・キャリブレーションが適用される前にフィルタ処理の結果が合理的なレベルを超えた	0x0	R
3	CH1_ERR_OUTPUT_SAT		チャンネル 1 - ADC 変換が限界値を超えてクランプされた	0x0	R
2	CH0_ERR_MOD_SAT		チャンネル 0 - 変調器の出力飽和エラー	0x0	R
1	CH0_ERR_FILTER_SAT		チャンネル 0 - オフセットおよびゲイン・キャリブレーションが適用される前にフィルタ処理の結果が合理的なレベルを超えた	0x0	R
0	CH0_ERR_OUTPUT_SAT		チャンネル 0 - ADC 変換が限界値を超えてクランプされた	0x0	R

チャンネル 2/チャンネル 3 の DSP エラー・レジスタ

アドレス: 0x055、リセット値: 0x00、レジスタ名: CH2_3_SAT_ERR

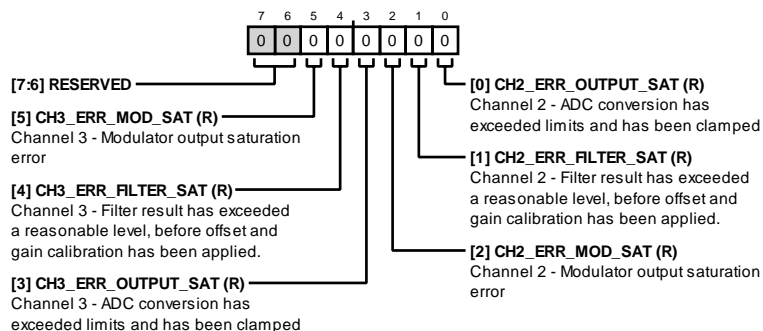


表 128. CH2_3_SAT_ERR のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	CH3_ERR_MOD_SAT		チャンネル 3 - 変調器の出力飽和エラー	0x0	R
4	CH3_ERR_FILTER_SAT		チャンネル 3 - オフセットおよびゲイン・キャリブレーションが適用される前にフィルタ処理の結果が合理的なレベルを超えた	0x0	R
3	CH3_ERR_OUTPUT_SAT		チャンネル 3 - ADC 変換が限界値を超えてクランプされた	0x0	R
2	CH2_ERR_MOD_SAT		チャンネル 2 - 変調器の出力飽和エラー	0x0	R
1	CH2_ERR_FILTER_SAT		チャンネル 2 - オフセットおよびゲイン・キャリブレーションが適用される前にフィルタ処理の結果が合理的なレベルを超えた	0x0	R
0	CH2_ERR_OUTPUT_SAT		チャンネル 2 - ADC 変換が限界値を超えてクランプされた	0x0	R

チャンネル 4/チャンネル 5 の DSP エラー・レジスタ

アドレス: 0x056、リセット値: 0x00、レジスタ名: CH4_5_SAT_ERR

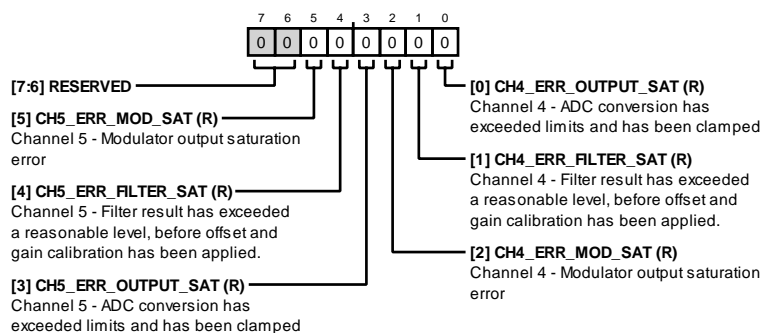


表 129. CH4_5_SAT_ERR のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	CH5_ERR_MOD_SAT		チャンネル 5 - 変調器の出力飽和エラー	0x0	R
4	CH5_ERR_FILTER_SAT		チャンネル 5 - オフセットおよびゲイン・キャリブレーションが適用される前にフィルタ処理の結果が合理的なレベルを超えた	0x0	R
3	CH5_ERR_OUTPUT_SAT		チャンネル 5 - ADC 変換が限界値を超え、クランプされた	0x0	R
2	CH4_ERR_MOD_SAT		チャンネル 4 - 変調器の出力飽和エラー	0x0	R
1	CH4_ERR_FILTER_SAT		チャンネル 4 - オフセットおよびゲイン・キャリブレーションが適用される前にフィルタ処理の結果が合理的なレベルを超えた	0x0	R
0	CH4_ERR_OUTPUT_SAT		チャンネル 4 - ADC 変換が限界値を超え、クランプされた	0x0	R

チャンネル 6/チャンネル 7 の DSP エラー・レジスタ

アドレス: 0x057、リセット値: 0x00、レジスタ名: CH6_7_SAT_ERR

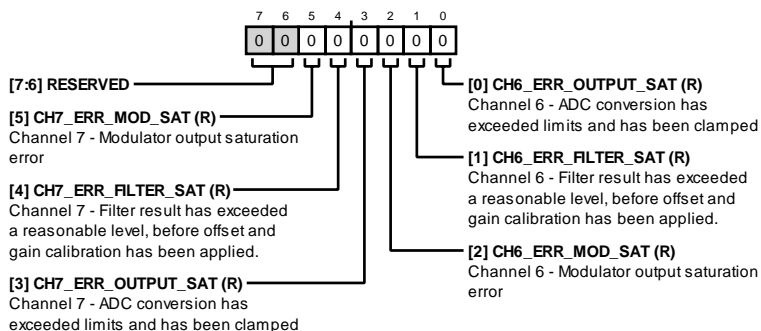


表 130. CH6_7_SAT_ERR のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	CH7_ERR_MOD_SAT		チャンネル 7 - 変調器の出力飽和エラー	0x0	R
4	CH7_ERR_FILTER_SAT		チャンネル 7 - オフセットおよびゲイン・キャリブレーションが適用される前にフィルタ処理の結果が合理的なレベルを超えた	0x0	R
3	CH7_ERR_OUTPUT_SAT		チャンネル 7 - ADC 変換が限界値を超え、クランプされた	0x0	R
2	CH6_ERR_MOD_SAT		チャンネル 6 - 変調器の出力飽和エラー	0x0	R
1	CH6_ERR_FILTER_SAT		チャンネル 6 - オフセットおよびゲイン・キャリブレーションが適用される前にフィルタ処理の結果が合理的なレベルを超えた	0x0	R
0	CH6_ERR_OUTPUT_SAT		チャンネル 6 - ADC 変換が限界値を超え、クランプされた	0x0	R

チャンネル 0 ~ チャンネル 7 のエラー・レジスタ・イネーブル・レジスタ

アドレス: 0x058、リセット値: 0xFE、レジスタ名: CHX_ERR_REG_EN

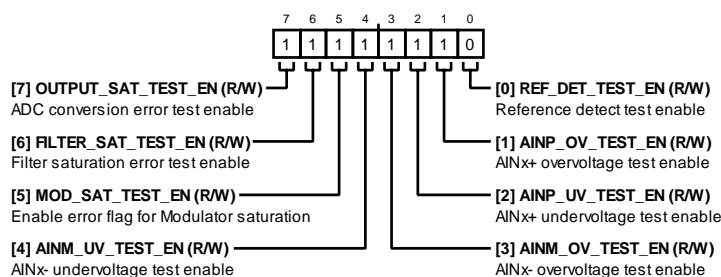


表 131. CHX_ERR_REG_EN のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	OUTPUT_SAT_TEST_EN		ADC 変換エラー・テスト・イネーブル	0x1	R/W
6	FILTER_SAT_TEST_EN		フィルタ飽和テスト・イネーブル	0x1	R/W
5	MOD_SAT_TEST_EN		変調器飽和のエラー・フラグのイネーブル	0x1	R/W
4	AINM_UV_TEST_EN		AINx- 低電圧テストのイネーブル	0x1	R/W
3	AINM_OV_TEST_EN		AINx- 過電圧テストのイネーブル	0x1	R/W
2	AINP_UV_TEST_EN		AINx+ 低電圧テストのイネーブル	0x1	R/W
1	AINP_OV_TEST_EN		AINx+ 過電圧テストのイネーブル	0x1	R/W
0	REF_DET_TEST_EN		リファレンス検出テストのイネーブル	0x0	R/W

一般エラー・レジスタ 1

アドレス: 0x059、リセット値: 0x00、レジスタ名: GEN_ERR_REG_1

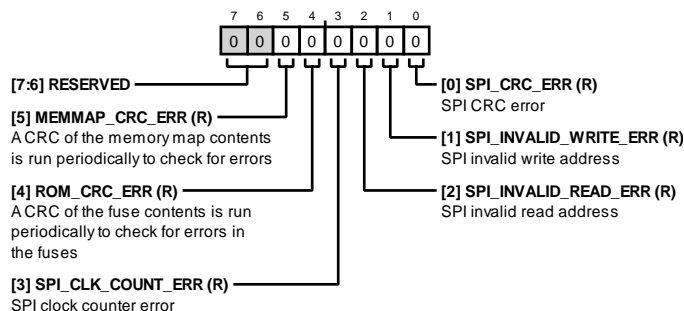


表 132. GEN_ERR_REG_1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	MEMMAP_CRC_ERR		エラー・チェックのためにメモリ・マップの内容の CRC を定期的に行う	0x0	R
4	ROM_CRC_ERR		ヒューズでのエラー・チェックのためにヒューズの内容の CRC を定期的に行う	0x0	R
3	SPI_CLK_COUNT_ERR		SPI クロック・カウンタ・エラー	0x0	R
2	SPI_INVALID_READ_ERR		SPI の無効な読出しアドレス	0x0	R
1	SPI_INVALID_WRITE_ERR		SPI の無効な書込みアドレス	0x0	R
0	SPI_CRC_ERR		SPI の CRC エラー	0x0	R

一般エラー・レジスタ 1 のイネーブル

アドレス: 0x05A、リセット値: 0x3E、レジスタ名: GEN_ERR_REG_1_EN

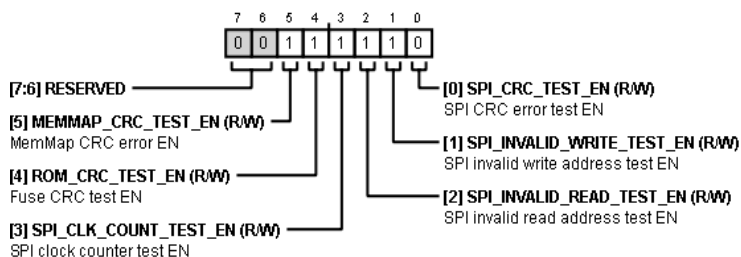


表 133. GEN_ERR_REG_1_EN のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	MEMMAP_CRC_TEST_EN		メモリ・マップ CRC テストのイネーブル	0x1	R/W
4	ROM_CRC_TEST_EN		ヒューズ CRC テストのイネーブル	0x1	R/W
3	SPI_CLK_COUNT_TEST_EN		SPI クロック・カウンタ・テストのイネーブル	0x1	R/W
2	SPI_INVALID_READ_TEST_EN		SPI の無効な読出しアドレス・テストのイネーブル	0x1	R/W
1	SPI_INVALID_WRITE_TEST_EN		SPI の無効な書込みアドレス・テストのイネーブル	0x1	R/W
0	SPI_CRC_TEST_EN		SPI の CRC エラー・テストのイネーブル	0x0	R/W

一般エラー・レジスタ 2

アドレス: 0x05B、リセット値: 0x00、レジスタ名: GEN_ERR_REG_2

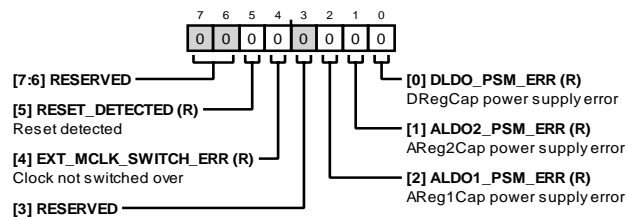


表 134. GEN_ERR_REG_2 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	RESET_DETECTED		リセット検出	0x0	R
4	EXT_MCLK_SWITCH_ERR		クロック未切替え	0x0	R
3	RESERVED		予備	0x0	R
2	ALDO1_PSM_ERR		AREG1CAP 電源エラー	0x0	R
1	ALDO2_PSM_ERR		AREG2CAP 電源エラー	0x0	R
0	DLDO_PSM_ERR		DREGCAP 電源エラー	0x0	R

一般エラー・レジスタ 2 のイネーブル

アドレス: 0x05C、リセット値: 0x3C、レジスタ名: GEN_ERR_REG_2_EN

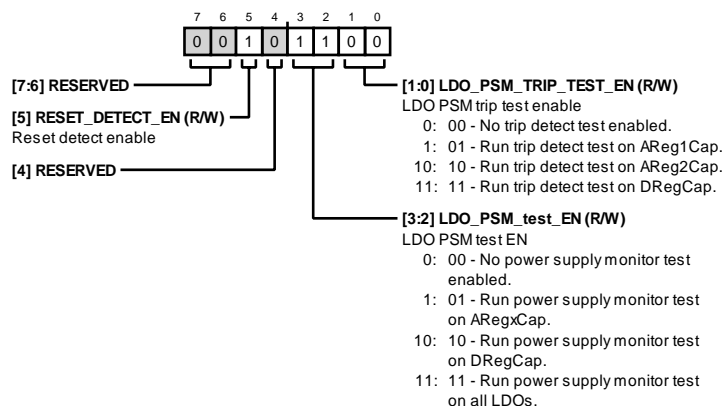


表 135. GEN_ERR_REG_2_EN のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	RESET_DETECT_EN		リセット検出のイネーブル	0x1	R/W
4	RESERVED		予備	0x1	R/W
[3:2]	LDO_PSM_TEST_EN		LDO PSM テストのイネーブル <ul style="list-style-type: none"> 0 00 - イネーブルになっている電源モニタ・テストなし 1 01 - AREGxCAP で電源モニタ・テストを実行 10 10 - DREGCAP で電源モニタ・テストを実行 11 11 - すべての LDO で電源モニタ・テストを実行 	0x3	R/W
[1:0]	LDO_PSM_TRIP_TEST_EN		LDO PSM トリップ・テストのイネーブル <ul style="list-style-type: none"> 0 00 - イネーブルになっているトリップ検出テストなし 1 01 - AREG1CAP でトリップ検出テストを実行 10 10 - AREG2CAP でトリップ検出テストを実行 11 11 - DREGCAP でトリップ検出テストを実行 	0x0	R/W

エラー・ステータス・レジスタ 1

アドレス: 0x05D、リセット値: 0x00、レジスタ名: STATUS_REG_1

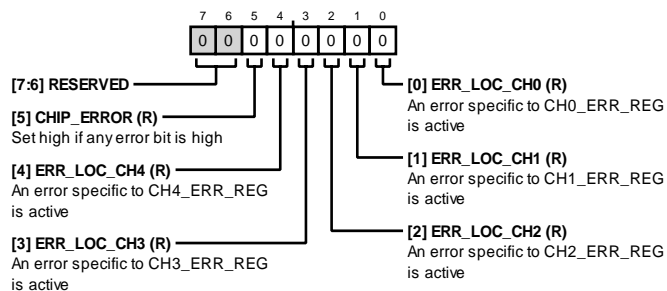


表 136. STATUS_REG_1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	CHIP_ERROR		いずれかのエラー・ビットがハイ・レベルの場合は、このビットをハイ・レベルに設定	0x0	R
4	ERR_LOC_CH4		CH4_ERR_REG に固有のエラーがアクティブ	0x0	R
3	ERR_LOC_CH3		CH3_ERR_REG に固有のエラーがアクティブ	0x0	R
2	ERR_LOC_CH2		CH2_ERR_REG に固有のエラーがアクティブ	0x0	R
1	ERR_LOC_CH1		CH1_ERR_REG に固有のエラーがアクティブ	0x0	R
0	ERR_LOC_CH0		CH0_ERR_REG に固有のエラーがアクティブ	0x0	R

エラー・ステータス・レジスタ 2

アドレス: 0x05E、リセット値: 0x00、レジスタ名: STATUS_REG_2

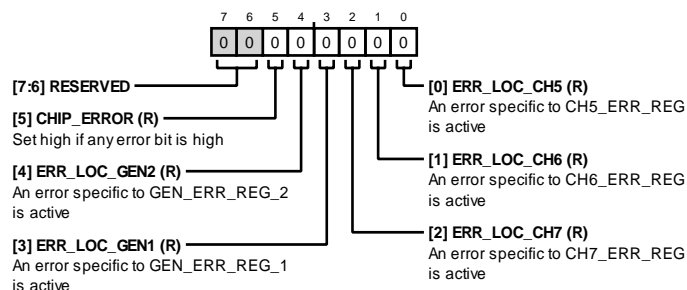


表 137. STATUS_REG_2 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	CHIP_ERROR		いずれかのエラー・ビットがハイ・レベルの場合は、ハイ・レベルに設定	0x0	R
4	ERR_LOC_GEN2		GEN_ERR_REG_2 に固有のエラーがアクティブ	0x0	R
3	ERR_LOC_GEN1		GEN_ERR_REG_1 に固有のエラーがアクティブ	0x0	R
2	ERR_LOC_CH7		CH7_ERR_REG に固有のエラーがアクティブ	0x0	R
1	ERR_LOC_CH6		CH6_ERR_REG に固有のエラーがアクティブ	0x0	R
0	ERR_LOC_CH5		CH5_ERR_REG に固有のエラーがアクティブ	0x0	R

エラー・ステータス・レジスタ 3

アドレス: 0x05F、リセット値: 0x00、レジスタ名: STATUS_REG_3

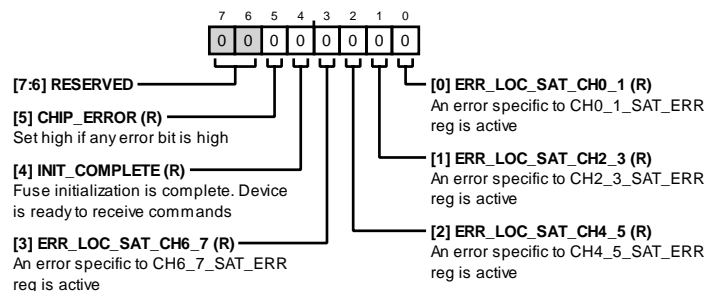


表 138. STATUS_REG_3 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		予備	0x0	R
5	CHIP_ERROR		いずれかのエラー・ビットがハイ・レベルの場合は、ハイ・レベルに設定。	0x0	R
4	INIT_COMPLETE		ヒューズの初期化が完了。デバイスはコマンド受信可能。	0x0	R
3	ERR_LOC_SAT_CH6_7		CH6_7_SAT_ERR レジスタに固有のエラーが発生。	0x0	R
2	ERR_LOC_SAT_CH4_5		CH4_5_SAT_ERR レジスタに固有のエラーが発生。	0x0	R
1	ERR_LOC_SAT_CH2_3		CH2_3_SAT_ERR レジスタに固有のエラーが発生。	0x0	R
0	ERR_LOC_SAT_CH0_1		CH0_1_SAT_ERR レジスタに固有のエラーが発生。	0x0	R

デシメーション・レート (N) MSB レジスタ

アドレス: 0x060、リセット値: 0x00、レジスタ名: SRC_N_MSB

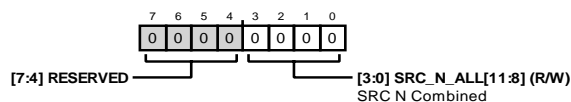


表 139. SRC_N_MSB のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	RESERVED		予備	0x0	R
[3:0]	SRC_N_ALL[11:8]		SRC N 結合	0x0	R/W

デシメーション・レート (N) LSB レジスタ

アドレス: 0x061、リセット値: 0x80、レジスタ名: SRC_N_LSB

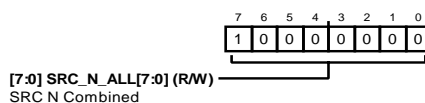


表 140. SRC_N_LSB のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	SRC_N_ALL[7:0]		SRC N 結合	0x0	R/W

デシメーション・レート (IF) MSB レジスタ

アドレス: 0x062、リセット値: 0x00、レジスタ名: SRC_IF_MSB

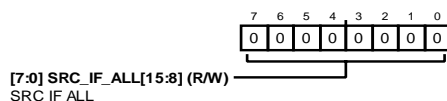


表 141. SRC_IF_MSB のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	SRC_IF_ALL[15:8]		SRC IF すべて	0x0	R/W

デシメーション・レート (IF) LSB レジスタ

アドレス: 0x063、リセット値: 0x00、レジスタ名: SRC_IF_LSB

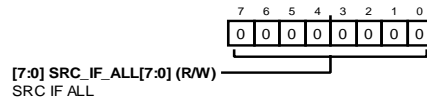


表 142. SRC_IF_LSB のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	SRC_IF_ALL[7:0]		SRC IF すべて	0x0	R/W

SRC のソース／更新をロードするレジスタ

アドレス: 0x064、リセット値: 0x00、レジスタ名: SRC_UPDATE

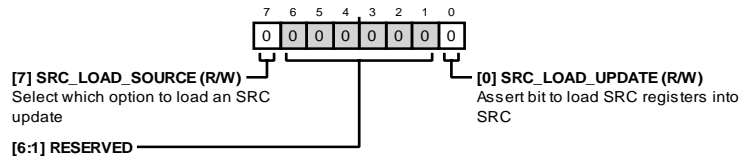


表 143. SRC_UPDATE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	SRC_LOAD_SOURCE		SRC 更新をロードするオプションを選択	0x0	R/W
[6:1]	RESERVED		予備	0x0	R
0	SRC_LOAD_UPDATE		SRC レジスタを SRC にロードするビットをアサート	0x0	R/W

外形寸法

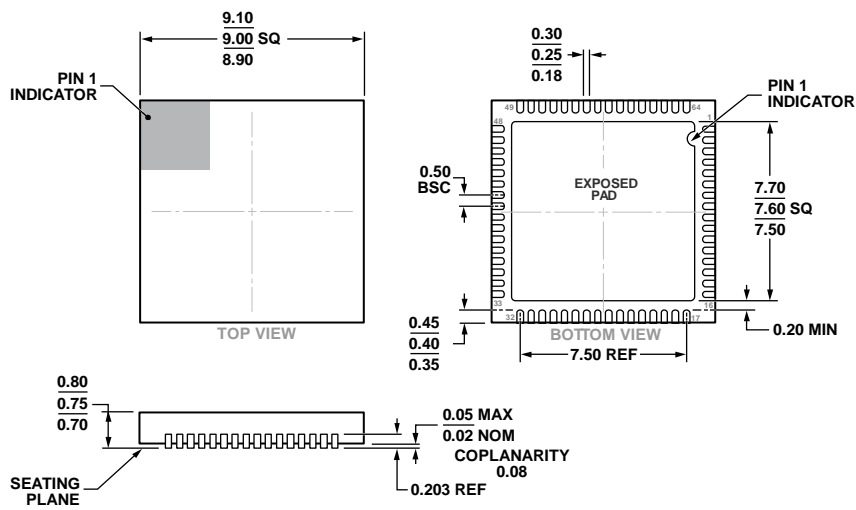


図 139.64 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
9 mm × 9 mm ボディ、0.75 mm パッケージ高
(CP-64-15)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7771BCPZ	-40°C to +125°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-15
AD7771BCPZ-RL	-40°C to +125°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-15
EVAL-AD7771FMCZ		Evaluation Board	

¹ Z = RoHS 準拠製品