

## 特長

高精度な AC/DC 性能  
 8チャンネル/4チャンネル、同時サンプリング  
 チャンネルあたり 256 kSPS (max) の ADC 出力データ・レート  
 ダイナミック・レンジ: 108 dB  
 入力帯域幅 (-3 dB 帯域幅): 110.8 kHz (max)  
 全高調波歪み (THD): -120 dB (typ)  
 フルスケール・レンジ (FSR) 積分非直線性 (INL):  $\pm 2$  ppm、  
 オフセットエラー:  $\pm 50$   $\mu$ V、ゲイン誤差:  $\pm 30$  ppm  
 消費電力、ノイズ、入力帯域幅の関係を最適化  
 消費電力、速度、入力帯域幅 (BW) モードを選択可能  
 高速: 最高速度、110.8 kHz BW、51.5 mW/チャンネル  
 中間: 半分の速度、55.4 kHz BW、27.5 mW/チャンネル  
 エコ: 最小電力、13.8 kHz BW、9.375 mW/チャンネル  
 入力 BW 範囲: dc ~ 110.8 kHz  
 プログラマブルな入力帯域幅/サンプリング・レート  
 データ・インターフェースでの巡回冗長性チェック (CRC)  
 エラー・チェック  
 デイジーチェーン接続

リニア位相デジタル・フィルタ  
 低遅延 sinc5 フィルタ  
 広帯域ブリック・ウォール・フィルタ:  $\pm 0.005$  dB の通過帯域  
 リップル (DC ~ 102.4 kHz)  
 アナログ入力プリチャージ・バッファ  
 電源  
 AVDD1 = 5.0 V、AVDD2 = 2.25 V ~ 5.0 V  
 IOVDD = 2.5 V ~ 3.3 V または IOVDD = 1.8 V  
 64ピン LQFP パッケージ、エクスポーズド・パッドなし  
 動作温度範囲: -40 °C ~ +105 °C

## アプリケーション

データ・アキュイジション・システム: USB/PXI/イーサネット  
 計装および工業用制御ループ  
 オーディオのテストおよび測定  
 振動とアセット状態の監視  
 3相電力の品質解析  
 ソナー  
 高精度医療 EEG (脳波) / EMG (筋電図) / ECG (心電図)

## 機能ブロック図

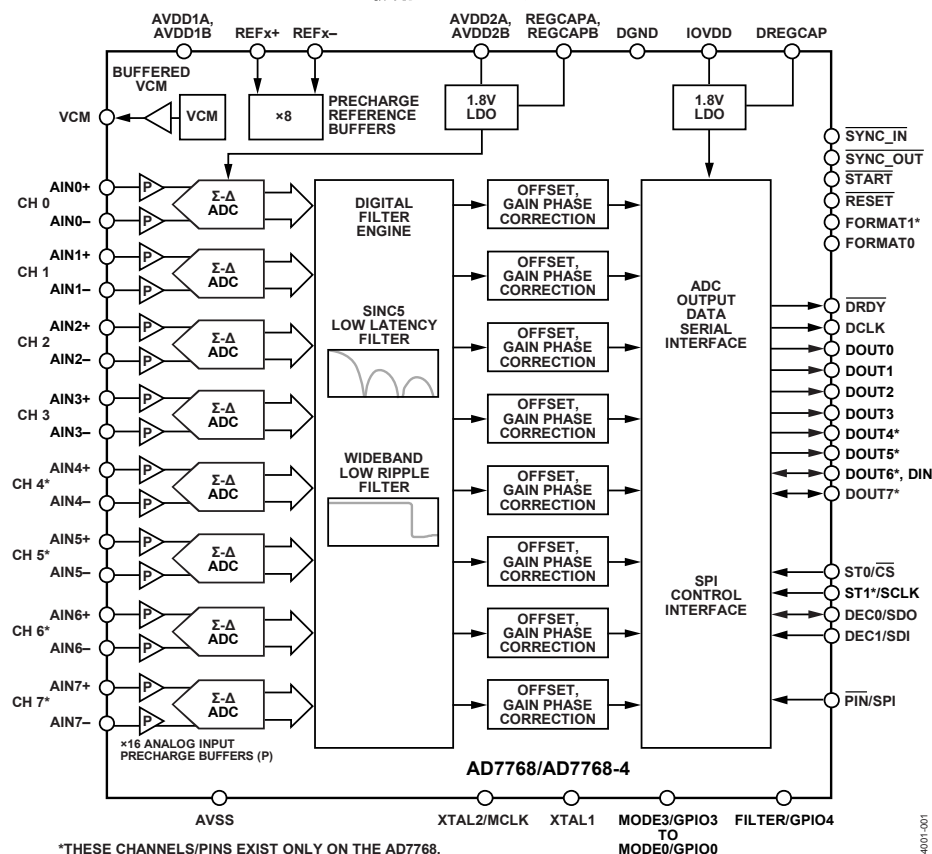


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長	1	チャンネル・モード選択レジスタ	74
アプリケーション	1	消費電力モード選択レジスタ	75
機能ブロック図	1	全般的なデバイス設定レジスタ	75
改訂履歴	3	データ制御: ソフト・リセット、同期、および シングルショット制御レジスタ	76
概要	4	インターフェース設定レジスタ	77
仕様	5	デジタル・フィルタ RAM 内蔵セルフ・テスト (BIST) レジスタ	77
1.8 V IOVDD の仕様	11	ステータス・レジスタ	78
タイミング仕様	15	リビジョン識別レジスタ	78
1.8 V IOVDD タイミング仕様	16	GPIO 制御レジスタ	78
絶対最大定格	20	GPIO 書き込みデータ・レジスタ	79
熱抵抗	20	GPIO 読出しデータ・レジスタ	79
ESD に関する注意	20	アナログ入力プリチャージ・バッファのイネーブル・ レジスタ、チャンネル 0 ~ チャンネル 3	79
ピン配置およびピン機能の説明	21	アナログ入力プリチャージ・バッファのイネーブル・ レジスタ、チャンネル 4 ~ チャンネル 7	80
代表的な性能特性	29	正のリファレンス・プリチャージ・バッファのイネーブル・ レジスタ	80
用語の定義	39	負のリファレンス・プリチャージ・バッファのイネーブル・ レジスタ	81
動作原理	40	オフセット・レジスタ	81
クロック供給、サンプリング・ツリー、および パワー・スケール	40	ゲイン・レジスタ	82
ノイズ性能と分解能	41	同期位相オフセット・レジスタ	82
アプリケーション情報	43	ADC 診断受信選択レジスタ	82
電源	44	ADC 診断制御レジスタ	83
デバイスの設定	45	変調器遅延制御レジスタ	84
ピン制御	45	チョップ制御レジスタ	84
SPI 制御	48	AD7768-4 のレジスタ・マップの詳細 (SPI 制御)	85
SPI 制御機能	49	AD7768-4 のレジスタ・マップ	85
SPI 制御モードの追加の診断機能	52	チャンネル・スタンバイ・レジスタ	87
回路説明	53	チャンネル・モード A レジスタ	87
コア・シグナル・チェーン	53	チャンネル・モード B レジスタ	88
アナログ入力	54	チャンネル・モード選択レジスタ	88
VCM	55	消費電力モード選択レジスタ	88
リファレンス入力	55	全般的なデバイス設定レジスタ	89
クロックの選択	55	データ制御: ソフト・リセット、同期、および シングルショット制御レジスタ	90
デジタル・フィルタリング	55	インターフェース設定レジスタ	90
デシメーション・レート制御	57	デジタル・フィルタ RAM 内蔵セルフ・テスト (BIST) レジスタ	91
アンチエイリアシング	57	ステータス・レジスタ	91
キャリブレーション	58	リビジョン識別レジスタ	92
データ・インターフェース	60	GPIO 制御レジスタ	92
データ出力のフォーマット設定	60	GPIO 書き込みデータ・レジスタ	93
ADC 変換出力: ヘッダーとデータ	61	GPIO 読出しデータ・レジスタ	93
機能	70	アナログ入力プリチャージ・バッファのイネーブル・レジスタ、 チャンネル 0 およびチャンネル 1	93
GPIO 機能	70		
AD7768 のレジスタ・マップの詳細 (SPI 制御)	71		
AD7768 のレジスタ・マップ	71		
チャンネル・スタンバイ・レジスタ	73		
チャンネル・モード A レジスタ	73		
チャンネル・モード B レジスタ	74		

アナログ入力プリチャージ・バッファのイネーブル・レジスタ、チャンネル2およびチャンネル3	94
正のリファレンス・プリチャージ・バッファのイネーブル・レジスタ	94
負のリファレンス・プリチャージ・バッファのイネーブル・レジスタ	94
オフセット・レジスタ	95
ゲイン・レジスタ	95

同期位相オフセット・レジスタ	95
ADC 診断受信選択レジスタ	95
ADC 診断制御レジスタ	96
変調器遅延制御レジスタ	96
チョップ制御レジスタ	97
外形寸法	98
オーダー・ガイド	98

## 改訂履歴

### 3/16—Rev. 0 to Rev. A

Added AD7768-4	Universal
Changed Precharge Analog Input Reference to Analog Input Precharge	Throughout
Changes to General Description Section	5
Changes to Table 1	6
Changes to Table 2	12
Changes to Table 3 and $t_{30}$ Parameter, Table 4	16
Changes to Table 5	17
Changes to $t_{30}$ Parameter, Table 6 and Figure 2	18
Changes to Figure 4 and Figure 7	19
Changes to Figure 8 and Figure 9	20
Changes to Figure 10 and Table 9	22
Added Figure 11 and Table 10; Renumbered Sequentially	26
Changes to Typical Performance Characteristics Section	30
Changes to Theory of Operation Section and Clocking, Sampling Tree, and Power Scaling Section	41
Changes to Table 11	42
Added Example of Power vs. Noise Performance Optimization Section and Clocking Out the ADC Conversion Results (DCLK) Section	42
Changes to Applications Information Section and Figure 73	44
Changes to Table 14 and Power Supplies Section	45
Moved 1.8 V IOVDD Operation Section	46
Changes to Figure 75, Analog Supply Internal Connectivity Section, and Pin Control Section	46
Added Figure 76	47
Changes to Channel Standby Section and Accessing the ADC Register Map Section	49
Added Table 22	49
Changes to Channel Configuration Section	50
Changes to Channel Modes Section, Reset over SPI Control Interface Section, Sleep Mode Section, and Channel Standby Section	51
Changes to MCLK Source Selection Section, Interface Configuration Section, and ADC Synchronization over SPI Section	52
Added Figure 81	52
Changes to RAM Built In Self Test Section	53
Changes to Analog Inputs Section and Figure 85	55
Added Figure 86	55
Added Table 27	56
Changes to VCM Section, Reference Input Section, and Digital Filtering Section	56
Changes to Figure 87, Figure 88, and Figure 89	57
Changes to Antialiasing Section and Modulator Sampling Frequency Section	58

Changes to Modulator Chopping Frequency Section and Table 29, and Modulator Saturation Point Section	59
Changes to Sync Phase Offset Adjustment Section	60
Changes to Setting the Format of Data Output Section	61
Added Table 32 and Figure 93	61
Changes to Figure 94 Caption and ADC Conversion Output: Header and Data Section	62
Changes to Data Interface: Standard Conversion Operation Section	63
Changes to Figure 99	64
Added Figure 100	64
Added Figure 101	65
Changes to Daisy-Chaining Section and Figure 104	66
Added Figure 105	67
Changes to CRC Check on Data Interface Section	68
Changes to Table 35	69
Changes to Table 36	70
Changes to GPIO Functionality Section and Figure 108	71
Added Figure 109	71
Changes to AD7768 Register Map Details (SPI Control) Section and Table 37	72
Changes to Channel Standby Register Section	74
Changes to Table 42 and Table 43	76
Changes to Table 44	77
Changes to Table 45 and Table 46	78
Changes to Table 49	79
Changes to Table 61	85
Added AD7768-4 Register Map Details (SPI Control) Section and Table 63	86
Added Table 64 and Table 65	88
Added Table 66, Table 67, and Table 68	89
Added Table 69	90
Added Table 70 and Table 71	91
Added Table 72 and Table 73	92
Added Table 74 and Table 75	93
Added Table 76, Table 77, and Table 78	94
Added Table 79, Table 80, and Table 81	95
Added Table 82, Table 83, Table 84, and Table 85	96
Added Table 86 and Table 87	97
Added Table 88	98
Changes to Ordering Guide	99

### 1/16—Revision 0: Initial Version

## 概要

AD7768/AD7768-4 は 8 チャンネル/4 チャンネル、同時サンプリング・シグマ・デルタ ( $\Sigma\Delta$ ) A/D コンバータ (ADC) で、 $\Sigma\Delta$  モジュレータとデジタル・フィルタをチャンネルごとに実装し、AC 信号と DC 信号の同期サンプリングが可能です。

AD7768/AD7768-4 は 110.8 kHz の最大入力帯域幅で 108 dB のダイナミック・レンジを実現するとともに、積分非直線性 (INL)  $\pm 2$  ppm、オフセット誤差  $\pm 50$   $\mu$ V、ゲイン誤差  $\pm 30$  ppm の代表的な性能を達成しています。

AD7768/AD7768-4 では入力帯域幅、出力データ・レート、消費電力のいずれかを優先することができ、3つの消費電力モードのいずれかを選択して、ノイズ目標値と消費電力を最適化します。AD7768/AD7768-4 の柔軟性により、低消費電力 DC 測定モジュールおよび高性能 AC 測定モジュールの再利用可能なプラットフォームを作成できます。

AD7768/AD7768-4 には、高速モード (256 kSPS max、入力帯域幅 110.8 kHz、51.5 mW/チャンネル)、中間モード (128 kSPS max、入力帯域幅 55.4 kHz、27.5 mW/チャンネル)、エコ・モード (32 kSPS max、入力帯域幅 13.8 kHz、9.375 mW/チャンネル) の 3つのモードがあります。

AD7768/AD7768-4 は広帯域、 $\pm 0.005$  dB の低通過帯域リップル、急峻なロール・オフのアンチエイリアシング・ローパス・フィルタ、ナイキスト周波数での 105 dB 阻止帯域減衰など、多様なデジタル・フィルタリング機能を備えています。

周波数領域の測定には、広帯域リニア位相フィルタを使用できます。このフィルタは 256 kSPS では DC ~ 102.4 kHz、128 kSPS では DC ~ 51.2 kHz、32 kSPS では DC ~ 12.8 kHz で通過帯域が平坦 ( $\pm 0.005$  dB リップル) になっています。

AD7768/AD7768-4 は、sinc5 フィルタを介した sinc 応答、低帯域幅向け低遅延経路、低ノイズ測定も実現します。広帯域幅と sinc5 フィルタを選択して、チャンネルごとに駆動することができます。

これらのフィルタ・オプションのうち、デシメーション・レートを  $\times 32$ 、 $\times 64$ 、 $\times 128$ 、 $\times 256$ 、 $\times 512$ 、 $\times 1024$  の中から選択してダイナミック・レンジを改善することができます。デシメーション・フィルタを変更できるので、必要な入力帯域幅に対してノイズ性能を最適化できます。

アナログ入力電流を低減する各アナログ入力のプリチャージ・バッファや、リファレンス入力端子の入力電流/グリッジを低減するチャンネルごとのリファレンス・プリチャージ・バッファなど、各 ADC チャンネルに組み込まれたアナログ機能により設計が容易になります。

デバイスは、AVDD1A = AVDD1B = 5V、AVDD2A = AVDD2B = 2.25 V ~ 5.0 V、IOVDD = 2.5 V ~ 3.3 V または IOVDD = 1.8 V の電源で動作します (IOVDD = 1.8 V で動作させる際の特定の要件については、1.8 V IOVDD 動作のセクションを参照してください)。

デバイスは外部リファレンスを必要とします。絶対入力リファレンス電圧範囲は 1 V ~ AVDD1 - AVSS です。

わかりやすくするために本書では AVDD1A および AVDD1B 電源のことを AVDD1、AVDD2A および AVDD2B 電源のことを AVDD2 と呼んでいます。負電源に関しては、AVSS1A、AVSS1B、AVSS2A、AVSS2B、および AVSS ピンのことを AVSS と呼んでいます。

仕様規定された温度範囲は、 $-40$   $^{\circ}$ C ~  $+105$   $^{\circ}$ C です。デバイスには 10 mm  $\times$  10 mm の 64 ピン LFCSP パッケージが採用されていて、プリント基板 (PCB) のフットプリントは 12 mm  $\times$  12 mm です。

このデータシートでは、XTAL2/MCLK などの複数機能を持つものをすべてのピン名で表記しますが、特定の機能のみが該当するような説明箇所では「MCLK」のようにピンの 1 つの機能で表記しています。

## 仕様

特に指定のない限り、AVDD1A=AVDD1B=4.5 V ~ 5.5 V、AVDD2A=AVDD2B=2.0 V ~ 5.5 V、IOVDD=2.25 V ~ 3.6 V、AVSS=DGND=0 V、REFx+=4.096 V および REFx-=0 V、MCLK=32.768 MHz、アナログ入力プリチャージ・バッファ=オン、リファレンス・プリチャージ・バッファ=オフ、広帯域フィルタ、 $f_{\text{CHOP}} = f_{\text{MOD}}/32$ 、 $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$ 。1.8 V IOVDD での仕様については、表 2 を参照してください。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit	
<b>ADC SPEED AND PERFORMANCE</b>						
Output Data Rate (ODR), per Channel <sup>1</sup>	Fast	8		256	kSPS	
	Median	4		128	kSPS	
	Eco	1		32	kSPS	
-3 dB Bandwidth	Fast, wideband filter			110.8	kHz	
	Median, wideband filter			55.4	kHz	
	Eco, wideband filter			13.8	kHz	
Data Output Coding No Missing Codes <sup>2</sup>		24	Twos complement, MSB first		Bits	
<b>DYNAMIC PERFORMANCE</b>						
For 1.8 V operation, see Table 2; for dynamic range and SNR across all decimation rates, see Table 12 and Table 13						
<b>Fast</b>						
Dynamic Range	Shorted input, wideband filter	106.2	108		dB	
	Signal-to-Noise Ratio (SNR)	1 kHz, -0.5 dBFS, sine wave input				
		Sinc5 filter	109	111		dB
Wideband filter		106	107.8		dB	
	Signal-to-Noise-and-Distortion Ratio (SINAD)	1 kHz, -0.5 dBFS, sine wave input	104.7	107.5		dB
Total Harmonic Distortion (THD)	1 kHz, -0.5 dBFS, sine wave input		-120	-107	dB	
Spurious-Free Dynamic Range (SFDR)			128		dBc	
<b>Median</b>						
Dynamic Range	Shorted input, wideband filter	106.2	108		dB	
	SNR	Sinc5 filter, 1 kHz, -0.5 dBFS, sine wave input	109	111		dB
		Wideband filter, 1 kHz, -0.5 dBFS, sine wave input	106	107.8		dB
SINAD	1 kHz, -0.5 dBFS, sine wave input	105.8	107.5		dB	
THD	1 kHz, -0.5 dBFS, sine wave input		-120	-113	dB	
SFDR			128		dBc	
<b>Eco</b>						
Dynamic Range	Shorted input, wideband filter	106.2	108		dB	
	SNR	Sinc5 filter, 1 kHz, -0.5 dBFS, sine wave input	109	111		dB
		Wideband filter, 1 kHz, -0.5 dBFS, sine wave input	106	107.8		dB
SINAD	1 kHz, -0.5 dBFS, sine wave input	105.8	107.5		dB	
THD	1 kHz, -0.5 dBFS, sine wave input		-120	-113	dB	
SFDR			128		dBc	
<b>INTERMODULATION DISTORTION (IMD)<sup>3</sup></b>						
fa = 9.7 kHz, fb = 10.3 kHz						
Second order			-125		dB	
Third order			-125		dB	

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ACCURACY	See Table 2 for 1.8 V operation				
INL	Endpoint method		±2	±7	ppm of FSR
Offset Error <sup>4</sup>	DCLK frequency ≤ 24 MHz		±50	±115	μV
	24 MHz to 32.768 MHz DCLK frequency <sup>2</sup>		±75	±150	μV
Offset Error Drift	DCLK frequency ≤ 24 MHz		±250		nV/°C
	24 MHz to 32.768 MHz DCLK frequency		±750		nV/°C
Gain Error <sup>4</sup>	T <sub>A</sub> = 25°C		±30	±70	ppm of FSR
Gain Drift vs. Temperature <sup>2</sup>			±0.5	±1	ppm/°C
VCM PIN					
Output	With respect to AVSS		(AVDD1 – AVSS)/2		V
Load Regulation (ΔV <sub>OUT</sub> /ΔI <sub>L</sub> )			400		μV/mA
Voltage Regulation	Applies to the following VCM output options only: V <sub>CM</sub> = ΔV <sub>OUT</sub> /Δ(AVDD1 – AVSS)/2; V <sub>CM</sub> = 1.65 V; and V <sub>CM</sub> = 2.5 V		5		μV/V
Short-Circuit Current			30		mA
ANALOG INPUTS	See the Analog Inputs section				
Differential Input Voltage Range	V <sub>REF</sub> = (REF <sub>X+</sub> ) – (REF <sub>X–</sub> )	–V <sub>REF</sub>		+V <sub>REF</sub>	V
Input Common-Mode Range <sup>2</sup>		AVSS		AVDD1	V
Absolute Analog Input Voltage Limits <sup>2</sup>		AVSS		AVDD1	V
Analog Input Current	Fast mode				
Unbuffered	Differential component		±48		μA/V
	Common-mode component		±17		μA/V
Precharge Buffer On <sup>5</sup>			–20		μA
Input Current Drift	Fast mode; see Figure 62				
Unbuffered			±5		nA/V/°C
Precharge Buffer On			±31		nA/°C
EXTERNAL REFERENCE					
Reference Voltage	V <sub>REF</sub> = (REF <sub>X+</sub> ) – (REF <sub>X–</sub> )	1		AVDD1 – AVSS	V
Absolute Reference Voltage Limits <sup>2</sup>	Reference precharge buffers off	AVSS – 0.05		AVDD1 + 0.05	V
	Reference precharge buffer on	AVSS		AVDD1	V
Average Reference Current	Fast mode; see Figure 63				
	Reference precharge buffers off		±72		μA/V/channel
	Reference precharge buffers on		±16		μA/V/channel
Average Reference Current Drift	Fast mode; see Figure 63				
	Reference precharge buffers off		±1.7		nA/V/°C
	Reference precharge buffers on		±49		nA/V/°C
Common-Mode Rejection			95		dB
DIGITAL FILTER RESPONSE					
Low Ripple Wideband Filter	FILTER = 0				
Decimation Rate	Up to six selectable decimation rates; see the Decimation Rate Control section	32		1024	
Group Delay	Latency		34/ODR		sec
Settling Time	Complete settling, see Table 35		68/ODR		sec
Pass-Band Ripple <sup>2</sup>	From dc to 102.4 kHz at 256 kSPS			±0.005	dB
Pass Band	±0.005 dB bandwidth		0.4 × ODR		Hz
	–0.1 dB bandwidth		0.409 × ODR		Hz
	–3 dB bandwidth		0.433 × ODR		Hz
Stop Band Frequency	Attenuation > 105 dB		0.499 × ODR		Hz
Stop Band Attenuation	See the Wideband Low Ripple Filter section		105		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Sinc5 Filter	FILTER = 1				
Decimation Rate	Up to six selectable decimation rates; see the Decimation Rate Control section	32		1024	
Group Delay	Latency		3/ODR		sec
Settling Time	Complete settling, see Table 36		7/ODR		sec
Pass Band	-3 dB bandwidth		0.204 × ODR		Hz
<b>REJECTION</b>					
AC Power Supply Rejection Ratio (PSRR)	$V_{IN} = 0.1\text{ V}$ , AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 2.5 V				
AVDD1			90		dB
AVDD2			100		dB
IOVDD			75		dB
DC PSRR	$V_{IN} = 1\text{ V}$				
AVDD1			100		dB
AVDD2			118		dB
IOVDD			90		dB
Analog Input Common-Mode Rejection Ratio (CMRR)					
DC	$V_{IN} = 0.1\text{ V}$	95			dB
AC	Up to 10 kHz		95		dB
Crosstalk	-0.5 dBFS input on adjacent channels		-120		dB
<b>CLOCK</b>					
Crystal Frequency		8	32.768	34	MHz
External Clock (MCLK)	See the Timing Specifications section		32.768		MHz
Duty Cycle	For data sheet performance		50:50		%
MCLK Pulse Width <sup>2</sup>	Functionality				
Logic Low		12.2			ns
Logic High		12.2			ns
CMOS Clock Input Voltage	See the logic inputs parameter				
High, $V_{INH}$					
Low, $V_{INL}$					
LVDS Clock <sup>2</sup>	$R_L = 100\ \Omega$				
Differential Input Voltage		100		650	mV
Common-Mode Input Voltage		800		1575	mV
Absolute Input Voltage				1.88	V
<b>ADC RESET<sup>2</sup></b>					
ADC Start-Up Time After Reset <sup>6</sup>	Time to first $\overline{\text{DRDY}}$ , fast mode, decimation by 32		1.58	1.66	ms
Minimum $\overline{\text{RESET}}$ Low Pulse Width	$t_{\text{MCLK}} = 1/\text{MCLK}$	$2 \times t_{\text{MCLK}}$			
<b>LOGIC INPUTS</b>					
Input Voltage <sup>2</sup>	See Table 2 for 1.8 V operation				
High, $V_{INH}$		$0.65 \times \text{IOVDD}$			V
Low, $V_{INL}$				0.7	V
Hysteresis <sup>2</sup>		0.04		0.09	V
Leakage Current		-10	+0.03	+10	$\mu\text{A}$
	$\overline{\text{RESET}}$ pin <sup>7</sup>	-10		+10	$\mu\text{A}$
<b>LOGIC OUTPUTS</b>					
Output Voltage <sup>2</sup>	See Table 2 for 1.8 V operation				
High, $V_{OH}$	$I_{\text{SOURCE}} = 200\ \mu\text{A}$	$0.8 \times \text{IOVDD}$			V
Low, $V_{OL}$	$I_{\text{SINK}} = 400\ \mu\text{A}$			0.4	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Leakage Current	Floating state	-10		+10	μA
Output Capacitance	Floating state		10		pF
<b>SYSTEM CALIBRATION<sup>2</sup></b>					
Full-Scale Calibration Limit				$1.05 \times V_{REF}$	V
Zero-Scale Calibration Limit		$-1.05 \times V_{REF}$			V
Input Span		$0.4 \times V_{REF}$		$2.1 \times V_{REF}$	V
<b>POWER REQUIREMENTS</b>					
Power Supply Voltage					
AVDD1 – AVSS		4.5	5.0	5.5	V
AVDD2 – AVSS		2.0	2.25 to 5.0	5.5	V
AVSS – DGND		-2.75		0	V
IOVDD – DGND	See Table 2 for 1.8 V operation	2.25	2.5 to 3.3	3.6	V
<b>POWER SUPPLY CURRENTS</b>					
	Maximum output data rate, CMOS MCLK, eight DOUTx signals, all supplies at maximum voltages, all channels in Channel Mode A except where otherwise specified				
	Eight channels active				
<b>AD7768</b>					
Fast Mode					
AVDD1 Current	Reference precharge buffers off/on		36/57.5	40/64	mA
AVDD2 Current			37.5	40	mA
IOVDD Current	Wideband filter		63	67	mA
	Sinc5 filter		27	29	mA
Median Mode					
AVDD1 Current	Reference precharge buffers off/on		18.5/29	20.5/32.5	mA
AVDD2 Current			21.3	23	mA
IOVDD Current	Wideband filter		34	37	mA
	Sinc5 filter		16	18	mA
Eco Mode					
AVDD1 Current	Reference precharge buffers off/on		5.1/8	5.8/9	mA
AVDD2 Current			9.3	10.1	mA
IOVDD Current	Wideband filter		12.5	13.7	mA
	Sinc5 filter		8	9	mA
<b>AD7768-4</b>					
Fast Mode					
AVDD1 Current	Reference precharge buffers off/on		18.2/28.8	20.3/32.5	mA
AVDD2 Current			18.8	20.3	mA
IOVDD Current	Wideband filter <sup>2</sup>		43.5	46.8	mA
	Wideband filter, SPI mode only; Channel Mode A set to sinc5 filter <sup>8</sup>		37	40	mA
	Sinc5 filter <sup>2</sup>		17	18.6	mA
Median Mode					
AVDD1 Current	Reference precharge buffers off/on		9.3/14.7	10.5/16.6	mA
AVDD2 Current			10.7	11.7	mA
IOVDD Current	Wideband filter <sup>2</sup>		24.4	26.4	mA
	Wideband filter, SPI mode only; Channel Mode A set to sinc5 filter <sup>8</sup>		21	23	mA
	Sinc5 filter <sup>2</sup>		11	12.3	mA
Eco Mode					
AVDD1 Current	Reference precharge buffers off/on		2.7/4.1	3.1/4.7	mA
AVDD2 Current			4.7	5.3	mA



Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
IOVDD Current	Wideband filter <sup>2</sup>		10	11.1	mA
	Wideband filter, SPI mode only; Channel Mode A set to sinc5 filter <sup>8</sup>		9	10	mA
	Sinc5 filter <sup>2</sup>		6.5	7.6	mA
AD7768 and AD7768-4—Two Channels Active <sup>2</sup>	Serial peripheral interface (SPI) control mode only; see the Channel Standby section for details on disabling channels				
Fast Mode					
AVDD1 Current	Reference precharge buffers off/on		9.3/14.7	10.5/16.6	mA
AVDD2 Current			9.5	10.5	mA
IOVDD Current	Wideband filter		33.7	36.3	mA
	Wideband filter; disabled channels in Channel Mode A, and set to sinc5 filter mode <sup>8</sup>		23.4	25.5	mA
	Sinc5 filter		11.9	13.3	mA
Median Mode					
AVDD1 Current	Reference precharge buffers off/on		4.8/7.5	5.5/8.6	mA
AVDD2 Current			5.5	6.2	mA
IOVDD Current	Wideband filter		19.4	21.1	mA
	Wideband filter; disabled channels in Channel Mode A, and set to sinc5 filter mode <sup>8</sup>		14.1	15.5	mA
	Sinc5 filter		8.5	9.6	mA
Eco Mode					
AVDD1 Current	Reference precharge buffers off/on		1.52/2.2	1.77/2.6	mA
AVDD2 Current			2.4	3	mA
IOVDD Current	Wideband filter		8.6	9.7	mA
	Wideband filter; disabled channels in Channel Mode A, and set to sinc5 filter mode <sup>8</sup>		7.2	8	mA
	Sinc5 filter		5.8	6.7	mA
Standby Mode	All channels disabled (sinc5 filter enabled)		6.5	8	mA
Sleep Mode <sup>2</sup>	Full power-down (SPI control mode only)		0.73	1.2	mA
Crystal Excitation Current	Extra current in IOVDD when using an external crystal compared to using the CMOS MCLK		540		μA
POWER DISSIPATION	External CMOS MCLK, all channels active, MCLK = 32.768 MHz, all channels in Channel Mode A except where otherwise specified				
Full Operating Mode	Analog precharge buffers on				
AD7768					
Wideband Filter					
Fast	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off <sup>2</sup>		412	446	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on <sup>2</sup>		600	645	mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off		631	681	mW
Median	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off <sup>2</sup>		220	240	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on <sup>2</sup>		320	345	mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off		341	372	mW

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit	
Eco	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off <sup>2</sup>		75	85	mW	
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on <sup>2</sup>		107	118	mW	
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off		124	137	mW	
Sinc5 Filter Fast	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off <sup>2</sup>		325	355	mW	
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on <sup>2</sup>		475	525	mW	
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off		501	545	mW	
Median	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off <sup>2</sup>		175	195	mW	
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on <sup>2</sup>		260	285	mW	
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off		277	304	mW	
Eco	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off <sup>2</sup>		65	72	mW	
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on <sup>2</sup>		95	105	mW	
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off		108	120	mW	
AD7768-4 Wideband Filter Fast	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off		235		mW	
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on		336		mW	
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off <sup>2</sup>		360	392	mW	
	SPI mode only; AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off, Channel Mode A set to sinc5 filter <sup>8</sup>		337	368	mW	
	Median	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off		127		mW
		AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on		181		mW
AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off <sup>2</sup>			198	218	mW	
Eco	SPI mode only; AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off, Channel Mode A set to sinc5 filter <sup>8</sup>		186	205	mW	
	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off		49		mW	
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on		66		mW	
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off <sup>2</sup>		77	87	mW	
	SPI mode only; AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off, Channel Mode A set to sinc5 filter <sup>8</sup>		73	83	mW	

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Sinc5 Filter Fast	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off		168		mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on		248		mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off		265	291	mW
Median	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off		94		mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on		137		mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off		150	167	mW
Eco	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, reference precharge buffers off		40		mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, reference precharge buffers on		55		mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, reference precharge buffers off		64	74	mW
Standby Mode	All channels disabled (sinc5 filter enabled), AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V <sup>2</sup>			18	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V <sup>2</sup>			26	mW
	AVDD1 = AVDD2 = 5.5 V, IOVDD = 3.6 V			29	mW
Sleep Mode <sup>2</sup>	Full power-down (SPI control mode), AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V		1.8	4	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V		2.5	5	mW
	AVDD1 = AVDD2 = 5.5 V, IOVDD = 3.6 V		2.7	6.5	mW

<sup>1</sup> 32.768 MHzの固定 MCLK レートの場合、出力データ・レート範囲は、AD7768/AD7768-4で利用可能なプログラマブル・デシメーション・レートを表します。MCLK レートを変えることで、ODR の範囲を広げることができます。

<sup>2</sup> これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確保されています。

<sup>3</sup> fa および fb 入力周波数の詳細については、用語の定義のセクションを参照してください。

<sup>4</sup> システムのゼロスケール・キャリブレーションを実行した後、オフセット誤差は、選択した出力データ・レートのノイズ・レベルとほぼ同等になります。システム・フルスケール・キャリブレーションにより、プログラムされた出力データ・レートのノイズ・レベルと同等レベルにまでゲイン誤差が減少します。

<sup>5</sup> -25 μAは、アナログ入力 AVDD1 または AVSS レールに近い場合に測定した値です。入力電流は、コモンモード電圧が (AVDD1 - AVSS)/2 に近づくと減少します。アナログ入力電流は、MCLK 周波数とデバイスの消費電力モードに応じて変化します。アナログ入力電流を入力電圧に応じてスケールリングする方法の詳細については、図 85 および図 86 を参照してください。

<sup>6</sup> MCLK レートが低い場合またはデシメーション・レートが高い場合は、表 35 および表 36 を使用して最初の DRDY パルスより前の追加遅延を計算します。

<sup>7</sup> RESET ピンには、デバイスを IOVDD にプルアップする内部接続があります。

<sup>8</sup> チャンネル・モード A を sinc5 フィルタに設定するか、ディスエーブルになっているチャンネルをチャンネル・モード A に割り当てることで消費電力を削減できます。これを行うには SPI 制御モードで動作する必要があります。この場合、各チャンネルを別のチャンネル・モードに割り当てる必要があるからです（これは SPI 制御モードでのみ可能です）。ピン制御モードを使用している場合、アクティブまたはスタンバイであるかにかかわらず、すべてのチャンネルが同じチャンネル・グループに割り当てられ、同じフィルタ・タイプが使用されます。つまり、ピン制御モードでは、SPI モードの場合よりもディスエーブルになっているチャンネルの消費電流量が大きくなります。詳細については、チャンネル・モードのセクションを参照してください。

## 1.8 V IOVDD の仕様

特に指定のない限り、AVDD1A = AVDD1B = 4.5 V ~ 5.5 V、AVDD2A = AVDD2B = 2.0 V ~ 5.5 V、IOVDD = 1.72 V ~ 1.88 V、AVSS = DGND = 0 V、REFx+ = 4.096 V および REFx- = 0 V、MCLK = 32.768 MHz、アナログ・プリチャージ・バッファ = オン、リファレンス・プリチャージ・バッファ = オフ、広帯域フィルタ、f<sub>CHOP</sub> = f<sub>MOD</sub>/32、T<sub>A</sub> = -40 °C ~ +105 °C。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE	For dynamic range and SNR across all decimation rates, see Table 12 and Table 13				
Fast Dynamic Range SNR	Decimation by 32, 256 kSPS ODR				
	Shorted input, wideband filter	106.2	108		dB
	Sinc5 filter, 1 kHz, -0.5 dBFS, sine wave input	109	111		dB
	Wideband filter, 1 kHz, -0.5 dBFS, sine wave input	106	107.8		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SINAD <sup>1</sup>	1 kHz, -0.5 dBFS, sine wave input	103.8	107.5		dB
THD	1 kHz, -0.5 dBFS, sine wave input		-120	-107	dB
SFDR			128		dBc
Median	Decimation by 32, 128 kHz ODR				
Dynamic Range	Shorted input, wideband filter	106.2	108		dB
SNR	1 kHz, -0.5 dBFS, sine wave input				
	Sinc5 filter	109	111		dB
	Wideband filter	106	107.8		dB
SINAD	1 kHz, -0.5 dBFS, sine wave input	105.8	107.5		dB
THD	1 kHz, -0.5 dBFS, sine wave input		-120	-113	dB
SFDR			128		dBc
Eco	Decimation by 32, 32 kHz ODR				
Dynamic Range	Shorted input, wideband filter	106.2	108		dB
SNR	Sinc5 filter, 1 kHz, -0.5 dBFS, sine wave input	109	111		dB
	Wideband filter, 1 kHz, -0.5 dBFS, sine wave input	106	107.8		dB
SINAD	1 kHz, -0.5 dBFS, sine wave input	105.8	107.5		dB
THD	1 kHz, -0.5 dBFS, sine wave input		-120	-113	dB
SFDR			128		dBc
ACCURACY <sup>1</sup>					
INL	Endpoint method		±2	±7	ppm of FSR
Offset Error <sup>2</sup>	DCLK frequency ≤ 24 MHz		±50	±115	μV
	24 MHz to 32.768 MHz DCLK frequency		±75	±170	μV
Offset Error Drift	DCLK frequency ≤ 24 MHz		±250		nV/°C
	24 MHz to 32.768 MHz DCLK frequency		±750		nV/°C
Gain Error <sup>2</sup>	T <sub>A</sub> = 25°C		±60	±120	ppm/FSR
Gain Drift vs. Temperature			±0.5	±2	ppm/°C
LOGIC INPUTS					
Input Voltage <sup>1</sup>					
High, V <sub>INH</sub>		0.65 × IOVDD			V
Low, V <sub>INL</sub>				0.4	V
Hysteresis <sup>1</sup>		0.04		0.2	V
Leakage Current		-10	+0.03	+10	μA
	$\overline{\text{RESET}}^E$ pin	-10		+10	μA
LOGIC OUTPUTS					
Output Voltage <sup>1</sup>					
High, V <sub>OH</sub>	I <sub>SOURCE</sub> = 200 μA	0.8 × IOVDD			V
Low, V <sub>OL</sub>	I <sub>SINK</sub> = 400 μA			0.4	V
Leakage Current	Floating state	-10		+10	μA
Output Capacitance	Floating state		10		pF
POWER REQUIREMENTS					
Power Supply Voltage					
AVDD1 – AVSS		4.5	5.0	5.5	V
AVDD2 – AVSS		2.0	2.25 to 5.0	5.5	V
AVSS – DGND		-2.75		0	V
IOVDD – DGND	DREGCAP shorted to IOVDD	1.72	1.8	1.88	V
POWER SUPPLY CURRENTS <sup>1</sup>	Maximum output data rate, CMOS MCLK, eight DOUTx signals, all supplies at maximum voltages, all channels in Channel Mode A except where otherwise specified				
AD7768	Eight channels active				
Fast Mode					
AVDD1 Current	Reference precharge buffers off/on		36/57.5	40/64	mA
AVDD2 Current			37.5	40	mA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
IOVDD Current	Wideband filter		63	69	mA
	Sinc5 filter		26	28.4	mA
Median Mode					
AVDD1 Current	Reference precharge buffers off/on		18.5/29	20.5/32.5	mA
AVDD2 Current			21.3	23	mA
IOVDD Current	Wideband filter		34	36.8	mA
	Sinc5 filter		15	16.8	mA
Eco Mode					
AVDD1 Current	Reference precharge buffers off/on		5.1/8	5.8/9	mA
AVDD2 Current			9.3	10.1	mA
IOVDD Current	Wideband filter		11.6	12.9	mA
	Sinc5 filter		7	8.1	mA
AD7768-4	Four channels active				
Fast Mode					
AVDD1 Current	Reference precharge buffers off/on		18.2/28.8	20.3/32.5	mA
AVDD2 Current			18.8	20.3	mA
IOVDD Current	Wideband filter		43.9	47.7	mA
	Wideband filter, SPI mode only; Channel Mode A set to sinc5 filter <sup>3</sup>		36.8	41	mA
	Sinc5 filter		16	17.7	mA
Median Mode					
AVDD1 Current	Reference precharge buffers off/on		9.3/14.7	10.5/16.6	mA
AVDD2 Current			10.7	11.7	mA
IOVDD Current	Wideband filter		24	26.1	mA
	Wideband filter, SPI mode only; Channel Mode A set to sinc5 filter <sup>3</sup>		20.4	22.7	mA
	Sinc5 filter		10	11.3	mA
Eco Mode					
AVDD1 Current	Reference precharge buffers off/on		2.7/4.1	3.1/4.7	mA
AVDD2 Current			4.7	5.3	mA
IOVDD Current	Wideband filter		9	10.2	mA
	Wideband filter, SPI mode only; Channel Mode A set to sinc5 filter <sup>3</sup>		8.1	9.2	mA
	Sinc5 filter		5.5	6.5	mA
AD7768 and AD7768-4 — Two Channels Active	SPI control mode only; see the Channel Standby section for details on disabling channels				
Fast Mode					
AVDD1 Current	Reference precharge buffers off/on		9.3/14.7	10.5/16.6	mA
AVDD2 Current			9.5	10.5	mA
IOVDD Current	Wideband filter		33.8	36.7	mA
	Wideband filter, SPI mode only; disabled channels in Channel Mode A, and set to sinc5 filter <sup>3</sup>		23.1	25.6	mA
	Sinc5 filter		11	12.3	mA
Median Mode					
AVDD1 Current	Reference precharge buffers off/on		4.8/7.5	5.5/8.6	mA
AVDD2 Current			5.5	6.2	mA
IOVDD Current	Wideband filter		18.9	20.6	mA
	Wideband filter, SPI mode only; disabled channels in Channel Mode A, and set to sinc5 filter <sup>3</sup>		13.4	15.1	mA
	Sinc5 filter		7.4	8.6	mA
Eco Mode					
AVDD1 Current	Reference precharge buffers off/on		1.52/2.2	1.77/2.6	mA
AVDD2 Current			2.4	3	mA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
IOVDD Current	Wideband filter		7.6	8.8	mA
	Wideband filter, SPI mode only; disabled channels in Channel Mode A, and set to sinc5 filter <sup>3</sup>		6.3	7.2	mA
	Sinc5 filter		4.8	5.8	mA
Standby Mode	All channels disabled (sinc5 filter enabled)		6.5	8	mA
Sleep Mode	Full power-down (SPI control mode)		0.73	1.2	mA
Crystal Excitation Current	Extra current in IOVDD when using an external crystal compared to using the CMOS MCLK		540		μA
POWER DISSIPATION <sup>1</sup>	External CMOS MCLK, all channels active, AVDD1 = AVDD2 = 5.5 V, IOVDD = 1.88 V, MCLK = 32.768 MHz, all channels in Channel Mode A except where otherwise noted				
Full Operating Mode AD7768	Analog precharge buffers on Eight channels active				
Wideband Filter					
Fast	Reference precharge buffers off		524	571	mW
	Reference precharge buffers on		638	704	mW
Median	Reference precharge buffers off		284	309	mW
	Reference precharge buffers on		342	375	mW
Eco	Reference precharge buffers off		98.5	109	mW
	Reference precharge buffers on		118	130	mW
Sinc5 Filter					
Fast	Reference precharge buffers off		455	495	mW
Median	Reference precharge buffers off		248	271	mW
Eco	Reference precharge buffers off		94	105	mW
AD7768-4	Four channels active				
Wideband Filter					
Fast	Reference precharge buffers off		287	314	mW
	Reference precharge buffers on		345	381	mW
Median	Reference precharge buffers off		156	172	mW
	Reference precharge buffers on		185	206	mW
Eco	Reference precharge buffers off		58	66	mW
	Reference precharge buffers on		66	75	mW
Sinc5 Filter					
Fast	Reference precharge buffers off		234	257	mW
Median	Reference precharge buffers off		129	144	mW
Eco	Reference precharge buffers off		51	59	mW
Standby Mode	All channels disabled (sinc5 filter enabled)			17	mW
Sleep Mode	Full power-down (SPI control mode)		1.5	4.5	mW

<sup>1</sup> これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確保されています。

<sup>2</sup> システムのゼロスケール・キャリブレーションを実行した後、オフセット誤差は、選択した出力データ・レートのノイズ・レベルとほぼ同等になります。システム・フルスケール・キャリブレーションにより、プログラムされた出力データ・レートのノイズ・レベルと同等レベルにまでゲイン誤差が減少します。

<sup>3</sup> チャンネル・モード A を sinc5 フィルタに設定するか、ディスエーブルになっているチャンネルをチャンネル・モード A に割り当てることで、ディスエーブルのみ/sinc5 のみのチャンネル・モードで内部クロックをディスエーブルにして消費電力を小さくできます。この設定にするには、sinc5 フィルタと広帯域フィルタを異なるチャンネル、またはチャンネル・モードに割り当てる必要があります（これは SPI 制御モードでのみ可能です）。ピン制御モードでは、アクティブまたはスタンバイであるかにかかわらず、すべてのチャンネルが実際は同じチャンネル・モードを使用します。詳細については、チャンネル・モードのセクションを参照してください。

タイミング仕様

AVDD1A=AVDD1B=5 V、AVDD2A=AVDD2B=5 V、IOVDD=2.25 V ~ 3.6 V、入力ロジック 0=DGND、入力ロジック 1=IOVDD、DCLK ピンの C<sub>LOAD</sub> = 10 pF、その他のデジタル出力の C<sub>LOAD</sub> = 20 pF、REF<sub>X+</sub> = 4.096 V、T<sub>A</sub> = -40 °C ~ +105 °C。1.8 V IOVDD でのタイミング仕様については、表 5 と表 6 を参照してください。

表 3. データ・インターフェースのタイミング<sup>1</sup>

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
MCLK	Master clock		1.15		34	MHz
f <sub>MOD</sub>	Modulator frequency	Fast mode Median mode Eco mode		MCLK/4 MCLK/8 MCLK/32		Hz Hz Hz
t <sub>1</sub>	$\overline{\text{DRDY}}$ high time	t <sub>DCLK</sub> = t <sub>8</sub> + t <sub>9</sub>	t <sub>DCLK</sub> - 10%	28		ns
t <sub>2</sub>	DCLK rising edge to $\overline{\text{DRDY}}$ rising edge				2	ns
t <sub>3</sub>	DCLK rising to $\overline{\text{DRDY}}$ falling		-3.5		0	ns
t <sub>4</sub>	DCLK rise to DOUT <sub>x</sub> valid				1.5	ns
t <sub>5</sub>	DCLK rise to DOUT <sub>x</sub> invalid		-3			ns
t <sub>6</sub>	DOUT <sub>x</sub> valid to DCLK falling		9.5	t <sub>DCLK</sub> /2		ns
t <sub>7</sub>	DCLK falling edge to DOUT <sub>x</sub> invalid		9.5	t <sub>DCLK</sub> /2		ns
t <sub>8</sub>	DCLK high time, DCLK = MCLK/1 t <sub>8a</sub> = DCLK = MCLK/2 t <sub>8b</sub> = DCLK = MCLK/4 t <sub>8c</sub> = DCLK = MCLK/8	50:50 CMOS clock t <sub>MCLK</sub> = 1/MCLK	t <sub>DCLK</sub> /2	t <sub>DCLK</sub> /2 t <sub>MCLK</sub> 2 × t <sub>MCLK</sub> 4 × t <sub>MCLK</sub>	(t <sub>DCLK</sub> /2) + 5	ns ns ns ns
t <sub>9</sub>	DCLK low time DCLK = MCLK/1 t <sub>9a</sub> = DCLK = MCLK/2 t <sub>9b</sub> = DCLK = MCLK/4 t <sub>9c</sub> = DCLK = MCLK/8	50:50 CMOS clock	(t <sub>DCLK</sub> /2) - 5	t <sub>MCLK</sub> /2 t <sub>MCLK</sub> 2 × t <sub>MCLK</sub> 4 × t <sub>MCLK</sub>	t <sub>DCLK</sub> /2	ns ns ns ns
t <sub>10</sub>	MCLK rising to DCLK rising	CMOS clock			30	ns
t <sub>11</sub>	Setup time (daisy-chain inputs)	DOUT6 and DOUT7 on the AD7768, DIN on the AD7768-4	14			ns
t <sub>12</sub>	Hold time (daisy-chain inputs)	DOUT6 and DOUT7 on the AD7768, DIN on the AD7768-4	0			ns
t <sub>13</sub>	$\overline{\text{START}}$ low time		1 × t <sub>MCLK</sub>			ns
t <sub>14</sub>	MCLK to $\overline{\text{SYNC\_OUT}}$ valid	CMOS clock SYNC_OUT RETIME_EN bit disabled; measured from falling edge of MCLK SYNC_OUT RETIME_EN bit enabled; measured from rising edge of MCLK	4.5 9.5		22 27.5	ns ns
t <sub>15</sub>	$\overline{\text{SYNC\_IN}}$ setup time	CMOS clock	0			ns
t <sub>16</sub>	$\overline{\text{SYNC\_IN}}$ hold time	CMOS clock	10			ns

<sup>1</sup> これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確保されています。

表 4. SPI 制御インターフェースのタイミング<sup>1</sup>

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
t <sub>17</sub>	SCLK period		100			ns
t <sub>18</sub>	$\overline{\text{CS}}$ falling edge to SCLK rising edge		26.5			ns
t <sub>19</sub>	SCLK falling edge to $\overline{\text{CS}}$ rising edge		27			ns
t <sub>20</sub>	$\overline{\text{CS}}$ falling edge to data output enable		22.5		40.5	ns
t <sub>21</sub>	SCLK high time		20	50		ns
t <sub>22</sub>	SCLK low time		20	50		ns
t <sub>23</sub>	SCLK falling edge to SDO valid				15	ns
t <sub>24</sub>	SDO hold time after SCLK falling		7			ns
t <sub>25</sub>	SDI setup time		0			ns
t <sub>26</sub>	SDI hold time		6			ns
t <sub>27</sub>	SCLK enable time		0			ns

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
t <sub>28</sub>	SCLK disable time		0			ns
t <sub>29</sub>	CS high time		10			ns
t <sub>30</sub>	CS low time	f <sub>MOD</sub> = MCLK/4	1.1 × t <sub>MCLK</sub>			ns
		f <sub>MOD</sub> = MCLK/8	2.2 × t <sub>MCLK</sub>			ns
		f <sub>MOD</sub> = MCLK/32	8.8 × t <sub>MCLK</sub>			ns

<sup>1</sup> これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確保されています。

## 1.8 V IOVDD タイミング仕様

AVDD1A = AVDD1B = 5 V、AVDD2A = AVDD2B = 5 V、IOVDD = 1.72 V ~ 1.88 V (DREGCAP は IOVDD に接続)、入力ロジック 0 = DGND、入力ロジック 1 = IOVDD、DCLK の C<sub>LOAD</sub> = 10 pF、その他のデジタル出力の C<sub>LOAD</sub> = 20 pF、T<sub>A</sub> = -40 °C ~ +105 °C。t<sub>ODR</sub> は 1/ODR。

表 5. データ・インターフェースのタイミング<sup>1</sup>

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
MCLK	Master clock		1.15		34	MHz
f <sub>MOD</sub>	Modulator frequency	Fast mode		MCLK/4		Hz
		Median mode		MCLK/8		Hz
		Eco mode		MCLK/32		Hz
t <sub>1</sub>	DRDY high time		t <sub>DCLK</sub> - 10%	28		ns
t <sub>2</sub>	DCLK rising edge to DRDY rising edge				2	ns
t <sub>3</sub>	DCLK rising to DRDY falling		-4.5		0	ns
t <sub>4</sub>	DCLK rise to DOUTx valid				2.0	ns
t <sub>5</sub>	DCLK rise to DOUTx invalid		-4			ns
t <sub>6</sub>	DOUTx valid to DCLK falling		8.5	t <sub>DCLK</sub> /2		ns
t <sub>7</sub>	DCLK falling edge to DOUTx invalid		8.5	t <sub>DCLK</sub> /2		ns
t <sub>8</sub>	DCLK high time, DCLK = MCLK/1	50:50 CMOS clock	t <sub>DCLK</sub> /2	t <sub>DCLK</sub> /2	(t <sub>DCLK</sub> /2) + 5	ns
	t <sub>8a</sub> = DCLK = MCLK/2			t <sub>MCLK</sub>		ns
	t <sub>8b</sub> = DCLK = MCLK/4			2 × t <sub>MCLK</sub>		ns
	t <sub>8c</sub> = DCLK = MCLK/8			4 × t <sub>MCLK</sub>		ns
t <sub>9</sub>	DCLK low time DCLK=MCLK/1	50:50 CMOS clock	(t <sub>DCLK</sub> /2) - 5	t <sub>MCLK</sub> /2	(t <sub>DCLK</sub> /2)	ns
	t <sub>9a</sub> = DCLK = MCLK/2			t <sub>MCLK</sub>		ns
	t <sub>9b</sub> = DCLK = MCLK/4			2 × t <sub>MCLK</sub>		ns
	t <sub>9c</sub> = DCLK = MCLK/8			4 × t <sub>MCLK</sub>		ns
t <sub>10</sub>	MCLK rising to DCLK rising	CMOS clock			37	ns
t <sub>11</sub>	Setup time (daisy-chain inputs)	DOUT6 and DOUT7 on the AD7768, DIN on the AD7768-4	14			ns
t <sub>12</sub>	Hold time (daisy-chain inputs)	DOUT6 and DOUT7 on the AD7768, DIN on the AD7768-4	0			ns
t <sub>13</sub>	START low time		1 × t <sub>MCLK</sub>			ns
t <sub>14</sub>	MCLK to SYNC_OUT valid	CMOS clock				
		SYNC_OUT RETIME_EN bit disabled; measured from falling edge of MCLK	10		31	ns
		SYNC_OUT RETIME_EN bit enabled; measured from rising edge of MCLK	15		37	ns
t <sub>15</sub>	SYNC_IN setup time	CMOS clock	0			ns
t <sub>16</sub>	SYNC_IN hold time	CMOS clock	11			ns

<sup>1</sup> これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確保されています。



表 6. SPI 制御インターフェースのタイミング<sup>1</sup>

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
t <sub>17</sub>	SCLK period		100			ns
t <sub>18</sub>	$\overline{CS}$ falling edge to SCLK rising edge		31.5			ns
t <sub>19</sub>	SCLK falling edge to $\overline{CS}$ rising edge		30			ns
t <sub>20</sub>	$\overline{CS}$ falling edge to data output enable		29		54	ns
t <sub>21</sub>	SCLK high time		20	50		ns
t <sub>22</sub>	SCLK low time		20	50		ns
t <sub>23</sub>	SCLK falling edge to SDO valid				16	ns
t <sub>24</sub>	SDO hold time after SCLK falling		7			ns
t <sub>25</sub>	SDI setup time		0			ns
t <sub>26</sub>	SDI hold time		10			ns
t <sub>27</sub>	SCLK enable time		0			ns
t <sub>28</sub>	SCLK disable time		0			ns
t <sub>29</sub>	$\overline{CS}$ high time		10			ns
t <sub>30</sub>	$\overline{CS}$ low time					ns
		f <sub>MOD</sub> = MCLK/4	1.1 × t <sub>MCLK</sub>			ns
		f <sub>MOD</sub> = MCLK/8	2.2 × t <sub>MCLK</sub>			ns
		f <sub>MOD</sub> = MCLK/32	8.8 × t <sub>MCLK</sub>			ns

<sup>1</sup> これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確保されています。

タイミング図

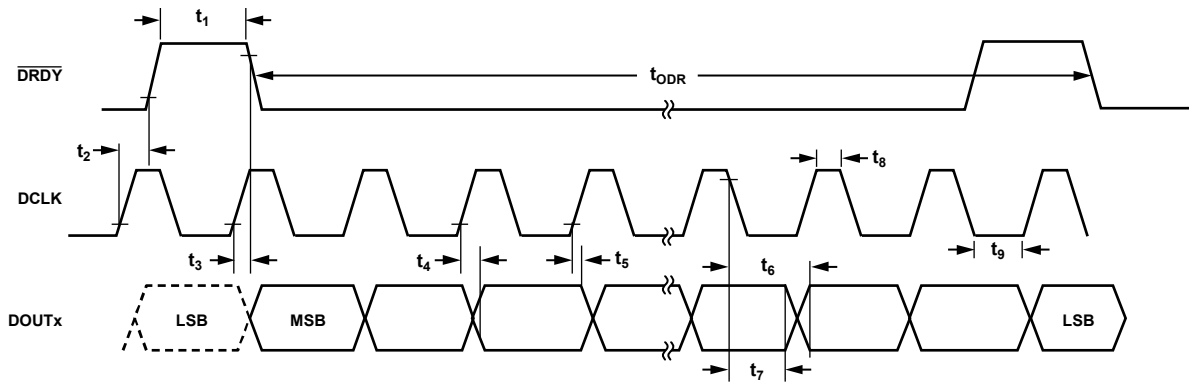


図 2. データ・インターフェースのタイミング図

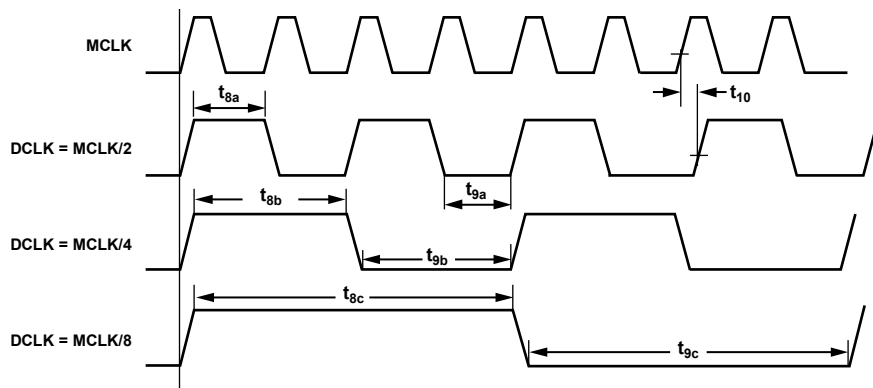
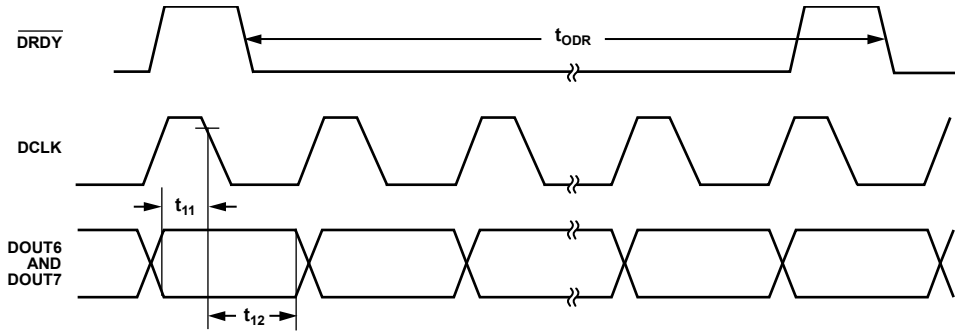
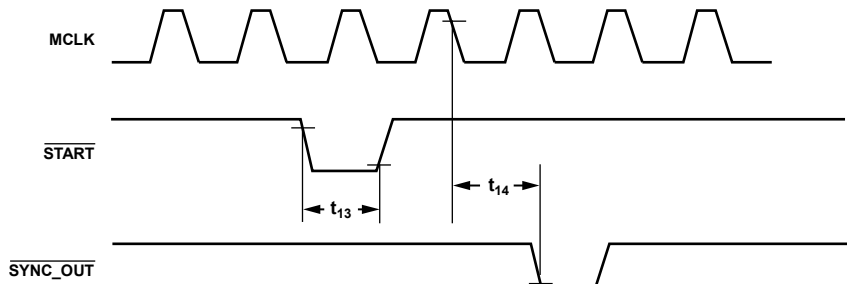


図 3. MCLK - DCLK 分周器のタイミング図



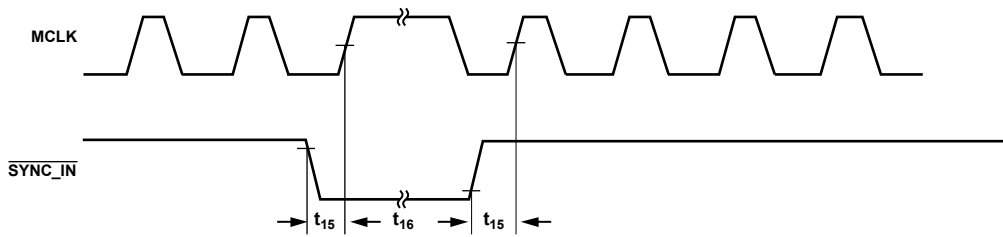
14001-004

図 4. デイジーチェーンのセットアップとホールドのタイミング図



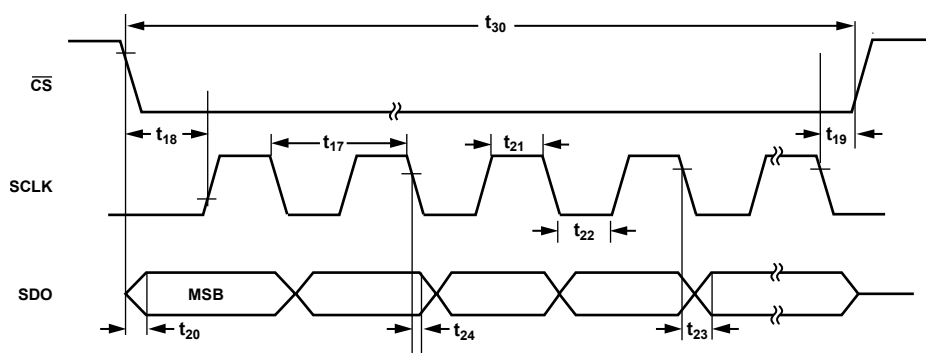
14001-005

図 5. 非同期  $\overline{\text{START}}$  および  $\overline{\text{SYNC\_OUT}}$  のタイミング図



14001-006

図 6. 同期  $\overline{\text{SYNC\_IN}}$  パルスのタイミング図



14001-007

図 7. SPI シリアル読出しのタイミング図

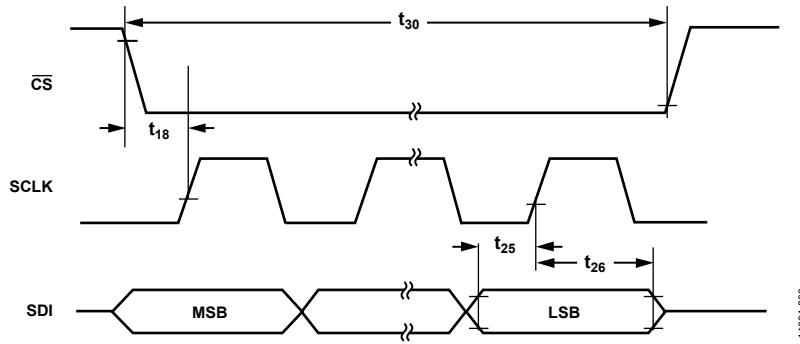


図 8. SPI シリアル書き込みのタイミング図

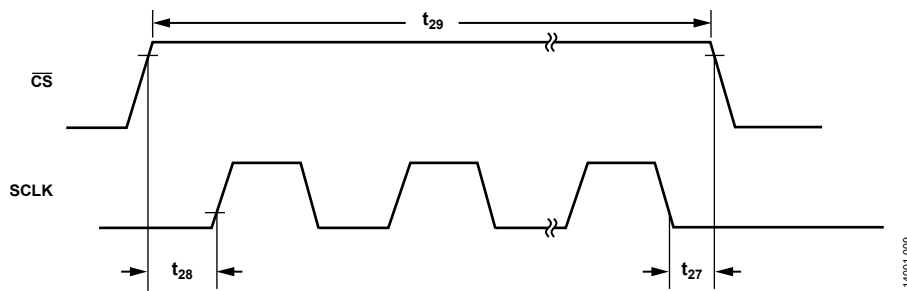


図 9. SCLK イネーブル/ディスエーブルのタイミング図

## 絶対最大定格

表 7.

Parameter	Rating
AVDD1, AVDD2 to AVSS <sup>1</sup>	-0.3 V to +6.5 V
AVDD1 to DGND	-0.3 V to +6.5 V
IOVDD to DGND	-0.3 V to +6.5 V
IOVDD, DREGCAP to DGND (IOVDD Tied to DREGCAP for 1.8 V Operation)	-0.3 V to +2.25 V
IOVDD to AVSS	-0.3 V to +7.5 V
AVSS to DGND	-3.25 V to +0.3 V
Analog Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Reference Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Digital Input Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Pb-Free Temperature, Soldering Reflow (10 sec to 30 sec)	260°C
Maximum Junction Temperature	150°C
Maximum Package Classification Temperature	260°C

<sup>1</sup> 最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

## 熱抵抗

$\theta_{JA}$  は最大の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 8. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit	JEDEC Board Layers
64-Lead LQFP	38	9.2	°C/W	2P2S <sup>1</sup>

<sup>1</sup> 2P2S は、JEDEC 規格 JESD51-7 に準拠する JEDEC 規格の PCB 構成。

## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

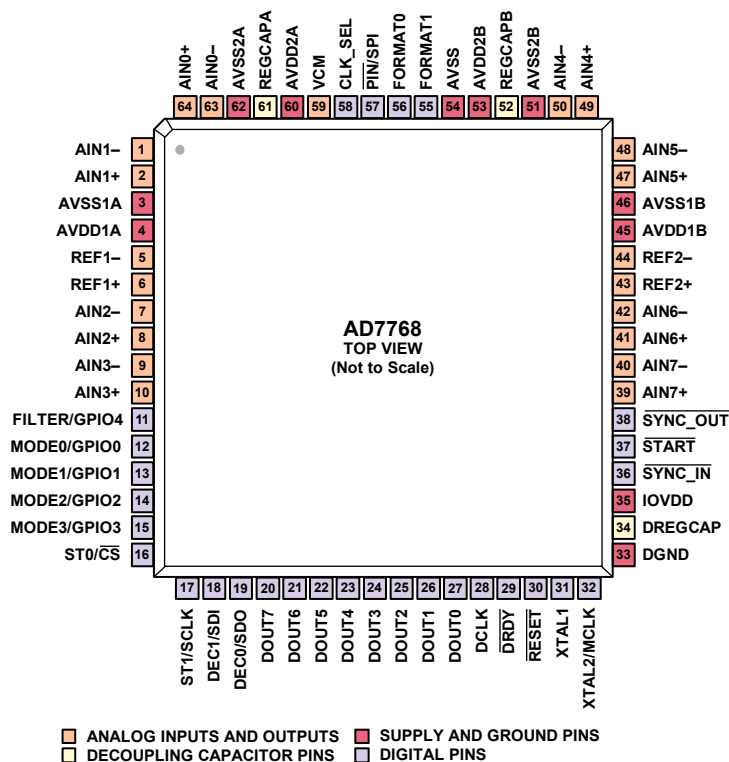


図 10. AD7768 ピン配置

表 9. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	AIN1-	AI	ADC チャンネル 1 への負のアナログ入力。
2	AIN1+	AI	ADC チャンネル 1 への正のアナログ入力。
3	AVSS1A	P	負のアナログ電源。このピンは、公称 0 V に設定されます。
4	AVDD1A	P	アナログ電源電圧、AVSS を基準にして 5 V ±10 %。
5	REF1-	AI	リファレンス入力、負。REF1- はチャンネル 0 ~ チャンネル 3 の負のリファレンス端子。REF1- の電圧範囲は AVSS ~ (AVDD1 - 1 V)。高品質コンデンサを使用してこのピンを AVSS ヘデカップリングし、このコンデンサとピン 3 の間のインピーダンスを低い値に保ちます。
6	REF1+	AI	リファレンス入力、正。REF1+ はチャンネル 0 ~ チャンネル 3 の正のリファレンス端子。REF1+ の電圧範囲は (AVSS + 1 V) ~ AVDD1。REF1+ と REF1- の間に 1 V ~  AVDD1 - AVSS  の外部差動リファレンス電圧を印加します。高品質コンデンサを使用してこのピンを AVSS ヘデカップリングし、このコンデンサとピン 3 の間のインピーダンスを低い値に保ちます。
7	AIN2-	AI	ADC チャンネル 2 への負のアナログ入力。
8	AIN2+	AI	ADC チャンネル 2 への正のアナログ入力。
9	AIN3-	AI	ADC チャンネル 3 への負のアナログ入力。
10	AIN3+	AI	ADC チャンネル 3 への正のアナログ入力。
11	FILTER/GPIO4	DI/O	フィルタ選択/汎用入出力 4。ピン制御モードの場合、このピンはフィルタ・タイプを選択します。 sinc5 フィルタの場合は、このピンをロジック 1 に設定します。この sinc5 フィルタは低遅延フィルタで、DC アプリケーションやチップ外部で特別なポストフィルタリングが実装されている場合に最適です。 広帯域の低リップル・フィルタ応答にするには、このピンをロジック 0 に設定します。このフィルタは遷移帯域が急峻で、阻止帯域減衰は 105 dB です。ナイキスト (ODR/2) での完全な減衰は、最初のチョッピング・ゾーンへの ODR/2 出力でエイリアシングが発生しないことを意味します。 SPI 制御モードの場合、このピンを汎用入出力 (GPIO4) として使用できます。詳細については、表 49 を参照してください。

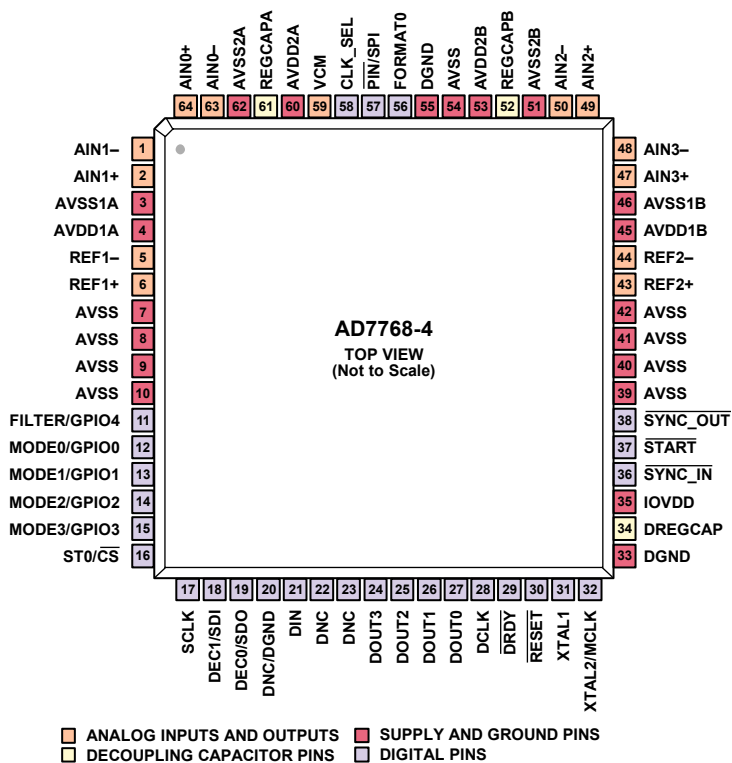
ピン番号	記号	タイプ <sup>1</sup>	説明
12、13、14、15	MODE0/GPIO0、MODE1/GPIO1、MODE2/GPIO2、MODE3/GPIO3。	DI/DI/O	モード選択/汎用入出力ピン0～ピン3。 ピン制御モードの場合、MODEx ピンですべての ADC チャンネルの動作モードを設定し、消費電力、DCLK 周波数、ADC 変換タイプを制御すれば、ワンショット変換動作が可能になります。
16	ST0/ $\overline{\text{CS}}$	DI	SPI 制御モードの場合、GPIOx ピンは FILTER/GPIO4 ピンとともに5つの汎用入出力ピン (GPIO4～GPIO0) を形成します。詳細については、表 49 を参照してください。 スタンバイ 0/チップ・セレクト入力。 ピン制御モードの場合、ロジック 1 はチャンネル 0～チャンネル 3 をスタンバイ・モードにします。
17	ST1/SCLK	DI	SPI 制御モードの場合、このピンは SPI 制御インターフェースに対するアクティブ・ロー・チップ・セレクト入力になります。VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768 の外部で使用する場合は、チャンネル 0 をイネーブルにする必要があります。 スタンバイ 1/シリアル・クロック入力。 ピン制御モードの場合、このピンのロジック 1 によってチャンネル 4～チャンネル 7 がスタンバイ・モードになります。
18	DEC1/SDI	DI	SPI 制御モードの場合、このピンは SPI 制御インターフェースのシリアル・クロック入力ピンになります。水晶発振器の励起回路は、チャンネル 4 回路に関連付けられています。チャンネル 4 をスタンバイ・モードにすると、水晶発振器回路もディスエーブルになり、最大の節電が実現されます。AD7768 で外部水晶発振器を使用しているときには、チャンネル 4 をイネーブルにする必要があります。 デシメーション・レート制御入力 1/シリアル・データ入力。 ピン制御モードの場合、DEC0 ピンと DEC1 によってすべての ADC チャンネルのデシメーション・レートが設定されます。詳細については、デシメーション・レートの設定のセクションの表 17 を参照してください。
19	DEC0/SDO	DI/O	SPI 制御モードの場合、このピンは AD7768 レジスタ・バンクにデータを書き込むのに使用するシリアル・データ入力ピンになります。 デシメーション・レート制御入力 0/シリアル・データ出力。 ピン制御モードの場合、DEC0 ピンと DEC1 によってすべての ADC チャンネルのデシメーション・レートが設定されます。詳細については、デシメーション・レートの設定のセクションの表 17 を参照してください。
20	DOUT7	DI/O	SPI 制御モードの場合、このピンはシリアル・データ出力ピンになるので、AD7768 レジスタからリードバックすることができます。 変換データ出力 7。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。FORMATx ピンを 01 として設定している場合、同期されたマルチデバイスをデジタイズチェーン状に接続すると、このピンは個別の AD7768 デバイスからのデジタル入力として機能します。AD7768 をデジタイズチェーンで使用するには、アプリケーションの最適なインターフェース形式に応じて FORMATx ピンを 01、10、または 11 として配線します。FORMATx を 01、10 または 11 に設定し、デジタイズチェーン接続を使用しない場合は、プルダウン抵抗を通じてこのピンをグラウンドに接続します。
21	DOUT6	DI/O	変換データ出力 6。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。同期されたマルチデバイスをデジタイズチェーン状に接続する場合、このピンは個別の AD7768 デバイスからのデジタル入力として機能します。このピンをデジタイズチェーンで使用するには、アプリケーションの最適なインターフェース形式に応じて FORMATx ピンを 01、10、または 11 として配線します。FORMATx を 01、10 または 11 に設定し、デジタイズチェーン接続を使用しない場合は、プルダウン抵抗を通じてこのピンをグラウンドに接続します。
22	DOUT5	DO	変換データ出力 5。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
23	DOUT4	DO	変換データ出力 4。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
24	DOUT3	DO	変換データ出力 3。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
25	DOUT2	DO	変換データ出力 2。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
26	DOUT1	DO	変換データ出力 1。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
27	DOUT0	DO	変換データ出力 0。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
28	DCLK	DO	ADC 変換データ・クロック。このピンは、変換データをデジタル・ホスト (デジタルシグナル・プロセッサ (DSP) / フィールド・プログラマブル・ゲート・アレイ (FPGA) ) にクロック出力します。このピンは $\overline{\text{DRDY}}$ と DOUT0～DOUT7 の変換データ出力に同期され、MCLK 信号から供給されます。このピンは、SPI 制御インターフェースに関連付けられていません。
29	$\overline{\text{DRDY}}$	DO	データ・レディ。 $\overline{\text{DRDY}}$ は、8つの ADC からの変換結果をフレイミングする周期信号出力です。このピンは DCLK および DOUT0～DOUT7 に同期されています。
30	$\overline{\text{RESET}}$	DI	ハードウェア非同期リセット入力。デバイスが完全にパワーアップした後に、このピンを使用してハード・リセットを実行するか、SPI 制御インターフェース経由でソフト・リセットを実行することを推奨します。

ピン番号	記号	タイプ <sup>1</sup>	説明
31	XTAL1	DI	水晶発振器の入力1またはLVDSクロックへの接続。CLK_SELが0の場合は、XTAL1をDGNDに接続します。水晶発振器の励起回路は、チャンネル4回路に関連付けられています。チャンネル4をスタンバイ・モードにすると、水晶発振器回路もディスエーブルになり、最大の節電が実現されます。AD7768で外部水晶発振器を使用するときは、チャンネル4をイネーブルにする必要があります。LVDSクロックとともに使用する場合は、このピンをLVDS信号対の1つのパターンに接続します。LVDS入力として使用した場合、このピンの立ち上がりエッジはAD7768によってMCLKの立ち上がりエッジとして検出されます。
32	XTAL2/MCLK	DI	CMOSまたは水晶発振器/LVDSサンプリング・クロックの入力2。この構成の詳細については、CLK_SELピンを参照してください。 外部水晶発振器:XTAL2は外部水晶発振器に接続します。 LVDSクロック:LVDSクロックとともに使用する場合は、このピンをLVDS信号対の2番目のパターンに接続します。 CMOSクロック:このピンはMCLK入力として動作します。このピンはロジック・レベルがIOVDD/DGNDのCMOS入力です。CMOSクロック入力として使用する場合は、このピンの立ち上がりエッジはAD7768によってMCLKの立ち上がりエッジとして検出されます。 水晶発振器の励起回路は、チャンネル4回路に関連付けられています。チャンネル4をスタンバイ・モードにすると、水晶発振器回路もディスエーブルになり、最大の節電が実現されます。AD7768で外部水晶発振器を使用するときは、チャンネル4をイネーブルにする必要があります。
33	DGND	P	デジタル・グラウンド。このピンは公称0Vに設定されます。
34	DREGCAP	AO	デジタル低ドロップアウト(LDO)レギュレータの出力。高品質な低ESRの10μFコンデンサを使用して、このピンをDGNDヘデカップリングします。最適な性能を発揮するには、ESR仕様が400mΩ未満のデカップリング・コンデンサを使用してください。このピンは、AD7768の外部回路での使用には適していません。1.8V IOVDD動作の場合は、外部パターン経由でこのピンをIOVDDに接続して、デジタル処理コアに電源を供給します。
35	IOVDD	P	デジタル電源。このピンは、すべてのインターフェース・ピンのロジック・レベルを設定します。IOVDDが2.25V以上の場合、IOVDDはデジタルLDO経由でデジタル処理コアも駆動します。1.8V IOVDD動作の場合は、外部パターン経由でこのピンをDREGCAPに接続して、デジタル処理コアに電源を供給します。
36	SYNC_IN	DI	同期入力:SYNC_INはSYNC_OUTから同期信号を受信します。これは同時サンプリングを必要とするAD7768またはデイジーチェーン構成における同期で使用されます。SYNC_INピンがシステム同期パルスに接続されている場合は、START機能とSYNC_OUT機能を無視します。この信号パルスは、MCLKクロック領域に同期する必要があります。AD7768デバイスのデイジーチェーン・システムでは、2つの連続する同期パルスを入力してすべてのADCが同期されていることを確認する必要があります。2つの同期パルスは、複数のAD7768デバイスが1つのMCLK信号を共有するシステムでも必要です。この場合、いずれか1つのデバイスのDRDYピンを使用して新しいデータが検出されます。
37	START	DI	開始信号。STARTパルスはAD7768を他のデバイスに同期します。信号を非同期にすることもできます。AD7768は、入力をサンプリングしてSYNC_OUTパルスを出します。このSYNC_OUTパルスは、このデバイスのSYNC_INピンや、同期する必要があるその他のAD7768デバイスに接続する必要があります。これは、同じクロック領域からADCとそれらのデジタル・ホストを実行する必要がないことを意味します。ADCとコントローラの間に長いパターンまたはバック・プレーンがある場合に便利です。このピンを使用しない場合は、ブルアップ抵抗を通じてロジック1に接続する必要があります。AD7768デバイスのデイジーチェーン・システムでは、2つの連続する同期パルスを入力してすべてのADCが同期されていることを確認する必要があります。2つの同期パルスは、複数のAD7768デバイスが1つのMCLK信号を共有するシステムでも必要です。この場合、いずれか1つのデバイスのDRDYピンを使用して新しいデータが検出されます。
38	SYNC_OUT	DO	同期出力。このピンは、START入力を使用した場合のみ動作します。START入力機能を使用した場合、SYNC_OUTピンは外部パターン経由でSYNC_INに接続する必要があります。SYNC_OUTはMCLK信号に同期されたデジタル出力です。STARTで駆動される同期信号は、MCLK信号に内部で同期され、SYNC_OUTに出力されます。SYNC_OUTは、同時サンプリングやデイジーチェーン接続を必要とする他のAD7768デバイスに接続して、MCLKクロック領域に関係するデバイスを同期させることもできます。その後、同じAD7768と他のAD7768デバイスのSYNC_INピンを駆動するように配線する必要があります。
39	AIN7+	AI	ADCチャンネル7への正のアナログ入力。
40	AIN7-	AI	ADCチャンネル7への負のアナログ入力。
41	AIN6+	AI	ADCチャンネル6への正のアナログ入力。
42	AIN6-	AI	ADCチャンネル6への負のアナログ入力。
43	REF2+	AI	リファレンス入力、正。REF2+はチャンネル4～チャンネル7の正のリファレンス端子。REF2+の電圧範囲は(AVSS + 1V)～AVDD1。REF2+とREF2-の間に1V～ AVDD1 - AVSS の外部差動リファレンス電圧を印加します。高品質コンデンサを使用してこのピンをAVSSヘデカップリングし、このコンデンサとピン46の間のインピーダンスを低い値に保ちます。

ピン番号	記号	タイプ <sup>1</sup>	説明
44	REF2-	AI	リファレンス入力、負。REF2- はチャンネル 4 ~ チャンネル 7 の負のリファレンス端子。REF2- の電圧範囲は AVSS ~ (AVDD1 - 1 V)。高品質コンデンサを使用してこのピンを AVSS ヘドカップリングし、このコンデンサとピン 46 の間のインピーダンスを低い値に保ちます。
45	AVDD1B	P	アナログ電源電圧。このピンは AVSS を基準にして 5 V ±10 %。
46	AVSS1B	P	負のアナログ電源。このピンは公称 0 V に設定されます。
47	AIN5+	AI	ADC チャンネル 5 への正のアナログ入力。
48	AIN5-	AI	ADC チャンネル 5 への負のアナログ入力。
49	AIN4+	AI	ADC チャンネル 4 への正のアナログ入力。
50	AIN4-	AI	ADC チャンネル 4 への負のアナログ入力。
51	AVSS2B	P	負のアナログ電源。このピンは公称 0 V に設定されます。
52	REGCAPB	AO	アナログ LDO レギュレータ出力です。1 μF のコンデンサを使用して、このピンを AVSS ヘドカップリングします。
53	AVDD2B	P	アナログ電源電圧。このピンは AVSS を基準にして 2 V ~ 5.5 V。
54	AVSS	P	負のアナログ電源。このピンは公称 0 V に設定されます。
55、56	FORMAT1、 FORMAT0	DI	フォーマット選択ピン。ピン制御モードおよび SPI 制御モードで必要な値に FORMATx ピンを配線します。これらのピンは、ADC 変換データを出力するために使用する DOUTx ピンの数を設定します。FORMATx ピンが AD7768 によってパワーアップ時にチェックされた後、AD7768 はこのデータ出力構成のままになります (表 31 を参照)。
57	$\overline{\text{PIN}}/\text{SPI}$	DI	ピン制御/SPI 制御。このピンは制御方法を設定します。 ロジック 0 = AD7768 のピン制御モード。ピン制御モードにより、ロジック入力ピンを必要なロジック・レベルに接続して AD7768 をピン・ストラップ構成にすることができます。構成の要件に応じてロジック・ピン (MODE0 ~ MODE4、DEC0 および DEC1、FILTER) を接続します。詳細については、ピン制御のセクションを参照してください。 ロジック 1 = AD7768 の SPI 制御モード。SPI 制御インターフェース信号 ( $\overline{\text{CS}}$ 、SCLK、SDI、SDO) は AD7768 メモリ・マップの読み出し/書き込みに使用します。
58	CLK_SEL	DI	クロック選択。 ロジック 0 = CMOS クロック・オプションを使用する場合は、このピンをロー・レベルにプルダウンします。クロックがピン 32 に入力されます (ピン 31 を DGND に接続します)。 ロジック 1 = 水晶発振器または LVDS クロック・オプションを使用する場合は、このピンをハイ・レベルにプルアップします。水晶発振器または LVDS クロックがピン 31 とピン 32 に入力されます。LVDS オプションは SPI 制御モードでのみ使用できます。LVDS クロック・オプションを有効にするには書き込みが必要です。
59	VCM	AO	コモンモード電圧出力。このピンは (AVDD1 - AVSS)/2 V を出力します。これはピン制御モードで、デフォルトで 2.5 V です。このピンを SPI 制御モードで (AVDD1 - AVSS)/2 V、2.5 V、2.14 V、または 1.65 V に設定します。0.1 μF よりも大きい容量性負荷を駆動する場合は、安定化のためにピンと容量性負荷の間に 50 Ω の直列抵抗を接続することを推奨します。VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768 の外部で使用しているときには、チャンネル 0 をイネーブルにする必要があります。
60	AVDD2A	P	アナログ電源電圧。このピンは AVSS を基準にして 2 V ~ 5.5 V。
61	REGCAPA	AO	アナログ LDO レギュレータ出力です。1 μF のコンデンサを使用して、このピンを AVSS ヘドカップリングします。
62	AVSS2A	P	負のアナログ電源。このピンは公称 0 V に設定されます。
63	AIN0-	AI	ADC チャンネル 0 への負のアナログ入力。
64	AIN0+	AI	ADC チャンネル 0 への正のアナログ入力。

<sup>1</sup> AI はアナログ入力、P は電源、DI/O はデジタル入出力、DI はデジタル入力、DO はデジタル出力、AO はアナログ出力。





NOTES  
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.

図 11. AD7768-4 ピン配置

表 10. AD7768-4 ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	AIN1-	AI	ADC チャンネル 1 への負のアナログ入力。
2	AIN1+	AI	ADC チャンネル 1 への正のアナログ入力。
3	AVSS1A	P	負のアナログ電源。このピンは公称 0 V に設定されます。
4	AVDD1A	P	アナログ電源電圧、AVSS を基準にして 5 V ±10 %。
5	REF1-	AI	リファレンス入力、負。REF1-はチャンネル 0 とチャンネル 1 の負のリファレンス端子。REF1-の電圧範囲は AVSS ~ (AVDD1 - 1 V)。高品質コンデンサを使用してこのピンを AVSS ヘドカップリングし、このコンデンサとピン 3 の間のインピーダンスを低い値に保ちます。
6	REF1+	AI	リファレンス入力、正。REF1+はチャンネル 0 とチャンネル 1 の正のリファレンス端子。REF1+の電圧範囲は (AVSS + 1 V) ~ AVDD1。REF1+ と REF1- の間に 1 V ~  AVDD1 - AVSS  の外部差動リファレンス電圧を印加します。高品質コンデンサを使用してこのピンを AVSS ヘドカップリングし、このコンデンサとピン 3 の間のインピーダンスを低い値に保ちます。
7 ~ 10、 39 ~ 42、 54	AVSS	AI	負のアナログ電源。このピンは公称 0 V に設定されます。
11	FILTER/GPIO4	DI/O	フィルタ選択/汎用入出力。ピン制御モードの場合、このピンはフィルタ・タイプを選択します。sinc5 フィルタの場合は、このピンをロジック 1 に設定します。この sinc5 フィルタは低遅延フィルタで、DC アプリケーションやチップ外部で特別なポストフィルタリングが実装されている場合に最適です。 広帯域の低リップル・フィルタ応答にするには、このピンをロジック 0 に設定します。このフィルタは遷移帯域が急峻で、阻止帯域減衰は 105 dB です。ナイキスト (ODR/2) での完全な減衰は、最初のチョッピング・ゾーンへの ODR/2 出力でエイリアシングが発生しないことを意味します。 SPI 制御モードの場合、このピンを汎用入出力 (GPIO4) として使用できます。詳細については、表 75 を参照してください。

ピン番号	記号	タイプ <sup>1</sup>	説明
12、13、14、15	MODE0/GPIO0、 MODE1/GPIO1、 MODE2/GPIO2、 MODE3/GPIO3。	DI/DI/O	モード選択/汎用入出力ピン 0 ~ ピン 3。 ピン制御モードの場合、MODEx ピンですべての ADC チャンネルの動作モードを設定し、消費電力、DCLK 周波数、ADC 変換タイプを制御すれば、ワンショット変換動作が可能になります。SPI 制御モードの場合、GPIOx ピンは FILTER/GPIO4 ピンとともに 5 つの汎用入出力ピン (GPIO4 ~ GPIO0) を形成します。詳細については、表 75 を参照してください。
16	ST0/ $\overline{\text{CS}}$	DI	スタンバイ 0/チップ・セレクト入力。 ピン制御モードの場合、このピンのロジック 1 によってチャンネル 0 ~ チャンネル 3 がスタンバイ・モードになります。 SPI 制御モードの場合、このピンは SPI 制御インターフェースに対するアクティブ・ロー・チップ・セレクト入力になります。 VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768-4 の外部で使用する場合は、チャンネル 0 をイネーブルにする必要があります。水晶発振器の励起回路は、チャンネル 2 回路に関連付けられています。チャンネル 2 をスタンバイ・モードにすると、水晶発振器回路もディスエーブルになり、最大の節電が実現されます。AD7768-4 で外部水晶発振器を使用する場合は、チャンネル 2 をイネーブルにする必要があります。
17	SCLK	DI	シリアル・クロック入力です。 SPI 制御モードの場合、このピンは SPI 制御インターフェースのシリアル・クロック入力ピンになります。
18	DEC1/SDI	DI	ピン制御モードの場合、このピンをロジック 0 または DGND に接続します。 デシメーション・レート制御入力 1/シリアル・データ入力。 ピン制御モードの場合、DEC0 ピンと DEC1 によってすべての ADC チャンネルのデシメーション・レートが設定されます。デシメーション・レートの設定のセクションの表 17 を参照してください。 SPI 制御モードの場合、このピンは AD7768-4 レジスタ・バンクにデータを書き込むのに使用するシリアル・データ入力ピンです。
19	DEC0/SDO	DI/O	デシメーション・レート制御入力 0/シリアル・データ出力。 ピン制御モードの場合、DEC0 ピンと DEC1 によってすべての ADC チャンネルのデシメーション・レートが設定されます。デシメーション・レートの設定のセクションの表 17 を参照してください。 SPI 制御モードの場合、このピンはシリアル・データ出力ピンになるので、AD7768-4 レジスタからリードバックすることができます。
20	DNC/DGND	DO/DI	接続なし/デジタル・グラウンド。これは未使用のピンです。FORMAT0 をロジック・ローに接続する場合は、このピンをフロート状態のままにしておきます。FORMAT0 をロジック・ハイに接続する場合は、プルダウン抵抗を通じてこのピンを DGND に接続します。
21	DIN	DI	データ入力デジチェーン。同期されたマルチデバイスをデジチェーン状に接続する場合、このピンは個別の AD7768-4 デバイスからのデジタル入力として機能します。このピンをデジチェーンで使用するには、FORMAT0 ピンをロジック・ハイに配線します。FORMAT0 をロジック・ローに接続する場合、またはデジチェーン接続の入力ピンを使用しない場合は、プルダウン抵抗を通じてこのピンを DGND に接続します。
22、23	DNC	DO	接続なし。このピンには接続しないでください。
24	DOUT3	DO	変換データ出力 3。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
25	DOUT2	DO	変換データ出力 2。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
26	DOUT1	DO	変換データ出力 1。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
27	DOUT0	DO	変換データ出力 0。このピンは DCLK に同期され、 $\overline{\text{DRDY}}$ によってフレイム化されます。
28	DCLK	DO	ADC 変換データ・クロック。このピンは、変換データをデジタル・ホスト (DSP/FPGA) にクロック出力します。このピンは $\overline{\text{DRDY}}$ と DOUT0 ~ DOUT3 の変換データ出力に同期され、MCLK 信号から供給されます。このピンは、SPI 制御インターフェースに関連付けられていません。
29	$\overline{\text{DRDY}}$	DO	データ・レディ。 $\overline{\text{DRDY}}$ は、4 つの ADC からの変換結果をフレイミングする周期信号出力です。このピンは DCLK および DOUT0 ~ DOUT3 に同期されています。
30	RESET	DI	ハードウェア非同期リセット入力。デバイスが完全にパワーアップした後に、このピンを使用してハード・リセットを実行するか、SPI 制御インターフェース経由でソフト・リセットを実行することを推奨します。
31	XTAL1	DI	水晶発振器の入力 1 または LVDS クロックへの接続。CLK_SEL が 0 の場合は、XTAL1 を DGND に接続します。LVDS クロックとともに使用する場合は、このピンを LVDS 信号対の 1 つのパターンに接続することを推奨します。LVDS 入力として使用した場合、このピンの立ち上がりエッジは AD7768-4 によって MCLK の立ち上がりエッジとして検出されます。

ピン番号	記号	タイプ <sup>1</sup>	説明
32	XTAL2/MCLK	DI	CMOS/水晶発振器/LVDS サンプリング・クロックの入力 2。この構成の詳細については、CLK_SEL ピンを参照してください。 外部水晶発振器:XTAL2 は外部水晶発振器に接続します。 LVDS クロック:LVDS クロックとともに使用する場合は、このピンを LVDS 信号対の 2 番目のパターンに接続します。 CMOS クロック:このピンは MCLK 入力として動作します。このピンはロジック・レベルが IOVDD/DGND の CMOS 入力です。CMOS クロック入力として使用する場合は、このピンの立ち上がりエッジは AD7768-4 によって MCLK の立ち上がりエッジとして検出されます。
33	DGND	P	デジタル・グラウンド。公称 GND (0 V)。
34	DREGCAP	AO	デジタル LDO レギュレータ出力。高品質な低 ESR の 10 $\mu$ F コンデンサを使用して、このピンを DGND ヘドカップリングします。最適な性能を発揮するには、ESR 仕様が 400 m $\Omega$ 未満のデカップリング・コンデンサを使用してください。このピンは、AD7768-4 の外部回路での使用には適していません。1.8 V IOVDD 動作の場合は、外部パターン経由でこのピンを IOVDD に接続して、デジタル処理コアに電源を供給します。
35	IOVDD	P	デジタル電源。このピンは、すべてのインターフェース・ピンのロジック・レベルを設定します。IOVDD が 2.25 V 以上の場合、IOVDD はデジタル LDO 経由でデジタル処理コアも駆動します。1.8 V IOVDD 動作の場合は、外部パターン経由でこのピンを DREGCAP に接続して、デジタル処理コアに電源を供給します。
36	<u>SYNC_IN</u>	DI	同期入力:SYNC_IN は SYNC_OUT から同期信号を受信します。これは同時サンプリングを必要とする AD7768-4 またはデジタイゼーション構成における同期で使用されます。SYNC_IN ピンがシステム同期パルスに接続されている場合は、START 機能と SYNC_OUT 機能を無視します。この信号パルスは、MCLK クロック領域に同期する必要があります。
37	<u>START</u>	DI	開始信号。START パルスは AD7768-4 を他のデバイスに同期します。信号を非同期にすることもできます。AD7768-4 は、入力をサンプリングして SYNC_OUT パルスを出力します。この SYNC_OUT パルスは、このデバイスの SYNC_IN ピンや、同期する必要があるその他の AD7768-4 デバイスに接続する必要があります。これは、同じクロック領域から ADC とそれらのデジタル・ホストを実行する必要がないことを意味します。ADC とコントローラの間に長いパターンまたはバック・プレーンがある場合に便利です。このピンを使用しない場合は、プルアップ抵抗を通じてロジック 1 に接続する必要があります。AD7768-4 デバイスのデジタイゼーション・システムでは、2 つの連続する同期パルスを入力してすべての ADC が同期されていることを確認する必要があります。2 つの同期パルスは、複数の AD7768-4 デバイスが 1 つの MCLK 信号を共有するシステムでも必要です。この場合、いずれか 1 つのデバイスの $\overline{\text{DRDY}}^E$ ピンが使用されて新しいデータが検出されます。
38	<u>SYNC_OUT</u>	DO	同期出力。このピンは、START 入力を使用した場合のみ動作します。START 入力機能を使用する場合、SYNC_OUT は外部パターン経由で SYNC_IN に接続する必要があります。SYNC_OUT は MCLK 信号に同期されるデジタル出力です。START で駆動される同期信号は、MCLK 信号に内部で同期され、SYNC_OUT に出力されます。SYNC_OUT は、同時サンプリングやデジタイゼーション接続を必要とする他の AD7768-4 デバイスに接続して、MCLK クロック領域に関係するデバイスを同期させることもできます。その後、同じ AD7768-4 と他の AD7768-4 デバイスの SYNC_IN ピンを駆動するように配線する必要があります。
43	REF2+	AI	リファレンス入力、正。REF2+ はチャンネル 2 とチャンネル 3 の正のリファレンス端子。REF2+ の電圧範囲は (AVSS + 1 V) ~ AVDD1。REF2+ と REF2- の間に 1 V ~  AVDD1 - AVSS  の外部差動リファレンス電圧を印加します。高品質コンデンサを使用してこのピンを AVSS ヘドカップリングし、このコンデンサとピン 3 の間のインピーダンスを低い値に保ちます。
44	REF2-	AI	リファレンス入力、負。REF2- はチャンネル 2 とチャンネル 3 の負のリファレンス端子。REF2- の電圧範囲は AVSS ~ (AVDD1 - 1 V)。高品質コンデンサを使用してこのピンを AVSS ヘドカップリングし、このコンデンサとピン 3 の間のインピーダンスを低い値に保ちます。
45	AVDD1B	P	アナログ電源電圧。このピンは AVSS を基準にして 5 V $\pm$ 10 %。
46	AVSS1B	P	負のアナログ電源。このピンは公称 0 V に設定されます。
47	AIN3+	AI	ADC チャンネル 3 への正のアナログ入力。
48	AIN3-	AI	ADC チャンネル 3 への負のアナログ入力。
49	AIN2+	AI	ADC チャンネル 2 への正のアナログ入力。
50	AIN2-	AI	ADC チャンネル 2 への負のアナログ入力。
51	AVSS2B	P	負のアナログ電源。このピンは公称 0 V に設定されます。
52	REGCAPB	AO	アナログ LDO レギュレータ出力です。1 $\mu$ F のコンデンサを使用して、このピンを AVSS ヘドカップリングします。

ピン番号	記号	タイプ <sup>1</sup>	説明
53	AVDD2B	P	アナログ電源電圧。AVSS を基準にして 2 V ~ 5.5 V。
55	DGND	P	デジタル・グラウンド。このピンは公称 0 V に設定されます。
56	FORMAT0	DI	フォーマット選択。ピン制御モードおよび SPI 制御モードで必要な値に FORMAT0 ピンを配線します。このピンは、ADC 変換データを出力するために使用する DOUTx ピンの数を設定します。FORMAT0 ピンが AD7768-4 によってパワーアップ時にチェックされた後、AD7768-4 はこのデータ出力構成のままになります。表 32 を参照。
57	$\overline{\text{PIN/SPI}}$	DI	ピン制御/SPI 制御。このピンは AD7768-4 の制御方法を設定します。 ロジック 0 = AD7768-4 のピン制御モード。ピン制御モードにより、ロジック入力ピンに必要なロジック・レベルに接続して AD7768-4 をピン・ストラップ構成にすることができます。構成の要件に応じてロジック・ピン (MODE0 ~ MODE4、DEC0 および DEC1、FILTER) を接続します。詳細については、ピン制御のセクションを参照してください。 ロジック 1 = AD7768-4 の SPI 制御モード。SPI 制御インターフェース信号 ( $\overline{\text{CS}}$ 、SCLK、SDI、SDO) は AD7768-4 メモリ・マップの読み出し/書き込みに使います。
58	CLK_SEL	DI	クロック選択。 ロジック 0 = CMOS クロック・オプションを使用する場合は、このピンをロー・レベルにプルダウンします。クロックがピン 32 に入力されます (ピン 31 を DGND に接続します)。 ロジック 1 = 水晶発振器または LVDS クロック・オプションを使用する場合は、このピンをハイ・レベルにプルアップします。水晶発振器または LVDS クロックがピン 31 とピン 32 に入力されます。LVDS オプションは SPI 制御モードでのみ使用できます。LVDS クロック・オプションを有効にするには書き込みが必要です。
59	VCM	AO	コモンモード電圧出力。このピンは (AVDD1 - AVSS)/2 V を出力します。ピン制御モードでのデフォルト値は 2.5 V です。このピンを SPI 制御モードで (AVDD1 - AVSS)/2 V、2.5 V、2.14 V、または 1.65 V に設定します。0.1 $\mu\text{F}$ よりも大きい容量性負荷を駆動する場合は、安定化のためにピンと容量性負荷の間に 50 $\Omega$ の直列抵抗を接続することを推奨します。VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768-4 の外部で使用する場合、チャンネル 0 をイネーブルにする必要があります。
60	AVDD2A	P	アナログ電源電圧。このピンは AVSS を基準にして 2 V ~ 5.5 V。
61	REGCAPA	AO	アナログ LDO レギュレータ出力です。1 $\mu\text{F}$ のコンデンサを使用して、このピンを AVSS へデカップリングします。
62	AVSS2A	P	負のアナログ電源。このピンは公称 0 V に設定されます。
63	AIN0-	AI	ADC チャンネル 0 への負のアナログ入力。
64	AIN0+	AI	ADC チャンネル 0 への正のアナログ入力。

<sup>1</sup> AI はアナログ入力、P は電源、DI/O はデジタル入出力、DI はデジタル入力、DO はデジタル出力、AO はアナログ出力。

## 代表的な性能特性

特に指定のない限り、AVDD1 = 5 V、AVDD2 = 2.5 V、AVSS = 0 V、IOVDD = 2.5 V、V<sub>REF</sub> = 4.096 V、T<sub>A</sub> = 25 °C、高速消費電力モード、広帯域フィルタ、デシメーション = ×32、MCLK = 32.768 MHz、アナログ入力プリチャージ・バッファ = オン、プリチャージ・リファレンス・バッファ = オフ。

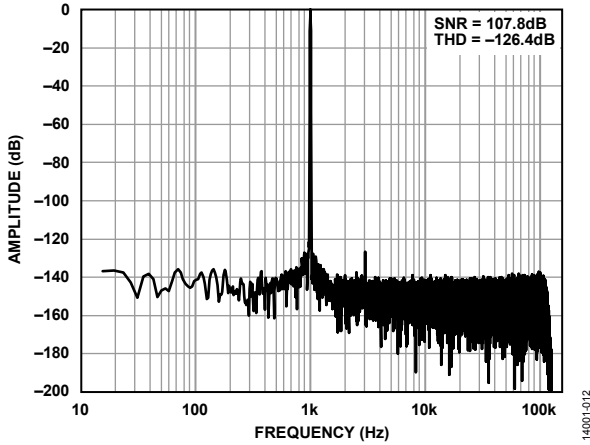


図 12. FFT、高速モード、広帯域フィルタ、-0.5 dBFS

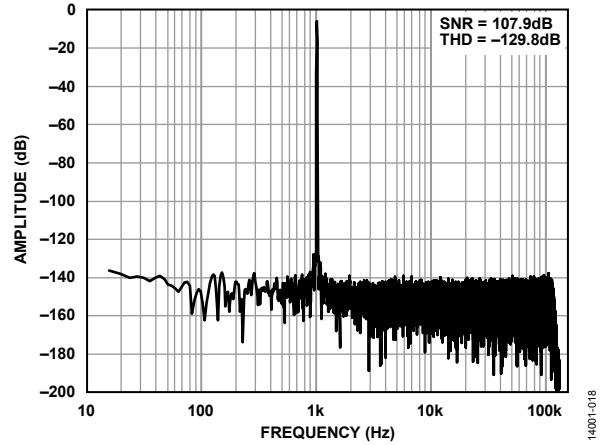


図 15. FFT、高速モード、広帯域フィルタ、-6 dBFS

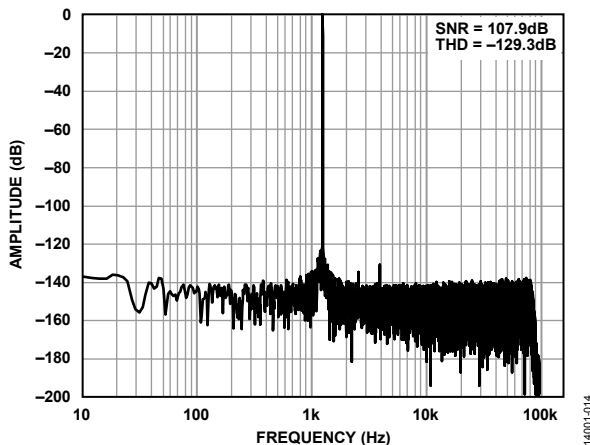


図 13. FFT、中間モード、広帯域フィルタ、0.5 dBFS

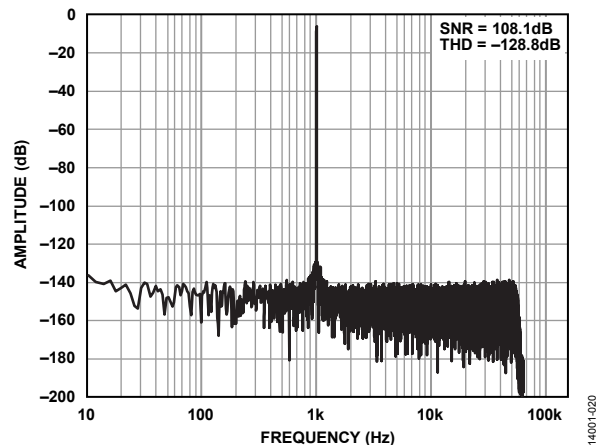


図 16. FFT、中間モード、広帯域フィルタ、-6 dBFS

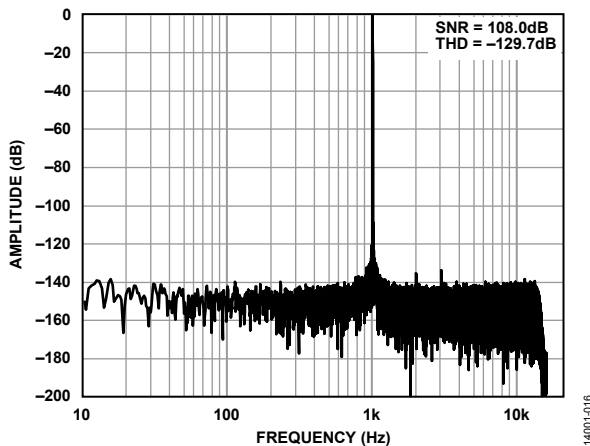


図 14. FFT、エコ・モード、広帯域フィルタ、0.5 dBFS

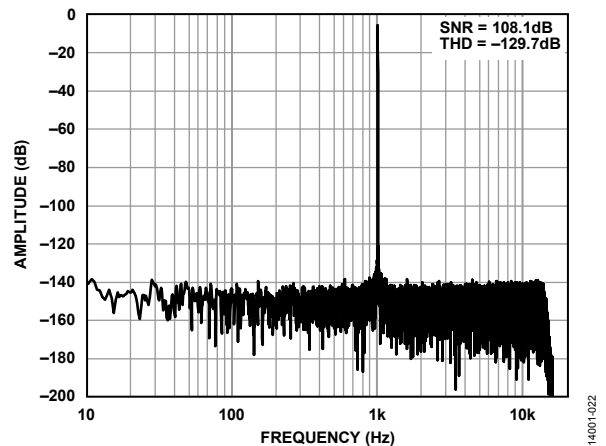


図 17. FFT、エコ・モード、広帯域フィルタ、-6 dBFS

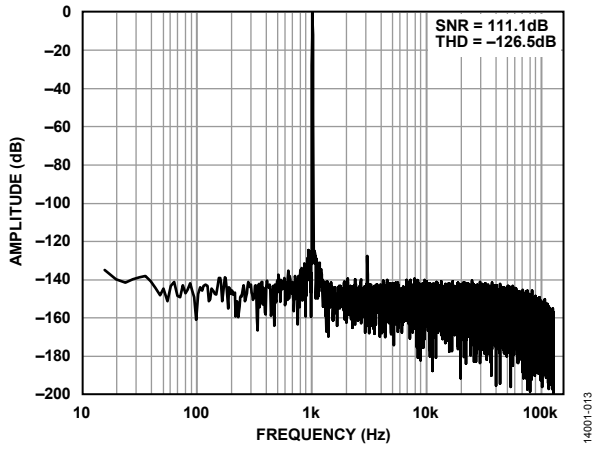


図 18. FFT、高速モード、Sinc5 フィルタ、 0.5 dBFS

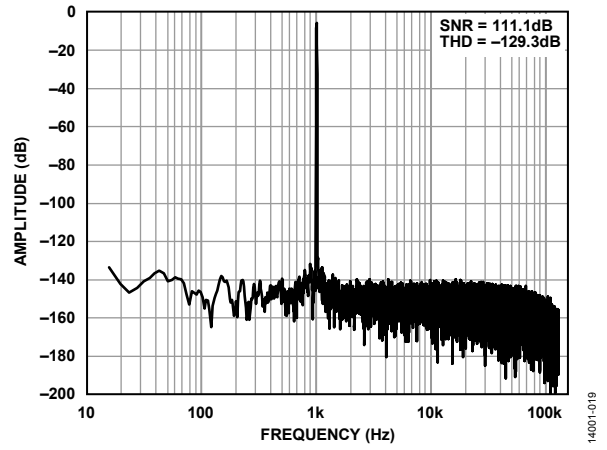


図 21. FFT、高速モード、Sinc5 フィルタ、-6 dBFS

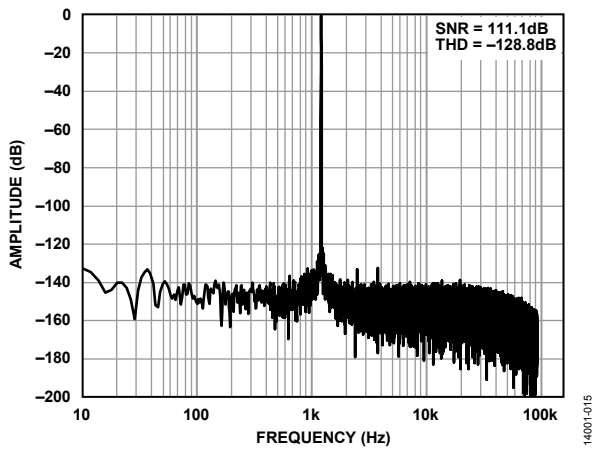


図 19. FFT、中間モード、Sinc5 フィルタ、 0.5 dBFS

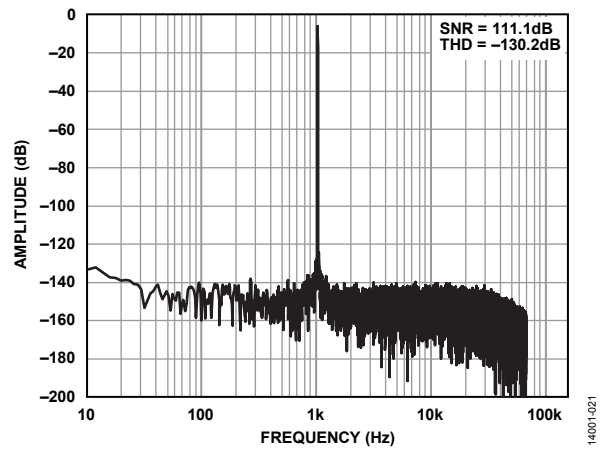


図 22. FFT、中間モード、Sinc5 フィルタ、-6 dBFS

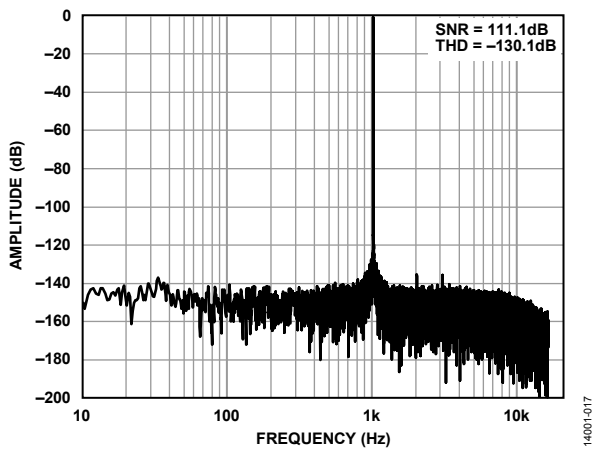


図 20. FFT、エコ・モード、Sinc5 フィルタ、 0.5 dBFS

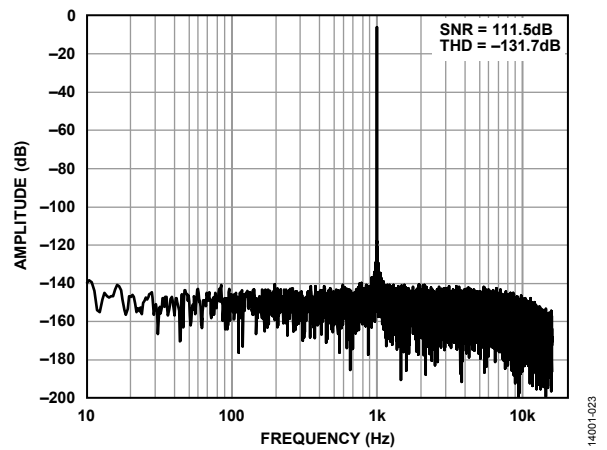


図 23. FFT、エコ・モード、Sinc5 フィルタ、-6 dBFS

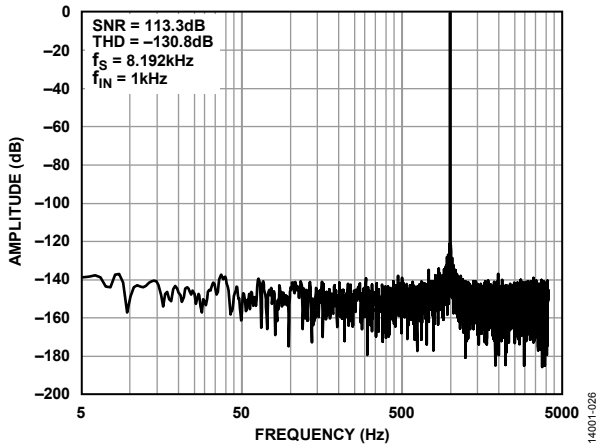


図 24. FFT ワンショット・モード、Sinc5 フィルタ、中間モード、  
デシメーション =  $\times 64$ 、 $\theta.5\text{ dBFS}$ 、  
SYNC\_IN 周波数 = MCLK/4000

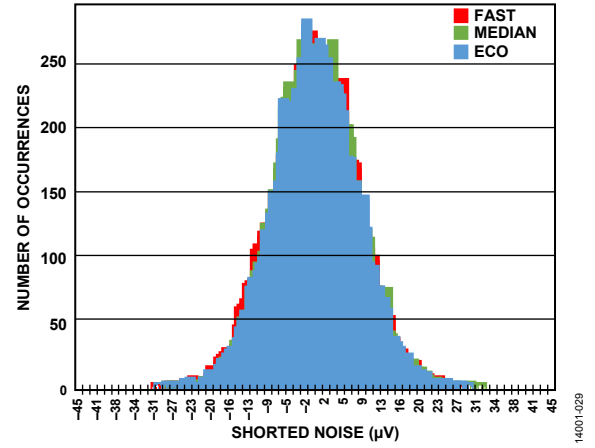


図 27. 短絡ノイズ、Sinc5 フィルタ

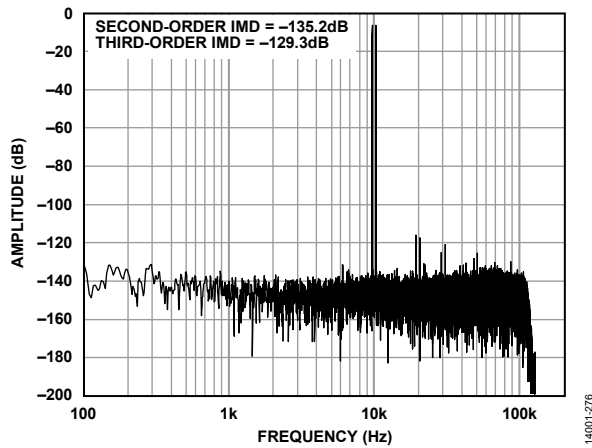


図 25. 9.7 kHz および 10.3 kHz の入力信号での相互変調歪み

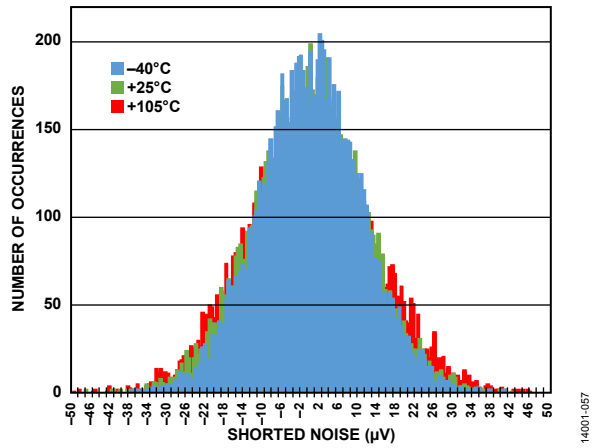


図 28. 短絡ノイズと温度の関係、広帯域フィルタ

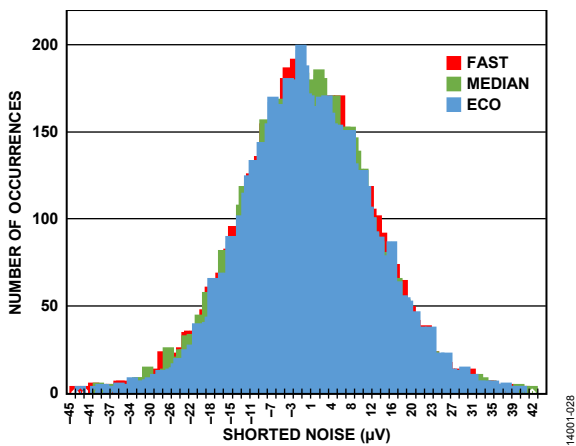


図 26. 短絡ノイズ、広帯域フィルタ

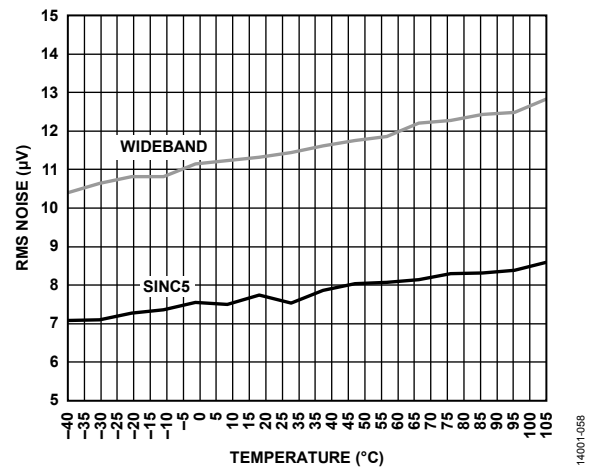


図 29. RMS ノイズと温度の関係、高速モード

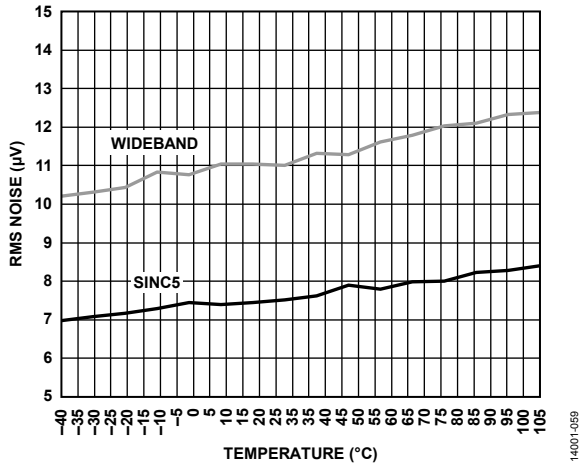


図 30. RMS ノイズと温度の関係、中間モード

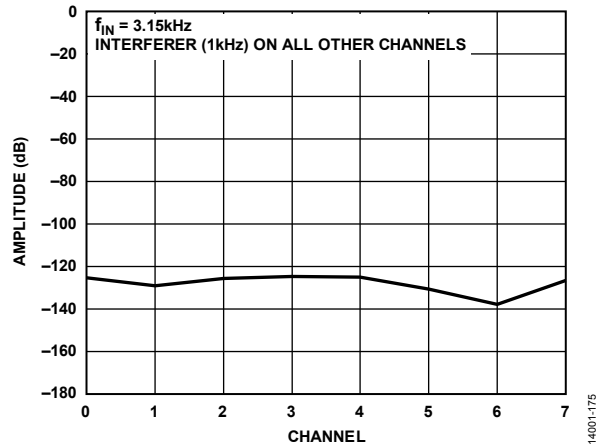


図 33. クロストーク

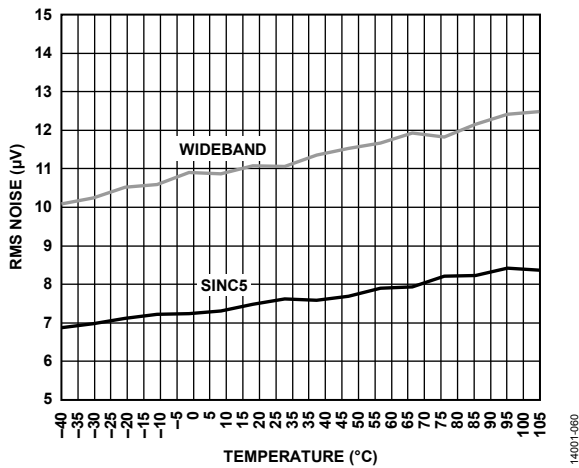


図 31. RMS ノイズと温度の関係、エコ・モード

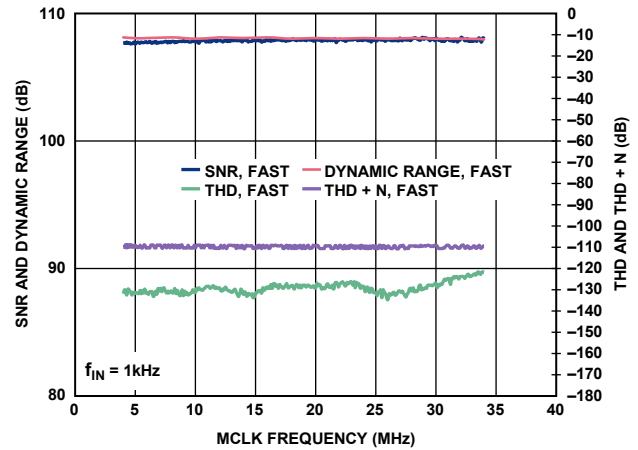


図 34. S/N 比、ダイナミック・レンジ、THD、THD + N と MCLK 周波数の関係

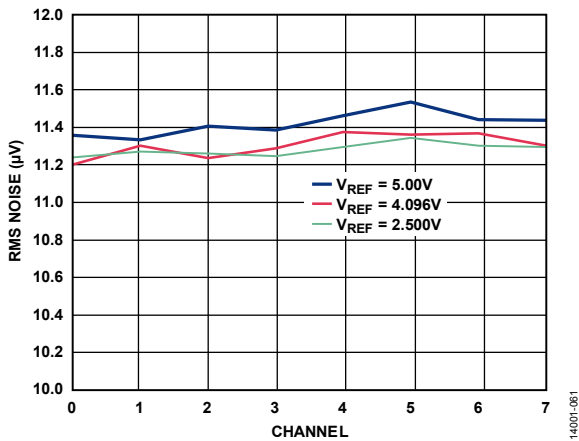


図 32. チャンネルごとの RMS ノイズ、各種 VREF 値

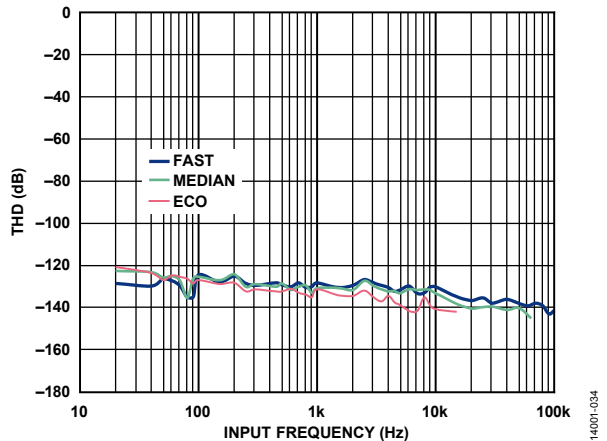


図 35. THD と入力周波数の関係、3つの消費電力モード、広帯域フィルタ



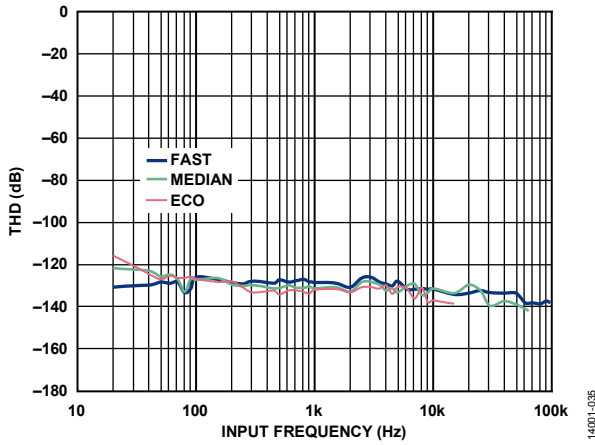


図 36. THD と入力周波数の関係、3 つの消費電力モード、Sinc5 フィルタ

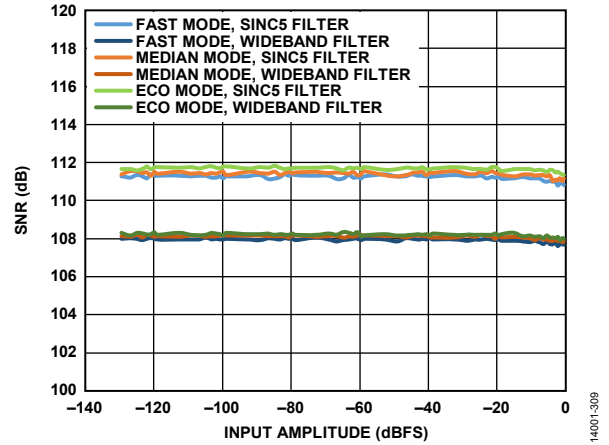


図 39. S/N 比と入力振幅の関係

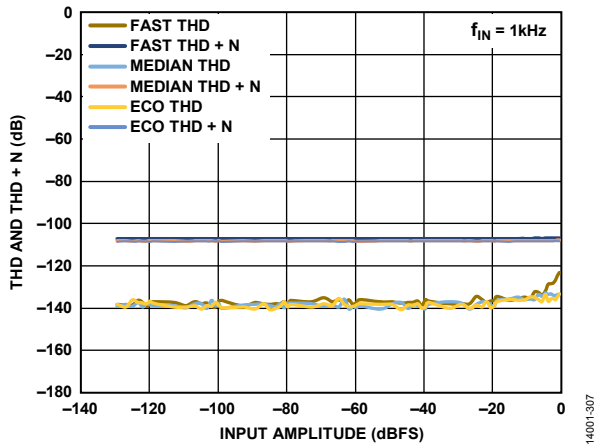


図 37. THD および THD + N と入力振幅の関係、広帯域フィルタ

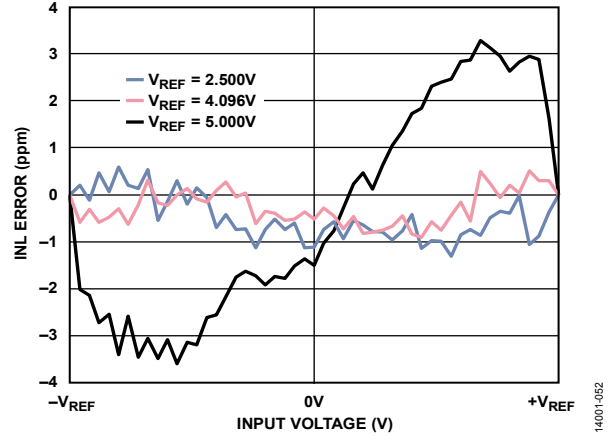


図 40. INL 誤差と入力電圧の関係、各種電圧リファレンス ( $V_{REF}$ ) レベル、高速モード

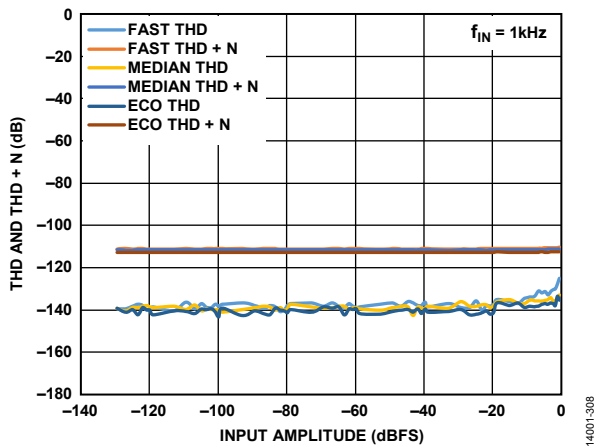


図 38. THD および THD + N と入力振幅の関係、Sinc5 フィルタ

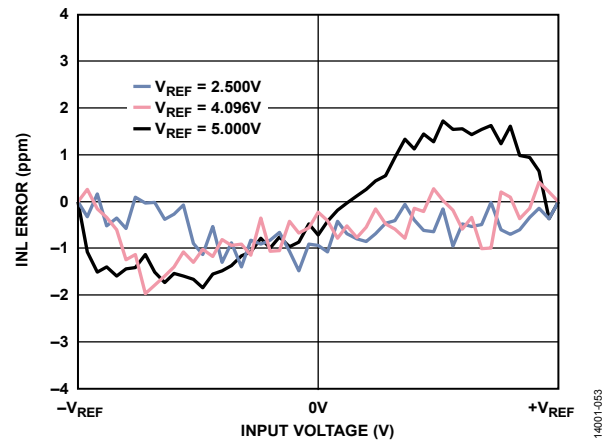


図 41. INL 誤差と入力電圧の関係、各種電圧リファレンス ( $V_{REF}$ ) レベル、中間モード

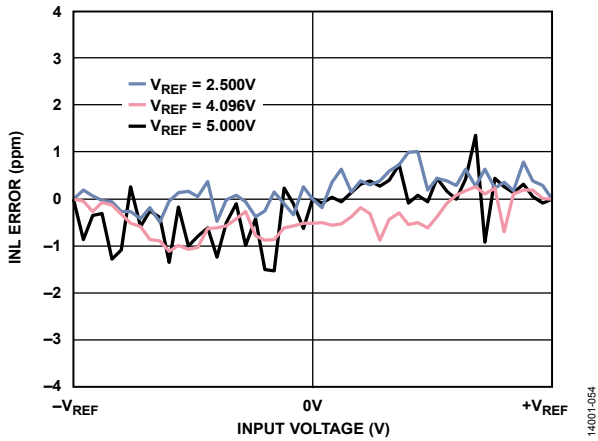


図 42. INL 誤差と入力電圧の関係、各種電圧リファレンス ( $V_{REF}$ ) レベル、エコ・モード

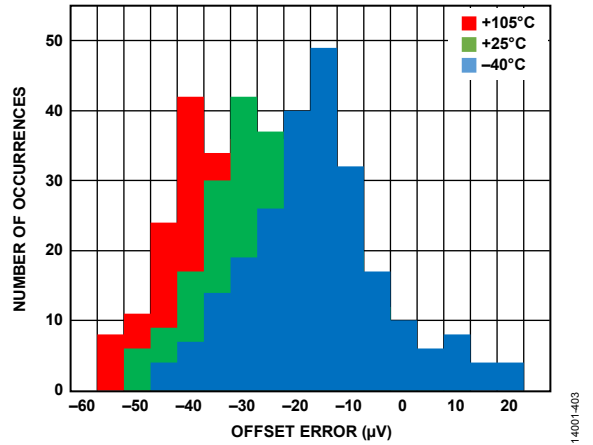


図 45. オフセット誤差分布、DCLK = 24 MHz

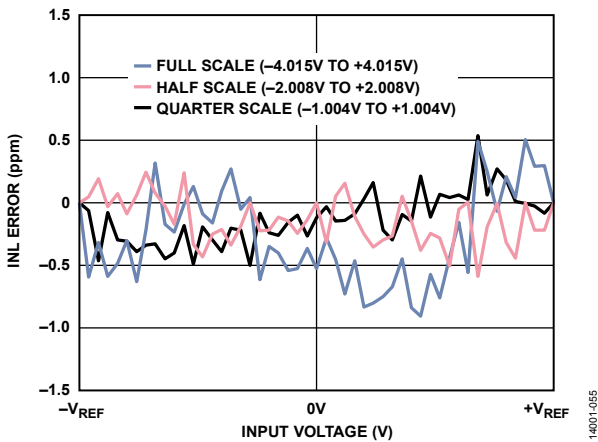


図 43. INL 誤差と入力電圧の関係、フルスケール、1/2 スケール、および 1/4 スケール入力

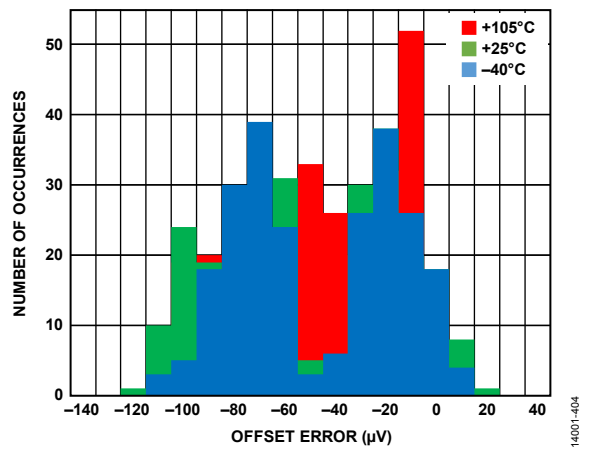


図 46. オフセット誤差分布、DCLK = 32 MHz

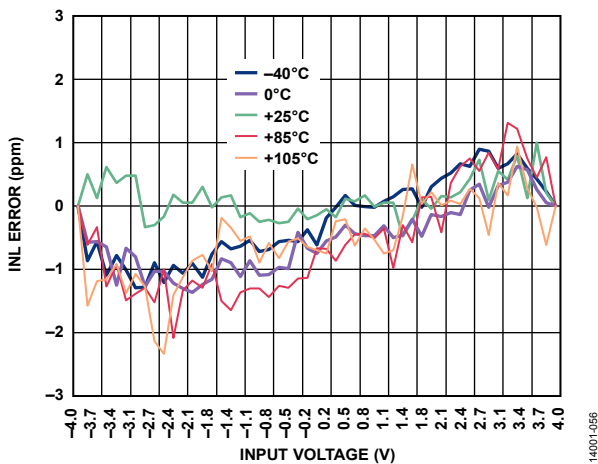


図 44. INL 誤差と入力電圧の関係、各種温度、高速モード

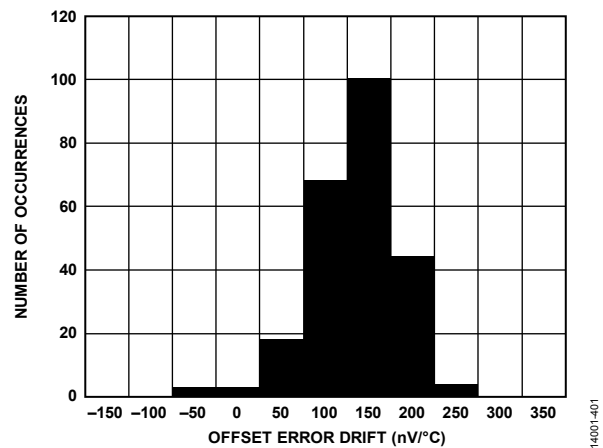


図 47. オフセット誤差ドリフト、DCLK = 24 MHz

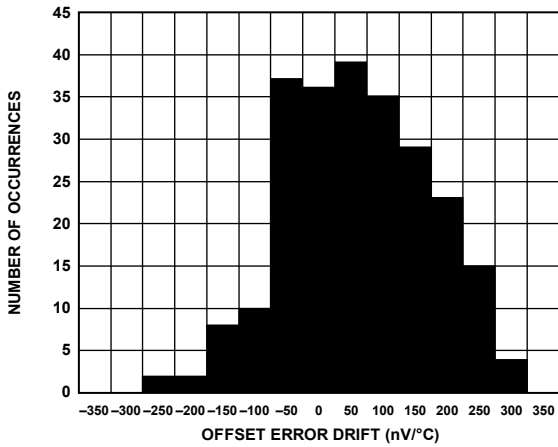


図 48. オフセット誤差ドリフト、DCLK = 32 MHz

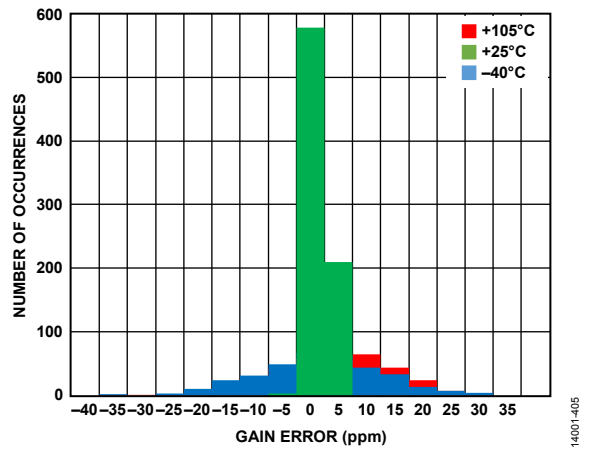


図 51. ゲイン誤差分布

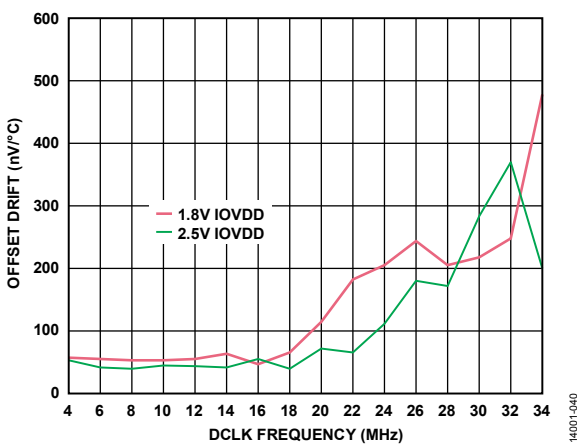


図 49. オフセット・ドリフトと DCLK 周波数の関係

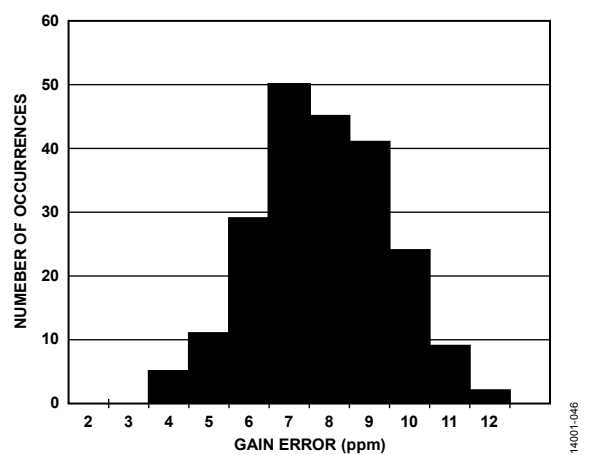


図 52. チャンネル間ゲイン誤差マッチング

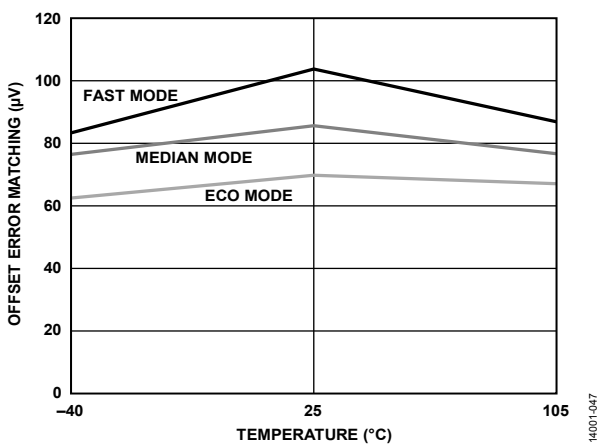


図 50. チャンネル・オフセット誤差マッチング

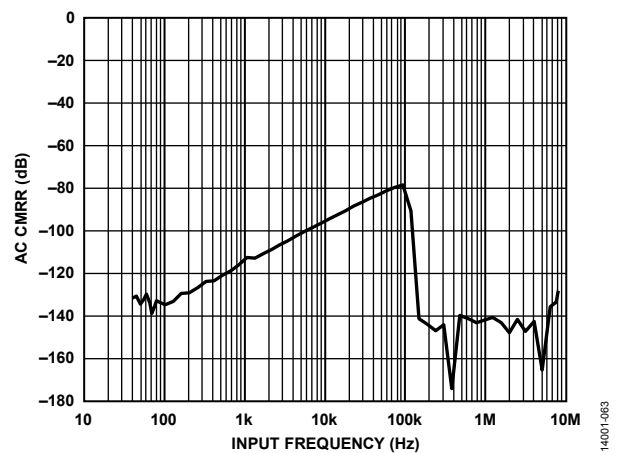


図 53. AC CMRR と入力周波数の関係

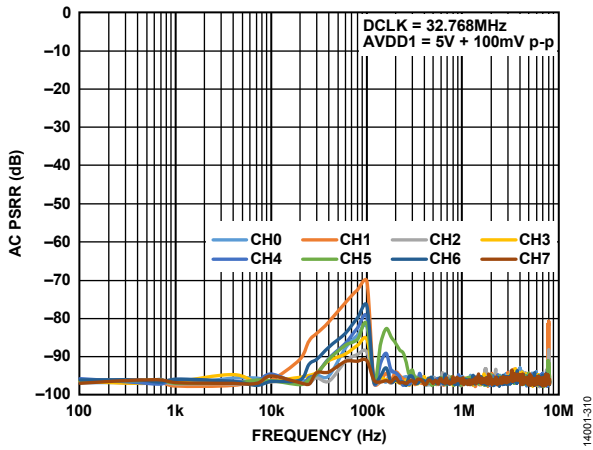


図 54. AC PSRR と周波数の関係、AVDD1

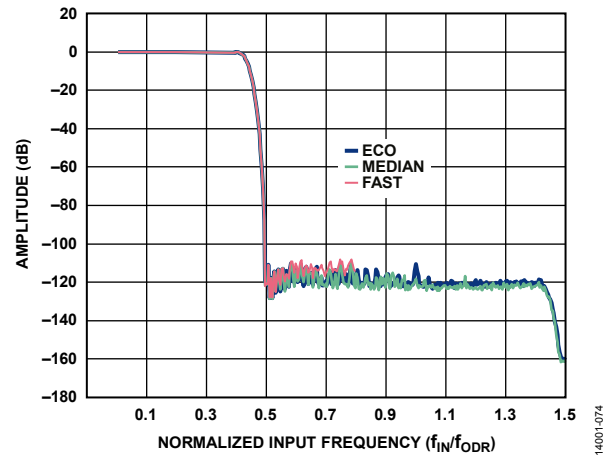


図 57. 広帯域フィルタ・プロファイル、振幅と  $f_{IN}/f_{ODR}$  の関係

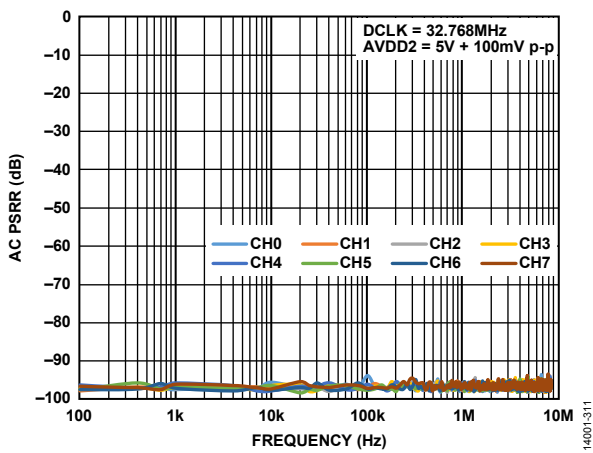


図 55. AC PSRR と周波数の関係、AVDD2

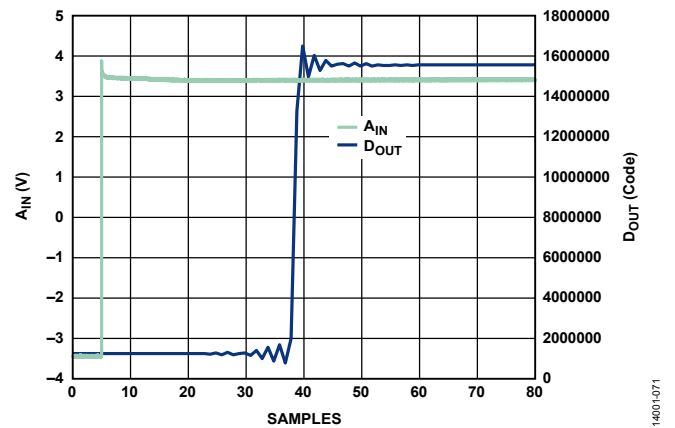


図 58. ステップ応答、広帯域フィルタ

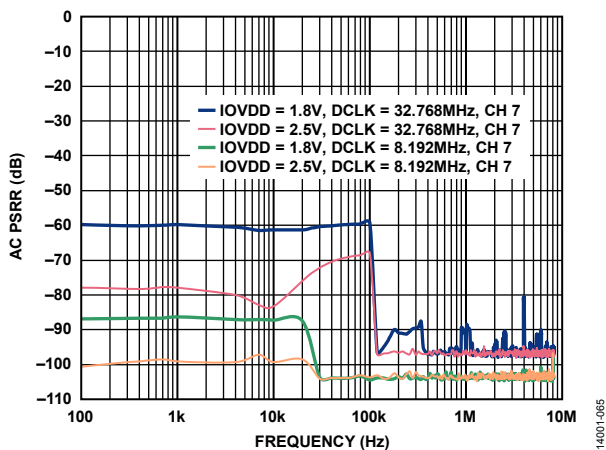


図 56. AC PSRR と周波数の関係、IOVDD

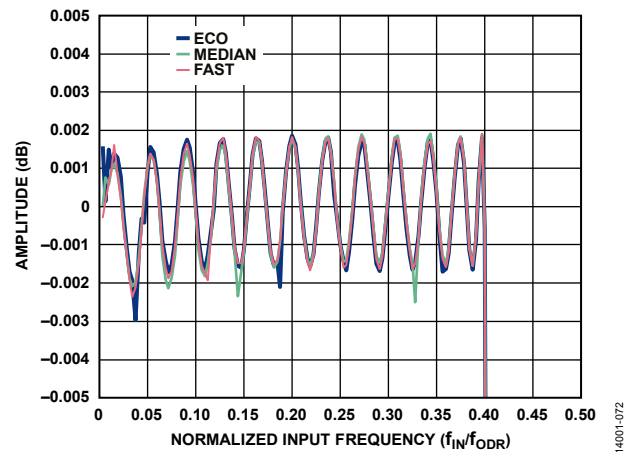


図 59. 広帯域フィルタ・リップル

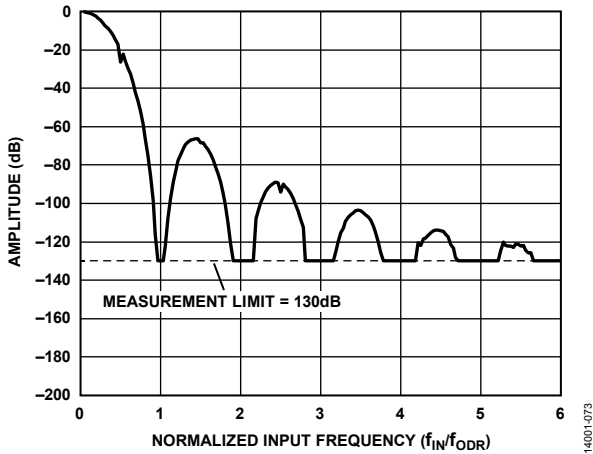


図 60. Sinc5 フィルタ・プロファイル、振幅と  $f_{IN}/f_{ODR}$  の関係

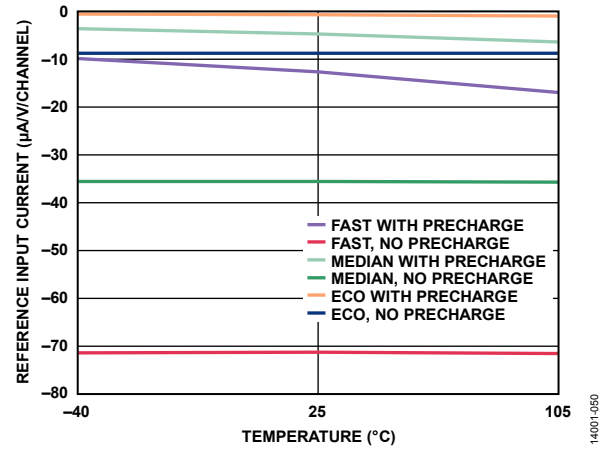


図 63. リファレンス入力電流と温度の関係、リファレンス・プリチャージ・バッファ = オン/オフ)

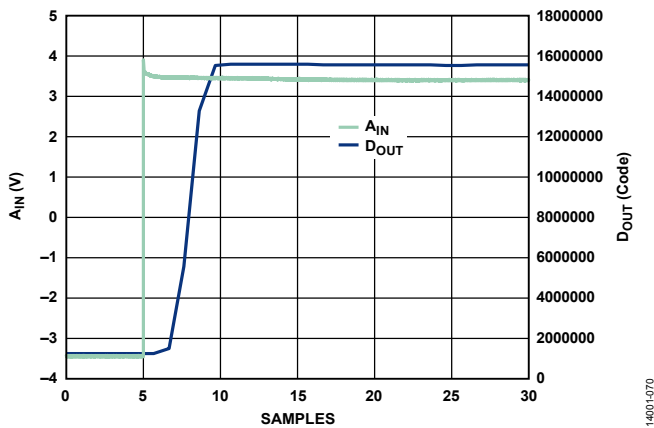


図 61. ステップ応答、Sinc5 フィルタ

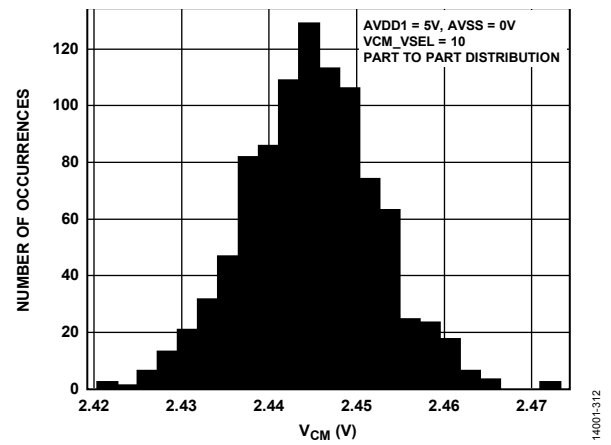


図 64. VCM 出力電圧分布

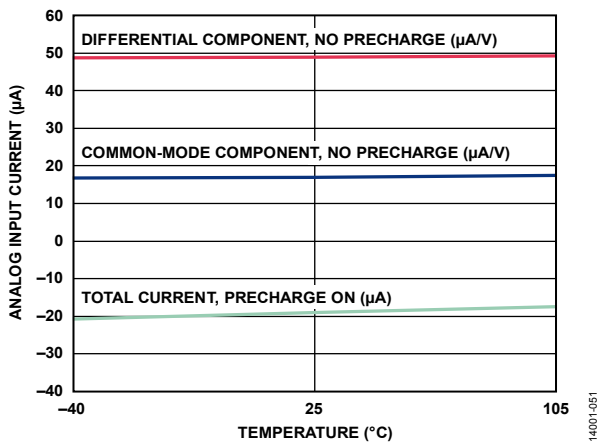


図 62. アナログ入力電流と温度の関係、アナログ入力プリチャージ・バッファ = オン/オフ

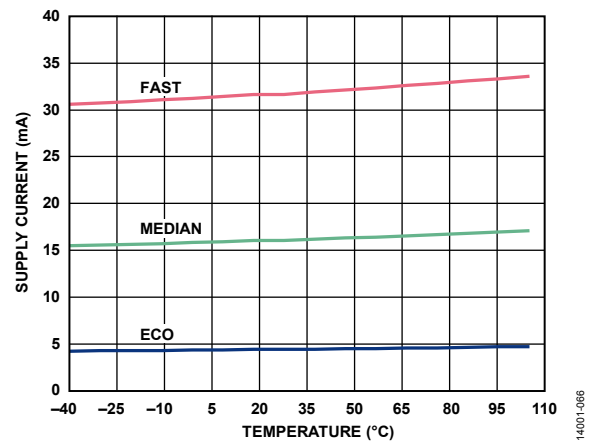


図 65. 電源電流と温度の関係、AVDD1

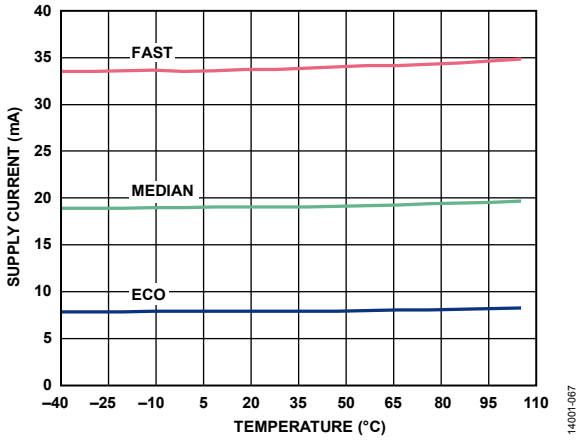


図 66. 電源電流と温度の関係、AVDD2

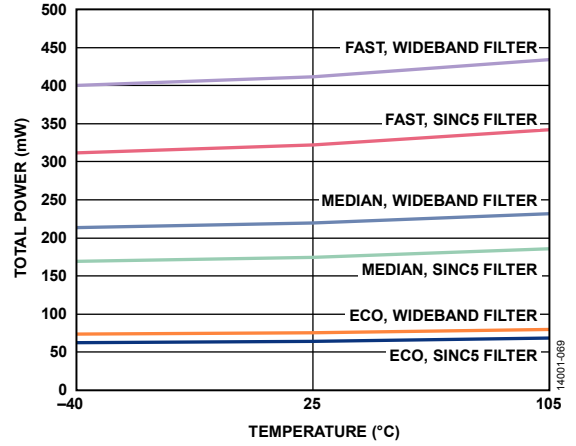


図 68. 総合消費電力と温度の関係

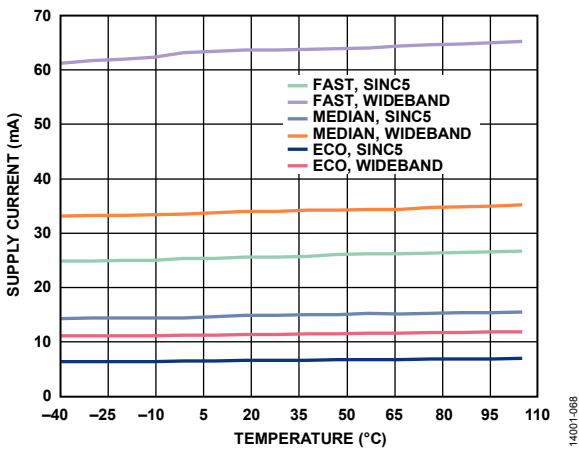


図 67. 電源電流と温度の関係、IOVDD

## 用語の定義

### AC 同相ノイズ除去比 (AC CMRR)

AC CMRR は、コモンモード電圧  $A_{INx+}$  と  $A_{INx-}$  に加えられた周波数  $f_s$  のサイン波の電力に対する周波数  $f$  での ADC 出力の電力の比として定義されています。

$$AC\ CMRR\ (dB) = 10\log(Pf/Pf_s)$$

ここで

$Pf$  は、周波数  $f$  での ADC 出力の電力。

$Pf_s$  は、周波数  $f_s$  での ADC 出力電力。

### ゲイン誤差

最初の遷移 (100 ... 000 から 100 ... 001) は負の公称フルスケールより  $\frac{1}{2}$  LSB 上のレベル ( $\pm 4.096$  V の範囲で  $-4.0959375$  V) で発生します。最後の遷移 (011 ... 110 から 011 ... 111 へ) は公称フルスケールより  $1\frac{1}{2}$  LSB 下 ( $\pm 4.096$  V の範囲に対して  $+4.0959375$  V) のアナログ電圧で発生します。ゲイン誤差は、最後の遷移の実際のレベルと最初の遷移に関する、理想的なレベル間の差から実際のレベルの間の差の偏差です。

### ゲイン誤差ドリフト

ゲイン誤差ドリフトは、 $1^\circ\text{C}$  の温度変化によるゲイン誤差の変化です。 $1^\circ\text{C}$  あたりの ppm 値で表されます。

### 積分非直線性 (INL) 誤差

INL 誤差は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードの偏差です。負のフルスケールとして使用されるポイントは、最初のコード遷移より  $\frac{1}{2}$  LSB 前に発生します。正のフルスケールは、最後のコード遷移を  $1\frac{1}{2}$  LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

### 相互変調歪み (IMD)

2 つの周波数  $f_a$  と  $f_b$  のサイン波で構成される入力で、非直線性を備えたアクティブ・デバイスでは  $m f_a$  と  $n f_b$  (ここで、 $m, n = 0, 1, 2, 3, \dots$ ) の和と差で表される周波数を使用して歪みの積を生成します。相互変調歪み項とは、 $m$  と  $n$  のどちらもゼロではない項を意味します。例えば、2 次項には  $(f_a + f_b)$  と  $(f_a - f_b)$  が含まれ、3 次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  が含まれます。

AD7768/AD7768-4 は、互いに類似した 2 つの入力周波数を使用する CCIF 規格に従ってテストされています。この場合、通常、

2 次項は元のサイン波の周波数から遠く離れ、3 次項は入力周波数に近くなります。そのため、2 次項と 3 次項は別々に仕様規定されます。相互変調歪みの計算は THD 仕様に従います。これは、基本波の和の rms 振幅に対する個々の歪み積の rms 総和の比率で、デシベルで表します。

### 最下位ビット (LSB)

最下位ビット (LSB) は、コンバータで表現できる最小インクリメントです。分解能が  $N$  ビットの完全差動入力 ADC の場合、電圧で表現する LSB は次式で求めることができます。

$$LSB\ (V) = (2 \times V_{REF})/2^N$$

AD7768/AD7768-4 の場合、 $V_{REF}$  は  $REFx+$  ピンと  $REFx-$  ピン間の電圧差で、 $N = 24$  です。

### オフセット誤差

オフセット誤差は、理想的なミッドスケール入力電圧 ( $0$  V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

### 電源電圧変動除去比 (PSRR)

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。PSRR は、電源電圧の公称値からの変化によるフルスケール遷移点の最大変化量です。

### SN 比 (SNR)

SNR は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波と DC を除く) の rms 総和に対する実際の入力信号の rms 値の比率です。SNR 値はデシベルで表されません。

### 信号/ノイズ+歪み (SINAD)

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波は含むが、DC を除く) の rms 総和に対する実際の入力信号の rms 値の比率です。SINAD の値はデシベルで表します。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の rms 振幅とピーク・スプリアス信号 (最初の 5 つの高調波を除く) との差です (デシベル単位)。

### 全高調波歪み (THD)

THD は最初の 5 つの高調波成分の rms 和とフルスケール入力信号の rms 値との比で、デシベルで表されます。

## 動作原理

AD7768/AD7768-4 は、低ノイズの 8 チャンネル/4 チャンネル同時サンプリング 24 ビット  $\Sigma$ - $\Delta$  ADC です。

AD7768/AD7768-4 内の各 ADC には、周波数  $f_{MOD}$  のクロックで動作する  $\Sigma$ - $\Delta$  モジュレータが採用されています。モジュレータは、 $2 \times f_{MOD}$  のレートで入力をサンプリングし、アナログ入力を等価のデジタル形式に変換します。このため、これらのサンプルは量子化されたアナログ入力信号を表します。

$\Sigma$ - $\Delta$  変換技術は オーバーサンプリングされたアーキテクチャです。このオーバーサンプリング手法は、量子化ノイズを広範な周波数帯域に拡散します (図 69 を参照)。信号帯域の量子化ノイズを軽減するため、高次変調器によってノイズ・スペクトルが整形され、ほとんどのノイズ・エネルギーが対象帯域からシフト・アウトされます (図 70 を参照)。変調器の後段にあるデジタル・フィルタは、大きな帯域外量子化ノイズを除去します (図 71 を参照)。

$\Sigma$ - $\Delta$  ADC の基本概念と高度な概念の詳細については、MT-022 Tutorial と MT-023 Tutorial を参照してください。

デジタル・フィルタリングには、アナログ・フィルタリングより優れた点があります。まず、部品の許容誤差および部品パラメータの経時変化と温度変化の影響を受けにくいことが挙げられます。AD7768/AD7768-4 のデジタル・フィルタリングは A/D 変換後に行われるため、変換処理時に混入したノイズを除去できます。アナログ・フィルタリングでは変換処理時に混入したノイズを除去できません。次に、デジタル・フィルタは低通過帯域リップルと急峻なロールオフおよび高い阻止帯域減衰を組み合わせながら、線形位相応答を維持します。これはアナログ・フィルタの実装で実現するのは困難です。

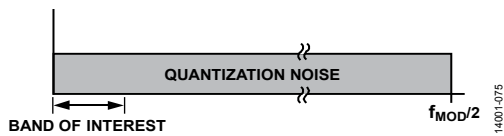


図 69.  $\Sigma$ - $\Delta$  ADC 量子化ノイズ (線形スケールの X 軸)

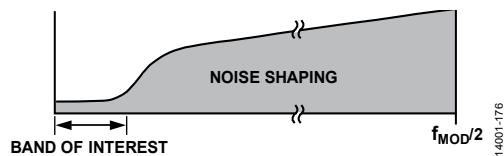


図 70.  $\Sigma$ - $\Delta$  ADC ノイズ整形 (線形スケールの X 軸)

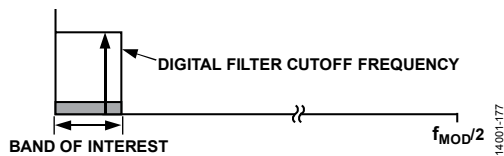


図 71.  $\Sigma$ - $\Delta$  ADC デジタル・フィルタ・カットオフ周波数 (線形スケールの X 軸)

## クロック供給、サンプリング・ツリー、およびパワー・スケーリング

AD7768/AD7768-4 には、複数の ADC コアが含まれています。これらの各 ADC は、同じマスター・クロック信号 MCLK を受信します。MCLK 信号は、CMOS クロック、XTAL1 ピンと XTAL2 ピン間に接続された水晶発振器、または LVDS 信号の形式で供給できます。AD7768/AD7768-4 が受信する MCLK 信号は、変調器クロック・レート  $f_{MOD}$  の定義に使用されるので、変調器サンプリング周波数  $2 \times f_{MOD}$  が定義されます。同じ MCLK 信号はデジタル出力クロック DCLK を定義するのにも使用されます。 $f_{MOD}$  と DCLK 内部信号は、MCLK と同期しています。

図 72 に MCLK 入力から変調器、デジタルフィルタ、および DCLK 出力へのクロック・ツリーを示します。MCLK と DCLK の分周設定があります。これらの分周器は、消費電力モードとデジタル・フィルタ・デシメーション設定とともに AD7768/AD7768-4 の動作の中心的な役割を果たします。

AD7768/AD7768-4 では、消費電力と入力帯域幅またはノイズとの関係をスケーリングできます。MCLK 分周と消費電力モードの 2 つのパラメータを使用してこれを制御できます。これらの 2 つの設定により、変調器のクロック周波数 ( $f_{MOD}$ ) と各変調器に供給されるバイアス電流が決まります。消費電力モード (高速、中間、またはエコ) により、変調器のノイズ、速度性能、および消費電流が設定されます。これは ADC の消費電力をスケーリングするための主な制御機能です。MCLK 分周と消費電力モードのすべての設定は、すべてのチャンネル ADC に適用されます。

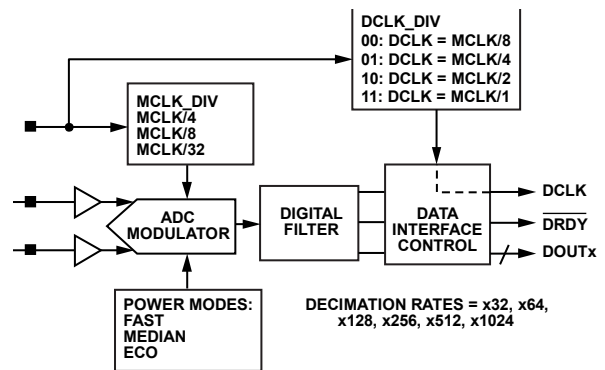


図 72. サンプリング構造、MCLK、DCLK\_DIV、および MCLK\_DIV 設定によって定義

変調器クロック周波数 ( $f_{MOD}$ ) は、3 つのクロック分周器設定 (MCLK/4、MCLK/8、または MCLK/32) のいずれかを選択することによって決まります。

MCLK 分周と消費電力モードは個別の設定ですが、従うべき制限事項が存在します。各消費電力モードには、変調器の周波数の有効範囲が存在します。表 11 に、この推奨範囲を示します。これにより、最小限の消費電力で最高の性能を発揮することができます。AD7768/AD7768-4 の仕様は、特定の消費電力モードの最大  $f_{MOD}$  を超える性能と機能はカバーしていません。

例えば、高速モードで変換速度または入力帯域幅を最大にするには、MCLK が 32.768 MHz で、MCLK\_DIV = 4 を選択して、変調器の周波数を 8.192 MHz にする必要があります。



表 11. 各消費電力モードで推奨される  $f_{MOD}$  範囲

Power Mode	Recommended $f_{MOD}$ (MHz) Range, MCLK = 32.768 MHz
Eco	0.036 to 1.024
Median	1.024 to 4.096
Fast	4.096 to 8.192

消費電力モード、変調器の周波数、およびデータ・クロック周波数の設定を制御する方法は、ピン制御モードと SPI 制御モードでは異なります。

SPI 制御モードの場合は、レジスタ 0x04 とレジスタ 0x07 を使用して消費電力モード、MCLK 分周 (MCLK\_DIV)、および DCLK 周波数を設定できます (AD7768 のレジスタ情報については表 42 と表 45、AD7768-4 のレジスタ情報については表 68 と表 71 を参照)。消費電力モードと MCLK\_DIV を個別に選択できるので、MCLK 速度を自由に選択して目的の変調器の周波数を実現できます。

ピン制御モードで、MODEx ピンは消費電力モード、変調器の周波数、DCLK 周波数を決定します。変調器の周波数は消費電力モードに追従します。つまり  $f_{MOD}$  は、エコ・モードでは MCLK/32、中間モードでは MCLK/8、高速モードでは MCLK/4 に固定されません (表 20 を参照)。

### 消費電力とノイズ性能の関係を最適化した例

測定の対象帯域幅に応じて、最小限の消費電流または最高の分解能のいずれかを選択できます。各消費電力モードのカバー範囲が重複しているため、この選択が可能です。デバイスは、MCLK 分周比と、デジタル・フィルタで設定したデシメーション・レートとのバランスをとる (平均化する) ことができます。低い変調器クロックの周波数を使用することで、消費電力を少なくすることができます。それとは逆に、高い変調器クロック周波数を使用してオーバーサンプリングの量を最大限にすることで、最高の分解能を実現できます。

例えば、使用可能な最大 MCLK = 16 MHz でのシステム制約について考えてみましょう。システムは、AD7768/AD7768-4 の出力データ・レートを 62.5 kHz に設定して、広帯域フィルタを使用して約 25 kHz の測定帯域幅を対象としています。低い MCLK 周波数を使用でき、システムの消費電力バジェットにより、中間消費電力モードを使用します。

中間消費電力モードでは、2 つの設定を使用して MCLK 分周とデシメーション・レートのバランスがとれるように設定することで、この 25 kHz 入力帯域幅を実現できます。この柔軟性は、SPI 制御モードでのみ可能です。

### 設定 A

ダイナミック・レンジを最大限にするには、次の設定を使用します。

- MCLK = 16 MHz
- 中間消費電力
- $f_{MOD} = MCLK/4$
- デシメーション =  $\times 64$  (デジタル・フィルタ設定)

- ODR = 62.5 kHz

この設定では、必要な帯域幅で使用可能なデシメーション・レート (またはオーバーサンプリング比) と使用可能な MCLK レートが最大になります。デシメーションは変調器からのノイズを平均化し、ダイナミック・レンジを最大限に高めます。

### 設定 B

消費電力を最小限に抑えるには、次の設定を使用します。

- MCLK = 16 MHz
- 中間消費電力
- $f_{MOD} = MCLK/8$
- デシメーション =  $\times 32$  (デジタル・フィルタ設定)
- ODR = 62.5 kHz

この設定では、変調器とデジタル・フィルタのクロック供給速度が低下します。

設定 A と比べた場合、設定 B では消費電力を 48 mW 削減できます。設定 B でのトレードオフは、デジタル・フィルタを 1/2 のデシメーション・レートで実行する必要があることです。デシメーション・レート (またはオーバーサンプリング比) を 1/2 にすることで、設定 A に比べてダイナミック・レンジが 3 dB 低くなります。

### ADC 変換結果のクロック出力 (DCLK)

AD7768/AD7768-4 の DCLK は、マスター・クロック入力分周されたものです。図 72 に示しているように、DCLK\_DIV 設定は DCLK の速度を決定します。DCLK は連続クロックです。

DCLK レートは、MCLK の 4 つの分周 (MCLK/1、MCLK/2、MCLK/4、MCLK/8) のいずれかに設定できます。変換ごとに 8 つのチャンネルと 32 ビットのデータが存在するため、変換時間と DCLK の設定により、FORMAT0 および FORMAT1 ピン (AD7768 の場合) または FORMAT0 ピン (AD7768-4 の場合) を介して設定する必要があるデータ出力ラインの数が直接決まります。そのため、FORMATx ピンの設定を選択する前に、目的の最小デシメーションと必要な DCLK\_DIV 設定を理解しておく必要があります。

### ノイズ性能と分解能

表 12 と表 13 に、各種出力データ・レートおよび消費電力モードでの AD7768/AD7768-4 の広帯域フィルタおよび sinc5 デジタル・フィルタのノイズ性能を示します。仕様規定されているノイズ値とダイナミック・レンジは、4.096 V の外部リファレンス ( $V_{REF}$ ) でのバイポーラ入力範囲の代表値です。rms ノイズは、オンボード VCM バッファ出力を使用して (AVDD1 - AVSS)/2 まで駆動した短絡アナログ入力にて測定しました。

ダイナミック・レンジは、rms フルスケール入力信号の範囲に対する rms 短絡入力ノイズの比率として計算しました。

$$\text{ダイナミック・レンジ (dB)} = 20 \log_{10}((2 \times V_{REF}/2\sqrt{2}) / (\text{RMS ノイズ}))$$

4.096 V リファレンスでの LSB サイズは 488 nV で、次式で計算します。

$$\text{LSB (V)} = (2 \times V_{REF})/2^{24}$$

表 12. 広帯域フィルタ・ノイズ:性能と出力データ・レートの関係 ( $V_{REF} = 4.096\text{ V}$ )

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Shorted Input Dynamic Range (dB)	RMS Noise ( $\mu\text{V}$ )
Fast Mode			
256	110.8	107.96	11.58
128	55.4	111.43	7.77
64	27.7	114.55	5.42
32	13.9	117.58	3.82
16	6.9	120.56	2.72
8	3.5	123.5	1.94
Median Mode			
128	55.4	108.13	11.36
64	27.7	111.62	7.6
32	13.9	114.75	5.3
16	6.9	117.79	3.74
8	3.5	120.8	2.64
4	1.7	123.81	1.87
Eco Mode			
32	13.9	108.19	11.28
16	6.9	111.69	7.54
8	3.5	114.83	5.25
4	1.7	117.26	3.71
2	0.87	120.88	2.62
1	0.43	123.88	1.85

表 13. Sinc5 フィルタ・ノイズ:性能と出力データ・レートの関係 ( $V_{REF} = 4.096\text{ V}$ )

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Shorted Input Dynamic Range (dB)	RMS Noise ( $\mu\text{V}$ )
Fast Mode			
256	52.224	111.36	7.83
128	26.112	114.55	5.43
64	13.056	117.61	3.82
32	6.528	120.61	2.71
16	3.264	123.52	1.93
8	1.632	126.39	1.39
Median Mode			
128	26.112	111.53	7.68
64	13.056	114.75	5.3
32	6.528	117.81	3.72
16	3.264	120.82	2.64
8	1.632	123.82	1.87
4	0.816	126.79	1.33
Eco Mode			
32	6.528	111.57	7.65
16	3.264	114.82	5.26
8	1.632	117.88	3.7
4	0.816	120.9	2.61
2	0.408	123.91	1.85
1	0.204	126.89	1.31

## アプリケーション情報

AD7768/AD7768-4 は、AC 信号処理および DC 信号処理のマルチチャンネル・プラットフォーム測定ソリューションを提供します。

柔軟なフィルタリングにより、チャンネルごとに AC 信号および DC 信号を同時にサンプリングするように AD7768/AD7768-4 を構成できます。パワー・スケーリングにより、測定の入力帯域幅と消費電流のどちらかを優先するか決定できます。この機能とデジタル・フィルタリングの柔軟性を組み合わせることで、消費電力、帯域幅、および性能目標を満たしたうえで測定のエネルギー効率を最適化することができます。

プラットフォームの高分解能 ADC として使用することが可能な AD7768/AD7768-4 の主な機能は、以下のとおりです。

- AD7768 の 8 つの完全差動または疑似差動アナログ入力 (AD7768-4 の場合は 4 つのチャンネル)。
- 最大 110.8 kHz の入力信号に対応した、高速スループット同時サンプリング ADC。
- ADC の消費電流と入力帯域幅をスケーリングして最適な測定効率を実現するために選択可能な 3 つの消費電力モード (高速、中間、エコ)。
- アナログ入力プリチャージおよびリファレンス・プリチャージ・バッファにより、外部アンプの駆動要件が緩和されます。

- リファレンス・プリチャージ・バッファおよびアナログ入力プリチャージ・バッファのチャンネルごとの制御。
- AC 測定用の広帯域、低リップル、デジタル・フィルタ。
- 高精度の低周波数測定向けの高速 sinc5 フィルタ。
- 異なる ADC チャンネルで使用するために 2 つのチャンネル・モード (ユーザーが選択したフィルタによって定義) とデシメーション・レシオを定義可能。これにより、入力帯域幅と関心対象の信号の関係を最適化できます。
- SPI またはピン・ストラップによる制御と構成のオプション。
- チャンネルごとのオフセット・レジスタ、ゲイン・レジスタ、位相キャリブレーション・レジスタ。
- ドライバ・アンプが使用するコモンモード電圧出力バッファ。
- 低消費電力、1.8 V、内部回路用のオンボード AVDD2 および IOVDD LDO。

AD7768/AD7768-4 の代表的な接続と最小要件については、図 73 と表 14 を参照してください。

表 15 に、各消費電力モードでの AD7768/AD7768-4 の代表的な消費電力と性能をフィルタ・タイプごとに示します。

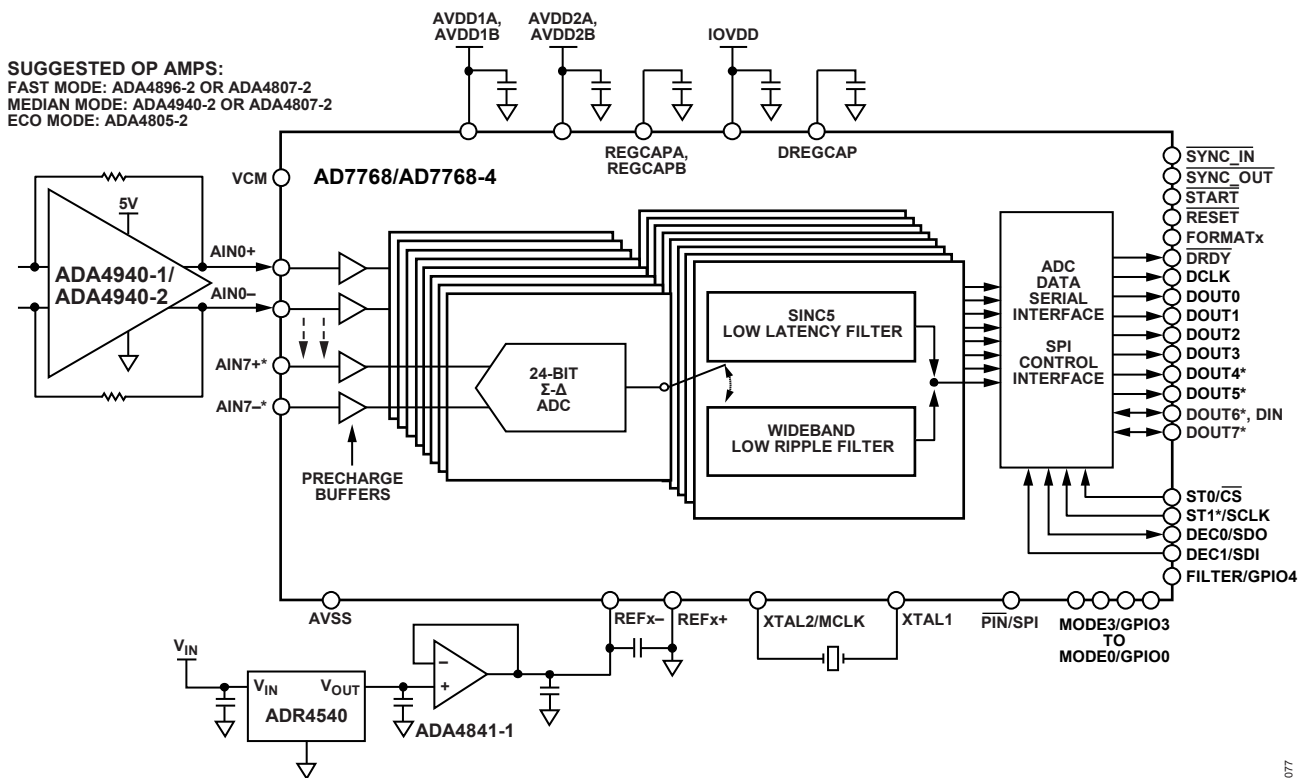


図 73. 代表的な接続図

表 14. AD7768/AD7768-4 の動作要件

Requirement	Description
Power Supplies	5 V AVDD1 supply, 2.25 V to 5 V AVDD2 supply, 1.8 V or 2.5 V to 3.3 V IOVDD supply (ADP7104/ADP7118)
External Reference	2.5 V, 4.096 V, or 5 V (ADR4525, ADR4540, or ADR4550)
External Driver Amplifiers	The ADA4896-2, the ADA4940-1/ADA4940-2, the ADA4805-2, and the ADA4807-2
External Clock	Crystal or a CMOS/LVDS clock for the ADC modulator sampling
FPGA or DSP	Input/output voltage of 2.5 V to 3.6 V, or 1.8 V (see the 1.8 V IOVDD Operation section)

表 15. 速度、ダイナミック・レンジ、THD、消費電力の概要。8 個のチャンネルがアクティブ、デシメーション・レート ×32<sup>1</sup>

Power Mode	Output Data Rate (kSPS)	THD (dB)	Sinc5 Filter			Wideband Filter		
			Dynamic Range (dB)	Bandwidth (kHz)	Power Dissipation (mW per channel)	Dynamic Range (dB)	Bandwidth (kHz)	Power Dissipation (mW per channel)
Fast	256	-115	111	52.224	41	108	110.8	52
Median	128	-120	111	26.112	22	108	55.4	28
Eco	32	-120	111	6.528	8.5	108	13.9	9.5

<sup>1</sup> アナログ・プリチャージ・バッファ=オン、リファレンス・プリチャージ・バッファと VCM=ディスエーブル、代表値、AVDD1=5 V、AVDD2=IOVDD=2.5 V、V<sub>REF</sub>=4.096 V、MCLK=32.768 MHz、DCLK=MCLK/4、T<sub>A</sub>=25 °C。

## 電源

AD7768/AD7768-4 は、次の 3 つの独立した電源を使用します。AVDD1 (AVDD1A と AVDD2A)、AVDD2 (AVDD2A と AVDD2B)、および IOVDD。

これらの電源の基準電位は AVSS と DGND です。DGND を基準にして、すべての AVSS 電源ピン (AVSS1A、AVSS1B、AVSS2A、AVSS2B、AVSS) を同じ電位に接続します。AVDD1A、AVDD1B、AVDD2A、および AVDD2B は、この AVSS レールを基準としています。IOVDD は DGND を基準としています。

電源は次の範囲で供給できます。

- AVDD1 = 5 V ± 10 %、AVSS を基準
- AVDD2 = 2 V ~ 5.5 V、AVSS を基準
- IOVDD (内部レギュレータ使用) = 2.25 V ~ 3.6 V、DGND を基準
- IOVDD (レギュレータをバイパス) = 1.72 V ~ 1.88 V、DGND を基準
- AVSS = -2.75 V ~ 0 V、DGND を基準

AVDD1A および AVDD1B (AVDD1) 電源は、アナログ・フロント・エンド、リファレンス入力、およびコモンモード出力回路を駆動します。AVDD1 は AVSS を基準にしています。AVSS を基準にして、すべての AVDD1 電源を同じ電位に接続する必要があります。AVDD1 電源を ±2.5 V の分離電源構成で使用した場合、ADC 入力は真のバイポーラ入力になります。分離電源を使用する場合、AVSS 電源と IOVDD 電源間の許容電圧に適用される絶対最大定格を基準にします。

AVDD2A および AVDD2B (AVDD2) 電源は、内部 1.8 V アナログ LDO レギュレータに接続します。このレギュレータは、ADC コアも駆動します。AVDD2 は AVSS を基準にしています。AVSS を基準にして、すべての AVDD2 電源を同じ電位に接続する必要があります。AVDD2 の電圧は、AVSS を基準にして 2 V (min) ~ 5.5 V (max) に設定できます。

IOVDD は内部の 1.8 V デジタル LDO レギュレータに給電します。このレギュレータは ADC のデジタル・ロジックに給電します。IOVDD は、ADC の SPI インターフェースの電圧レベルも設定します。IOVDD は DGND を基準にしています。IOVDD の電圧は DGND を基準にして 2.25 V (min) ~ 3.6 V (max) に設定できます。IOVDD は 1.8 V で動作するように構成することもできます。この場合、IOVDD と DREGCAP を接続する必要があり、DGND を基準にして 1.72 V (min) ~ 1.88 V (max) に設定する必要があります。AD7768/AD7768-4 を 1.8 V IOVDD で動作させる方法の詳細については、1.8 V IOVDD Operation のセクションを参照してください。

### 推奨される電源構成

アナログ・デバイスは、大部分の高性能シグナル・チェーンの条件を満たす広範囲なパワー・マネジメント製品を提供しています。

ADP7118 を使用する電源ソリューションの例を図 74 に示します。最適なコンバータ性能を発揮できるように ADP7118 は正電源レールを提供し、必要な電源構成に応じて 5 V または 3.3 V の単電源、あるいは AVDD1x/IOVDD の両電源を生成します。ADP7118 は、最大 20 V の入力電圧で動作できます。

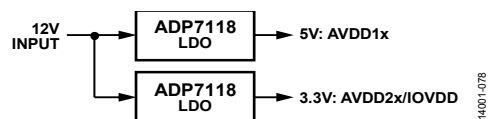


図 74. 電源構成

AD7768/AD7768-4 を駆動するには、ADP7112 または ADP7104 を代わりに使用できます。低ノイズ LDO の性能および電源フィルタリングの詳細については、AN-1120 アプリケーション・ノートを参照してください。

## 1.8 V IOVDD 動作

AD7768/AD7768-4には、IOVDDを最小でデジタル・コアの動作電圧まで下げてレギュレーションするための内部 1.8 V LDO が IOVDD 電源に含まれています。この内蔵 LDO により、内部ロジックは 1.8 V で効率的に動作して、入出力ロジックは IOVDD で設定されたレベルで動作できるようになります。IOVDD 電源の定格電圧は、通常動作で 2.25 V ~ 3.6 V、LDO バイパス・セットアップで 1.8 V です。

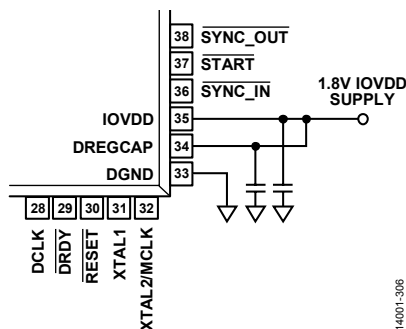


図 75. 1.8 V IOVDD 動作の DREGCAP と IOVDD の接続図

DREGCAP ピンを IOVDD に短絡させることで LDO をバイパスできます (図 75 を参照)。これにより、内部 LDO がレギュレーション外にプルダウンされて、内部コア電圧および入出力ロジック・レベルが IOVDD レベルに設定されます。内部 LDO をバイパスした場合、IOVDD 電源の最大動作電圧は、内部デジタル・コアの最大動作電圧 (1.72 V ~ 1.88 V) に等しくなります。

1.8 V IOVDD で動作させる際に考慮すべき性能上の違いがいくつかあります。1.8 V IOVDD で動作させる場合の詳細な仕様については、1.8 V IOVDD の仕様のセクションを参照してください。

## アナログ電源の内部接続

AD7768/AD7768-4には AVDD1 と AVDD2 の 2 つのアナログ電源レールがあり、どちらも AVSS を基準にしています。これらの電源は、デジタル・ピン IOVDD、DREGCAP、および DGND から完全に分離されています。ADC の性能と絶縁を最適化できるように、複数のデバイス・ピンから内部 ADC につながるこれらのアナログ・レールに電源を供給します。

- AVSS1A (ピン 3) と AVSS2A (ピン 62) は内部で接続されています。
- AVSS (ピン 54) は基板に接続されていて、AVSS1B (ピン 46) と AVSS2B (ピン 51) に内部で接続されています。
- 次の電源ピンとリファレンス入力ピンは、チップ上で分離されています。AVDD1A、AVDD1B、AVDD2A、AVDD2B、REF1+、REF1-、REF2+、REF2-。
- AD7768-4 では、次の AVSS ピンはチップ上で分離されています。ピン 7、ピン 8、ピン 9、ピン 10、ピン 39、ピン 40、ピン 41、およびピン 42。

どの個別電源が内部で短絡されているかの詳細は、このセクションで参考情報として取り上げています。通常は、電源のセクションで説明しているように電源を接続します。

## デバイスの設定

AD7768/AD7768-4 は、ADC 変換からのデータ読み出しとデバイスの機能制御用の独立したパスを備えています。

デバイスは 2 つのいずれかの制御モードに構成できます。2 つの構成モードは、以下のとおりです。

- ピン制御モード: ピン・ストラップ・デジタル・ロジック入力 (一部の構成オプションを使用可能)
- SPI 制御モード: 3 線式または 4 線式 SPI インターフェース (すべての構成オプションを使用可能)

パワーアップ時に、 $\overline{\text{PIN}}/\text{SPI}$  ピンの状態によって使用するモードが決まります。いずれかの制御モードを使用する場合、パワーアップ直後にデバイスをソフト・リセットまたはハード・リセットする必要があります。

## インターフェース・データ・フォーマット

デバイスの動作時、シリアル・インターフェースのデータ・フォーマットは FORMAT0 ピンおよび FORMAT1 ピン (AD7768 の場合) または FORMAT0 ピン (AD7768-4 の場合) の設定によって決まります。表 31 に、各 ADC に DOUTx ピンを割り当てたり、時分割多重方式で DOUTx ピンを共有するようにデータを構成できることを示します。詳細については、データ・インターフェースのセクションを参照してください。

## ピン制御

ピン制御モードにより、SPI 通信インターフェースが不要になります。既知の構成が 1 つだけ必要な場合、または限定された再構成のみが必要な場合は、このモードを使用してデジタル・ホストにルーティングする必要のある信号の数を削減できます。ピン制御モードは、構成に対する最小限の調整が必要な、デジタル絶縁されたアプリケーションで便利です。ピン制御は、コア機能の一部を提供し、パワーアップ、リセット、または電源故障の後に既知の動作状態に確実に戻します。ピン制御モードでは、最高の性能を発揮できるようにアナログ入力プリチャージ・バッファがデフォルトでイネーブルになり、リファレンス入力プリチャージ・バッファはディスエーブルになります。

ピン制御モードで設定を変更した後、設定の変更が ADC とデジタル・フィルタに正しく適用されるように、START ピンまたは SYNC\_IN ピンに適切なパルスを入力して AD7768/AD7768-4 に同期信号を提供する必要があります。

## フィルタの設定

フィルタ機能では、2 つのフィルタ設定のいずれかを選択します。ピン制御モードでは、すべての ADC チャンネルが同じフィルタ・タイプを使用します。このフィルタ・タイプは FILTER ピンで選択します (表 16 を参照)。

表 16. FILTER 制御ピン

Logic Level	Function
1	Sinc5 filter selected
0	Wideband filter selected

## デシメーション・レートの設定

ピン制御モードでは、4つのデシメーション・レートから選択できます。デシメーション・レートは、DEC1 ピンと DEC0 ピンを使用して選択します。選択したデシメーション・レートは、すべての ADC チャンネルで使用されます。表 17 に、DECx ピンの真理値表を示します。

表 17. デシメーション・レート制御ピンの真理値表

DEC1	DEC0	Decimation Rate
0	0	×32
0	1	×64
1	0	×128
1	1	×1024

## 動作モード

MODE3 ~ MODE0 ピンは、ピン制御モードの使用時にすべてのチャンネルの構成を決定します。MODEx ピンによって制御される変数を表 18 に示します。デバイスの消費電流、ADC のサンプリング速度（消費電力モード）、デジタル・ホスト (DCLK\_DIV) が ADC の結果を受信するまでの時間、および ADC 変換の開始方法（変換動作）はユーザーによって選択されます。図 76 に、ピン制御モードで AD7768 の構成に使用する入力を示し、図 77 に、ピン制御モードで AD7768-4 の構成に使用する入力を示します。

表 18. MODEx ピン:制御の変数

Control Variable	Possible Settings
Sampling Speed/Power Consumption Power Mode	Fast Median Eco
Data Clock Output Frequency (DCLK_DIV)	DCLK = MCLK/1 DCLK = MCLK/2 DCLK = MCLK/4 DCLK = MCLK/8
Conversion Operation	Standard conversion One-shot conversion

MODEx ピンは 16 個の異なる設定に対応します。AD7768/AD7768-4 の使用状況が最適化されるように設定を選択

します。これにより、低需要の消費電力モードになるように DCLK 周波数を低くしたり、ワンショット・モードまたは標準変換モードを選択できます。

ピン制御モードの場合に MODEx ピンを使用して選択できるすべての動作モードについては、表 20 を参照してください。

消費電力モードの設定は、ADC のバイアス電流を自動的にスケールリングし、そのモードの適切な設定になるように適用された MCLK 信号を分周します。これは SPI 制御を使用する場合と同じではありません。SPI 制御を使用する場合、ADC と MCLK 分周のバイアス電流を制御するために個別のビット・フィールドが存在します。

ピン制御モードでは、最高の性能を実現できるように、各消費電力モードで変調器のレートは固定されています。表 19 に、各消費電力モードの変調器の分周を示します。

表 19. 変調器のレート、ピン制御モード

Power Mode	Modulator Rate, f <sub>Mod</sub>
Fast	MCLK/4
Median	MCLK/8
Eco	MCLK/32

## 診断機能

ピン制御モードは、診断機能の一部を提供します。内部エラーは、各チャンネルのデータ変換結果とともにステータス・ヘッダー出力に報告されます。

内部 CRC エラー、メモリ・マップ反転ビット、検出されなかった外部クロックは、ステータス・ヘッダーのビット 7 によって報告され、リセットが必要であることが示されます。ステータス・ヘッダーは、セトリングされていないフィルタ、フィルタ・タイプ、およびフィルタ飽和信号も報告します。ユーザーは、これらのエラー・フラグを監視することでデータを無視するタイミングを決定できます。ステータス・ヘッダーの詳細については、ADC 変換出力: ヘッダーとデータのセクションを参照してください。

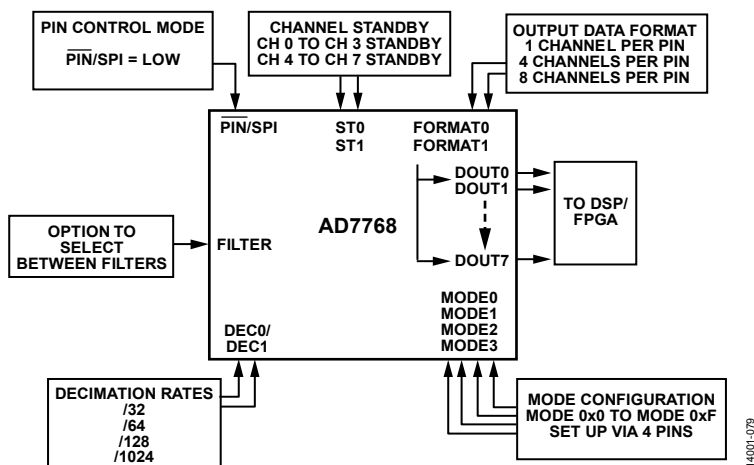


図 76. AD7768 のピン設定機能

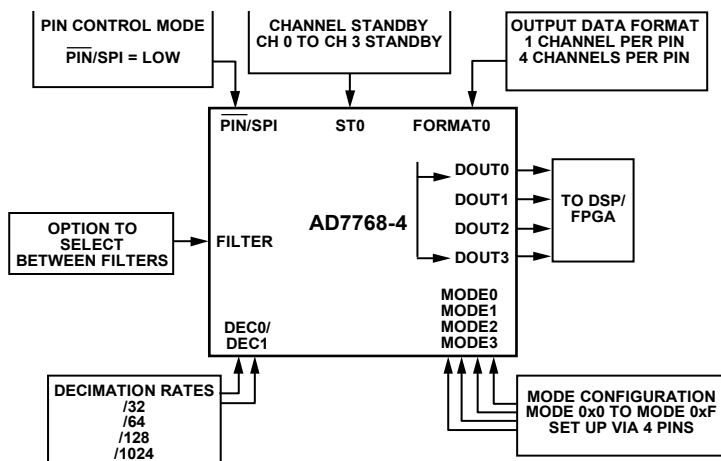


図 77. AD7768-4 のピン設定機能

表 20. MODEx を使用した選択の詳細:ピン制御モード

Mode Hex.	MODE3	MODE2	MODE1	MODE0	Power Mode	DCLK Frequency	Data Conversion
0x0	0	0	0	0	Eco	MCLK/1	Standard
0x1	0	0	0	1	Eco	MCLK/2	Standard
0x2	0	0	1	0	Eco	MCLK/4	Standard
0x3	0	0	1	1	Eco	MCLK/8	Standard
0x4	0	1	0	0	Median	MCLK/1	Standard
0x5	0	1	0	1	Median	MCLK/2	Standard
0x6	0	1	1	0	Median	MCLK/4	Standard
0x7	0	1	1	1	Median	MCLK/8	Standard
0x8	1	0	0	0	Fast	MCLK/1	Standard
0x9	1	0	0	1	Fast	MCLK/2	Standard
0xA	1	0	1	0	Fast	MCLK/4	Standard
0xB	1	0	1	1	Fast	MCLK/8	Standard
0xC	1	1	0	0	Eco	MCLK/1	One-shot
0xD	1	1	0	1	Median	MCLK/1	One-shot
0xE	1	1	1	0	Fast	MCLK/2	One-shot
0xF	1	1	1	1	Fast	MCLK/1	One-shot

設定例

表 23 の例の場合、消費電流は最も少なく、AD7768/AD7768-4 は FPGA に接続されます。

FORMATx ピンは、8 個のすべてのデータ出力 DOUT0 ~ DOUT7 が FPGA に接続されるように設定されています。消費電力が最も少なくなるように、最も低い DCLK 周波数を使用しています。入力帯域幅は、デシメーション・レート × 64 と広帯域フィルタを選択して設定しました。

$$ODR = f_{MOD} \div \text{デシメーション・レシオ}$$

ここで

MCLK = 32.768 MHz。

f<sub>MOD</sub> は、エコ・モードの場合は MCLK/32 (表 19 を参照)。

デシメーション・レシオ = 64。

$$ODR = (32.768 \text{ MHz}/32) \div 64 = 16 \text{ kHz}$$

DCLK 周波数を最小限に抑えるには、DCLK = MCLK/8 を選択します。これにより、DCLK 信号の周波数は 4 MHz になります。この場合の DCLK の期間は 1/4 MHz = 250 ns です。各 DOUTx ピンのデータ変換は 32 ビット長です。変換データが出力されるまで 32 × 250 ns = 8 μs かかります。32 ビットすべてが 1/16 kHz の ODR 期間内 (約 64 μs) に出力される必要があります。この場合、変換データを読み出すのに必要な 8 μs は、変換出力の間隔である 64 μs に十分に収まっています。このため、表 23 に示すこの組み合わせは実際に使用できます。

この例では、MCLK = 32.768 MHz であるため、次のようになります。

チャンネル・スタンバイ

表 21 と表 23 に、チャンネルをスタンバイ・モードにする方法を示します。ST0 または ST1 をロジック 1 に設定して、4 つのチャンネルのバンクをスタンバイ・モードにします。スタンバイ・モードの場合、チャンネルはディスエーブルになりますが、出力データ・ストリーム内で各チャンネルの位置は引き続き保持されます。ADC チャンネルをスタンバイに設定すると、8 ビット・ヘッダーと 24 ビット変換結果はすべてゼロに設定されます。

VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768/AD7768-4 の外部で使用する場合は、チャンネル 0 をイネーブルにする必要があります。

水晶発振器の励起回路は、チャンネル 4 (AD7768-4 ではチャンネル 2) 回路に関連付けられています。チャンネル 4 (AD7768-4 の場合はチャンネル 2) をスタンバイ・モードにすると、水晶発振器回路もディスエーブルになり、最大の節電が実現されます。AD7768 で外部水晶発振器を使用する場合は、チャンネル 4 をイネーブルにする必要があります。AD7768-4 で外部水晶発振器を使用する場合は、チャンネル 2 をイネーブルにする必要があります。

表 21. AD7768 の ST0 ピンおよび ST1 ピンの真理値表

ST1	ST0	Function
0	0	All channels operational.
0	1	Channel 0 to Channel 3 in standby. Channel 4 to Channel 7 operational.
1	0	Channel 4 to Channel 7 in standby. Channel 0 to Channel 3 operational.
1	1	All channels in standby.

表 22. AD7768 の ST0 ピンの真理値表

ST0	Function
0	All channels operational.
1	Channel 0 to Channel 3 in standby.

表 23. MODEx の選択例

Mode Hex	MODE3	MODE2	MODE1	MODE0	Power Mode	DCLK Frequency	Data Conversion
0x3	0	0	1	1	Eco	MCLK/8	Standard

SPI 制御

AD7768/AD7768-4 は、QSPI™、MICROWIRE®、および DSP と互換性のある 4 線式の SPI インターフェースを備えています。このインターフェースは SPI モード 0 で動作します。SPI モード 0 の場合、SCLK はアイドル・ローになり、CS の立ち下りエッジは MSB をクロック出力し、SCLK の立ち下りエッジは起動エッジになり、SCLK の立ち上がりエッジはサンプル・エッジになります。すなわち、データは立ち下りの起動エッジに同期して出力され、立ち上がりのサンプル・エッジに同期して入力されます。



図 78. SPI モード 0 SCLK のエッジ

ADC のレジスタ・マップへのアクセス

SPI 制御モードを使用するには、PIN/SPI ピンをロジック・ハイに設定します。SPI 制御は 16 ビット、4 線式インターフェースとして動作し、読み出し/書き込みアクセスが可能になります。図 80 に、AD7768/AD7768-4 とデジタル・ホスト間のインターフェース・フォーマットを示します。

AD7768 の SPI シリアル制御インターフェースは、AD7768 を制御および監視するための独立したパスです。データ・インターフェースへのダイレクト・リンクはありません。MCLK と DCLK のタイミングは、SPI 制御インターフェースのタイミングに直接関係していません。ただし、AD7768/AD7768-4 がレジスタ・マップへの変更を検出できるように、SPI の読み出しと書き込みが t<sub>30</sub> の最小仕様 (表 4 と表 6 を参照) を満たすようにする必要があります。

リセット直後の一定期間中、SPI アクセスは無視されます。リセット後の ADC スタートアップ時間 (表 1 を参照) が完全に経過してから、SPI インターフェース経由で AD7768/AD7768-4 にアクセスしてください。



## SPI インターフェースの詳細

各 SPI アクセス・フレームは 16 ビット長です。SDI コマンドの MSB (ビット 15) は R/W ビットで、1=読出し、0=書込みです。SDI コマンドのビット [14:8] はアドレス・ビットです。

SPI 制御インターフェースはオフ・フレーム・プロトコルを使用します。これは、マスター (FPGA/DSP) が 2 つのフレームで AD7768/AD7768-4 と通信することを意味します。最初のフレームは 16 ビット命令 (R/W、アドレス、データ) を送信し、2 番目のフレームは AD7768/AD7768-4 がマスターに 16 ビットを返す応答です。

マスター書込みコマンドで、SDO 出力には 8 個の先頭のゼロに続けて 8 ビットのデータが含まれます (図 80 を参照)。

図 79 に、オフ・フレーム・プロトコルを示します。レジスタ・アクセス応答は、常に 1 個の CS フレームだけオフセットされます。図 79 で、最初のコマンド (CMD 1) に対する応答 (READ RESP 1) は、2 番目のコマンド (CMD 2) が送信されるのと同じタイミングで、後続の CS フレームの間に AD7768/AD7768-4 によって出力されます。

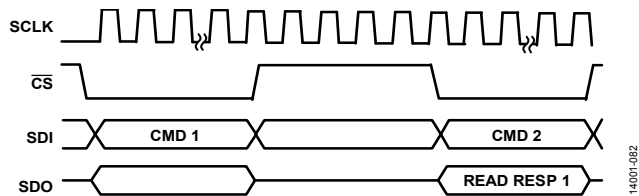


図 79. オフ・フレーム・プロトコル

## SPI 制御インターフェースのエラー処理

AD7768/AD7768-4 の SPI 制御インターフェースは無効なコマンドを受信したかどうかを検出します。無効なコマンドとは、読出し専用レジスタへの書込み、存在しないレジスタ・アドレスへの書込み、または存在しないレジスタ・アドレスからの読出しです。AD7768/AD7768-4 がこれらの無効なコマンドを受信した場合、AD7768/AD7768-4 はエラー出力 0x0E00 で応答します。

## SPI リセットの設定

パワーオンまたはリセットの後に、AD7768/AD7768-4 のデフォルト設定は、次の低消費電流値に設定されます。

- $f_{MOD} = MCLK/32$  のエコ消費電力モード。
- $DCLK = MCLK/8$ 、ヘッダー出力イネーブル、CRC ディスエーブルのインターフェース構成。
- チャンネル・モード A とチャンネル・モード B が sinc5 および デシメーション =  $\times 1024$  に設定されたフィルタ構成。
- チャンネル・モード選択が 0x00 に設定され、すべてのチャンネルがチャンネル・モード A に割り当てられている。
- すべてのチャンネルのアナログ入力プリチャージ・バッファがイネーブル、リファレンス・プリチャージ・バッファがディスエーブル。
- オフセット、ゲイン、位相キャリブレーションがゼロ位置に設定。
- 連続変換モードがイネーブル。

## SPI 制御機能

SPI 制御機能は、柔軟性と診断に関する上位機能を提供します。以降のセクションでは、SPI 制御を使用した場合に提供される機能と診断について説明します。

これらの設定レジスタの設定を変更した後、設定の変更が ADC とデジタル・フィルタに正しく適用されるように、SPI SYNC コマンドを通じて、あるいは START ピンまたは SYNC\_IN ピンに適切なパルスを入力して AD7768/AD7768-4 に同期信号を提供する必要があります。

## チャンネル構成

AD7768 には 8 個の完全差動アナログ入力チャンネルがあります。AD7768-4 には 4 個の完全差動アナログ入力チャンネルがあります。チャンネル設定レジスタにより、チャンネルに必要な測定に適用できるようにチャンネルを個別に設定できます。チャンネル・スタンバイ・レジスタ (レジスタ 0x00) を使用してチャンネルをイネーブルまたはディスエーブルにすることができます。アナログ入力バッファとリファレンス・プリチャージ・バッファは入力ピンごとに割り当てることができます。ゲイン、オフセット、および位相キャリブレーションは、キャリブレーション・レジスタを使用してチャンネルごとに制御できます。詳細については、ゲイン、オフセット、および同期位相のチャンネルごとのキャリブレーションのセクションを参照してください。

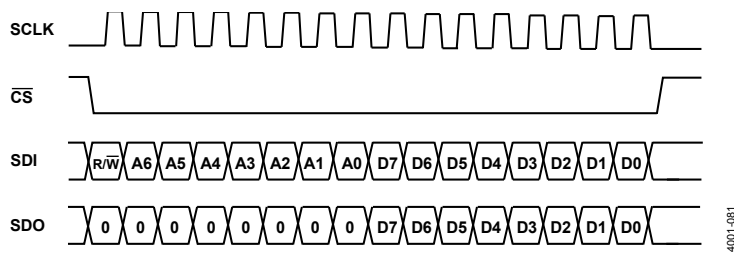


図 80. 書込み/読出しコマンド

## チャンネル・モード

SPI 制御モードでは、チャンネル・モード A（レジスタ 0x01）とチャンネル・モード B（レジスタ 0x02）の 2 つのチャンネル・モードを設定できます。各チャンネル・モード・レジスタには、特定のフィルタ・タイプとデシメーション・レートを割り当てることができます。チャンネル・モード選択レジスタ（レジスタ 0x03）を使用して、各チャンネルにチャンネル・モード A またはチャンネル・モード B を割り当てることができます。このレジスタは、必要な ADC チャンネルにモードをマップします。これらのモードでは、異なるフィルタ・タイプとデシメーション・レートを選択して、任意の ADC チャンネルにマップすることができます。

異なるデシメーション・レートを選択した場合、AD7768/AD7768-4 は選択した最も速いデシメーション・レートでデータ・レディ信号を出力します。遅い出力データ・レートで実行されるチャンネルは、遅いレートでのみ更新されます。有効な結果データの間で、チャンネルのデータがゼロに設定され、実際の変換結果と区別できるように繰り返されたデータ・ビットがヘッダー・ステータス・ビットに設定されます（ADC 変換出力:ヘッダーとデータのセクションを参照）。

AD7768 では、チャンネル・モード A をプライマリ・グループとみなしてください。このため、少なくとも 1 つのチャンネルをチャンネル・モード A に割り当てておくことを推奨します。AD7768 の 8 つのすべてのチャンネルをチャンネル・モード B に割り当てると、変換データはどのチャンネルのデータ・インターフェースにも出力されません。このチャンネル構成は AD7768-4 には影響を与えません。

AD7768-4 では、可能な限りチャンネル・モード A を sinc5 フィルタに設定することを推奨します。チャンネル・モード A を sinc5 フィルタに設定することで、チャンネル・モード A を広帯域フィルタに設定する場合と比べて IOVDD 電流を多少節約できます。

例えば、AD7768-4 の 2 つのチャンネルを広帯域フィルタに割り当て、残りの 2 つのチャンネルを sinc5 フィルタに割り当てると、2 つの sinc5 フィルタ・チャンネルをチャンネル・モード A に割り当てておくことを推奨します。チャンネル・モード A を sinc5 フィルタに設定して、チャンネル・モード B を広帯域フィルタに設定し、2 つの広帯域フィルタ・チャンネルをチャンネル・モード B に割り当てます。同様に、AD7768-4 の 4 つのすべてのチャンネルを広帯域フィルタに割り当て、4 つのすべてのチャンネルをチャンネル・モード B に割り当てます。チャンネル・モード B を広帯域フィルタに設定し、チャンネル・モード A を sinc5 フィルタに設定したままにしておきます。この方法でチャンネルを割り当てておくことで、IOVDD 電流を最小限に抑えることができます。

表 24. チャンネル・モード A/チャンネル・モード B、レジスタ 0x01 および レジスタ 0x02

Bits	Bit Name	Setting	Description	Reset	Access
3	FILTER_TYPE_x	0	Filter output Wideband filter	0x1	RW
		1	Sinc5 filter		
[2:0]	DEC_RATE_x	000 to 101	Decimation rate ×32 to ×1024	0x5	RW

表 25. チャンネル モード選択、レジスタ 0x03

Bits	Bit Name	Setting	Description	Reset	Access
[7:0]	CH_x_MODE	0 1	Channel x Mode A Mode B	0x0	RW

## SPI 制御インターフェース経由でのリセット

SPI インターフェース経由でデバイスの完全なリセットを開始するには、AD7768/AD7768-4 データ制御レジスタに 2 つの連続するコマンドを書き込む必要があります。この操作により、すべてのレジスタがデフォルト状態に完全にリセットされます。コマンドとそのシーケンスの詳細については、表 44（AD7768）または表 70（AD7768-4）を参照してください。

SPI 制御インターフェース経由でのリセット後、デバイスに送信される最初のコマンドに対して AD7768/AD7768-4 は 0x0E00 で応答します。この応答に加え、すべてのレジスタがデフォルト値になると、ソフトウェアのリセットが成功したことを示します。

## スリープ・モード

スリープ・モードでは AD7768/AD7768-4 が最小消費電力モードになります。スリープ・モードの場合、すべての ADC がディスエーブルになり、デジタル・コアの大半が非アクティブになります。

スリープ・モードの場合、AD7768/AD7768-4 の SPI はアクティブのままになり、使用できるようになります。スリープ・モードを終了するには、レジスタ 0x04 のビット 7 に書き込みを行います。消費電力を最小にするには、スリープ・モードに移行する前に sinc5 フィルタを選択します。

## チャンネル・スタンバイ

効率的な消費電力を実現するには、未使用のチャンネルをスタンバイ・モードにして、それらのチャンネルを事実上ディスエーブルにします。レジスタ 0x00 でビットを設定すると、対応するチャンネルがディスエーブルになります（表 38（AD7768）または表 64（AD7768-4）を参照）。最大の節電を実現するには、チャンネル・モードの設定を使用して、ディスエーブルにしたチャンネルを sinc5 フィルタに切り替えます。これにより、それらのチャンネルの広帯域フィルタに関連付けられているいくつかのクロックがディスエーブルになります。

AD7768-4 でチャンネルをディスエーブルにした場合に最大の節電を実現するには、チャンネル・モード A を sinc5 フィルタに設定して、ディスエーブルにしたチャンネルをチャンネル・モード A に割り当てながら、アクティブ・チャンネルをすべてチャンネル・モード B に設定しておきます。

VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768/AD7768-4 の外部で使用する場合は、チャンネル 0 をイネーブルにする必要があります。

水晶発振器の励起回路は、チャンネル 4（AD7768-4 ではチャンネル 2）回路に関連付けられています。チャンネル 4（AD7768-4 の場合はチャンネル 2）をスタンバイ・モードにすると、水晶発振器回路もディスエーブルになり、最大の節電が実現されます。AD7768 で外部水晶発振器を使用する場合は、チャンネル 4 をイネーブルにする必要があります。AD7768-4 で外部水晶発振器を使用する場合は、チャンネル 2 をイネーブルにする必要があります。

## クロック供給の選択

AD7768/AD7768-4 の各 ADC によって使用される内部変調器の周波数 ( $f_{MOD}$ ) は、外部から入力される MCLK 信号から供給されます。MCLK 分周ビットにより、MCLK 周波数と内部変調器のクロック周波数の比率を制御できます。この制御により、各自の構成に最適な分周比を選択できます。

適切なクロック設定は消費電力モード、デシメーション・レート、システムで使用可能なベース MCLK によって決まります。MCLK\_DIV を正しく設定する方法の詳細については、クロック供給、サンプリング・ツリーのセクションを参照してください。

## MCLK ソースの選択

SPI 制御モードでは、次のクロック供給オプションを MCLK 入力ソースとして使用できます。

- LVDS
- 外部水晶発振器
- CMOS 入力 MCLK

CLK\_SEL をロジック・ローに設定すると、CMOS クロックを使用して正しく動作するように AD7768/AD7768-4 が設定されます。CLK\_SEL をロジック・ハイに設定すると、外部水晶発振器を使用できるようになります。

CLK\_SEL をロジック・ハイに設定してレジスタ 0x04 のビット 3 もセットすると、MCLK ピンに LVDS クロック信号を入力できるようになります。LVDS クロック供給は SPI 制御モード専用で、動作させるにはレジスタを選択する必要があります (表 42 (AD7768) または表 68 (AD7768-4) を参照)。

DCLK レートは MCLK から供給されます。DCLK 分周 (MCLK と DCLK の比率) は、インターフェース設定の選択レジスタ (レジスタ 0x07) で制御します (表 45 (AD7768) または表 71 (AD7768-4) を参照)。

## インターフェース設定

データ・インターフェースはマスター出力インターフェースで、選択したモードに基づいたレートで ADC 変換結果が AD7768/AD7768-4 によって出力されます。インターフェースは、データ・クロック (DCLK)、データ・レディ (DRDY) フレーミング出力、およびデータ出力ピン (DOUT0 ~ DOUT7 (AD7768) または DOUT0 ~ DOUT3 (AD7768-4)) で構成されます。

AD7768 では、インターフェースは、1 個、2 個、または 8 個の DOUTx ピンに変換データを出力するように設定できます。AD7768 の DOUTx 設定は FORMATx ピンを使用して選択します (表 31 を参照)。

AD7768-4 では、インターフェースは、1 個または 4 個の DOUTx ピンに変換データを出力するように設定できます。AD7768-4 の DOUTx 設定は FORMAT0 ピンを使用して選択します (表 32 を参照)。

DCLK レートは MCLK 入力の直接分周で、レジスタ 0x07 のビット [1:0] を使用して制御できます。最小 DCLK レートは次式で計算できます。

$$DCLK (\min) = \text{出力データ・レート} \times \text{DOUTx あたりのチャンネル数} \times 32 \text{ ビット}$$

ここで  $MCLK \geq DCLK$ 。

8 個の ADC がイネーブル、MCLK レート = 32.768 MHz、ODR = 256 kSPS、2 個の DOUTx チャンネルの場合、DCLK (min) は次のようになります。

$$256 \text{ kSPS} \times \text{DOUTx あたり 4 チャンネル} \times 32 \text{ ビット} = 32.768 \text{ MHz}$$

ここで  $DCLK = MCLK/1$ 。

ステータス・ヘッダー、CRC、およびインターフェースの設定の詳細については、データ・インターフェースのセクションを参照してください。

## CRC 保護

AD7768/AD7768-4 は、各チャンネルの CRC メッセージを 4 サンプルまたは 16 サンプルごとに出力するように設定できます。この機能は SPI 制御でのみ使用できます。CRC は、インターフェース制御レジスタ (レジスタ 0x07) でイネーブルにします (データ・インターフェースでの CRC チェックのセクションを参照)。

## SPI 経由での ADC 同期

SPI 経由での ADC 同期により、SPI インターフェース経由で ADC に同期パルスのリクエストできます。この方法で同期を開始するには、レジスタ 0x06 のビット 7 に 2 回書き込みを行います。

まず、0 を書き込んで SYNC\_OUT をロー・レベルに設定してから、1 を書き込んで SYNC\_OUT を再度ロジック・ハイに設定する必要があります。

SPI\_SYNC コマンドは、SCLK の最後の立ち上がりエッジの後に SPI 命令で認識されます。このとき、SPI\_SYNC ビットがロー・レベルからハイ・レベルに変わります。その後 SPI\_SYNC コマンドは、AD7768/AD7768-4 MCLK 信号と同期された状態で SYNC\_OUT ピンに出力されます。SYNC\_OUT 信号を PCB の SYNC\_IN ピンに接続する必要があります。

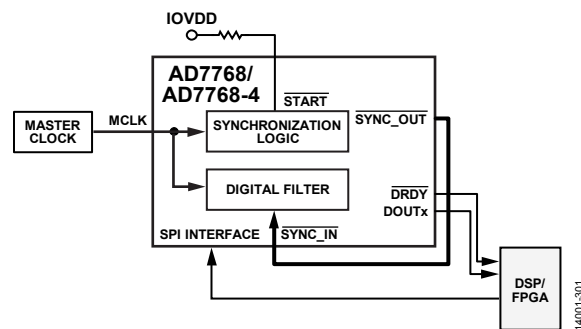


図 81. SPI\_SYNC を使用した同期の接続図

SYNC\_OUT ピンを他の AD7768/AD7768-4 デバイスの SYNC\_IN ピンに接続すれば、大規模なチャンネル数のシステム全体にわたって同時サンプリングを実行することもできます。AD7768/AD7768-4 デバイスのデジチェーン・システムでは、すべての ADC を同期する必要があります。

AD7768/AD7768-4 デバイスのデジチェーン・システムでは、2 つの連続する同期パルスを入力してすべての ADC が同期されていることを確認する必要があります。2 つの同期パルスは、複数の AD7768/AD7768-4 デバイスが 1 つの MCLK 信号を共有するシステムでも必要です。この場合、いずれか 1 つのデバイスの DRDY ピンが使用されて、新しいデータが検出されます。

SYNC\_IN ピンに現れる同期パルスに従って、AD7768/AD7768-4 のデジタル・フィルタは SPI\_SYNC コマンドによってリセットされます。その後、フィルタの全セットリング・タイムが経過した後に、有効なデータがデータ・インターフェースに出力されます。

## アナログ入力プリチャージ・バッファ

外部アンプの駆動要件を緩和できるように、AD7768/AD7768-4 の各アナログ入力にはプリチャージ・バッファが含まれています。各アナログ入力プリチャージ・バッファは、アナログ入力プリチャージ・バッファ・レジスタ (表 52 と表 53 (AD7768) または表 78 と表 79 (AD7768-4) を参照) を使用してイネーブルまたはディスエーブルに設定できます。

### リファレンス・プリチャージ・バッファ

外部リファレンスの駆動要件を緩和し、リファレンス入力での非直線性のセトリングに役立つように、AD7768/AD7768-4 の各リファレンス入力にはリファレンス・プリチャージ・バッファが含まれています。各リファレンス・プリチャージ・バッファは、リファレンス・プリチャージ・バッファ・レジスタ（表 54 と表 55 (AD7768) または表 80 と表 81 (AD7768-4)）を使用してイネーブルまたはディスエーブルに設定できます。

### ゲイン、オフセット、および同期位相のチャンネルごとのキャリブレーション

AD7768/AD7768-4 のゲイン、オフセット、および同期位相を調整できます。これらのオプションは SPI 制御モードでのみ利用できます。レジスタの詳細情報とキャリブレーション手順については、オフセット・レジスタ、ゲイン・レジスタ、同期位相オフセット・レジスタのセクションを参照してください。キャリブレーションの式については、キャリブレーション のセクションを参照してください。

### GPIO

AD7768/AD7768-4 は、SPI 制御モードで動作しているときに使用可能な 5 個の汎用入出力 (GPIO) ピンを備えています。GPIO の設定の詳細については、GPIO 機能 のセクションを参照してください。

### SPI 制御モードの追加の診断機能

#### RAM 内蔵セルフ・テスト

RAM 内蔵セルフ・テスト (BIST) は、デジタル・フィルタの係数のチェックです。AD7768/AD7768-4 DSP パスは、フィルタリ

ングとキャリブレーションに関連付けられたデータを格納するために内部メモリを使用します。必要に応じて、これらのメモリの内蔵セルフ・テスト (BIST) を開始できます。BIST の実行中は、通常の変換を実行できません。BIST 制御レジスタ (レジスタ 0x08) に書き込みを行うと、テストが開始されます。テストの結果とステータスは、ステータス・レジスタ (レジスタ 0x09) で確認できます (表 47 (AD7768) または表 73 (AD7768-4) を参照)。

このテストを実行すると、通常の ADC 変換が中断されます。通常の ADC 動作を再開するには、このテストの完了後に同期パルスが必要です。

### リビジョン識別番号

AD7768/AD7768-4 には、SPI 制御モードでアクセス可能な識別レジスタである、リビジョン識別レジスタが含まれています。このレジスタは、シリアル制御インターフェースが正しく動作していることを検証するのに最適です。レジスタについては、リビジョン識別レジスタのセクションを参照してください。

### 診断メーター・モード

診断メーターリング・モードを使用して、正のフルスケール電圧、ミッドスケール電圧、または負のフルスケール電圧を ADC の内部にかけて各 ADC の機能を検証できます。その後、ADC 変換の結果を読み出して、ADC が正しく動作していることを確認できます。ADC 変換を診断するための設定方法については、ADC 診断受信選択レジスタのセクションと ADC 診断制御レジスタのセクションを参照してください。

## 回路説明

### コア・シグナル・チェーン

AD7768/AD7768-4 の各 ADC チャンネルは、アナログ入力からデータ・インターフェースまで同一の信号パスを備えています。図 83 に、コア・シグナル・チェーンの最上位レベルの実装を示します。各 ADC チャンネルは、アナログ入力をオーバーサンプリングして、デジタル形式でデジタル・フィルタ・ブロックに渡す独自の  $\Sigma$ - $\Delta$  モジュレータを備えています。変調器サンプリング周波数 ( $f_{MOD}$ ) の範囲については、クロック供給、サンプリング・ツリー、およびパワー・スケーリング のセクションを参照してください。データがフィルタリングされ、(ユーザー設定に応じて) ゲインおよびオフセットがスケールされ、データ・インターフェースに出力されます。PIN/SPI 入力ピンの状態によってパワーアップ時に設定されたピン制御または SPI 制御を使用して、シグナル・チェーンの柔軟な設定を制御できます。

AD7768/AD7768-4 は、最大 5 V のリファレンスを使用でき、アナログ入力 ( $A_{INx+}$  および  $A_{INx-}$ ) 間の差動電圧をデジタル出力に変換できます。アナログ入力は、差動入力または疑似差動入力として設定できます。疑似差動入力として設定した場合、 $A_{INx+}$  または  $A_{INx-}$  を一定な入力電圧 (0 V、GND、AVSS、またはその他のリファレンス電圧) に接続できます。ADC はアナログ入力ピン間の電圧差を出力のデジタル・コードに変換します。アナログ入力  $A_{INx+}$  および  $A_{INx-}$  に AVDD1/2 のコモンモード電圧を使用すると、ADC 入力範囲が最大になります。24 ビットの変換結果は、MSB ファーストの 2 の補数フォーマットです。図 82 に AD7768/AD7768-4 の理想的な伝達関数を示します。

### ADC 消費電力モード

AD7768/AD7768-4 には、選択可能な 3 つの消費電力モードがあります。ピン制御モードでは、変調器のレートと消費電力モードが連動していて最高性能を実現します。SPI 制御モードでは、消費電力モードと変調器の MCLK 分周設定を選択できます。消費電力モードを選択できることにより、AD7768/AD7768-4 の帯域幅と消費電力をより柔軟に制御できます。表 11 に各消費電力モード

ドで推奨される  $f_{MOD}$  周波数を示し、表 42 に AD7768 のレジスタ情報を示し、表 68 に AD7768-4 のレジスタ情報を示します。

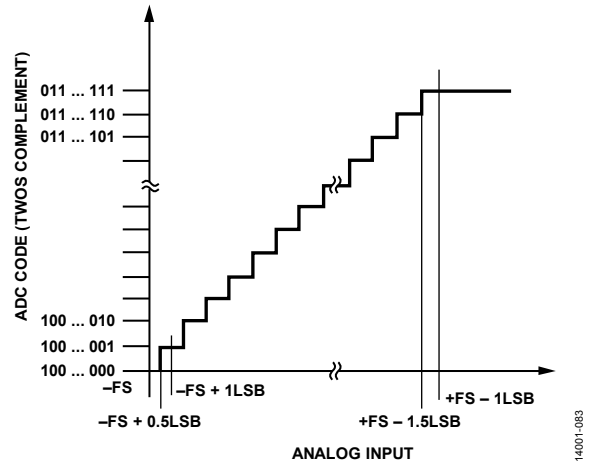


図 82. ADC の理想的な伝達関数 (FS はフルスケール)

表 26. 出力コードと入力電圧の理論値

Description	Analog Input ( $A_{INx+} - A_{INx-}$ ) $V_{REF} = 4.096 \text{ V}$	Digital Output Code, Twos Complement (Hex.)
FS - 1 LSB	+4.095999512 V	0x7FFFFFFF
Midscale + 1 LSB	+488 nV	0x000001
Midscale	0 V	0x000000
Midscale - 1 LSB	-488 nV	0xFFFFF9
-FS + 1 LSB	-4.095999512 V	0x800001
-FS	-4.096 V	0x800000

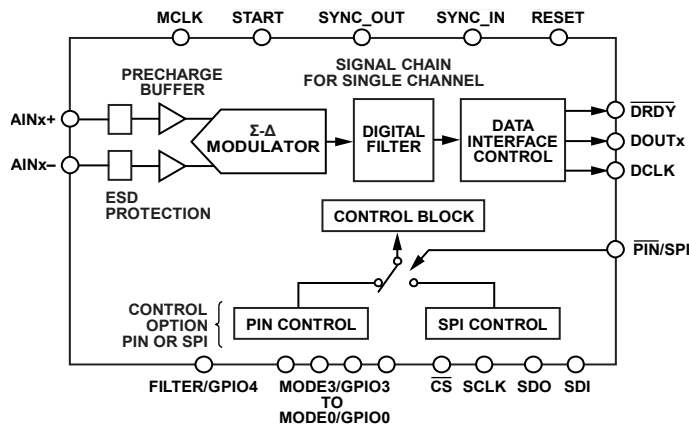


図 83. 最上位レベルのコア・シグナル・チェーンおよび制御

アナログ入力

図 84 に、AD7768/AD7768-4 アナログ・フロント・エンドを示します。短時間に過電圧および ESD が発生した場合に ADC を保護するように設計された ESD 保護ダイオードが信号パスに示されています。アナログ入力は、MCLK から供給される変調器のサンプリング周波数  $f_{MOD}$  の 2 倍の周波数でサンプリングされます。デフォルトでは、ADC の内蔵サンプリング・コンデンサ CS1 および CS2 は、外部ネットワークの駆動要件を緩和できるように、チャンネルごとのアナログ入力プリチャージ・バッファによって駆動されます。

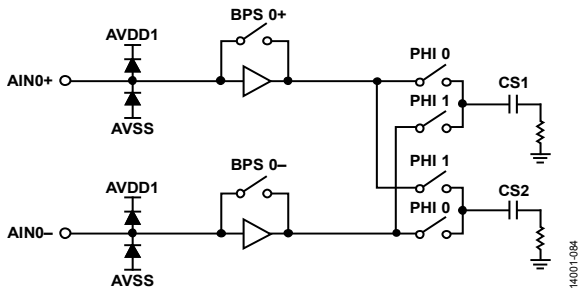


図 84. アナログ・フロント・エンド

アナログ入力プリチャージ・バッファは、サンプリング・フェーズの 25% でスイッチド・キャパシタ・ネットワークの初期充電を提供します。この最初のフェーズで、バイパス・スイッチ BPS 0+ と BPS 0- が開いたままになります。サンプリング・フェーズの残りの 75% では、バイパス・スイッチが閉じて、外部ソースによって高精度のセトリング充電が提供されます。PHI 0 と PHI 1 は、サンプリング・コンデンサ CS1 および CS2 への入力信号を切り替える変調器クロック・サンプリングを表します。

アナログ入力プリチャージ・バッファは、サンプリング・ステージから外部回路へのスイッチング・キックバックを低減します。プリチャージ・バッファは、平均入力電流を 1/8 に低減し、入力電流が信号に依存しないようにして、サンプリング歪みの影響を低減します。駆動要件がこのように緩和されることで、AD7768/AD7768-4 を ADA4940-1/ADA4940-2 などの低消費電力、低帯域幅フロント・エンド・ドライバ・アンプとペアリングすることができます。

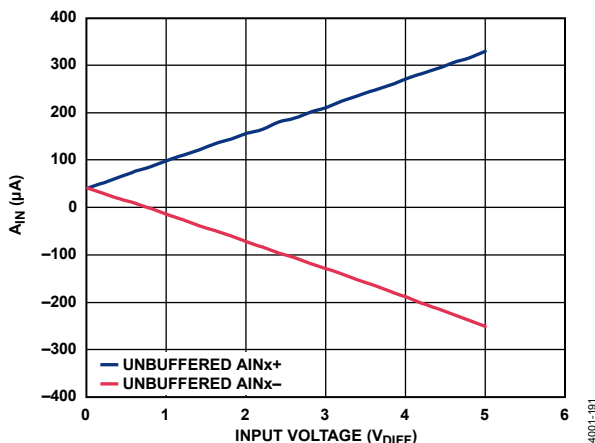


図 85. アナログ入力電流 ( $A_{IN}$ ) と入力電圧の関係、アナログ入力プリチャージ・バッファ = オフ、 $V_{CM} = 2.5\text{ V}$ 、 $f_{MOD} = 8.192\text{ MHz}$

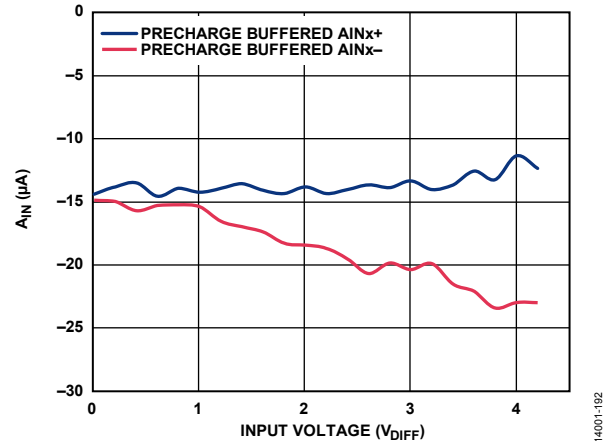


図 86. アナログ入力電流 ( $A_{IN}$ ) と入力電圧の関係、アナログ入力プリチャージ・バッファ = オン、 $V_{CM} = 2.5\text{ V}$ 、 $f_{MOD} = 8.192\text{ MHz}$

アナログ入力プリチャージ・バッファは、レジスタ 0x11 およびレジスタ 0x12 (プリチャージ・バッファ・レジスタ 1 とプリチャージ・バッファ・レジスタ 2) への書き込みによってオン/オフに設定できます。各アナログ入力プリチャージ・バッファは、チャンネルごとに選択できます。ピン制御モードの場合、最高の性能を得られるようにアナログ入力プリチャージ・バッファは常にイネーブルになります。

アナログ入力プリチャージ・バッファがディスエーブルの場合、アナログ入力電流はアナログ入力ソースから完全に供給されます。非バッファ・アナログ入力電流は、アナログ入力ペアの差動入力電圧と AVSS を基準にしたアナログ入力電圧の 2 つの要素から計算されます。プリチャージ・バッファがディスエーブルで、32.768 MHz MCLK、高速モード、 $f_{MOD} = MCLK/4$  の場合、差動入力電流は約  $48\text{ }\mu\text{A/V}$  で、グラウンドを基準にした電流は約  $17\text{ }\mu\text{A/V}$  です。

例えば、プリチャージ・バッファがオフ、 $A_{IN1+} = 5\text{ V}$ 、 $A_{IN1-} = 0\text{ V}$  の場合は、以下のように各入力ピンの電流を見積もります。

$$A_{IN1+} = 5\text{ V} \times 48\text{ }\mu\text{A/V} + 5\text{ V} \times 17\text{ }\mu\text{A/V} = 325\text{ }\mu\text{A}$$

$$A_{IN1-} = -5\text{ V} \times 48\text{ }\mu\text{A/V} + 0\text{ V} \times 17\text{ }\mu\text{A/V} = -240\text{ }\mu\text{A}$$

プリチャージ・バッファがイネーブルの場合、AVSS を基準にした絶対電圧が電流の大半を決定します。アナログ入力 AVDD1 または AVSS レールに近い場合、測定される最大入力電流は約  $-25\text{ }\mu\text{A}$  です。

プリチャージ・バッファがイネーブルまたはディスエーブルの場合、アナログ入力電流は変調器のクロック・レートに比例します。アナログ入力電流と入力電圧の関係を 図 85 に示します。

ADC へのアナログ入力の完全なセトリングには、外部アンプを使用する必要があります。ADA4805-2 (エコ・モード)、ADA4807-2 または ADA4940-1/ADA4940-2 (中間モード)、ADA4807-2 または ADA4896-2 (高速モード) などのアンプを AD7768/AD7768-4 と組み合わせます (詳細については、表 27 を参照)。AD7768/AD7768-4 を中間モードおよびエコ・モードで実行するか、MCLK レートを低くすると、アンプの負荷および速度の要件が緩和されます。このため、低消費電力アンプをアナログ入力と組み合わせることで最適なシグナル・チェーン効率を実現できます。

表 27. アンプのペアリング・オプション

Power Mode	Amplifier	Amplifier Power (mW/channel) <sup>1</sup>	Analog Input Precharge Buffer	Total Power (Amplifier + AD7768) (mW/channel) <sup>1</sup>
Fast	ADA4896-2	40.6	On	92.1
Fast	ADA4807-2	13.6	On	65.1
Median	ADA4805-2	7.5	On	35.0
Eco	ADA4805-2	7.525	On	16.9

<sup>1</sup> 25 °C での出力 (typ)

## VCM

AD7768/AD7768-4 は、ピン 59 でバッファ付きコモンモード電圧を出力します。この出力は、アナログ入力信号にバイアスを加えることができます。VCM バッファを ADC に組み込むことによって AD7768/AD7768-4 は部品数と基板スペースを削減します。ピン制御モードの場合、VCM の電位は  $(AVDD1 - AVSS)/2$  に固定され、デフォルトでイネーブルになっています。

SPI 制御モードの場合、一般的な設定レジスタ (レジスタ 0x05) を使用して VCM 電位を設定します。出力はイネーブルまたはディスエーブルにすることが可能で、AVSS を基準にして  $(AVDD1 - AVSS)/2$ 、1.65 V、2.14 V、または 2.5 V に設定することができます。

VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768/AD7768-4 の外部で使用する場合は、チャンネル 0 をイネーブルにする必要があります。

## リファレンス入力

AD7768/AD7768-4 には、次の 2 つの差動リファレンス入力ペアがあります。AD7768 では、REF1+ と REF1- がチャンネル 0 ~ チャンネル 3 用のリファレンス入力で、REF2+ と REF2- がチャンネル 4 ~ チャンネル 7 用のリファレンス入力です。AD7768-4 では、REF1+ と REF1- がチャンネル 0 とチャンネル 1 用のリファレンス入力で、REF2+ と REF2- がチャンネル 2 とチャンネル 3 用のリファレンス入力です。絶対入力リファレンス電圧範囲は 1 V ~ AVDD1 - AVSS です。

アナログ入力と同様、リファレンス入力にはプリチャージ・バッファ・オプションがあります。各 ADC には、REFx+ および REFx- 用にそれぞれ個別のバッファがあります。プリチャージ・バッファは外部リファレンス回路の負荷を軽減するのに役立ちます。

ピン制御モードの場合、リファレンス・プリチャージ・バッファはデフォルトでオフになります。SPI 制御モードの場合、リファレンス・プリチャージ・バッファをイネーブルまたはディスエーブルにできます。ユニポーラ・アナログ電源の場合、SPI 制御モードでは、REFx+ バッファのみをイネーブルにすることで最高の性能と消費電力を実現できます。リファレンス入力電流は変調器のクロック・レートに比例します。

32 MHz MCLK および MCLK/4 高速モードの場合、差動入力電流はバッファなしでチャンネルあたり約 72  $\mu\text{A}/\text{V}$ 、プリチャージ・バッファがイネーブルの場合はチャンネルあたり約 16  $\mu\text{A}/\text{V}$  です。

プリチャージ・バッファがオフの場合は、REFx+ = 5 V、REFx- = 0 V、

$$REFx_{\pm} = 5 \text{ V} \times 72 \mu\text{A}/\text{V} = 360 \mu\text{A}$$

プリチャージ・バッファがオンの場合は、REFx+ = 5 V、REFx- = 0 V、

$$REFx_{\pm} = 5 \text{ V} \times 16 \mu\text{A}/\text{V} = 80 \mu\text{A}$$

最高の性能とヘッドルームを実現するには、ADR444 または ADR4540 などの 4.096 V リファレンスを使用することを推奨します。

高サンプリング・レートで最高の性能を実現するには、ADA4841-1 または AD8031 などの外部リファレンス・ドライブ・アンプを使用することを推奨します。

## クロックの選択

AD7768/AD7768-4 は、デバイスの初期パワーアップに使用される内部発振器を備えています。AD7768/AD7768-4 がスタートアップ・ルーチンを完了した後、通常、デバイスは内部クロックの制御を外部から入力される MCLK に移します。AD7768/AD7768-4 は、特定の内部クロック・サイクル数にわたって外部 MCLK の立ち下がりエッジをカウントして、クロックが有効であることや、周波数が 1.15 MHz 以上であることを確認します。外部 MCLK に問題がある場合は、切り替えが行われず、AD7768/AD7768-4 はステータス・ヘッダーにエラーを出力し、デバイス ステータス・レジスタにクロック・エラー・ビットが設定されます。この場合、変換データは出力されません。このエラー状態を終了するには、リセットする必要があります。

AD7768/AD7768-4 では、外部 CMOS、水晶発振器、LVDS の 3 つのクロック源入力オプションを使用できます。クロックはパワーアップ時に選択され、CLK\_SEL ピンの状態によって決定されます。

CLK\_SEL = 0 の場合、CMOS クロック・オプションが選択され、クロックがピン 32 (ピン 31 は DGND に接続) に入力されます。

CLK\_SEL = 1 の場合、水晶発振器または LVDS が選択され、水晶発振器または LVDS がピン 31 とピン 32 に入力されます。LVDS オプションは SPI 制御モードでのみ使用できます。レジスタ 0x04 のビット 3 への SPI 書込みにより、LVDS クロック・オプションがイネーブルになります。

## デジタル・フィルタリング

AD7768/AD7768-4 は 2 種類のデジタル・フィルタを提供しています。SPI 制御モードの場合、チャンネルごとにこれらのフィルタを選択できます。ピン制御モードの場合、すべてのチャンネルに対して 1 つのフィルタのみを選択できます。AD7768/AD7768-4 で選択可能なデジタル・フィルタは、以下のとおりです。

- Sinc5 低遅延フィルタ、 $0.204 \times \text{ODR}$  で -3 dB
- 広帯域低リップル・フィルタ、 $0.433 \times \text{ODR}$  で -3 dB

どちらのフィルタも 6 個のデシメーション・レートのいずれかで動作でき、目的の消費電力モードまたは分解能を得るための最適な入力帯域幅と変換速度を選択できます。

Sinc5 フィルタ

ほとんどの高精度  $\Sigma$ - $\Delta$  ADC は sinc フィルタを採用しています。AD7768/AD7768-4 で提供されている sinc5 フィルタは、制御ルーブまたは他の特定の後処理が必要な場所の DC 入力で有用な低遅延信号パスをイネーブルにします。sinc5 フィルタ・パスは、最も低いノイズおよび消費電力を実現します。sinc5 フィルタの帯域幅は  $0.204 \times \text{ODR}$  で  $-3 \text{ dB}$  です。Table 13 に、sinc5 フィルタの各消費電力モードとデシメーション・レシオでのノイズ性能を示します。

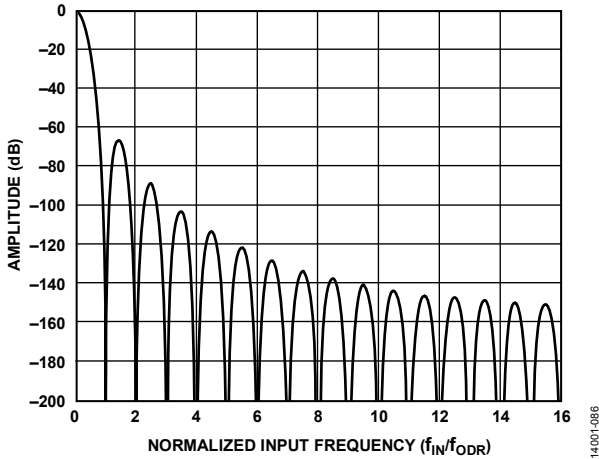


図 87. Sinc5 フィルタ周波数応答 (デシメーション =  $\times 32$ )

sinc5 フィルタ使用時の AD7768/AD7768-4 のセトリング・タイムを表 36 に示します。

広帯域低リップル・フィルタ

広帯域フィルタの  $0.4 \times \text{ODR}$  の通過帯域リップルは低く (リップルの  $\pm 0.005 \text{ dB}$  以内)、 $0.499 \times \text{ODR}$  (ナイキスト) での完全な減衰により、最高のアンチエイリアス保護が実現します。広帯域フィルタの通過帯域リップルは  $\pm 0.005 \text{ dB}$  で、ナイキストから  $f_{\text{CHOP}}$  に至る阻止帯域の減衰量は  $105 \text{ dB}$  です。アンチエイリアシングと  $f_{\text{CHOP}}$  エイリアシングの詳細については、アンチエイリアシングのセクションを参照してください。

広帯域フィルタは超高次デジタル・フィルタで、群遅延は約  $34/\text{ODR}$  です。同期パルスの後、SYNC\_IN 立ち上がりエッジから完全にセトリングされたデータまでの追加の遅延があります。広帯域フィルタ使用時の AD7768/AD7768-4 のセトリング・タイムを表 35 に示します。広帯域フィルタの各消費電力モードとデシメーション・レートでのノイズ性能については、表 12 を参照してください。

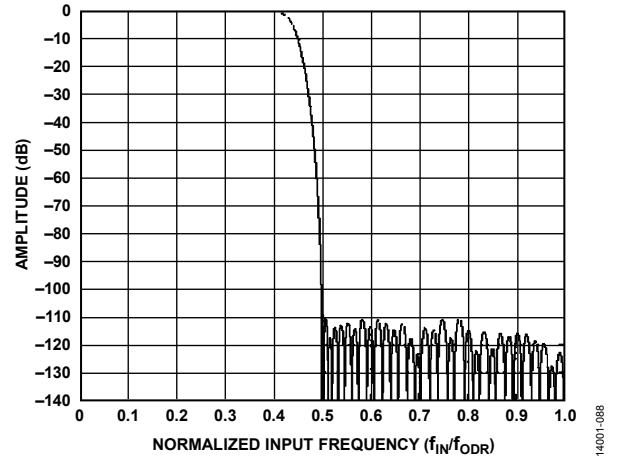


図 88. 広帯域フィルタの周波数応答

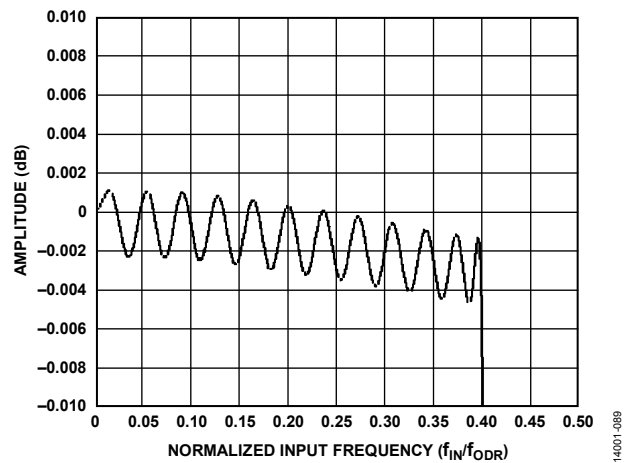


図 89. 広帯域フィルタの通過帯域リップル

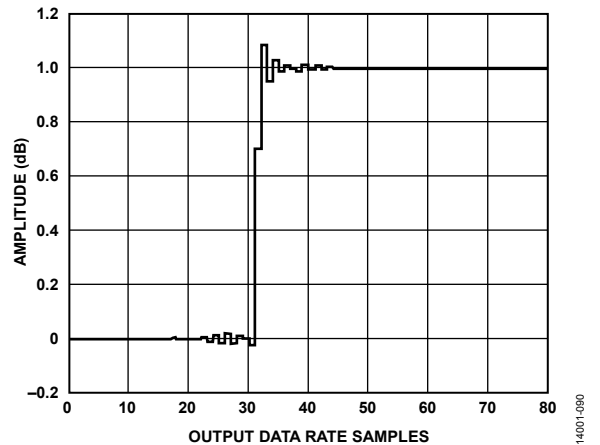


図 90. 広帯域フィルタのステップ応答



## デシメーション・レート制御

AD7768/AD7768-4 はデジタル・フィルタ用のプログラマブルなデシメーション・レートを用意しています。デシメーション・レートにより、測定帯域幅を狭くすることができます。これにより、速度は遅くなりますが、分解能は高くなります。SPI 制御を使用している場合、AD7768/AD7768-4 のデシメーション・レートはチャンネル・モード・レジスタを通じて制御します。これらのレジスタは、特定のデシメーション・レートとフィルタ・タイプで 2 つの個別のチャンネル・モードを設定します。各 ADC は、チャンネル・モード選択レジスタを介してこれらのモードのいずれかにマップされます。表 28 に、モード A とモード B で使用可能なデシメーション・レートと選択可能なフィルタ・タイプを示します。

ピン制御モードの場合、デシメーション・レシオは DEC0 ピンと DEC1 ピンで制御します。ピン制御モードでのデシメーションの設定については、表 17 を参照してください。

表 28. チャンネル x モード・レジスタ、レジスタ 0x01 とレジスタ 0x02

Bits	Name	Logic Value	Decimation Rate
3	FILTER_TYPE_x	0	Wideband filter
		1	Sinc5 filter
[2:0]	DEC_RATE_x	000	32
		001	64
		010	128
		011	256
		100	512
		101	1024
		110	1024
		111	1024

## アンチエイリアシング

AD7768/AD7768-4 は、離散時間方式のスイッチド・キャパシタ ADC であるため、帯域外トーンのフォールドバックに対する保護のために外付けのアナログ・アンチエイリアシング（折返し誤差防止）・フィルタが必要になることがあります。

このセクションでは、帯域外トーンとは、アナログ入力に適用されるデジタル・フィルタの通過帯域の周波数仕様よりも高い入力周波数のことを意味します。

AD7768/AD7768-4 のアンチエイリアシング・フィルタを設計する場合は、3 つの主なエイリアシング領域を考慮する必要があります。各ゾーンのエイリアス要件を理解した後に、特定のアプリケーションのニーズを満たすアンチエイリアシング・フィルタを設計することができます。考慮する 3 つのゾーンは、変調器のサンプリング周波数、変調器のチョッピング周波数、および変調器の飽和点に関連があります。

## 変調器のサンプリング周波数

AD7768/AD7768-4 変調器の信号伝達関数には、変調器クロックに関連するトーンまたは高調波を除去するためのノッチが  $f_{MOD}$  の奇数倍の位置に含まれています。変調器は、 $f_{MOD}$ 、 $3 \times f_{MOD}$ 、 $5 \times f_{MOD}$  などの周波数で信号を減衰させます。32.768 MHz の MCLK 周波数の場合、減衰量は、高速モードで約 35 dB、中間モードで 41 dB、エコ・モードで 53 dB です。MCLK 周波数を半減させるごとに（例: クロックを 32.768 MHz から 16.384 MHz にする）、各消費電力モードで減衰量が 6 dB 増加します。

変調器は、 $2 \times f_{MOD}$  付近および  $f_{MOD}$  の偶数倍の付近にあるゾーンの周波数の信号を除去しません。これらの周波数の信号は、AD7768/AD7768-4 によってエイリアシングされます。AD7768/AD7768-4 では、これらのゾーンで保護が必要な最初のゾーンは  $2 \times f_{MOD}$  にあります。一般的な離散時間方式のスイッチド・キャパシタ  $\Sigma$ - $\Delta$  変調器は、周波数  $f_{MOD}$  でのエイリアシングに対する保護を提供しないため、この点において AD7768/AD7768-4 は明白なメリットをもたらします。

図 91 に、アナログ入力での帯域外トーンに対する変調器と広帯域デジタル・フィルタの周波数応答を示します。図 91 に、アナログ入力でサンプリングされた信号の帯域幅と周波数の関係で見られるエイリアスの大きさを示します。入力信号と変調器の周波数の関係は、変調器の周波数 ( $f_{MOD}$ ) に対する入力信号 ( $f_{IN}$ ) の比率として正規化して表現されます。このデータは、広帯域フィルタを使用した場合の、帯域外トーンに関する ADC の周波数応答を示しています。入力周波数 ( $f_{IN}$ ) は DC ~ 20 MHz で掃引しました。高速モードで、8.192 MHz の  $f_{MOD}$  周波数を使用した場合、X 軸の  $f_{IN}/f_{MOD}$  の比率は 0 ~ 2.44 (0 ~ 20 MHz の  $f_{IN}$  に等価) になります。中間モードとエコ・モードでも同様の特性になります。

図 91 で、ノッチは入力周波数 ( $f_{IN}$ ) が  $f_{MOD}$  のところ (X 軸の  $f_{IN}/f_{MOD} = 1.00$ ) に現れます。この周波数での入力は 35 dB 減衰され、外付けアンチエイリアシング・フィルタの減衰量に追加されるため、外付けフィルタの周波数ロールオフ要件が緩和されます。さらに高い周波数まで掃引すると、 $f_{IN}/f_{MOD} = 3.00$  でノッチが再び現れます。

$f_{IN} = 2 \times f_{MOD}$  (X 軸の 2.00) では減衰量が 0 dB になります。これは、この周波数のすべての信号がサンプリング規則に従って ADC 変換結果に直接エイリアシングされることを示しています。

AD7768/AD7768-4 の広帯域デジタル・フィルタは、エイリアシングに対する追加の保護機能も提供します。広帯域フィルタは、ナイキスト周波数 ( $f_{ODR}/2$ 、ここで  $f_{ODR} = f_{MOD}/\text{デシメーション・レート}$ )、入力周波数、および  $f_{ODR}/2$  に近い入力周波数の高調波で完全な減衰を示すため、AD7768/AD7768-4 の通過帯域にフォールドバックしないでください。

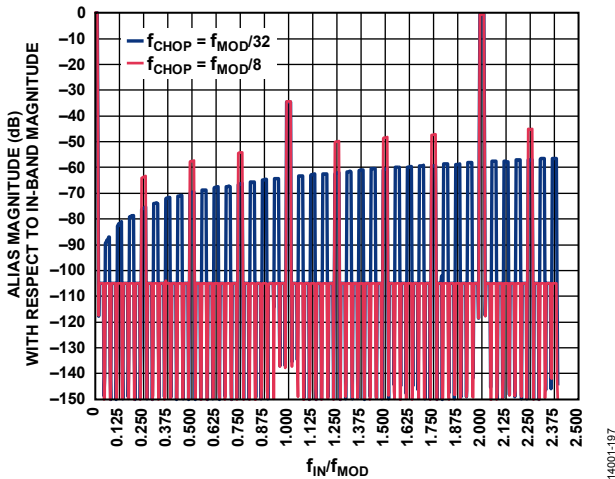


図 91. AD7768/AD7768-4 帯域外入力トーンの除去、広帯域フィルタ、デシメーション =  $\times 32$ 、 $f_{MOD} = 8.192$  MHz、アナログ入力掃引 DC ~ 20 MHz

変調器チョッピング周波数

図 91 は、AD7768/AD7768-4 変調器のチョッピング周波数に関する 2 つのシナリオを示しています。

AD7768/AD7768-4 は、変調器でチョップ・アンプと同様のチョッピング技術を使用してオフセット、オフセット・ドリフト、および  $1/f$  ノイズを除去します。AD7768/AD7768-4 のデフォルトのチョッピング・レートは  $f_{MOD}/32$  です。ピン制御モードの場合、チョップ周波数は  $f_{MOD}/32$  に配線されます。SPI 制御モードの場合は、 $f_{MOD}/32$  または  $f_{MOD}/8$  のチョップ周波数を選択できます。

図 91 に示しているように、デジタル・フィルタの阻止帯域除去は、チョッピング周波数 ( $f_{CHOP}$ ) の偶数倍の周波数で低減します。その他のすべての帯域外周波数 (変調器クロック周波数  $f_{MOD}$  に関係する前述したものを除く) は、デジタル・フィルタの阻止帯域の減衰量によって除去されます。周波数範囲が  $(2 \times f_{CHOP}) \pm f_{3dB}$  ( $f_{3dB}$  は使用したフィルタ帯域幅) の帯域外トーンは、チョップ周波数設定 (図 91 を参照) によって決定されたエンベロップまで減衰され、通過帯域にエイリアシングされます。 $f_{CHOP}$  の偶数倍 ( $N \times f_{CHOP}$ 、 $N$  は偶数) 付近の帯域外トーンは減衰され、同じようにエイリアシングされます。

$f_{MOD}/32$  でのチョッピングは、AD7768/AD7768-4 で最高のノイズ、オフセット、オフセット・ドリフト性能を提供します。

$f_{MOD}/8$  でのチョッピングは最初のチョッピング・トーンを高い周波数に移動するため、AC 性能にとってこの周波数を選択することは有用です。ただし、 $f_{MOD}/8$  でのチョッピングは、デフォルトのチョッピング・レート  $f_{MOD}/32$  の場合と比べて、ノイズおよびオフセット性能がわずかに低下することがあります (ダイナミック・レンジで約 1 dB の損失)。

表 29 に、 $f_{MOD}/32$  および  $f_{MOD}/8$  (チョップ・エイリアシング)、 $f_{MOD}/16$  (変調器の飽和)、 $2 \times f_{MOD}$  (0 dB 減衰の最初のゾーン) の臨界周波数で、1 次 ~ 3 次のエイリアシング・フィルタ・オプションで得られるエイリアシングを示します。アンチエイリアシング・フィルタのコーナー周波数は、 $f_{MOD}/64$  であると仮定しています。これは、デシメーション・レート  $\times 32$  のフィルタ設定を使用した場合に AD7768/AD7768-4 のデジタル・フィルタが渡すことのできる最大入力帯域幅をわずかに上回る値です。

表 29. 外部アンチエイリアシング・フィルタの減衰

RC Filter	$f_{MOD}/32$ (dB)	$f_{MOD}/16$ (dB)	$f_{MOD}/8$ (dB)	$2 \times f_{MOD}$ (dB)
First Order	-6	-12	-18	-42
Second Order	-12	-24	-36	-84
Third Order	-18	-36	-54	-126

変調器の飽和点

$\Sigma$ - $\Delta$  モジュレータは、負の帰還を使用した標準制御ループと考えることができます。制御ループは、処理された誤差信号の平均が常に非常に小さくなるように機能します。積分器を使用して、前回の誤差を記憶することで、平均誤差がゼロになるようにします。変調器クロック  $f_{MOD}$  を基準にして入力信号の変化率が大きくなるに従って、より大きな電圧帰還誤差が処理されます。特定の周波数以上で、誤差により変調器が飽和を開始します。

AD7768/AD7768-4 の場合、入力信号、入力信号の振幅、およびリファレンス入力レベルの変化率によっては、変調器が  $f_{MOD}/16$  よりも大きいフルスケール入力周波数で飽和します。 $f_{MOD}/8$  での  $1/2$  消費電力入力トーンも変調器を飽和させます。高い振幅と周波数の帯域外トーンが存在する可能性のあるアプリケーションでは、変調器の飽和から保護できるように -3 dB コーナー周波数が  $f_{MOD}/16$  に設定された 1 次アンチエイリアシング・フィルタが必要です。例えば、AD7768/AD7768-4 を最高速で動作させ、デシメーション・レート  $\times 32$  を使用して 256 kSPS の出力データ・レートを実現する場合、変調器のレートは 8.192 MHz に等しくなります。この場合、飽和から保護できるように、アンチエイリアシング・フィルタの -3 dB コーナー周波数を 512 kHz に設定します。

キャリブレーション

SPI 制御モードの場合、AD7768/AD7768-4 ではオフセット、ゲイン、位相遅延をチャンネルごとに調整できます。

オフセット調整

CHx\_OFFSET\_MSB、CHx\_OFFSET\_MID、CHx\_OFFSET\_LSB レジスタは、チャンネル・オフセットを調整するための 24 ビットの符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理論的な公称値 0x555555 の場合、オフセット・レジスタの LSB 調整により、デジタル出力が LSB 換算でその  $-4/3$  倍だけ変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が -133 LSB 変化します。オフセット・キャリブレーションはゲイン・キャリブレーションの前に行われるため、 $4/3$  の比率はチャンネル  $\times$  ゲイン・レジスタを介したゲイン調整と比例して変化します (表 56 と表 57 (AD7768) または表 82 と表 83 (AD7768-4) を参照)。リセットまたは電源再投入の後、オフセット・レジスタ値はデフォルトの出荷時設定に戻ります。

## ゲイン調整

各 ADC チャンネルには、関連付けられたゲイン係数があります。この係数は MSB、MID、LSB として分割された 3 つのシングルバイト・レジスタに格納されています。各ゲイン・レジスタは、出荷時にプログラムされています。通常、このゲインは 0x555555 付近の値になっています (ADC チャンネルの場合)。ゲイン・レジスタ設定は上書きできます。ただし、リセットまたは電源再投入の後にゲイン・レジスタ値はハード・コードされた出荷時設定に戻ります。

次式を使用して、出力される概算結果を計算します。

$$Data = \left( \frac{3 \times V_{IN}}{V_{REF}} \times 2^{21} - (Offset) \right) \times \frac{Gain}{4} \times \frac{4,194,300}{2^{42}}$$

ここで

*Offset* は、オフセット・レジスタ設定。

*Gain* は、ゲイン・レジスタ設定。

## 同期位相オフセットの調整

AD7768/AD7768-4 は、すべてのチャンネルに対して 1 つの同期信号を使用します。同期位相オフセット・レジスタにより、SYNC\_IN ピンで受け取った同期エッジに関して各チャンネルの位相遅延を変更できます。

デフォルトでは、すべての ADC チャンネルが SYNC\_IN パルスに同時に応答します。ADC 入力チャンネルの既知の外部位相差が互いに等しくなるように、同期位相レジスタをプログラムできます。位相補償の範囲は、最大 1 つの変換サイクルに制限されていて、補正の分解能は使用しているデシメーション・レートによって決まります。

表 30 に、各デシメーション・レシオの位相オフセットで使用する分解能とレジスタ・ビットを示します。

表 30. 位相遅延の分解能

Decimation Ratio	Resolution	Steps	Phase Register Bits
×32	1/f <sub>MOD</sub>	32	[7:3]
×64	1/f <sub>MOD</sub>	64	[7:2]
×128	1/f <sub>MOD</sub>	128	[7:1]
×256	1/f <sub>MOD</sub>	256	[7:0]
×512	2/f <sub>MOD</sub>	256	[7:0]
×1024	4/f <sub>MOD</sub>	256	[7:0]

チャンネルの同期位相を調整すると、同期パルス後の最初の DRDY パルスまでの時間だけでなく、ヘッダー・ステータス (フィルタ未セトリング・データ・ビット) のビット 6 がクリアされるまでの時間 (セトリングされたデータまでの時間) に影響を与えることがあります。

すべてのチャンネルが sinc5 フィルタを使用している場合、少なくとも 1 つのチャンネルで同期位相のオフセットをゼロに調整している場合、最初の DRDY パルスまでの時間は同期位相オフセットの調整の影響を受けません。すべてのチャンネルに非ゼロの同期位相オフセット設定がある場合は、最小オフセットが適用されたチャンネルに従って、最初の DRDY パルスが遅延します。内部同期信号を他のチャンネルよりも遅延させる同期オフセット調整の設定があるチャンネルは、次の DRDY パルスの後までセトリングされたデータを出力しません。つまり、位相遅延が追加されたチャンネルでは AD7768/AD7768-4 によって出力され、セトリングされたデータの間に 1 ODR 期間の遅延が発生します。

すべてのチャンネルが広帯域フィルタを使用している場合は、位相遅延設定が最大のチャンネルに従って、最初の DRDY パルスまでの時間とセトリングされたデータまでの時間に遅延が発生します。この場合、インターフェースは最後のチャンネルまで待機し、そのチャンネルの準備が完了すると、すべてのチャンネルのデータを出力します。

## データ・インターフェース

### データ出力のフォーマット設定

データ・インターフェースのフォーマットは、FORMATx ピンを設定することで決定されます。FORMATx ピンのロジック状態がパワーアップ時に読み出され、ADC 変換が出力されるデータ・ライン (DOUTx) の数が決定されます。

FORMATx ピンは AD7768 のパワーアップ時に読み出され、デバイスはこの出力構成のままになるため、この機能は常に配線する必要があります。動的に変更することはできません。表 31、図 92、図 93、および図 95 に、AD7768 のデジタル出力ピンのフォーマット構成を示します。

次式で、特定のデータ・インターフェース構成に最小限必要な DCLK レートを計算します。

$$DCLK \text{ (min)} = \text{出力データ・レート} \times \text{DOUTx あたりのチャンネル数} \times 32$$

ここで  $MCLK \geq DCLK$ 。

例えば、 $MCLK = 32.768 \text{ MHz}$  で 2 DOUTx ラインの場合は、次のようになります。

$$DCLK \text{ (min)} = 256 \text{ kSPS} \times \text{DOUTx あたり 4 チャンネル} \times 32 = 32.768 \text{ Mbps}$$

このため、 $DCLK = MCLK/1$ 。

または  $MCLK = 32.768 \text{ Mhz}$  で 8 DOUTx ラインの場合は、次のようになります。

$$DCLK \text{ (min)} = 256 \text{ kSPS} \times \text{DOUTx あたり 1 チャンネル} \times 32 = 8.192 \text{ Mbps}$$

このため、 $DCLK = MCLK/4$ 。

DCLK レートが高いと、少ない DOUTx ラインで AD7768/AD7768-4 から変換データを受け取りやすくなりますが、高い DCLK 周波数での ADC オフセット性能に対するトレードオフが存在します。最高性能のオフセットとオフセット・ドリフトを実現するには、可能な限り低い DCLK 周波数を使用します。MCLK 周波数、DCLK 分周器、使用する DOUTx ラインの数を適切に選択することで DCLK 周波数を低くすることができます。表 1 と表 2 に、各 DCLK 周波数範囲のオフセットとオフセット・ドリフトの仕様を示します。図 49 に、DCLK 周波数範囲の代表的なオフセット・ドリフトを示します。

表 31. AD7768 の FORMATx 真理値表

FORMAT1	FORMAT0	Description
0	0	Each ADC channel outputs on its own dedicated pin. DOUT0 to DOUT7 are in use.
0	1	The ADCs share the DOUT0 and DOUT1 pins: Channel 0 to Channel 3 output on DOUT0. Channel 4 to Channel 7 output on DOUT1. The ADC channels share data pins in time division multiplexed (TDM) output. DOUT0 and DOUT1 are in use.
1	X	All channels output on the DOUT0 pin, in TDM output. Only DOUT0 is in use.

表 32. AD7768 の FORMAT0 真理値表

FORMAT0	Description
0	Each ADC channel outputs on its own dedicated pin. DOUT0 to DOUT3 are in use.
1	All channels output on the DOUT0 pin, in TDM output. Only DOUT0 is in use.

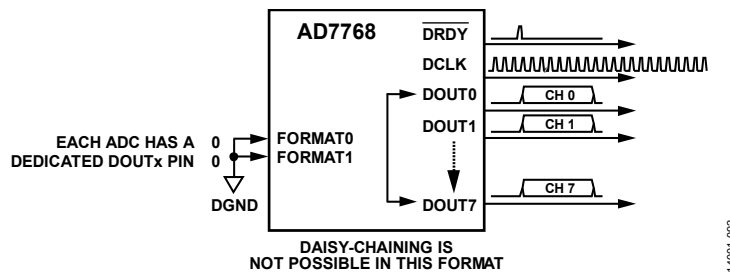


図 92. AD7768 FORMATx = 00、8 つのデータ出力ピン

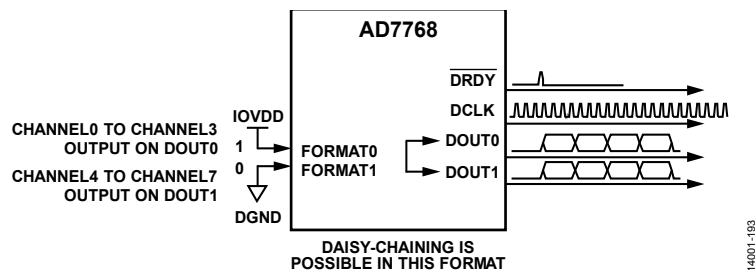


図 93. AD7768 FORMATx = 01、2 つのデータ出力ピン

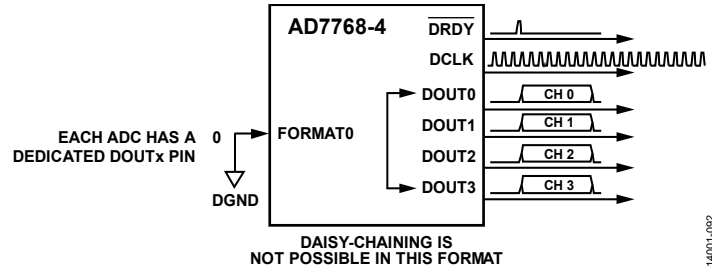


図 94. AD7768 FORMAT0 = 0、4 つのデータ出力ピン

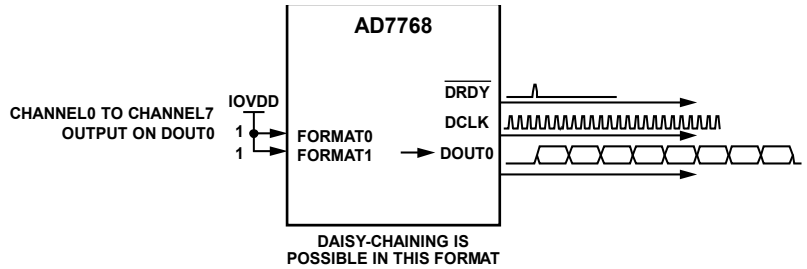


図 95. AD7768 FORMATx = 10 または 11、AD7768-4 FORMAT0 = 1、1 つのデータ出力ピン

### ADC 変換出力:ヘッダーとデータ

AD7768 データは、FORMATx ピンに応じて DOUT0 ~ DOUT7 ピンに出力されます。AD7768-4 データは、FORMAT0 ピンに応じて DOUT0 ~ DOUT3 ピンに出力されます。各 ADC の結果のデータ出力の実際の構造を図 96 に示します。各 ADC の結果が 32 ビットで構成されています。最初の 8 ビットはヘッダー・ステータス・ビットで、ステータス情報とチャンネル番号が含まれています。各ヘッダー・ステータス・ビットの名前を表 33 に示します。これらの機能については、以降のセクションで説明します。このヘッダーの後ろに 24 ビット ADC 出力が MSB ファーストの 2 の補数コーディングで続きます。

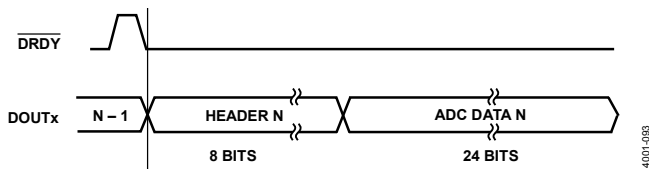


図 96. ADC 出力:8 ビット・ヘッダー、24 ビット ADC 変換データ

表 33. ヘッダー・ステータス・ビット

Bit	Bit Name
7	CHIP_ERROR
6	Filter not settled
5	Repeated data
4	Filter type
3	Filter saturated
[2:0]	Channel ID[2:0]

### チップ・エラー

チップ・エラー・ビットは、重大なエラーが発生したことを示します。このビットがセットされた場合、ビットをクリアするにはリセットが必要です。このビットは、外部クロックが検出されなかった、メモリ・マップ・ビットの状態が突然変わった、または内部 CRC エラーが検出されたことを示します。

外部クロックが検出されなかった場合、ADC チャンネル入力されたアナログ入力電圧にかかわらず、変換結果はすべてゼロとして出力されます。

### フィルタの未セトリング

パワーアップ、リセット、または同期の後に、AD7768/AD7768-4 はデジタル・フィルタをクリアして変換を開始します。デジタル・フィルタの重み付けにより、最初の変換からデータが完全にセトリングされるまでに遅延が発生します。広帯域フィルタと sinc5 フィルタを使用した場合の AD7768/AD7768-4 のセトリング・タイムをそれぞれ表 35 と表 36 に示します。このビットは、このセトリング遅延時間がまだ経過していない場合に設定されます。

### 反復データ

異なるチャンネルが異なるデシメーション・レートを使用した場合、低速チャンネル用にデータ出力が反復されます。このような場合、反復データ・ビットが 1 に設定され、ヘッダーはノーマルとして出力されます。後続の反復された ADC 結果はすべてゼロとして出力されます。このビットは、すべてゼロの変換結果が実数でないことを示します。これは、2 つの異なるデシメーション・レートを選択したことにより、反復データ状態になっていることを示します。この状態は、AD7768/AD7768-4 の SPI 制御中のみに発生します。

フィルタ・タイプ

ピン制御モードの場合は、すべてのチャンネルが1つのフィルタを使用して動作します。ピン制御モードで選択したフィルタは、FILTER ピンのロジック・レベルによって決まります。SPI 制御モードの場合は、モード・レジスタを使用してチャンネルごとにデジタル・フィルタを選択できます。このヘッダー・ビットは、広帯域フィルタを使用しているチャンネルでは0になり、sinc5 フィルタを使用しているチャンネルでは1になります。

フィルタ飽和状態

フィルタ飽和状態ビットは、フィルタ出力が正または負のフルスケールでクリップされていることを示します。信号がフィルタの仕様を超えると、デジタル・フィルタによって信号がクリップされますが、ラップされることはありません。クリッピングは、アナログ入力範囲を超えるアナログ入力、またはデジタル・フィルタでオーバーシュートを発生する可能性のある入力のステップ変化によって発生します。クリッピングは、アナログ入力信号とチャンネル・ゲイン・レジスタ設定の組み合わせにより、フィルタに入力される信号がアナログ入力範囲よりも高くなる場合にも発生します。

チャンネル ID

チャンネル ID ビットは、後続の変換データが発生する ADC チャンネルを示します (表 34 を参照)。

表 34. チャンネル ID とチャンネル番号の関係

Channel	Channel ID 2	Channel ID 1	Channel ID 0
Channel 0	0	0	0
Channel 1	0	0	1
Channel 2	0	1	0
Channel 3	0	1	1
Channel 4	1	0	0
Channel 5	1	0	1
Channel 6	1	1	0
Channel 7	1	1	1

データ・インターフェース:標準変換動作

標準モード動作で、AD7768/AD7768-4 はマスターとして動作し、DSP または FPGA にデータをストリーミングします。AD7768/AD7768-4 はデータ、データ・クロック (DCLK)、立ち下りエッジ・フレーミング信号 (DRDY) をスレーブ・デバイスに供給します。これらすべての信号が同期されています。DSP/FPGA へのデータ・インターフェースの接続を図 102 に示します。FORMATx ピンは、どのようにデータが AD7768/AD7768-4 から出力されるか決定します。

図 97 ~ 図 99 に、標準モードにおいて最大データ・レートで動作しているデータ・インターフェースを示します。これらすべての場合で、データ変換の MSB がデータ・ピンで使用可能になる 1 クロック・サイクル前に DRDY がアサートされています。

各 DRDY 立ち下りエッジは、新しい ADC 変換データの出力を開始します。DRDY 立ち下りエッジ後の最初の 8 ビットはヘッダー・ビットで、最後の 24 ビットは ADC 変換の結果です。

図 97、図 98、および図 99 は、標準変換で動作している AD7768 出力の FORMATx ピンの影響の明白な例です。図 100 と図 101 に、AD7768-4 インターフェース設定の 2 つの例を示します。

図 97 ~ 図 99 は、3 つの FORMATx オプションで AD7768 を最大データ・レートで実行している状態を表しています。

図 97 に FORMATx = 00 の場合を示します。各 ADC には MCLK/4 ビット・レートで動作する独自のデータ出力ピンがあります。ピン制御モードの場合、モード 0xA (高速モード、DCLK = MCLK/4、標準変換、表 20 を参照) を選択し、デシメーション・レートを ×32 に設定することでこれを実現できます。

図 98 に FORMATx = 01 の場合を示します。最大ビット・レートで DOUT1 を共有しています。ピン制御モードの場合、モード 0x8 (高速モード、DCLK = MCLK/1、標準変換) を選択し、デシメーション・レートを ×32 に設定することでこれを実現できます。

ピン制御モードで実行している場合、図 99 に示す例はモード 0x4 (中間モード、DCLK = MCLK/1、標準変換)、デシメーション・レート ×32 を表していて、1 つの DOUTx ピンで可能な最大出力データ容量を提供しています。

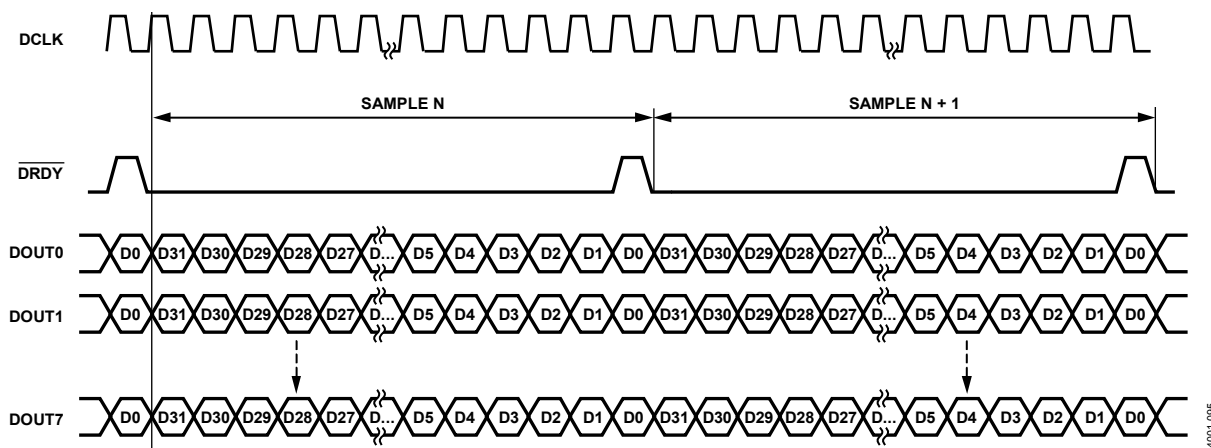


図 97. AD7768 FORMATx = 00:各 ADC に専用データ出力ピンがある場合、最大データ・レート

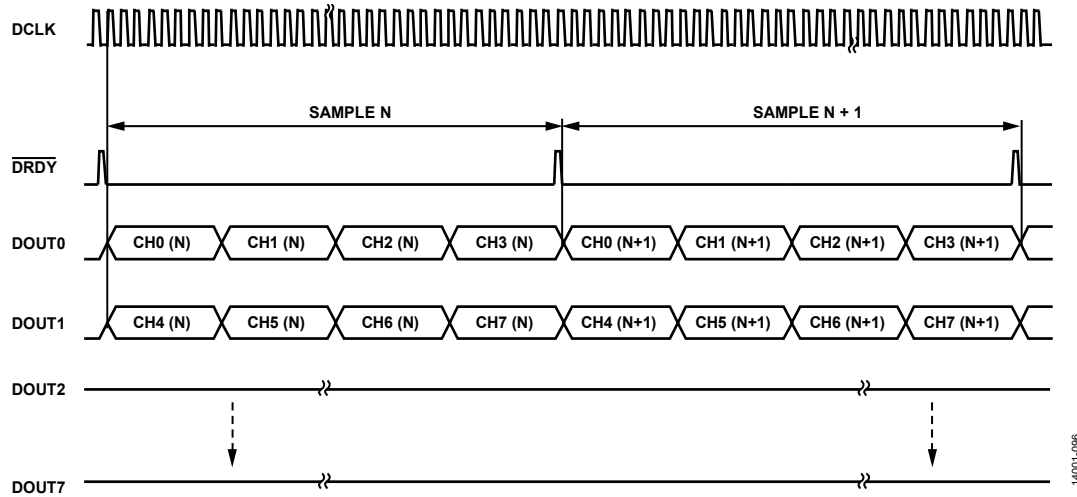


図 98. AD7768 FORMATx = 01:チャンネル 0 ~ チャンネル 3 が DOUT0 を共有し、チャンネル 4 ~ チャンネル 7 が DOUT1 を共有する場合、最大データ・レート

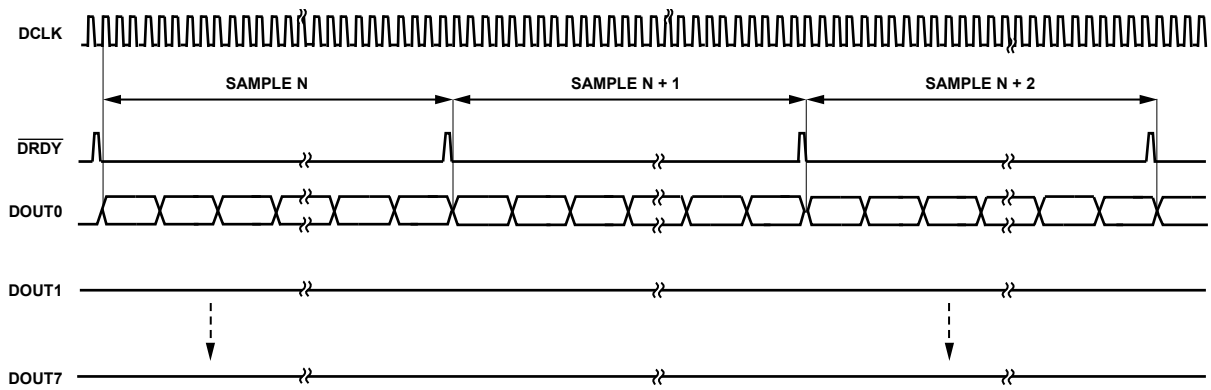


図 99. AD7768 FORMATx = 11 または 10:チャンネル 0 ~ チャンネル 7 が DOUT0 のみに出力、最大データ・レート

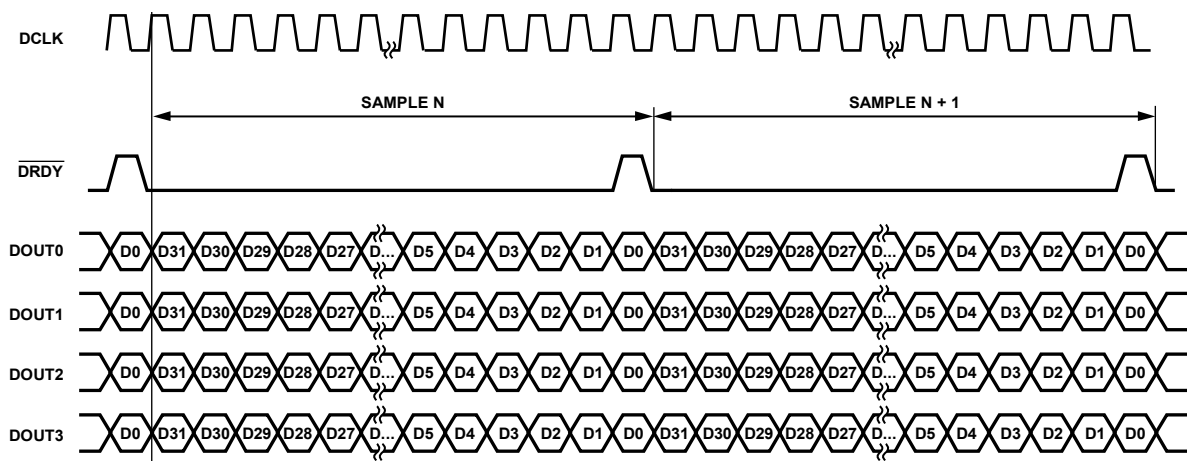
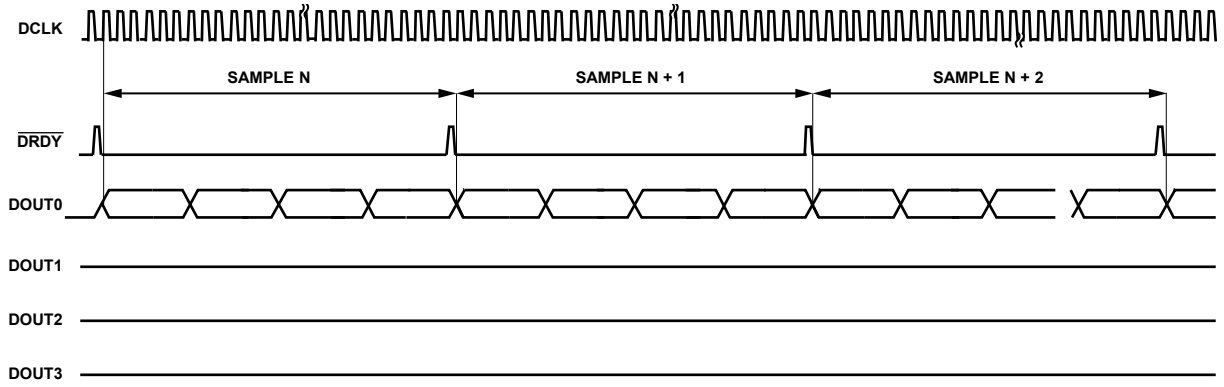
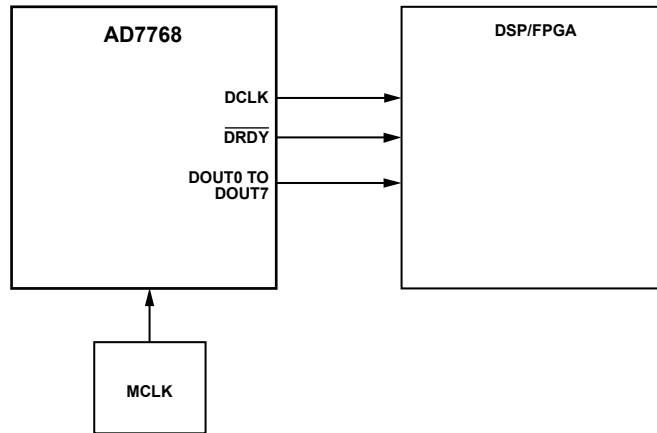


図 100. AD7768-4 FORMAT0 = 0:各 ADC に専用データ出力ピンがある場合、最大データ・レート



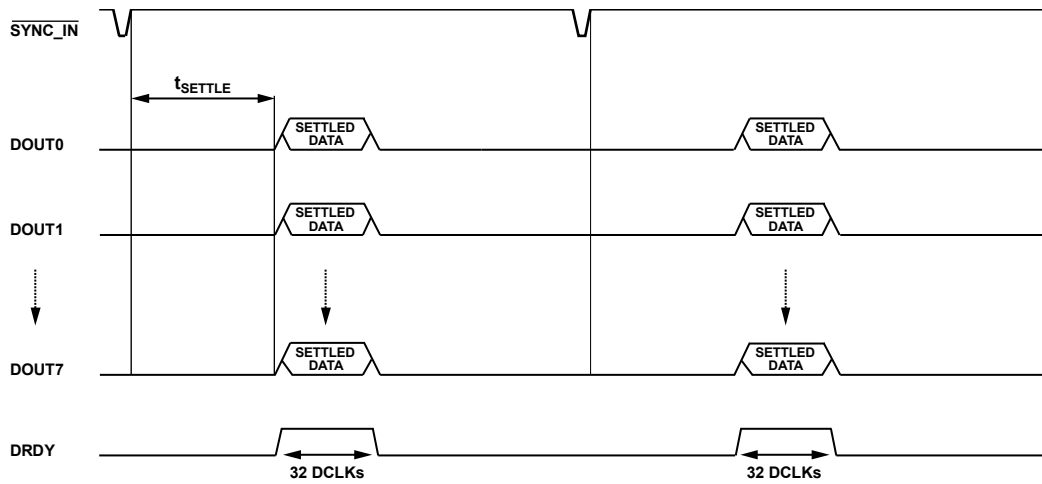
14001-302

図 101. AD7768-4 FORMAT0 = 1:チャンネル 0 ~ チャンネル 3 が DOUT0 のみに出力、最大データ・レート



14001-084

図 102. データ・インターフェース:標準の変換動作、AD7768 = マスター、DSP/FPGA = スレーブ



14001-088

図 103. AD7768 ワンショット・モード



### データ・インターフェース:ワンショット変換動作

ワンショット・モードは、SPI制御モードとピン制御モードの両方で使用できます。この変換モードは、ピン制御モードのときにモード 0xC ~ モード 0xF のいずれかを選択することで使用できます。SPI制御モードの場合は、データ制御レジスタであるレジスタ 0x06 のビット 4 (ワンショット) を設定します。図 103 にワンショット・モードで動作しているデバイスを示します。

ワンショット・モードの場合、AD7768/AD7768-4 は疑似スレーブです。変換は、DSPやFPGAなどのマスター・デバイスのリクエストによって実行されます。SYNC\_IN ピンは、変換リクエストを開始します。ワンショット・モードの場合、すべてのADCが連続的に実行されます。ただし、SYNC\_IN ピンの立ち上がりエッジがデータの出力タイミングを制御します。

データを受信するには、マスターが SYNC\_IN ピンにパルスを入力してフィルタをリセットし、DRDY をロー・レベルにする必要があります。その後 DRDY がハイ・レベルになって、セトリグされた有効なデータをデバイスで使用できることをマスター・デバイスに示します。標準モードとは異なり、DRDY は有効なデータのクロック周期にわたってハイ・レベルの状態を維持した後、再度ロー・レベルになります。このため、この変換モードでは、データのアクティブ・ハイ・フレームに相当します。

マスターが SYNC\_IN にパルスを入力して、AD7768/AD7768-4 がこの信号の立ち上がりエッジを受信すると、デジタル・フィルタがリセットされ、フィルタの全セトリグ・タイムが経過した後にデータが利用可能になります。セトリグ・タイムの期間は、フィルタ・パスとデシメーション・レートによって決まります。sinc5 フィルタでワンショット・モードを実行すると、最高のスループットを得られます。これは、このフィルタのセトリグ・タイムが広帯域フィルタよりも短いからです。

いずれかのチャンネルでセトリグされたデータが利用可能になると、デバイスはすべてのチャンネルからデータを出力します。チャンネル・ヘッダー・ステータス・ビットのビット 6 の値は、データが完全にセトリグされたかどうかを示します。

すべてのチャンネルでデータがセトリグされるまでの期間 ( $t_{SETTLE}$ ) を図 103 に示します。すべてのチャンネルでデータがセトリグされた後に、DRDY がハイ・レベルにアサートされます。また、デバイスがすべてのチャンネルで、セトリグされた必須データを出力した後、DRDY がロー・レベルにアサートされます。各ADCで同じフィルタとデシメーション・レートを設定した場合、最初の DRDY 出力フレームですべてのチャンネルのデータがセトリグされます。これにより、セトリグされたデータの前にあるセトリグされていないデータの期間が排除され、すべてのデータがすべてのADCで同時に出力されます。その後、デバイスは別の SYNC\_IN 信号を待機してから、さらにデータを出力します。

すべてのADCが連続的にサンプリングしているため、ワンショット・モードはAD7768/AD7768-4のサンプリング規則に影響を与えます。特に、SYNC\_IN パルスをデバイスに定期的に送信することはADC出力をサブサンプリングすることになります。SYNC\_IN パルスのレートでサブサンプリングが行われます。コヒーレントなサンプリングを実現して、周波数応答に対するジッタの影響を軽減するには、SYNC\_IN パルスをマスター・クロックに同期する必要があります。

### デージーチェーン接続

デバイスをデージーチェーン接続すると、別々のAD7768/AD7768-4デバイスからの複数のADC出力をカスケード接続することによって、多数のデバイスが同じデータ・インターフェース・ラインを使用することができます。1つのADCデバイスのデータ・インターフェースのみがデジタル・ホストに直接接続されます。

AD7768/AD7768-4 では、複数のデバイスの DOUT0 と DOUT1 をカスケード接続するか、DOUT0 のみを使用してこれを実現できます。2つのデータ出力ピンまたは1つのデータ出力ピンがイネーブルになるかは FORMATx ピンによって決まります。デバイスをデージーチェーン接続できるかどうか、およびチェーンで処理できるデバイスの最大数は、使用する消費電力モード、DCLK、およびデシメーション・レートによって決まります。

デバイスをデージーチェーン接続したときに使用可能な最大 DCLK 周波数は、表 3 または表 5 のタイミング仕様の組み合わせ、デバイス間のデータの伝搬遅延、および各 AD7768/AD7768-4 デバイスでの MCLK 信号間のスキューによって制限されます。伝搬遅延と MCLK スキューは PCB のレイアウトとパターン長に依存します。

この機能は、絶縁された複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムなどで、部品数と接続配線数を削減するうえで特に役立ちます。

AD7768 でデージーチェーン接続した場合、DOUT6 と DOUT7 はシリアル・データ入力になり、DOUT0 と DOUT1 は FORMATx ピンの制御下にあるシリアル・データ出力のままになります。AD7768-4 では、DIN ピンがデージーチェーンのシリアル・データ入力ピンで、DOUT0 がシリアル・データ出力ピンです。

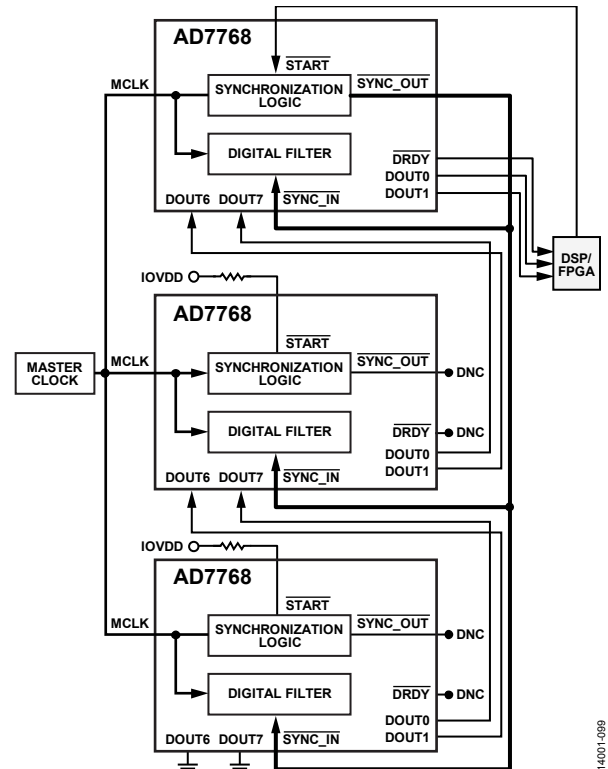


図 104. 複数の AD7768 デバイスのデージーチェーン接続

図 104 に、FORMATx = 01 の場合の AD7768 デバイスのデージーチェーン接続の例を示します。この場合、AD7768 デバイスの DOUT1 ピンと DOUT0 ピンは、チェーン内の次のデバイスの DOUT6 ピンと DOUT7 ピンにカスケード接続されます。データのリードバックはシフト・レジスタのクロッキングに似ており、データが DCLK の立ち上がりエッジでクロックされます。

これは、AD7768 アップストリーム・デバイスの DOUT0 ピンと DOUT1 ピンの出力データを、チェーンのダウストリームにある次の AD7768 デバイスの DOUT6 入力および DOUT7 入力に渡すことで動作します。その後データは、チェーンの最後のダウストリーム・デバイスの DOUT0 ピンと DOUT1 ピンにクロックされるまでチェーン内で移動を続けます。

次のいずれかの方法を使用して、チェーン内のデバイスを同期する必要があります。

- チェーン内のすべてのデバイスの SYNC\_IN ピンに同期信号を入力する
- 最初のデバイスの SYNC\_OUT ピンを、同じデバイスの SYNC\_IN ピンとチェーン内にある他のすべてのデバイスの SYNC\_IN ピンに接続して、START 入力に非同期信号を入力する
- SPI 制御インターフェースを介して SPI\_SYNC コマンドを送信する

図 104 に、START ピンに非同期信号が入力され、最初のデバイスの SYNC\_OUT ピンがチェーン内のすべてのデバイスの SYNC\_IN ピンに接続された構成を示します。

DOUT0 ピンのみを使用した場合、デジタイズチェーン接続は AD7768 と AD7768-4 で同じ方法で実現できます。この場合、AD7768/AD7768-4 のピン 21 のみをシリアル・データ入力ピンとして使用します。

AD7768/AD7768-4 デバイスのデジタイズチェーン・システムでは、2 つの連続する同期パルスを入力してすべての ADC が同期されていることを確認する必要があります。2 つの同期パルスは、複数の AD7768/AD7768-4 デバイスが 1 つの MCLK 信号を共有するシステムでも必要です。この場合、いずれか 1 つのデバイスの DRDY ピンが使用されて、新しいデータが検出されます。

デバイスをデジタイズチェーン接続したときに使用可能な最大 DCLK 周波数は、AD7768/AD7768-4 タイミング仕様 (表 3 と表 5 の  $t_4$ ,  $t_8$ ,  $t_{11}$ )、および PCB 上の AD7768/AD7768-4 デバイスのレイアウトおよび空間によるデバイス間のタイミングのずれに依存します。

インターフェースの最大動作周波数を判断するには、次式を使用します。

$$f_{MAX} = \frac{1}{2 \times (t_{11} + t_4 + t_8 + t_P + t_{SKEW})}$$

ここで

$f_{MAX}$  は、使用可能な最大 DCLK 周波数。

$t_{11}$ ,  $t_4$ , および  $t_8$  は AD7768/AD7768-4 のタイミング仕様です (表 3 と表 5 を参照)。

$t_P$  は、チェーン内で連続する AD7768/AD7768-4 デバイス間のデータの最大伝搬遅延です。

$t_{SKEW}$  は、チェーン内にある AD7768/AD7768-4 デバイスのペアで発生する MCLK 信号の最大スキューです。

## 同期

複数の AD7768/AD7768-4 デバイスをデジタイズチェーン接続する場合は、同期が重要になります。各デバイスが同じベース MCLK 信号でクロックされていることが、複数のデバイスを同期するための基本的な条件です。

AD7768/AD7768-4 は、システムの同期を容易にする 3 つのオプションを備えています。どのオプションを選択するかはシステムによって決まります。具体的には、ベース MCLK 信号と完全に同期された同期パルスを供給できるかどうかによって決まります。

ベース MCLK 信号に同期された信号を提供できない場合は、次の 2 つの方法のいずれかを使用できます。

- 最初の AD7768 または AD7768-4 デバイスに START パルスを入力します。最初の AD7768 または AD7768-4 デバイスが非同期 START パルスをサンプリングし、ローカルで配分するために、ベース MCLK 信号に関する最初のデバイスの SYNC\_OUT でパルスを生成します。
- SPI を介した同期 (SPI 制御モードでのみ利用可能) を使用して最初の AD7768 または AD7768-4 デバイスに同期コマンドを書き込みます。START ピンの手法と同様、SPI 同期は、ローカルで配分するためにベース MCLK 信号に関する最初のデバイスの SYNC\_OUT でパルスを生成します。

どちらの場合も、最初のデバイスの SYNC\_OUT ピンを、同じデバイスの SYNC\_IN ピン、および同期する他のすべてのデバイスの SYNC\_IN ピンに接続します (図 105 を参照)。他のデバイスの SYNC\_OUT ピンはオープン・サーキットのままにしておく必要があります。プルアップ抵抗を通じて、未使用のすべての START ピンをロジック 1 に接続します。

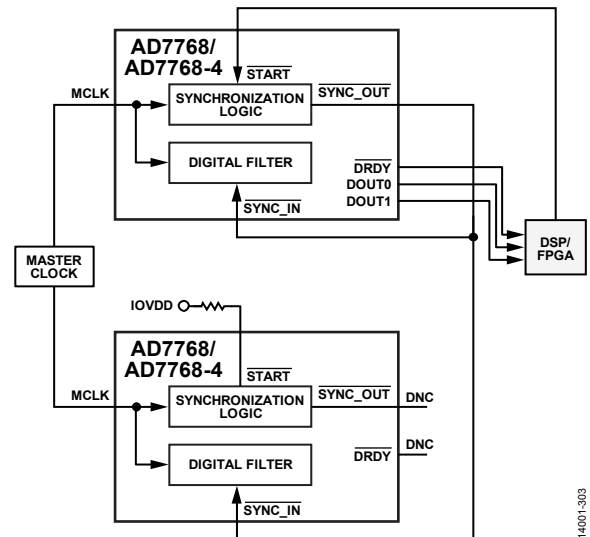


図 105. SYNC\_OUT を使用した複数の AD7768/AD7768-4 デバイスの同期

ベース MCLK に同期された信号を提供できる場合、この信号を SYNC\_IN ピンに直接入力できます。スター・ポイントから信号をルーティングして、各 AD7768/AD7768-4 デバイスの SYNC\_IN ピンに直接接続します(図 106 を参照)。信号は MCLK の立ち上がりエッジでサンプリングされます。セットアップ・タイムとホールド・タイムは SYNC\_IN 入力に関連付けられていて、AD7768/AD7768-4 の MCLK 立ち上がりエッジを基準にしています。

この場合は、プルアップ抵抗を通じて START ピンをロジック 1 に接続します。SYNC\_OUT は未使用で、オープン・サーキットのままにしておくことができます。

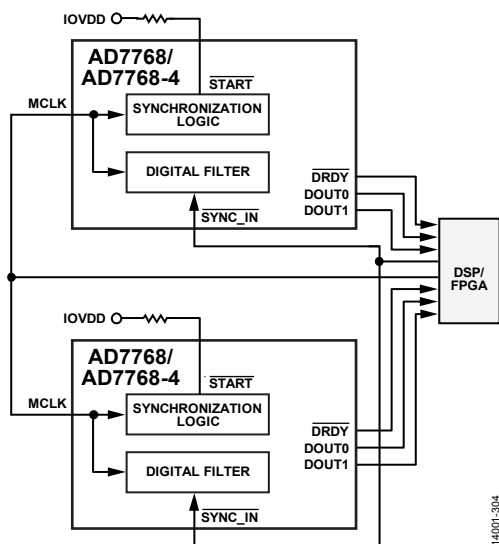


図 106. SYNC\_IN のみを使用した複数の AD7768/AD7768-4 デバイスの同期

### データ・インターフェースでの CRC チェック

AD7768/AD7768-4 はチャンネルごとに 32 ビットを標準で提供します。デフォルトでは、8 ビットの状態・ヘッダーと 24 ビットのデータで構成されています。

ヘッダー・ビットはデフォルトで表 33 のようになっています。ただし、ADC 変換データで CRC チェックを使用することもできます。この機能は、SPI 制御モードで動作している場合のみ使用できます。この機能は、インターフェース設定レジスタ (レジスタ 0x07) の CRC\_SELECT で制御します。この機能を使用した場合、AD7768/AD7768-4 によってチャンネルごとに CRC メッセージが内部で計算されます。その後 CRC は、4 サンプルごと、または 16 サンプルごとに 8 ビット・ヘッダーを置き換えます。

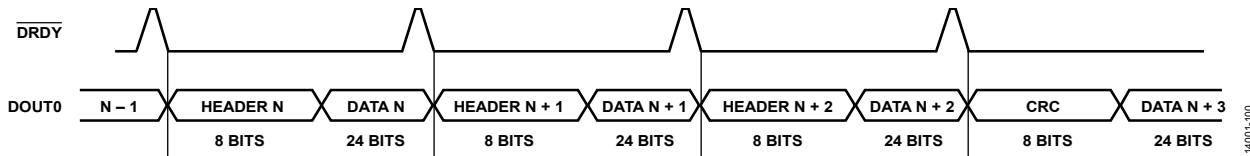


図 107. CRC 4 ビット・ストリーム

4 サンプル・モードで CRC がどのように機能するかの例を以下に示します (図 107 を参照)。

1. AD7768/AD7768-4 に同期パルスが入力された後に、CRC レジスタがクリアされて 0xFF になります。
2. 特定のチャンネルの次の 4 つの 24 ビット変換データ・サンプル (N ~ N+3) が CRC 計算に送られます。
3. 同期パルス後に出力される最初の 3 つのサンプル (N ~ N+2) のヘッダーには、通常の状態・ビットが書き込まれます。
4. 同期パルス後の 4 番目のサンプル (N+3) には、通常の状態・ビットの代わりに 8 ビット CRC が送信され、続けてサンプル変換データが送信されます。この CRC 計算には、CRC ヘッダーの直後に出力される変換データが含まれます。
5. その後、CRC レジスタがクリアされて 0xFF になり、同期パルス後の 5 ~ 8 番目のサンプルでサイクルが再度開始されます。

異なるレートで出力するようにチャンネルを設定することもできます (例えば、チャンネル 0 ではデシメーション・レート × 32、チャンネル 1 ではデシメーション・レート × 64)。この場合も、CRC ヘッダーはすべてのチャンネルで同じタイミングで (つまり、同期後の 4 番目の DRDY パルスのたびに) 現れます。比較的遅い ODR で動作しているチャンネルの場合も CRC は計算され、4 サイクルまたは 16 DRDY サイクルごとに出現します。ヌルのデータが含まれていることを意味している場合もこのようになります。このため、CRC は、ヌルのサンプルのみ、またはヌルのサンプルと実際の変換データの組み合わせで計算されます。

AD7768/AD7768-4 は CRC 多項式を使用して CRC メッセージを計算します。使用する 8 ビットの CRC 多項式は  $x^8 + x^2 + x + 1$  です。

チェックサム生成時、データは 8 ビットごとに左側にシフトされ、8 ビットの 1 で終わる数値を生成します。

多項式の MSB が、データの左端にあるロジック 1 と合うように、多項式の値の位置決めを実行します。排他的論理和 (XOR) 関数をデータに適用して、短い数値を新規生成します。再度、多項式の MSB が、得られたデータの左端にあるロジック 1 と合うように、多項式の値の位置決めを実行します。元データが多項式より小さくなるまで、この手順を繰り返します。これが 8 ビットのチェックサムになります。

表 35. 広帯域フィルタ SYNC\_IN からセトリングされたデータ

Power Mode	Filter Type		Decimation Factor		Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled Data DRDY Rise	
						MCLK Periods	
	Group A	Group B	Group A	Group B	MCLK Periods	Group A	Group B
Fast	Wideband	Wideband	32	Unused	336	8400	Not applicable
	Wideband	Wideband	64	Unused	620	16,748	Not applicable
	Wideband	Wideband	128	Unused	1187	33,443	Not applicable
	Wideband	Wideband	256	Unused	2325	66,837	Not applicable
	Wideband	Wideband	512	Unused	4601	133,625	Not applicable
	Wideband	Wideband	1024	Unused	9153	267,201	Not applicable
	Wideband	Wideband	32	32	758	8822	8822
	Wideband	Wideband	32	64	758	8822	17,014
	Wideband	Wideband	32	128	758	8822	33,526
	Wideband	Wideband	32	256	758	8822	66,934
	Wideband	Wideband	32	512	758	8822	133,622
	Wideband	Wideband	32	1024	758	8822	267,253
	Wideband	Wideband	64	32	759	17,015	8823
	Wideband	Wideband	128	32	760	33,528	8824
	Wideband	Wideband	256	32	762	66,938	8826
	Wideband	Wideband	512	32	782	133,646	8846
	Wideband	Wideband	1024	32	806	267,302	8870
Median	Wideband	Wideband	32	Unused	656	16,784	Not applicable
	Wideband	Wideband	64	Unused	1225	33,481	Not applicable
	Wideband	Wideband	128	Unused	2359	66,871	Not applicable
	Wideband	Wideband	256	Unused	4635	133,659	Not applicable
	Wideband	Wideband	512	Unused	9187	267,235	Not applicable
	Wideband	Wideband	1024	Unused	18,291	534,387	Not applicable
	Wideband	Wideband	32	32	820	16,948	16,948
	Wideband	Wideband	32	64	820	16,948	33,588
	Wideband	Wideband	32	128	820	16,948	66,868
	Wideband	Wideband	32	256	820	16,948	133,684
	Wideband	Wideband	32	512	820	16,948	267,316
	Wideband	Wideband	32	1024	820	16,948	534,580
	Wideband	Wideband	64	32	822	33,590	16,950
	Wideband	Wideband	128	32	824	66,872	16,952
	Wideband	Wideband	256	32	844	133,708	16,972
	Wideband	Wideband	512	32	836	267,332	16,964
	Wideband	Wideband	1024	32	852	534,612	16,980
Eco	Wideband	Wideband	32	Unused	2587	67,099	Not applicable
	Wideband	Wideband	64	Unused	4855	133,879	Not applicable
	Wideband	Wideband	128	Unused	9391	267,439	Not applicable
	Wideband	Wideband	256	Unused	18,495	534,591	Not applicable
	Wideband	Wideband	512	Unused	36,703	1,068,895	Not applicable
	Wideband	Wideband	1024	Unused	73,119	2,137,503	Not applicable
	Wideband	Wideband	32	32	2587	67,099	67,099
	Wideband	Wideband	32	64	2587	67,099	134,683
	Wideband	Wideband	32	128	2587	67,099	267,803
	Wideband	Wideband	32	256	2587	67,099	535,067
	Wideband	Wideband	32	512	2587	67,099	1,069,595
	Wideband	Wideband	32	1024	2587	67,099	2,137,627
	Wideband	Wideband	64	32	2587	134,683	67,099
	Wideband	Wideband	128	32	2587	267,803	67,099
	Wideband	Wideband	256	32	2587	535,067	67,099
	Wideband	Wideband	512	32	2587	1,069,595	67,099
	Wideband	Wideband	1024	32	2587	2,137,627	67,099

表 36. Sinc5 フィルタ SYNC\_IN からセトリングされたデータ<sup>1</sup>

Power Mode	Filter Type		Decimation Factor		Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise MCLK Periods	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled Data DRDY Rise	
						Group A	Group B
	Group A	Group B	Group A	Group B	MCLK Periods	MCLK Periods	MCLK Periods
Fast	Sinc5	Sinc5	32	Unused	199	839	Not applicable
	Sinc5	Sinc5	64	Unused	327	1607	Not applicable
	Sinc5	Sinc5	128	Unused	583	3143	Not applicable
	Sinc5	Sinc5	256	Unused	1095	6215	Not applicable
	Sinc5	Sinc5	512	Unused	2119	12359	Not applicable
	Sinc5	Sinc5	1024	Unused	4167	24,647	Not applicable
	Sinc5	Sinc5	32	32	199	839	839
	Sinc5	Sinc5	32	64	199	839	1607
	Sinc5	Sinc5	32	128	199	839	3143
	Sinc5	Sinc5	32	256	199	839	6215
	Sinc5	Sinc5	32	512	199	839	12,359
	Sinc5	Sinc5	32	1024	199	839	24,647
	Sinc5	Sinc5	64	32	199	1607	839
	Sinc5	Sinc5	1024	32	199	24,647	839
	Median	Sinc5	Sinc5	32	Unused	383	1663
Sinc5		Sinc5	64	Unused	639	3199	Not applicable
Sinc5		Sinc5	128	Unused	1151	6271	Not applicable
Sinc5		Sinc5	256	Unused	2175	12,415	Not applicable
Sinc5		Sinc5	512	Unused	4223	24,703	Not applicable
Sinc5		Sinc5	1024	Unused	8319	49,279	Not applicable
Sinc5		Sinc5	32	32	383	1663	1663
Sinc5		Sinc5	32	64	383	1663	3199
Sinc5		Sinc5	32	128	383	1663	6271
Sinc5		Sinc5	32	256	398	1663	12,415
Sinc5		Sinc5	32	512	398	1663	24,703
Sinc5		Sinc5	32	1024	398	1663	49,279
Sinc5		Sinc5	64	32	383	3199	1663
Sinc5		Sinc5	1024	32	398	49,279	1663
Eco		Sinc5	Sinc5	32	Unused	1487	6607
	Sinc5	Sinc5	64	Unused	2511	12,751	Not applicable
	Sinc5	Sinc5	128	Unused	4559	25,039	Not applicable
	Sinc5	Sinc5	256	Unused	8655	49,615	Not applicable
	Sinc5	Sinc5	512	Unused	16,847	98,767	Not applicable
	Sinc5	Sinc5	1024	Unused	33,231	197,071	Not applicable
	Sinc5	Sinc5	32	32	1487	6607	6607
	Sinc5	Sinc5	32	64	1487	6607	12,751
	Sinc5	Sinc5	32	128	1487	6607	25,039
	Sinc5	Sinc5	32	256	1487	6607	49,615
	Sinc5	Sinc5	32	512	1487	6607	98,767
	Sinc5	Sinc5	32	1024	1487	6607	197,071
	Sinc5	Sinc5	64	32	1487	12,751	6607
	Sinc5	Sinc5	1024	32	1487	197,071	6607

<sup>1</sup> この表は、デフォルトの内部クロック分周設定である MCLK/4（高速モード）、MCLK/8（中間モード）、MCLK/32（エコ・モード）に基づいています。

## 機能

### GPIO 機能

AD7768/AD7768-4 には、SPI モードで動作させた場合に使用できる付加的な GPIO 機能があります。この完全に設定可能なモードにより、デバイスは 5 個の GPIO を動作させることができます。GPIOx ピンは、ピンごとに入力または出力 (読出しまたは書込み) として設定できます。

書込みモードでは、これらの GPIO ピンは、AD7768/AD7768-4 と同じ SPI インターフェースを介してスイッチ、マルチプレクサ、バッファなどの他の回路を制御するのに使用できます。この方法で SPI インターフェースを共有することで、複数の制御信号が必要なシステムと比べて、コントローラからのデータ・ラインの総使用数を削減できます。この共有は、絶縁バリアをまたぐ制御ラインの数を減らすことが重要であるシステムで特に有用です。AD7768 と AD7768-4 で使用可能な GPIO ピンのオプションの詳細については、それぞれ図 108 と図 109 を参照してください。

同様に、GPIO 読出しは便利な機能です。ペリフェラル・デバイスは、この機能を使用して入力 GPIO に情報を送信した後、AD7768/AD7768-4 の SPI インターフェースでこの情報を読み出すことができます。

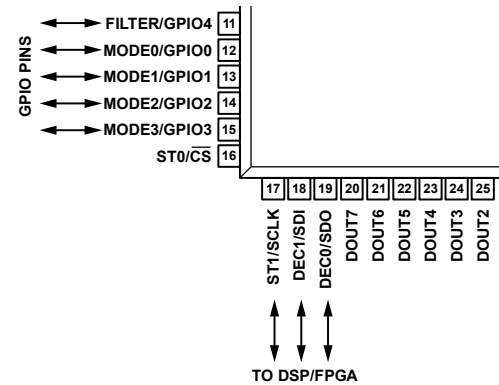


図 108. AD7768 の GPIO 機能

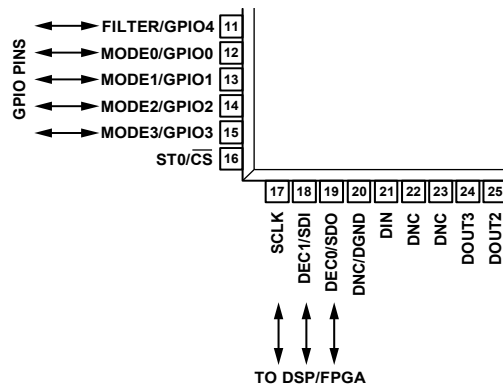


図 109. AD 7768-4 の GPIO 機能

GPIOx ピンの設定制御とリードバックは、レジスタ 0x0E、レジスタ 0x0F、レジスタ 0x10 で設定します (詳細については、表 49、表 50、表 51 (AD7768)、表 75、表 76、表 77 (AD7768-4) を参照)。

## AD7768 のレジスタ・マップの詳細 (SPI 制御)

## AD7768 のレジスタ・マップ

AD7768-4 のレジスタ・マップとレジスタ機能については、表 63 と AD7768-4 のレジスタ・マップの詳細 (SPI 制御) のセクションを参照してください。

表 37. AD7768 の詳細なレジスタ・マップ

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	Channel standby	CH_7	CH_6	CH_5	CH_4	CH_3	CH_2	CH_1	CH_0	0x00	RW	
0x01	Channel Mode A	Unused				FILTER_TYPE_A	DEC_RATE_A			0x0D	RW	
0x02	Channel Mode B	Unused				FILTER_TYPE_B	DEC_RATE_B			0x0D	RW	
0x03	Channel mode select	CH_7_MODE	CH_6_MODE	CH_5_MODE	CH_4_MODE	CH_3_MODE	CH_2_MODE	CH_1_MODE	CH_0_MODE	0x00	RW	
0x04	POWER_MODE	SLEEP_MODE	Unused	POWER_MODE		LVDS_ENABLE	Unused	MCLK_DIV		0x00	RW	
0x05	General configuration	Unused	Reserved	RETIME_EN	VCM_PD	Reserved	Unused	VCM_VSEL		0x08	RW	
0x06	Data control	SPI_SYNC	Unused		SINGLE_SHOT_EN	Unused		SPI_RESET		0x80	RW	
0x07	Interface configuration	Unused				CRC_SELECT		DCLK_DIV		0x0	RW	
0x08	BIST control	Unused							RAM_BIST_START	0x0	RW	
0x09	Device status	Unused				CHIP_ERROR	NO_CLOCK_ERROR	RAM_BIST_PAS	RAM_BIST_RUNNING	0x0	R	
0x0A	Revision ID	REVISION_ID									0x06	R
0x0B	Reserved	Reserved									0x00	R
0x0C	Reserved	Reserved									0x00	R
0x0D	Reserved	Reserved									0x00	R
0x0E	GPIO control	UGPIO_ENABLE	Unused		GPIO4_FILTER	GPIOE3_MODE3	GPIOE2_MODE2	GPIOE1_MODE1	GPIO0_MODE0	0x00	RW	
0x0F	GPIO write data	Unused			GPIO4_WRITE	GPIO3_WRITE	GPIO2_WRITE	GPIO1_WRITE	GPIO0_WRITE	0x00	RW	
0x10	GPIO read data	Unused			GPIO4_READ	GPIO3_READ	GPIO2_READ	GPIO1_READ	GPIO0_READ	0x00	R	
0x11	Precharge Buffer 1	CH3_PREBUF_NEG_EN	CH3_PREBUF_POS_EN	CH2_PREBUF_NEG_EN	CH2_PREBUF_POS_EN	CH1_PREBUF_NEG_EN	CH1_PREBUF_POS_EN	CH0_PREBUF_NEG_EN	CH0_PREBUF_POS_EN	0xFF	RW	
0x12	Precharge Buffer 2	CH7_PREBUF_NEG_EN	CH7_PREBUF_POS_EN	CH6_PREBUF_NEG_EN	CH6_PREBUF_POS_EN	CH5_PREBUF_NEG_EN	CH5_PREBUF_POS_EN	CH4_PREBUF_NEG_EN	CH4_PREBUF_POS_EN	0xFF	RW	
0x13	Positive reference precharge buffer	CH7_REFP_BUF	CH6_REFP_BUF	CH5_REFP_BUF	CH4_REFP_BUF	CH3_REFP_BUF	CH2_REFP_BUF	CH1_REFP_BUF	CH0_REFP_BUF	0x00	RW	
0x14	Negative reference precharge buffer	CH7_REFN_BUF	CH6_REFN_BUF	CH5_REFN_BUF	CH4_REFN_BUF	CH3_REFN_BUF	CH2_REFN_BUF	CH1_REFN_BUF	CH0_REFN_BUF	0x00	RW	
0x1E	Channel 0 offset	CH0_OFFSET_MSB									0x00	RW
0x1F		CH0_OFFSET_MID										
0x20		CH0_OFFSET_LSB										
0x21	Channel 1 offset	CH1_OFFSET_MSB									0x00	RW
0x22		CH1_OFFSET_MID										
0x23		CH1_OFFSET_LSB										
0x24	Channel 2 offset	CH2_OFFSET_MSB									0x00	RW
0x25		CH2_OFFSET_MID										
0x26		CH2_OFFSET_LSB										
0x27	Channel 3 offset	CH3_OFFSET_MSB									0x00	RW
0x28		CH3_OFFSET_MID										
0x29		CH3_OFFSET_LSB										
0x2A	Channel 4 offset	CH4_OFFSET_MSB									0x00	RW
0x2B		CH4_OFFSET_MID										
0x2C		CH4_OFFSET_LSB										
0x2D	Channel 5 offset	CH5_OFFSET_MSB									0x00	RW
0x2E		CH5_OFFSET_MID										
0x2F		CH5_OFFSET_LSB										
0x30	Channel 6 offset	CH6_OFFSET_MSB									0x00	RW
0x31		CH6_OFFSET_MID										
0x32		CH6_OFFSET_LSB										
0x33	Channel 7 offset	CH7_OFFSET_MSB									0x00	RW
0x34		CH7_OFFSET_MID										
0x35		CH7_OFFSET_LSB										

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x36	Channel 0 gain	CH0_GAIN_MSB									0xXX	RW
0x37		CH0_GAIN_MID										
0x38		CH0_GAIN_LSB										
0x39	Channel 1 gain	CH1_GAIN_MSB									0xXX	RW
0x3A		CH1_GAIN_MID										
0x3B		CH1_GAIN_LSB										
0x3C	Channel 2 gain	CH2_GAIN_MSB									0xXX	RW
0x3D		CH2_GAIN_MID										
0x3E		CH2_GAIN_LSB										
0x3F	Channel 3 gain	CH3_GAIN_MSB									0xXX	RW
0x40		CH3_GAIN_MID										
0x41		CH3_GAIN_LSB										
0x42	Channel 4 gain	CH4_GAIN_MSB									0xXX	RW
0x43		CH4_GAIN_MID										
0x44		CH4_GAIN_LSB										
0x45	Channel 5 gain	CH5_GAIN_MSB									0xXX	RW
0x46		CH5_GAIN_MID										
0x47		CH5_GAIN_LSB										
0x48	Channel 6 gain	CH6_GAIN_MSB									0xXX	RW
0x49		CH6_GAIN_MID										
0x4A		CH6_GAIN_LSB										
0x4B	Channel 7 gain	CH7_GAIN_MSB									0xXX	RW
0x4C		CH7_GAIN_MID										
0x4D		CH7_GAIN_LSB										
0x4E	Channel 0 sync offset	CH0_SYNC_OFFSET								0x00	RW	
0x4F	Channel 1 sync offset	CH1_SYNC_OFFSET								0x00	RW	
0x50	Channel 2 sync offset	CH2_SYNC_OFFSET								0x00	RW	
0x51	Channel 3 sync offset	CH3_SYNC_OFFSET								0x00	RW	
0x52	Channel 4 sync offset	CH4_SYNC_OFFSET								0x00	RW	
0x53	Channel 5 sync offset	CH5_SYNC_OFFSET								0x00	RW	
0x54	Channel 6 sync offset	CH6_SYNC_OFFSET								0x00	RW	
0x55	Channel 7 sync offset	CH7_SYNC_OFFSET								0x00	RW	
0x56	Diagnostic receiver (Rx)	CH7_RX	CH6_RX	CH5_RX	CH4_RX	CH3_RX	CH2_RX	CH1_RX	CH0_RX	0x00	RW	
0x57	Diagnostic mux control	Unused	GRP_B_SEL			Unused	GRP_A_SEL			0x00	RW	
0x58	Modulator delay control	Unused				CLK_MOD_DEL_EN		Reserved			0x02	RW
0x59	Chop control	Unused				GRP_A_CHOP		GRP_B_CHOP			0x0A	RW



## チャンネル・スタンバイ・レジスタ

アドレス: 0x00、リセット: 0x00、レジスタ名: Channel Standby

チャンネル・スタンバイ・レジスタの適切なビットを設定することで、各 ADC チャンネルを個別にスタンバイ・モードに設定できます。チャンネルがスタンバイ・モードになると、データ出力ストリームでの位置が保持されます。24 個のゼロの変換結果の出力と同様、8 ビット・ヘッダーはすべてゼロになります。

VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768 の外部で使用する場合は、チャンネル 0 をイネーブルにする必要があります。

水晶発振器の励起回路は、チャンネル 4 回路に関連付けられています。チャンネル 4 をスタンバイ・モードにすると、水晶発振器回路もディスエーブルになり、最大の節電が実現されます。AD7768 で外部水晶発振器を使用する場合は、チャンネル 4 をイネーブルにする必要があります。

表 38. チャンネル・スタンバイのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	CH_7	0 1	チャンネル 7 イネーブル スタンバイ	0x0	RW
6	CH_6	0 1	チャンネル 6 イネーブル スタンバイ	0x0	RW
5	CH_5	0 1	チャンネル 5 イネーブル スタンバイ	0x0	RW
4	CH_4	0 1	チャンネル 4 イネーブル スタンバイ	0x0	RW
3	CH_3	0 1	チャンネル 3 イネーブル スタンバイ	0x0	RW
2	CH_2	0 1	チャンネル 2 イネーブル スタンバイ	0x0	RW
1	CH_1	0 1	チャンネル 1 イネーブル スタンバイ	0x0	RW
0	CH_0	0 1	チャンネル 0 イネーブル スタンバイ	0x0	RW

## チャンネル・モード A レジスタ

アドレス: 0x01、リセット: 0x0D、レジスタ名: Channel Mode A

AD7768 ADC では、2つのモード・オプションを使用できます。チャンネル・モードは、チャンネル・モード A レジスタとチャンネル・モード B レジスタの値によって定義されます。その後、各モードを必要に応じて ADC チャンネルにマップします。チャンネル・モード A とチャンネル・モード B では、異なるフィルタ・タイプおよびデシメーション・レートを選択して、任意の ADC チャンネルにマップすることができます。

異なるデシメーション・レートを選択した場合、AD7768 は選択した最も速いデシメーション・レートでデータ・レディ信号を出力します。遅い出力データ・レートで実行されるチャンネルは、遅いレートでのみ更新されます。有効な結果データの間で、チャンネルのデータがゼロに設定され、実際の変換結果と区別できるように繰り返されたデータ・ビットがヘッダー・ステータス・ビットに設定されます (ADC 変換出力:ヘッダーとデータのセクションを参照)。

表 39. チャンネル・モード A のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
3	FILTER_TYPE_A	0 1	フィルタ選択 広帯域フィルタ Sinc5 フィルタ	0x1	RW
[2:0]	DEC_RATE_A	000 001 010 011 100 101 110 111	デシメーション・レート選択 ×32 ×64 ×128 ×256 ×512 ×1024 ×1024 ×1024	0x5	RW

### チャンネル・モード B レジスタ

アドレス:0x02、リセット:0x0D、レジスタ名:Channel Mode B

表 40. チャンネル・モード B のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
3	FILTER_TYPE_B	0 1	フィルタ選択 広帯域フィルタ Sinc5 フィルタ	0x1	RW
[2:0]	DEC_RATE_B	000 001 010 011 100 101 110 111	デシメーション・レート選択 ×32 ×64 ×128 ×256 ×512 ×1024 ×1024 ×1024	0x5	RW

### チャンネル・モード選択レジスタ

アドレス:0x03、リセット:0x00、レジスタ名:Channel Mode Select

このレジスタは、各 ADC チャンネルのマッピング（チャンネル・モード A またはチャンネル・モード B）を選択します。

表 41. チャンネル・モード選択のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	CH_7_MODE	0 1	チャンネル 7 モード A モード B	0x0	RW
6	CH_6_MODE	0 1	チャンネル 6 モード A モード B	0x0	RW
5	CH_5_MODE	0 1	チャンネル 5 モード A モード B	0x0	RW
4	CH_4_MODE	0 1	チャンネル 4 モード A モード B	0x0	RW
3	CH_3_MODE	0 1	チャンネル 3 モード A モード B	0x0	RW

ビット	ビット名	設定	説明	リセット	アクセス
2	CH_2_MODE	0 1	チャンネル 2 モード A モード B	0x0	RW
1	CH_1_MODE	0 1	チャンネル 1 モード A モード B	0x0	RW
0	CH_0_MODE	0 1	チャンネル 0 モード A モード B	0x0	RW

## 消費電力モード選択レジスタ

アドレス:0x04、リセット:0x00、レジスタ名:POWER\_MODE

表 42. POWER\_MODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SLEEP_MODE	0 1	スリープ・モードの場合、デジタル・クロックの大半がディスエーブルになり、すべての ADC がディスエーブルになります。アナログ LDO はディスエーブルになりません。 AD7768 の SPI は機能していて、使用することができます。このビットに書き込みを行うと、AD7768 が再度スリープ・モードから復帰します。 通常動作。 スリープ・モード。	0x0	RW
[5:4]	POWER_MODE	00 10 11	消費電力モード。消費電力モード・ビットは、AD7768 のすべての ADC で使用されるバイアス電流の消費電力モード設定を制御します。アプリケーションの要件を満たすための消費電流の目標値を選択できます。正しい MCLK 分周設定にマップした場合、高速、中間、およびエコの消費電力モードは、最適な性能を発揮します。これらの消費電力モード・ビットは、ADC の MCLK 分周を制御しません。MCLK 入力の分周の制御については、MCLK_DIV ビットを参照してください。 エコ・モード。 中間モード。 高速モード。	0x0	RW
3	LVDS_ENABLE	0 1	LVDS クロック。 0 LVDS 入力クロックはディスエーブル。 1 LVDS 入力クロックはイネーブル。	0x0	RW
[1:0]	MCLK_DIV	00 10 11	MCLK 分周。MCLK 分周ビットは、AD7768 に入力される MCLK と各 ADC 変調器が使用するクロックの分周比を制御します。適切な分周比は、消費電力モード、デシメーション・レート、およびシステムで使用可能なベース MCLK によって決まります。MCLK_DIV を正しく設定する方法の詳細については、クロック供給、サンプリング・ツリー、およびパワー・スケールリングのセクションを参照してください。 00 MCLK/32: ベース MCLK = 32.768 MHz の場合、エコ・モードの MCLK/32 に設定。 10 MCLK/8: ベース MCLK = 32.768 MHz の場合、中間モードの MCLK/8 に設定。 11 MCLK/4: ベース MCLK = 32.768 MHz の場合、高速モードの MCLK/4 に設定。	0x0	RW

## 全般的なデバイス設定レジスタ

アドレス:0x05、リセット:0x08、レジスタ名:General Configuration

表 43. 全般的な設定のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
5	RETIME_EN	0 1	SYNC_OUT 信号再タイミングのイネーブル・ビット。 0 ディスエーブル: SYNC_OUT の通常のタイミング。 1 イネーブル: SYNC_OUT 信号が代替 MCLK エッジから供給される。	0x0	RW

ビット	ビット名	設定	説明	リセット	アクセス
4	VCM_PD	0 1	VCM バッファ・パワーダウン。 イネーブル:VCM バッファは通常モード。 パワーダウン:VCM バッファはパワーダウン状態。	0x0	RW
[1:0]	VCM_VSEL	00 01 10 11	VCM 電圧。これらのビットは、VCM ピンの出力電圧を選択します。この電圧は AVDD1 電源から供給され、AVDD1 電圧の 1/2、または AVSS を基準にした他の固定電圧として出力できます。VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768 の外部で使用する場合は、チャンネル 0 をイネーブルにする必要があります。 (AVDD1 - AVSS)/2 V。 1.65 V。 2.5 V。 2.14 V。	0x0	RW

### データ制御: ソフト・リセット、同期、およびシングルショット制御レジスタ

アドレス:0x06、リセット:0x80、レジスタ名:Data Control

表 44. データ制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SPI_SYNC	0 1	AD7768 のソフトウェア同期。このコマンドは、START ピンに信号パルスを送信するのと同じ効果があります。SPI_SYNC を動作させるには、このビットに 2 回書き込みを行う必要があります。まず、0 を書き込んで SPI_SYNC をロー・レベルに設定し、その後 1 を書き込んで SPI_SYNC を再度ロジック・ハイに設定します。SPI_SYNC コマンドは、SCLK の最後の立ち上がりエッジの後に SPI 命令で認識されます。このとき、SPI_SYNC ビットがロー・レベルからハイ・レベルに変わります。その後 SPI_SYNC コマンドは、AD7768 MCLK と同期された状態で SYNC_OUT ピンに出力されます。SYNC_OUT 信号を PCB の SYNC_IN ピンに接続する必要があります。SYNC_OUT ピンを他の AD7768 デバイスの SYNC_IN ピンに接続して、大規模なチャンネル・カウント同時サンプリング・システムを実現することもできます。SYNC_IN ピンに現れる同期パルスに従って、AD7768 のデジタル・フィルタはリセットされます。フィルタの全セトリング・タイムが経過した後、有効なデータがデータ・インターフェースに出力されます。AD7768 デバイスのデジタイゼーション・システムでは、2 つの連続する同期パルスを入力してすべての ADC が同期されていることを確認する必要があります。2 つの同期パルスは、複数の AD7768 デバイスが 1 つの MCLK 信号を共有するシステムでも必要です。この場合、いずれか 1 つのデバイスの DRDY ピンを使用して新しいデータが検出されます。 0 SPI_SYNC ロー・レベルに切り替わります。 1 SPI_SYNC ハイ・レベルに切り替わります。	0x1	RW
4	SINGLE_SHOT_EN	0 1	ワンショット・モード。ワンショット・モードがイネーブルになります。ワンショット・モードの場合、AD7768 は SYNC_IN 立ち上がりエッジに対する応答として変換結果を出力します。 0 ディスエーブル。 1 イネーブル。	0x0	RW
[1:0]	SPI_RESET	00 01 10 11	ソフト・リセット。これらのビットにより、SPI ポート経由でデバイスの完全なリセットを行えます。リセットを行うには、2 つの連続するコマンドを正しい順序で受信する必要があります。まず、ソフト・リセット・レジスタに 0x03 を書き込み、次にソフト・リセット・レジスタに 0x02 を書き込みます。このシーケンスにより、デジタル・コアがリセットされ、すべてのレジスタがデフォルト値に戻ります。ソフト・リセットの後に SPI マスターが AD7768 にコマンドを送信した場合、デバイスは次のフレームでそのコマンドに出力 0x0E00 で応答します。 00 影響なし。 01 影響なし。 10 2 番目のリセット・コマンド。 11 最初のリセット・コマンド。	0x0	RW

## インターフェース設定レジスタ

アドレス:0x07、リセット:0x0、レジスタ名:Interface Configuration

表 45. インターフェース設定のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[3:2]	CRC_SELECT	00 01 10 11	CRC 選択。これらのビットにより、データ・インターフェースに CRC を実装できます。選択した CRC オプションに応じて、4 番目または 16 番目の出力サンプルごとに CRC がヘッダーを置換します。CRC には 2 つのオプションがあり、両方とも同じ多項式 $x^8 + x^2 + x + 1$ を使用します。これらのオプションにより、16 番目のサンプルごとに CRC 計算が行われるように実行頻度を少なくして CRC 計算のデューティ・サイクルを低減したり、4 番目の変換ごとに行われるように実行頻度を多くしたりできます。CRC はチャンネルごとに計算され、変換データのみが含まれます。 CRC なし。すべての変換でステータス・ビット。 4 サンプルごとにヘッダーを CRC メッセージで置換。 16 サンプルごとにヘッダーを CRC メッセージで置換。 16 サンプルごとにヘッダーを CRC メッセージで置換。	0x0	RW
[1:0]	DCLK_DIV	00 01 10 11	DCLK 分周器。これらのビットは、DOUTx ピンに変換データをクロック出力するのに使用する DCLK クロックの分周を制御します。DCLK 信号は、AD7768 に入力された MCLK から供給されます。DCLK 分周モードにより、アプリケーションに合わせて DCLK 出力を最適化できます。アプリケーションごとに DCLK を最適化すべきかどうかは、ユーザーの要件によって決まります。AD7768 が最小数の DOUTx ピンで最高容量の出力を使用している場合（例えば、DOUT0 ピンと DOUT1 ピンを使用してデシメーション・レート 32 で実行している場合）、DCLK と MCLK を同じ値にする必要があります。この場合、変換期間内にすべてのデータを出力する唯一の方法は、分周なしの設定を選択することです。ADC を高いデシメーション・レートの高速モードで実行したり、MCLK と同じ速度で DCLK を実行する必要がない中間モードやエコ・モードで実行したりする場合があります。このような場合、DCLK 分周によりクロック速度を遅くして、これらの信号のルーティングと分離を簡単にすることができます。	0x0	RW

## デジタル・フィルタ RAM 内蔵セルフ・テスト (BIST) レジスタ

アドレス:0x08、リセット:0x0、レジスタ名:BIST Control

表 46. BIST 制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
0	RAM_BIST_START	0 1	RAM BIST。フィルタ RAM BIST は、内部 RAM 向けの内蔵セルフ・テストです。このテストを実行すると、通常の ADC 変換が中断されます。通常の ADC 動作を再開するには、このテストの完了後に同期パルスが必要です。ユーザー設定に応じて、一定間隔でテストを実行できます。RAM BIST のステータスと結果は、デバイス・ステータス・レジスタで確認できます。表 47 の RAM_BIST_PASS ビットと RAM_BIST_RUNNING ビットを参照してください。 オフ。 RAM BIST を開始。	0x0	RW

## ステータス・レジスタ

アドレス:0x09、リセット:0x0、レジスタ名:Device Status

表 47. デバイス・ステータスのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
3	CHIP_ERROR	0 1	チップ・エラー。チップ・エラーは、各 ADC 変換出力のステータス・バイト内に出力されるグローバル・エラー・フラグです。次のビットにより、チップ・エラー・ビットがロジック・ハイに設定されます。パワーアップ後に内部でハード・コードされた設定が CRC チェックに合格しない。内部メモリの XOR チェックに合格しない（このチェックはバックグラウンドで連続的に実行されます）。パワーアップ時にクロック・エラーが検出された。 エラーなし。 エラーあり。	0x0	R
2	NO_CLOCK_ERROR	0 1	外部クロック・チェック。このビットは、外部で入力された MCLK が正しく検出されたかどうかを示します。パワーアップ時に ADC に MCLK が正しく入力されない場合は、このビットがセットされ、DCLK 周波数が約 16 MHz になります。このビットがセットされた場合、データ出力ヘッダーのステータス・ビットのチップ・エラー・ビットがロジック・ハイに設定され、ADC チャンネルに入力されたアナログ入力電圧にかかわらず、変換結果はすべてゼロとして出力されます。 MCLK 検出。 MCLK 未検出。	0x0	R
1	RAM_BIST_PASS	0 1	BIST 合格/不合格。RAM BIST 結果ステータス。このビットは、最新の RAM BIST の結果を示します。結果はこのレジスタにラッチされ、デバイスをリセットすることでのみクリアできます。 BIST 不合格または未実行。 BIST 合格。	0x0	R
0	RAM_BIST_RUNNING	0 1	BIST ステータス。このビットの値をリード・バックすることで、BIST テストが終了した時点でポーリングできます。 BIST 未実行。 BIST 実行中。	0x0	R

## リビジョン識別レジスタ

アドレス:0x0A、リセット:0x06、レジスタ名:Revision ID

表 48. リビジョン ID のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	REVISION_ID	ASIC リビジョン。リビジョンの詳細の 8 ビット ID。	0x06	R

## GPIO 制御レジスタ

アドレス:0x0E、リセット:0x00、レジスタ名:GPIO Control

表 49. GPIO 制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	UGPIO_ENABLE	0 1	ユーザー GPIO イネーブル。GPIOx ピンは 2 つの機能で共用されるピンで、デバイスが SPI 制御モードの場合のみ動作させることができます。デフォルトでは、AD7768 が SPI 制御モードでパワーアップされたときに GPIOx ピンはディスエーブルになります。このピンは、すべての GPIOx 入出力のユニバーサルなイネーブル/ディスエーブルです。各汎用ピンの方向は、このレジスタのビット [4:0] によって決まります。 GPIO ディスエーブル。 GPIO イネーブル。	0x0	RW
4	GPIOE4_FILTER	0 1	GPIO4 の方向。このビットは、入力または出力のいずれかとして GPIO4 の方向を割り当てます。SPI 制御の場合、GPIO4 は FILTER/GPIO4 ピンであるピン 11 にマップされます。 入力。 出力。	0x0	RW

ビット	ビット名	設定	説明	リセット	アクセス
3	GPIOE3_MODE3	0 1	GPIO3 の方向。このビットは、入力または出力のいずれかとして GPIO3 の方向を割り当てます。SPI 制御の場合、GPIO3 は MODE3/GPIO3 ピンであるピン 15 にマップされます。 0 入力。 1 出力。	0x0	RW
2	GPIOE2_MODE2	0 1	GPIO2 の方向。このビットは、入力または出力のいずれかとして GPIO2 の方向を割り当てます。SPI 制御の場合、GPIO2 は MODE2/GPIO2 ピンであるピン 14 にマップされます。 0 入力。 1 出力。	0x0	RW
1	GPIOE1_MODE1	0 1	GPIO1 の方向。このビットは、入力または出力のいずれかとして GPIO1 の方向を割り当てます。SPI 制御の場合、GPIO1 は MODE1/GPIO1 ピンであるピン 13 にマップされます。 0 入力。 1 出力。	0x0	RW
0	GPIO0_MODE0	0 1	GPIO0 の方向。このビットは、入力または出力のいずれかとして GPIO0 の方向を割り当てます。SPI 制御の場合、GPIO0 は MODE0/GPIO0 ピンであるピン 12 にマップされます。 0 入力。 1 出力。	0x0	RW

### GPIO 書込みデータ・レジスタ

アドレス:0x0F、リセット:0x00、レジスタ名:GPIO Write Data

このレジスタは、汎用出力として選択した場合、各汎用ピンに設定されるように値を書き込みます。ビット [4:0] 以降の各ビットが GPIOx ピンに直接マップされます。

表 50. GPIO 書込みデータのビットの説明

ビット	ビット名	説明	リセット	アクセス
4	GPIO4_WRITE	GPIO4/FILTER	0x0	RW
3	GPIO3_WRITE	GPIO3/MODE3	0x0	RW
2	GPIO2_WRITE	GPIO2/MODE2	0x0	RW
1	GPIO1_WRITE	GPIO1/MODE1	0x0	RW
0	GPIO0_WRITE	GPIO0/MODE0	0x0	RW

### GPIO 読出しデータ・レジスタ

アドレス:0x10、リセット:0x00、レジスタ名:GPIO Read Data

このレジスタは、汎用入力として動作するように選択した場合、汎用ピンのロジック入力レベルの値をリード・バックします。ビット [4:0] 以降の各ビットが GPIO0 ~ GPIO4 ピンに直接マップされます。

表 51. GPIO 読出しデータのビットの説明

ビット	ビット名	説明	リセット	アクセス
4	GPIO4_READ	GPIO4/FILTER	0x0	R
3	GPIO3_READ	GPIO3/MODE3	0x0	R
2	GPIO2_READ	GPIO2/MODE2	0x0	R
1	GPIO1_READ	GPIO1/MODE1	0x0	R
0	GPIO0_READ	GPIO0/MODE0	0x00	R

### アナログ入力プリチャージ・バッファのイネーブル・レジスタ、チャンネル 0 ~ チャンネル 3

アドレス:0x11、リセット:0xFF、レジスタ名:Precharge Buffer 1

このレジスタは、アナログ入力のプリチャージ・バッファをオンまたはオフにします。これらのレジスタに書き込む場合は、必要なビット設定の逆数を書き込む必要があります。例えば、このレジスタのビット 7 をクリアするには、レジスタに 0x01 を書き込む必要があります。これにより、ビット 7 がクリアされ、その他のすべてのビットがセットされます。0x01 を書き込んだ後に再度レジスタを読み出した場合、読み出されるデータは 0xFE になります。

表 52. プリチャージ・バッファ 1 のビットの説明

ビット	ビット名	設定	説明	リセット
7	CH3_PREBUF_NEG_EN	0 1	0 オフ 1 オン	0x1

ビット	ビット名	設定	説明	リセット
6	CH3_PREBUF_POS_EN	0	オフ	0x1
		1	オン	
5	CH2_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
4	CH2_PREBUF_POS_EN	0	オフ	0x1
		1	オン	
3	CH1_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
2	CH1_PREBUF_POS_EN	0	オフ	0x1
		1	オン	
1	CH0_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
0	CH0_PREBUF_POS_EN	0	オフ	0x1
		1	オン	

### アナログ入力プリチャージ・バッファのイネーブル・レジスタ、チャンネル4～チャンネル7

アドレス:0x12、リセット:0xFF、レジスタ名:Precharge Buffer 2

このレジスタは、アナログ入力のプリチャージ・バッファをオンまたはオフにします。これらのレジスタに書き込む場合は、必要なビット設定の逆数を書き込む必要があります。例えば、このレジスタのビット7をクリアするには、レジスタに0x01を書き込む必要があります。これにより、ビット7がクリアされ、その他のすべてのビットがセットされます。0x01を書き込んだ後に再度レジスタを読み出した場合、読み出されるデータは0xFEになります。

表 53. プリチャージ・バッファ 2 のビットの説明

ビット	ビット名	設定	説明	リセット
7	CH7_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
6	CH7_PREBUF_POS_EN	0	オフ	0x1
		1	オン	
5	CH6_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
4	CH6_PREBUF_POS_EN	0	オフ	0x1
		1	オン	
3	CH5_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
2	CH5_PREBUF_POS_EN	0	オフ	0x1
		1	オン	
1	CH4_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
0	CH4_PREBUF_POS_EN	0	オフ	0x1
		1	オン	

### 正のリファレンス・プリチャージ・バッファのイネーブル・レジスタ

アドレス:0x13、リセット:0x00、レジスタ名:Positive Reference Precharge Buffer

このレジスタは、チャンネル0～チャンネル7の各ADCへの正のリファレンス入力のプリチャージ・バッファをオンまたはオフにします。

表 54. 正のリファレンス・プリチャージ・バッファのビットの説明

ビット	ビット名	設定	説明	リセット
7	CH7_REFP_BUF	0	オフ	0x0
		1	オン	
6	CH6_REFP_BUF	0	オフ	0x0
		1	オン	
5	CH5_REFP_BUF	0	オフ	0x0
		1	オン	



ビット	ビット名	設定	説明	リセット
4	CH4_REFP_BUF	0	オフ	0x0
		1	オン	
3	CH3_REFP_BUF	0	オフ	0x0
		1	オン	
2	CH2_REFP_BUF	0	オフ	0x0
		1	オン	
1	CH1_REFP_BUF	0	オフ	0x0
		1	オン	
0	CH0_REFP_BUF	0	オフ	0x0
		1	オン	

### 負のリファレンス・プリチャージ・バッファのイネーブル・レジスタ

アドレス:0x14、リセット:0x00、レジスタ名:Negative Reference Precharge Buffer

このレジスタは、チャンネル0～チャンネル7の各ADCへの負のリファレンス入力のプリチャージ・バッファをオンまたはオフにします。

表 55. 負のリファレンス・プリチャージ・バッファのビットの説明

ビット	ビット名	設定	説明	リセット
7	CH7_REFN_BUF	0	オフ	0x0
		1	オン	
6	CH6_REFN_BUF	0	オフ	0x0
		1	オン	
5	CH5_REFN_BUF	0	オフ	0x0
		1	オン	
4	CH4_REFN_BUF	0	オフ	0x0
		1	オン	
3	CH3_REFN_BUF	0	オフ	0x0
		1	オン	
2	CH2_REFN_BUF	0	オフ	0x0
		1	オン	
1	CH1_REFN_BUF	0	オフ	0x0
		1	オン	
0	CH0_REFN_BUF	0	オフ	0x0
		1	オン	

### オフセット・レジスタ

CHx\_OFFSET\_MSB、CHx\_OFFSET\_MID、CHx\_OFFSET\_LSB レジスタは、チャンネルのオフセットを調整するための 24 ビットの符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理論的な公称値 0x555555 の場合、オフセット・レジスタの LSB 調整により、デジタル出力が LSB 換算でその -4/3 倍だけします。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が -133 LSB 変化します。オフセット調整はゲイン調整の前に行われるため、4/3 の比率は CHx\_GAIN\_x レジスタを介したゲイン調整と比例して変化します。リセットまたは電源再投入の後、レジスタ値はデフォルトの出荷時設定に戻ります。

表 56. チャンネルごとの 24 ビット・オフセット・レジスタ、各チャンネルの 3 つの 8 ビット・レジスタ、つまり MSB、MID、LSB に分割

アドレス			名前	説明	リセット			アクセス
MSB	Mid	LSB			MSB	Mid	LSB	
0x1E	0x1F	0x20	チャンネル 0 オフセット	チャンネル 0 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x21	0x22	0x23	チャンネル 1 オフセット	チャンネル 1 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x24	0x25	0x26	チャンネル 2 オフセット	チャンネル 2 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x27	0x28	0x29	チャンネル 3 オフセット	チャンネル 3 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x2A	0x2B	0x2C	チャンネル 4 オフセット	チャンネル 4 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x2D	0x2E	0x2F	チャンネル 5 オフセット	チャンネル 5 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x30	0x31	0x32	チャンネル 6 オフセット	チャンネル 6 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x33	0x34	0x35	チャンネル 7 オフセット	チャンネル 7 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW

## ゲイン・レジスタ

各 ADC チャンネルには、ゲイン係数が関連付けられています。この係数は MSB、MID、LSB として分割された 3 つのシングルバイト・レジスタに格納されています。各ゲイン・レジスタは、出荷時にプログラムされています。通常、このゲインは 0x555555 付近の値になっています（ADC チャンネルの場合）。ゲイン・レジスタ設定は上書きできますが、リセットまたは電源再投入の後にゲイン・レジスタ値はハード・コードされた出荷時設定に戻ります。

表 57. チャンネルごとの 24 ビット・ゲイン・レジスタ、各チャンネルの 3 つの 8 ビット・レジスタ、MSB、MID、LSB に分割

アドレス			名前	説明	リセット			アクセス
MSB	Mid	LSB			MSB	Mid	LSB	
0x36	0x37	0x38	チャンネル 0 ゲイン	チャンネル 0 ゲイン・レジスタ、上位、中位、下位バイト（合計 24 ビット）	0xXX	0xXX	0xXX	RW
0x39	0x3A	0x3B	チャンネル 1 ゲイン	チャンネル 1 ゲイン・レジスタ、上位、中位、下位バイト（合計 24 ビット）	0xXX	0xXX	0xXX	RW
0x3C	0x3D	0x3E	チャンネル 2 ゲイン	チャンネル 2 ゲイン・レジスタ、上位、中位、下位バイト（合計 24 ビット）	0xXX	0xXX	0xXX	RW
0x3F	0x40	0x41	チャンネル 3 ゲイン	チャンネル 3 ゲイン・レジスタ、上位、中位、下位バイト（合計 24 ビット）	0xXX	0xXX	0xXX	RW
0x42	0x43	0x44	チャンネル 4 ゲイン	チャンネル 4 ゲイン・レジスタ、上位、中位、下位バイト（合計 24 ビット）	0xXX	0xXX	0xXX	RW
0x45	0x46	0x47	チャンネル 5 ゲイン	チャンネル 5 ゲイン・レジスタ、上位、中位、下位バイト（合計 24 ビット）	0xXX	0xXX	0xXX	RW
0x48	0x49	0x4A	チャンネル 6 ゲイン	チャンネル 6 ゲイン・レジスタ、上位、中位、下位バイト（合計 24 ビット）	0xXX	0xXX	0xXX	RW
0x4B	0x4C	0x4D	チャンネル 7 ゲイン	チャンネル 7 ゲイン・レジスタ、上位、中位、下位バイト（合計 24 ビット）	0xXX	0xXX	0xXX	RW

## 同期位相オフセット・レジスタ

AD7768 には、すべてのチャンネル用に 1 つの同期信号があります。同期位相オフセット・レジスタにより、SYNC\_IN ピンで受け取った同期エッジに関して各チャンネルの位相遅延を変更できます。この機能の使用の詳細については、同期位相オフセットの調整のセクションを参照してください。

表 58. チャンネルごとの 8 ビット同期位相オフセット・レジスタ

アドレス	名前	説明	リセット	アクセス
0x4E	チャンネル 0 同期オフセット	チャンネル 0 同期位相オフセット・レジスタ	0x00	RW
0x4F	チャンネル 1 同期オフセット	チャンネル 1 同期位相オフセット・レジスタ	0x00	RW
0x50	チャンネル 2 同期オフセット	チャンネル 2 同期位相オフセット・レジスタ	0x00	RW
0x51	チャンネル 3 同期オフセット	チャンネル 3 同期位相オフセット・レジスタ	0x00	RW
0x52	チャンネル 4 同期オフセット	チャンネル 4 同期位相オフセット・レジスタ	0x00	RW
0x53	チャンネル 5 同期オフセット	チャンネル 5 同期位相オフセット・レジスタ	0x00	RW
0x54	チャンネル 6 同期オフセット	チャンネル 6 同期位相オフセット・レジスタ	0x00	RW
0x55	チャンネル 7 同期オフセット	チャンネル 7 同期位相オフセット・レジスタ	0x00	RW

## ADC 診断受信選択レジスタ

アドレス:0x56、リセット:0x00、レジスタ名:Diagnostic Rx

AD7768 の ADC 診断機能により、選択した ADC へのゼロスケール入力、正のフルスケール入力、または負のフルスケール入力を変換して ADC チャンネルが正しく動作していることを検証できます。このレジスタは診断をイネーブルにします。各チャンネルの受信 (Rx) をイネーブルにして、このレジスタの各ビットを 1 に設定します。

ADC 診断機能は、アナログ入力プリチャージ・バッファの一部の機能に依存します。診断電圧を内部で受信するように選択したチャンネルで、アナログ入力プリチャージ・バッファがイネーブルになっていることを確認する必要があります。

表 59. 診断 Rx のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	CH7_RX	0	チャンネル 7 未使用	0x0	RW
		1	受信		
6	CH6_RX	0	チャンネル 6 未使用	0x0	RW
		1	受信		
5	CH5_RX	0	チャンネル 5 未使用	0x0	RW
		1	受信		

ビット	ビット名	設定	説明	リセット	アクセス
4	CH4_RX	0	チャンネル 4 未使用	0x0	RW
		1	受信		
3	CH3_RX	0	チャンネル 3 未使用	0x0	RW
		1	受信		
2	CH2_RX	0	チャンネル 2 未使用	0x0	RW
		1	受信		
1	CH1_RX	0	チャンネル 1 未使用	0x0	RW
		1	受信		
0	CH0_RX	0	チャンネル 0 未使用	0x0	RW
		1	受信		

## ADC 診断制御レジスタ

アドレス:0x57、リセット:0x00、レジスタ名:Diagnostic Mux Control

AD7768 の ADC 診断機能により、選択した ADC へのゼロスケール入力、正のフルスケール入力、または負のフルスケール入力を変換して ADC チャンネルが正しく動作していることを検証できます。このレジスタは、診断用の各 ADC チャンネルに入力される電圧を制御します。選択可能な入力電圧オプションは 3 つあります。選択した電圧は、チャンネルが属しているモード（モード A またはモード B）に基づいてチャンネルにマップされます。これは、チャンネル・モード選択レジスタ（レジスタ 0x03）に従って設定します。

ADC 診断受診レジスタでビット [7:0] を 1 に設定し、モード A のチャンネルおよびモード B のチャンネルに必要な電圧チェックをそれぞれビット [2:0] とビット [6:4] で選択します。

表 60. 診断 Mux 制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[6:4]	GRPB_SEL	000	Mux B。 オフ。	0x0	RW
		011	正のフルスケール ADC チェック。正のフルスケールに近い電圧が、ADC チャンネルに内部で印加されます。		
		100	負のフルスケール ADC チェック。負のフルスケールに近い電圧が、ADC チャンネルに内部で印加されます。		
		101	ゼロスケール ADC チェック。0 V に近い電圧が、ADC チャンネルに内部で印加されます。		
[2:0]	GRPA_SEL	000	Mux A。 オフ。	0x0	RW
		011	正のフルスケール ADC チェック。正のフルスケールに近い電圧が、ADC チャンネルに内部で印加されます。		
		100	負のフルスケール ADC チェック。負のフルスケールに近い電圧が、ADC チャンネルに内部で印加されます。		
		101	ゼロスケール ADC チェック。0 V に近い電圧が、ADC チャンネルに内部で印加されます。		

## 変調器遅延制御レジスタ

アドレス:0x58、リセット:0x02、レジスタ名:Modulator Delay Control

表 61. 変調器遅延制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[3:2]	CLK_MOD_DEL_EN	00 01 10 11	変調器の遅延クロックをイネーブルにします。 すべてのチャンネルの遅延クロックをディスエーブルにします。 AD7768 でのみチャンネル 0 ~ チャンネル 3 の遅延クロックをイネーブルにします。 AD7768 でのみチャンネル 4 ~ チャンネル 7 の遅延クロックをイネーブルにします。 すべてのチャンネルの遅延クロックをイネーブルにします。	0x0	RW
[1:0]	Reserved	10	ユーザー・オプションではありません。0x2 に設定する必要があります。	0x2	RW

## チョップ制御レジスタ

アドレス:0x59、リセット:0x0A、レジスタ名:Chop Control

表 62. チョップ制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[3:2]	GRPA_CHOP	01 10	グループ A チョッピング $f_{MOD}/8$ でチョッピング $f_{MOD}/32$ でチョッピング	0x2	RW
[1:0]	GRPB_CHOP	01 10	グループ B チョッピング $f_{MOD}/8$ でチョッピング $f_{MOD}/32$ でチョッピング	0x2	RW

## AD7768-4 のレジスタ・マップの詳細 (SPI 制御)

## AD7768-4 のレジスタ・マップ

表 63. AD7768-4 の詳細なレジスタ・マップ

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	Channel standby	Unused				CH_3	CH_2	CH_1	CH_0	0x00	RW
0x01	Channel Mode A	Unused				FILTER_TYPE_A	DEC_RATE_A			0x0D	RW
0x02	Channel Mode B	Unused				FILTER_TYPE_B	DEC_RATE_B			0x0D	RW
0x03	Channel mode select	Reserved		CH_3_MODE	CH_2_MODE	Reserved		CH_1_MODE	CH_0_MODE	0x00	RW
0x04	POWER_MODE	SLEEP_MODE	Unused	POWER_MODE		LVDS_ENABLE	Unused	MCLK_DIV		0x00	RW
0x05	General configuration	Unused	Reserved	RETIME_EN	VCM_PD	Reserved	Unused	VCM_VSEL		0x08	RW
0x06	Data control	SPI_SYNC	Unused		SINGLE_SHOT_EN	Unused		SPI_RESET		0x80	RW
0x07	Interface configuration	Unused				CRC_SELECT		DCLK_DIV		0x0	RW
0x08	BIST control	Unused							RAM_BIST_START	0x0	RW
0x09	Device status	Unused				CHIP_ERROR	NO_CLOCK_ERROR	RAM_BIST_PAS	RAM_BIST_RUNNING	0x0	R
0x0A	Revision ID	REVISION_ID								0x06	R
0x0B	Reserved	Reserved								0x00	R
0x0C	Reserved	Reserved								0x00	R
0x0D	Reserved	Reserved								0x00	R
0x0E	GPIO control	UGPIO_ENABLE	Unused		GPIO4_FILTER	GPIO3_MODE3	GPIO2_MODE2	GPIOE1_MODE1	GPIO0_MODE0	0x00	RW
0x0F	GPIO write data	Unused			GPIO4_WRITE	GPIO3_WRITE	GPIO2_WRITE	GPIO1_WRITE	GPIO0_WRITE	0x00	RW
0x10	GPIO read data	Unused			GPIO4_READ	GPIO3_READ	GPIO2_READ	GPIO1_READ	GPIO0_READ	0x00	R
0x11	Precharge Buffer 1	Reserved				CH1_PREBUF_NEG_EN	CH1_PREBUF_POS_EN	CH0_PREBUF_NEG_EN	CH0_PREBUF_POS_EN	0xFF	RW
0x12	Precharge Buffer 2	Reserved				CH3_PREBUF_NEG_EN	CH3_PREBUF_POS_EN	CH2_PREBUF_NEG_EN	CH2_PREBUF_POS_EN	0xFF	RW
0x13	Positive reference precharge buffer	Reserved		CH3_REFP_BUF	CH2_REFP_BUF	Reserved		CH1_REFP_BUF	CH0_REFP_BUF	0x00	RW
0x14	Negative reference precharge buffer	Reserved		CH3_REFN_BUF	CH2_REFN_BUF	Reserved		CH1_REFN_BUF	CH0_REFN_BUF	0x00	RW
0x1E	Channel 0 offset	CH0_OFFSET_MSB								0x00	RW
0x1F		CH0_OFFSET_MID									
0x20		CH0_OFFSET_LSB									
0x21	Channel 1 offset	CH1_OFFSET_MSB								0x00	RW
0x22		CH1_OFFSET_MID									
0x23		CH1_OFFSET_LSB									
0x24	Reserved	Reserved								0x00	RW
0x25		Reserved									
0x26		Reserved									
0x27	Reserved	Reserved								0x00	RW
0x28		Reserved									
0x29		Reserved									
0x2A	Channel 2 offset	CH2_OFFSET_MSB								0x00	RW
0x2B		CH2_OFFSET_MID									
0x2C		CH2_OFFSET_LSB									
0x2D	Channel 3 offset	CH3_OFFSET_MSB								0x00	RW
0x2E		CH3_OFFSET_MID									
0x2F		CH3_OFFSET_LSB									
0x30	Reserved	Reserved								0x00	RW
0x31		Reserved									
0x32		Reserved									
0x33	Reserved	Reserved								0x00	RW
0x34		Reserved									
0x35		Reserved									
0x36	Channel 0 gain	CH0_GAIN_MSB								0xFF	RW
0x37		CH0_GAIN_MID									
0x38		CH0_GAIN_LSB									

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x39	Channel 1 gain					CH1_GAIN_MSB				0xXX	RW
0x3A						CH1_GAIN_MID					
0x3B						CH1_GAIN_LSB					
0x3C	Reserved					Reserved				0xXX	RW
0x3D						Reserved					
0x3E						Reserved					
0x3F	Reserved					Reserved				0xXX	RW
0x40						Reserved					
0x41						Reserved					
0x42	Channel 2 gain					CH2_GAIN_MSB				0xXX	RW
0x43						CH2_GAIN_MID					
0x44						CH2_GAIN_LSB					
0x45	Channel 3 gain					CH3_GAIN_MSB				0xXX	RW
0x46						CH3_GAIN_MID					
0x47						CH3_GAIN_LSB					
0x48	Reserved					Reserved				0xXX	RW
0x49						Reserved					
0x4A						Reserved					
0x4B	Reserved					Reserved				0xXX	RW
0x4C						Reserved					
0x4D						Reserved					
0x4E	Channel 0 sync offset					CH0_SYNC_OFFSET				0x00	RW
0x4F	Channel 1 sync offset					CH1_SYNC_OFFSET				0x00	RW
0x50	Reserved					Reserved				0x00	RW
0x51	Reserved					Reserved				0x00	RW
0x52	Channel 2 sync offset					CH2_SYNC_OFFSET				0x00	RW
0x53	Channel 3 sync offset					CH3_SYNC_OFFSET				0x00	RW
0x54	Reserved					Reserved				0x00	RW
0x55	Reserved					Reserved				0x00	RW
0x56	Diagnostic Rx	Reserved		CH3_RX	CH2_RX	Reserved		CH1_RX	CH0_RX	0x00	RW
0x57	Diagnostic mux control	Unused	GRP_B_SEL			Unused	GRPA_SEL			0x00	RW
0x58	Modulator delay control	Unused				CLK_MOD_DEL_EN		Reserved		0x02	RW
0x59	Chop control	Unused				GRPA_CHOP		GRPB_CHOP		0x0A	RW

## チャンネル・スタンバイ・レジスタ

アドレス:0x00、リセット:0x00、レジスタ名:Channel Standby

チャンネル・スタンバイ・レジスタの適切なビットを設定することで、各 ADC チャンネルを個別にスタンバイ・モードに設定できます。チャンネルがスタンバイ・モードになると、データ出力ストリームでの位置が保持されます。24 個のゼロの変換結果の出力と同様、8 ビット・ヘッダーはすべてゼロになります。

VCM 電圧出力はチャンネル 0 回路に関連付けられています。チャンネル 0 をスタンバイ・モードにすると、VCM 電圧出力もディスエーブルになり、最大の節電が実現されます。VCM を AD7768-4 の外部で使用する場合は、チャンネル 0 をイネーブルにする必要があります。

水晶発振器の励起回路は、チャンネル 2 回路に関連付けられています。チャンネル 2 をスタンバイ・モードにすると、水晶発振器回路もディスエーブルになり、最大の節電が実現されます。AD7768-4 で外部水晶発振器を使用する場合は、チャンネル 2 をイネーブルにする必要があります。

表 64. チャンネル・スタンバイのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
3	CH_3	0 1	チャンネル 3 イネーブル スタンバイ	0x0	RW
2	CH_2	0 1	チャンネル 2 イネーブル スタンバイ	0x0	RW
1	CH_1	0 1	チャンネル 1 イネーブル スタンバイ	0x0	RW
0	CH_0	0 1	チャンネル 0 イネーブル スタンバイ	0x0	RW

## チャンネル・モード A レジスタ

アドレス:0x01、リセット:0x0D、レジスタ名:Channel Mode A

AD7768-4 ADC では、2 つのモード・オプションを使用できます。チャンネル・モードは、チャンネル・モード A レジスタとチャンネル・モード B レジスタの値によって定義されます。その後、各モードを必要に応じて ADC チャンネルにマップします。モード A とモード B では異なるフィルタ・タイプおよびデシメーション・レートを選択して、任意の ADC チャンネルにマップすることができます。

異なるデシメーション・レートを選択した場合、AD7768-4 は選択した最も速いデシメーション・レートでデータ・レディ信号を出力します。遅い出力データ・レートで実行されるチャンネルは、遅いレートでのみ更新されます。有効な結果データの間で、チャンネルのデータがゼロに設定され、実際の変換結果と区別できるように繰り返されたデータ・ビットがヘッダー・ステータス・ビットに設定されます (ADC 変換出力:ヘッダーとデータ のセクションを参照)。

表 65. チャンネル・モード A のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
3	FILTER_TYPE_A	0 1	フィルタ選択 広帯域フィルタ Sinc5 フィルタ	0x1	RW
[2:0]	DEC_RATE_A	000 001 010 011 100 101 110 111	デシメーション・レート選択 ×32 ×64 ×128 ×256 ×512 ×1024 ×1024 ×1024	0x5	RW

## チャンネル・モード B レジスタ

アドレス:0x02、リセット:0x0D、レジスタ名:Channel Mode B

表 66. チャンネル・モード B のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
3	FILTER_TYPE_B	0 1	フィルタ選択 広帯域フィルタ Sinc5 フィルタ	0x1	RW
[2:0]	DEC_RATE_B	000 001 010 011 100 101 110 111	デシメーション・レート選択 ×32 ×64 ×128 ×256 ×512 ×1024 ×1024 ×1024	0x5	RW

## チャンネル・モード選択レジスタ

アドレス:0x03、リセット:0x00、レジスタ名:Channel Mode Select

このレジスタは、各 ADC チャンネルのマッピング（チャンネル・モード A またはチャンネル・モード B）を選択します。

表 67. チャンネル・モード選択のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
5	CH_3_MODE	0 1	チャンネル 3 モード A モード B	0x0	RW
4	CH_2_MODE	0 1	チャンネル 2 モード A モード B	0x0	RW
1	CH_1_MODE	0 1	チャンネル 1 モード A モード B	0x0	RW
0	CH_0_MODE	0 1	チャンネル 0 モード A モード B	0x0	RW

## 消費電力モード選択レジスタ

アドレス:0x04、リセット:0x00、レジスタ名:POWER\_MODE

表 68. POWER\_MODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SLEEP_MODE	0 1	スリープ・モードの場合、デジタル・クロックの大半がディスエーブルになり、すべての ADC がディスエーブルになります。アナログ LDO はディスエーブルになりません。 AD7768-4 の SPI は機能していて、使用することができます。このビットに書き込みを行うと、AD7768-4 が再度スリープ・モードから復帰します。 通常動作。 スリープ・モード。	0x0	RW



ビット	ビット名	設定	説明	リセット	アクセス
[5:4]	POWER_MODE	00 10 11	消費電力モード。消費電力モード・ビットは、AD7768-4のすべてのADCで使用されるバイアス電流の消費電力モード設定を制御します。アプリケーションの要件を満たすための消費電流の目標値を選択できます。正しいMCLK分周設定にマップした場合、高速、中間、およびエコの消費電力モードは、最適な性能を発揮します。これらの消費電力モード・ビットは、ADCのMCLK分周を制御しません。MCLK入力の分周の制御については、MCLK_DIVビットを参照してください。	0x0	RW
3	LVDS_ENABLE	0 1	LVDS クロック。 0 LVDS 入力クロックはディスエーブル。 1 LVDS 入力クロックはイネーブル。	0x0	RW
[1:0]	MCLK_DIV	00 10 11	MCLK 分周。MCLK 分周ビットは、AD7768-4に入力されるMCLKと各ADC変調器が使用するクロックの分周比を制御します。適切な分周比は、消費電力モード、デシメーション・レート、およびシステムで使用可能なベースMCLKによって決まります。MCLK_DIVを正しく設定する方法の詳細については、クロック供給、サンプリング・ツリー、およびパワー・スケールリングのセクションを参照してください。 00 MCLK/32: ベースMCLK = 32.768 MHzの場合、エコ・モードのMCLK/32に設定。 10 MCLK/8: ベースMCLK = 32.768 MHzの場合、中間モードのMCLK/8に設定。 11 MCLK/4: ベースMCLK = 32.768 MHzの場合、高速モードのMCLK/4に設定。	0x0	RW

## 全般的なデバイス設定レジスタ

アドレス:0x05、リセット:0x08、レジスタ名:General Configuration

表 69. 全般的な設定のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
5	RETIME_EN	0 1	SYNC_OUT 信号再タイミングのイネーブル・ビット。 0 ディスエーブル: SYNC_OUT の通常のタイミング。 1 イネーブル: SYNC_OUT 信号が代替 MCLK エッジから供給される。	0x0	RW
4	VCM_PD	0 1	VCM パッファ・パワーダウン。 0 イネーブル: VCM パッファは通常モード。 1 パワーダウン: VCM パッファはパワーダウン状態。	0x0	RW
3	Reserved	1	ユーザー・オプションではありません。このビットは1に設定する必要があります。	0x1	RW
[1:0]	VCM_VSEL	00 01 10 11	VCM 電圧。これらのビットは、VCM ピンの出力電圧を選択します。この電圧はAVDD1電源から供給され、AVDD1電圧の1/2、またはAVSSを基準にした他の固定電圧として出力できます。VCM電圧出力はチャンネル0回路に関連付けられています。チャンネル0をスタンバイ・モードにすると、VCM電圧出力もディスエーブルになり、最大の節電が実現されます。VCMをAD7768-4の外部で使用する場合は、チャンネル0をイネーブルにする必要があります。 00 (AVDD1 - AVSS)/2 V。 01 1.65 V。 10 2.5 V。 11 2.14 V。	0x0	RW

データ制御:ソフト・リセット、同期、およびシングルショット制御レジスタ

アドレス:0x06、リセット:0x80、レジスタ名:Data Control

表 70. データ制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SPI_SYNC		AD7768-4のソフトウェア同期。このコマンドは、STARTピンに信号パルスを送信するのと同じ効果があります。SPI_SYNCを動作させるには、このビットに2回書き込みを行う必要があります。まず、0を書き込んでSPI_SYNCをロー・レベルに設定してから、1を書き込んでSPI_SYNCを再度ロジック・ハイに設定します。SPI_SYNCコマンドは、SCLKの最後の立ち上がりエッジの後にSPI命令で認識されます。このとき、SPI_SYNCビットがロー・レベルからハイ・レベルに変わります。その後SPI_SYNCコマンドは、AD7768-4 MCLKと同期された状態でSYNC_OUTピンに出力されます。SYNC_OUT信号をPCBのSYNC_INピンに接続する必要があります。SYNC_OUTピンを他のAD7768-4デバイスのSYNC_INピンに接続して、大規模なチャンネル・カウント同時サンプリング・システムを実現することもできます。SYNC_INピンに現れる同期パルスに従って、AD7768-4のデジタル・フィルタはリセットされます。フィルタの全セットリング・タイムが経過した後に、データがデータ・インターフェースに出力されます。AD7768-4デバイスのデジタイゼーション・システムでは、2つの連続する同期パルスを入力してすべてのADCが同期されていることを確認する必要があります。2つの同期パルスは、複数のAD7768-4デバイスが1つのMCLK信号を共有するシステムでも必要です。この場合、いずれか1つのデバイスのDRDYピンを使用して新しいデータが検出されます。 0 SPI_SYNC ロー・レベルに切り替わります。 1 SPI_SYNC ハイ・レベルに切り替わります。	0x1	RW
4	SINGLE_SHOT_EN		ワンショット・モード。ワンショット・モードがイネーブルになります。ワンショット・モードの場合、AD7768-4はSYNC_IN立ち上がりエッジに対する応答として変換結果を出力します。 0 ディスエーブル。 1 イネーブル。	0x0	RW
[1:0]	SPI_RESET		ソフト・リセット。これらのビットにより、SPIポート経由でデバイスの完全なリセットを行えます。リセットを行うには、2つの連続するコマンドを正しい順序で受信する必要があります。まず、ソフト・リセット・レジスタに0x03を書き込んでから、ソフト・リセット・レジスタに0x02を書き込みます。このシーケンスにより、デジタル・コアがリセットされ、すべてのレジスタがデフォルト値に戻ります。ソフト・リセットの後にSPIマスターがAD7768-4にコマンドを送信した場合、デバイスは次のフレームでそのコマンドに出力0x0E00で応答します。 00 影響なし。 01 影響なし。 10 2番目のリセット・コマンド。 11 最初のリセット・コマンド。	0x0	RW

インターフェース設定レジスタ

アドレス:0x07、リセット:0x00、レジスタ名:Interface Configuration

表 71. インターフェース設定のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[3:2]	CRC_SELECT		CRC 選択。これらのビットにより、データ・インターフェースにCRCを実装できます。選択したCRCオプションに応じて、4番目または16番目の出力サンプルごとにCRCがヘッダーを置換します。CRCには2つのオプションがあり、両方とも同じ多項式 $x^3+x^2+x+1$ を使用します。これらのオプションにより、16番目のサンプルごとにCRC計算が行われるように実行頻度を少なくしてCRC計算のデューティ・サイクルを低減したり、4番目の変換ごとに行われるように実行頻度を多くしたりできます。CRCはチャンネルごとに計算され、変換データのみが含まれます。 00 CRCなし。すべての変換でステータス・ビット。 01 4サンプルごとにヘッダーをCRCメッセージで置換。 10 16サンプルごとにヘッダーをCRCメッセージで置換。 11 16サンプルごとにヘッダーをCRCメッセージで置換。	0x0	RW

ビット	ビット名	設定	説明	リセット	アクセス
[1:0]	DCLK_DIV		DCLK 分周器。これらのビットは、DOUTx ピンに変換データをクロック出力するのに使用する DCLK クロックの分周を制御します。DCLK 信号は、AD7768-4 に入力された MCLK から供給されます。DCLK 分周モードにより、アプリケーションに合わせて DCLK 出力を最適化できます。アプリケーションごとに DCLK を最適化するべきかどうかは、ユーザーの要件によって決まります。AD7768-4 が最小数の DOUTx ピンで最高容量の出力を使用している場合（例えば、DOUT0 ピンと DOUT1 ピンを使用してデシメーション・レート 32 で実行している場合）、DCLK と MCLK を同じ値にする必要があります。この場合、変換期間内にすべてのデータを出力する唯一の方法は、分周なしの設定を選択することです。ADC を高いデシメーション・レートの高速モードで実行したり、MCLK と同じ速度で DCLK を実行する必要がない中間モードやエコ・モードで実行したりする場合があります。このような場合、DCLK 分周によりクロック速度を遅くして、これらの信号のルーティングと分離を簡単にすることができます。	0x0	RW
		00	8 分周。		
		01	4 分周。		
		10	2 分周。		
		11	分周なし。		

### デジタル・フィルタ RAM 内蔵セルフ・テスト (BIST) レジスタ

アドレス:0x08、リセット:0x0、レジスタ名:BIST Control

表 72. BIST 制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
0	RAM_BIST_START		RAM BIST。フィルタ RAM BIST は、デジタル・フィルタによって使用される係数の RAM ストレージの内蔵セルフ・テストです。このテストを実行すると、通常の ADC 変換が中断されます。通常の ADC 動作を再開するには、このテストの完了後に同期パルスが必要です。ユーザー設定に応じて、一定間隔でテストを実行できます。RAM BIST のステータスと結果は、デバイス・ステータス・レジスタで確認できます。Table 73 の RAM_BIST_PASS ビットと RAM_BIST_RUNNING ビットを参照してください。	0x0	RW
		0	オフ。		
		1	RAM BIST を開始。		

### ステータス・レジスタ

アドレス:0x09、リセット:0x0、レジスタ名:Device Status

表 73. デバイス・ステータスのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
3	CHIP_ERROR		チップ・エラー。チップ・エラーは、各 ADC 変換出力のステータス・バイト内に出力されるグローバル・エラー・フラグです。次のビットにより、チップ・エラー・ビットがロジック・ハイに設定されます。パワーアップ後に内部でハード・コードされた設定が CRC チェックに合格しない。メモリ・マップの XOR チェックに合格しない（このチェックはバックグラウンドで連続的に実行されます）。パワーアップ時にクロック・エラーが検出された。	0x0	R
		0	エラーなし。		
		1	エラーあり。		
2	NO_CLOCK_ERROR		外部クロック・チェック。このビットは、外部で入力された MCLK が正しく検出されたかどうかを示します。パワーアップ時に ADC に MCLK が正しく入力されない場合は、このビットがセットされ、DCLK 周波数が約 16 MHz になります。このビットがセットされた場合、データ出力ヘッダーのステータス・ビットのチップ・エラー・ビットがロジック・ハイに設定され、ADC チャンネルに入力されたアナログ入力電圧にかかわらず、変換結果はすべてゼロとして出力されます。	0x0	R
		0	MCLK 検出。		
		1	MCLK 未検出。		

ビット	ビット名	設定	説明	リセット	アクセス
1	RAM_BIST_PASS	0 1	BIST 合格/不合格。RAMBIST 結果ステータス。このビットは、最新の RAM BIST の結果を示します。結果はこのレジスタにラッチされ、デバイスをリセットすることでのみクリアできます。 0 BIST 不合格または未実行。 1 BIST 合格。	0x0	R
0	RAM_BIST_RUNNING	0 1	BIST ステータス。このビットの値をリード・バックすることで、BIST テストが終了した時点でポーリングできます。 0 BIST 未実行。 1 BIST 実行中。	0x0	R

## リビジョン識別レジスタ

アドレス:0x0A、リセット:0x06、レジスタ名:Revision ID

表 74. リビジョン ID のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	REVISION_ID	ASIC リビジョン。リビジョンの詳細の 8 ビット ID。	0x06	R

## GPIO 制御レジスタ

アドレス:0x0E、リセット:0x00、レジスタ名:GPIO Control

表 75. GPIO 制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	UGPIO_ENABLE	0 1	ユーザー GPIO イネーブル。GPIOx ピンは 2 つの機能で共用されるピンで、デバイスが SPI 制御モードの場合のみ動作させることができます。デフォルトでは、AD7768-4 が SPI 制御モードでパワーアップされたときに GPIOx ピンはディスエーブルになります。このピンは、すべての GPIOx 入出力のユニバーサルなイネーブル/ディスエーブルです。各汎用ピンの方向は、このレジスタのビット [4:0] によって決まります。 0 GPIO ディスエーブル。 1 GPIO イネーブル。	0x0	RW
4	GPIOE4_FILTER	0 1	GPIO4 の方向。このビットは、入力または出力のいずれかとして GPIO4 の方向を割り当てます。SPI 制御の場合、GPIO4 は FILTER/GPIO4 ピンであるピン 11 にマップされます。 0 入力。 1 出力。	0x0	RW
3	GPIOE3_MODE3	0 1	GPIO3 の方向。このビットは、入力または出力のいずれかとして GPIO3 の方向を割り当てます。SPI 制御の場合、GPIO3 は MODE3/GPIO3 ピンであるピン 15 にマップされます。 0 入力。 1 出力。	0x0	RW
2	GPIOE2_MODE2	0 1	GPIO2 の方向。このビットは、入力または出力のいずれかとして GPIO2 の方向を割り当てます。SPI 制御の場合、GPIO2 は MODE2/GPIO2 ピンであるピン 14 にマップされます。 0 入力。 1 出力。	0x0	RW
1	GPIOE1_MODE1	0 1	GPIO1 の方向。このビットは、入力または出力のいずれかとして GPIO1 の方向を割り当てます。SPI 制御の場合、GPIO1 は MODE1/GPIO1 ピンであるピン 13 にマップされます。 0 入力。 1 出力。	0x0	RW
0	GPIO0_MODE0	0 1	GPIO0 の方向。このビットは、入力または出力のいずれかとして GPIO0 の方向を割り当てます。SPI 制御の場合、GPIO0 は MODE0/GPIO0 ピンであるピン 12 にマップされます。 0 入力。 1 出力。	0x0	RW

**GPIO 書き込みデータ・レジスタ**

アドレス:0x0F、リセット:0x00、レジスタ名:GPIO Write Data

このレジスタは、汎用出力として選択した場合、各汎用ピンに設定されるように値を書き込みます。ビット [4:0] 以降の各ビットが GPIOx ピンに直接マップされます。

表 76. GPIO 書き込みデータのビットの説明

ビット	ビット名	説明	リセット	アクセス
4	GPIO4_WRITE	GPIO4/FILTER	0x0	RW
3	GPIO3_WRITE	GPIO3/MODE3	0x0	RW
2	GPIO2_WRITE	GPIO2/MODE2	0x0	RW
1	GPIO1_WRITE	GPIO1/MODE1	0x0	RW
0	GPIO0_WRITE	GPIO0/MODE0	0x0	RW

**GPIO 読出しデータ・レジスタ**

アドレス:0x10、リセット:0x00、レジスタ名:GPIO Read Data

このレジスタは、汎用入力として動作するように選択した場合、汎用ピンのロジック入力レベルの値をリードバックします。ビット [4:0] 以降の各ビットが GPIO0 ~ GPIO4 ピンに直接マップされます。

表 77. GPIO 読出しデータのビットの説明

ビット	ビット名	説明	リセット	アクセス
4	GPIO4_READ	GPIO4/FILTER	0x0	R
3	GPIO3_READ	GPIO3/MODE3	0x0	R
2	GPIO2_READ	GPIO2/MODE2	0x0	R
1	GPIO1_READ	GPIO1/MODE1	0x0	R
0	GPIO0_READ	GPIO0/MODE0	0x00	R

**アナログ入力プリチャージ・バッファのイネーブル・レジスタ、チャンネル 0 およびチャンネル 1**

アドレス:0x11、リセット:0xFF、レジスタ名:Precharge Buffer 1

このレジスタは、アナログ入力のプリチャージ・バッファをオンまたはオフにします。これらのレジスタに書き込む場合は、必要なビット設定の逆数を書き込む必要があります。例えば、このレジスタのビット 7 をクリアするには、レジスタに 0x01 を書き込む必要があります。これにより、ビット 7 がクリアされ、その他のすべてのビットがセットされます。0x01 を書き込んだ後に再度レジスタを読み出した場合、読み出されるデータは 0xFE になります。

表 78. プリチャージ・バッファ 1 のビットの説明

ビット	ビット名	設定	説明	リセット
3	CH1_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
2	CH1_PREBUF_POS_EN	0	オフ	0x1
		1	オン	
1	CH0_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
0	CH0_PREBUF_POS_EN	0	オフ	0x1
		1	オン	

## アナログ入力プリチャージ・バッファのイネーブル・レジスタ、チャンネル 2 およびチャンネル 3

アドレス:0x12、リセット:0xFF、レジスタ名:Precharge Buffer 2

このレジスタは、アナログ入力のプリチャージ・バッファをオンまたはオフにします。これらのレジスタに書き込む場合は、必要なビット設定の逆数を書き込む必要があります。例えば、このレジスタのビット 7 をクリアするには、レジスタに 0x01 を書き込む必要があります。これにより、ビット 7 がクリアされ、その他のすべてのビットがセットされます。0x01 を書き込んだ後に再度レジスタを読み出した場合、読み出されるデータは 0xFE になります。

表 79. プリチャージ・バッファ 2 のビットの説明

ビット	ビット名	設定	説明	リセット
3	CH3_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
2	CH3_PREBUF_POS_EN	0	オフ	0x1
		1	オン	
1	CH2_PREBUF_NEG_EN	0	オフ	0x1
		1	オン	
0	CH2_PREBUF_POS_EN	0	オフ	0x1
		1	オン	

## 正のリファレンス・プリチャージ・バッファのイネーブル・レジスタ

アドレス:0x13、リセット:0x00、レジスタ名:Positive Reference Precharge Buffer

このレジスタは、チャンネル 0 ~ チャンネル 3 の各 ADC への正のリファレンス入力のプリチャージ・バッファをオンまたはオフにします。

表 80. 正のリファレンス・プリチャージ・バッファのビットの説明

ビット	ビット名	設定	説明	リセット
5	CH3_REFP_BUF	0	オフ	0x0
		1	オン	
4	CH2_REFP_BUF	0	オフ	0x0
		1	オン	
1	CH1_REFP_BUF	0	オフ	0x0
		1	オン	
0	CH0_REFP_BUF	0	オフ	0x0
		1	オン	

## 負のリファレンス・プリチャージ・バッファのイネーブル・レジスタ

アドレス:0x14、リセット:0x00、レジスタ名:Negative Reference Precharge Buffer

このレジスタは、チャンネル 0 ~ チャンネル 3 の各 ADC への負のリファレンス入力のプリチャージ・バッファをオンまたはオフにします。

表 81. 負のリファレンス・プリチャージ・バッファのビットの説明

ビット	ビット名	設定	説明	リセット
5	CH3_REFN_BUF	0	オフ	0x0
		1	オン	
4	CH2_REFN_BUF	0	オフ	0x0
		1	オン	
1	CH1_REFN_BUF	0	オフ	0x0
		1	オン	
0	CH0_REFN_BUF	0	オフ	0x0
		1	オン	

## オフセット・レジスタ

CH<sub>x</sub>\_OFFSET\_MSB、CH<sub>x</sub>\_OFFSET\_MID、CH<sub>x</sub>\_OFFSET\_LSB レジスタは、チャンネルのオフセットを調整するための 24 ビットの符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理論的な公称値 0x555555 の場合、オフセット・レジスタの LSB 調整により、デジタル出力が LSB 換算でその -4/3 倍変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が -133 LSB 変化します。オフセット調整はゲイン調整の前に行われるため、4/3 の比率は CH<sub>x</sub>\_GAIN\_x レジスタを介したゲイン調整と比例して変化します。リセットまたは電源再投入の後、レジスタ値はデフォルトの出荷時設定に戻ります。

表 82. チャンネルごとの 24 ビット・オフセット・レジスタ、各チャンネルの 3 つの 8 ビット・レジスタ、つまり MSB、MID、LSB に分割

アドレス			名前	説明	リセット			アクセス
MSB	Mid	LSB			MSB	Mid	LSB	
0x1E	0x1F	0x20	チャンネル 0 オフセット	チャンネル 0 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x21	0x22	0x23	チャンネル 1 オフセット	チャンネル 1 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x2A	0x2B	0x2C	チャンネル 2 オフセット	チャンネル 2 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW
0x2D	0x2E	0x2F	チャンネル 3 オフセット	チャンネル 3 オフセット・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0x00	0x00	0x00	RW

## ゲイン・レジスタ

各 ADC チャンネルには、ゲイン係数が関連付けられています。この係数は MSB、MID、LSB として分割された 3 つのシングルバイト・レジスタに格納されています。各ゲイン・レジスタは、出荷時にプログラムされています。通常、このゲインは 0x555555 付近の値になっています (ADC チャンネルの場合)。ゲイン・レジスタ設定は上書きできますが、リセットまたは電源再投入の後にゲイン・レジスタ値はハード・コードされた出荷時設定に戻ります。

表 83. チャンネルごとの 24 ビット・ゲイン・レジスタ、各チャンネルの 3 つの 8 ビット・レジスタ、MSB、MID、LSB に分割

アドレス			名前	説明	リセット			アクセス
MSB	Mid	LSB			MSB	Mid	LSB	
0x36	0x37	0x38	チャンネル 0 ゲイン	チャンネル 0 ゲイン・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0xXX	0xXX	0xXX	RW
0x39	0x3A	0x3B	チャンネル 1 ゲイン	チャンネル 1 ゲイン・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0xXX	0xXX	0xXX	RW
0x42	0x43	0x44	チャンネル 2 ゲイン	チャンネル 2 ゲイン・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0xXX	0xXX	0xXX	RW
0x45	0x46	0x47	チャンネル 3 ゲイン	チャンネル 3 ゲイン・レジスタ、上位、中位、下位バイト (合計 24 ビット)	0xXX	0xXX	0xXX	RW

## 同期位相オフセット・レジスタ

AD7768-4 は、すべてのチャンネル用に 1 つの同期信号を備えています。同期位相オフセット・レジスタにより、SYNC\_IN ピンで受け取った同期エッジに関して各チャンネルの位相遅延を変更できます。この機能の使用の詳細については、同期位相オフセットの調整のセクションを参照してください。

表 84. チャンネルごとの 8 ビット同期位相オフセット・レジスタ

アドレス	名前	説明	リセット	アクセス
0x4E	チャンネル 0 同期オフセット	チャンネル 0 同期位相オフセット・レジスタ	0x00	RW
0x4F	チャンネル 1 同期オフセット	チャンネル 1 同期位相オフセット・レジスタ	0x00	RW
0x52	チャンネル 2 同期オフセット	チャンネル 2 同期位相オフセット・レジスタ	0x00	RW
0x53	チャンネル 3 同期オフセット	チャンネル 3 同期位相オフセット・レジスタ	0x00	RW

## ADC 診断受信選択レジスタ

アドレス:0x56、リセット:0x00、レジスタ名:Diagnostic Rx

AD7768-4 の ADC 診断機能により、選択した ADC へのゼロスケール入力、正のフルスケール入力、または負のフルスケール入力を変換して ADC チャンネルが正しく動作していることを検証できます。このレジスタは診断をイネーブルにします。各チャンネルの受信 (Rx) をイネーブルにして、このレジスタの各ビットを 1 に設定します。

ADC 診断機能は、アナログ入力プリチャージ・バッファの一部の機能に依存します。診断電圧を内部で受信するように選択したチャンネルで、アナログ入力プリチャージ・バッファがイネーブルになっていることを確認する必要があります。

表 85. 診断 Rx のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
5	CH3_RX		チャンネル 3	0x0	RW
		0	未使用		
		1	受信		

ビット	ビット名	設定	説明	リセット	アクセス
4	CH2_RX	0	チャンネル 2 未使用	0x0	RW
		1	受信		
1	CH1_RX	0	チャンネル 1 未使用	0x0	RW
		1	受信		
0	CH0_RX	0	チャンネル 0 未使用	0x0	RW
		1	受信		

## ADC 診断制御レジスタ

アドレス:0x57、リセット:0x00、レジスタ名:Diagnostic Mux Control

AD7768-4 の ADC 診断機能により、選択した ADC へのゼロスケール入力、正のフルスケール入力、または負のフルスケール入力を変換して ADC チャンネルが正しく動作していることを検証できます。このレジスタは、診断用の各 ADC チャンネルに入力される電圧を制御します。選択可能な入力電圧オプションは 3 つあります。選択した電圧は、チャンネルが属しているモード（モード A またはモード B）に基づいてチャンネルにマップされます。これは、チャンネル・モード選択レジスタ（レジスタ 0x03）に従って設定します。

ADC 診断受診レジスタでビット [7:0] を 1 に設定し、モード A のチャンネルおよびモード B のチャンネルに必要な電圧チェックをそれぞれビット [2:0] とビット [6:4] で選択します。

表 86. 診断 Mux 制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[6:4]	GRPB_SEL	000	Mux B。 オフ。	0x0	RW
		011	正のフルスケール ADC チェック。正のフルスケールに近い電圧が、ADC チャンネルに内部で印加されます。		
		100	負のフルスケール ADC チェック。負のフルスケールに近い電圧が、ADC チャンネルに内部で印加されます。		
		101	ゼロスケール ADC チェック。0 V に近い電圧が、ADC チャンネルに内部で印加されます。		
[2:0]	GRPA_SEL	000	Mux A。 オフ。	0x0	RW
		011	正のフルスケール ADC チェック。正のフルスケールに近い電圧が、ADC チャンネルに内部で印加されます。		
		100	負のフルスケール ADC チェック。負のフルスケールに近い電圧が、ADC チャンネルに内部で印加されます。		
		101	ゼロスケール ADC チェック。0 V に近い電圧が、ADC チャンネルに内部で印加されます。		

## 変調器遅延制御レジスタ

アドレス:0x58、リセット:0x02、レジスタ名:Modulator Delay Control

表 87. 変調器遅延制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[3:2]	CLK_MOD_DEL_EN	00	変調器の遅延クロックをイネーブルにします。 すべてのチャンネルの遅延クロックをディスエーブルにします。	0x0	RW
		01	AD7768-4 でのみチャンネル 0 とチャンネル 1 の遅延クロックをイネーブルにします。		
		10	AD7768-4 でのみチャンネル 2 とチャンネル 3 の遅延クロックをイネーブルにします。		
		11	すべてのチャンネルの遅延クロックをイネーブルにします。		
[1:0]	Reserved	10	ユーザー・オプションではありません。0x2 に設定する必要があります。	0x2	RW



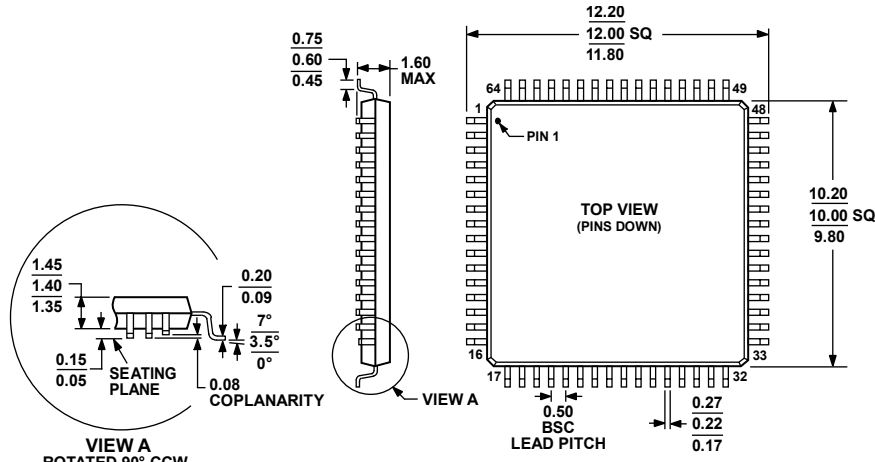
## チョップ制御レジスタ

アドレス:0x59、リセット:0x0A、レジスタ名:Chop Control

表 88. チョップ制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[3:2]	GRPA_CHOP	01 10	グループ A チョッピング $f_{MOD/8}$ でチョッピング $f_{MOD/32}$ でチョッピング	0x2	RW
[1:0]	GRPB_CHOP	01 10	グループ B チョッピング $f_{MOD/8}$ でチョッピング $f_{MOD/32}$ でチョッピング	0x2	RW

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

081706-A

図 110. 64 ピン低プロファイルのクワッド・フラット・パッケージ [LQFP] (ST-64-2) 寸法 (ミリ単位)

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD7768BSTZ	-40°C to +105°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7768BSTZ-RL7	-40°C to +105°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7768BSTZ-RL	-40°C to +105°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7768-4BSTZ	-40°C to +105°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7768-4BSTZ-RL7	-40°C to +105°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7768-4BSTZ-RL	-40°C to +105°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
EVAL-AD7768FMCZ		Evaluation Board	
EVAL-AD7768-4FMCZ		AD7768-4 Evaluation Board	
EVAL-SDP-CH1Z		Controller Board	

<sup>1</sup> Z = RoHS 準拠製品。