



DC~204kHz ダイナミック・シグナル分析 電力スケーリングによる 高精度 24 ビット ADC

データシート

AD7768-1

特長

単一チャンネル低消費電力対応 ADC、プラットフォーム DAQ
設計

広帯域幅

sinc フィルタの帯域幅範囲：DC~204kHz
低リップル FIR (有限インパルス応答) 帯域幅範囲：
DC~110.8kHz

高精度な AC/DC 性能

ダイナミック・レンジ：108.5dB
-120dB の THD

±1.1ppm の FSR INL、±30μV のオフセット・エラー、
±30ppm の FSR ゲイン誤差

プログラマブル ODR、フィルタ・タイプ、および遅延

ODR 値、最大 1024kSPS

リニア位相デジタル・フィルタ・オプション

低リップル FIR フィルタ：

±0.005dB の最大通過帯域リップル、DC~102.4kHz

低遅延 sinc5 フィルタ

低遅延 sinc3 フィルタ、50Hz/60Hz 除去可能

プログラマブル消費電力および帯域幅

高速、最高速度

52.224kHz BW、26.4mW (sinc5 フィルタ)

110.8kHz BW、36.8mW (FIR フィルタ)

中間、半分の速度：55.4kHz BW、19.7mW (FIR フィルタ)

低消費電力、低速：13.9kHz BW、6.75mW (FIR フィルタ)

電源

AVDD1 - AVSS = 5.0V (代表値)

AVDD2 - AVSS = 2.0V~5.0V (代表値)

アナログ電源は両電源から駆動可能 (真のバイポーラ)

IOVDD - DGND = 1.8V~3.3V (代表値)

低消費電力モードは 3.3V の単電源から駆動可能

ピン制御または SPI インターフェースを設定可能

診断チェック・メカニズムに最適

温度、インターフェース CRC、およびメモリ・マップ CRC

パッケージ：28 ピン、4mmx5mm、LFCSP

温度範囲：-40°C~+125°C

アプリケーション

計測およびセンサー・タイプの上位セットに対応するための
プラットフォーム ADC

サウンドと振動、音響、および素材科学の研究開発

ループ検証における制御とハードウェア

予防メンテナンスのための状態監視

電子テストおよび計測

オーディオ・テストおよび電圧と電流の測定

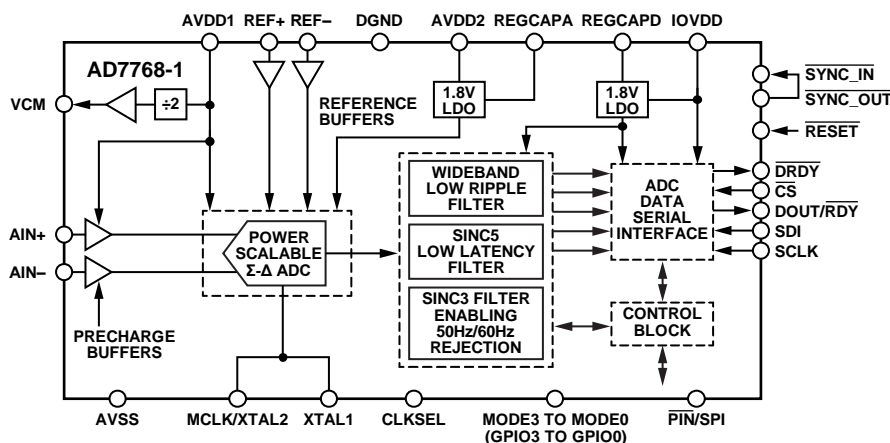
臨床 EEG、EMG、および ECG バイタル・サイン・

モニタリング

USB、PXI、およびイーサネットベースのモジュラ DAQ

チャンネル間絶縁モジュラ DAQ の設計

機能ブロック図



アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 40F
電話 052 (569) 6300

目次

特長	1	レジスタの一覧	63
アプリケーション	1	レジスタの詳細	65
機能ブロック図	1	コンポーネント・タイプ・レジスタ	65
改訂履歴	3	固有製品 ID レジスタ	65
概要	4	デバイス・グレードおよびリビジョン・レジスタ	65
仕様	5	ユーザ・スクラッチパッド・レジスタ	65
3V 動作	10	デバイス・ベンダ ID レジスタ	65
タイミング仕様	11	インターフェース・フォーマット制御レジスタ	66
1.8V タイミング仕様	12	消費電力およびクロック制御レジスタ	66
絶対最大定格	16	アナログ・バッファ制御レジスタ	67
熱抵抗	16	VCM 制御レジスタ	68
ESD に関する注意	16	変換ソース選択およびモード制御レジスタ	68
ピン配置およびピン機能の説明	17	デジタル・フィルタおよびデシメーション制御レジスタ	69
代表的な性能特性	19	Sinc3 デシメーション・レート (MSB レジスタ)	70
用語の定義	27	Sinc3 デシメーション・レート (LSB レジスタ)	70
動作原理	28	周期的変換レート制御レジスタ	70
ノイズ性能と分解能	29	同期モードおよびリセット・トリガリング・レジスタ	70
コア・コンバータ	31	GPIO ポート制御レジスタ	71
クロッキングとクロックの選択	34	GPIO 出力制御レジスタ	71
デジタル・フィルタ処理	34	GPIO 入力リード・レジスタ	71
デシメーション・レート制御	38	オフセット・キャリブレーション MSB レジスタ	71
アンチエイリアシング・フィルタリング	38	オフセット・キャリブレーション MID レジスタ	72
設計の開始にあたって	39	オフセット・キャリブレーション LSB レジスタ	72
電源	41	ゲイン・キャリブレーション MSB レジスタ	72
デバイスの構成方法	41	ゲイン・キャリブレーション MID レジスタ	72
ピン制御モードの概要	42	ゲイン・キャリブレーション LSB レジスタ	73
SPI 制御の概要	44	SPI インターフェース診断制御レジスタ	73
SPI 制御モード	45	ADC 診断機能制御レジスタ	73
デジタル・インターフェース	48	デジタル診断機能制御レジスタ	73
データ変換モード	52	変換結果レジスタ	74
複数の AD7768-1 デバイスの同期	53	デバイス・エラー・フラグ・マスター・レジスタ	74
AD7768-1 のその他の機能	55	SPI インターフェース・エラー・レジスタ	74
アプリケーション情報	56	ADC 診断出力レジスタ	74
アナログ入力に関する推奨事項	56	デジタル診断出力レジスタ	75
アンチエイリアシング・フィルタ設計時の考慮事項	57	MCLK 診断出力レジスタ	75
推奨インターフェース	58	係数制御レジスタ	75
プログラマブル・デジタル・フィルタ	59	係数データ・レジスタ	75
電磁両立性 (EMC) のテスト	61	アクセス・キー・レジスタ	75
AD7768-1 のサブシステム・レイアウト	62	外形寸法	76
		オーダー・ガイド	76

改訂履歴

5/2018—Revision 0: Initial Version

概要

AD7768-1 は低消費電力、高性能のシグマ・デルタ ($\Sigma\Delta$) A/D コンバータ (ADC) で、AC 信号と DC 信号の両方を正確に変換するための $\Sigma\Delta$ 変調器とデジタル・フィルタを実装しています。AD7768-1 は AD7768 (8 チャンネル、同時サンプリング、 $\Sigma\Delta$ ADC) のシングル・チャンネル・バージョンです。AD7768-1 は、設定と再利用が可能な単一のデータ・アキュイジション (DAQ) フットプリントを提供します。更に、これによって AC 性能と DC 性能を統合化した新たな業界標準が確立され、計測器および工業システムの設計者は、絶縁型と非絶縁型両方のアプリケーションの様々な計測タイプを対象に設計を行うことができます。

AD7768-1 は、256kSPS で低リップル有限インパルス応答 (FIR) デジタル・フィルタ使用時に 108.5dB のダイナミック・レンジを実現し、 $\pm 1.1\text{ppm}$ の積分非直線性 (INL)、 $\pm 30\mu\text{V}$ のオフセット誤差、および $\pm 30\text{ppm}$ のゲイン誤差で 110.8kHz の入力帯域幅 (BW) を提供します。

sinc5 フィルタを使用することで最大 500kHz ナイキスト (204kHz の -3dB ポイントをフィルタ) のより広い帯域幅を使用可能で、広い範囲にわたって信号を確認することができます。

AD7768-1 は、出力データ・レート (ODR) および消費電力に対し、入力帯域幅を柔軟に設定して最適化することができます。AD7768-1 の柔軟性によって常に変化する入力信号のダイナミック分析が可能となるため、汎用の DAQ システムには特に有効です。3 つの使用可能な電源モードのいずれかを選択することで、設計者は消費電力を最小限に抑えながら、必要なノイズ目標値を達成することができます。AD7768-1 の設計は、低消費電力の DC モジュールと高性能な AC 測定モジュールの再利用可能で柔軟なプラットフォームとして使用できる点が大きな特長です。

AD7768-1 は、優れた電力効率で、DC 性能と AC 性能の最適なバランスを実現します。次の 3 つの動作モードによって、入力帯域幅と消費電力バジェットのどちらかを優先するかを決定できます。

- 高速モードは、最大 256kSPS で帯域幅が 52.2kHz、消費電力が 26.4mW の sinc フィルタ、および最大 256kSPS で帯域幅が 110.8kHz、消費電力が 36.8mW の FIR フィルタの両方を提供します。
- 中間モードは、最大 128kSPS で帯域幅が 55.4kHz、消費電力が 19.7mW の FIR フィルタを提供します。
- 低消費電力モードは、最大 32kSPS で帯域幅が 13.85kHz、消費電力が 6.75mW の FIR フィルタを提供します。

AD7768-1 は、広範なシステム条件を満たす幅広いデジタル・フィルタ処理機能を備えています。このフィルタ・オプションによって、周波数変化に対するゲイン誤差の要求が厳しい周波数領域測定、線形位相応答条件 (ブリック・ウォール・フィルタ)、

制御ループ・アプリケーションで使用するための低遅延経路 (sinc5 または sinc3)、50Hz または 60Hz のライン周波数を除去するための sinc3 フィルタを設定できる DC 入力測定などの構成が可能になります。これらのフィルタは、すべてデシメーションをプログラムできます。

1.024MHz sinc5 フィルタ経路は、低リップル FIR フィルタを使用して達成できる ODR より高い ODR を求めるユーザ向けに用意されています。この経路では量子化ノイズが制限されています。したがって、制御ループでの遅延を最小限にする必要がある場合や、外部フィールド・プログラマブル・ゲート・アレイ (FPGA) またはデジタル・シグナル・プロセッサ (DSP) にカスタム・デジタル・フィルタ処理を実装したい場合に最適です。フィルタ・オプションは以下のとおりです。

- 低リップル FIR フィルタ、通過帯域リップルは 102.4kHz まで $\pm 0.005\text{dB}$ 。
- 低遅延 sinc5 フィルタ、最大限の制御ループ応答性を実現する最大 1.024MHz のデータ・レート。
- 低遅延 sinc3 フィルタ、フル・プログラマブルで 50Hz/60Hz の除去が可能。

AD7768-1 を使用すると、その組み込みアナログ機能によって、あらゆるアプリケーションの設計負荷が大幅に削減されます。各アナログ入力のプリチャージ・バッファによって競合製品よりも入力アナログ電流が低減されるため、アナログ入力を駆動するための外付けアンプのタスクが簡素化されます。

リファレンスでのフル・バッファ入力によって入力電流が削減されるため、外部リファレンス・デバイス、あるいはレシオメトリック計測で使用される任意のリファレンス検出抵抗をバッファリングするというシナリオで、高インピーダンス入力を提供します。

このデバイスは、5.0V の AVDD1—AVSS 電源、2.0V~5.0V の AVDD2—AVSS 電源、および 1.8V~3.3V の IOVDD—DGND 電源で動作します。

低消費電力モードでは、AVDD1、AVDD2、および IOVDD 電源を 3.3V の単電源から駆動できます。

デバイスには外部リファレンスが必要です。絶対入力リファレンス (REF_{IN}) の電圧範囲は 1V~AVDD1—AVSS です。

仕様規定された動作温度範囲は -40°C ~ $+125^{\circ}\text{C}$ です。デバイスには、4mm×5mm の 28 ピン LFCSP が採用されています。

このデータシートでは、XTAL2/MCLK などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、MCLK のように 1 つのピン機能だけを表記しています。

仕様

特に指定のない限り、AVDD1 = 4.5V~5.5V、AVDD2 = 2.0V~5.5V、IOVDD = 1.7V~3.6V、DGND = 0V、AVSS = 0V、REF+ = 4.096V、REF- = 0V、MCLK = 16.384MHz、50 : 50 デューティ・サイクル、アナログ入力プリチャージ・バッファ = オン、リファレンス・プリチャージ = オン、フィルタ・タイプは低リップル FIR フィルタ、T_A = T_{MIN}~T_{MAX}。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPEED AND CODING ODR ¹	Fast sinc5	8		1024	kSPS
	Fast low ripple FIR	8		256	kSPS
	Fast sinc3	0.05		256	kSPS
	Median sinc5	4		512	kSPS
	Median low ripple FIR	4		128	kSPS
	Median sinc3	0.025		128	kSPS
	Low power sinc5	1		128	kSPS
	Low power low ripple FIR	1		32	kSPS
	Low power sinc3	0.0125		32	kSPS
Data Output Coding		24-bit twos complement data, followed by eight status bits (if enabled), followed by eight cyclic redundancy check (CRC) bits (if enabled)			
DYNAMIC PERFORMANCE					
Fast Mode Dynamic Range	Decimation by 32, 256 kHz ODR				
	Shorted inputs, sinc5 filter	110	111.5		dB
	Shorted inputs, low ripple FIR	106.5	108.5		dB
Signal to Noise Ratio (SNR)	A-weighted, 1 kHz input, -60 dBFS, decimation by 128, low ripple FIR		115		dB
	1 kHz, -0.25 dBFS, sine input				
	Sinc5 filter		110.5		dB
Signal-to-Noise-and-Distortion (SINAD)	Low ripple FIR	106	107.5		dB
	1 kHz, -0.25 dBFS, sine input	105	107.3		dB
	Total Harmonic Distortion (THD)		-120	-112	dB
Spurious-Free Dynamic Range (SFDR)	1 kHz, -0.25 dBFS, sine input		125		dBc
Median Mode Dynamic Range	Decimation by 32, 128 kHz ODR				
	Shorted inputs, sinc5 filter	110	111.5		dB
	Shorted inputs, low ripple FIR	106.5	108.5		dB
SNR	1 kHz, -0.25 dBFS, sine input				
	Sinc5 filter		110.5		dB
	Low ripple FIR	106	107.5		dB
SINAD	1 kHz, -0.25 dBFS, sine input	105	107.3		dB
	THD		-120	-112	dB
	SFDR		125		dBc
Low Power Mode Dynamic Range	Decimation by 32, 32 kHz ODR				
	Shorted inputs, sinc5 filter	110	111.5		dB
	Shorted inputs, low ripple FIR	106.5	108.5		dB
SNR	1 kHz, -0.25 dBFS, sine input				
	Sinc filter		111		dB
	Low ripple FIR	106	107.8		dB
SINAD	1 kHz, -0.25 dBFS, sine input	105	107.5		dB
	THD		-120	-112	dB
	SFDR		125		dBc

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit	
Intermodulation Distortion (IMD)	Frequency Input A (fa) = 9.7 kHz, Frequency Input B (fb) = 10.3 kHz					
	Second order		-125		dB	
	Third order		-125		dB	
ACCURACY						
No Missing Codes ²	Low ripple FIR, sinc5 decimation > 32	24			Bits	
INL	Endpoint method		±1.1	±7	ppm of FSR	
Offset Error	Fast mode		±30	±170	μV	
	Median mode		±30	±170	μV	
	Low power mode		±20	±80	μV	
Offset Error Drift ²	Fast mode		±300		nV/°C	
	Median mode		±225		nV/°C	
	Low power mode		±100		nV/°C	
Gain Error	T _A = 25°C, reference buffer on		±30		ppm of FSR	
	T _A = 25°C, reference buffer off		±30	±70	ppm of FSR	
	Reference buffer off		±0.25	±0.6	ppm/°C	
ANALOG INPUTS						
Differential Input Voltage	Reference voltage (V _{REF}) = REF+ – REF–	V _{REF–}		V _{REF+}	V	
Absolute AINx Voltage ²	Precharge buffers off, absolute voltage on AIN+ or AIN–	AVSS – 0.05		AVDD1 + 0.05	V	
Analog Input Current Unbuffered	Fast mode					
	Differential component		±53		μA/V	
	Common-mode component		±17		μA/V	
Precharge Buffers On ³	Fast mode		-20		μA	
Input Current Drift ²	Fast mode					
	Unbuffered		±12.5		nA/V/°C	
	Precharge Buffer On		±3		nA/°C	
EXTERNAL REFERENCE						
REF _{IN} Voltage	REF _{IN} = (REF+) – (REF–)	1		AVDD1 – AVSS	V	
Absolute REF _{IN} Voltage Limits	Reference unbuffered	AVSS – 0.05		AVDD1 + 0.05	V	
Average REF _{IN} Current	Reference precharge buffer on	AVSS		AVDD1	V	
	Reference buffer on	AVSS		AVDD1	V	
	Reference unbuffered		±80		μA/V	
	Reference precharge buffer on		±20		μA	
Average REF _{IN} Current Drift ²	Reference buffer on		±300		nA	
	Reference unbuffered		±1.7		nA/V/°C	
	Reference precharge buffer on		125		nA/°C	
	Reference buffer on		4		nA/°C	
Common-Mode Rejection	Up to 10 MHz		100		dB	
DIGITAL FILTER RESPONSE						
Low Ripple FIR Filter	Decimation Rate	Six selectable decimation rates	32		1024	
	ODR				256	kSPS
	Group Delay	Latency		34/ODR		Sec
	Settling Time	Complete settling		68/ODR		Sec
	Pass-Band Ripple ⁴				±0.005	dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Pass Band	-0.005 dB		$0.4 \times \text{ODR}$		Hz
	-0.1 dB pass band		$0.409 \times \text{ODR}$		Hz
	-3 dB bandwidth		$0.433 \times \text{ODR}$		Hz
Stop-Band Frequency	Attenuation > 105 dB		$0.499 \times \text{ODR}$		Hz
Stop-Band Attenuation ⁵			105		dB
Sinc5 Filter					
Decimation Rate	Eight selectable decimation rates	8		1024	
ODR				1024	kSPS
Group Delay	Latency		$<3/\text{ODR}$		Sec
Settling Time	Complete settling		$<6/\text{ODR}$		Sec
Pass Band	-0.1 dB bandwidth		$0.0376 \times \text{ODR}$		Hz
	-3 dB bandwidth		$0.204 \times \text{ODR}$		Hz
Sinc3 Filter					
Decimation Rate ⁴	Decimation from decimation by 32 to decimation by 185,280 is possible in steps of 32	32		185,280	
ODR				256	kSPS
Group Delay	Latency		$2/\text{ODR}$		Sec
Settling Time	Complete settling to reject 50 Hz		60		ms
Pass Band	-0.1 dB bandwidth		$0.0483 \times \text{ODR}$		Hz
	-3 dB bandwidth		$0.2617 \times \text{ODR}$		Hz
REJECTION					
AC Power Supply Rejection Ratio (PSRR)	Input voltage (V_{IN}) = 0.1 V, dc to 16 MHz				
AVDD1	Full, median mode		100		dB
	Low power mode		85		dB
AVDD2			100		dB
IOVDD			100		dB
DC PSRR	$V_{\text{IN}} = 0.1 \text{ V}$				
AVDD1			105		dB
AVDD2			118		dB
IOVDD			95		dB
Analog Input Common-Mode Rejection Ratio (CMRR)					
DC	$V_{\text{IN}} = 0.1 \text{ V}$	90			dB
AC	Up to 10 kHz, see Figure 54 .		95		dB
Normal Mode Rejection	50 Hz \pm 1 Hz, sinc3 filter, 60 Hz rejection on		80		dB
	60 Hz \pm 1 Hz, sinc3 filter, 60 Hz rejection on		65		dB
CLOCK					
MCLK					
External Clock		0.6	16.384	17	MHz
Internal Clock			16.384		MHz
Duty Cycle ²	16.384 MHz MCLK	25:75	50:50	75:25	%
Crystal					
Frequency		8	16	17	MHz
Start-Up Time	Clock output valid		2		ms
ADC RESET					
ADC Start-Up Time After Reset	Reset rising edge to first $\overline{\text{DRDY}}$, $\overline{\text{PIN}}$ mode, decimate by 8		100		μs
Reset Low Pulse Width		0.0001		100	ms

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS					
Input Voltage High, V_{INH}	$1.7\text{ V} \leq \text{IOVDD} \leq 1.9\text{ V}$	$0.65 \times \text{IOVDD}$			V
	$2.2\text{ V} \leq \text{IOVDD} \leq 3.6\text{ V}$	$0.65 \times \text{IOVDD}$			V
Low, V_{INL}	$1.7\text{ V} \leq \text{IOVDD} \leq 1.9\text{ V}$			$0.35 \times \text{IOVDD}$	V
	$2.2\text{ V} \leq \text{IOVDD} \leq 3.6\text{ V}$			0.7	V
Hysteresis ²	$2.2\text{ V} \leq \text{IOVDD} \leq 3.6\text{ V}$	0.08		0.25	V
Leakage Current	Excluding RESET pin	-10	+0.05	+10	μA
	RESET pin pull-up resistor		1		k Ω
LOGIC OUTPUTS					
Output Voltage ² High, V_{OH}	$2.2\text{ V} \leq \text{IOVDD} < 3.6\text{ V}$, source current (I_{SOURCE}) = 500 μA , LV_BOOST off	$0.8 \times \text{IOVDD}$			V
	$1.7\text{ V} \leq \text{IOVDD} \leq 1.9\text{ V}$, $I_{SOURCE} = 200\ \mu\text{A}$, LV_BOOST on	$0.8 \times \text{IOVDD}$			V
Low, V_{OL}	$2.2\text{ V} \leq \text{IOVDD} < 3.6\text{ V}$, sink current (I_{SINK}) = 1 mA, LV_BOOST off			0.4	V
	$1.7\text{ V} \leq \text{IOVDD} \leq 1.9\text{ V}$, $I_{SINK} = 400\ \mu\text{A}$, LV_BOOST on			0.4	V
Leakage Current	Floating state	-10		+10	μA
Output Capacitance	Floating state		10		pF
VCM OUTPUT					
VCM Noise ⁴	Default setting		AVDD1 – AVSS/2		V
	VCM = (AVDD1 – AVSS)/2, from simulation, 1 kHz bandwidth limited		10		$\mu\text{V rms}$
Short-Circuit Current ⁶ Load Regulation	VCM = 2.5 V, from simulation, 1 kHz bandwidth limited		65		$\mu\text{V rms}$
			10		mA
			1		mV/mA
POWER REQUIREMENTS					
AVDD1 – AVSS	Power supply voltages	4.5	5.0	5.5	V
AVDD1 – AVSS	All power modes	3		5.5	V
AVDD2 – AVSS	Low power mode only	2	2.0 to 5.0	5.5	V
AVSS – DGND		-2.75		0	V
IOVDD – DGND		1.7	1.8 to 3.3	3.6	V
POWER SUPPLY CURRENT					
Fast Mode AVDD1 Current	All buffers off, V_{CM} off		2.2	2.65	mA
	Analog input precharge on (defaults on in $\overline{\text{PIN}}$ mode)		4.1	5.1	mA
	Precharge reference buffer (per precharge buffer, defaults on in $\overline{\text{PIN}}$ mode)		1.2	1.5	mA
	Full reference buffer (per buffer)		3.2	4.15	mA
	VCM output on		0.21		mA
AVDD2 Current			4.7	5.65	mA
IOVDD Current	Sinc5 filter low ripple FIR filter		3.35 9.2	4.4 11.5	mA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Median Mode					
AVDD1 Current	All buffers off		1.2	1.35	mA
	Analog input precharge on ($\overline{\text{PIN}}$ mode default)		2.45	2.6	mA
	Precharge reference buffer (per precharge buffer)		0.65	0.77	mA
	Full reference buffer (per buffer)		1.6	2.1	mA
AVDD2 Current			2.7	3.2	mA
IOVDD Current	Sinc5 filter low ripple FIR filter		1.97 5	2.8 6.4	mA
Low Power Mode					
AVDD1 Current	All buffers off		0.3	0.35	mA
	Analog input precharge on ($\overline{\text{PIN}}$ mode default)		0.6	0.71	mA
	Precharge reference buffer (per precharge buffer)		0.16	0.22	mA
	Full reference buffer (per buffer)		0.4	0.56	mA
AVDD2 Current			1.15	1.37	mA
IOVDD Current	Sinc5 filter low ripple FIR filter, 16.384 MHz MCLK, MCLK_DIV = 16		0.95 1.7	1.6 2.45	mA
Power Saving States					
Standby Mode	Serial peripheral interface (SPI) active, MCLK active, VCM off		400		μA
	SPI active, MCLK inactive, VCM off		50		μA
Power-Down Mode	Full power-down; SPI control mode only		5		μA
POWER DISSIPATION	AVDD1 = 5 V, MCLK = 16.384 MHz, external complementary metal oxide semiconductor (CMOS) MCLK				
Sinc5 Filter	AVDD2 = 2 V, IOVDD = 1.8 V				
Fast Mode	All buffers off		26.4	32.5	mW
	Analog input (A_{IN}) precharge only		35.6	44.75	mW
Median Mode	All buffers off		14.4	18.2	mW
	A_{IN} precharge only		19.1	24.45	mW
Low Power Mode	All buffers off		5.4	7.4	mW
	A_{IN} precharge only		6.8	9.2	mW
Low Ripple FIR Filter	AVDD2 = 2 V, IOVDD = 1.8 V				
Fast Mode	All buffers off		36.8	45.25	mW
	A_{IN} precharge only		46.1	57.5	mW
Median Mode	All buffers off		19.7	24.7	mW
	A_{IN} precharge only		24.4	30.95	mW
Low Power Mode	All buffers off		6.75	8.9	mW
	A_{IN} precharge only		8.1	10.7	mW
Standby Mode	SPI active, MCLK active, VCM off		780		μW
	SPI active, MCLK inactive, VCM off		125		μW
Power-Down Mode	Full power down, SPI control mode only		14		μW

¹ 16.384MHzの固定 MCLK レートの場合、ODR 範囲は、AD7768-1 で使用可能なプログラマブル・デシメーション・レートを表します。MCLK レートを変えて、ODR の範囲を広げることができます。

² これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データにより確認しています。

³ 代表値 ($-20\mu\text{A}$) は、アナログ入力が入力 AVDD1 または AVSS レールに近い場合に測定した値です。入力電流は、コモンモード電圧が電源レールの中央値 ($\text{AVDD1} - \text{AVSS}$)/2 に近づくにつれて減少します。アナログ入力電流は、MCLK 周波数と消費電力モード (高速、中間、低消費電力) に応じて変化します。

⁴ この仕様については出荷テストを行っていません。設計シミュレーションと限定的数量のデバイスに対して行うテストの組み合わせによって確認を行っています。

⁵ チョップ周波数に関する周波数付近でエイリアス除去を行うと、105dB を超える複合減衰が生じることがあります。詳細については、フロントエンドのアンチエイリアス保護について説明しているアンチエイリアシング・フィルタリングのセクションを参照してください。

⁶ VCM は通常 10mA をソースできますが、通常動作時は 6mA までに抑えることを推奨します。

3V 動作

低消費電力モード専用。特に指定のない限り、AVDD1、AVDD2、および IOVDD = 3V、DGND = 0V、AVSS = 0V、REF+ = 2.5V、REF- = 0V、MCLK = 16.384MHz、アナログ入力プリチャージ・バッファ = オン、リファレンス・プリチャージ = オン、フィルタ・タイプは低リップル FIR フィルタ、チョップ周波数 (f_{CHOP}) = 変調器周波数 (f_{MOD}) / 32、 $T_A = T_{\text{MIN}} \sim T_{\text{MAX}}$ 。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPEED AND PERFORMANCE					
ODR ¹	Low power mode				
	Low ripple FIR filter and sinc5 filter	1		32	kSPS
	Sinc3	0.0125		32	kSPS
No Missing Codes ²	Low ripple FIR, sinc5 decimation > 32	24			Bits
DYNAMIC PERFORMANCE					
Low Power Mode	Decimation by 32, 32 kHz ODR				
Dynamic Range	Shorted inputs, sinc5 filter		106.9		dB
	Shorted inputs, low ripple FIR	100.9	104		dB
SNR	1 kHz, -0.25 dBFS, sine input				
	Low ripple FIR		102.5		dB
SINAD			102.3		dB
THD			-125	-112	dB
SFDR			120		dBc
ACCURACY					
INL	Endpoint method		±3		ppm of FSR
Offset Error	Low power mode		±40	±175	μV
Offset Error Drift ²	Low power mode		±100		nV/°C
Gain Error	$T_A = 25^\circ\text{C}$		±30		ppm/FSR
ANALOG INPUTS					
Differential Input Voltage	$V_{\text{REF}} = \text{REF+} - \text{REF-}$	$V_{\text{REF-}}$		$V_{\text{REF+}}$	V
Absolute AINx Voltage	Analog input precharge buffers off, absolute voltage on AIN+ or AIN-	AVSS - 0.05		AVDD1 + 0.05	V
Analog Input Current					
Input Current Unbuffered	Differential component		±53		μA/V
	Common-mode component		±17		μA/V
Input Current ³	Precharge buffers on, external CMOS MCLK		-20		μA
EXTERNAL REFERENCE					
REF _{IN} Voltage	$\text{REF}_{\text{IN}} = (\text{REF+}) - (\text{REF-})$	1		AVDD1 - AVSS	V
Absolute REF _{IN} Voltage Limits	Reference buffer off	AVSS - 0.05		AVDD1 + 0.05	V
	Reference buffer on	AVSS		AVDD1	V
Average REF _{IN} Current	Reference buffer off		±80		μA/V
	Reference buffer on		±20		nA
			±300		nA/V/°C
Common-Mode Rejection Ratio (CMRR)	Up to 10 MHz		100		dB

¹ 16.384MHz の固定 MCLK レートの場合、出力データ・レート範囲は、AD7768-1 で使用可能なプログラマブル・デシメーション・レートを表します。MCLK レートを変えることで、ODR の範囲を広げることができます。

² これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データにより確認しています。

³ 代表値 (-20μA) は、アナログ入力 AVDD1 または AVSS レールに近い場合に測定した値です。入力電流は、コモンモード電圧が電源レールの中央値 (AVDD1 - AVSS)/2 に近づくにつれて減少します。アナログ入力電流は、MCLK 周波数と消費電力モード (高速、中間、低消費電力) に応じて変化します。

タイミング仕様

特に指定のない限り、AVDD1 = 4.5V~5.5V、AVDD2 = 2.0V~5.5V、IOVDD = 2.2V~3.6V、AVSS = DGND = 0V、入力ロジック 0 = 0V、入力ロジック 1 = IOVDD、負荷容量 (C_{LOAD}) = 20pF、LV_BOOST ビット (ビット 7、INTERFACE_FORMAT レジスタ、アドレス 0x14) をディスエーブル。

これらの仕様は、初期リリース時にサンプル・テストを実施し、適合性が確認されています。すべての入力信号は $t_R = t_F = 5\text{ns}$ で仕様規定しています (IOVDD の 10%~90%、IOVDD/2 の電圧レベルから時間を測定)。タイミング図については図 2~図 8 を参照してください。

これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確認されています。

表 3.

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
MCLK	Frequency			16.384	17	MHz
t _{MCLK_HIGH}	MCLK high time		16			ns
t _{MCLK_LOW}	MCLK low time		16			ns
f _{MOD}	Modulator frequency	Fast mode Median mode Low power mode		MCLK/2 MCLK/4 MCLK/16		Hz Hz Hz
t _{DRDY}	Conversion period	Rising $\overline{\text{DRDY}}$ edge to next rising $\overline{\text{DRDY}}$ edge, continuous conversion mode		f _{MOD} /DEC_RATE		Hz
t _{DRDY_HIGH}	$\overline{\text{DRDY}}$ high time	t _{MCLK} = 1/MCLK	t _{MCLK} - 5	1 × t _{MCLK}		ns
t _{MCLK_DRDY}	MCLK to $\overline{\text{DRDY}}$	Rising MCLK edge to $\overline{\text{DRDY}}$ rising edge	10	13	18	ns
t _{MCLK_RDY}	MCLK to $\overline{\text{RDY}}$ indicator on the DOUT/RDY pin	Rising MCLK edge to $\overline{\text{RDY}}$ falling edge	10	13	18	ns
t _{UPDATE}	ADC data update	Time prior to $\overline{\text{DRDY}}$ rising edge where the ADC conversion register updates, single conversion read		1 × t _{MCLK}		ns
t _{START}	$\overline{\text{START}}$ pulse width		1.5 × t _{MCLK}			ns
t _{MCLK_SYNC_OUT}	MCLK to $\overline{\text{SYNC_OUT}}$	Falling MCLK to falling $\overline{\text{SYNC_OUT}}$			t _{MCLK} + 16	ns
t _{SCLK}	SCLK period		50			ns
t ₁	$\overline{\text{CS}}$ falling to SCLK falling		0			ns
t ₂	$\overline{\text{CS}}$ falling to data output enable				6	ns
t ₃	SCLK falling edge to data output valid			10	15	ns
t ₄	Data output hold time after SCLK falling edge		4			ns
t ₅	SDI setup time before SCLK rising edge		3			ns
t ₆	SDI hold time after SCLK rising edge		8			ns
t ₇	$\overline{\text{CS}}$ high time	4-wire interface	10			ns
t ₈	SCLK high time		20			ns
t ₉	SCLK low time		20			ns
t ₁₀	SCLK rising edge to $\overline{\text{DRDY}}$ high	Single conversion read only; time from last SCLK rising edge to $\overline{\text{DRDY}}$ high	1 × t _{MCLK}			ns
t ₁₁	SCLK rising edge to $\overline{\text{CS}}$ rising edge		6			ns
t ₁₂	$\overline{\text{CS}}$ rising edge to DOUT/RDY output disable		4		7	ns
t ₁₃	DOUT/RDY indicator pulse width	In continuous read mode with $\overline{\text{RDY}}$ on, DOUT enabled, with SCLK idling high		1 × t _{MCLK}		ns
t ₁₄	$\overline{\text{CS}}$ falling edge to SCLK rising edge		2			ns
t ₁₅	$\overline{\text{SYNC_IN}}$ setup time before MCLK rising edge		2			ns

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
t ₁₆	SYNC_IN pulse width		1.5 × t _{MCLK}			ns
t ₁₇	SCLK rising edge to $\overline{\text{RDY}}$ indicator rising edge	In continuous read mode with $\overline{\text{RDY}}$ enabled on DOUT	1			ns
t ₁₈	$\overline{\text{DRDY}}$ rising edge to SCLK falling edge	In continuous read mode with $\overline{\text{RDY}}$ enabled on DOUT	8			ns

1.8V タイミング仕様

特に指定のない限り、AVDD1 = 4.5V~5.5V、AVDD2 = 2V~5.5V、IOVDD = 1.7V~1.9V、AVSS = DGND = 0V、入力ロジック 0 = 0V、入力ロジック 1 = IOVDD、C_{LOAD} = 20pF、LV_BOOST ビット（ビット 7、INTERFACE_FORMAT レジスタ、アドレス 0x14）をイネーブル。

これらの仕様は、初期リリース時にサンプル・テストを実施し、適合性が確認されています。すべての入力信号は t_R = t_F = 5ns で仕様規定しています（IOV_{DD} の 10%~90%、IOVDD/2 の電圧レベルから時間を測定）。タイミング図については図 2~図 8 を参照してください。

これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確認されています。

表 4.

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
MCLK	Frequency			16.384	17	MHz
t _{MCLK_HIGH}	MCLK high time		16			ns
t _{MCLK_LOW}	MCLK low time		16			ns
f _{MOD}	Modulator frequency	Fast mode Median mode Low power mode		MCLK/2 MCLK/4 MCLK/16		Hz Hz Hz
t _{$\overline{\text{DRDY}}$}	Conversion period	Rising $\overline{\text{DRDY}}$ edge to next rising $\overline{\text{DRDY}}$ edge, continuous conversion mode		f _{MOD} /DEC_RATE		Hz
t _{$\overline{\text{DRDY}}$_HIGH}	$\overline{\text{DRDY}}$ high time	t _{MCLK} = 1/MCLK	t _{MCLK} - 5	1 × t _{MCLK}		ns
t _{MCLK_$\overline{\text{DRDY}}$}	MCLK to $\overline{\text{DRDY}}$	Rising MCLK edge to $\overline{\text{DRDY}}$ rising edge	13	19	25	ns
t _{MCLK_$\overline{\text{RDY}}$}	MCLK to $\overline{\text{RDY}}$ indicator on the DOUT/ $\overline{\text{RDY}}$ pin	Rising MCLK edge to $\overline{\text{RDY}}$ falling edge	13	19	25	ns
t _{UPDATE}	ADC data update	Time prior to $\overline{\text{DRDY}}$ rising edge where the ADC conversion register updates		1 × t _{MCLK}		ns
t _{START}	START pulse width		1.5 × t _{MCLK}			ns
t _{MCLK_SYNC_OUT}	MCLK to $\overline{\text{SYNC_OUT}}$	Falling MCLK to falling $\overline{\text{SYNC_OUT}}$, see the エラー! 参照元が見つかりません。 section			t _{MCLK} + 31	ns
t _{SCLK}	SCLK period		50			ns
t ₁	$\overline{\text{CS}}$ falling to SCLK falling		0			ns
t ₂	$\overline{\text{CS}}$ falling to data output enable				11	ns
t ₃	SCLK falling edge to data output valid			14	19	ns
t ₄	Data output hold time after SCLK falling edge		7			ns
t ₅	SDI setup time before SCLK rising edge		3			ns
t ₆	SDI hold time after SCLK rising edge		8			ns
t ₇	$\overline{\text{CS}}$ high time	4-wire interface	10			ns
t ₈	SCLK high time		23			ns
t ₉	SCLK low time		23			ns

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
t ₁₀	SCLK rising edge to $\overline{\text{DRDY}}$ high	Time from last SCLK rising edge to $\overline{\text{DRDY}}$ high; if this is exceeded, conversion N + 1 is missed; single conversion read	$1 \times t_{\text{MCLK}}$			ns
t ₁₁	$\overline{\text{SCLK}}$ rising edge to $\overline{\text{CS}}$ rising edge		6			ns
t ₁₂	$\overline{\text{CS}}$ rising edge to $\overline{\text{DOUT/RDY}}$ output disable		7.5		13	ns
t ₁₃	$\overline{\text{DOUT/RDY}}$ indicator pulse width	In continuous read mode with $\overline{\text{RDY}}$ on, $\overline{\text{DOUT}}$ enabled, with SCLK idling high		$1 \times t_{\text{MCLK}}$		ns
t ₁₄	$\overline{\text{CS}}$ falling edge to SCLK rising edge		2.5			ns
t ₁₅	$\overline{\text{SYNC_IN}}$ setup time before MCLK rising edge		2			ns
t ₁₆	$\overline{\text{SYNC_IN}}$ pulse width		$1.5 \times t_{\text{MCLK}}$			ns
t ₁₇	SCLK rising edge to $\overline{\text{RDY}}$ indicator rising edge	In continuous read mode with $\overline{\text{RDY}}$ on, $\overline{\text{DOUT}}$ enabled	5.5			ns
t ₁₈	$\overline{\text{DRDY}}$ rising edge to SCLK falling edge	In continuous read mode with $\overline{\text{RDY}}$ on, $\overline{\text{DOUT}}$ enabled	15			ns

タイミング図

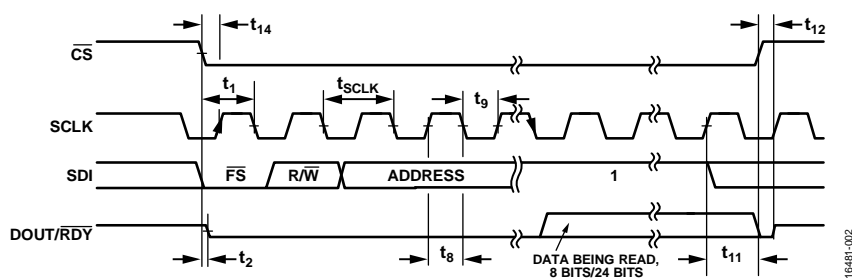


図 2. SPI 読出しのタイミング図

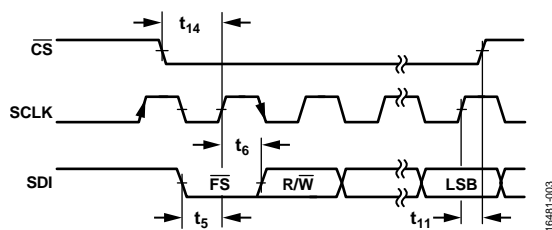


図 3. SPI 書込みのタイミング図

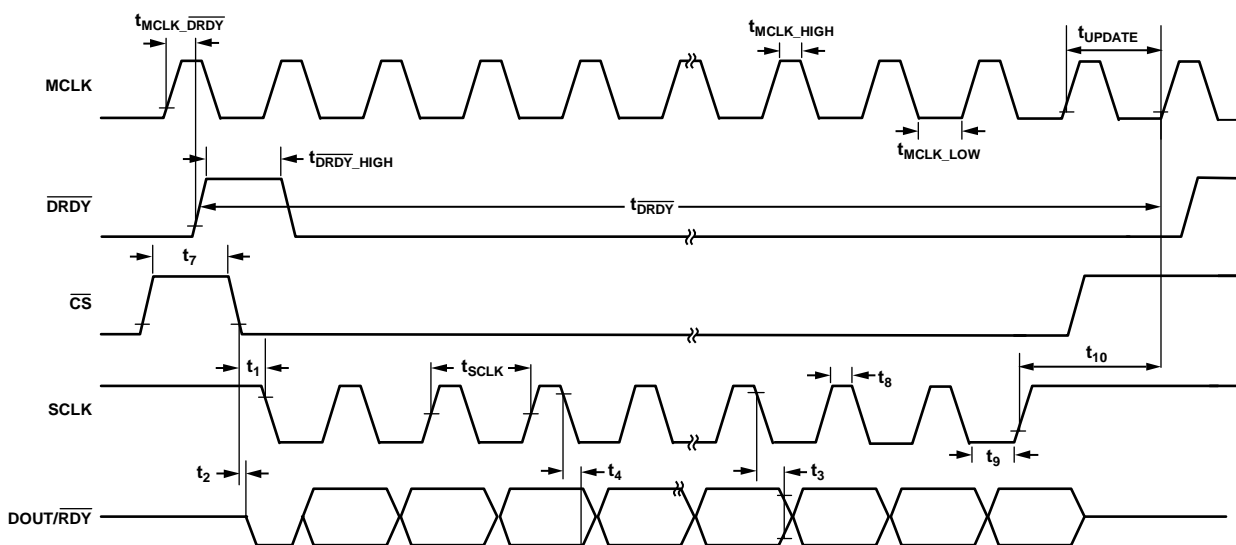


図 4. 連続変換モードでの読出し変換結果 (\overline{CS} のトグルリング)

16481-004

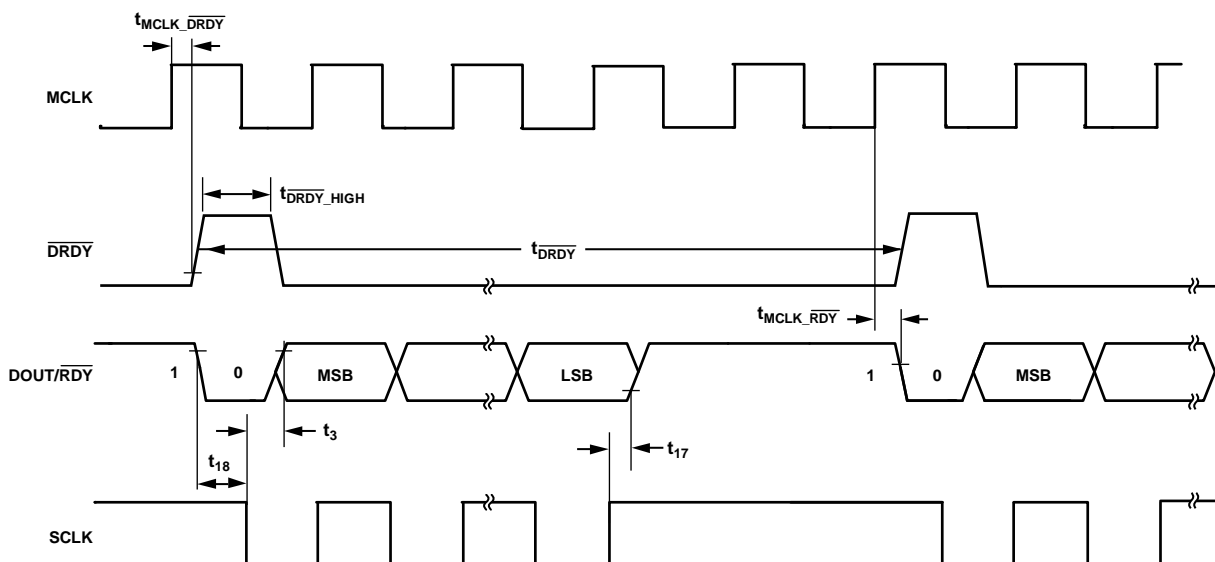


図 5. 連続変換モードでの読出し変換結果、 \overline{RDY} をイネーブ (\overline{CS} をローに維持) した連続読出しモード

16481-005

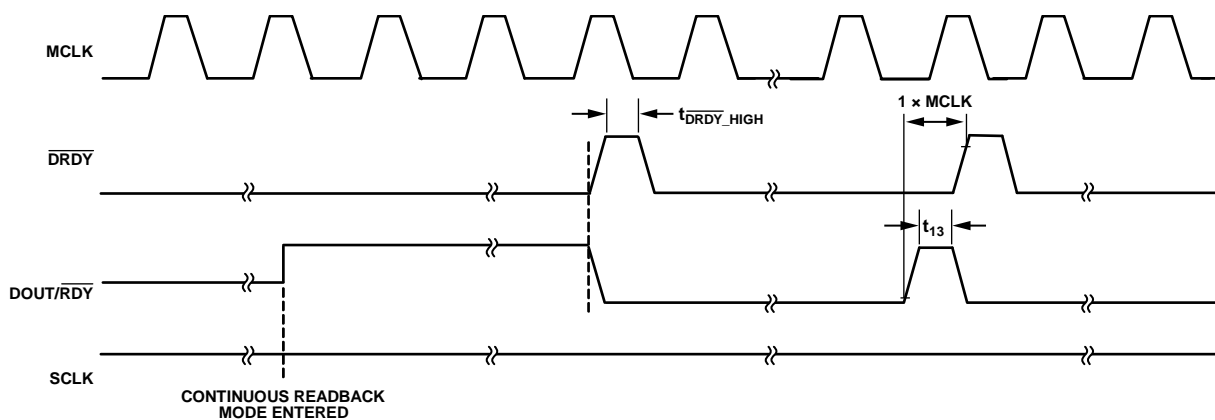


図 6. SCLK を使用しない場合の $\overline{DOUT/RDY}$ 動作

16481-006

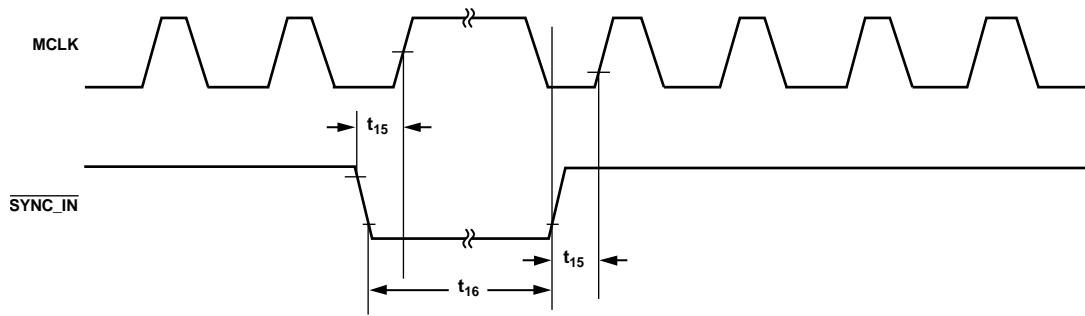


図 7. 同期SYNC_INパルス

16481-007

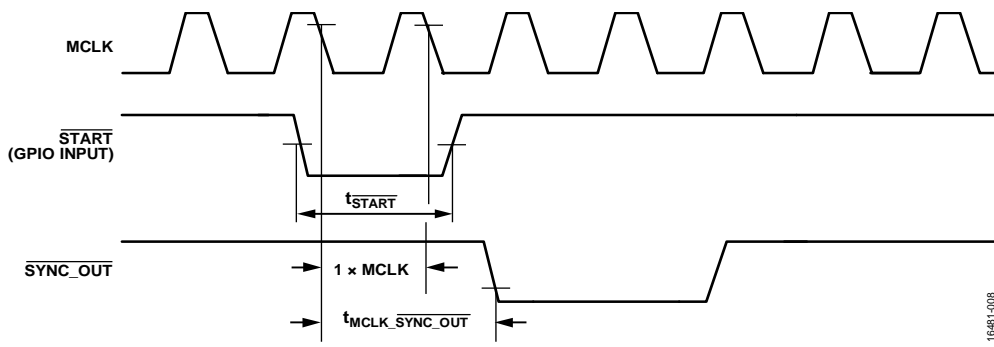


図 8. 非同期のSTARTと SYNC_OUT

16481-008

絶対最大定格

表 5.

Parameter	Rating
AVDD1, AVDD2 to AVSS ¹	-0.3 V to +6.5 V
AVDD1 to DGND	-0.3 V to +6.5 V
IOVDD to DGND	-0.3 V to +6.5 V
IOVDD, REGCAPD to DGND (IOVDD Tied to REGCAPD for 1.8 V Operation)	-0.3 V to +2.25 V
IOVDD to AVSS	-0.3 V to +7.5 V
AVSS to DGND	-3.25 V to +0.3 V
Analog Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Reference Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Digital Input Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to IOVDD + 0.3 V
XTAL1 to DGND	-0.3 V to +2.1 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Pb-Free Temperature, Soldering Reflow (10 sec to 30 sec)	260°C
Maximum Junction Temperature	150°C
Maximum Package Classification Temperature	260°C

¹ 最大 100mA までの過渡電流では SCR ラッチアップは生じません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

表 6. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC} ²	Unit
CP-28-12	35	0.8 ³	°C/W

¹ 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

² パッケージ上面にコールド・プレートを取り付けた 1S0P テスト PCB に基づいています。

³ 露出パッドに対して測定。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

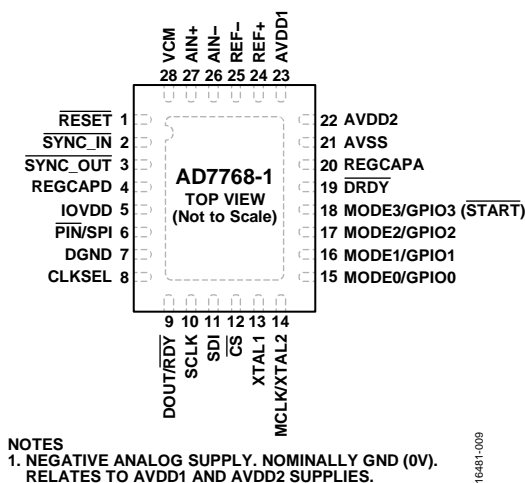


図 9. ピン配置

表 7. ピン機能の説明

Pin No.	Mnemonic	Type ¹	Description
1	RESET	DI	ハードウェア非同期リセット入力。デバイスのパワーアップ後は、RESETピンかソフトウェア・リセットを使ってデバイスをリセットすることを推奨します。詳細についてはリセットのセクションを参照してください。
2	SYNC_IN	DI	同期入力。SYNC_INは、SYNC_OUTまたはメイン・コントローラから同期信号を受信します。SYNC_INは、同時サンプリングを必要とする複数のAD7768-1デバイスの同期を有効にします。何らかの形でデバイス構成を変更するときは、常にSYNC_INパルスが必要です（例えばフィルタのデシメーション・レートを変更するとき）。DRDYパルス発生後にSYNC_INパルスを入力します。
3	SYNC_OUT	DO	同期出力。SYNC_OUT 1は、MCLKに同期したデジタル出力です。この出力を開始するには、SPIを介して同期コマンドを書き込むか、GPIO3ピンを介してSTART信号を入力します。SYNC_OUTはその後に外部トレースを介して同じAD7768-1のSYNC_INピンに接続することができ、更に他のAD7768-1デバイスにローカル配線して、MCLKを共有する複数のデバイスを同期させることができます。
4	REGCAPD	AO	デジタル低ドロップアウト（LDO）レギュレータの出力。1μFのコンデンサを使用して、このピンをDGNDにデカップリングします。IOVDD ≥ 1.8Vの場合は、10μFのコンデンサを使用してください。AD7768-1外部の回路にあるREGCAPDからの電圧出力は、使用しないでください。
5	IOVDD	P	デジタル電源。IOVDDピンは、すべてのインターフェース・ピンのロジック・レベルを設定します。このピンは、内部デジタルLDOを介してデジタル処理の電源を供給します。IOVDDピンには、DGNDを基準にして1.8V~3.3Vを供給します。
6	PIN/SPI	DI	PIN制御/SPI制御。このピンは、AD7768-1の構成モードをピン制御またはSPI制御に設定します。 ロジック 0：制御と構成の設定にはピンだけが使われます。 ロジック 1：制御と構成の設定にはSPIだけが使われます。
7	DGND	P	デジタル・グラウンド。
8	CLKSEL	DI	PIN制御モードにおけるAD7768-1のクロック選択ピン。AD7768-1がPIN制御モードのときは、CLKSELのロジック・レベルにより、AD7768-1にどの外部クロック・ソースを使用すればよいかが決まります。LVDS（低電圧差動伝送）クロック・オプションは、SPI制御モードで使用可能です（PIN/SPI = 1）。SPI制御モード（PIN/SPI = 1）では、CLKSELピンをロジック 0に維持するか、DGNDに接続してください。 0 = CMOSクロック・オプション。CMOSクロックを選択した場合は、MCLK/XTAL2ピンにクロック信号を入力して、XTAL1ピンをDGNDに接続します。 1 = 水晶発振器オプション。水晶発振器オプションを選択した場合は、適当な水晶発振器をXTAL1とMCLK/XTAL2ピンに接続します。
9	DOUT/RDY	DO	シリアル・インターフェース・データ出力とデータ・レディ信号の組み合わせ。この出力データ・ピンは、DOUTピンのみで構成するか、SPI制御モードを通じて構成することができます。ピン機能には、レディ信号も含めることができます（RDY）。このデバイスはDOUT/RDYの組み合わせ信号を使用するようにプログラムできるので、絶縁アプリケーションにおけるインターフェース・ラインの数を減らすことができます。

Pin No.	Mnemonic	Type ¹	Description
10	SCLK	DI	シリアル・インターフェース・クロック。
11	SDI	DI	シリアル・インターフェース・データ入力。
12	$\overline{\text{CS}}$	DI	シリアル・インターフェースのチップ・セレクト入力。このピンはアクティブ・ローです。
13	XTAL1	DI	水晶発振器の入力1またはLVDSクロックへの接続。CLKSELが0の場合は、このピンをDGNDに接続します。クロック入力構成の詳細については、CLKSELピンの説明を参照してください。
14	MCLK/XTAL2	DI	マスタ・クロック信号 (MCLK) / 外部水晶発振器 (XTAL2)。XTAL2は外部の水晶発振器に接続します。AD7768-1は水晶発振器を励起します。 LVDSクロック：2番目のLVDS入力はこのピンに接続します。
15	MODE0/GPIO0	DI/O	CMOSクロック：MCLK入力として動作します。ロジック・レベルがIOVDD/DGNDのCMOS入力。 ピン制御モード ($\overline{\text{PIN}}/\text{SPI}=0$) : MODE0ピン。MODE0~MODE3ピンはAD7768-1のモード選択ピンです。 SPI制御モード ($\overline{\text{PIN}}/\text{SPI}=1$) : GPIO0ピン。このピンは汎用入出力ピンとして動作し、SPIおよびレジスタ・マップを介してアクセスするIOVDDおよびDGND電源領域を基準として、双方向の入出力、および読出しと書き込みを行います。
16	MODE1/GPIO1	DI/O	ピン制御モード ($\overline{\text{PIN}}/\text{SPI}=0$) : MODE1ピン。MODE0~MODE3ピンはAD7768-1のモード選択ピンです。 SPI制御モード ($\overline{\text{PIN}}/\text{SPI}=1$) : GPIO1ピン。このピンは汎用入出力ピンとして動作し、SPIおよびレジスタ・マップを介してアクセスするIOVDDおよびDGND電源領域を基準として、双方向の入出力、および読出しと書き込みを行います。
17	MODE2/GPIO2	DI/O	ピン制御モード ($\overline{\text{PIN}}/\text{SPI}=0$) : MODE2ピン。MODE0~MODE3ピンはAD7768-1のモード選択ピンです。 SPI制御モード ($\overline{\text{PIN}}/\text{SPI}=1$) : GPIO2ピン。このピンは汎用入出力ピンとして動作し、SPIおよびレジスタ・マップを介してアクセスするIOVDDおよびDGND電源領域を基準として、双方向の入出力、および読出しと書き込みを行います。
18	MODE3/GPIO3 (START)	DI/O	ピン制御モード ($\overline{\text{PIN}}/\text{SPI}=0$) : MODE3ピン。MODE0~MODE3ピンはAD7768-1のモード選択ピンです。 SPI制御モード ($\overline{\text{PIN}}/\text{SPI}=1$) : GPIO3ピン。このピンは汎用入出力ピンとして動作し、SPIおよびレジスタ・マップを介してアクセスするIOVDDおよびDGND電源領域を基準として、双方向の入出力、および読出しと書き込みを行います。GPIO3は、SPI制御の下では特別にSTART入力として割り当てることができます。この機能用に、メモリ・マップ内にイネーブル・ビットがあります (レジスタ0x1D、ビット3、EN_GPIO_START)。DRDYパルス発生後にSTARTパルスを入力します。
19	$\overline{\text{DRDY}}$	DO	データ・レディ。変換結果が使用可能であることを示すための周期的信号出力。
20	REGCAPA	AO	アナログLDOレギュレータ出力です。1 μ Fのコンデンサを使用して、このピンをAVSSヘデカップリングします。AD7768-1外部の回路にあるREGCAPAピンは使用しないでください。
21	AVSS	P	負のアナログ電源。公称グラウンド (0V)。AVSSピンはAVDD1およびAVDD2電源に関係しています。
22	AVDD2	P	アナログ電源電圧、AVSSを基準にして2.0V~5.0V。
23	AVDD1	P	アナログ電源電圧、AVSSを基準にして5.0V \pm 10%。この電源は低消費電力モードでのみ使用可能で、3Vで動作します。
24	REF+	AI	リファレンス入力、正のリファレンス。REF+とREF-の間にAVDD1~AVSS+1Vの範囲で外部リファレンスを入力します。デバイスは、1V~ AVDD1-AVSS の範囲の差動リファレンス電圧で動作します。
25	REF-	AI	リファレンス入力、負側入力ピン。REF1-の範囲はAVSS~AVDD1-1Vです。
26	AIN-	AI	ADCへの負のアナログ入力。
27	AIN+	AI	ADCへの正のアナログ入力。
28	VCM	AO	コモンモード電圧出力。VCMはデフォルトで(AVDD1-AVSS)/2に設定されます。VCMは、SPI書き込みを介し、複数の出力電圧オプションを使って構成します。0.1 μ Fよりも大きい容量性負荷を駆動する場合は、安定化のために、VCMと容量性負荷の間に50 Ω の直列抵抗を接続してください。
	EPAD (AVSS)	P	負のアナログ電源。公称GND (0V)。AVSSはAVDD1およびAVDD2電源に関係しています。

¹ DIはデジタル入力、DOはデジタル出力、AOはアナログ出力、Pは電力、DI/Oはデジタル入力または出力、AIはアナログ入力です。

代表的な性能特性

特に指定のない限り、AVDD1 = 5V、AVDD2 = 5V、IOVDD = 1.8V、V_{REF} = 4.096V、T_A = 25°C、低リップル FIR フィルタ、デシメーション = ×32、MCLK = 16.384MHz、アナログ入力プリチャージ・バッファ = オン、リファレンス・プリチャージ・バッファ = オン。

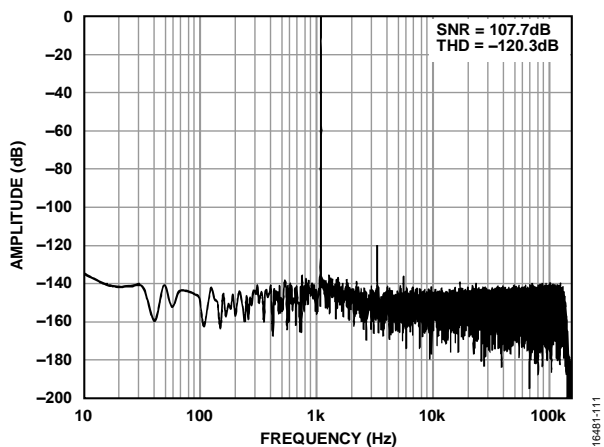


図 10. FFT、高速モード、低リップル FIR フィルタ、-0.25dBFS

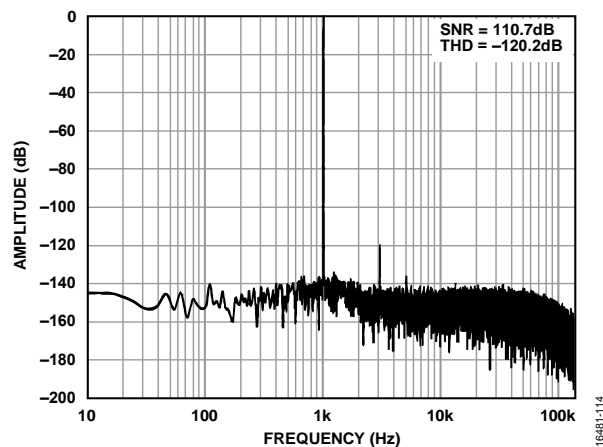


図 13. FFT、高速モード、Sinc5 フィルタ、-0.25dBFS

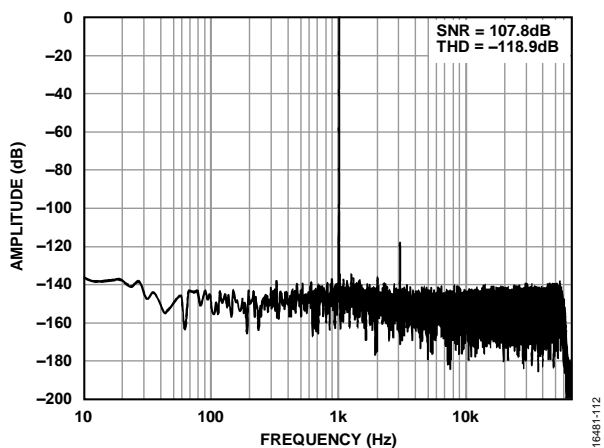


図 11. FFT、中間モード、低リップル FIR フィルタ、-0.25dBFS

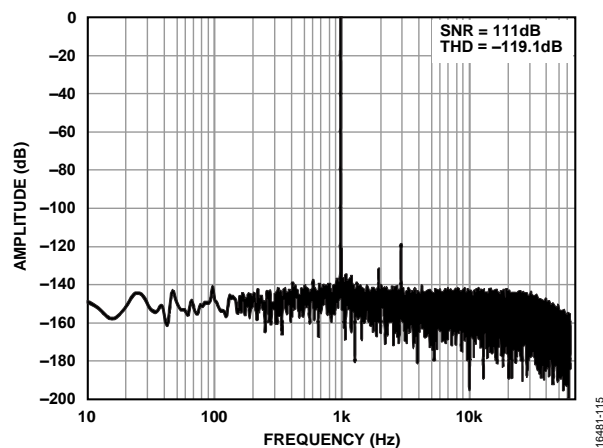


図 14. FFT、中間モード、Sinc5 フィルタ、-0.25dBFS

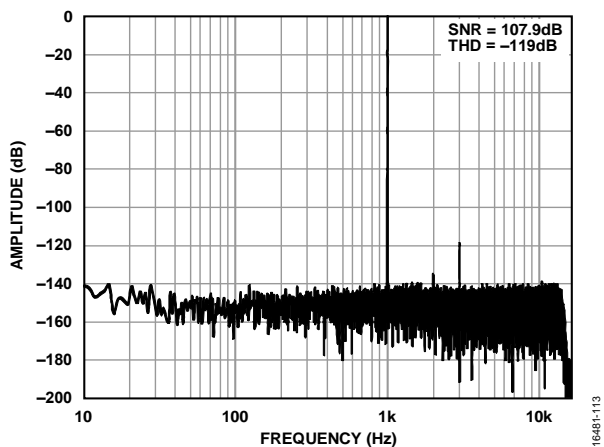


図 12. FFT、低消費電力モード、低リップル FIR フィルタ、-0.25dBFS

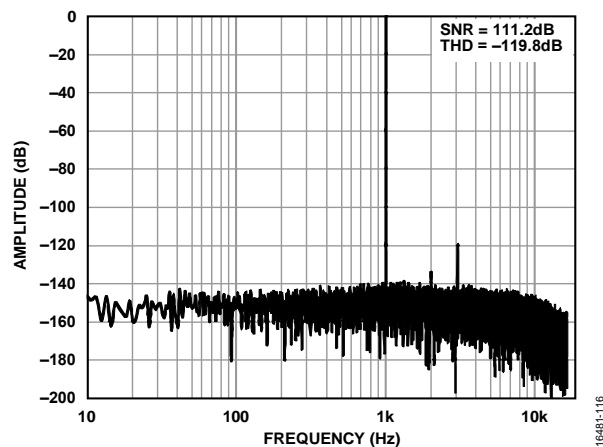


図 15. FFT、低消費電力モード、Sinc5 フィルタ、-0.25dBFS

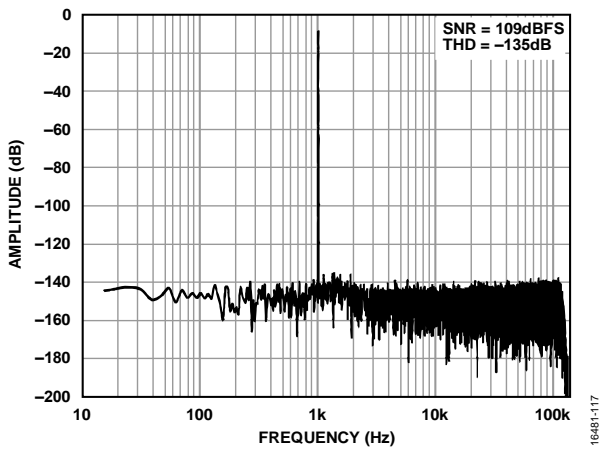


図 16. FFT、高速モード、低リップル FIR フィルタ、-10dBFS

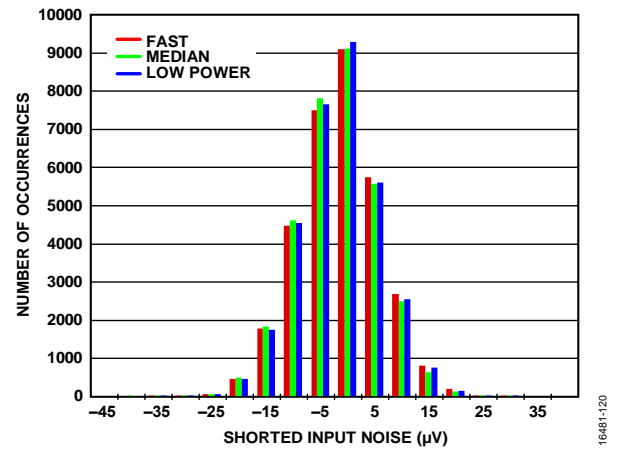


図 19. 短絡入力ノイズ、Sinc5 フィルタ、3つの消費電力モード、N = 32,768

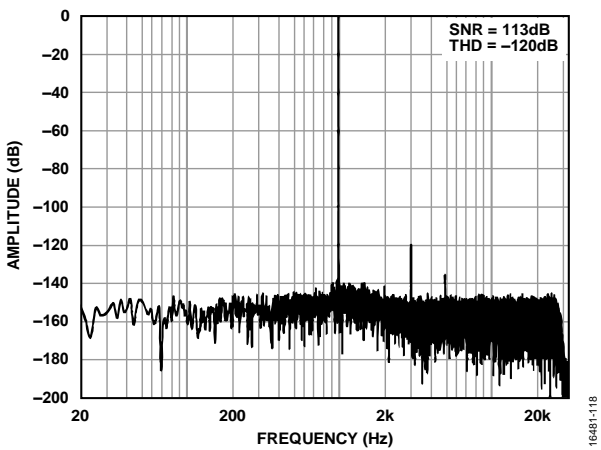


図 17. FFT、高速モード、低リップル FIR フィルタ、デシメーション・レート 128、-0.1dBFS

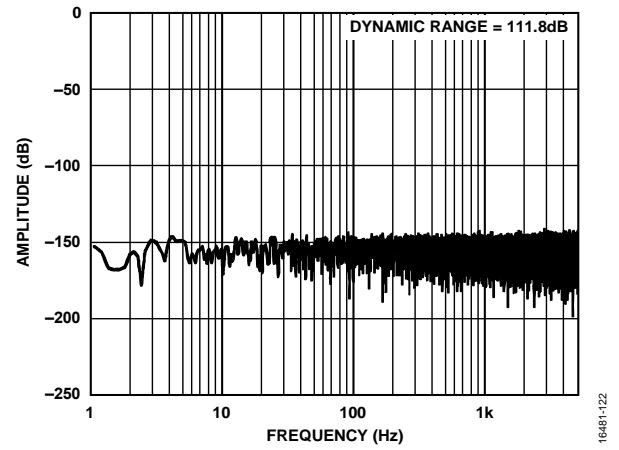


図 20. FFT ワンショット・モード、Sinc5 フィルタ、中間消費電力モード、10kSPS ODR、短絡入力

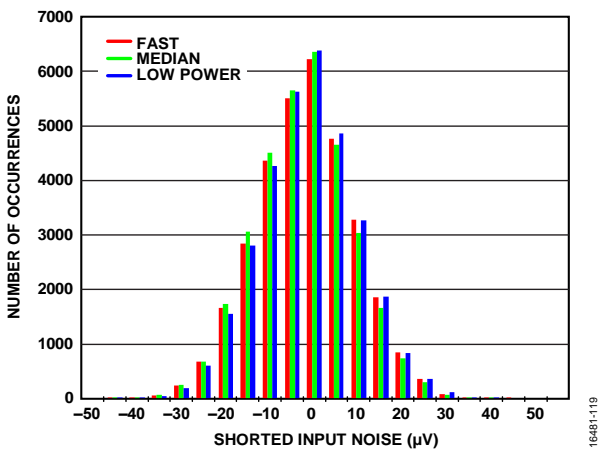


図 18. 短絡入力ノイズ、低リップル FIR フィルタ、3つの消費電力モード、N = 32,768

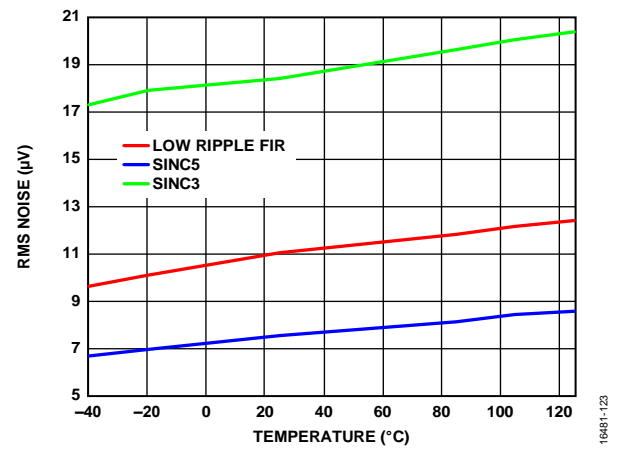


図 21. RMS ノイズと温度の関係、3種類のフィルタ、高速モード

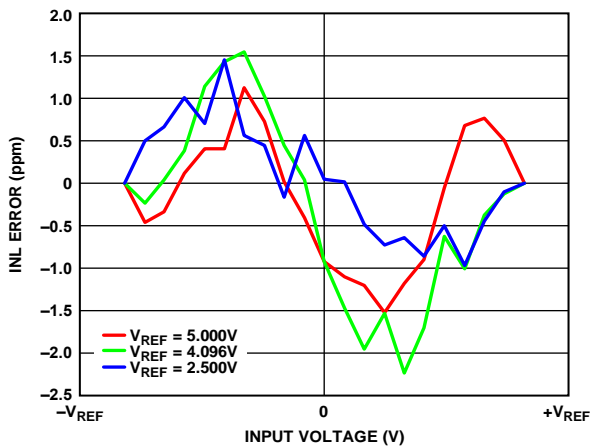


図 22. INL 誤差と入力電圧の関係、各種電圧リファレンス (V_{REF}) レベル、高速モード

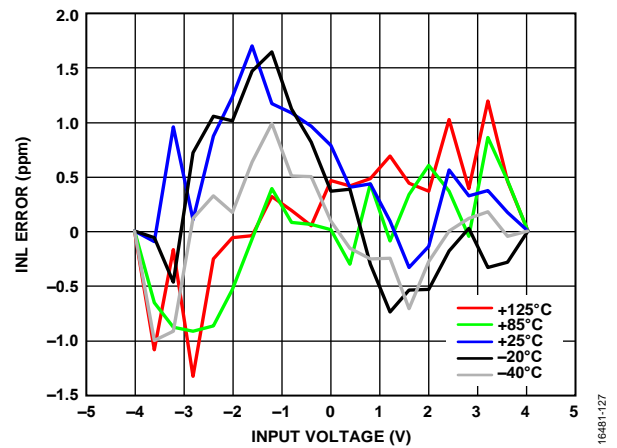


図 25. INL 誤差と入力電圧の関係、各種温度、高速モード

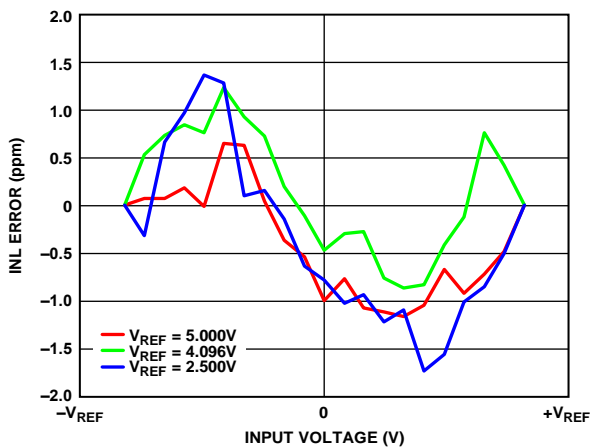


図 23. INL 誤差と入力電圧の関係、各種電圧リファレンス (V_{REF}) レベル、中間モード

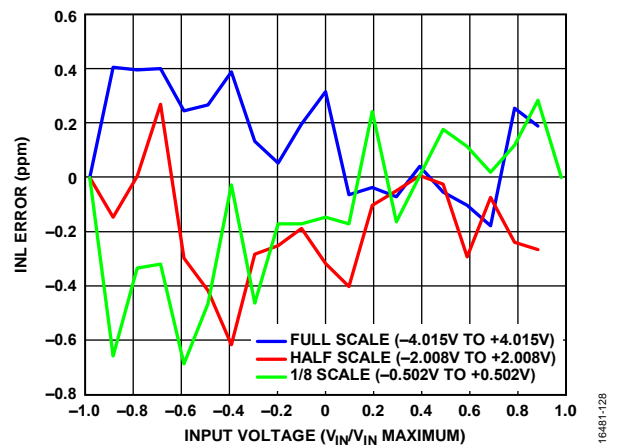


図 26. INL 誤差と入力電圧の関係、フルスケール、1/2 スケール、および 1/8 スケール入力、4.096V リファレンス

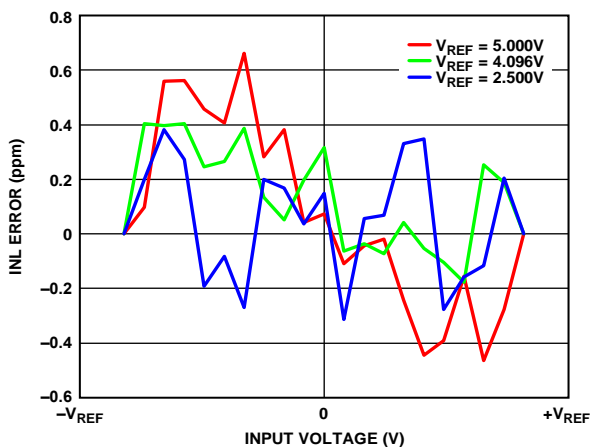


図 24. INL 誤差と入力電圧の関係、各種電圧リファレンス (V_{REF}) レベル、低消費電力モード

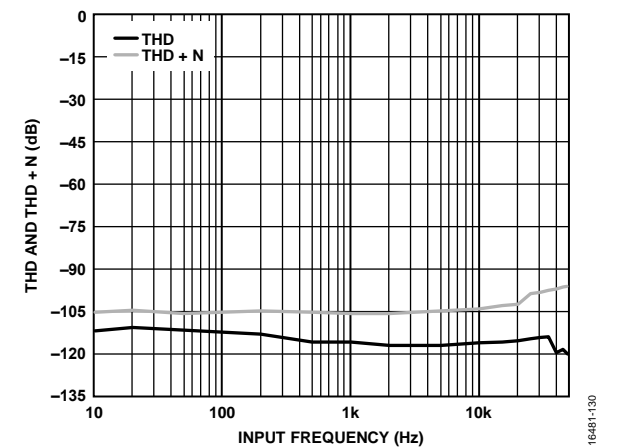


図 27. THD および THD + N と入力周波数の関係、高速モード、低リップル FIR フィルタ

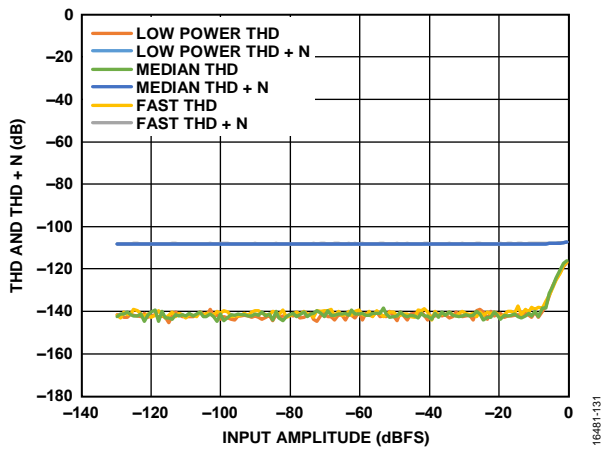


図 28. THD および THD + N と入力振幅の関係、低リップル FIR フィルタ

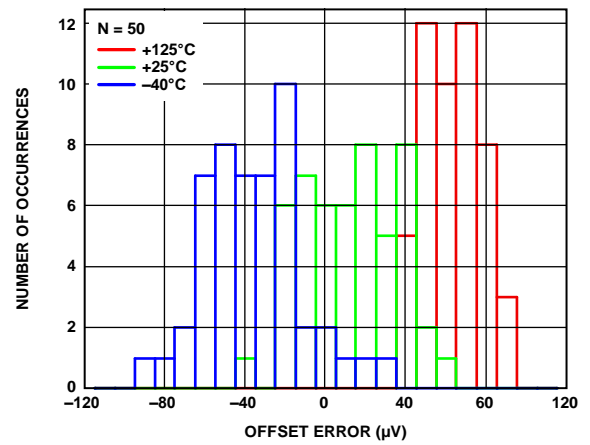


図 31. オフセット誤差分布、高速モード

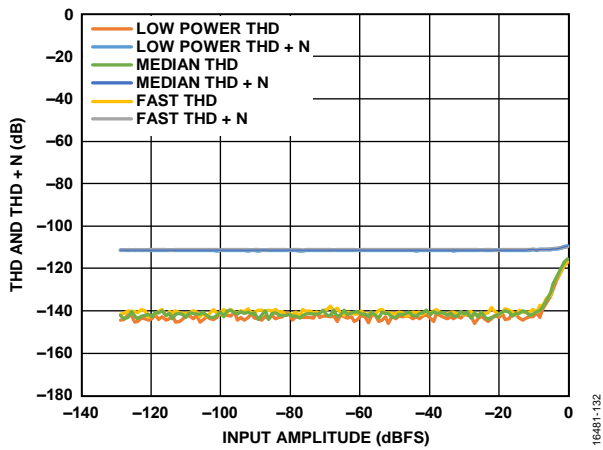


図 29. THD および THD + N と入力振幅の関係、Sinc5 フィルタ

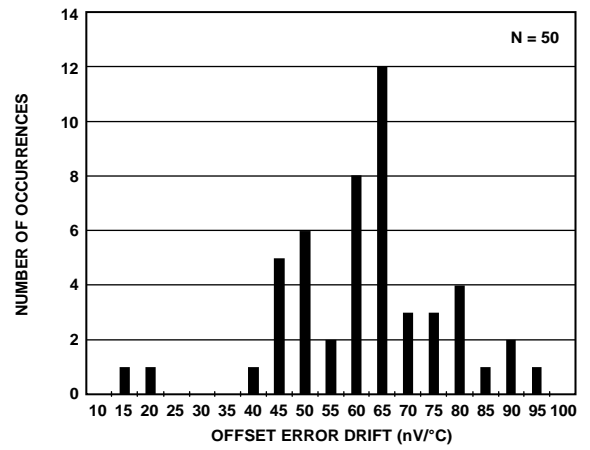


図 32. オフセット誤差ドリフト、高速モード

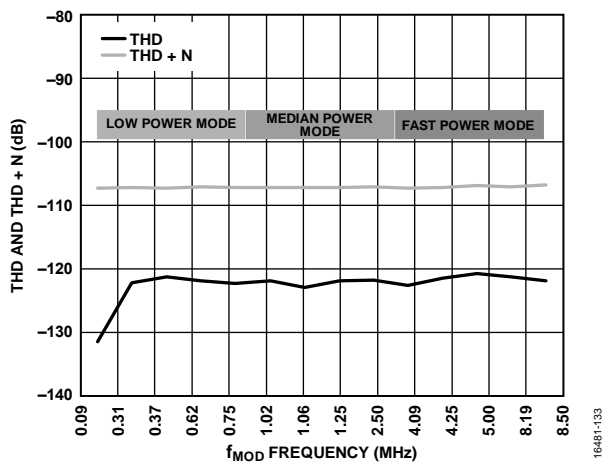


図 30. THD および THD + N と f_{MOD} 周波数の関係、低リップル FIR フィルタ

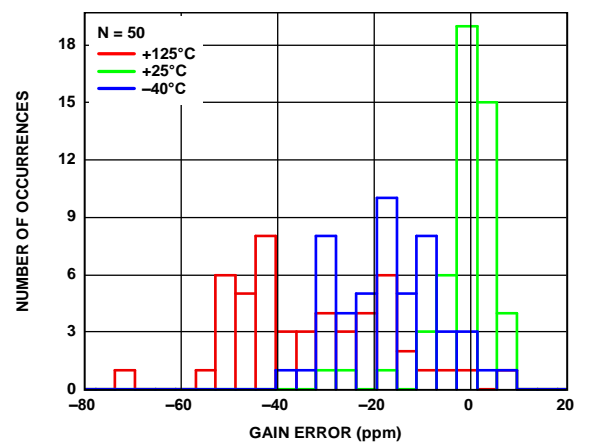


図 33. ゲイン誤差分布、リファレンス・バッファ = オフ

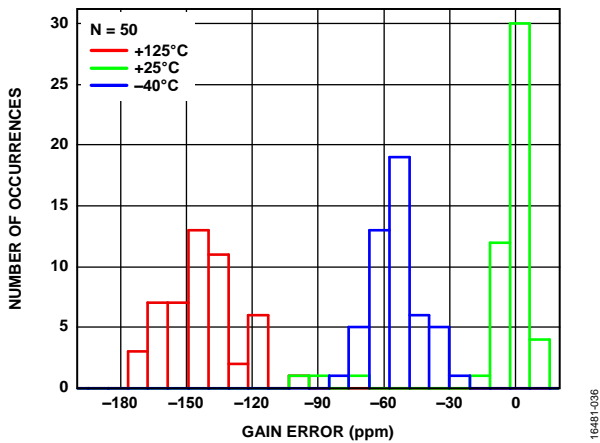


図 34. ゲイン誤差分布、リファレンス・バッファ = オン

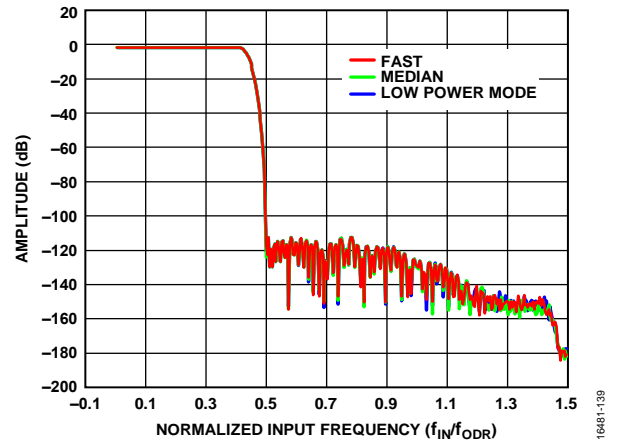


図 37. 低リップル FIR フィルタのプロファイル、振幅と正規化入力周波数 (f_{IN}/f_{ODR}) の関係

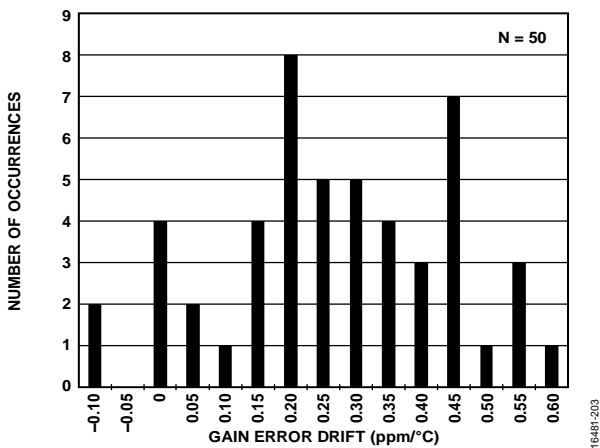


図 35. ゲイン誤差ドリフト、リファレンス・バッファ = オフ

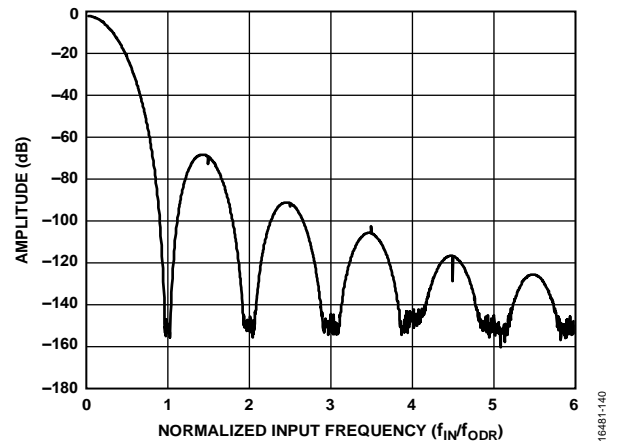


図 38. Sinc5 フィルタのプロファイル、振幅と正規化入力周波数 (f_{IN}/f_{ODR}) の関係

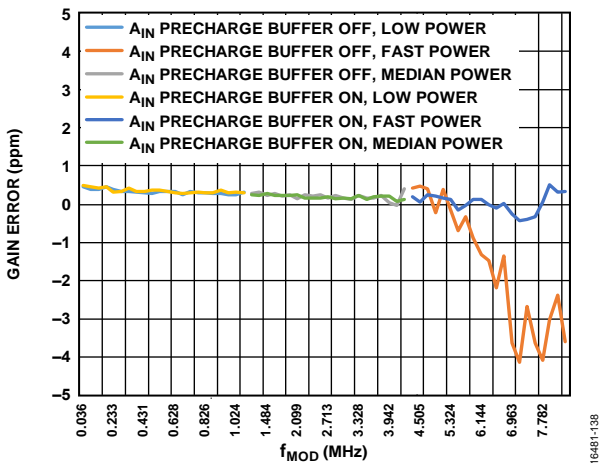


図 36. ゲイン誤差と f_{MOD} の関係

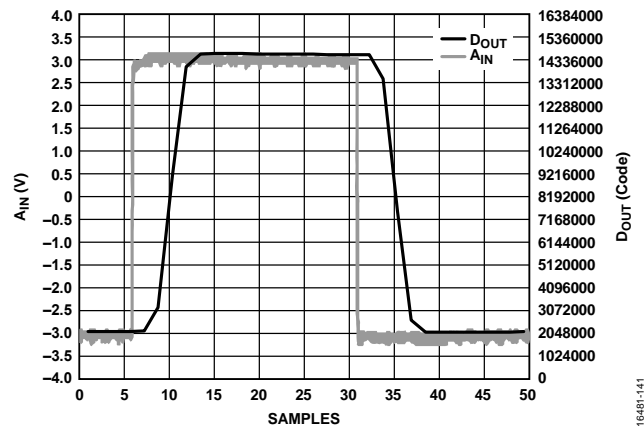


図 39. ステップ応答 (A_{IN} および D_{OUT}) とサンプルの関係、Sinc5 フィルタ

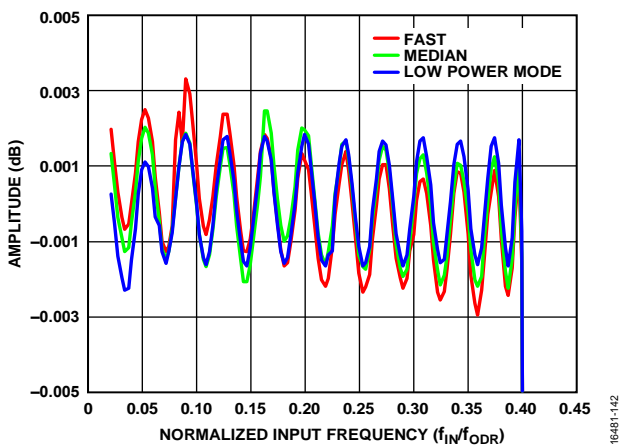


図 40. 低リップル FIR フィルタのプロファイル、振幅と正規化入力周波数 (f_{IN}/f_{ODR}) の関係

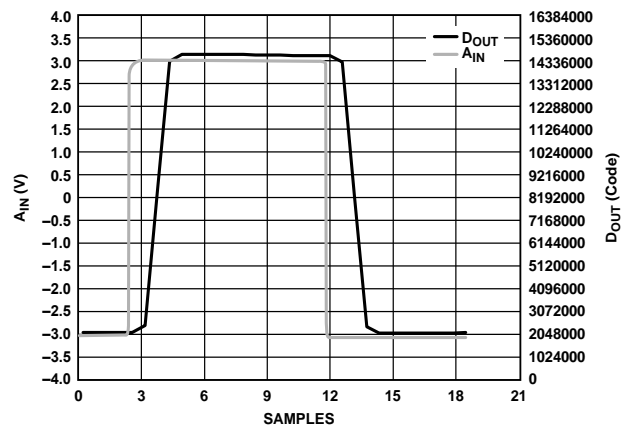


図 43. ステップ応答 (A_{IN} および D_{OUT}) とサンプルの関係、Sinc3 フィルタ

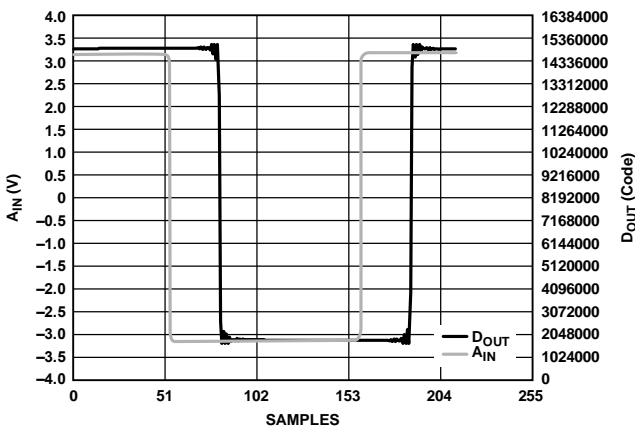


図 41. ステップ応答 (A_{IN} および D_{OUT}) とサンプルの関係、低リップル・フィルタ

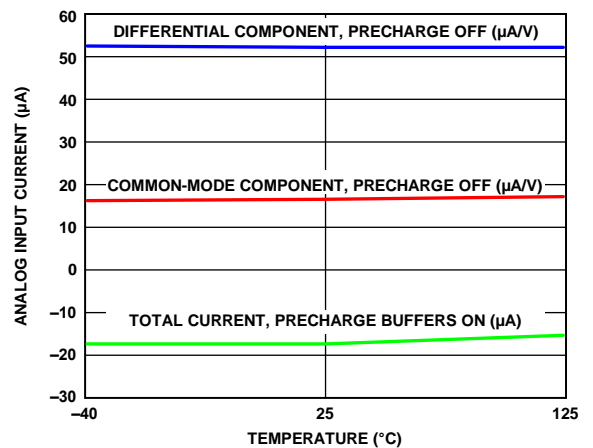


図 44. アナログ入力電流と温度の関係、アナログ入力プリチャージ・バッファ = オン/オフ

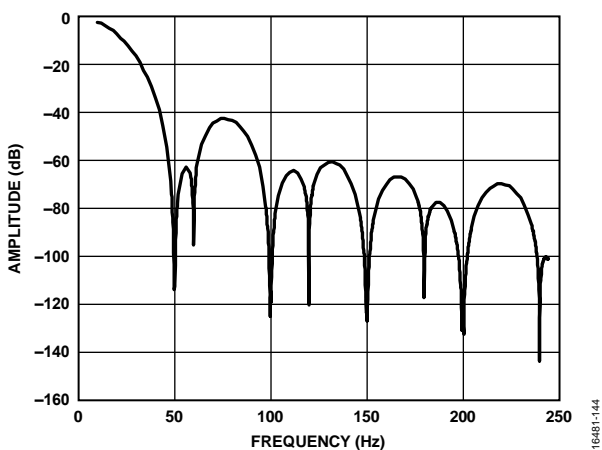


図 42. 50Hz および 60Hz 除去を有効にした場合の Sinc3 フィルタのプロファイル、振幅と入力周波数の関係、50Hz ODR、デシメーション×163,840

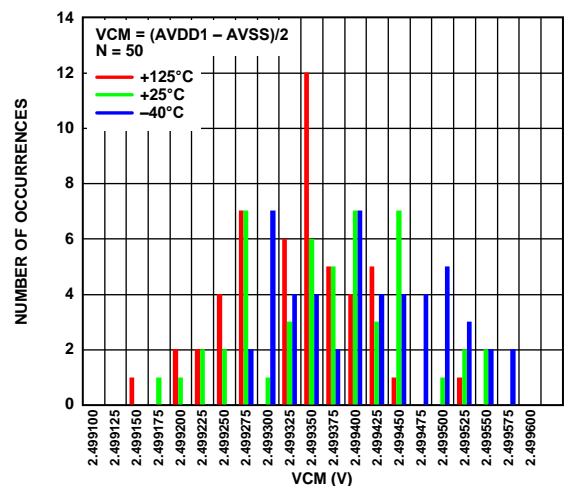


図 45. VCM 出力電圧分布、 $VCM = (AVDD1 - AVSS)/2$

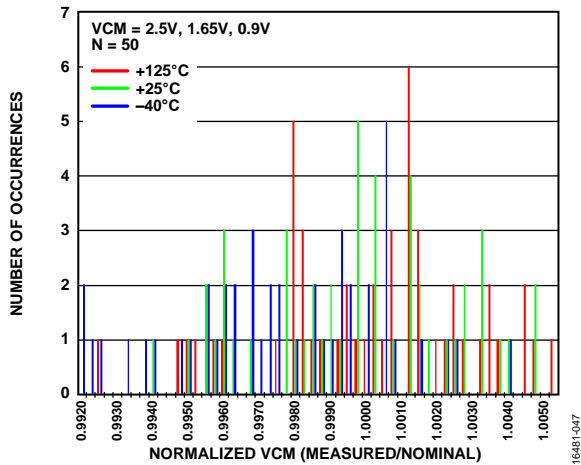


図 46. VCM 出力電圧分布、VCM = 2.5V、1.65V、0.9V

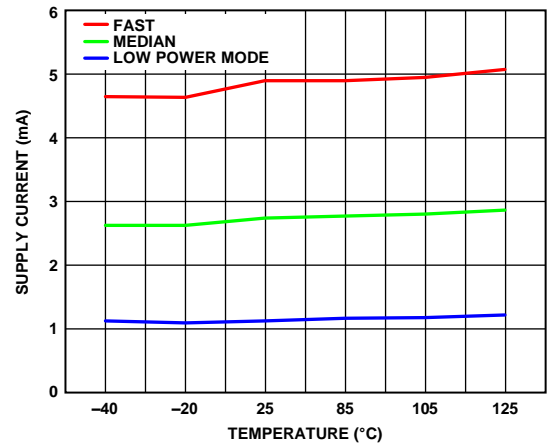


図 49. 電源電流と温度の関係、AVDD2

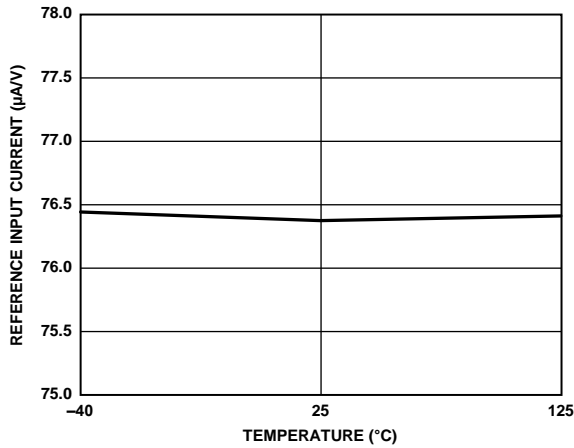


図 47. リファレンス入力電流と温度の関係、リファレンス・プリチャージ・バッファ = オフ

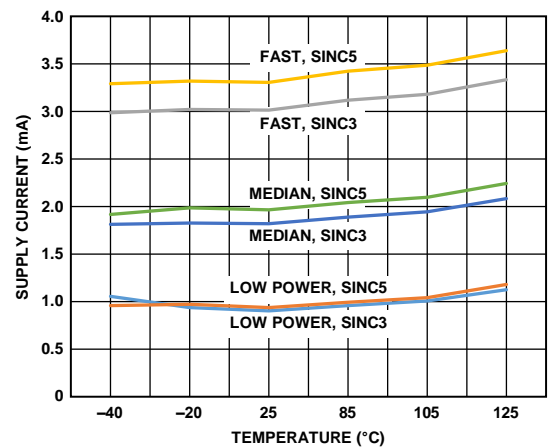


図 50. 電源電流と温度の関係、IOVDD、Sinc3 および Sinc5 フィルタ

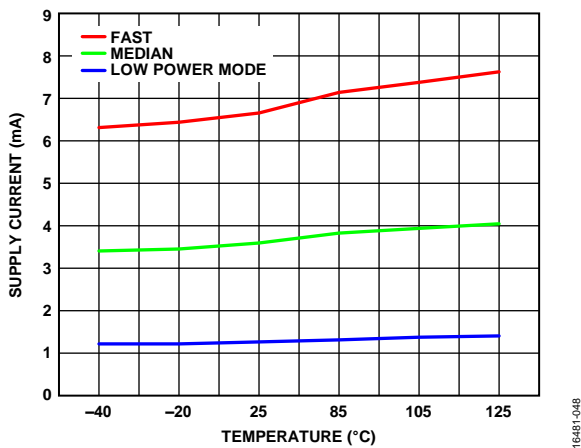


図 48. 電源電流と温度の関係、AVDD1

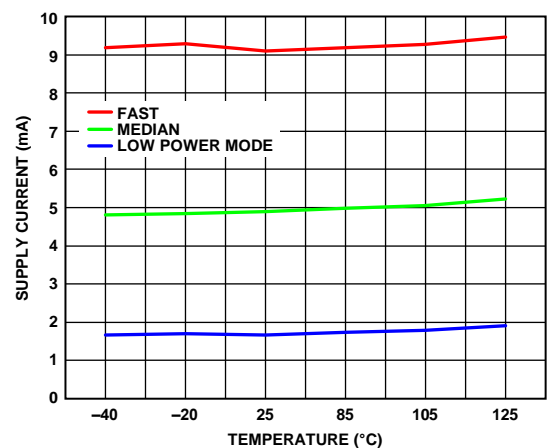
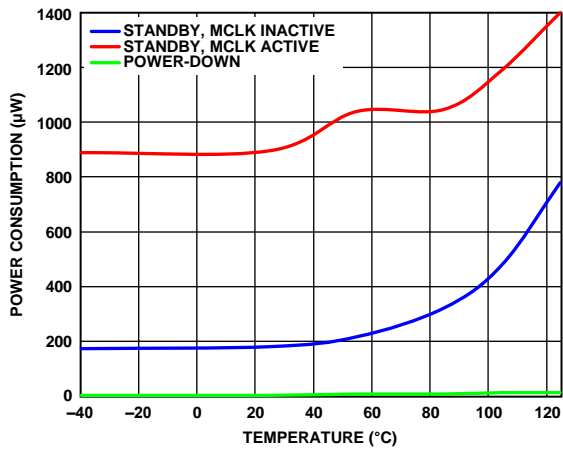
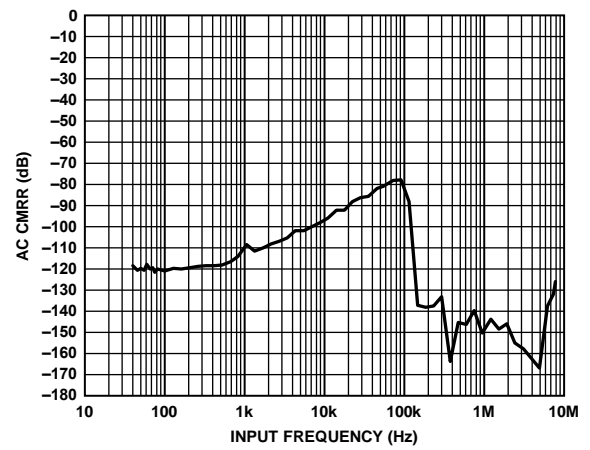


図 51. 電源電流と温度の関係、IOVDD、低リップル FIR フィルタ



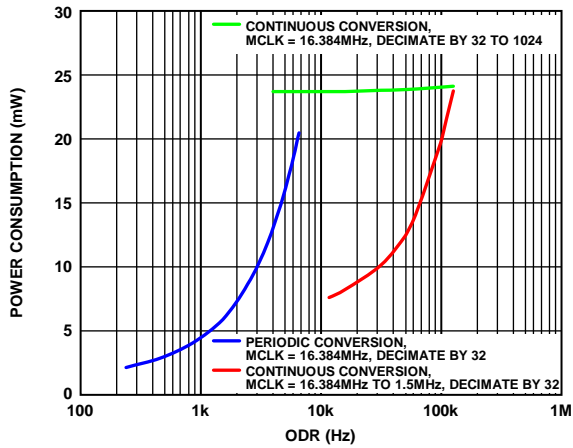
16481-154

図 52. スタンバイ時およびパワーダウン時の消費電力と温度の関係、AVDD1、AVDD2 = 5 V、IOVDD = 1.8 V



16481-054

図 54. AC CMRR と入力周波数の関係



16481-155

図 53. 各種変換モードの消費電力と ODR の関係、中間消費電力モード、Sinc5 フィルタ

用語の定義

同相ノイズ除去比 (CMRR)

CMRR は、周波数 f_s でのコモンモード電圧 A_{IN+} と A_{IN-} に加えられた 100mV p-p サイン波の電力に対するフルスケール周波数 f での ADC 出力電力の比です。

$$CMRR \text{ (dB)} = 10 \log(P_f/P_{fs})$$

ここで、

P_f は周波数 f における ADC の出力電力。

P_{fs} は、周波数 f_s での ADC 出力の電力。

積分非直線性 (INL) 誤差

INL 誤差は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より 1/2LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を 1/2LSB 上回ったレベルとして定義されます。偏差は各コードの中央から直線までの距離として測定されます。

ダイナミック・レンジ

ダイナミック・レンジは、入力ピンを短絡して測定した rms ノイズに対するフルスケール rms 値の比率です。ダイナミック・レンジの単位はデシベルです。

相互変調歪み (IMD)

2つの周波数 f_a と f_b のサイン波で構成される入力で、非直線性を備えたアクティブ・デバイスは $m f_a$ と $n f_b$ (ここで、 $m, n = 0, 1, 2, 3, \dots$) の和と差で表される周波数を使用して歪み積を生成します。相互変調歪み項とは m も n も 0 ではない項です。例えば、2 次の項は $(f_a + f_b)$ と $(f_a - f_b)$ を含み、3 次の項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、および $(f_a - 2f_b)$ を含みます。

AD7768-1 は入力帯域幅の上限近くの 2つの入力周波数を用いた CCIF (Canadian Collision Industry Forum) 規格でテストされます。この場合、通常、2 次項は元のサイン波の周波数から遠く離れ、3 次項は入力周波数に近くなります。その結果、2 次項と 3 次項は別々に規定されます。相互変調歪みの計算は THD 仕様に従います。これは、基本波の和の rms 振幅に対する個々の歪み積の rms 総和の比率で、デシベルで表します。

ゲイン誤差

最初の遷移 (100 ... 000 から 100 ... 001) は負の公称フルスケールより 1/2LSB 上のレベル ($\pm 4.096 \text{ V}$ の範囲では -4.0959375 V) で発生します。最後の遷移 (011 ... 110 から 011 ... 111) は、公称フルスケールより 1/2LSB 低いアナログ電圧 ($\pm 4.096 \text{ V}$ の範囲では $+4.0959375 \text{ V}$) で発生します。実際のゲインにおける最初の遷移と最後の遷移間の変化量および理想的なゲインにおける最初の遷移と最後の遷移間の変化量は一致しません。この変化量の相違がゲイン誤差になります。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、1°C の温度変化に起因するゲイン誤差変化とフルスケール範囲 (2^N) の比です。ppm で表します。

最下位ビット (LSB)

LSB は、コンバータで表現できる最小インクリメント (増分) です。分解能が N ビットの完全差動入力 ADC の場合、電圧で表現する LSB は次式で求めることができます。

$$LSB \text{ (V)} = V_{IN \text{ p-p}} / 2^N$$

電源電圧変動除去比 (PSRR)

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。PSRR は、電源電圧の公称値からの変化による、フルスケール遷移ポイントでの最大変化です。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波成分と直流成分を除く) の rms 総和に対する実際の入力信号の rms 値の比です。S/N 比の単位はデシベルです。

信号 / (ノイズ+歪み) (SINAD)

SINAD は実際の入力信号の rms 値と、高調波を含み直流を除いたナイキスト周波数以下のその他のすべてのスペクトル成分の rms 和との比です。SINAD 値はデシベルで表されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の rms 振幅とピーク・スプリアス信号 (高調波を含む) との差を、搬送波を基準とするデシベル単位 (dBc) で表した値です。

全高調波歪み (THD)

THD は、フルスケール入力信号の rms 値に対する最初の 5 次高調波成分の rms 総和の比率で、単位はデシベルです。

オフセット誤差

オフセット誤差は、理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット誤差ドリフト

オフセット誤差ドリフトは、1°C の温度変化に起因するゼロ誤差変化とフルスケール・コード範囲 (2^N) の比です。単位は $nV/^\circ\text{C}$ です。

動作原理

AD7768-1は低ノイズの広帯域 24 ビット Σ - Δ ADC です。

AD7768-1は、クロック周波数 f_{MOD} の Σ - Δ 変調器を使用します。変調器は $2 \times f_{MOD}$ のレートで入力をサンプリングし、アナログ入力を等価のデジタル形式に変換します。これらのサンプルは、量子化されたアナログ入力信号を表します。

Σ - Δ 変換技術はオーバーサンプリングされたアーキテクチャです。このオーバーサンプリング手法は、量子化ノイズを広範な周波数帯域に拡散します (図 55 参照)。信号帯域の量子化ノイズを軽減するため、ほとんどのノイズ・エネルギーが対象帯域からシフト・アウトされるように、高次変調器によってノイズ・スペクトルが整形されます (図 56 参照)。変調器の後ろにあるデジタル・フィルタが、大きな帯域外量子化ノイズを除去します (図 57 参照)。

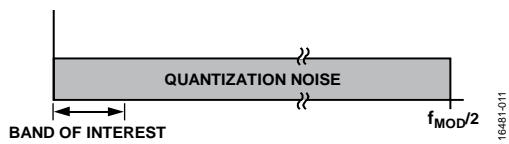


図 55. Σ - Δ ADC 量子化ノイズ (線形スケールの X 軸)

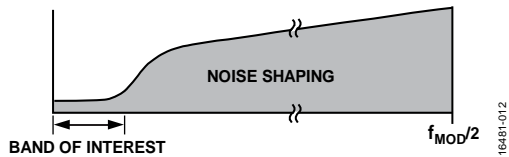


図 56. Σ - Δ ADC ノイズ整形 (線形スケールの X 軸)

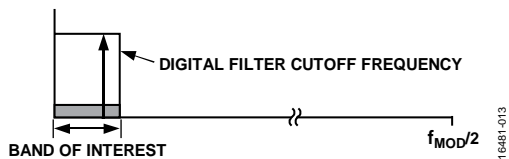


図 57. Σ - Δ ADC デジタル・フィルタ・カットオフ周波数 (線形スケールの X 軸)

Σ - Δ ADC の基本概念と拡張概念の詳細については、[MT-022 Tutorial](#) と [MT-023 Tutorial](#) を参照してください。

デジタル・フィルタリングには、アナログ・フィルタリングより優れた点があります。まず、デジタル・フィルタリングは、部品の許容誤差および部品パラメータの経時変化と温度変化の影響を受けにくいことが挙げられます。AD7768-1 のデジタル・フィルタリングは A/D 変換後に行われるため、変換処理時に混入したノイズをある程度除去することができます。アナログ・フィルタリングは変換処理時に混入したノイズを除去できません。次に、デジタル・フィルタは、低通過帯域リップルに急峻なロールオフと高い阻止帯域の減衰を組み合わせながら、線形位相応答を維持します。アナログ・フィルタを実装する方法で、この動作を実現するのは困難です。

クロック供給、サンプリング・ツリー、およびパワー・スケーリング

AD7768-1 のコア ADC には、マスタ・クロック信号 (MCLK) が供給されます。MCLK 信号は、4つのオプションから1つを選択することができます。すなわち、CMOS クロック、XTAL1 ピンと XTAL2 ピン間に接続された水晶発振器、LVDS 信号、および内部クロックです。AD7768-1 が受信した MCLK 信号は変調器のクロック・レート (f_{MOD}) を定義します。更にこれにより、変調器のサンプリング周波数 $2 \times f_{MOD}$ が定義されます。

MCLK 入力から変調器およびデジタル・フィルタへのクロック・ツリーを図 58 に示します。MCLK には分周設定があります。分周器は、消費電力モードおよびデジタル・フィルタ・デシメーション設定と共に、AD7768-1 の動作に重要な役割を果たします。

AD7768-1 は、消費電力と入力帯域幅または望ましいノイズとの関係をスケーリングできます。MCLK 分周と消費電力モードの 2 つのパラメータを使用してスケーリングを制御できます。これら 2 つの設定により、変調器のクロック周波数 (f_{MOD}) と変調器に供給されるバイアス電流が決まります。また、消費電力モード (高速、中間、または低消費電力) によって、変調器のノイズ、速度性能、および消費電流が設定されます。消費電力モードは、ADC の消費電力をスケーリングするための主な制御機能です。

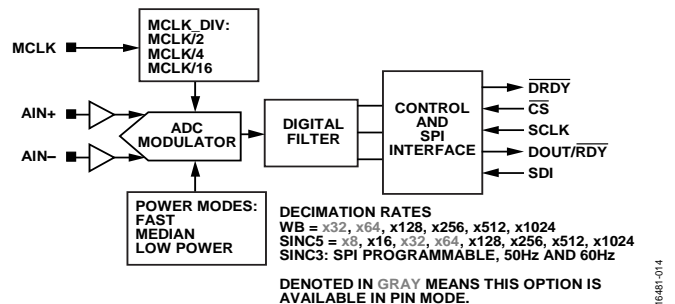


図 58. MCLK および MCLK_DIV 設定によって定義されるサンプリング構造

表 8. デシメーション・レート・オプション

Filter Option	Available Decimation Rates	
	SPI Control Mode	Pin Control Mode
Low Ripple FIR	$\times 32, \times 64, \times 128, \times 256, \times 512, \times 1024$	$\times 32, \times 64$
Sinc5	$\times 8, \times 16, \times 32, \times 64, \times 128, \times 256, \times 512, \times 1024$	$\times 8, \times 32, \times 64$
Sinc3	Programmable decimation rate	50 Hz and 60 Hz output only, based on a 16.384 MHz MCLK

f_{MOD} を決定するには、4 つあるクロック分周設定から 1 つを選択します。すなわち、MCLK/2、MCLK/4、MCLK/8、MCLK/16 のいずれかです。

MCLK 分周と消費電力モードは個別の設定ですが、その組み合わせには制約があります。各消費電力モードには、変調器の周波数の有効範囲が存在します。この推奨範囲を表 9 に示します。これにより、消費電力を最小限に抑えると同時に、最高の性能を実現することができます。AD7768-1 の仕様は、特定の消費電力モードの最大 f_{MOD} を超える性能と機能はカバーしていません。

例えば、高速モードで ODR または入力帯域幅を最大にするには、16.384MHz の MCLK レートが必要です。変調器周波数を 8.192MHz にするには、分周比 2 の MCLK 分周器 (MCLK_DIV) を選択してください。

表 9. 各消費電力モードで推奨される f_{MOD} 範囲

Power Mode	Recommended f_{MOD} Range (MHz)
Low Power	0.038 to 1.024
Median	1.024 to 4.096
Fast	4.096 to 8.192

消費電力モードと変調器周波数の設定を制御する方法は、PIN 制御モードと SPI 制御モードで異なります。

SPI 制御モードでは、消費電力モードと MCLK_DIV を個別にプログラムできます。消費電力モードと MCLK_DIV を個別に選択できるので、MCLK 速度を自由に選択して目的の変調器の周波数を実現できますが、これは節約できる消費電力量を多少減らすことにもなります。例えば、電力モードが低消費電力モードになっている場合は、MCLK = 2.048MHz、MCLK_DIV = 2 の設定を使用するほうが、MCLK = 16.384MHz、MCLK_DIV = 16 の設定を使用するよりも電力効率が向上します。どちらのオプションも有効な選択で、 f_{MOD} 周波数は 1.024MHz です。

PIN 制御モードでは、MODE_x ピンが消費電力モードと変調器周波数を決定します。変調器周波数は消費電力モードによって決まります。つまり f_{MOD} は、低消費電力モードでは MCLK/16 に固定され、中間モードでは MCLK/4 に、高速モードでは MCLK/2 にそれぞれ固定されます。PIN 制御モードでは、MODE_x ピンはフィルタ・タイプとデシメーション・レートの選択にも使われます。

消費電力とノイズ性能の関係の最適化

測定の対象帯域幅に応じて、最小限の消費電力または最高の分解能のいずれかを選択できます。各消費電力モードのカバー範囲が重複しているので、この選択が可能です。同じ ODR を得る方法は複数あります。低い MCLK 周波数と低いデシメーション・レートを組み合わせて使用しても、高い MCLK 周波数と高いデシメーション・レートを使用した場合と同じデータ・レートを実現できます。

低い変調器クロックの周波数を使用することで、消費電力を少なくすることができます。逆に、より高い分解能を実現するには、高い変調器クロック周波数を使用してオーバーサンプリングの量を最大限まで高めます。

消費電力とノイズ性能の関係を最適化した例

使用可能な最大 MCLK = 8MHz でのシステムの制約について考えてみます。システムは、AD7768-1 の ODR を 62.5kHz に設定し、広帯域フィルタを使用して約 25kHz の測定帯域幅を対象として

います。使用できる MCLK 周波数とシステムの消費電力バジェットが低いので、中間消費電力モードを選択します。中間消費電力モードでこの 25kHz 入力帯域幅を実現するには、2つの設定を使用して、MCLK 分周比とデシメーション・レシオのバランスが取れるように設定します。この柔軟性は、SPI 制御モードでのみ可能です。

設定 A

ダイナミック・レンジを最大限にするには、次の設定を使用します。

- MCLK = 8MHz
- 中間消費電力
- $f_{MOD} = MCLK/2$
- デシメーション = $\times 64$ (デジタル・フィルタ設定)
- ODR = 62.5kHz

この設定では、必要な帯域幅で使用可能なデシメーション・レート (またはオーバーサンプリング比) と使用可能な MCLK レートが最大になります。デシメーションは変調器からのノイズを平均化し、ダイナミック・レンジを最大限にします。

設定 B

消費電力を最小限に抑えるには、次の設定を使用します。

- MCLK = 8MHz
- 中間消費電力
- $f_{MOD} = MCLK/4$
- デシメーション = $\times 32$ (デジタル・フィルタ設定)
- ODR = 62.5kHz

この設定では、変調器とデジタル・フィルタのクロック供給速度が低下します。どちらのケースでも f_{MOD} 周波数は推奨周波数範囲内に入っていますが、構成 B では、構成 A よりも 5mW 近い電力を節約できます。構成 B の場合のトレードオフは、1/2 のデシメーション・レートでデジタル・フィルタを使用しなければならないことです。デシメーション・レート (またはオーバーサンプリング比) を 1/2 にすることで、設定 A に比べてダイナミック・レンジが 3dB 低くなります。

ノイズ性能と分解能

表 10 と表 11 に、各種 ODR 値と消費電力モードにおける AD7768-1 の低リップル FIR フィルタと sinc5 デジタル・フィルタのノイズ性能を示します。仕様規定されているノイズ値とダイナミック・レンジは、4.096V の外部リファレンス (V_{REF}) でのバイポーラ入力範囲の代表値です。rms ノイズは、オンボード VCM バッファ出力を使用して (AVDD1 - AVSS)/2 まで駆動した短絡アナログ入力にて測定しました。

ダイナミック・レンジは、rms フルスケール入力信号範囲に対する rms 短絡入力ノイズの比率で計算しました。

$$\text{ダイナミック・レンジ (dB)} = 20 \log_{10}((2 \times V_{REF}/2\sqrt{2}) / (\text{RMS ノイズ}))$$

4.096V リファレンス使用時の LSB サイズは 488nV で、次式で計算します。

$$LSB (V) = (2 \times V_{REF})/2^{24}$$

表 10. 各種の性能および ODR に対する低リップル FIR フィルタのノイズ ($V_{REF} = 4.096\text{ V}$)

ODR (kSPS)	-3 dB Bandwidth (kHz)	Shorted Input Dynamic Range (dB)	RMS Noise (μV)
Fast Mode			
256	110.8	108.43	10.98
128	55.4	111.96	7.31
64	27.7	115.15	5.06
32	13.9	118.23	3.55
16	6.9	121.20	2.52
8	3.5	124.16	1.79
Median Mode			
128	55.4	108.45	10.94
64	27.7	111.89	7.37
32	13.9	115.22	5.02
16	6.9	118.22	3.55
8	3.5	121.23	2.51
4	1.7	124.17	1.79
Low Power Mode			
32	13.9	108.54	10.84
16	6.9	112.12	7.17
8	3.5	115.30	4.97
4	1.7	118.31	3.52
2	0.87	121.22	2.52
1	0.43	124.33	1.76

表 11. 各種の性能および ODR に対する Sinc5 フィルタのノイズ ($V_{REF} = 4.096\text{ V}$)

ODR (kSPS)	-3 dB Bandwidth (kHz)	Shorted Input Dynamic Range (dB)	RMS Noise (μV)
Fast Mode			
1024 (16-Bit Output Only)	208.896	92.93	65.39
512	104.448	107.32	12.46
256	52.224	111.57	7.64
128	26.112	115.30	4.97
64	13.056	118.29	3.53
32	6.528	121.27	2.50
16	3.264	124.15	1.80
8	1.632	127.16	1.27
Median Mode			
512	104.448	92.56	68.20
256	52.224	107.88	11.69
128	26.112	112.06	7.22
64	13.056	115.22	5.02
32	6.528	118.46	3.46
16	3.264	121.34	2.48
8	1.632	124.34	1.76
4	0.816	127.20	1.26
Low Power Mode			
128	26.112	92.41	69.39
64	13.056	107.82	11.77
32	6.528	112.15	7.15
16	3.264	115.37	4.93
8	1.632	118.35	3.50
4	0.816	121.27	2.50
2	0.408	124.24	1.78
1	0.204	127.28	1.25

コア・コンバータ

ADC コアとシグナル・チェーン

図 60 に、コア・シグナル・チェーンの最上位レベルの実装を示します。 Σ - Δ 変調器がアナログ入力をオーバーサンプリングし、デジタル形式にしてデジタル・フィルタ・ブロックに渡します。データがフィルタリングされ、(ユーザ設定に応じて) ゲインおよびオフセットがスケールされて、SPI インターフェースに出力されます。

AD7768-1 は最大 5V のリファレンスを使用でき、アナログ入力 (AIN+および AIN-) 間の差動電圧をデジタル出力に変換できます。アナログ入力は、差動入力または疑似差動入力として設定できます。疑似差動入力として設定した場合は、AIN+または AIN-を一定の入力電圧 (0V、AVSS、またはもう 1 つのリファレンス電圧) に接続できます。ADC はアナログ入力ピン間の電圧差を出力のデジタル・コードに変換します。アナログ入力 AIN+および AIN-に $(AVDD1 - AVSS)/2$ のコモンモード電圧を使用すると、ADC 入力範囲が最大になります。24 ビットの変換結果は MSB ファーストで、2 の補数フォーマットで表されます。図 59 に AD7768-1 の理想的な伝達関数を示します。

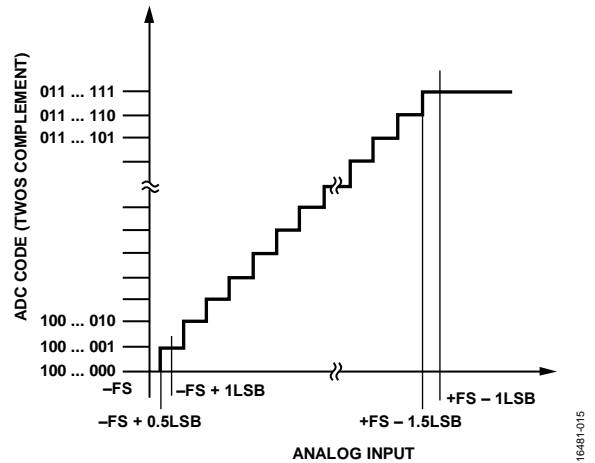


図 59. ADC の理想的な伝達関数 (FS はフルスケール)

表 12. 出力コードと入力電圧の理論値

Description	Analog Input (AIN+ - AIN-), $V_{REF} = 4.096\text{ V}$	Digital Output Code, Twos Complement (Hex)
FS - 1 LSB	+4.095999512 V	0x7FFFFFFF
Midscale + 1 LSB	+488 nV	0x000001
Midscale	0 V	0x000000
Midscale - 1 LSB	-488 nV	0xFFFFF
-FS + 1 LSB	-4.095999512 V	0x800001
-FS	-4.096 V	0x800000

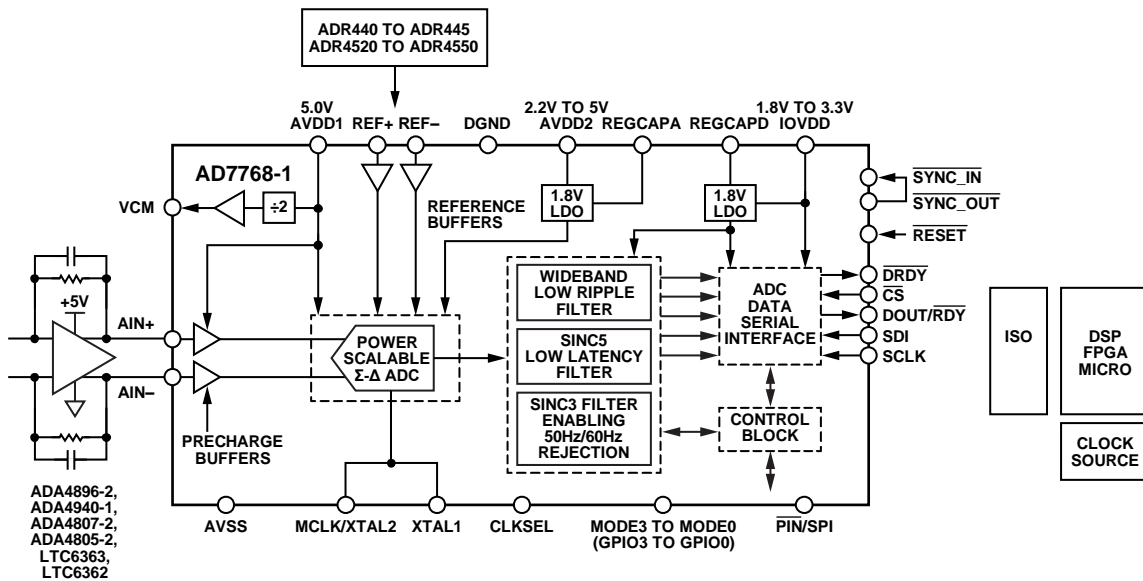


図 60. AD7768-1 の最上位レベルのコア・シグナル・チェーンと制御

アナログ入力とプリチャージ・バッファリング

AD7768-1 のアナログ・フロント・エンドを図 61 に示します。信号パスには、過電圧および ESD が発生した場合に ADC を保護する保護ダイオードが示されています。外部バッファの駆動条件を緩和する内部プリチャージ・アンプは、CS1 および CS2 として示された ADC の内部サンプリング・コンデンサを駆動できます。プリチャージ・アンプは、サンプリング期間の開始部分でスイッチド・サンプリング・キャパシタを充電します。バイパス・スイッチ BPS+ と BPS- は、プリチャージ・バッファの切替を行います。その後の残りのサンプリング期間は外部アンプが入力コンデンサを駆動して、入力に必要な高精度のセトリングを行います。結果として、プリチャージ・バッファによって変換結果のノイズが増えることはなく、低消費電力で帯域幅の狭いドライバ・アンプを使用して AD7768-1 を駆動することができます。プリチャージ・バッファ・アンプ段は入力電流を 1/8 に減らします。

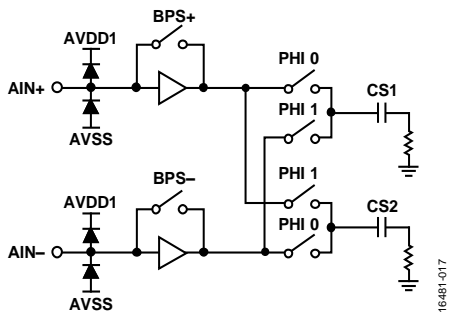


図 61. AD7768-1 のアナログ・フロント・エンド

プリチャージ・バッファは、レジスタへの書き込みによってオン/オフすることができます。PIN 制御モードでは、最適性能を発揮できるように、デフォルトでアナログ入力プリチャージ・バッファがイネーブルになります。

プリチャージ・アナログ入力バッファがディスエーブルの場合、アナログ入力電流はアナログ入力ソースから供給されます。非バッファ・アナログ入力電流は、アナログ入力ペアの差動入力電圧と AVSS を基準にしたアナログ入力電圧の 2 つの要素から計算されます。アナログ入力電流は、変調器のクロック・レートに比例します。消費電力モードが高速モードで MCLK = 16MHz および MCLK/2 の場合、差動入力電流は約 53μA/V で、グラウンド基準の電流は約 17μA/V です。

例えばプリチャージ・バッファがオフのときは、AIN+ = 5V で AIN- = 0V です。

$$AIN+ = 5V \times 53\mu A/V + 5V \times 17\mu A/V = 350\mu A$$

$$AIN- = 5V \times 53\mu A/V + 0V \times 17\mu A/V = -265\mu A$$

プリチャージ・バッファがイネーブルの場合、AVSS を基準にした絶対電圧が電流の大半を決定します。アナログ入力 AVDD1 または AVSS レールに近い場合、測定される最大入力電流は約 -25μA です。アナログ入力電流は、MCLK 周波数とデバイスの消費電力モードに応じて変化します (図 62 と図 63 を参照)。

ADC へのアナログ入力の完全なセトリングには外部アンプを使用する必要があります。AD7768-1 は、ADA4805-2 (低消費電力モード用)、ADA4807-2 または ADA4940-1 (中間モード用)、および ADA4807-2 または ADA4896-2 (高速モード用) などのアンプと組み合わせて使用できます。ADA4940-1 を 4.096V リファレンスで使用し、アンプに十分なヘッドルームとフットルームを与えてアンプが最高の歪み性能を実現できるようにした場合は、5V の単電源でシステムを動作させることができます。AD7768-1 を中間消費電力モードおよび低消費電力モードで動作させた場合、あるいは MCLK レートを下げた場合は、アンプの負荷と速度に関する条件が緩和されます。したがって、より消費電力の少ないアンプをアナログ入力に組み合わせて、最大限のシグナル・チェーン効率を実現することができます。

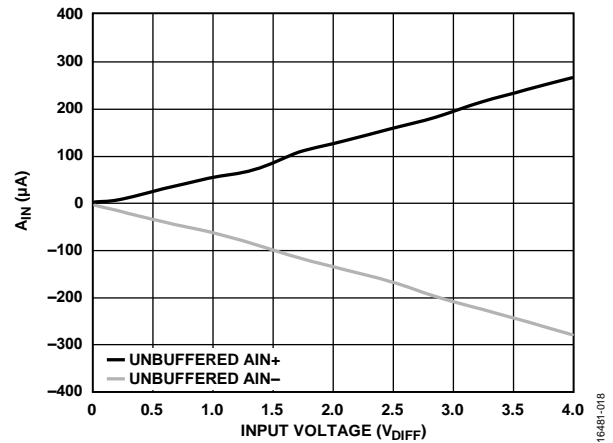


図 62. アナログ入力電流 (AIN) と入力電圧の関係、アナログ入力プリチャージ・バッファ = オフ、VCM = 2.5V、f_{MOD} = 8.192MHz

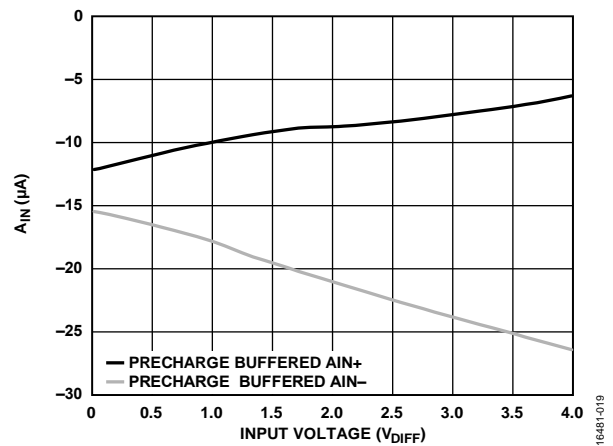


図 63. アナログ入力電流 (AIN) と入力電圧の関係、アナログ入力プリチャージ・バッファ = オン、VCM = 2.5V、f_{MOD} = 8.192MHz

VCM 出力

AD7768-1 は、VCM ピンにバッファ付きコモンモード電圧を出力します。このバッファは、アナログ入力信号にバイアスを加えることができます。このバッファを ADC に組み込むことによって、AD7768-1 は部品数と基板スペースを削減します。PIN 制御モードの場合、VCM の電位は(AVDD1 - AVSS)/2 に固定され、デフォルトでオンになっています。

SPI モードでは、ANALOG2 レジスタ (レジスタ 0x17) を使って VCM の電位を設定します。出力はイネーブルまたはディスエーブルにすることが可能で、AVSS を基準にして(AVDD1 - AVSS)/2、2.5V、2.05V、1.65V、1.1V、または 0.9V に設定することができます。デフォルト値は(AVDD1 - AVSS)/2 です。

図 64 は、各 VCM 設定に対する VCM ノイズのシミュレーションを、100Hz~1MHz の帯域幅に対して示したものです。VCM ノイズ条件に合わせて帯域幅を設定するには、外付けの RC (抵抗とコンデンサ) フィルタが必要です。例えば、2.5V の VCM 出力には 180μV rms のノイズがあります (図 64 参照)。帯域幅を 1kHz に制限すれば、このノイズを約 65μV rms に減らすことができます (図 64 参照)。

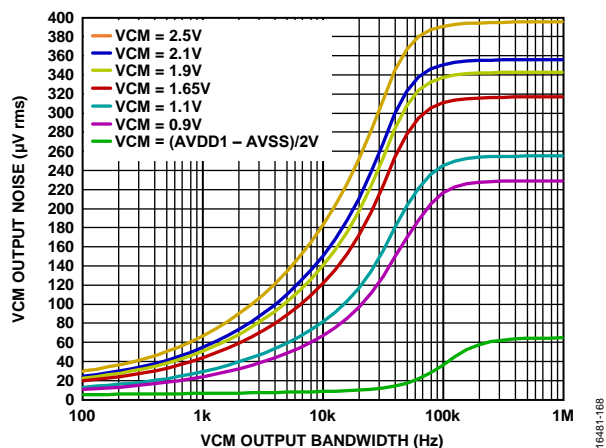


図 64. VCM 出力ノイズと VCM 出力帯域幅の関係

リファレンス入力とバッファリング

AD7768-1 には差動リファレンス入力 REF+ と REF- があります。絶対入力リファレンスの電圧範囲は、1V~AVDD1 - AVSS です。

リファレンス入力は、REF+ ピンと REF- ピンそれぞれのフル・バッファ入力またはプリチャージ・バッファ入力に対して設定するか、両方のバッファをバイパスするように設定することができます。

フル・バッファまたはプリチャージ・バッファを使用すると、大きな負荷や複数のデバイスを駆動するときに外部リファレンスにかかる負荷が軽減されます。リファレンス・ピンにフル・バッファ入力を使用すると入力ノードが高インピーダンスになり、従来の外部リファレンスの超低ソース・インピーダンスを利用できないレシオメトリック・アプリケーションに、AD7768-1 を使用することができます。

PIN 制御モードの場合、リファレンス・プリチャージ・バッファはデフォルトでオンになります。SPI モードでは、フル・バッファかプリチャージ・バッファを選ぶことができます。

リファレンス入力電流は変調器のクロック・レートに比例します。

高速モードで MCLK = 16MHz の場合、差動入力電流はバッファなしで約 80μA/V、プリチャージ・バッファをイネーブルして約 20μA/V です。

プリチャージ・バッファがオフの場合は、REF+ = 5V、REF- = 0V です。

$$REF_{\pm} = 5V \times 80\mu A/V = +400\mu A$$

プリチャージ・バッファがオンの場合、REF+ = 5V、REF- = 0V です。

$$REF_{\pm} \approx 20\mu A$$

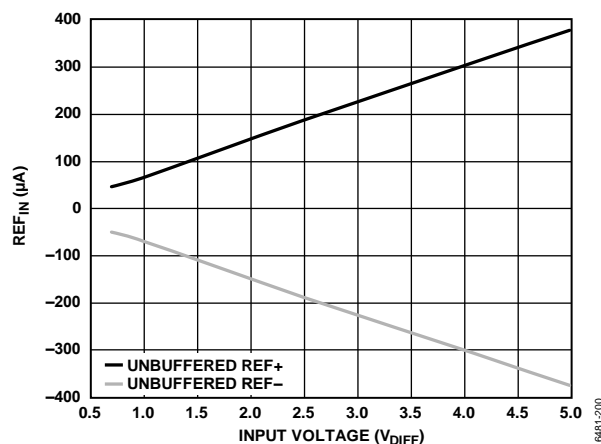


図 65. リファレンス入力電流 (REF_{IN}) と入力電圧の関係、バッファなしの REF+ と REF-

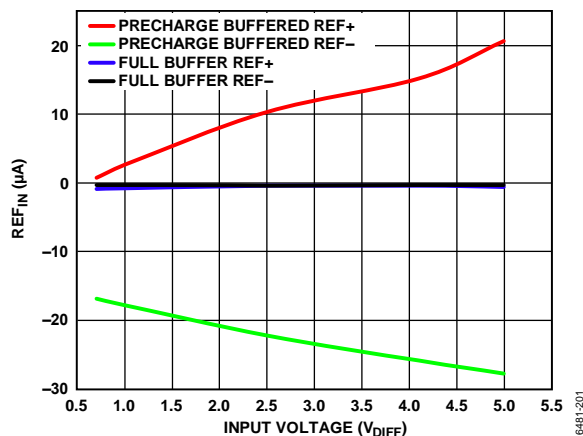


図 66. リファレンス入力電流 (REF_{IN}) と入力電圧の関係、プリチャージ・バッファ使用時の REF+ と REF-、およびフル・バッファ使用時の REF+ と REF-

最大限の性能とヘッドルームを確保するには、ADR444 や ADR4540 のような 4.096V リファレンスを使用します。これらのリファレンスは 5V レールで電源供給することもできますし、AVDD1 を共用することもできます。

SPI 制御モードでは、リファレンス検出機能を使用できます。詳細については、リファレンス検出のセクションを参照してください。

クロッキングとクロックの選択

AD7768-1 は、デバイスの初期パワーアップに使用される内部発振器を備えています。AD7768-1 がスタートアップ・ルーチンを完了すると、クロックが外部 MCLK に切り替わります。AD7768-1 は特定の内部クロック・サイクル数にわたって外部 MCLK の立下がりエッジをカウントして、クロックが有効であること、および周波数が 600kHz 以上であることを確認します。外部 MCLK に問題がある場合クロックの切替えは行われず、AD7768-1 のクロック・エラー・ビットがセットされて、AD7768-1 は内部クロックによる動作を続けます。

SPI 制御モードでは、レジスタ 0x15 のクロック・ソース・ビットを使用して外部 MCLK ソースを設定します。内部発振器、外部 CMOS、水晶発振器、または LVDS の 4 つのクロック・オプションがあります。LVDS クロック・オプションを選択した場合は、CLOCK_SEL ビット (レジスタ 0x15 のビット [7:6]) を使用してクロック・ソースを選択する必要があります。

PIN 制御モードでは、CLKSEL ピンが外部 MCLK ソースを設定します。PIN 制御モードでは 3 つのクロック・オプションを使用できます。すなわち、内部発振器、外部 CMOS、または水晶発振器です。CLKSEL ピンはパワーアップ時にサンプリングされます。

クロックの品質評価チェックをオフにするには、EN_ERR_EXT_CLK_QUAL ビット (レジスタ 0x29 のビット 0) をセットします。クロック品質評価チェックをオフにすると、推奨 MCLK 周波数の範囲より低い外部 MCLK クロック・レートを使用できるようになります。

CLKSEL ピン

PIN 制御モードで CLKSEL = 0 にした場合は、CMOS クロック・オプションを選択して MCLK ピンに使用する必要があります。この場合は XTAL1 ピンを DGND に接続します。

PIN 制御モードで CLKSEL = 1 にした場合は、水晶発振器オプションを選択して XTAL1 ピンと XTAL2 ピンの間に接続する必要があります。

SPI 制御モードでは、CLKSEL ピンは使用する MCLK ソースを選択しないので、CLKSEL を DGND に接続する必要があります。

内部発振器の使用

DC 入力電圧を測定する必要がある絶縁アプリケーションなどのように、場合によっては内部クロック発振器を使用する変換のほうが望ましいことがあります。しかし、内部クロック使用時はジッタのために S/N 比が低下することがあるので、内部クロックを使って AC 信号を変換することは推奨できません。

デジタル・フィルタ処理

AD7768-1 では 3 種類のデジタル・フィルタを使用できます。AD7768-1 で選択可能なデジタル・フィルタは、以下のとおりです。

- Sinc5 低遅延フィルタ、 $0.204 \times \text{ODR}$ で -3dB (8 レート)
- Sinc3 低遅延フィルタ、 $0.2617 \times \text{ODR}$ で -3dB、データ・レートは広範囲にプログラム可能
- 低リップル FIR フィルタ、 $0.43 \times \text{ODR}$ で -3dB (6 レート)

sinc5 フィルタ

ほとんどの高精度 Σ - Δ ADC は sinc フィルタを採用しています。AD7768-1 の sinc5 フィルタを使用すると、制御ループの DC 入力や、特別な後処理が必要な場合に有効な低遅延の信号パスを使用できるようになります。sinc5 フィルタの帯域幅は $0.204 \times \text{ODR}$ で -3dB です。表 11 に、異なる消費電力モードとデシメーション・レシオにおける sinc5 フィルタのノイズ性能を示します。

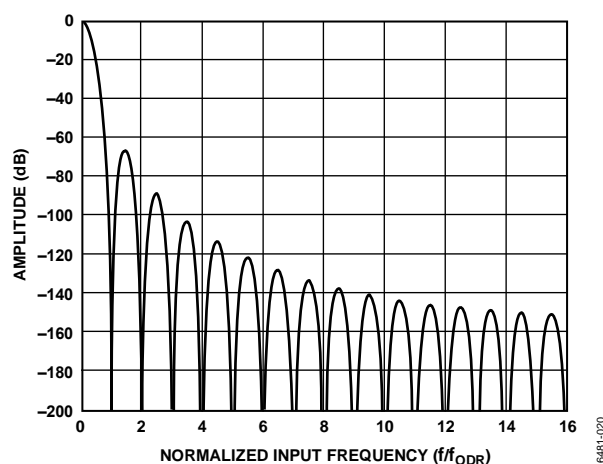


図 67. Sinc フィルタの周波数応答

フィルタのインパルス応答は ODR の 5 倍です。ODR が 250kSPS の場合、データの完全なセトリングに要する時間は 20 μ s です。ODR が 1kSPS の場合、データの完全なセトリングに要する時間は 5 μ s です。

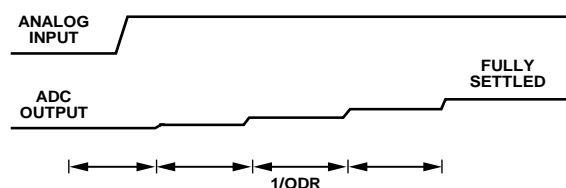


図 68. Sinc5 フィルタのステップ応答

Sinc5 フィルタ使用時の SYNC_IN パルスから最初の DRDY までの時間と、データが完全にセトリングするまでの時間を、様々な ODR 値について表 13 に示します。

表 13. Sinc5 フィルタ、 $\overline{\text{SYNC_IN}}$ からデータ・セトリングまで

MCLK Divide Setting	Decimation Ratio	MCLK Periods	
		Delay from First MCLK Rise After $\overline{\text{SYNC_IN}}$ Rise to First DRDY Rise	Delay from First MCLK Rise After $\overline{\text{SYNC_IN}}$ Rise to Earliest Settled DRDY Rise
MCLK/2	8	46	110
	16	62	190
	32	94	350
	64	162	674
	128	295	1,319
	256	561	2,609
	512	1,093	5,189
	1024	2,173	10,365
MCLK/4	8	79	207
	16	111	367
	32	175	687
	64	310	1,334
	128	576	2,624
	256	1,108	5,204
	512	2,172	10,364
	1024	4,332	20,716
MCLK/16	8	278	790
	16	406	1,430
	32	662	2,710
	64	1,194	5,290
	128	2,258	10,450
	256	4,386	20,770
	512	8,642	41,410
	1024	17,282	82,818

sinc3 フィルタ

AD7768-1 の sinc3 フィルタを使用すると、制御ループの DC 入力や特定周波数における不要な既知の干渉の除去に有効な、低遅延の信号パスを使用できるようになります。sinc3 フィルタ・パスには、既知の干渉を除去できるように、プログラマブル・デシメーション・レートが組み込まれています。sinc3 フィルタの使用時は、32 から 185,280 までのデシメーション・レートを設定することができます。sinc3 フィルタの帯域幅は $0.26 \times \text{ODR}$ で -3dB です。ODR を 50Hz とし、目的の周波数で測定した最小除去比を表 14 と表 15 に示します。

表 14. Sinc3 フィルタの 50Hz 除去、ODR = 50Hz、デシメーション = 163,840

Frequency Band (Hz)	Minimum Measured Rejection (dB)
50 ± 1	101
100 ± 2	102
150 ± 3	102
200 ± 4	102

表 15. Sinc3 フィルタの 50Hz および 60Hz 除去、ODR = 50Hz、デシメーション = 163,840

Frequency Band (Hz)	Minimum Measured Rejection (dB)
50 ± 1	81
60 ± 1	67
100 ± 2	83
120 ± 2	72
150 ± 3	86
180 ± 3	78
200 ± 4	90
240 ± 4	87

フィルタのインパルス応答は ODR の 3 倍です。ODR が 250kSPS の場合、データの完全なセトリングに要する時間は 12µs です。

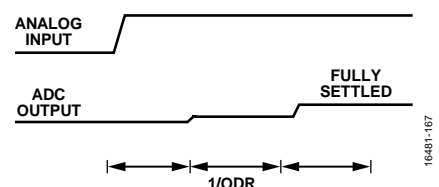


図 69. Sinc3 フィルタのステップ応答

**50Hz 除去、60Hz 除去、および 50Hz/60Hz 除去の
プログラミング**

50Hz トーンを除去するには、sinc3 フィルタの ODR を 50Hz にプログラムします (図 70 参照)。DIGITAL_FILTER レジスタのビット 7 (アドレス 0x19) をセットすることによって、50Hz と 60Hz の両方を同時に除去することも可能です。この構成では、50Hz と 60Hz 両方のライン周波数を除去することができます (図 42 参照)。

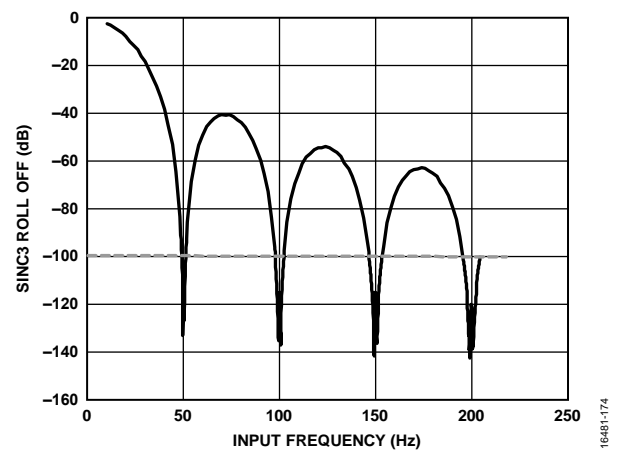


図 70. 50Hz 除去を示す Sinc3 フィルタの周波数応答、50 Hz ODR、x163,840 デシメーション

表 16. Sinc3 フィルタ、SYNC_IN からデータ・セトリングまで

MCLK Divide Setting	Decimation Ratio	MCLK Periods	
		Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	32	127	255
	64	191	447
	128	319	831
	256	575	1,599
	512	1,087	3,135
	1024	2,111	6,207
	163,840	327,743	983,103
MCLK/4	32	241	497
	64	369	881
	128	625	1,649
	256	1,137	3,185
	512	2,161	6,257
	1024	4,209	12,401
	81,920	327,793	983,153
MCLK/16	32	926	1,950
	64	1,438	3,486
	128	2,462	6,558
	256	4,510	12,702
	512	8,606	24,990
	1024	16,798	49,566
	20,480	328,094	983,454

低リップル FIR フィルタ

FIR フィルタは $0.4 \times \text{ODR}$ までの低リップルの入力パス・バンドです。 $0.5 \times \text{ODR}$ (ナイキスト) での完全な減衰により、最大限のアンチエイリアス保護が実現されます。低リップル FIR フィルタの周波数応答を図 71 に示します。低リップル FIR フィルタの通過帯域リップルは図 72 に示すように $\pm 0.005\text{dB}$ で、ナイキストからチョップ周波数 (f_{CHOP}) に至る阻止帯域の減衰量は 105dB です。アンチエイリアシングと f_{CHOP} エイリアシングの詳細については、アンチエイリアス・フィルタリングのセクションを参照してください。低リップル FIR フィルタは 64 次デジタル・フィルタです。フィルタのグループ遅延は $34/\text{ODR}$ です。同期パルスの後、 SYNC_IN の立上がりエッジから完全にセトリングされたデータまでの追加の遅延があります。 SYNC_IN パルスから最初の DRDY までの時間とデータが完全にセトリングするまでの時間を、様々な ODR 値について表 17 に示します。

低リップル FIR フィルタは 6 つのデシメーション・レートのいずれか 1 つで選択でき、希望する分解能に対して最適な入力帯域幅と変換速度を選択できます。

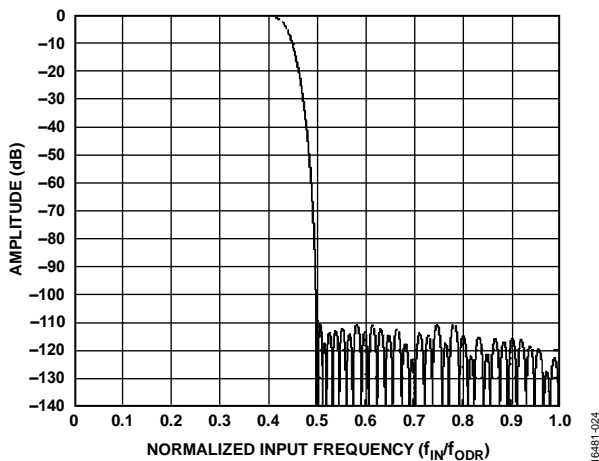


図 71. 低リップル FIR フィルタの周波数応答

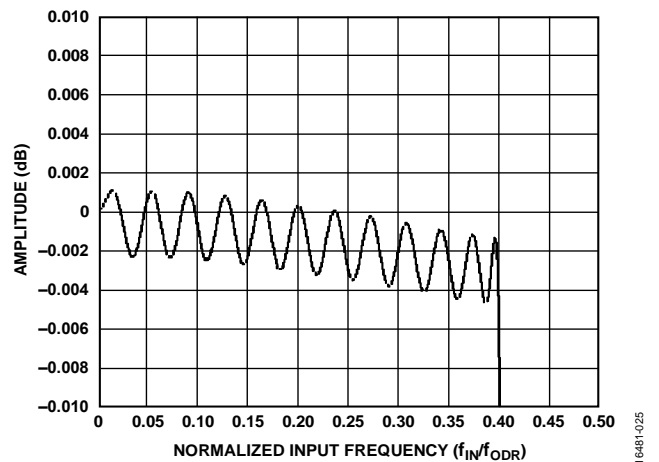


図 72. 低リップル FIR フィルタのパス・バンド・リップル

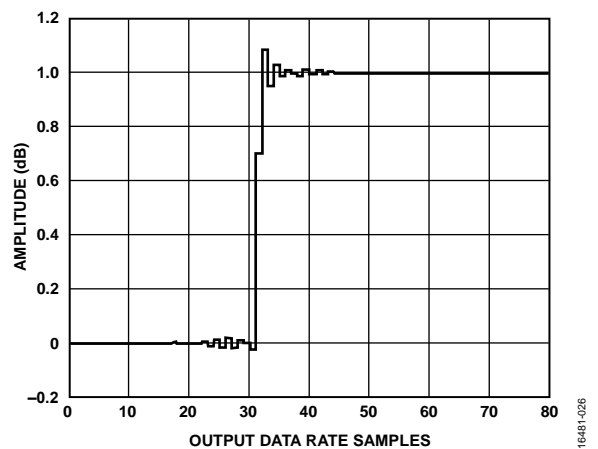


図 73. 低リップル FIR フィルタのステップ応答

表 17. 低リップル FIR フィルタ、 SYNC_IN からデータ・セトリングまで

MCLK Divide Setting	Decimation Ratio	MCLK Periods	
		Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	32	284	4,252
	64	413	8,349
	128	797	16,669
	256	1,565	33,309
	512	3,101	66,589
	1024	6,157	133,133
MCLK/4	32	428	8,364
	64	812	16,684
	128	1,580	33,324
	256	3,116	66,604
	512	6,188	133,164
	1024	12,300	266,252

MCLK Divide Setting	Decimation Ratio	MCLK Periods	
		Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/16	32	1,674	33,418
	64	3,202	66,690
	128	6,274	133,250
	256	12,418	266,370
	512	24,706	532,610
	1024	49,154	1,064,962

デシメーション・レート制御

AD7768-1 は、sinc デジタル・フィルタと低リップル FIR デジタル・フィルタ用のプログラマブルなデシメーション・レートを備えています。デシメーション・レートによって、測定帯域を制限することができます。これは速度と入力帯域幅を低下させますが、デジタル・フィルタ内で更に平均化が行われるので、分解能は向上します。SPI 制御使用時の AD7768-1 上でのデシメーション制御は、sinc5 および低リップル FIR フィルタ用の DIGITAL_FILTER レジスタ (レジスタ 0x19) で設定します。

sinc3 フィルタのデシメーション・レートは、SINC3_DEC_RATE_LSB レジスタ (レジスタ 0x1A) と SINC3_DEC_RATE_MSB レジスタ (レジスタ 0x1B) を使用して制御します。これらのレジスタは、合わせて 13 ビットのプロゲラムを可能にします。デシメーション・レートは、これらのレジスタの値に 1 を加算して、その値に 32 を乗じることによって設定します。例えば、SINC3_DEC_RATE_LSB レジスタの値を 0x5 に設定すると、sinc3 フィルタのデシメーション・レートは 192 になります。

PIN 制御モードでは、MODE0 ピンがデシメーション・レートを制御します。sinc5 オプションと広帯域フィルタ・オプションに使用できるデシメーション・レートは、 $\times 32$ と $\times 64$ だけです。PIN 制御モードで使用できるオプションがすべて記載されたリストについては、表 22 を参照してください。

アンチエイリアシング・フィルタリング

AD7768-1 のアンチエイリアシング・フィルタの設計時には、主に 3 つのエイリアシング領域を考慮する必要があります。各ゾーンのエイリアス条件を理解すれば、特定アプリケーションのニーズを満たすアンチエイリアシング・フィルタを設計することができます。考慮すべき 3 つの領域とは、変調器の飽和点、変調器の非保護領域、および変調器のチョッピング周波数です。

変調器の飽和点

$\Sigma\Delta$ 変調器を、負帰還を採用した標準制御ループと考えてみましょう。制御ループは、処理された誤差信号の平均が常に非常に小さな値となるようにします。以前の誤差を記憶して平均誤差をゼロにするために、制御ループでは積分器が使用されています。アナログ入力のスルー・レートが十分に高い場合はエラー帰還が大きくなり、この入力のために変調器が飽和し始めます。この状態のときは帯域内入力信号が変換されます。しかし、ノイズ・フロアが大幅に増加して、パラメータ性能が影響を受けます。

AD7768-1 では、入力信号がフルスケールのサイン波の場合、 $f_{MOD}/16$ で変調器入力に飽和し始めます。図 74 は、高周波数における入力の振幅が、変調器の飽和を防ぐために許容できる最大信号より大きくなった場合に、飽和に対して変調器が脆弱になる位置を示しています。変調器の飽和に対する保護を行うには、 $f_{MOD}/16$ の -3dB コーナー周波数において最小限の 1 次アンチエイリアシング・フィルタが必要です。

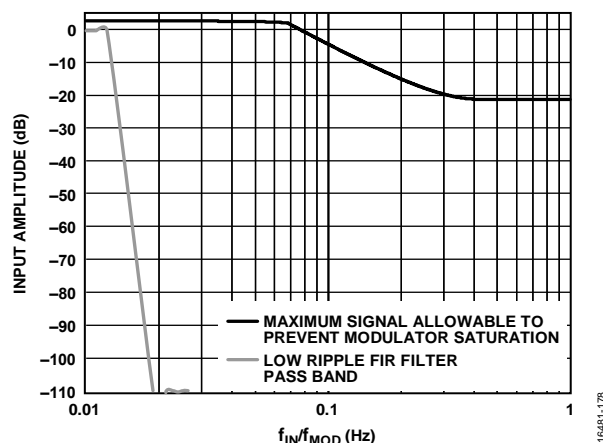


図 74. 変調器の飽和領域

変調器の非保護領域

AD7768-1 の変調器は、 f_{MOD} の立上がりエッジと立下がりエッジでサンプリングを行い、 f_{MOD} のレートでデジタル・フィルタにデータを出力します。変調器の周波数応答プロファイルの中には、 f_{MOD} の奇数倍の位置を中心とするゼロが存在しますが、これは f_{MOD} レートとこのレートの奇数倍の位置にある周波数からのフォールドバックがないことを意味します。 f_{MOD} レートの位置にある周波数からのフォールドバックがないという事実によって、AD7768-1 の最初の非保護領域は $2 \times f_{MOD}$ へ移動しますが、これは従来の $\Sigma\Delta$ ADC にはない大きな利点です。

しかし変調器は、 f_{MOD} の倍数においてもノイズの影響を受けやすくなります。これらの領域では減衰がありません。図 75 に、低リップル FIR フィルタ使用時の変調器の周波数応答を示します。

この追加ノイズを防止するために、アナログ信号パスにおける減衰のレベルを決定します。動作環境によっては、1次、2次、または3次アンチエイリアシング・フィルタが必要になることがあります。

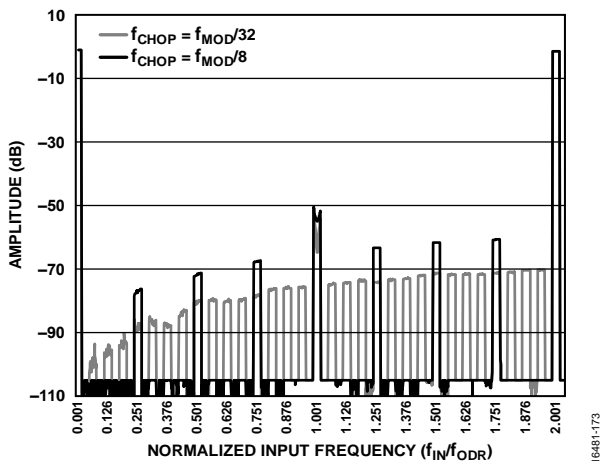


図 75. 帯域外トーンの除去

変調器のチョッピング周波数

AD7768-1 は、変調器でチョップ・アンプと同様のチョッピング技術を使用してオフセット、オフセット・ドリフト、および $1/f$ ノイズを除去します。

チョッピングのレートによっては、目的の帯域幅内に帯域外トーンがエイリアスとして出現することがあります。図 75 に、 $f_{CHOP} = f_{MOD}/32$ (デフォルト) と $f_{CHOP} = f_{MOD}/8$ の両方における帯域外トーンの除去を示します。 $f_{CHOP} = f_{MOD}/8$ オプションは、SPI 制御モードでのみ使用可能です。帯域外トーンが目的の帯域幅内にエイリアスとして出現するのを防止するには、アナログ信号パスに適用する減衰のレベルを決定する必要があります。動作環境によっては、1次、2次、または3次アンチエイリアシング・フィルタが必要になることがあります。詳細については、アンチエイリアシング・フィルタ設計時の考慮事項のセクションを参照してください。

設計の開始にあたって

AD7768-1 は、AC および DC 信号処理用に、低消費電力でフットプリントが小さく、しかも柔軟な測定ソリューションを提供します。

システム設計者にとっては、考慮すべき最初の重大な決定事項があります。概要を述べると、これらの決定は、制御モード、消費電力モード、およびデジタル・フィルタリングとデシメーションなどの条件に関係するものです。

構成の方法 - \overline{PIN} 制御モードまたは SPI 制御モード

制御モードはパワーアップ時に決定されますが、この決定は、 \overline{PIN}/SPI ピン (DGND または IOVDD に接続) のロジック・レベルに基づいて行われます。モードは、SPI 制御モードと \overline{PIN} 制御モードの 2 つです。

SPI 制御モードは以下の機能を備えています。

- 上位機能と柔軟性。
- すべてのフィルタと ODR 値。
- システム・クロック周波数を最適化するすべてのクロック分周オプション。
- 機能の安全チェック。
- 汎用入出力 (GPIO) の使用。
- アナログ入力およびリファレンス入力バッファ・オプション。

\overline{PIN} 制御モードは以下の機能を備えています。

- 希望する固定機能に設定可能な MODE_x ピン。デバイスはパワーアップ時にこの操作を行います。その他の設定は必要ありません。
- 3つの電源モード。
- 3つのフィルタ・タイプ。
- デシメーション・レートのサブセット。
- アナログ入力プリチャージ・バッファをデフォルトでオン。

SPI 制御は最大限の柔軟性を提供し、 \overline{PIN} 制御は複数デバイスのデジチェーン接続などの固定モード動作に適しています。

デジタル・フィルタのタイプとデシメーション

デジタル・フィルタのタイプとデシメーション・レートを選択するときは、以下の項目を考慮します。

- 入力帯域幅、フィルタ・プロファイル条件、または 50Hz/60Hz 除去に関する条件。
- 最大ノイズ目標。
- ODR 条件。

消費電力モード

選択された消費電力モードは、実現可能な全体の消費電力に大きく影響します。消費電力モードを選択するときは、変換速度、入力帯域幅、ノイズ性能、および消費電力を考慮してください。SPI 制御モードでは、システムのサンプリング・クロックに MCLK_DIV 設定を選択します。消費電力モードは、変調器のクロック周波数設定に対応できるだけの十分なものでなければなりません。推奨消費電力モードと f_{MOD} の設定については、表 9 を参照してください。

\overline{PIN} 制御モードにおける消費電力モードとクロック分周の組み合わせは、予め以下のように設定されています。

- 高速モード = MCLK/2
- 中間モード = MCLK/4
- 低消費電力モード = MCLK/16

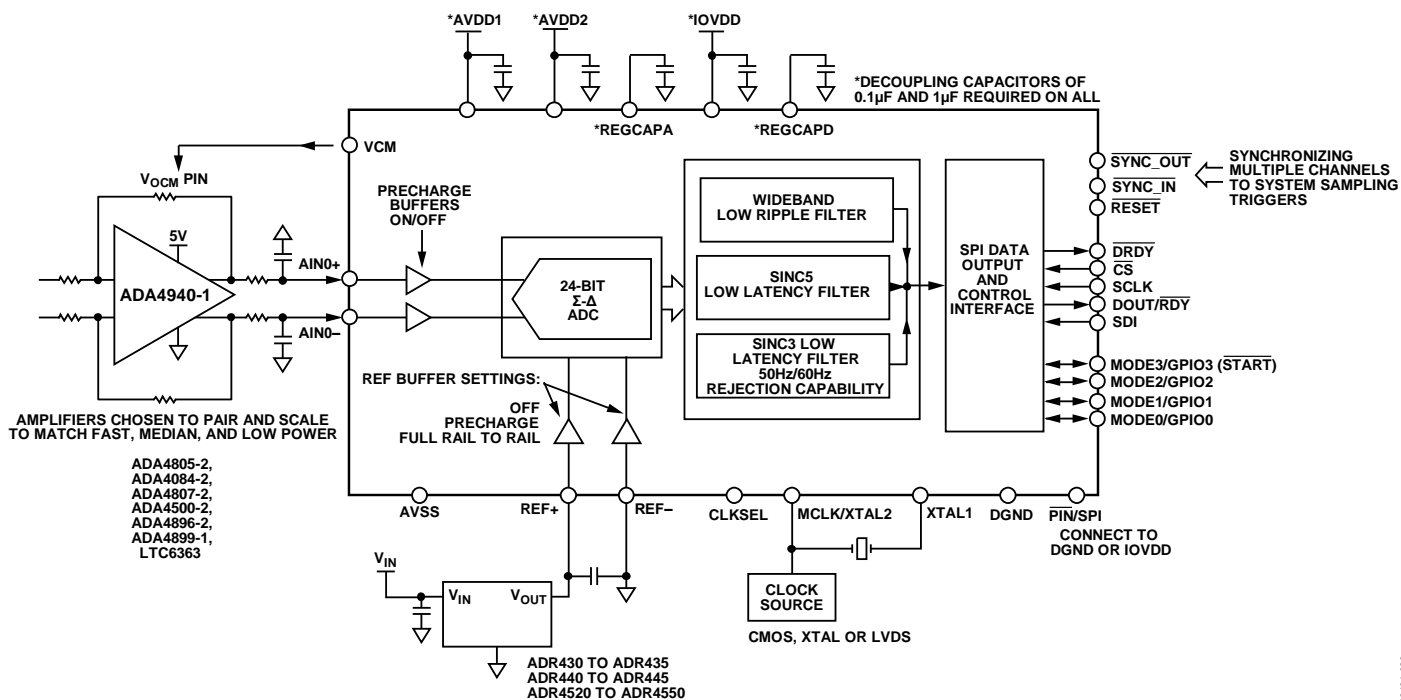


図 76. 代表的な接続図

表 18. AD7768-1 の動作条件と使用可能オプション

Parameter	Description
Power Supplies	5.0V AVDD1 電源、2.0V~5.0V AVDD2 電源、1.8V~3.3V IOVDD 電源 (ADP7104/ADP7118)。低消費電力モードでは、以下のように 3V 単電源動作用に電源を設定できます。AVDD1 = AVDD2 = IOVDD = 3.0V~3.3V。
External Reference	2.5V ADR4525、4.096V ADR4540、5.0V ADR4550。
External Driver Amplifier	ADA4896-2、ADA4940-2、ADA4805-2、または ADA4807-2。
External Clock	ADC 変調器サンプリング用の水晶発振器、CMOS、または LVDS クロック。
Microcontroller, FPGA, or DSP	1.8V~3.3V の入出力電圧

表 19. 速度、ダイナミック・レンジ、THD、消費電力の概要、デシメーション・レート×32¹

Power Mode	ODR	Dynamic Range (dB)	THD (dB)	Power Dissipation (mW)	
				Low Ripple FIR Filter	Sinc Filter
Fast	256 kSPS	108.5 (low ripple FIR filter)	-120	36.8	26.4
Median	128 kSPS	108.5 (low ripple FIR filter)	-120	19.7	14.4
Low Power	32 kSPS	108.5 (low ripple FIR filter)	-120	6.75	5.4

¹ アナログ入力プリチャージ・バッファ=オン、リファレンス・プリチャージ・バッファ=オン、VCM=ディスエーブル。代表値は、AVDD1=5.0V、AVDD2=2.0V、IOVDD=1.8V、V_{REF}=4.096V、MCLK=16.384MHz、T_A=25°C。

電源

AD7768-1には3本の独立した電源ピンがあります (AVDD1、AVDD2、IOVDD)。これらのピンは以下の範囲の電源を供給します。

- AVDD1 = $5.0V \pm 10\%$ 、 $2.5V \pm 10\%$ (AVSS = -2.5V)、および $3.3V \pm 10\%$ (低消費電力モード時のみ)
- AVDD2 = $2.0V \sim 5.0V$
- IOVDD (レギュレータ使用時) = $1.8V \sim 3.3V$

AVDD1とAVDD2はAVSSを、IOVDDはDGNDを基準としています。

AVDD1電源は、アナログ・フロント・エンド、リファレンス入力、および共通モード出力回路に電源を供給します。AVDD1はAVSSを基準としています。

AD7768-1は $\pm 2.5V$ の両電源構成で使用でき、真のバイポーラ入力を変換することが可能です。両電源を使用する場合は、AVSS電源とIOVDD電源間の許容電圧が記載された絶対最大定格のセクションを参照してください。IOVDDとAVSS間の電圧差には許容限界値があります。

AVDD2電源は、内部1.8VアナログLDOレギュレータに接続します。このレギュレータはADCコアへの電源を供給し、PSRRを改善します。AVDD2はAVSSを基準としています。AVDD2 - AVSSの電圧範囲は5.5V (最大値) ~ 2.0V (最小値) です。バイポーラ入力の場合は、AVDD2をAVSS電位の5.5V以内に維持する必要があります。

IOVDDは内部の1.8VデジタルLDOレギュレータに給電します。このレギュレータはADCのデジタル・ロジックに給電します。IOVDDにより、ADCのSPIインターフェースの電圧レベルが設定されます。IOVDDはDGNDを基準としており、IOVDD - DGNDの範囲は3.6V (最大値) ~ 1.7V (最小値) です。

単電源モード

AD7768-1は、低消費電力モードでは単電源3.3Vレールで動作させることができます。この機能により、3.3Vレールしか使用できない場合のために、複数の電源レールやアプリケーションを作成するという非効率な作業をなくすことができます。単電源動作は $3.3V \pm 10\%$ に制限されており、低消費電力モードで動作する場合にのみ使用できます。

単電源動作に推奨される互換コンポーネントは、ADP7104-3.3高精度LDO、ADR443高精度3.0Vリファレンス、およびADA4807-2またはADA4084-2低消費電力レールtoレール入出力高精度アンプです。

推奨される電源構成

図77は、ADP2384が電源電圧を効率的にステップダウンして、ADP7118LDOが低ノイズの電圧入力を生成する構成を示しています。最適なコンバータ性能を発揮できるようにADP7118は正電源レールを提供し、必要とされる電源構成に応じて5Vまたは3.3Vの単電源、あるいはAVDD1/IOVDDを使用する両電源を生成します。設計スペースが限られている場合は、これに代えて最大20Vの入力電圧でADP7118を作動させることができます。

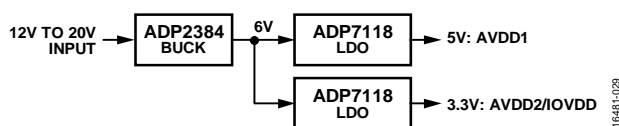


図 77. 電源構成

デバイスの構成方法

AD7768-1には、デバイス機能を制御するためのオプションが2つあります。このモードは、パワーアップ時にPIN/SPIピンの状態によって決定されます。2つの構成モードは、以下のとおりです。

- SPI: 3線式または4線式SPIインターフェース (すべての構成オプションを使用可能)
- PIN: ピン・ストラップ構成のデジタル・ロジック入力 (すべての構成オプションのサブセット)

どちらの制御モードを使用する場合も、パワーアップ時にデバイスをソフト・リセットまたはハード・リセットする必要があります。リセット後やデバイス構成に何らかの変更を加えた後は、SYNC_INパルスも推奨されます。制御と構成をSPIを介して行うか、ピン接続のみで行うかを選択してください。

設計に関する最初の決定は、ADCの構成にSPIモードとPINモードのどちらを使用するかということです。どちらのモードでも、デジタル・ホストはSPIポート・ラインを介してADCデータを読み出します。

PIN構成

PIN制御モードの機能概要を以下に示します。

- デバイスへのSPI書込みアクセスはなし。
- すべての機能をピンで制御。
- SPIピンによりADCの結果をリードバック。
- ADCの結果には各変換結果後の8ビット・ステータス・ヘッダ出力を含む。
- SDIピンを使い、PINモードで動作する複数デバイスのデジタイゼーション接続が可能。

SPI制御

SPI制御モードの機能概要を以下に示します。

- レジスタ・アクセス用の標準SPIモード3インターフェース。ADCは常にSPIスレーブとして動作。
- DRDYピン出力を介した新しい変換の表示。2番目の方法によってDOUT出力ストリーム内のレディ信号をマージすることができ、更にそれにより絶縁障壁越しのライン数を減らすことが可能になります。
- ADCレジスタのアドレスを指定するために8ビットを書き込み、その結果をレジスタからリードバックすることによってリードバック変換を実行可能。
- SPI書込みを介してイネーブルされる連続リードバック・モード。ADC_DATAレジスタ (レジスタ0x2C)のアドレスを設定するためにこの8ビットを使用する必要はありません。SCLKを入力するとデータ・リードバックが行われます。DRDYピンは変換結果が完了したことを示し、変換結果のリードバックをトリガするために使用できます。

- 連続リードバック・モードには、8 ビットのステータス・ヘッダまたは 8 ビットの CRC チェック、もしくはその両方を追加するオプションがあります。

ピン制御モードの概要

$\overline{\text{PIN}}$ 制御モードでは、SPI 通信を必要な動作モードに設定する必要がありません。既知の単一構成が必要とされる状況では、デジタル・ホストへのルーティング信号が少なくなります。 $\overline{\text{PIN}}$ 制御モードは、最小限の構成が必要なデジタル絶縁されたアプリケーションに有効です。 $\overline{\text{PIN}}$ 制御モードはコア機能の一部を提供し、パワーアップ、リセット、または電源故障の後に既知の動作状態に確実に戻します。 $\overline{\text{PIN}}$ 制御モードでは、最高の性能を発揮できるように、アナログ入力プリチャージ・バッファとリファレンス入力プリチャージ・バッファがデフォルトでイネーブルになります。

$\overline{\text{PIN}}$ 制御モードでは、デバイスを最初にパワーアップしたとき、もしくはデバイスをリセットしたときに、 SYNC_OUT ピンに自動同期パルスが出力されます。 SYNC_OUT パルスは GPIOx ピンをトグルしたときも発生しますが、これは、デバイスの設定を $\overline{\text{PIN}}$ 制御モードに変更した後で自動的に同期が行われることを意味します。この同期が行われるようにするには、 SYNC_OUT を SYNC_IN に接続して、同期 SYNC_IN パルスを提供する必要があります。複数のデバイスを同期させる必要があるときは、1 つのデバイスの SYNC_OUT を複数デバイスの SYNC_IN に接続することもできます。複数デバイスの同期が必要な場合は、すべてのデバイスが同じ MCLK を共有する必要があります。

消費電力モード

$\overline{\text{PIN}}$ 制御モードでは、デバイスが ADC の消費電力モードを自動的にスケールし、加えられた MCLK をそのモードに指定された設定に合わせて分周します。表 20 に、各消費電力モードにおける変調器の分周を示します。

表 20. $\overline{\text{PIN}}$ 制御モードにおける変調器のレート

Power Mode	Modulator Rate, f_{MOD}
Fast	$\text{MCLK}/2$
Median	$\text{MCLK}/4$
Low Power	$\text{MCLK}/16$

SPI 制御モードでは、別々のレジスタ・ビットが ADC の消費電力モードと MCLK の分周を個別に制御します。消費電力モードと変調器レートを別々に設定する場合は、表 9 の推奨設定に従うよう注意してください。

データ出力フォーマット

$\overline{\text{PIN}}$ 制御モードには、変換データ用に設定された出力フォーマットがあります。 $\overline{\text{DRDY}}$ の立上がりエッジは、新しい変換の準備ができたことを示します。次の 24 個のシリアル・クロックの立下がりエッジで、24 ビット ADC の結果がクロック出力されます。その後の 8 個のシリアル・クロックで、AD7768-1 のステータス・ビットが出力されます。ADC データは、2 の補数フォーマットを使い MSB ファーストで出力されます。ステータス・ビットのクロック出力後、更に SCLK の立下がりエッジを ADC に入力する場合は、デジタイゼーション・シナリオの場合同様、SDI に加えるロジック・レベルがクロック出力されます。図 78 には、余分なシリアル・クロック (33 番目の立下がりエッジ) が示されています。余分なシリアル・クロック・エッジが生じた場合は、SDI ピンのロジック・レベルがクロック出力されます。

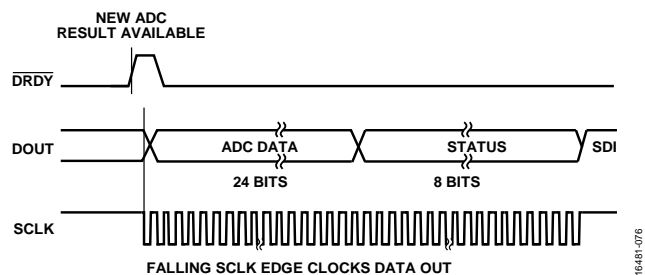


図 78. $\overline{\text{PIN}}$ モードのデータ出力フォーマット
(この図に $\overline{\text{CS}}$ 信号は表示されていません)

表 21. $\overline{\text{PIN}}$ 制御モードと SPI 制御モードでの制御ピン機能とインターフェース・ピン機能の違い

Mnemonic	Pin Function	
	$\overline{\text{PIN}}$ Control Mode	SPI Control Mode
MODE0/GPIO0	MODE0 configuration pin	GPIO0 pin
MODE1/GPIO1	MODE1 configuration pin	GPIO1 pin
MODE2/GPIO2	MODE2 configuration pin	GPIO2 pin
MODE3/GPIO3	MODE3 configuration pin	GPIO3 pin
$\overline{\text{CS}}$	SPI pin for readback of ADC conversion results	SPI interface for full configuration of the AD7768-1 via a register read/write and readback of the ADC conversion results
SCLK	SPI pin for readback of ADC conversion results	SPI interface for full configuration of the AD7768-1 via a register read/write and readback of the ADC conversion results
SDI	SPI pin for readback of ADC conversion results	SPI interface for full configuration of the AD7768-1 via a register read/write and readback of the ADC conversion results
$\text{DOUT}/\overline{\text{RDY}}$	SPI pin for readback of ADC conversion results	SPI interface for full configuration of the AD7768-1 via a register read/write and readback of the ADC conversion results

診断ビットとステータス・ビット

PIN 制御モードは診断機能の一部を提供します。内部エラーは、各チャンネルのデータ変換結果と共にステータス・ヘッダ出力に報告されます。

ステータス・ヘッダは、内部 CRC エラー、メモリ・マップのフリップ・ビット、未検出の外部クロックを報告します。これは、リセットが必要であることを示しています。ステータス・ヘッダは、フィルタ・セトリング信号とフィルタ飽和信号も報告します。これらのエラー・フラグを監視することで、データを無視するタイミングを決定できます。

ステータス・ビットが深刻なエラーを示している場合は、PIN モードの場合のように特定のエラーについて更に問い合わせを行う方法がないので、RESET ピンを使って ADC をリセットすることを推奨します。

デジチェーン接続 - PIN 制御モードのみ

デバイスをデジチェーン接続すると、別々の AD7768-1 デバイスからの複数の ADC 出力をカスケード接続することによって、複数のデバイスが同じデータ・インターフェース・ラインを使用することができます。デバイスのデジチェーン接続は、PIN 制御モードでのみ可能です。

デジチェーン接続用に構成されている場合は、1 つの AD7768-1 デバイスのデータ・インターフェースのみがデジタル・ホストに直接接続されます。AD7768-1 では、チェーン内の上流側にある AD7768-1 デバイスの DOUT/RDY ピンを、その次の下流側 AD7768-1 デバイスの SDI ピンにカスケード接続することで、このデジチェーン接続を行うことができます。デバイスのデジチェーン接続の可否と、デジチェーン接続で扱うことのできるデバイスの数は、使用するシリアル・クロックの周波数と、次の変換が完了する前に複数の 32 ビット変換出力 (24 ビット変換+8 ビット・ステータス) を通じてクロックできる時間によって決まります。

デジチェーン接続機能は、部品数とコントローラへのワイヤ接続を減らすのに有効です。

複数の AD7768-1 デバイスをデジチェーン接続した場合の例を図 79 に示します。

デジチェーン接続法では、同じ MCLK と SCLK を受け取るすべてのデバイスが同期され、同じデシメーション・レートで設定されている必要があります。チップ・セレクト信号 (\overline{CS}) はデータの各変換チェーンをゲートして、各変換結果の伝達後に、その立上がりエッジが SPI を既知の状態にリセットします。コントローラから最も遠い AD7768-1 デバイスは、その SDI ピンを IOVDD (ロジック・ハイ) に接続する必要があります。

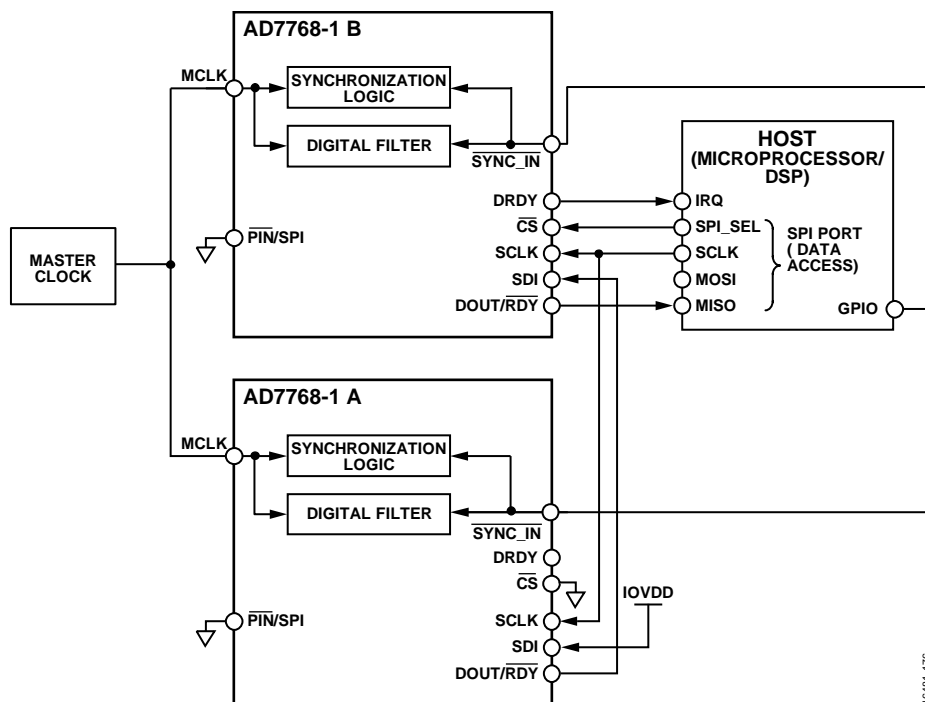


図 79. 複数の AD7768-1 デバイスのデジチェーン接続

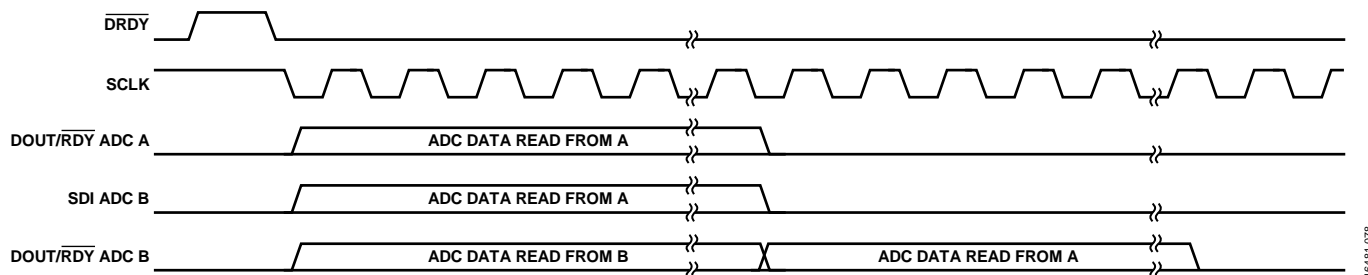


図 80. デバイスをデージーチェーン接続した場合のデータ出力フォーマット (PIN制御モードのみ)

表 22. $\overline{\text{PIN}}$ MODEx ピンの制御設定

MODEx Pin Settings					AD7768-1 Configuration			MCLK = 16.384 MHz
MODEx (Hex)	MODE3/ GPIO3	MODE2/ GPIO2	MODE1/ GPIO1	MODE0/ GPIO0	Power Mode	Filter	Decimation	ODR
0	0	0	0	0	Fast (MCLK/2)	Low ripple FIR	×32	256 kHz
1	0	0	0	1	Fast (MCLK/2)	Low ripple FIR	×64	128 kHz
2	0	0	1	0	Fast (MCLK/2)	Sinc5	×32	256 kHz
3	0	0	1	1	Fast (MCLK/2)	Sinc5	×64	128 kHz
4	0	1	0	0	Median (MCLK/4)	Low ripple FIR	×32	128 kHz
5	0	1	0	1	Median (MCLK/4)	Low ripple FIR	×64	64 kHz
6	0	1	1	0	Median (MCLK/4)	Sinc5	×32	128 kHz
7	0	1	1	1	Median (MCLK/4)	Sinc5	×64	64 kHz
8	1	0	0	0	Low power (MCLK/16)	Low ripple FIR	×32	32 kHz
9	1	0	0	1	Low power (MCLK/16)	Low ripple FIR	×64	16 kHz
A	1	0	1	0	Low power (MCLK/16)	Sinc5	×32	32 kHz
B	1	0	1	1	Low power (MCLK/16)	Sinc5	×64	16 kHz
C	1	1	0	0	Fast (MCLK/2)	Sinc5	×8	1 MHz
D	1	1	0	1	Fast (MCLK/2)	Sinc3 50 Hz and 60 Hz rejection ¹	×163,840	50 Hz
E	1	1	1	0	Low power (MCLK/16)	Sinc3 50 Hz and 60 Hz rejection ¹	×20,480	50 Hz
F	1	1	1	1	Standby			

¹ Sinc3 フィルタ、50Hz および 60Hz の除去。50Hz と 60Hz を除去できるのは、 $\overline{\text{PIN}}$ 制御モードで使用する MCLK が 16.384MHz の場合にに限られます。デシメーション・レートは、sinc フィルタのノッチが 50Hz と 60Hz に一致するように、これらのピン・モード設定に合わせて内部で調整されます。

SPI 制御の概要

SPI 制御機能は、柔軟性と、診断に関する上位機能を提供します。表 23 に示すカテゴリは、SPI 制御モードで有効にできる主な制御、変換モード、および診断モニタリング機能を示したものです。

表 23. SPI 制御機能

SPI Control	Capabilities	Meaning for the User
Power Mode	Fast, medium, low power, standby, power down	あらゆる制御機能を使用して消費電力をスケールリングし、節約することができます。
MCLK Division	MCLK/2 to MCLK/16	目的の帯域幅に関するクロック周波数をカスタマイズできます。
MCLK Source	CMOS, crystal, LVDS, and internal clock	分散クロックまたはローカル・クロックを使用できます。
Digital Filter Style	Sinc5, low ripple FIR, sinc3 (programmable)	測定対象とその帯域幅に合わせて遅延と周波数応答をカスタマイズできます。
Interface Format	Bit length Status bits CRC Data streaming	連続読出しモードにおける変換長を選択できます (24 ビットまたは 16 ビット)。出力デバイスのステータス・ビットと ADC の変換結果を表示できます。データ送信時にエラー・チェックを行うことができます。変換データのストリーミングを行い、インターフェース書込みオーバーヘッドをなくすことができます。

SPI Control	Capabilities	Meaning for the User
Analog Buffers	Analog input precharge Reference input precharge Reference input full buffer	ADC ドライバ・アンプに関する条件を緩和して、より低消費電力または狭帯域幅のドライバ・アンプを使用することができます。 リファレンス入力電流を減らして、リファレンスのフィルタリングを容易にします。 この高インピーダンスのフル・バッファはリファレンス・ソースのフィルタリングを可能にして、高インピーダンス・ソース、つまりリファレンス抵抗を使用できるようにします。
Conversion Modes	Single conversion One shot Continuous conversion Duty-cycled conversion Calibration	変換を 1 回終了した後でスタンバイに戻ることができます。 逐次比較レジスタ (SAR) 変換と同様の変換を行うことができます。AD7768-1 は、この変換を時限パルスに基づいて行います。 通常動作では変調器が連続して変換を行い、入力の変化に対して最速の応答が得られます。 ポイント変換の消費電力をより節約することができます。変換のレートを測定して、変換完了後に ADC をスタンバイに維持する時間を設定します。 システムのキャリブレーションを行い、ゲイン/オフセット・レジスタをリードバックすることによって、ゲイン・キャリブレーションまたはオフセット・キャリブレーションの結果をユーザのシステム設定に保存することができます。
Conversion Targets	Analog inputs Temperature sensor Diagnostic sources	アナログ入力ピンに加えられた入力信号を測定できます。 オンチップ温度センサーによってローカル温度を測定できます。相対温度の測定に使用します。 定期的な機能安全チェックのために、リファレンス入力と内部電圧を測定できます。
GPIO Control	Up to four GPIOx pins	他のローカル・ハードウェア (ゲイン段など) の制御、シグナル・チェーン内の他のブロックのパワーダウン、あるいは AD7768-1 の SPI インターフェースを介したローカル・ステータス信号の読出しを行うことができます
System Offset and Gain Correction	System calibration routines	環境が変化したときに (つまり温度が上昇したときに)、レジスタに書き込みを行うことによってオフセットやゲインを修正することができます。これらのレジスタに書き込みを行うには、システム・エラーの特性評価を行う必要があります。
Diagnostics	Internal checks and flags	変換結果の信頼性を高めることができます。

SPI 制御モード

MCLK のソースと MCLK の分周

MCLK 分周ビットは、AD7768-1 に入力される MCLK と ADC 変調器が使用するクロックの分周比を制御します。クロックの構成に最も適した分周比を選択してください。

SPI モードでは、次のオプションを MCLK 入力ソースとして使用できます。

- LVDS
- 外部水晶発振器
- CMOS 入力 MCLK

CLOCK_SEL をローにすると、CMOS クロック用に AD7768-1 を設定することができます。CLK_SEL をハイにすると、外部の水晶発振器を使用できます。

CLOCK_SEL をハイにしてレジスタ 0x15 のビット [7:6] をセットすると、MCLK ピンに LVDS クロックを供給することができます。LVDS クロック供給は SPI モード専用で、動作させるにはレジスタを選択する必要があります。

パワーダウン・モード

パワーダウン・モードでは消費電流を最小限に抑えることができます。ADC 上のすべてのブロックがオフになります。ADC の動作を再開させるには、特別なコードが必要です。パワーダウン・モードになると、レジスタの内容はすべて失われます。パワーダウン・モードにするときは、ADC へのすべての入力の接続を解除してください。詳細については、消費電力およびクロ

ック制御レジスタ (POWER_CLOCK、アドレス 0x15) の説明を参照してください。

スタンバイ・モード

アナログ・クロック機能と消費電力機能がパワーダウンされます。スタンバイ・モードでは、デジタル LDO とレジスタの設定が維持されます。このモードは、ADC が一時的に使用されないことがあり、その間に消費電力を抑えたいようなシナリオに最適です。

SPI の同期

AD7768-1 は SPI を介して同期することができます。コマンドの最後の SCKL 立上がりエッジが同期の最初のステップです。このコマンドは最初に SYNC_OUT ピンからアクティブ・ローをパルス出力して、再びアクティブ・ハイに戻します。SYNC_OUT は ADC の MCLK に内部的に同期された信号です。SYNC_OUT の出力を SYNC_IN 入力に接続することによって、個々の ADC を同期することができます。SYNC_OUT を他の AD7768-1 デバイスに接続した場合は、MCLK ソースを共有している限りそれらのデバイスを同期することができます。

同期機能は、DRDY パルスの直後に実行することを推奨します。AD7768-1 の SYNC_IN パルスの発生位置が次の DRDY パルス・エッジに近すぎる場合、SYNC_IN パルスがまだデバイス内に伝達されていないため、次の DRDY パルスがそのまま出力されることがあります。

IOVDD 電圧 = 1.8V で SYNC_OUT 機能を使用する場合は、SYNC_OUT_POS_EDGE ビットを 1 に設定することを推奨します (アドレス 0x1D、ビット 6)。

オフセットのキャリブレーション

AD7768-1 では、SPI 制御モードでオフセットとゲインを補正できます。ユーザは、AD7768-1 とそのサブシステムのゲインとオフセットを変更することができます。これらのオプションは SPI 制御モードでのみ利用できます。

オフセット修正レジスタは、チャンネル・オフセット調整用の 24 ビット符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理論的な公称値 0x555555 の場合、オフセット・レジスタの LSB 調整によりデジタル出力が -4/3LSB 変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が -133LSB 変化します。オフセット・キャリブレーションはゲイン・キャリブレーションの前に行われるため、-4/3 の LSB 比率はゲイン修正レジスタを介したゲイン調整と比例して変化します。

レジスタの詳細情報とキャリブレーション手順については、オフセット・レジスタ関連のセクションを参照してください。

ゲイン・キャリブレーション

SPI 制御モードでは、AD7768-1 とそのサブシステムのゲインとオフセットを変更することができます。これらのオプションは SPI 制御モードでのみ利用できます。

ADC は対応するゲイン係数を持っており、これは工場でのプログラミング後に ADC ごとに保存されます。通常、このゲインは 0x555555 付近の値になっています (ADC チャンネルの場合)。ゲイン・レジスタ設定は上書きできます。ただし、リセットまたは電源サイクルを行うと、ゲイン・レジスタ値はハード・コードされた出荷時設定に戻ります。

$$Data = \left[\frac{3 \times V_{IN}}{V_{REF}} \times 2^{21} - (Offset) \right] \times \frac{Gain}{4} \times \frac{4,194,300}{2^{42}}$$

レジスタの詳細情報とキャリブレーション手順については、ゲイン・レジスタ関連のセクションを参照してください。

SPI 制御インターフェース経由でのリセット

AD7768-1 のリセット・コマンドは、SYNC_RESET レジスタの SPL_RESET ビットに書き込みを行うことによって発行できます。デバイスのリセットを開始するには、これらのビットに 2 回連続して書き込みを行う必要があります。

シャットダウンからの再起動

シャットダウン・モードでは、標準 SPI インターフェースを含め、デバイス上のすべてのブロックをオフにして電流消費を最小限に抑えます。したがってこのモードから ADC の動作を再開させるには、RESET ピンでハードウェア・リセットを行うか、SPI SDI 入力から特別なコードを実行する必要があります。SDI に必要とされる特別なシーケンスは、CS がローの間にクロック入力される 1 と、その後続く 63 個の 0 で構成され、システムはこれにより、RESET ピンを使用することなくシャットダウン状態から AD7768-1 の動作を再開させることができます。このリセット機能は、絶縁障壁越しに配線するピンの数を最小限に抑える必要のある絶縁アプリケーションに有効です。

GPIO 機能と START 機能

AD7768-1 を SPI モードで動作させる場合は、追加的な GPIO 機能を使用することができます。このフル設定可能なモードにより、デバイスは 4 個の GPIO を動作させることができます。これらのピンは、任意の順序で読み出したり書込みしたり設定できます。

GPIO 読み出しを使用すると、周辺機器から入力 GPIO へ情報を送ることができるので便利です。更にこの情報は、AD7768-1 の SPI インターフェースから読み出すことができます。

GPIOx ピンはピンごとに入力または出力として設定することが可能で、更に出力をオープンドレインとして設定するオプションがあります。

SPI 制御モードでは、GPIOx ピンの 1 つに START 入力機能を割り当てることができます。START 機能を使用すると、MCLK に同期していない信号を使って SYNC_OUT 信号を生成し、AD7768-1 のデジタル・フィルタ・パスをリセットすることができます。START ピン機能は GPIO3 で有効にできます。

SPI モードの診断機能

AD7768-1 には、内部ブロックの診断機能が組み込まれています。以下のリストに示す診断機能は、ADC をモニタして、取得したデータの忠実度に関わる信頼性を高めることを可能にします。

- リファレンス検出
- クロックの品質評価
- SPI トランザクションの CRC
- 不正レジスタ書き込みの検出フラグ
- CRC チェック
- POR モニタ
- MCLK カウンタ

更にこれらの診断機能は、計測器がその初期化段階において電源とリファレンスのリモート・チェックを必要とするような状況に有効です。

診断機能は、イネーブル・レジスタを介して選択できます。パワーオン・リセット (POR) 用のフラグとクロックの品質評価は、デフォルトでオンになっています。フラグはレジスタを介して読み出せますが、トップ・レベル・ステータス・ビットに伝達されます。これは、必要な場合は各 ADC 変換と共に出力できます。

リファレンス検出

SPI 制御モードでリファレンス検出ブロックをイネーブルするには、ADC_DIAG_ENABLE レジスタ (アドレス 0x29) のビット 3 に 1 を書き込みます。イネーブルされると、ADC_DIAG_STATUS レジスタ (アドレス 0x2F) にエラーがフラグされます。その後はすべてのエラーが MASTER_STATUS レジスタ (アドレス 0x2D) に伝達されます。REF+に加えられるリファレンスが (AVDD1 - AVSS) の 1/3 未満になると、リファレンス・エラーがフラグされます。

クロックの品質評価

クロック品質評価チェックは、有効な MCLK の検出を確認しようとしてします。加えられる MCLK が 600kHz を超えていれば、クロック品質評価は合格です。エラーは、ADC_DIAG_STATUS レジスタ (アドレス 0x2F) と MASTER_STATUS レジスタ (アドレス 0x2D) の両方にフラグされます。検出されたクロックが 600kHz の周波数閾値未満の場合、あるいは外部 MCLK が検出されない場合は、クロック品質評価エラー・ビットが 1 に設定されます。クロック品質評価チェックを無効にするには、ADC_DIAG_ENABLE レジスタ (アドレス 0x29) のビット 0 に 0 を書き込みます。

SPI トランザクションの CRC

詳細については、シリアル・インターフェースでの CRC チェックのセクションを参照してください。

不正なレジスタ書き込みの検出フラグ

詳細については、SPI 制御インターフェースのエラー処理のセクションを参照してください。

CRC チェック

AD7768-1 のメモリ・マップ、内部ランダム・アクセス・メモリ (RAM)、およびヒューズ設定の状態をチェックするには、DIG_DIAG_ENABLE レジスタ (レジスタ 0x2A) の CRC チェックを有効にします。デバイスにこれらいずれかのエラーがフラグされたら、リセットを行ってデバイスを有効な状態に戻してください。

POR モニタ

POR モニタ・フラグは、出力時に MASTER_STATUS レジスタとステータス・ビットの両方にセットされます。POR フラグは、リセットが行われたか、一時的な電源喪失が発生したことを示します。

MCLK カウンタ

MCLK_COUNTER レジスタ (アドレス 0x31) は 64 MCLK ごとに更新されます。MCLK カウンタ・レジスタでは、AD7768-1 に有効な MCLK が供給されていることを検証します。有効な読出しを行うには、特定の MCLK/SCLK 比に従って MCLK カウンタ・レジスタを読み出します。MCLK_COUNTER レジスタの読出しに使用する SCLK は、 $2.1 \times \text{MCLK}$ 未満であってはならず、 $4.6 \times \text{MCLK}$ を超えてもなりません。例えば、MCLK = 2MHz の場合、使用する SCLK を 4.2MHz~9.2MHz の範囲とすることはできません。MCLK と SCLK の比が守られていない場合は、レジスタの読出し中に MCLK が更新されるため、読出しを行うことができません。エラーとなります。

製品識別 (ID) 番号

AD7768-1 には、ソフトウェアによる半導体の識別を可能にする ID レジスタが組み込まれています。製品のクラス (高精度 ADC)、製品 ID、デバイス・リビジョン、デバイスの等級のすべてを、SPI を介してレジストリから読み出すことができます。リードバック用レジストリには、アナログ・デバイセズのベンダー ID も含まれています。これらのレジスタは、特定のレジスタ・アドレスへの自由な読出しと書き込みを可能にするスクラッチパッドに加えて、シリアル制御インターフェースの正常な動作を検証する方法として使用できます。

表 24. 製品識別レジスタ

Register Address (Hex)	Name	Bit Fields	
			Class
0x03	Chip type	Reserved	Class
0x04	Product ID [7:0]	PRODUCT_ID[7:0]	
0x05	Product ID [15:8]	PRODUCT_ID[15:8]	
0x06	Grade and revision	Grade	DEVICE_REVISION
0x0A	Scratch pad	Value	
0x0C	Vendor ID	VID[7:0]	
0x0D		VID[15:8]	

デジタル・インターフェース

AD7768-1には4線式SPIインターフェースがあります。このインターフェースはSPIモード3で動作します。SPIモード3ではSCLKがアイドル・ハイになり、最初のデータはSCLKの最初の立下がりエッジ（起動エッジ）に同期して出力され、立上がりエッジ（サンプル・エッジ）に同期して入力されます。SPIモード3の動作を図82に示します。この図ではSCLKの立下がりエッジがデータを出力し、SCLKの立上がりエッジでデータをサンプリングします。

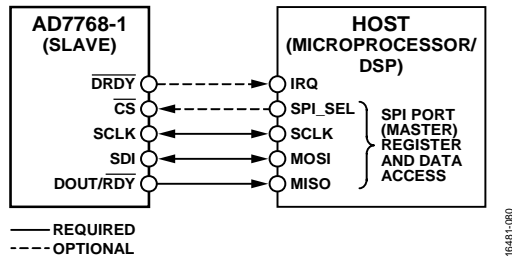


図 81. シリアル・ポートの基本接続図



図 82. SPI モード 3

SPI での読出しと書込み

SPI 制御モードを使用するには、 $\overline{\text{PIN}}/\text{SPI}$ ピンをハイに設定します。SPI 制御は 4 線式インターフェースとして動作し、読出し/書込みアクセスが可能になります。絶縁を必要とするシステムなどのようにCSをローに接続できる場合は、3 線式構成でAD7768-1を使用することができます。図81に、AD7768-1とデジタル・ホストの代表的な接続例を示します。対応する3線式インターフェースでは $\overline{\text{CS}}$ ピンをローに接続して、SCLK、SDI、およびDOUT/RDYを使用する必要があります。

SPI 読出しまたは書込みのフォーマットを図83に示します。読出し動作でも書込み動作でもMSBが最初のビットです。アクティブ・ロー・フレーム開始信号(FS)がトランザクションを開始し、その後にR/Wビットが続きます。R/Wビットは、実行するトランザクションが読出し(1)か書込み(0)かを決定します。その次の6ビットはアドレスに使われ、その後に書込み対象である8ビットのデータが続きます。AD7768-1内のレジスタは、24ビット幅のADC_DATA(レジスタ0x2C)を除いてすべて8ビット幅です。CSをローに接続した場合は最後のSCLK立上がりエッジがSPIトランザクションを完了させ、インターフェースをリセットします。CSをローに維持してデータをリードバックするときは、デバイスを誤ってリセットしてしまうのを避けるために、SDIをアイドル・ハイにすることを推奨します。リセットされた場合、SCLKは自走クロックとして動作します(リセットのセクションを参照)。

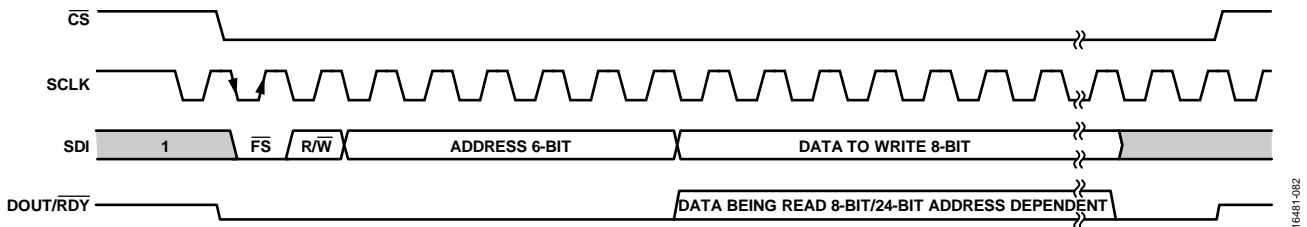


図 83. SPI の基本の読出し/書込みフレーム

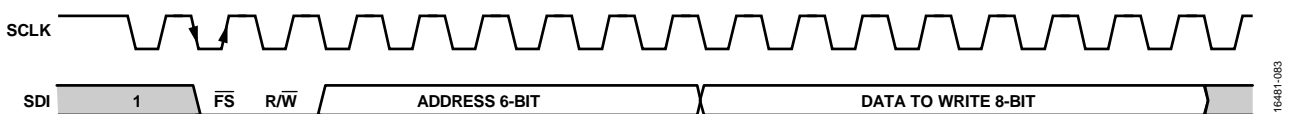


図 84. 3 線式 SPI 書込みフレーム ($\overline{\text{CS}} = 0$)

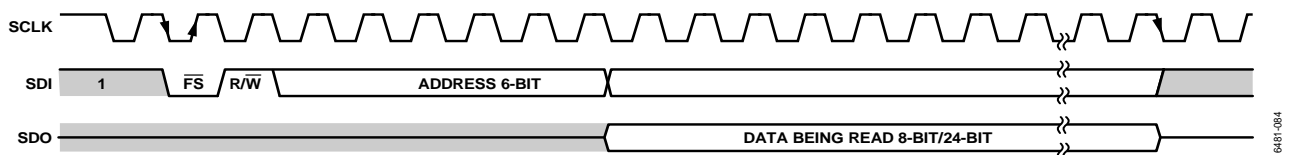


図 85. 3 線式 SPI 読出しフレーム ($\overline{\text{CS}} = 0$)

SPI 制御インターフェースのエラー処理

AD7768-1 SPI 制御インターフェースは、不正なコマンドの受信を検出します。不正なコマンドとは、読出し専用レジスタへの書込み、存在しないレジスタ・アドレスへの書込み、または存在しないレジスタ・アドレスからの読出しです。AD7768-1 がこれらの不正なコマンドを受信すると、SPI_DIAG_STATUS レジスタ（レジスタ 0x2E）にエラー・ビットがセットされます。

検出できる SPI エラーのソースは 5 つです。これらの検出可能エラー・ソースは、SPI_DIAG_ENABLE レジスタ（レジスタ 0x28）で有効にしておく必要があります。起動時には EN_ERR_SPI_IGNORE（ビット 4）エラーだけが有効になります。

検出可能な 5 つの SPI エラー・ソースを以下に示します。

- **SPI CRC エラー。** このエラーは、受信 CRC/XOR が計算 CRC/XOR と一致しないときに発生します。
- **SPI 読出しエラー。** このエラーは、誤った読出しアドレスが検出されたときに発生します（例えば、存在しないレジスタにアクセスしようとした場合）。
- **SPI 書込みエラー。** このエラーは、誤ったアドレスへの書込みが検出されたときに発生します（例えば、存在しないレジスタに書込みをしようとした場合）。
- **SPI クロック・カウント・エラー。** SPI トランザクションが CS によって制御されている場合に、フレーム内の SPI クロック・カウントが 8、16、24、32、または 40 のいずれかに等しくなると、このエラーがフラグされます。このエラーは、連続読出しモードと通常の SPI モードの両方で検出することができます。
- **SPI 無視エラー。** 初期パワーアップの完了前に SPI トランザクションを実行しようとする、このエラーがフラグされます。

すべての SPI エラー・ビットはスティッキー・ビットです。つまり、該当するエラー位置にそのユーザが 1 を書き込んだ場合にのみクリア可能です。

シリアル・インターフェースでの CRC チェック

AD7768-1 では、各変換結果に最大 40 ビットを含めることができます。これらのビットは基本的に 24 ビットのデータと 8 個のステータス・ビットで構成され、8 個の CRC/XOR チェック・ビットをオプションで追加できます。追加のチェック・ビットは SPI モードでのみ使用可能です。

ステータス・ビットのデフォルト設定については、ステータス・ヘッダのセクションを参照してください。CRC 機能は、SPI 制御モードで動作している場合にのみ使用できます。CRC 機能使用時、CRC メッセージは AD7768-1 によって内部で計算されます。更に、変換結果とオプションのステータス・ビットの末尾に CRC が追加されます。

AD7768-1 は CRC 多項式を使用して CRC メッセージを計算します。使用する 8 ビットの CRC 多項式は $x^8 + x^2 + x + 1$ です。

チェックサムを生成するには、データを 8 ビットシフトして 8 個のロジック 1 で終わる値を作成します。

多項式の MSB が、データの左端にあるロジック 1 と合うように、多項式の値の位置決めを実行します。更に、排他的論理和（XOR）関数をデータに適用して短い数値を新たに生成します。次に、多項式の MSB が新たなデータの最も左にあるロジック 1 と隣接し合うように、多項式の値の位置決めを直します。このプロセスを、元のデータが多項式の値（8 ビット・チェックサム）よりも小さくなるまで繰り返します。

SPI 書込みが有効な場合は、INTERFACE_FORMAT レジスタ（レジスタ 0x14）で XOR オプションが選択されているかどうかに関わらず、書込みには常に CRC が使われます。連続読出しモードでデータをリードバックする場合の初期 CRC は 0x03 ですが、この場合を除いて SPI トランザクションの初期 CRC チェックサムは 0x00 です。

連続読出しモードで XOR オプションを使用する場合、初期値は 0x6C に設定されます。XOR オプションは SPI 読出しでのみ使用できます。

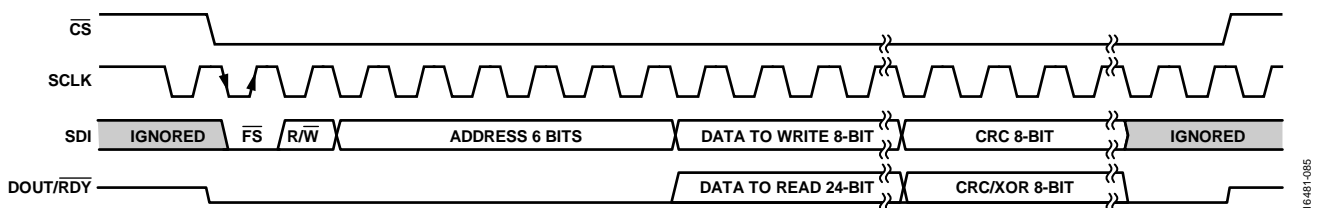


図 86. CRC 使用時のデータ出力フォーマット

変換読出しモード

AD7768-1 のデジタル・インターフェースは、モード 3SPI で動作する 4 線式 SPI 実装です。メモリ・マップ・アドレス空間にアクセスするには、8 ビットの書込み命令が必要です。ADC データ・レジスタを除き、レジスタはすべて 8 ビット幅です。AD7768-1 のデフォルト動作モードは連続変換モードです。データを読み出すかどうかはユーザが決定する必要があります。ADC の変換結果へのアクセスには、シングル変換読出しモードと連続読出しモードの 2 つの読出しモードを使用できます。

シングル読出しモードが基本的な SPI 読出しサイクルで、ADC データ・レジスタを読み出すには 8 ビットの命令を書き込む必要があります。ステータス・レジスタは、必要に応じて個別に読み出さなければなりません。

連続読出しモードにするには、INTERFACE_FORMAT レジスタの LSB に 1 を書き込みます。その後のデータ読出しでは、最初に 8 ビットを書き込んで ADC_DATA レジスタへのクエリを行う必要はありません。データの連続リードバックを行うために必要なのは、必要な数の SCLK を入力することだけです。連続モードでの SPI 読出しを図 87 に示します。

インターフェースに関して考慮すべき重要な点は、以下のとおりです。

- 変換データは、 $\overline{\text{DRDY}}$ の立上がりエッジ後にリードバック可能な状態になります。連続読出しモードでは、 $\overline{\text{RDY}}$ 機能を有効にして $\overline{\text{DRDY}}$ 機能を無視することができます。データは $\overline{\text{RDY}}$ の立下がりエッジでリードバック可能な状態になります。
- ADC 変換データ・レジスタは、 $\overline{\text{DRDY}}$ の立上がりエッジよりも MCLK 1 周期分前の時点で内部で更新されます。
- MCLK の最大周波数は 16.384MHz です。
- SCLK の最大周波数は 20MHz です。
- $\overline{\text{DRDY}}$ のハイ時間は $1 \times t_1 \times t_{\text{MCLK}}$ です。
- 高速消費電力モードにおけるデシメーション・レートは 32、 $\overline{\text{DRDY}}$ の周期は約 4 μs 、最速変換時の $\overline{\text{DRDY}}$ 周期は 1 μs です。
- $\overline{\text{CS}}$ の立上がりエッジは、シリアル・データ・インターフェースをリセットします。 $\overline{\text{CS}}$ をローに接続した場合は、SPI トランザクションの最終的な SCLK 立上がりエッジが、シリアル・インターフェースをリセットします。インターフェースがリセットされるポイントは、通常読出し動作で $16 \times \text{SCLK}$ 、ADC 変換データとステータス・ヘッダと CRC ヘッダをリードバックする場合で最大 40 SCLK に相当します。

シングル変換読出しモード

シングル変換読出しモード使用時、ADC_DATA レジスタへのアクセスは、通常の SPI 読出しトランザクションと同様の方法で行うことができます。ADC_DATA レジスタ (レジスタ 0x2C) は 24 ビット幅です。したがって、変換結果を読み出すには 32 SCLK サイクルが必要です。

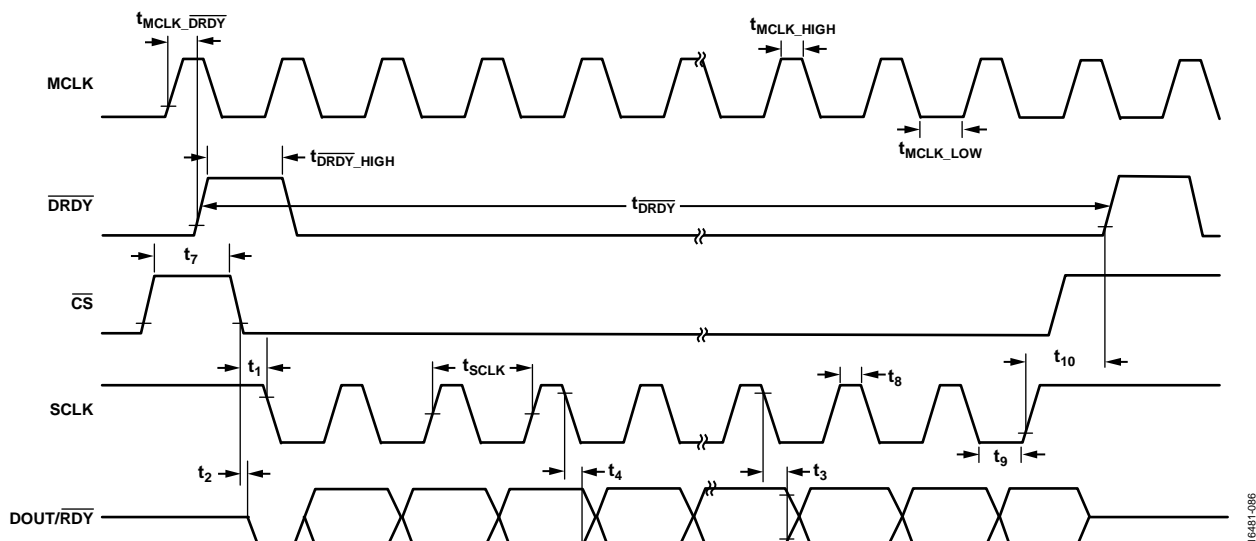


図 87. シリアル・インターフェースのタイミング図 (例示したのは連続読出しモードでの ADC 変換結果読出し)

連続読出しモード

ADC データ・レジスタを読み出すためにその都度コマンドを書き込まなければならないというオーバーヘッドをなくすため、データ・レディ・パルス信号が出力された後に ADC レジスタを直接読み出せるように、ADC を連続読出しモードにすることができます。連続読出しモードでは、受信した SCLK の立下がりエッジでデータが出力されます。したがって、変換結果を読み出すのに必要な SCLK サイクルは 24 サイクルだけです。この連続読出しモードでは、1 つまたは両方のステータス、もしくは CRC ヘッダ（それぞれ 8 ビット）を変換結果に追加することも可能です。ステータスと CRC ヘッダの両方がイネーブルされている場合、データ・フォーマットは「ADC データ + ステータス・ビット + CRC」です。

図 88 に示すように、RDY 機能を使用しない場合は、DRDY 周期内で ADC 変換結果を複数回読み出すことができます。RDY 機能が有効な場合は、AD7768-1 の変換結果を読み出した後に DOUT/RDY ピンがハイになるので、データを複数回読み出すことはできません（図 89 参照）。

連続リードバックは、PIN 制御モードで使用するリードバック・モードです。ただしこのモードでは、データ出力フォーマットが固定されます。DOUT ピンに RDY 用のオプションはありません。詳細については、ピン制御モードの概要のセクションを参照してください。

LV_BOOST ビット（INTERFACE_FORMAT レジスタ、アドレス 0x14 のビット 7）をイネーブルして連続読出しモードを使用する場合は、連続読出しモードを終了することに LV_BOOST をイネーブルし直す必要があります。

連続読出しモードの終了

連続読出しモードを終了するには、キー 0x6C を SDI に書き込みます。このキーは、レジスタ・マップへのアクセスをもう一度可能にしてデバイスの追加構成を行えるようにします。通常の SPI 書込みに従うために、このキーの入力後に CS 信号を使用して SPI インターフェースをリセットします。CS を制御できずローに固定されている場合は、SPI インターフェースの同期を保てるようにトランザクションを完了させるのに 16 SCLK が必要です。例えば CS がローに固定されている場合、3 線式インターフェースを使用するときは 0x006C を書き込んで連続読出しモードを終了します。デバイスを正常に終了できるようにするには、2 つの DRDY パルスの間に終了コマンドを書き込む必要があります。

このモードではソフトウェア・リセットも終了コマンドと同じ方法で書き込むことができますが、0x6C ではなく 0xAD を書き込むことによって行います。

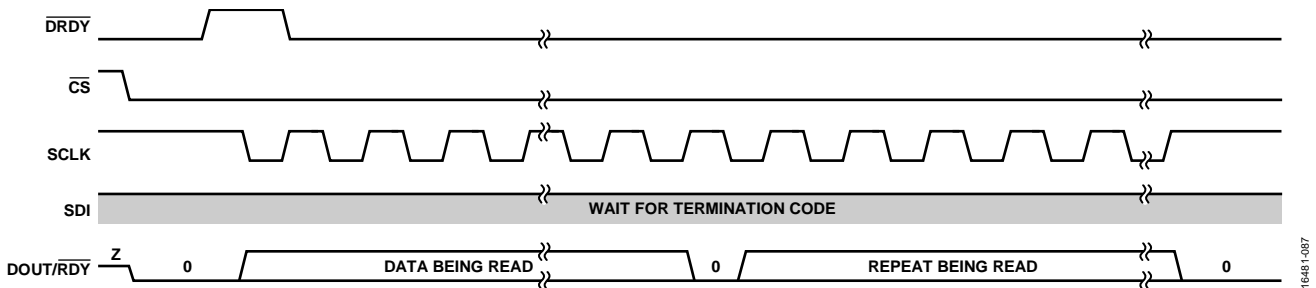


図 88. RDY 機能を無効にした場合の連続 ADC 読出しデータ・フォーマット

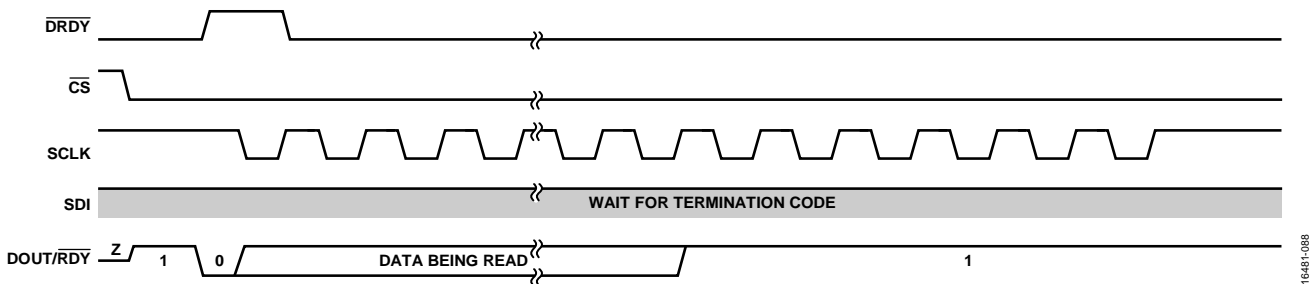


図 89. DOUT/RDY ピンの RDY 機能を有効にした場合の連続 ADC 読出しデータ・フォーマット

データ変換モード

SPI 制御モードで使用できる 4 つのデータ変換モードは以下のとおりです。

- 連続変換
- ワンショット変換
- シングル変換
- デューティ・サイクル変換

デフォルトの変換モードは連続変換です。フィルタ設定やデータ変換モードなどの変更を含め、AD7768-1 の構成に何らかの変更を加えた場合は、SYNC_IN パルスをデバイスに入力する必要があります。

連続変換モード

連続変換モードでは、ADC が連続的に変換を行い、ODR によって決まる間隔で新しい ADC 結果を使用できるようになります。これは、SPI 制御モードのデフォルト変換動作です。また、これは広帯域フィルタを使用できる唯一のデータ変換モードです。SPI 制御モードでは 2 つのデータ・リードバック方法を使用できますが、これらについては変換読出しモードのセクションで説明しています。

ワンショット変換モード

図 90 に、ワンショット変換モードで動作しているデバイスを示します。このモードでは、DSP や FPGA などのマスタ・デバイスのリクエストによって変換が行われます。SYNC_IN ピンが、データ出力を開始するコマンドを受信します。

ワンショット変換モードでは ADC が連続して動作します。ただし、SYNC_IN ピンの立上がりで、データ出力を開始する時間的ポイントを制御します。

データを受信するには、マスタ・デバイスが SYNC_IN ピンにパルスを入力してフィルタをリセットし、DRDY をロー・レベルにする必要があります。DRDY はその後ハイ・レベルになって、セトリングされた有効なデータをデバイスで使用できることをマスタ・デバイスに示します。

マスタが SYNC_IN をアサートして AD7768-1 がこの信号の立上がりエッジを受信すると、デジタル・フィルタがリセットされ、フィルタの全セトリング・タイム経過後にデータが安定して、出力が使用可能になります。セトリング・タイムの期間は、フィルタ・パスとデシメーション・レートによって決まります。ワンショット変換モードは sinc5 または sinc3 フィルタとのみ使用可能です。これは、これらのフィルタのセトリング時間が最も短いことによります。連続変換モードを、低リップル FIR フィルタを使用するためのオプションとして使用することはできません。

セトリングしたデータが使用できるようになると、DRDY パルス信号が出力されます。信号から ADC パスのデータのセトリングが完了するまでの時間 (t_{SETTLE}) を図 90 に示します。セトリングしたデータが使用できるようになると、DRDY がハイにアサートされて変換結果を読み出せるようになります。その後、デバイスは別の SYNC_IN 信号を待機してから、更にデータを出力します。

セトリング時間は使用フィルタのセトリング時間を基準に計算され、ワンショット変換を開始するためにある程度の遅延が追加されます。このセトリング時間が、ワンショット変換モードにおける実現可能な全体的スループットを制限します。

ADC は連続的にサンプリングを行うので、ワンショット変換モードは AD7768-1 のサンプリング規則に影響を与えます。SYNC_IN パルスをデバイスに定期的を送信することは、ADC 出力をサブサンプリングすることになります。ここで、このサブサンプリング・レート周辺の帯域幅が、ベースバンドにエイリアスとして現れる可能性があります。サンプリングをコヒーレントなものとし、周波数応答へのジッタの影響を軽減するために、SYNC_IN パルスをマスタ・クロックと同期させ続けることを考えてください。ジッタを軽減しないと、出力に大きな歪みが生じます。

必要とされる AD7768-1 の SPI 構成は、ワンショット変換モードへの切替え前に連続変換モードで行います。

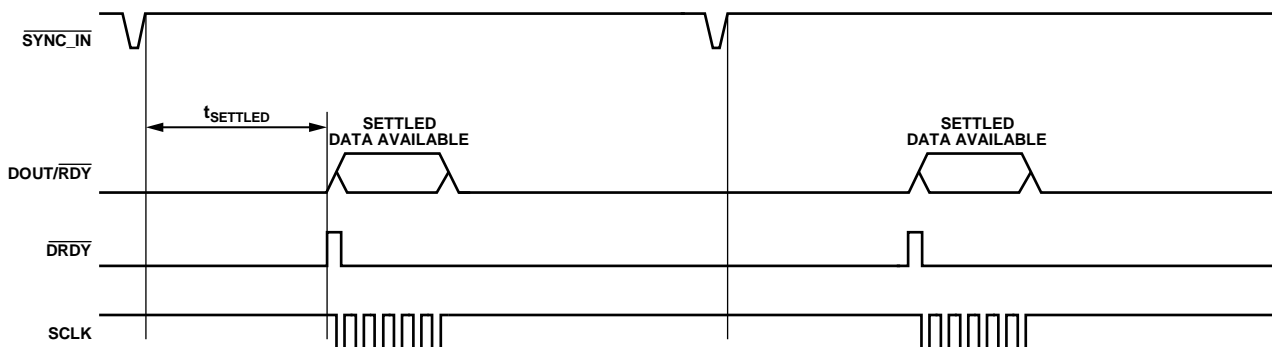


図 90. ワンショット変換モード、外部ソースで SYNC_IN ピンを駆動

16481-089

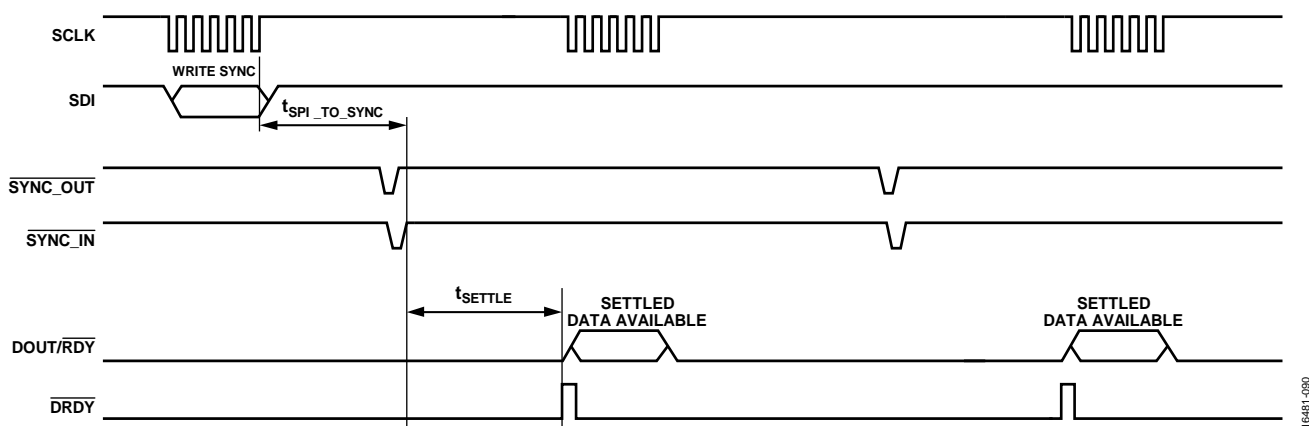


図 91. ワンショット変換モード、レジスタ書き込みによってSYNC_INパルスを開始

シングル変換モード

シングル変換モードでは、ADC がスタンバイ状態から動作を再開して変換を行い、変換後に再びスタンバイになります。シングル変換モードは、必ず低消費電力モードまたは中間消費電力モードで使用してください。読出しを開始してその後に ADC の変換結果をリードバックするには、コマンドを送信する必要があります。スタンバイを終了して新しい変換を開始するには、SYNC_INピンのトグルを使用します。

必要とされる AD7768-1 の SPI 構成は、シングル変換モードへの切替え前に連続変換モードで行う必要があります。

デューティ・サイクル変換モード

デューティ・サイクル変換モードでは、ADC がスタンバイ状態から動作を再開して変換を行い、変換後に再びスタンバイになります。各変換の周期はユーザ設定可能で、ADC はスタンバイに戻る前に自動的にシングル変換を行い、設定された周期でシングル変換を繰り返します。シングル変換モードは、必ず低消費電力モードまたは中間消費電力モードで使用してください。デューティ・サイクル変換モードでは、DC ポイント変換の消費電力を減らし、変換のタイミングおよび開始に伴うオーバーヘッドをなくすための方法を使用することができます。

デューティ・サイクル変換モードのシーケンスを開始するには、SYNC_INピンのトグルを使用します。DRDYは、結果がセトリングした時点でトグルを 1 回行います。デバイスはその後再びスタンバイになります。DUTY_CYCLE_RATIO レジスタは、定義されたアイドル時間を制御します。

必要とされる AD7768-1 の SPI 構成は、デューティ・サイクル変換モードへの切替え前に、連続変換モードで行う必要があります。

複数の AD7768-1 デバイスの同期

1 つのシステム内で複数の AD7768-1 を使用するときには考慮すべき重要な点は、同期です。各デバイスが同じベース MCLK 信号でクロックされていることが、複数のデバイスを同期するための基本的な条件です。AD7768-1 のパワーアップ後、およびその構成に何らかの変更を加えた後は、いずれもデバイスに SYNC_INパルスを入力する必要があります。このパルスはデジタル・フィルタをフラッシュ・アウトしてデバイスを既知の構成とし、システム内の複数のデバイスを同期する役割を果たします。

AD7768-1 は、システムの同期を容易にする 3 つのオプションを備えています。どのオプションを選択するかはシステムによって決まります。ただし、考慮すべき最も基本的なことは、ベース MCLK 信号と完全に同期された同期パルスを供給できるかどうかということです。

ベース MCLK 信号に同期された信号を使用できない場合は、以下のいずれかの方法を使用します。

- システム内にある AD7768-1 のうちの 1 つのデバイスの GPIOx ピンを START 入力として設定し、設定した GPIOx ピンに START パルスを入力します。この SYNC_OUT ピンの出力を同じデバイスの SYNC_IN 入力と、同期する他のすべてのデバイスに接続してください。
- AD7768-1 は非同期 START パルスをサンプリングし、ベース MCLK 信号を基準にローカル配布用の SYNC_OUT パルスを生成します。
- SPI を介して同期を行います (SPI 制御モードでのみ使用可能)。予め決められた ADC デバイスの 1 つに同期コマンドを書き込んでください。このデバイスの SYNC_OUT ピンを、同じデバイスの SYNC_IN ピンと他のデバイスの SYNC_IN ピンにローカルで接続します。START ピンによる方法と同様に、1 つのデバイスによって SPI 同期が受信され、その後でローカル・デバイスを同期できるようにそれらのデバイスに SYNC_OUT 信号が送られます。

ベース MCLK に同期した SYNC_IN 信号を提供できる場合は、SYNC_IN 同期信号をスター・ポイントから SYNC_IN ピンに入力して、それぞれの AD7768-1 デバイスのピンに直接接続します。SYNC_IN 信号は MCLK の立上がりエッジでサンプリングされます。したがって、セットアップ・タイムとホールド・タイムは SYNC_IN 入力に関連付けられ、AD7768-1 の MCLK 立上がりエッジを基準にしています (図 7 参照)。

この場合 SYNC_OUT は使用しないので、未接続のままにするか IOVDD に接続することができます。GPIOx は START 機能には必

要ないので、別の目的に使用できます。チャンネル間が絶縁されたシステムでの同期を図 92 に示します。

同期機能は、 $\overline{\text{DRDY}}$ パルスの直後に実行することを推奨します。AD7768-1 の SYNC_IN パルスの発生位置が次の $\overline{\text{DRDY}}$ パルス・エッジに近すぎる場合、SYNC_IN パルスがまだデバイス内に伝達されていないため、次の $\overline{\text{DRDY}}$ パルスがそのまま出力されることがあります。

IOVDD 電圧 = 1.8V で SYNC_OUT 機能を使用する場合は、SYNC_OUT_POS_EDGE ビット (アドレス 0x1D、ビット 6) を 1 に設定することを推奨します。

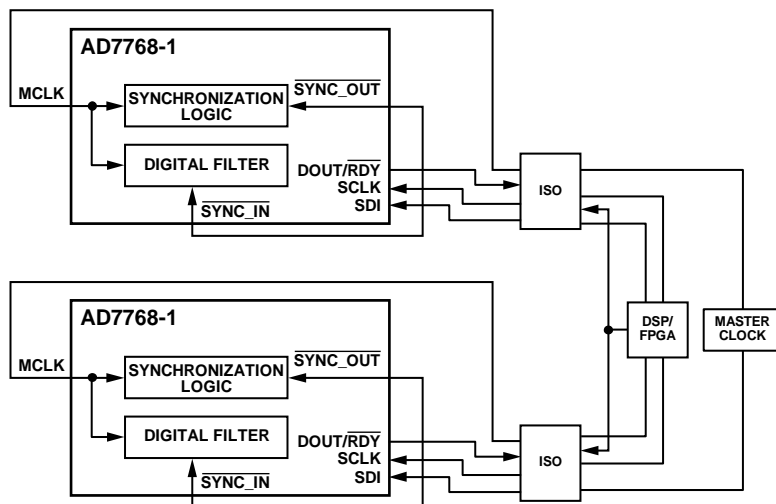


図 92. チャンネル間が絶縁されたシステムでの同期

16481091

AD7768-1 のその他の機能

リセット

デバイスをパワーアップした後は、フル・リセットを行うことを推奨します。AD7768-1 でリセットを行うときは、以下を含む複数のオプションを使用できます。

- 専用の **RESET** ピンを使用する方法。ピン配置およびピン機能の説明のセクションを参照してください。
- 連続読出しモードでは、AD7768-1 は **0xAD** の終了コマンドまたはリセット・コマンドをモニタします。詳細については、連続読出しモードの終了のセクションを参照してください。
- **SYNC_RESET** レジスタ (レジスタ **0x1D**) に連続で書込みを行うことによって、ソフトウェア・リセットを行うことができます。
- **CS** がローに維持されているときは、1 とその後続く 63 個の 0 をクロック入力することにより、リセットを行うことができます。これは、パワーダウン・モードを終了するために使用する **SPI** レジューム・コマンドのリセット機能です。

RESET から **SPI** 書込みまでの時間には、少なくとも **200μs** が必要です。

ステータス・ヘッダ

SPI 制御モードでは、AD7768-1 が連続リードバック・モードで動作しているときに、変換結果の後にステータス・ヘッダを出力することができます。ステータス・ヘッダは、**MASTER_STATUS** レジスタ (レジスタ **0x2D**) をミラーします。

PIN 制御モードでは、デフォルトで変換結果の後にステータス・ヘッダが出力されます。ステータス・ヘッダには以下のビットと機能が含まれます。

- **MASTER_ERROR** ビットは発生した他のすべてのエラーの **OR** で、これをモニタすれば問題が発生したことを迅速に示すことができます。
- **ADC_DIAG_STATUS** レジスタ (レジスタ **0x2F**) 内に何らかのエラーが発生すると、**ADC_ERROR** ビットが 1 に設定されます。このビットは、**ADC_DIAG_STATUS** レジスタ内のエラー・ビットの **OR** です。
- **DIG_DIAG_STATUS** レジスタ (アドレス **0x30**) 内に何らかのエラーが発生すると、**DIG_ERROR** ビットが 1 に設定されます。このビットは、**DIG_DIAG_STATUS** レジスタ内のエラー・ビットの **OR** です。
- 有効なクロックが検出されなかった場合は、**ADC_ERR_EXT_CLK_QUAL** ビットがセットされます (クロックの品質評価のセクションを参照)。
- デジタル・フィルタが正または負のフルスケールにクリップされた場合は、**ADC_FILT_SATURATED** ビットが 1 に設定されます。クリッピングは、アナログ入力範囲を超えるアナログ入力、またはデジタル・フィルタに大きなオーバーシュートを発生させる可能性のある大きなステップ入力デバイスが入力されることによって発生します。更に、**ADC** ゲイン・レジスタの設定が正しくない場合は、フィルタが飽和することがあります。フルスケール信号と大ゲインの組み合わせは、デジタル・フィルタを飽和させます。

- デジタル・フィルタの出力がセトリングしていない場合は、**FILT_NOT_SETTLED** ビットが 1 に設定されます。デジタル・フィルタは **RESET** パルスの後、または **SYNC_IN** コマンドの受信後にクリアされます。
- **SYNC_IN** からデータがセトリングするまでの時間を、フィルタ・タイプごとに表 13、表 16、および表 17 に示します。低リップル **FIR** フィルタを使用する場合、フィルタのセトリングが未完了であることを示すビットを更新してデバイス全体にその結果が伝達されるまでには、ステータス・ヘッダを読み出すよりも時間がかかります。フィルタ未セトリング・ビットは、実際にはデータ出力がセトリングしている時点でもセットされたままのことがあります。デシメーション・レート **1024** に設定された低リップル広帯域フィルタ使用時の更新遅延は、最も長い場合で **128MCLK** サイクルです。この場合、リードバックが **128MCLK** サイクル遅延したとすると、フィルタ未セトリング・ビットを更新する時間が生じます。データがセトリングを完了するまでの時間は、表 13、表 16、および表 17 に示すデータと同じです。
- **SPI_DIAG_STATUS** レジスタ (アドレス **0x2E**) 内に何らかのエラーが発生すると、**DIG_ERROR** ビットが 1 に設定されます。このビットは、**SPI_DIAG_STATUS** レジスタ内のエラー・ビットの **OR** です。
- **POR_FLAG** ビットは、リセットが行われるか、一時的な電源喪失が発生するとセットされます。**PIN** 制御モードでは、**POR** フラグではなく常にこのビットを 1 に設定することによって、インターフェースが正常に動作しているかどうかを示します。

診断機能

AD7768-1 は内部診断機能を備えており、ADC の機能と ADC の動作環境の両方をチェックすることができます。内部診断機能は、変換レジスタ (レジスタ **0x18**) で有効にします。診断機能を使用するにはデバイスを低消費電力モードで **MCLK_DIV = MCLK/16** に設定して、アナログ入力プリチャージ・バッファをイネーブルする必要があります。使用可能な診断機能は次のとおりです。

- 温度センサーはオンチップ温度センサーで、おおよその温度を測定します。測定された温度変化に対する **DC** 変換電圧の変化率は、約 **0.6mV/°C** です。例えば、室温における変換結果は約 **180mV** です。温度が **50°C** 上昇すると指示値は約 **210mV** となり、例えば信号生成に不具合が生じたり、システム補正の必要が生じたりする可能性があります。
- アナログ入力を短絡させると **AIN+** ピンおよび **AIN-** ピンと外部入力の接続が解除され、アナログ入力ピン同士の内部短絡が形成されて不具合を検出することができます。
- 正のフルスケールが選択されている場合、変換される電圧は **V_{REF+}** です。
- 負のフルスケールが選択されている場合、変換される電圧は **V_{REF-}** です。

アプリケーション情報

アナログ入力に関する推奨事項

AD7768-1 のアナログ入力回路の設計は、システムの全体的性能に大きく影響します。AD7768-1 のアナログ入力には、ドライバ・アンプの補助として使用できるようにプリチャージ・バッファが組み込まれています。アナログ入力のプリチャージ・バッファをイネーブルすれば、より低消費電力のアンプで AD7768-1 を駆動することができます。詳細については、アナログ入力とプリチャージ・バッファリングのセクションを参照してください。

推奨ドライバ・アンプ

AD7768-1 の特定の消費電力モードとの組み合わせに適したアンプは、ADC に必要な入力帯域幅によって、あるいはシステム全体の消費電力に関する検討事項によって多岐にわたります。

選択した消費電力モードに基づき、AD7768-1 に推奨されるドライバ・アンプを表 25 に示します。選択した各消費電力モードは、最終的には変調器周波数と最大 ODR に対応します。ドライバ・アンプは、特定の消費電力モードにおけるアナログ入力のセトリングに関わる適合性に基づいて選択されています。表 25 および表 26 における設定は、共に MCLK 周波数 = 16.384 MHz、入力 = 1 kHz、適用トーン -0.5 dBFS で、低リップル FIR フィルタを選択しています。

アナログ入力プリチャージ・バッファの利点を表 26 に示します。この場合は、[ADA4807-2](#) を高速モードの AD7768-1 用 ADC ドライバとして選択しています。プリチャージ・バッファをイネーブルすると THD が 20dB 以上向上して、このアンプが最大データ・レートにおける有効な選択となります。

表 25. 低リップル FIR フィルタ使用時の様々な消費電力モードにおけるアンプの組み合わせオプション

AD7768-1 Power Mode	Amplifier	Analog Input Precharge Buffer	SNR (dB)	THD (dB)
Fast	ADA4940-1	On	106.2	-117.3
	ADA4896-2	On	106	-119.9
Median	ADA4807-2	Off	105.7	-121.3
	ADA4805-2	Off	106.2	-119.8
Low Power	ADA4805-2	Off	105.8	-120.5
	LTC6363	Off	105.6	-120

表 26. アナログ入力プリチャージ・バッファの利点

AD7768-1 Power Mode	Amplifier	Analog Input Precharge Buffer	SNR (dB)	THD (dB)
Fast	ADA4807-2	Off	105.1	-104
	ADA4807-2	On	104.9	-124.5

アンチエイリアシング・フィルタ設計時の考慮事項

AD7768-1 用のアンチエイリアシング・フィルタを設計するときには、変調器のチョッピングによる変調器のエイリアシング領域を考慮する必要があります（アンチエイリアシング・フィルタリングのセクションを参照）。AD7768-1 の動作環境が入力に大きな帯域外トーンを生じるようなものである場合は、アンチエイリアシング・フィルタの次数が非常に重要になります。単純な 2 次実装からより複雑な 4 次ロールオフまでの、入力アンチエイリアシング・フィルタのロールオフを図 93 に示します。図 93 では、デシメーション・レートが 32、フィルタのコーナー周波数が $34 \times \text{ODR}$ に設定されているものと仮定しています。コーナー周波数を $34 \times \text{ODR}$ に設定するという事は、低リップル FIR フィルタのフラットなパス・バンドを維持する一方で、 f_{MOD} および $2 \times f_{\text{MOD}}$ における除去比を最大限まで高められることを意味します。帯域内に帯域外トーンが現れるのを防ぐには、少なくとも 3 次のアンチエイリアシング・フィルタを使用して $2 \times f_{\text{MOD}}$ におけるトーンを完全に除去することが必要です。

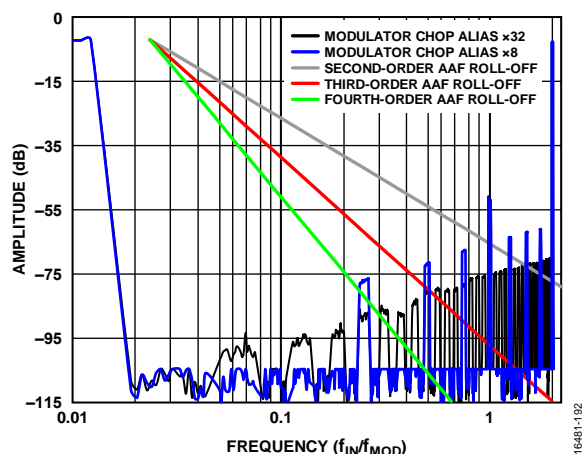


図 93. 様々な次数のアナログ・アンチエイリアシング・フィルタのデジタルおよびアナログ・フィルタ応答の比較

3 次アンチエイリアシング・フィルタを設計する方法の 1 つは、図 94 に示すような多重帰還アーキテクチャを使用することです。図 94 の場合、3 次ロールオフ応答を得るために、能動部品 (ADA4940-1) が 1 つだけ必要です。ADA4940-1 への入力には、通常、AD8421 のような高精度 DC アプリケーション用の計装アンプが使われます。この回路は、必要に応じ特定の入力範囲、ノイズ、あるいは消費電力要求に合わせて調整することができます。

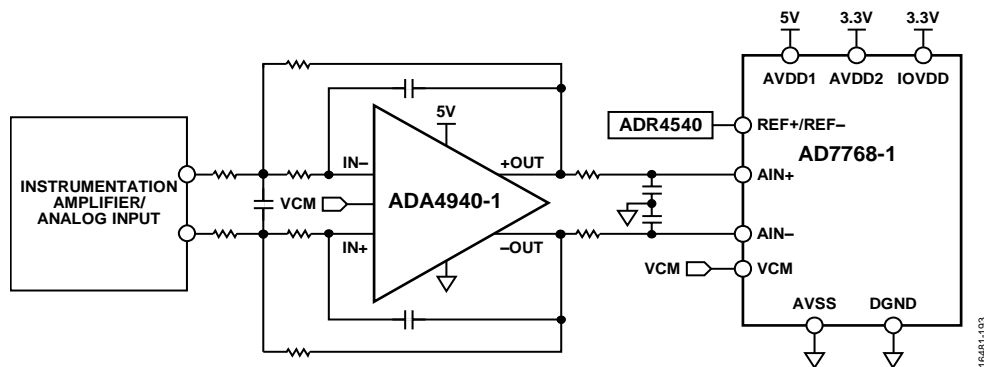


図 94. 多重帰還型ローパス・フィルタの実装

推奨インターフェース

AD7768-1のインターフェースは柔軟で、様々なDSPとマイクロコントローラ・ユニット (MCU) の数多くの動作モードとデータ出力フォーマットに対応可能です。変換結果の読出しに関して最大限の性能を実現する推奨インターフェース構成を図95に示します。この推奨実装は、同期されたSCLKとMCLKの関係を使用します。

推奨動作を実現するには、以下に従ってインターフェースを構成してください。

1. 変換リードバック時はCS信号をローに接続します。
2. ADC_DATAレジスタのアドレス・ビットを提供する必要がないように、連続リードバック・モードにします。連続リードバック・モードは、PINモードにおけるデフォルトのリードバック・モードです。
3. 32ビットのデータがクロック出力されますが、これは24ビットの変換結果とそれ以外の8ビットで構成されます。この8ビットには、ステータス・ビットまたはCRCビットのどちらかを選択できます。PINモードでは、常に変換結果と8個のステータス・ビットになります。
4. SCLKはMCLKを分周したものを使用します。例えば、デシメーション・レートを32にした場合はSCLK = MCLK/2とします。
5. 32ビットでクロッキングすると、SCLK = MCLK/2の場合は、DRDY周期全体を使ってデータ・リードバック動作を行うことができます。SCLKは連続的に動作します。リードバック動作はDRDYの周期全体を使って行われるので、IOVDDに必要なダイナミック電流がODRの周期全体に広がります。
6. DRDY信号は、ホスト・コントローラに読み出すデータに同期させることができます。

推奨インターフェース動作を図95に示します。データ・リードバックは周期全体にわたって行われ、LSBは、次の変換のためにDRDYがハイになるまでそのまま残ります。

推奨インターフェースの初期化

推奨インターフェースを設定するには、以下の手順を実行します。

1. 消費電力モード、デシメーション・レシオ、フィルタ・タイプなどのデバイス設定を行います。
2. 連続リードバック・モードにします。

3. デジタル領域の変更に適用してデジタル・フィルタをリセットするために、同期パルスを送出します。パルスは、DRDYがハイになった直後に送ります。

データ読出しのための推奨インターフェース

データ読出しのための推奨インターフェースは以下のとおりです。

1. ホスト・コントローラをDRDYパルスまたはRDYパルスに同期させます。データをクロック出力する前のRDYの動作の詳細については、図6を参照してください。
2. DRDYまたはRDYのタイミングに基づいてSCLKを生成します。DRDY信号がハイになるとSCLKがハイになり、MCLK立下がりエッジでの移行(図95参照)によってLSBを正しく読み込むことができます。これは、DOUT/RDY出力がDRDYの立下がりエッジでリセットされることによります。しかし、SCLKの立下がりエッジはこの移行の前に発生します。
3. MSBはSCLKの次の立下がりエッジでクロック出力されず。
4. PIN制御モードでは、変換出力のLSBはステータス出力の最終ビットです。PIN制御モードではこのビットが常に1なので、読み出す必要はありません。

推奨インターフェースの再同期

データのクロッキングはODRの周期全体を使って行われるので、LSB出力ごとにRDY信号がフラグされることはなくなります。この信号は、AD7768-1が連続リードバック・モードにある場合、あるいは図95に示すように、AD7768-1がDRDYの前1×MCLK以内に32個のSCLKをカウントしない場合だけフラグされます。

RDY機能は連続リードバック・モードでのみ使用できます。ADC_DATAレジスタのアドレスを毎回指定しなければならない通常のリードバック時には、タイミング仕様のセクションのt10に示すように、DRDYより1×MCLK前にDOUTラインがリセットされます。DRDYを使用する場合デバイスは通常どおり動作し、変換リードバックの時間はDRDYパルスから計時されます。RDYが各サンプルの開始を検出する場合で、データ・リードバックが同期されていない場合は、以下に示す2つの方法のどちらかによってSCLKタイミングが回復されます。

- CSを使用してインターフェースをリセットし、RDYの遷移を監視する。
- RDYの遷移が再度検出されるまでSCLKトグルングを停止する。

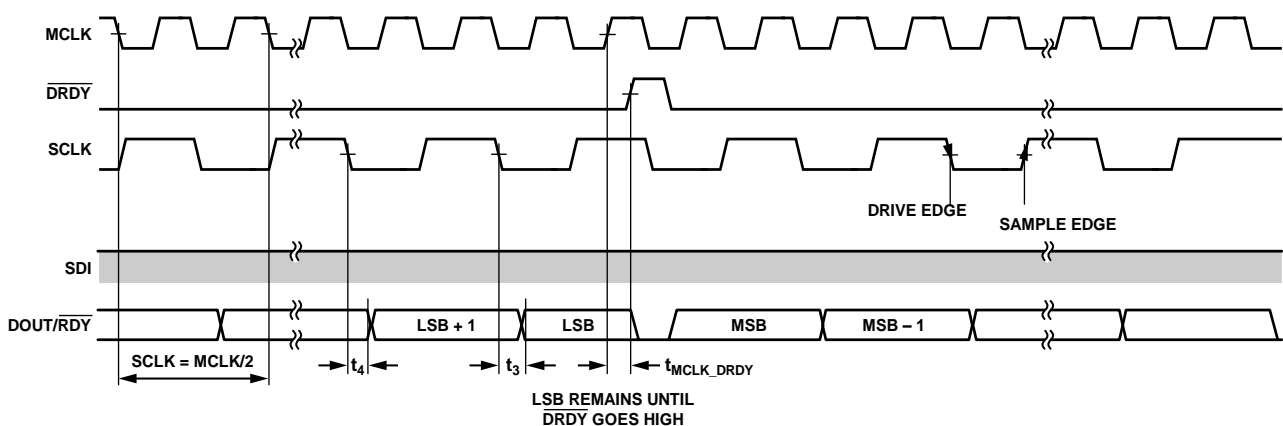


図95. SPI制御、連続リードバック・モードでの変換読出しのための推奨インターフェース

プログラマブル・デジタル・フィルタ

AD7768-1 においてデフォルトで使用できるデジタル・フィルタの他に追加的なフィルタが必要な場合は、カスタム・デジタル・メモリを設計してメモリにアップロードするための追加オプションがあります。このアップロードを行うと、デフォルトの低リップル FIR フィルタ係数が上書きされて、一連のユーザ定義係数に置き換えられます。

AD7768-1 のフィルタ・パスには、3つの異なる段があります。

- 初期 sinc フィルタ
- sinc 補償フィルタ
- 低リップル FIR フィルタ

最初の 2 段は変更することはできません。プログラム可能な段は 3 つ目の段だけで、デフォルトの低リップル FIR フィルタ係数を一連のユーザ定義係数に置き換えることができます。

第 3 段へのデータ・レートは最終的な ODR の 2 倍ですが、これは、最終フィルタ段後のデシメーションが 2 に固定されていることによります。したがって、プログラマブル FIR 段は、 f_{MOD} から 16、32、64、128、256、および 512 のレートでデシメートされたレートでデータを受け取ります。

最後にレート 2 でデシメーションした後は全体的なデシメーション値が得られますが、そのデシメーション・レートは 32～1024 の範囲です。最終 FIR 段へのデータ・レートを表 27 に示します。表 27 は各消費電力モードにおける最終フィルタ段へのデータ・レートを示すものですが、これは、それぞれの消費電力モードに対して MCLK_DIV が正しく設定されていることを前提としています。例えば、中間消費電力モードが選択された場合は、MCLK_DIV を MCLK/4 とする必要があります。

フィルタの係数

AD7768-1 の低リップル FIR フィルタは 112 個の係数のセットを使用します。これらの係数は、適切なキーを AD7768-1 に書き込むことによって上書きできます。上書き後は、カスタマイズされたフィルタ係数をメモリにアップロードしてロックできます。AD7768-1 をリセットする場合は、これらの係数を再度書き込む必要があります。

アップロードした係数には以下の必要条件が適用されます。

- フルセットの係数は 112 個で、56 個の係数がミラーされて合計 112 個となります。したがって、1 個のフィルタをアップロードするときは 56 個の係数だけが書き込まれます。
- 書き込む係数は整数形式でなければなりません。使用フォーマットは 2 の補数です。
- 書き込み対象の係数データ・レジスタは 24 ビット幅で、AD7768-1 上では 24 ビット・レジスタ書き込みだけが使われます。係数に使用するのは 23 ビットだけで、残りの MSB は制御ビットです。詳細についてはレジスタ 0x33 を参照してください。
- フィルタ係数は、56 個の係数の合計が必ず 2^{22} となるようにスケーリングされます。したがって、係数全体 (112 個) としての合計は 2^{23} となります。

例えば、書き込まれるフィルタ係数が -0.0123 だとすると、この値が $-0.0123 \times 2^{22} = -51,590$ にスケーリングされます。2 の補数形式でこの値を表すと、0x7F367A になります。

各フィルタ係数は、最初に係数のアドレスを選択することによって書き込まれます。次にデータの書き込みが個別に行われ、それが 56 個の係数すべてについてアドレス 0 からアドレス 55 まで繰り返されます。

FIR のサイズは変更できないので、プログラマブル・フィルタ・オプション使用時もフィルタのグループ遅延は $34/ODR$ に固定されたままです。係数の数を減らしたい場合は、末尾の係数にゼロをパディングすることによってこの要求を満たすことができます。アップロードされたフィルタのグループ遅延は、常に AD7768-1 のデフォルトの FIR フィルタのグループ遅延 ($34/ODR$) と等しくなければなりません。

係数アドレス・レジスタまたは係数データ・レジスタ (COEFF_CONTROL または COEFF_DATA) へのアクセスがあった場合は、その都度、別の読出しや書き込みを行う前に一定の待機時間を置く必要があります。待機時間は次式によります。

$$t_{WAIT} = 512/MCLK$$

この待機時間は、レジスタの内容を更新する時間を提供します。次いで、係数がメモリに書き込まれます。

表 27. 最終 FIR 入力段へのデータ・レート

Power Mode	Input to Third Stage, Programmable FIR (MCLK = 16.384 MHz)								
	512 kHz	256 kHz	128 kHz	64 kHz	32 kHz	16 kHz	8 kHz	4 kHz	2 kHz
Fast	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Not applicable	Not applicable
Median	Not applicable	Yes	Yes	Yes	Yes	Yes	Yes	Not applicable	Not applicable
Low Power	Not applicable	Not applicable	Not applicable	Yes	Yes	Yes	Yes	Yes	Yes

アップロード・シーケンス

ユーザ定義のフィルタ係数セットをプログラムするには、以下のシーケンスを実行します。

1. **DIGITAL_FILTER** レジスタのフィルタ・ビット (レジスタ 0x19、ビット [6:4]) に 0x4 を書き込みます。
2. フィルタ・アップロードにアクセスするには、以下のキーを書き込む必要があります。最初に、**ACCESS_KEY** レジスタ (レジスタ 0x34) に 0xAC を書き込みます。次に、**ACCESS_KEY** レジスタに 0x45 を書き込みます。**ACCESS_KEY** レジスタのビット 0 (キー・ビット) は、キーが正しく入力されたかどうかを確認するためにリードバックできます。
3. **COEFF_CONTROL** レジスタ (レジスタ 0x32) に 0xC0 を書き込みます。t_{WAIT} 秒待って以下の操作を実行します。
 - a. 係数アドレスをアドレス 0 に設定します。
 - b. メモリへのアクセスを有効にします (COEFFACCESSEN = 1)。
 - c. 係数メモリへの書き込みができるようにします (COEFFWRITEEN = 1)。
4. 最初の係数のアドレスを選択します。必要な係数を **COEFF_DATA** レジスタ (レジスタ 0x33) に書き込んで、t_{WAIT} 秒間待ちます。レジスタ 0x32 への書き込みからレジスタ 0x33 への書き込みの間には、必ず t_{WAIT} 秒の時間を置いてください。
5. 56 個の係数のそれぞれについて、手順 4 と手順 5 を繰り返します。例えば、係数アドレス 1 を選択するには **COEFF_CONTROL** に 0xC1 を書き込み、t_{WAIT} 秒間待ってから係数データを入力します。同様に、係数 55 になるまでデータを加算してください (係数 55 では、**COEFF_CONTROL** に 0xF7 を書き込みます)。
6. 最初に **COEFF_CONTROL** に 0x80 を書き込むことによって、係数への書き込みを無効にします。更に t_{WAIT} 秒間待ってから **COEFF_CONTROL** に 0x00 を書き込み、係数アクセスを無効にします。
7. **COEFF_DATA** に 0x800 を書き込むことによって **USERCOEFFEN** = 1 に設定し、同期パルスを送るデータを読み出せるようにします。
8. **ACCESS_KEY** レジスタ (レジスタ 0x34) に 0x55 を書き込むことによって、フィルタ・アップロードを終了します。
9. AD7768-1 に同期パルスを送ります。このパルスを送る方法の 1 つは、**SYNC_RESET** レジスタ (レジスタ 0x1D) に書き込みを行うことです。以上でフィルタ・アップロードは完了です。

デジタル・フィルタのアップロード時には、RAMCRC エラー・チェックを行ってもエラーになります。このチェックを無効にするには、**DIG_DIAG_ENABLE** レジスタ (レジスタ 0x2A) を使用します。

レジスタ・ビットの詳細については、レジスタの詳細を参照してください。

フィルタ・アップロードの例

以下に示すシーケンスは、sinc1 フィルタをプログラムします。アドレス 0 からアドレス 23 の係数は 0 です。アドレス 24 からアドレス 55 の係数は 131,072 ($2^{22}/32$) です。MCLK = 16.384MHz で ODR = 256kHz の場合は、8kHz と 8kHz の整数倍の位置にフィルタ・ノッチが現れます。このフィルタは低ノイズで、図 96 に示す特徴的なフィルタ・プロファイルによって識別できます。

フィルタをプログラムするには、以下の手順を実行してください。

1. **DIGITAL_FILTER** レジスタのフィルタ・ビット (レジスタ 0x19、ビット [6:4]) に 0x4 を書き込みます。
2. **ACCESS_KEY** レジスタ (レジスタ 0x34) への書き込みによってキーを入力します。
3. **COEFF_CONTROL** レジスタ (レジスタ 0x32) に 0xC0 を書き込みます (COEFFADDR = 0、COEFFACCESSEN = 1、および COEFFWRITEEN = 1)。t_{WAIT} 秒間待ちます。
4. **COEFF_DATA** (レジスタ 0x33) に 0x000000 を書き込みます。t_{WAIT} 秒間待ちます。
5. **COEFF_CONTROL** レジスタに 0xC1 を書き込みます (COEFFADDR = 1)。t_{WAIT} 秒間待ちます。この場合はアドレス 0 とアドレス 1 の係数が等しいので、**COEFF_DATA** の値は変わりません。
6. **COEFF_CONTROL** レジスタに 0xC2 を書き込みます (COEFFADDR = 2)。t_{WAIT} 秒間待ちます。
7. 書き込み値が 0xD7 になるまで **COEFF_CONTROL** レジスタのアドレスを加算していきます (COEFFADDR = 23)。t_{WAIT} 秒の待機時間を維持してください。
8. **COEFF_CONTROL** レジスタに 0xD8 を書き込みます (COEFFADDR = 24)。
9. **COEFF_DATA** に 0x010000 を書き込みます。t_{WAIT} 秒間待ちます。
10. **COEFF_CONTROL** に 0xD9 を書き込みます (COEFFADDR = 25)。t_{WAIT} 秒間待ちます。
11. **COEFF_CONTROL** に 0xDA を書き込み (COEFFADDR = 26)、t_{WAIT} 秒間待ちます。
12. 書き込み値が 0xF7 になるまで **COEFF_CONTROL** レジスタのアドレスを加算していきます (COEFFADDR = 55)。t_{WAIT} 秒間待ちます。
13. 最初に **COEFF_CONTROL** レジスタに 0x80 を書き込むことによって、係数への書き込みとアクセスを無効にします。t_{WAIT} 秒間待ってから、**COEFF_CONTROL** レジスタに 0x00 を書き込みます。
14. **USERCOEFFEN** = 1 に設定して、デフォルトの係数をロードし直さなくても同期をトグルできるようにします (**COEFF_DATA** に 0x800000 を書き込み)。
15. **ACCESS_KEY** レジスタに 0x55 を書き込むことによって、書き込みを終了します。
16. 同期をトグルします。
17. データを収集します。得られるフィルタ・プロファイルを図 96 に示します。

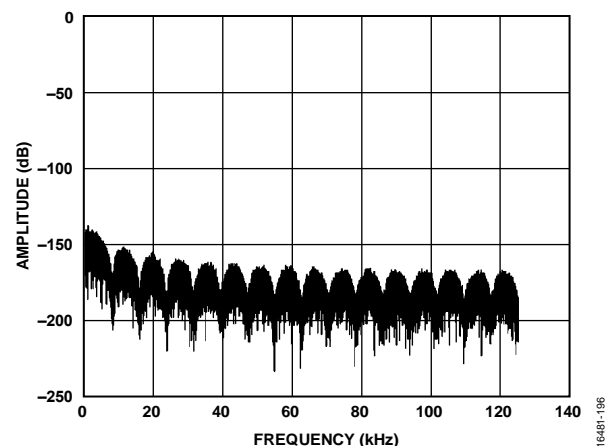


図 96. フィルタ・プロファイルのアップロード例

フィルタ・アップロードの検証

フィルタ係数が正常にアップロードされたことをチェックするために、COEFF_DATA レジスタに書き込んだ値をリードバックすることができます。この読出しは、アップロード後に以下の手順に従って行うことができます。

- ACCESS_KEY レジスタ (レジスタ 0x34) への書き込みによってキーを入力します。最初に ACCESS_KEY レジスタに 0xAC を書き込み、次に ACCESS_KEY レジスタに 0x45 を書き込みます。
- COEFF_CONTROL レジスタ (レジスタ 0x32) に 0x80 を書き込みます (COEFFADDR = 0、COEFFACCESSEN = 1、COEFFWRITEEN = 0)。t_{WAIT} 秒間待ちます。
- 24 ビットの COEFF_DATA レジスタ (レジスタ 0x33) の内容をリードバックします。係数が、アップロードした値と一致していることを確認してください。
- COEFF_CONTROL レジスタに 0x81 を書き込みます (COEFFADDR = 1)。t_{WAIT} 秒間待ちます。
- アドレス 1 の 24 ビット COEFF_DATA レジスタを読み出します。アドレス値を加算してデータのリードバックを続けます。COEFF_CONTROL レジスタの更新から次の更新までの間には、常に t_{WAIT} 秒の待機時間を置いてください。
- COEFF_CONTROL レジスタに 0x00 を書き込むことによって、係数へのアクセスを無効にします。
- ACCESS_KEY レジスタに 0x55 を書き込むことによって、リードバック・プロセスを終了します。

電磁両立性 (EMC) のテスト

AD7768-1 は、工業環境や条件ベースのモニタリング・ソリューションにおいて絶縁型チャンネルを必要とするアプリケーションを含め、広範なアプリケーションに適しています。

過酷な環境下でも確実な動作を維持できるよう、AD7768-1 は様々な EMC 規格に従い IC レベルでテストされています。EMC テストは IEC 規格に従って行われており、これには放射耐性 (IEC 62132-2)、無線周波数放射妨害波 (IEC 61967-2)、および電気的高速トランジェント (EFT、IEC 62215-3) が含まれています。EMC テストを実行できるよう、デバイスを正常に動作させるために必要なデカップリング・コンデンサが組み込まれています。

放射耐性

放射耐性テストは、IEC 62132-2 に従って行われています。このテストは、デバイス通常動作時の無線周波数による電磁干渉 (EMI) に対する耐性を評価します。テスト周波数は 150kHz~1GHz で、表 28 に示す結果は、振幅変調 (AM) および連続波 (CW) による干渉の両方を使用して収集されたものです。AD7768-1 は、最大テスト定格 100V/m の AM および CW 放射耐性の両方について、クラス A の性能を実現しています。

表 28. IEC 62132-2 規格による放射耐性テスト結果

Test Type	Test Level (V/m)	Class
AM	100	A
CW	100	A

放射妨害波

放射妨害波テストは、IEC 61967-2 に従って行われています。このテストは、デバイスの通常動作時に発生する電磁周波数の特性を評価します。テスト周波数は 150kHz~1GHz です。表 29 に示す結果は、周波数 16.384MHz の外部 MCLK をデバイスに入力して収集したものです。デバイスからの放射妨害波の測定振幅が最大となるのは、MCLK 周波数の倍数の位置でした。

表 29. IEC 61967-2 規格に従って測定された最大放射妨害波。MCLK = 16.384 MHz、低リップル FIR フィルタ、高速消費電力モード

Frequency (MHz)	Amplitude (dB μ V)
65.52	22.37
32.76	22.15
49.14	20.22

電気的高速トランジェント (EFT)

EFT テストは、IEC 62215-3 に従って行われています。EFT テストは、複数の高速トランジェント・パルス进行测试対象デバイス (DUT) のピンに結合して行います。入力は 5kHz と 100kHz の入力周波数で加えられるトランジェント・パルス・トレインで、これは IEC 61000-4-4 によります。EFT テストの結果を示したのが表 30 で、AD7768-1 は ± 1 kV までクラス A の性能を実現しています。

表 30. EFT テストの結果

AD7768-1 Pin	Test Level (V)	Performance Class
AVDD1	± 1000	A
AVDD2	± 1000	A
IOVDD	± 1000	A

AD7768-1 のサブシステム・レイアウト

AD7768-1 とその周囲のサブシステムのレイアウトの概要を図 97 に示します。アナログ入力、リファレンス入力、アナログ電源

は左上の部分に入力します。IOVDD 電源、デジタル・インターフェース、およびクロッキングはすべて右下部分に加えられます。

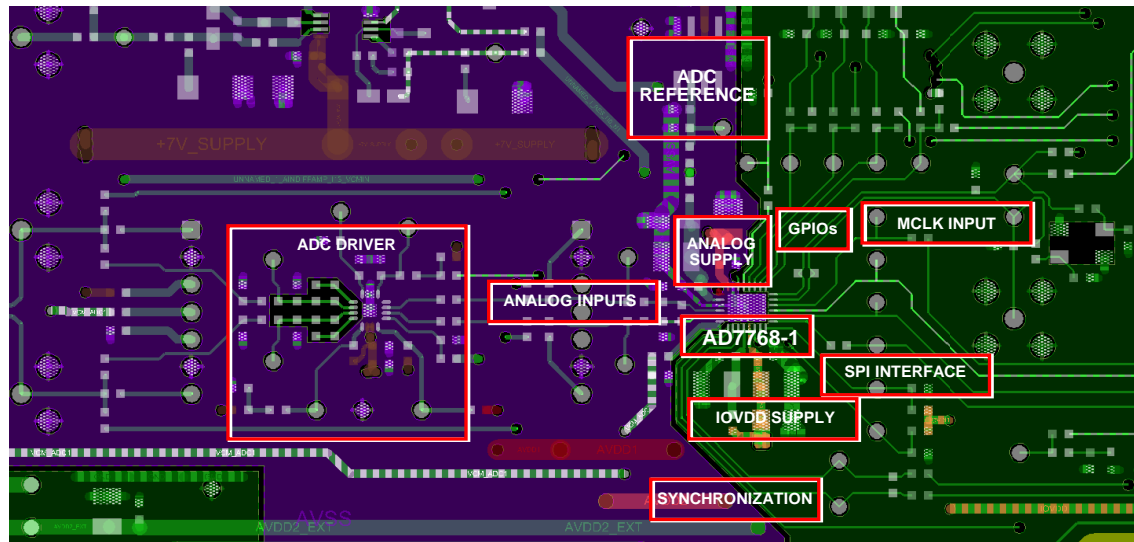


図 97. サブシステム・レイアウト

レジスタの一覧

表 31. レジスタの一覧

Reg (Hex)	Bit Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
03	CHIP_TYPE	[7:0]	Reserved				Class				0x07	R	
04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x01	R	
05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x00	R	
06	CHIP_GRADE	[7:0]	Grade				DEVICE_REVISION				0x00	R	
0A	SCRATCH_PAD	[7:0]	Value								0x00	R/W	
0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R	
0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R	
14	INTERFACE_FORMAT	[7:0]	RESERVED	EN_SPI_CRC	CRC_TYPE	STATUS_EN	CONVLEN	EN_RDY_DOUT	Reserved	EN_CONT_READ	0x00	R/W	
15	POWER_CLOCK	[7:0]	CLOCK_SEL		MCLK_DIV		POWER_DOWN	MOD_OUTPUT	PWRMODE		0x00	R/W	
16	Analog	[7:0]	REF_BUF_POS		REF_BUF_NEG		Reserved		AIN_BUFF_POS_OFF	AIN_BUFF_NEG_OFF	0x00	R/W	
17	ANALOG2	[7:0]	CHOP_FREQUENCY	Reserved				VCM			0x00	R/W	
18	Conversion	[7:0]	DIAG_MUX_SELECT				CONV_DIAG_SELECT	CONV_MODE			0x00	R/W	
19	DIGITAL_FILTER	[7:0]	EN_60HZ_REJ	Filter			Reserved	DEC_RATE			0x00	R/W	
1A	SINC3_DEC_RATE_MSB	[7:0]	Reserved			SINC3_DEC[12:8]						0x00	R/W
1B	SINC3_DEC_RATE_LSB	[7:0]	SINC3_DEC[7:0]								0x00	R/W	
1C	DUTY_CYCLE_RATIO	[7:0]	IDLE_TIME								0x00	R/W	
1D	SYNC_RESET	[7:0]	SPI_START	SYNC_OUT_POS_EDGE	Reserved		EN_GPIO_START	Reserved	SPI_RESET		0x80	R/W	
1E	GPIO_CONTROL	[7:0]	UGPIO_EN	GPIO2_OPEN_DRAIN_EN	GPIO1_OPEN_DRAIN_EN	GPIO0_OPEN_DRAIN_EN	GPIO3_OP_EN	GPIO2_OP_EN	GPIO1_OP_EN	GPIO0_OP_EN	0x00	R/W	
1F	GPIO_WRITE	[7:0]	Reserved				GPIO_WRITE_3	GPIO_WRITE_2	GPIO_WRITE_1	GPIO_WRITE_0	0x00	R/W	
20	GPIO_READ	[7:0]	Reserved				GPIO_READ_3	GPIO_READ_2	GPIO_READ_1	GPIO_READ_0	0x00	R	
21	OFFSET_HI	[7:0]	Offset[23:16]								0x00	R/W	
22	OFFSET_MID	[7:0]	Offset[15:8]								0x00	R/W	
23	OFFSET_LO	[7:0]	Offset[7:0]								0x00	R/W	
24	GAIN_HI	[7:0]	Gain[23:16]								0x00	R/W	
25	GAIN_MID	[7:0]	Gain[15:8]								0x00	R/W	
26	GAIN_LO	[7:0]	Gain[7:0]								0x00	R/W	
28	SPL_DIAG_ENABLE	[7:0]	Reserved			EN_ERR_SPI_IGNORE	EN_ERR_SPI_CLK_CNT	EN_ERR_SPI_RD	EN_ERR_SPI_WR	Reserved		0x10	R/W
29	ADC_DIAG_ENABLE	[7:0]	Reserved			EN_ERR_DLDO_PSM	EN_ERR_ALDO_PSM	Reserved	EN_ERR_FILTER_SATURATED	EN_ERR_FILTER_NOT_SETTLED	EN_ERR_EXT_CLK_QUAL	0x07	R/W
2A	DIG_DIAG_ENABLE	[7:0]	Reserved			EN_ERR_MEMMAP_CRC	EN_ERR_RAM_CRC	EN_ERR_FUSE_CRC	Reserved	EN_FREQ_COUNT	0x0D	R/W	
2C	ADC_DATA	[23:16]	ADC_READ_DATA[23:16]								0x000000	R	
		[15:8]	ADC_READ_DATA[15:8]										
		[7:0]	ADC_READ_DATA[7:0]										
2D	MASTER_STATUS	[7:0]	MASTER_ERROR	ADC_ERROR	DIG_ERROR	ADC_ERR_EXT_CLK_QUAL	ADC_FILT_SATURATED	ADC_FILT_NOT_SETTLED	SPL_ERROR	POR_FLAG	0x00	R	
2E	SPL_DIAG_STATUS	[7:0]	Reserved			ERR_SPI_IGNORE	ERR_SPI_CLK_CNT	ERR_SPI_RD	ERR_SPI_WR	ERR_SPI_CRC	0x00	R/W	

Reg (Hex)	Bit Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
2F	ADC_DIAG_STATUS	[7:0]	Reserved		ADC_ERR_DLDO_PSM	ADC_ERR_ALDO_PSM	Reserved	ADC_FILT_SATURATED	ADC_FILT_NOT_SETTLED	ADC_ERR_EXT_CLK_QUAL	0x00	R	
30	DIG_DIAG_STATUS	[7:0]	Reserved			ERR_MEMMAP_CRC	ERR_RAM_CRC	ERR_FUSE_CRC	Reserved		0x00	R	
31	MCLK_COUNTER	[7:0]	MCLK_COUNTER								0x00	R	
32	COEFF_CONTROL	[7:0]	COEFFACCESSEN	COEFFWRITEEN	COEFFADDR[5:0]						0x00	R/W	
33	COEFF_DATA	[23:16]	USERCOEFFEN	COEFFDATA[22:16]								0x000000	R/W
		[15:8]	COEFFDATA[15:8]										
		[7:0]	COEFFDATA[7:0]										
34	ACCESS_KEY	[7:0]	Reserved							Key	0x00	R	

レジスタの詳細

コンポーネント・タイプ・レジスタ

アドレス：0x03、リセット：0x07、レジスタ名：CHIP_TYPE

表 32. CHIP_TYPE のビットの説明

Bits	Bit Name	Description	Reset	Access
[7:4]	Reserved	予備	0x0	R
[3:0]	Class	チップ・タイプ。 111：A/D コンバータ	0x7	R

固有製品 ID レジスタ

アドレス：0x04、リセット：0x01、レジスタ名：PRODUCT_ID_L

表 33. PRODUCT_ID_L のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	PRODUCT_ID[7:0]	製品 ID [7:0]	0x1	R

アドレス：0x05、リセット：0x00、レジスタ名：PRODUCT_ID_H

表 34. PRODUCT_ID_H のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	PRODUCT_ID[15:8]	製品 ID [15:8]	0x0	R

デバイス・グレードおよびリビジョン・レジスタ

アドレス：0x06、リセット：0x00、レジスタ名：CHIP_GRADE

表 35. CHIP_GRADE のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:4]	Grade	デバイスのグレード	0x0	R
[3:0]	DEVICE_REVISION	デバイスのリビジョン ID。	0x0	R

ユーザ・スクラッチパッド・レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

表 36. Bit SCRATCH_PAD のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	Value	スクラッチパッド、読出しおよび書込み領域の通信	0x0	R/W

デバイス・ベンダーID レジスタ

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR_L

表 37. VENDOR_L のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	VID[7:0]	ベンダーID [7:0]。アナログ・デバイセズのベンダーID。	0x56	R

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR_H

表 38. VENDOR_H のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	VID[15:8]	ベンダーID [15:8]。アナログ・デバイセズのベンダーID。	0x4	R

インターフェース・フォーマット制御レジスタ

アドレス：0x14、リセット：0x00、レジスタ名：INTERFACE_FORMAT

表 39. INTERFACE_FORMAT のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
7	LV_BOOST	1.8V の IOVDD レベルの場合、あるいは DOUT/RDY ピン上に大容量性負荷が存在する場合に使用するために、SPI 出力の駆動強度を上げます。PIN 制御モード時のデフォルトは LV_BOOST がイネーブルされた状態です。 0：LV_BOOST をディスエーブル。 1：LV_BOOST をイネーブル。このビットは、必要に応じ連続読出しモード終了後に再度イネーブルにする必要があります。	0x0	R/W
6	EN_SPI_CRC	すべての SPI トランザクションの CRC を有効にします。 0：すべての SPI 転送で CRC 機能を無効化。 1：すべての SPI 転送で CRC 機能を有効化。	0x0	R/W
5	CRC_TYPE	CRC を XOR として行うか、8 ビット多項式で行うかを選択します。 1：CRC に代えて XOR を使用します（読出しトランザクションにのみ適用）。 0：CRC ビットは CRC-8 多項式に基づきます。インターフェース転送の CRC チェックは 8 ビット CRC 多項式を使用します。	0x0	R/W
4	STATUS_EN	ステータス・ビット出力をイネーブルします。SPI 制御モードでは、このビット・フィールドにビットをセットすることによって、変換結果の後にステータス・ビットを出力することができます。PIN 制御モードでは、デフォルトで ADC 変換結果の後にステータス・ビットが出力されます。 0：連続読出しモードにおけるステータス・ビットと ADC 変換結果の組み合わせ出力をディスエーブルします。 1：連続読出しモードでステータス・ビットと ADC 変換結果を組み合わせ出力します。	0x0	R/W
3	CONVLEN	変換結果の出力長。 0：フル、24 ビット。 1：ADC 結果の 16 MSB だけを出力。	0x0	R/W
2	EN_RDY_DOUT	DOUT/RDY ピンの RDY 信号を有効にします。連続読出しモードで DOUT/RDY ピンの RDY インジケータをイネーブルします。デフォルトでは、連続読出しモードにおいて新しい ADC 変換データが使用可能になると、DOUT/RDY ピンがこれを示します。このビットをセットすると、DOUT/RDY は ADC 変換データが使用可能かどうかを示す信号を送出しなくなります。 0：連続読出しモードでの SCO の RDY 機能を有効化。 1：連続読出しモードでの SCO の RDY 機能を無効化。	0x0	R/W
1	Reserved	予備	0x0	R
0	EN_CONT_READ	連続読出しイネーブル・ビット。 0：連続読出しモードを無効化。 1：連続読出しモードを有効化。	0x0	R/W

消費電力およびクロック制御レジスタ

アドレス：0x15、リセット：0x00、レジスタ名：POWER_CLOCK

表 40. POWER_CLOCK のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:6]	CLOCK_SEL	デバイスが使用するクロックの設定オプション。 0：MCLK/XTAL2 に CMOS クロックを使用。 1：水晶発振器。 10：LVDS 入力をイネーブル。 11：内部コース RC クロック（診断機能）。	0x0	R/W
[5:4]	MCLK_DIV	ADC の変調器周波数 (f_{mod}) を生成するための MCLK の分周を設定します。 0：変調器 CLK = マスタ・クロックを 16 分周。 1：変調器 CLK = マスタ・クロックを 8 分周。 10：変調器 CLK = マスタ・クロックを 4 分周。 11：変調器 CLK = マスタ・クロックを 2 分周。	0x0	R/W

Bit(s)	Bit Name	Description	Reset	Access
3	POWER_DOWN	デバイスをパワーダウン状態にします。SPIを含むすべてのブロックがパワーダウンされず。この状態では標準SPIは機能しません。パワーダウンは消費電力が最も小さいモードです。パワーダウン・モードにするには、このレジスタに0x08を書き込みます。このレジスタ内の他のビットと同時にビット3をセットしようとする、SPI書き込みコマンドが無視されてデバイスはパワーダウン状態にならず、他のビットもセットされません。パワーダウン・モードを終了する方法は3つあります。AD7768-1のRESETピンを使ってリセットする方法、SDIとSCLKを介してSPIレジューム・コマンドを発行する方法、またはデバイスを一度パワーダウンしてから再度パワーオンする方法です。 0：デバイスをパワーオン。 1：デバイスをパワーダウン。	0x0	R/W
2	MOD_OUTPUT	変調器の出力モードを選択します。変調器モードを選択すると、消費電力モードが低消費電力モードになり、このレジスタの消費電力モード・ビット（PWRMODE、ビット [1:0]）への変更はすべて無視されます。 0：未加工変調器出力をディスエーブル。 1：未加工変調器出力をイネーブル。	0x0	R/W
[1:0]	PWRMODE	ADCコアの消費電力モードを設定します。この設定は、MCLK_DIVと共に、ADCのパワー・スケーリングと入力帯域幅/スループットの関係に関する条件を設定します。 0：低消費電力モード。 10：中間消費電力モード。 11：高速消費電力モード。	0x0	R/W

アナログ・バッファ制御レジスタ

アドレス：0x16、リセット：0x00、レジスタ名：Analog

フロント・エンド・バッファリングのオン/オフに使用します。

表 41. Analog のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:6]	REF_BUF_POS	リファレンス正入力のバッファリング・オプション。 0：プリチャージ・リファレンス・バッファをオン。 1：非バッファ・リファレンス入力。 10：フル・リファレンス・バッファをオン。	0x0	R/W
[5:4]	REF_BUF_NEG	リファレンス負入力のバッファリング・オプション。 0：プリチャージ・リファレンス・バッファをオン。 1：非バッファ入力。 10：フル・リファレンス・バッファをオン。	0x0	R/W
[3:2]	Reserved	予備	0x0	R
1	AIN_BUFF_POS_OFF	AIN+プリチャージ・バッファをディスエーブル。このビットをセットすると、正のアナログ入力のプリチャージ・バッファがディスエーブルされます。 0：AIN+プリチャージ・バッファをイネーブル。 1：AIN+プリチャージ・バッファをディスエーブル。	0x0	R/W
0	AIN_BUFF_NEG_OFF	AIN-プリチャージ・バッファをディスエーブル。このビットをセットすると、負のアナログ入力のプリチャージ・バッファがディスエーブルされます。 0：AIN-プリチャージ・バッファをイネーブル。 1：AIN-プリチャージ・バッファをディスエーブル	0x0	R/W

VCM 制御レジスタ

アドレス：0x17、リセット：0x00、レジスタ名：ANALOG2

表 42. ANALOG2 のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
7	CHOP_FREQUENCY	変調器内で使用するチョップ周波数を選択します。 0：変調器のチョッピング周波数を設定。これは $f_{MOD}/32$ のデフォルト・チョップ設定です。チョップ・レートを $f_{MOD}/32$ に設定すると、オフセットおよびオフセット・ドリフトに関して最適な性能が得られます。 1：変調器のチョッピング周波数を設定。これはチョップ・レートを $f_{MOD}/8$ に設定します。チョップ・レートを $f_{MOD}/8$ に設定すると、最初のチョップ・エイリアスをパス・バンドから離れた位置にすることができます。図 75 参照。	0x0	R/W
[6:3]	Reserved	予備	0x0	R
[2:0]	VCM	VCM ピンからの出力を設定。VCM 出力電圧は、外付けで AD7768-1 に使用するアンプ・プリコンディショニング回路内で、コモンモード電圧として使用することができます。 000：VCM 出力を $(AVDD1 - AVSS)/2$ に設定。 001：VCM 出力を 2.5V に設定。 010：VCM 出力を 2.05V に設定。 011：VCM 出力を 1.9V に設定。 100：VCM 出力を 1.65V に設定。 101：VCM 出力を 1.1V に設定。 110：VCM 出力を 0.9V に設定。 111：VCM 出力をオフ。	0x0	R/W

変換ソース選択およびモード制御レジスタ

アドレス：0x18、リセット：0x00、レジスタ名：Conversion

表 43. Conversion のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:4]	DIAG_MUX_SELECT	診断マルチプレクサを介して送る信号を選択します。低消費電力モードでのみ診断チェックを行います。 0：温度センサー。 1000：AIN±短絡（ゼロ・チェック）。 1001：正のフルスケール。 1010：負のフルスケール。	0x0	R/W
3	CONV_DIAG_SELECT	AIN±または診断マルチプレクサとして変換するための入力を選択します。 0：AIN±からの変換用に入力を設定。 1：診断マルチプレクサからの変換用に入力を設定。	0x0	R/W
[2:0]	CONV_MODE	ADC の変換モードを設定します。 000：連続変換モード。変調器は連続的に変換を行います。あらゆるフィルタ変換用の DRDY パルス。 001：連続ワンショット・モード。ワンショットは、 $\overline{SYNC_IN}$ 時間を使用して変換を開始する方法です。これは、ワンショット・モード使用時の変換開始信号と同じです。ADC 変調器は、連続して動作しながら $\overline{SYNC_IN}$ の立上がりエッジを待ちます。 $\overline{SYNC_IN}$ ピンにパルスが送られると（ローからハイへの遷移）新しい変換が開始され、選択したフィルタのセトリング時間を使って変換と積分が行われます。変換が完了すると DRDY がトグルして、SPI 経由のリードバックに使用できることを示します。 010：シングル変換スタンバイ・モード。シングル変換スタンバイ・モードでは、ADC はシングル変換結果を提供する前に、選択フィルタを使って変換を 1 回行い、フィルタのフル・セトリング時間を使ってサンプリングと積分を行います。変換が完了すると、ADC はスタンバイ状態になります。スタンバイ状態からもう一度シングル変換を行うということは、ADC が変換を開始してシングル変換を行う前に、スタンバイを終了して起動するための時間があることを意味します。このモードは低消費電力モードで使用することを推奨します。	0x0	R/W

Bit(s)	Bit Name	Description	Reset	Access
		<p>011：周期的変換スタンバイ・モード。低消費電力周期的変換は、時限ループ内でのシングル変換実行を設定する方法です。独立したレジスタを使ってスタンバイと変換の時間比率を設定します。ADCは一定の間隔で自動的にスタンバイ状態を終了し、シングル変換を行って再びスタンバイに戻ります。ユーザがSPIを介してシングル変換を開始する必要はありません。</p> <p>100：スタンバイ。デバイスをスタンバイ・モードに設定。</p> <p>101：デバイスをスタンバイ・モードに設定。</p> <p>110：デバイスをスタンバイ・モードに設定。</p> <p>111：デバイスをスタンバイ・モードに設定。</p>		

デジタル・フィルタおよびデシメーション制御レジスタ

アドレス：0x19、リセット：0x00、レジスタ名：DIGITAL_FILTER

表 44. DIGITAL_FILTER のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
7	EN_60HZ_REJ	<p>sinc3 フィルタとのみ使用します。最初に、50Hz で出力するように sinc3 フィルタをプログラムします。その後、EN_60HZ_REJ ビットを選択すれば、sinc3 フィルタの1つのゼロを60Hzとすることができます。50Hz ODR 用 sinc3 フィルタのプログラミングと組み合わせてこのビットがセットされた場合、このビットは50Hzと60Hz両方の除去だけを有効にします。</p> <p>0：単一周波数（50Hzまたは60Hz）除去に合わせてsinc3フィルタを最適化します。</p> <p>1：50Hzと60Hzの両方を除去できるようにフィルタ動作を変更します。</p>	0x0	R/W
[6:4]	Filter	<p>使用するフィルタのスタイルを選択します。</p> <p>000：sinc5 フィルタ。デシメーション・レート×32～×1024。DEC_RATE ビットを使用して、×32から×1024まで6種類あるデシメーション・レートから1つを選択します。</p> <p>001：sinc5 フィルタ。デシメーション・レート×8のみ。1MHzの最大データ・レートを有効にします。このパスはより広い帯域幅を表示できますが、量子化ノイズによる制限があるため出力データが16ビットに減少します。</p> <p>010：sinc5 フィルタ。デシメーション・レート×16のみ。512kHzの最大データ・レートを有効にします。このパスはより広い帯域幅を表示できますが、量子化ノイズによる制限があるため出力データが16ビットに減少します。</p> <p>011：sinc3 フィルタ。sinc3 デシメーション・レート・レジスタの13個のビットを使って、デシメーション・レートを選択します。sinc3 フィルタは50Hzまたは60Hzを除去するように調整可能で、EN_60HZ_REJ ビットを使用すれば50Hzと60Hzの両方を除去することができます。デシメーション・レートは、デシメーション・レート MSB レジスタと LSB レジスタの SINC3_DEC ビットで選択します。sinc3 フィルタは50Hzまたは60Hzを除去するように調整可能で、16.384MHzのMCLKと共に使用する場合は、EN_60HZ_REJ ビットをセットすることで50Hzと60Hzの両方を除去することができます。</p> <p>100：低リップル FIR フィルタ。低リップルのパス・バンドと急峻な遷移帯域を持つ FIR フィルタ。DEC_RATE ビットを使用して、×32から×1024まで6種類あるデシメーション・レートから1つを選択します。</p> <p>101：使用しない。</p> <p>110：使用しない。</p> <p>111：使用しない。</p>	0x0	R/W
3	Reserved	予備	0x0	R
[2:0]	DEC_RATE	<p>sinc5 フィルタとブリック・ウォール型ローパス FIR フィルタのデシメーション・レートを選択します。</p> <p>0：デシメーション・レート = ×32。</p> <p>1：デシメーション・レート = ×64。</p> <p>10：デシメーション・レート = ×128。</p> <p>11：デシメーション・レート = ×256。</p> <p>100：デシメーション・レート = ×512。</p> <p>101：デシメーション・レート = ×1024。</p> <p>110：デシメーション・レート = ×1024。</p> <p>111：デシメーション・レート = ×1024。</p>	0x0	R/W

SINC3 デシメーション・レート (MSB レジスタ)

アドレス：0x1A、リセット：0x00、レジスタ名：SINC3_DEC_RATE_MSB

表 45. SINC3_DEC_RATE_MSB ビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:5]	Reserved	予備	0x0	R
[4:0]	SINC3_DEC[12:8]	sinc3 フィルタに使用するデシメーション・レートを決定します。入力値に 1 を加算して 32 を乗じることにより、実際の DEC_RATE が決定されます。	0x0	R/W

SINC3 デシメーション・レート (LSB レジスタ)

アドレス：0x1B、リセット：0x00、レジスタ名：SINC3_DEC_RATE_LSB

表 46. SINC3_DEC_RATE_LSB のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	SINC3_DEC[7:0]	sinc3 フィルタに使用するデシメーション・レートを決定します。入力値に 1 を加算して 32 を乗じることにより、実際の DEC_RATE が決定されます。	0x0	R/W

周期的変換レート制御レジスタ

アドレス：0x1C、リセット：0x00、レジスタ名：DUTY_CYCLE_RATIO

DUTY_CYCLE_RATIO は、周期的変換モードで使用する時間を設定します。中間消費電力モードまたは低消費電力モードにおける周期的変換モードでのみ使用します。

表 47. DUTY_CYCLE_RATIO のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	IDLE_TIME	スタンバイ時における周期的変換のアイドル時間を設定します。このレジスタ内の 1 は、選択したフィルタからの 1 出力の時間に相当します。このレジスタ内の値は 1 加算されて 2 倍されます。	0x0	R/W

同期モードおよびリセット・トリガリング・レジスタ

アドレス：0x1D、リセット：0x80、レジスタ名：SYNC_RESET

表 48. SYNC_RESET のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
7	SPI_START	START 信号をトリガします。SPI 上で SYNC_OUT パルスを開始できます。このビットをローに設定すると、SYNC_OUT にロー・パルスを生成できます。これは、同じデバイスと同期サンプリングを必要とする他の AD7768-1 デバイスへの SYNC_IN 信号として使用できます。このビットは使用後自動的にクリアされます。	0x1	R
6	SYNC_OUT_POS_EDGE	SYNC_OUT 駆動エッジの選択。このビットをセットすると、MCLK の立上がりエッジで SYNC_OUT がローになります。デバイスのデフォルトでは、MCLK の立下がりエッジで SYNC_OUT がローになります。	0x0	R/W
[5:4]	Reserved	予備	0x0	R
3	EN_GPIO_START	GPIO 入力の START 機能を有効にします。GPIOx ピンのどれか 1 つを START ピンとして使用できます。有効にすると、START 入力のロー・パルスによって SYNC_OUT にロー・パルスを生成できます。これは、同じデバイスと、同時サンプリングを必要とする他の AD7768-1 デバイスへの SYNC_IN 信号として使用できます。有効にすると、GPIO3 が START 入力になります。START 機能を有効にすると、GPIOx ピンを汎用入出力の読み出しと書き込みに使用することはできなくなります。残りの GPIO は出力に設定されません。 0：無効。 1：有効。	0x0	R/W
2	Reserved	予備	0x0	R
[1:0]	SPI_RESET	SPI を介したデバイスのリセットを有効にします。リセットを開始するには、これらのビットに書き込みを 2 回行う必要があります。最初にこれらのビットを 11 に設定し、その後 10 に設定してください。これら 2 つのビットでこのシーケンスが検出されると、リセットが行われます。このレジスタの他のビットがセットされるかクリアされるかには依存しません。	0x0	R/W

GPIO ポート制御レジスタ

アドレス：0x1E、リセット：0x00、レジスタ名：GPIO_CONTROL

表 49. GPIO_CONTROL のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
7	UGPIO_EN	GPIOx ピンをすべてイネーブルします。GPIO の設定を変更するには、このビットをハイに設定する必要があります。	0x0	R/W
6	GPIO2_OPEN_DRAIN_EN	GPIO2 出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
5	GPIO1_OPEN_DRAIN_EN	GPIO1 出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
4	GPIO0_OPEN_DRAIN_EN	GPIO0 出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
3	GPIO3_OP_EN	GPIO ピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W
2	GPIO2_OP_EN	GPIO ピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W
1	GPIO1_OP_EN	GPIO ピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W
0	GPIO0_OP_EN	GPIO ピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W

GPIO 出力制御レジスタ

アドレス：0x1F、リセット：0x00、レジスタ名：GPIO_WRITE

表 50. GPIO_WRITE のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:4]	Reserved	予備	0x0	R
3	GPIO_WRITE_3	GPIO3 をハイに設定するにはこのビットに書き込みを行います。	0x0	R/W
2	GPIO_WRITE_2	GPIO2 をハイに設定するにはこのビットに書き込みを行います。	0x0	R/W
1	GPIO_WRITE_1	GPIO1 をハイに設定するにはこのビットに書き込みを行います。	0x0	R/W
0	GPIO_WRITE_0	GPIO0 をハイに設定するにはこのビットに書き込みを行います。	0x0	R/W

GPIO 入力リード・レジスタ

アドレス：0x20、リセット：0x00、レジスタ名：GPIO_READ

表 51. GPIO_READ のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:4]	Reserved	予備	0x0	R
3	GPIO_READ_3	GPIO3 から値を読み出します。	0x0	R
2	GPIO_READ_2	GPIO2 から値を読み出します。	0x0	R
1	GPIO_READ_1	GPIO1 から値を読み出します。	0x0	R
0	GPIO_READ_0	GPIO0 から値を読み出します。	0x0	R

オフセット・キャリブレーション MSB レジスタ

アドレス：0x21、リセット：0x00、レジスタ名：OFFSET_HI

表 52. OFFSET_HI のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	Offset[23:16]	ユーザ・オフセット・キャリブレーション係数。オフセット修正レジスタは、チャンネル・オフセット調整用の 24 ビット符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理論的な公称値 0x555555 の場合、オフセット・レジスタの LSB 調整により、デジタル出力が LSB 換算でその-4/3 倍変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が-133LSB 変化します。ユーザ・オフセット・キャリブレーション係数による補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって上の比率は、ゲイン・キャリブレーション・レジスタを介して適用されるゲイン調整と共に直線的に変化します。	0x0	R/W

オフセット・キャリブレーション MID レジスタ

アドレス：0x22、リセット：0x00、レジスタ名：OFFSET_MID

表 53. OFFSET_MID のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	Offset[15:8]	ユーザ・オフセット・キャリブレーション係数。オフセット修正レジスタは、チャンネル・オフセット調整用の 24 ビット符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理論的な公称値 0x555555 の場合、オフセット・レジスタの LSB 調整により、デジタル出力が LSB 換算でその-4/3 倍変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が -133LSB 変化します。ユーザ・オフセット・キャリブレーション係数による補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって上の比率は、ゲイン・キャリブレーション・レジスタを介して適用されるゲイン調整と共に直線的に変化します。	0x0	R/W

オフセット・キャリブレーション LSB レジスタ

アドレス：0x23、リセット：0x00、レジスタ名：OFFSET_LO

表 54. OFFSET_LO のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	Offset[7:0]	ユーザ・オフセット・キャリブレーション係数。オフセット修正レジスタは、チャンネル・オフセット調整用の 24 ビット符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理論的な公称値 0x555555 の場合、オフセット・レジスタの LSB 調整により、デジタル出力が LSB 換算でその-4/3 倍変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が -133LSB 変化します。ユーザ・オフセット・キャリブレーション係数による補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって上の比率は、ゲイン・キャリブレーション・レジスタを介して適用されるゲイン調整と共に直線的に変化します。	0x0	R/W

ゲイン・キャリブレーション MSB レジスタ

アドレス：0x24、リセット：0x00、レジスタ名：GAIN_HI

表 55. GAIN_HI のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	Gain[23:16]	ユーザ・ゲイン・キャリブレーション係数。ADC には、それぞれ工場でプログラムされたゲイン・キャリブレーション係数があります。この係数は工場でのプログラミング時に ADC に保存され、公称値は 0x555555 付近です。ユーザは工場でのプログラム値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

ゲイン・キャリブレーション MID レジスタ

アドレス：0x25、リセット：0x00、レジスタ名：GAIN_MID

表 56. GAIN_MID のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	Gain[15:8]	ユーザ・ゲイン・キャリブレーション係数。ADC には、それぞれ工場でプログラムされたゲイン・キャリブレーション係数があります。この係数は工場でのプログラミング時に ADC に保存され、公称値は 0x555555 付近です。ユーザは、工場でのプログラム値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

ゲイン・キャリブレーション LSB レジスタ

アドレス：0x26、リセット：0x00、レジスタ名：GAIN_LO

表 57. GAIN_LO のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	Gain[7:0]	ユーザ・ゲイン・キャリブレーション係数。ADC には、それぞれ工場でプログラムされたゲイン・キャリブレーション係数があります。この係数は工場でのプログラミング時に ADC に保存され、公称値は 0x555555 付近です。ユーザは、工場でのプログラム値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

SPI インターフェース診断制御レジスタ

アドレス：0x28、リセット：0x10、レジスタ名：SPI_DIAG_ENABLE

表 58. SPI_DIAG_ENABLE のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:5]	Reserved	予備	0x0	R
4	EN_ERR_SPI_IGNORE	SPI 無視エラーを有効化。	0x1	R/W
3	EN_ERR_SPI_CLK_CNT	SPI クロック・カウント・エラーを有効化。	0x0	R/W
2	EN_ERR_SPI_RD	SPI 読出しエラーを有効化。	0x0	R/W
1	EN_ERR_SPI_WR	SP 書込みエラーを有効化。	0x0	R/W
0	Reserved	予備	0x0	R

ADC 診断機能制御レジスタ

アドレス：0x29、リセット：0x07、レジスタ名：ADC_DIAG_ENABLE

表 59. ADC_DIAG_ENABLE のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:6]	Reserved	予備	0x0	R
5	EN_ERR_DLDO_PSM	DLDO PSM エラーを有効化。	0x0	R/W
4	EN_ERR_ALDO_PSM	ALDO PSM エラーを有効化。	0x0	R/W
3	Reserved	予備	0x0	R/W
2	EN_ERR_FILTER_SATURATED	フィルタ飽和エラーを有効化。	0x1	R/W
1	EN_ERR_FILTER_NOT_SETTLED	フィルタ未セトリング・エラーを有効化。	0x1	R/W
0	EN_ERR_EXT_CLK_QUAL	外部クロックの品質評価チェックを有効化。	0x1	R/W

デジタル診断機能制御レジスタ

アドレス：0x2A、リセット：0x0D、レジスタ名：DIG_DIAG_ENABLE

表 60. DIG_DIAG_ENABLE のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:5]	Reserved	予備	0x0	R
4	EN_ERR_MEMMAP_CRC	メモリ・マップの CRC エラーを有効化	0x0	R/W
3	EN_ERR_RAM_CRC	RAM の CRC エラーを有効化	0x1	R/W
2	EN_ERR_FUSE_CRC	ヒューズの CRC テストを有効化	0x1	R/W
1	Reserved	予備	0x0	R/W
0	EN_FREQ_COUNT	MCLK カウンタをイネーブル	0x1	R/W

変換結果レジスタ

アドレス：0x2C、リセット：0x000000、レジスタ名：ADC_DATA

表 61. ADC_DATA のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[23:16]	ADC_READ_DATA[23:16]	ADC 読出しデータ	0x0	R
[15:8]	ADC_READ_DATA[15:8]	ADC 読出しデータ	0x0	R
[7:0]	ADC_READ_DATA[7:0]	ADC 読出しデータ	0x0	R

デバイス・エラー・フラグ・マスタ・レジスタ

アドレス：0x2D、リセット：0x00、レジスタ名：MASTER_STATUS

詳細についてはステータス・ヘッダのセクションを参照してください。

表 62. MASTER_STATUS のビットの説明

Bit	Bit Name	Description	Reset	Access
7	MASTER_ERROR	マスタ・エラー	0x0	R
6	ADC_ERROR	任意の ADC エラー (OR)	0x0	R
5	DIG_ERROR	任意のデジタル・エラー (OR)	0x0	R
4	ADC_ERR_EXT_CLK_QUAL	クロック・エラーではありません。マスタ・ステータス・レジスタのみに適用されます。	0x0	R
3	ADC_FILT_SATURATED	フィルタ飽和状態	0x0	R
2	ADC_FILT_NOT_SETTLED	フィルタの未セトリング	0x0	R
1	SPI_ERROR	任意の SPI エラー (OR)	0x0	R
0	POR_FLAG	POR フラグ	0x0	R

SPI インターフェース・エラー・レジスタ

アドレス：0x2E、リセット：0x00、レジスタ名：SPI_DIAG_STATUS

表 63. SPI_DIAG_STATUS のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:5]	Reserved	予備	0x0	R
4	ERR_SPI_IGNORE	SPI 無視エラー	0x0	R/W1C
3	ERR_SPI_CLK_CNT	SPI クロック・カウンタ・エラー	0x0	R
2	ERR_SPI_RD	SPI 読出しエラー	0x0	R/W1C
1	ERR_SPI_WR	SPI 書込みエラー	0x0	R/W1C
0	ERR_SPI_CRC	SPI CRC エラー	0x0	R/W1C

ADC 診断出力レジスタ

アドレス：0x2F、リセット：0x00、レジスタ名：ADC_DIAG_STATUS

表 64. ADC_DIAG_STATUS のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:6]	Reserved	予備	0x0	R
5	ADC_ERR_DLDO_PSM	デジタル低ドロップアウト (DLDO) 電源モニタ (PSM) エラー	0x0	R
4	ADC_ERR_ALDO_PSM	アナログ低ドロップアウト (ALDO) PSM エラー	0x0	R
3	Reserved	予備	0x0	R
2	ADC_FILT_SATURATED	フィルタ飽和状態	0x0	R
1	ADC_FILT_NOT_SETTLED	フィルタの未セトリング	0x0	R
0	ADC_ERR_EXT_CLK_QUAL	クロック・エラーではありません。マスタ・ステータス・レジスタのみに適用されます。	0x0	R

デジタル診断出力レジスタ

アドレス：0x30、リセット：0x00、レジスタ名：DIG_DIAG_STATUS

表 65. DIG_DIAG_STATUS のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:5]	Reserved	予備	0x0	R
4	ERR_MEMMAP_CRC	メモリ・マップの CRC エラー	0x0	R
3	ERR_RAM_CRC	RAM の CRC エラー	0x0	R
2	ERR_FUSE_CRC	ヒューズの CRC エラー	0x0	R
[1:0]	Reserved	予備	0x0	R

MCLK 診断出力レジスタ

アドレス：0x31、リセット：0x00、レジスタ名：MCLK_COUNTER

表 66. MCLK_COUNTER のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:0]	MCLK_COUNTER	MCLK カウンタ。このレジスタは 64MCLK ごとに 1 ずつ加算されます。	0x0	R

係数制御レジスタ

アドレス：0x32、リセット：0x00、レジスタ名：COEFF_CONTROL

表 67. COEFF_CONTROL のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
7	COEFFACCESSEN	このビットを 1 に設定すると、係数メモリへのアクセスが可能になります。	0x0	R/W
6	COEFFWRITEEN	係数メモリへの書き込みを有効にします。有効にするには 1 を書き込んでください。	0x0	R/W
[5:0]	COEFFADDR	係数メモリにアクセスするためのアドレス。112 個の係数を構成する 2 つの対称部分に含まれる 56 個の係数のアドレス範囲は 0~55 です。	0x00	R/W

係数データ・レジスタ

アドレス：0x33、リセット：0x00、レジスタ名：COEFF_DATA

表 68. COEFF_DATA のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
23	USERCOEFFEN	このビットを 1 に設定すると、同期トグル後に ROM の係数でユーザ定義係数を上書きすることができなくなります。カスタマイズ・フィルタのアップロードを含め、AD7768-1 のデジタル・フィルタ構成に変更を加えた場合は、その都度同期パルスが必要になります。	0x0	R/W
[22:0]	COEFFDATA	メモリに書き込まれたフィルタ係数は、これらのビットに書き込まれます。これらのビットの幅は 23 ビットです。	0x000000	R/W

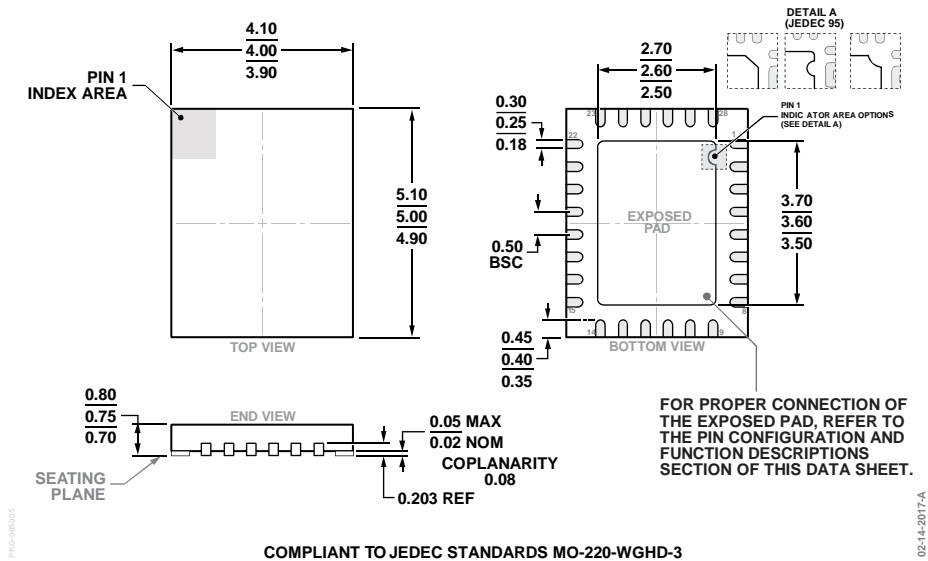
アクセス・キー・レジスタ

アドレス：0x34、リセット：0x00、レジスタ名：ACCESS_KEY

表 69. ACCESS_KEY のビットの説明

Bit(s)	Bit Name	Description	Reset	Access
[7:1]	Reserved	予備		
0	Key	フィルタをアップロードする場合は、予め ACCESS_KEY レジスタに特定のキーを書き込む必要があります。正しく書き込まれれば、キー・ビット値 1 をリードバックできます。	0x0	R/W

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGHD-3
 図 98. 28 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 4mm x 5mm ボディ、0.75mm パッケージ高
 (CP-28-12)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7768-1BCPZ	-40°C to +125°C	28-Lead Lead Frame Chip-Scale Package [LFCSP]	CP-28-12
AD7768-1BCPZ-RL	-40°C to +125°C	28-Lead Lead Frame Chip-Scale Package [LFCSP]	CP-28-12
AD7768-1BCPZ-RL7	-40°C to +125°C	28-Lead Lead Frame Chip-Scale Package [LFCSP]	CP-28-12
EV-AD7768-1FMCZ		Evaluation Board	
EVAL-SDP-CH1Z		Controller Board	

¹ Z = RoHS 準拠製品