

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2013年3月27日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2013年3月27日

製品名：AD7767

対象となるデータシートのリビジョン(Rev)：日本語 Rev.0 英語 Rev. C

訂正箇所：

P.17

Table 7. Filter Settling Time After SYNC/PD (表 7. SYNC/PD 後のフィルタ・セトリング時間)

誤： $(1186 \times t_{MCLK}) + t_{21}$

正： $(1179 \times t_{MCLK}) + t_{21}$

Table 7. Filter Settling Time After SYNC/PD

Model	Decimation Rate	$t_{SETTLING}^1$
AD7767	8	$(594 \times t_{MCLK}) + t_{21}$
AD7767-1	16	$(1186 \times t_{MCLK}) + t_{21}$
AD7767-2	32	$(2370 \times t_{MCLK}) + t_{21}$

特長

オーバーサンプリング逐次比較型 (SAR) アーキテクチャ
高精度 AC/DC 性能、低消費電力

115.5 dB ダイナミック・レンジ、32 kSPS (AD7767-2)

112.5 dB ダイナミック・レンジ、64 kSPS (AD7767-1)

109.5 dB ダイナミック・レンジ、128 kSPS (AD7767)

-118 dB THD

超低消費電力

8.5 mW、32 kSPS (AD7767-2)

10.5 mW、64 kSPS (AD7767-1)

15 mW、128 kSPS (AD7767)

高い DC 精度

24 ビット、ノー・ミッシング・コード (NMC)

INL : ± 3 ppm (typ) , ± 7.6 ppm (max)

低温度ドリフト

ゼロ誤差ドリフト : 15 nV/°C

ゲイン誤差ドリフト : 0.0075% FS

ローパス FIR フィルタ内蔵

直線位相応答

パスバンド・リップル : ± 0.005 dB

ストップバンド減衰量 : 100 dB

2.5 V 電源 (1.8 V/2.5 V/3 V/3.6 V ロジック・インターフェース・オプション付き)

柔軟なインターフェース・オプション

複数デバイスの同期動作

デジチェーン接続

パワーダウン機能

動作温度範囲 : -40~+105°C

アプリケーション

低消費電力の PCI/USB データ・アクイジション・システム

低消費電力の無線データ・アクイジション・システム

振動解析

計測機器

高精度医療データ収集

機能ブロック図

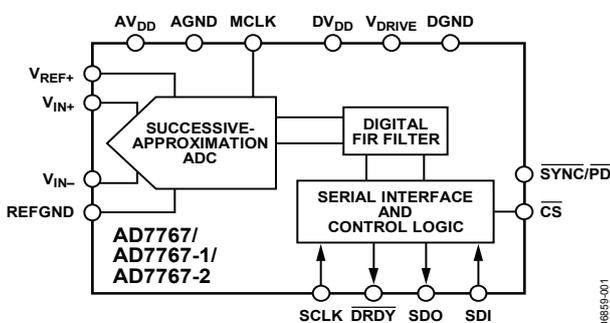


図 1.

概要

AD7767/AD7767-1/AD7767-2 は、高性能な 24 ビット・オーバーサンプリング逐次比較型 (SAR) A/D コンバータ (ADC) です。広いダイナミック・レンジと入力帯域幅、そして 15 mW/10.5 mW/8.5 mW の低消費電力という特長を兼ね備え、16 ピン TSSOP パッケージで提供されます。

AD7767/AD7767-1/AD7767-2 は、超低消費電力が求められるデータ・アクイジション (PCI や USB ベースのシステムなど) に理想的な製品で、24 ビットの分解能を提供します。卓越した S/N 比、広いダイナミック・レンジ、優れた DC 精度の組み合わせにより、広いダイナミック・レンジにわたって小さな信号変化を測定する場合に最適です。とりわけ、大きな AC/DC 信号で入力の小さな変化を測定するアプリケーションにきわめて有用です。このようなアプリケーションにおいて、AD7767/AD7767-1/AD7767-2 は AC、DC 両方の情報を正確に収集します。

内蔵されたデジタル・フィルタ (完全な直線位相応答を持つ) は、オーバーサンプルした入力電圧をフィルタ処理して帯域外ノイズを除去します。また、オーバーサンプリング・アーキテクチャはフロントエンドでのエイリアスを軽減します。さらに AD7767 は SYNC/PD (同期/パワーダウン) ピンを備えているため、複数の AD7767 の同期を取ることができます。また、SDI ピンを用いて複数の AD7767 をデジチェーン接続することもできます。

AD7767/AD7767-1/AD7767-2 は、5V のリファレンスを用いて 2.5 V 電源で動作します。動作温度範囲は -40~+105°C です。

関連デバイス

表 1. 24 ビット A/D コンバータ

製品番号	説明
AD7760	2.5 MSPS、100 dB ダイナミック・レンジ ¹ 、オンボードの差動アンプおよびリファレンス・バッファ、パラレル、可変デシメーション
AD7762/ AD7763	625 kSPS、109 dB ダイナミック・レンジ ¹ 、オンボードの差動アンプおよびリファレンス・バッファ、パラレル/シリアル、可変デシメーション
AD7764	312 kSPS、109 dB ダイナミック・レンジ ¹ 、オンボードの差動アンプおよびリファレンス・バッファ、可変デシメーション (ピン)
AD7765	156 kSPS、112 dB ダイナミック・レンジ ¹ 、オンボードの差動アンプおよびリファレンス・バッファ、可変デシメーション (ピン)
AD7766	128 kSPS、109.5 dB ¹ 、15 mW、16 ビット INL、シリアル・インターフェース
AD7766-1	64 kSPS、112.5 dB ¹ 、10.5 mW、16 ビット INL、シリアル・インターフェース
AD7766-2	32 kSPS、115.5 dB ¹ 、8.5 mW、16 ビット INL、シリアル・インターフェース

¹ 最大出力データレートでのダイナミック・レンジ

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	AD7767 のインターフェース.....	17
アプリケーション.....	1	初期パワーアップ.....	17
機能ブロック図.....	1	データ読出し.....	17
概要.....	1	パワーダウン、リセット、同期.....	17
改定履歴.....	2	デジタイゼーション.....	18
仕様.....	3	デジタイゼーション・モードでのデータ読出し.....	18
タイミング仕様.....	5	SCLK 周波数の選択.....	18
タイミング図.....	6	デジタイゼーション・モードの回路構成とタイミング図.....	19
絶対最大定格.....	8	AD7767 の駆動.....	20
ESD に関する注意.....	8	差動信号源.....	20
ピン配置と機能の説明.....	9	シングルエンド信号源.....	20
代表的な性能特性.....	10	アンチエイリアス.....	21
用語の説明.....	14	消費電力.....	21
動作原理.....	15	V _{REF+} 入力信号.....	22
AD7767/AD7767-1/AD7767-2 の伝達関数.....	15	アナログ入力チャンネルの多重化.....	22
コンバータの動作.....	15	外形寸法.....	23
アナログ入力構造.....	16	オーダー・ガイド.....	23
電源/リファレンス電圧.....	16		

改定履歴

8/07—Revision 0: Initial Version

仕様

特に指定のない限り、 $AV_{DD} = DV_{DD} = 2.5\text{ V} \pm 5\%$ 、 $V_{DRIVE} = 1.8 \sim 3.6\text{ V}$ 、 $V_{REF} = 5\text{ V}$ 、 $MCLK = 1\text{ MHz}$ 、同相入力 = $V_{REF}/2$ 、 $T_A = -40 \sim +105^\circ\text{C}$ 。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT DATA RATE					
AD7767	Decimate by 8			128	kHz
AD7767-1	Decimate by 16			64	kHz
AD7767-2	Decimate by 32			32	kHz
ANALOG INPUT ¹					
Differential Input Voltage	$V_{IN+} - V_{IN-}$			$\pm V_{REF}$	V p-p
Absolute Input Voltage	V_{IN+}	-0.1		$+V_{REF} + 0.1$	V
	V_{IN-}	-0.1		$+V_{REF} + 0.1$	V
Common-Mode Input Voltage		$V_{REF}/2 - 5\%$	$V_{REF}/2$	$V_{REF}/2 + 5\%$	V
Input Capacitance			22		pF
DYNAMIC PERFORMANCE					
AD7767	Decimate by 8, ODR = 128 kHz				
Dynamic Range ²	Shorted inputs	108	109.5		dB
Signal-to-Noise Ratio (SNR) ²	Full-scale input amplitude, 1 kHz tone	107	108.5		dB
Spurious Free Dynamic Range (SFDR) ²	Full-scale input amplitude, 1 kHz tone		-128	-116	dB
Total Harmonic Distortion (THD) ²	Full-scale input amplitude, 1 kHz tone		-118	-105	dB
Intermodulation Distortion (IMD) ²	Tone A = 49.7 kHz, Tone B = 53 kHz				
	Second-order terms		-133		dB
	Third-order terms		-109		dB
AD7767-1	Decimate by 16, ODR = 64 kHz				
Dynamic Range ²	Shorted inputs	111	112.5		dB
Signal-to-Noise Ratio (SNR) ²	Full-scale input amplitude, 1 kHz tone	110	111.5		dB
Spurious Free Dynamic Range (SFDR) ²	Full-scale input amplitude, 1 kHz tone		-128	-116	dB
Total Harmonic Distortion (THD) ²	Full-scale input amplitude, 1 kHz tone		-118	-105	dB
Intermodulation Distortion (IMD) ²	Tone A = 24.7 kHz, Tone B = 25.3 kHz				
	Second-order terms		-133		dB
	Third-order terms		-108		dB
AD7767-2	Decimate by 32, ODR = 32 kHz				
Dynamic Range ²	Shorted inputs	114	115.5		dB
Signal-to-Noise Ratio (SNR) ²	Full-scale input amplitude, 1 kHz tone	112	113.5		dB
Spurious Free Dynamic Range (SFDR) ²	Full-scale input amplitude, 1 kHz tone		-128	-116	dB
Total Harmonic Distortion (THD) ²	Full-scale input amplitude, 1 kHz tone		-118	-105	dB
Intermodulation Distortion (IMD) ²	Tone A = 11.7 kHz, Tone B = 12.3 kHz				
	Second-order terms		-137		dB
	Third-order terms		-108		dB
DC ACCURACY ¹					
Resolution	For all devices	24			Bits
Differential Nonlinearity ²	No missing codes				
Integral Nonlinearity ²	Guaranteed monotonic to 24 bits				
Zero Error ²	18-bit linearity		3	± 7.6	ppm
Gain Error ²			20		μV
Zero Error Drift ²			0.0075	0.075	% FS
Gain Error Drift ²			15		nV/ $^\circ\text{C}$
Common-Mode Rejection Ratio ²	50 Hz tone		0.4		ppm/ $^\circ\text{C}$
			-110		dB
DIGITAL FILTER RESPONSE ¹					
Group Delay			37/ODR		μs
Settling Time (Latency)	Complete settling		74/ODR		μs
Pass-Band Ripple				± 0.005	dB
Pass Band			$0.453 \times \text{ODR}$		Hz
-3 dB Bandwidth			$0.49 \times \text{ODR}$		Hz
Stop Band Frequency			$0.547 \times \text{ODR}$		Hz
Stop-Band Attenuation		100			dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFERENCE INPUT ¹					
V_{REF+} Input Voltage		+2.4		$2 \times AV_{DD}$	V
DIGITAL INPUTS (Logic Levels) ¹					
V_{IL}		-0.3		$0.3 \times V_{DRIVE}$	V
V_{IH}		$0.7 \times V_{DRIVE}$		$V_{DRIVE} + 0.3$	V
Input Leakage Current				± 1	$\mu A/pin$
Input Capacitance			5		pF
Master Clock Rate				1.024	MHz
Serial Clock Rate				$1/t_s$	Hz
DIGITAL OUTPUTS ¹					
Data Format	Serial 24 bits, twos complement (MSB first)				
V_{OL}	$I_{SINK} = +500 \mu A$			0.4	V
V_{OH}	$I_{SOURCE} = -500 \mu A$	$V_{DRIVE} - 0.3$			V
POWER REQUIREMENTS ¹					
AV_{DD}	$\pm 5\%$		+2.5		V
DV_{DD}	$\pm 5\%$		+2.5		V
V_{DRIVE}		+1.7	+2.5	+3.6	V
CURRENT SPECIFICATIONS	MCLK = 1.024 MHz				
AD7767 (Operational Current)	128 kHz output data rate				
AI_{DD}			1.3	1.5	mA
DI_{DD}			3.9	4.8	mA
I_{REF}			0.35	0.425	mA
AD7767-1 (Operational Current)	64 kHz output data rate				
AI_{DD}			1.3	1.5	mA
DI_{DD}			2.2	2.85	mA
I_{REF}			0.35	0.425	mA
AD7767-2 (Operational Current)	32 kHz output data rate				
AI_{DD}			1.3	1.5	mA
DI_{DD}			1.37	1.86	mA
I_{REF}			0.35	0.425	mA
Static Current (MCLK Stopped)	For all devices				
AI_{DD}			0.9	1	mA
DI_{DD}			1	93	μA
Power-Down Mode Current	For all devices				
AI_{DD}			0.1	6	μA
DI_{DD}			1	93	μA
POWER DISSIPATION	MCLK = 1.024 MHz				
AD7767 (Operational Power)	128 kHz output data rate		15	18	mW
AD7767-1 (Operational Power)	64 kHz output data rate		10.5	13	mW
AD7767-2 (Operational Power)	32 kHz output data rate		8.5	10.5	mW

¹ AD7767、AD7767-1、AD7767-2 の全デバイスの仕様規定。

² 「用語の説明」を参照。

タイミング仕様

特に指定のない限り、 $AV_{DD} = DV_{DD} = 2.5\text{ V} \pm 5\%$ 、 $V_{DRIVE} = 1.7\sim 3.6\text{ V}$ 、 $V_{REF} = 5\text{ V}$ 、同相入力 = $V_{REF}/2$ 、 $T_A = -40^\circ\text{C} (T_{MIN})\sim +105^\circ\text{C} (T_{MAX})$ ¹

表 3.

Parameter	Limit at T_{MIN}, T_{MAX}	Unit	Description
DRDY Operation			
t_1	510	ns typ	MCLK rising edge to $\overline{\text{DRDY}}$ falling edge
t_2^2	100	ns min	MCLK high pulse width
t_3	900	ns max	MCLK low pulse width
t_4	265	ns typ	MCLK rising edge to $\overline{\text{DRDY}}$ rising edge (AD7767)
	128	ns typ	MCLK rising edge to $\overline{\text{DRDY}}$ rising edge (AD7767-1)
	71	ns typ	MCLK rising edge to $\overline{\text{DRDY}}$ rising edge (AD7767-2)
t_5	294	ns typ	$\overline{\text{DRDY}}$ pulse width (AD7767)
	435	ns typ	$\overline{\text{DRDY}}$ pulse width (AD7767-1)
	492	ns typ	$\overline{\text{DRDY}}$ pulse width (AD7767-2)
t_{READ}^3	$t_{\overline{\text{DRDY}}} - t_5$	ns typ	$\overline{\text{DRDY}}$ low period, read data during this period
$t_{\overline{\text{DRDY}}}^3$	$n \times 8 \times t_{\text{MCLK}}$	ns typ	$\overline{\text{DRDY}}$ period
Read Operation			
t_6	0	ns min	$\overline{\text{DRDY}}$ falling edge to $\overline{\text{CS}}$ setup time
t_7	6	ns max	$\overline{\text{CS}}$ falling edge to SDO three-state disabled
t_8	60	ns max	Data access time after SCLK falling edge ($V_{DRIVE} = 1.7\text{ V}$)
	50	ns max	Data access time after SCLK falling edge ($V_{DRIVE} = 2.3\text{ V}$)
	25	ns max	Data access time after SCLK falling edge ($V_{DRIVE} = 2.7\text{ V}$)
	24	ns max	Data access time after SCLK falling edge ($V_{DRIVE} = 3.0\text{ V}$)
t_9	10	ns min	SCLK falling edge to data valid hold time ($V_{DRIVE} = 3.6\text{ V}$)
t_{10}	10	ns min	SCLK high pulse width
t_{11}	10	ns min	SCLK low pulse width
t_{SCLK}	$1/t_8$	min	Minimum SCLK period
t_{12}	6	ns max	Bus relinquish time after $\overline{\text{CS}}$ rising edge
t_{13}	0	ns min	$\overline{\text{CS}}$ rising edge to $\overline{\text{DRDY}}$ rising edge
Read Operation with $\overline{\text{CS}}$ Low			
t_{14}	0	ns min	$\overline{\text{DRDY}}$ falling edge to data valid setup time
t_{15}	0	ns max	$\overline{\text{DRDY}}$ rising edge to data valid hold time
Daisy Chain Operation			
t_{16}	1	ns min	SDI valid to SCLK falling edge setup time
t_{17}	2	ns max	SCLK falling edge to SDI valid hold time
SYNC/PD Operation			
t_{18}	1	ns typ	$\overline{\text{SYNC/PD}}$ falling edge to MCLK rising edge
t_{19}	20	ns typ	MCLK rising edge to $\overline{\text{DRDY}}$ rising edge going into $\overline{\text{SYNC/PD}}$
t_{20}	1	ns min	$\overline{\text{SYNC/PD}}$ rising edge to MCLK rising edge
t_{21}	510	ns typ	MCLK rising edge to $\overline{\text{DRDY}}$ falling edge coming out of $\overline{\text{SYNC/PD}}$
t_{SETTLING}^3	$592 \times (n + 2)$	t_{MCLK}	Filter settling time after a reset or power-down

¹ 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号は、 $t_r = t_f = 5\text{ ns}$ (DV_{DD} の 10~90%) で規定し、1.7 V の電圧レベルからの時間とします。

² t_2 、 t_3 : MCLK 入力に約 90~10% のデューティサイクルを使用できます。この場合の最小値はクロック・ハイ期間で 10%、MCLK ロー期間に 90% となります。最大 MCLK 周波数は 1.024 MHz です。

³ $n = 1$ (AD7767)、 $n = 2$ (AD7767-1)、 $n = 4$ (AD7767-2)

タイミング図

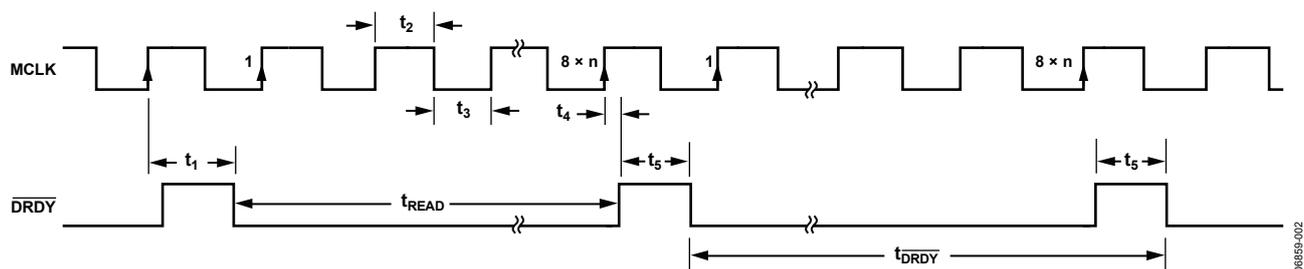


図 2. MCLK と \overline{DRDY} のタイミング図：AD7767 の場合 $n=1$ （8 のデシメーション）、AD7767-1 の場合 $n=2$ （16 のデシメーション）、AD7767-2 の場合 $n=4$ （32 のデシメーション）

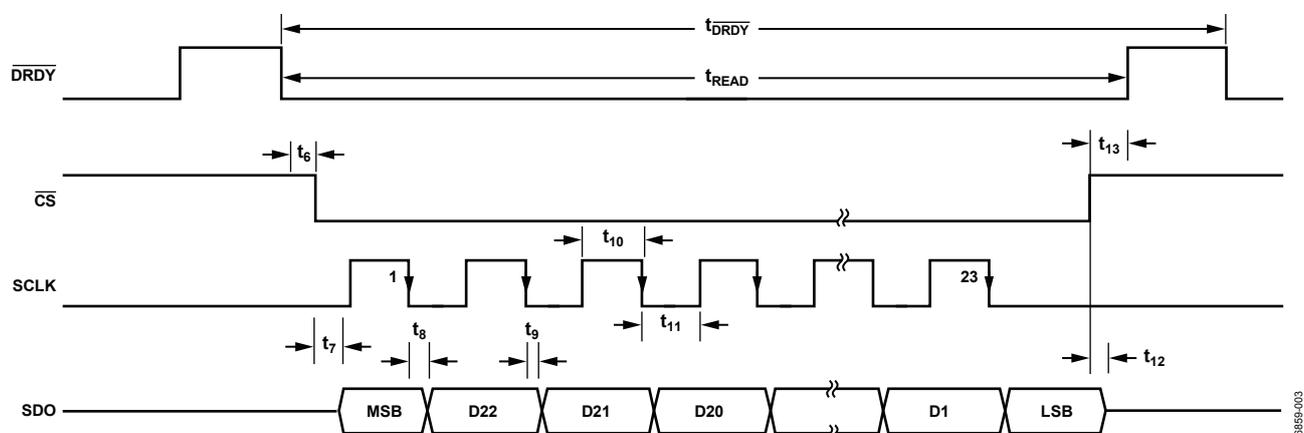


図 3. シリアル・タイミング図： \overline{CS} を使ったデータ読出し

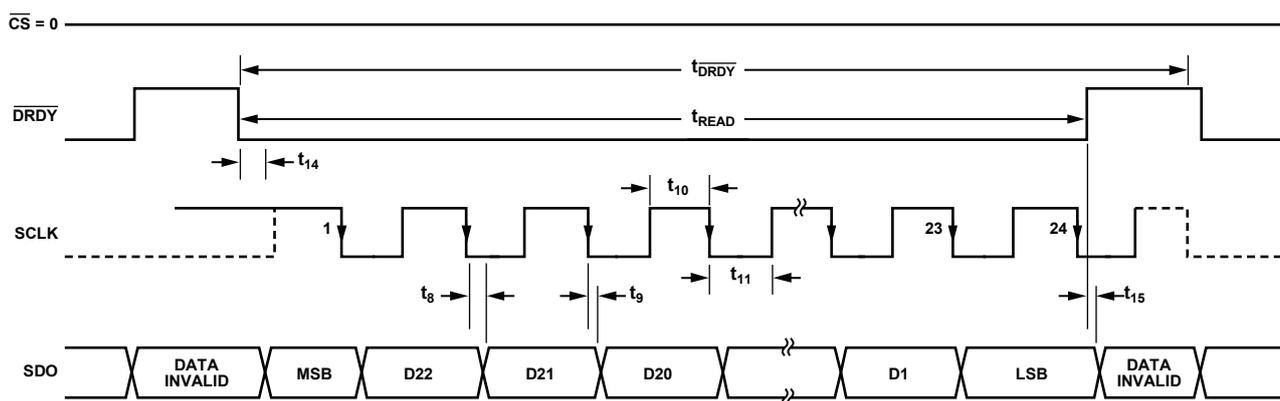
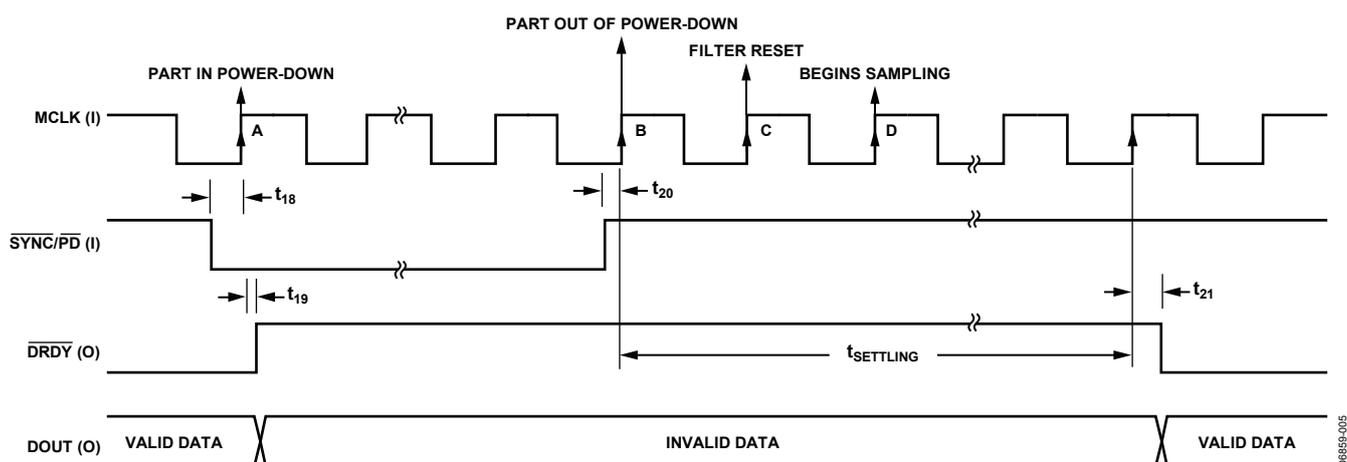


図 4. シリアル・タイミング図： \overline{CS} をロジック・ローレベルに設定したデータ読出し



06859-005

図 5. リセット、同期、パワーダウンのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Rating
AV_{DD} to AGND	-0.3 V to +3 V
DV_{DD} to DGND	-0.3 V to +3 V
AV_{DD} to DV_{DD}	-0.3 V to +0.3 V
V_{REF+} to REFGND	-0.3 V to +7 V
REFGND to AGND	-0.3 V to +0.3 V
V_{DRIVE} to DGND	-0.3 V to +6 V
V_{IN+} , V_{IN-} to AGND	-0.3 V to $V_{REF} + 0.3$ V
Digital Inputs to DGND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Outputs to DGND	-0.3 V to $V_{DRIVE} + 0.3$ V
AGND to DGND	-0.3 V to +0.3 V
Input Current to Any Pin Except Supplies ¹	± 10 mA
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
TSSOP Package	
θ_{JA} Thermal Impedance	150.4°C/W
θ_{JC} Thermal Impedance	27.6°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
ESD	1 kV

¹ 100 mA までの過渡電流では、SCR ラッチアップは発生しません。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

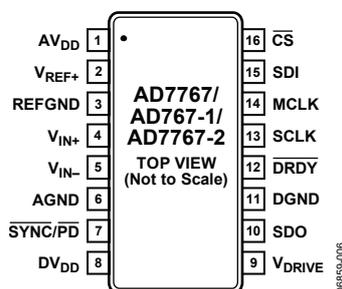


図 6. 16 ピン TSSOP のピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	AV _{DD}	+2.5 V アナログ電源
2	V _{REF+}	AD7767 のリファレンス入力。外部リファレンスはこのピンに入力する必要があります。V _{REF+} 入力の電圧範囲は 2.4~5 V です。リファレンス電圧入力は、AV _{DD} ピンに入力される電圧の大きさには影響されません。
3	REFGND	リファレンス・グラウンド。リファレンス電圧用のグラウンド接続。入力リファレンス電圧 (V _{REF+}) はこのピンにデカップリングします。
4	V _{IN+}	差動アナログ入力の正側入力
5	V _{IN-}	差動アナログ入力の負側入力
6	AGND	アナログ回路用の電源グラウンド
7	SYNC/PD	同期/パワーダウン入力ピン。このピンは、複数の AD7767 デバイスの同期、およびデバイスのパワーダウンの 2 つの機能があります。詳細については、「パワーダウン、リセット、同期」を参照してください。
8	DV _{DD}	デジタル電源入力。このピンは直接 V _{DRIVE} に接続できます。
9	V _{DRIVE}	ロジック電源入力 (+1.8~+3.6 V)。このピンの入力電圧によってデジタル・ロジック・インターフェースの動作電圧が決まります。
10	SDO	シリアル・データ出力 (SDO)。AD7767 による変換結果は、シリアル、2 の補数、MSB ファースト形式で 24 ビットデータとして SDO ピンに出力されます。
11	DGND	デジタル・ロジック電源グラウンド
12	DRDY	データ・レディ出力。DRDY 信号の立下がりエッジは、新しい変換データ結果が AD7767 の出力レジスタに用意されたことを示します。詳細については「AD7767 のインターフェース」を参照してください。
13	SCLK	シリアル・クロック入力。SCLK 入力は、AD7767 デバイスの全シリアル・データ転送に対してシリアル・クロックを供給します。詳細については「AD7767 のインターフェース」を参照してください。
14	MCLK	マスター・クロック入力。AD7767 のサンプリング周波数は MCLK 周波数と同じです。
15	SDI	シリアル・データ入力。これは AD7767 のデイジーチェーン入力です。詳細については、「デイジーチェーン」を参照してください。
16	CS	チップ・セレクト入力。CS 入力は AD7767 デバイスを選択し、SDO ピンのイネーブルとして機能します。CS が使用されている場合、変換結果データの MSB は CS の立下がりエッジで SDO ラインに入力されます。CS 入力によって複数の AD7767 デバイスが同じ SDO ラインを共用できます。デバイスを選択するには、ロジック・ローレベルの CS 信号を供給し、当該デバイスの SDO ピンをイネーブルにします。詳細については「AD7767 のインターフェース」を参照してください。

代表的な性能特性

特に指定のない限り、 $AV_{DD} = DV_{DD} = 2.5 \text{ V} \pm 5\%$ 、 $V_{DRIVE} = 1.8 \sim 3.6 \text{ V}$ 、 $V_{REF} = 5 \text{ V}$ 、 $MCLK = 1 \text{ MHz}$ 、同相入力 = $V_{REF}/2$ 、 $T_A = 25^\circ\text{C}$ 。すべてのFFTは、4項のブラックマン-ハリス・ウィンドウを使用して8192のサンプルから生成されています。

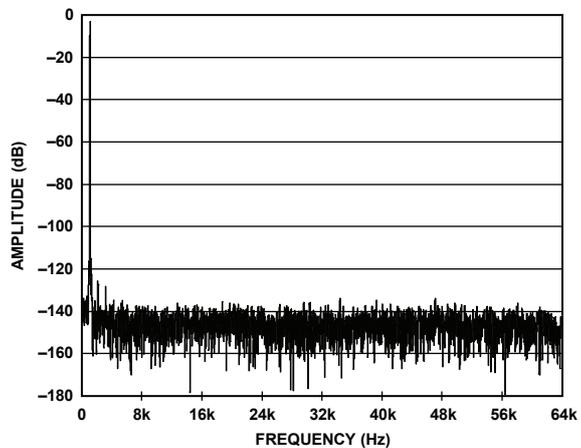


図 7. FFT (AD7767、1 kHz、-0.5 dB 入力トーン)

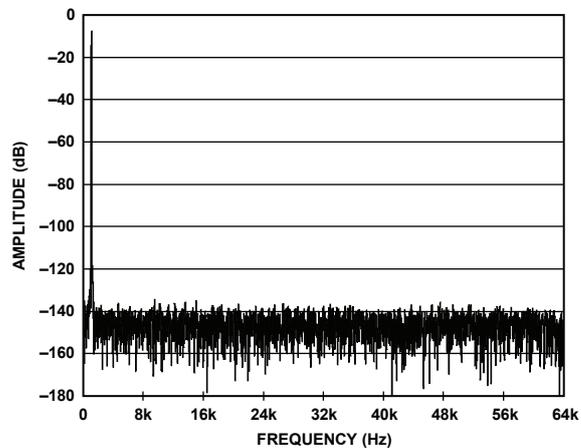


図 10. FFT (AD7767、1 kHz、-6 dB 入力トーン)

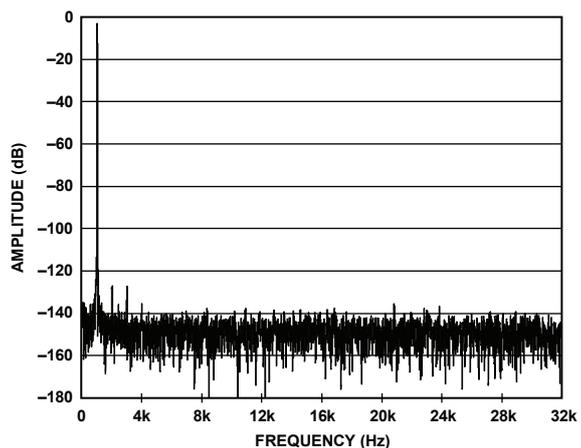


図 8. FFT (AD7767-1、1 kHz、-0.5 dB 入力トーン)

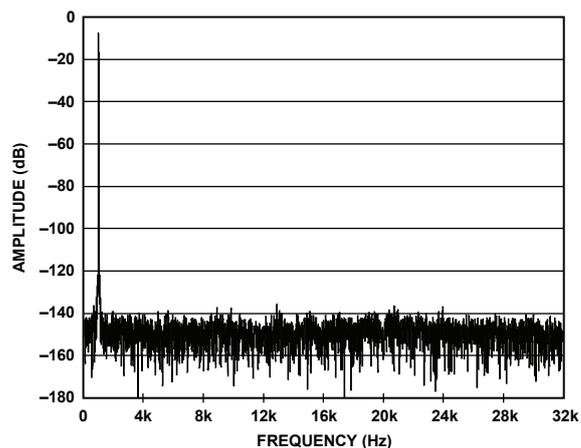


図 11. FFT (AD7767-1、1 kHz、-6 dB 入力トーン)

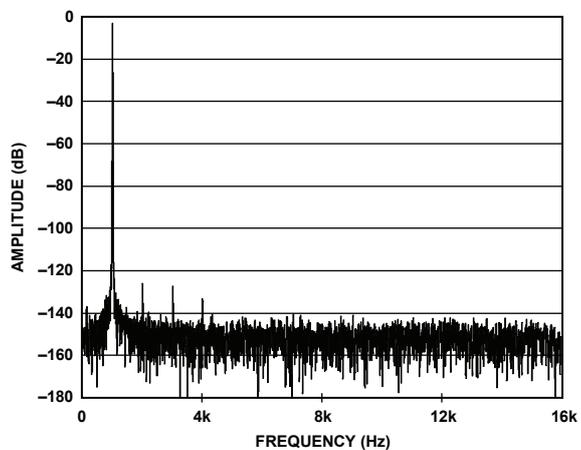


図 9. FFT (AD7767-2、1 kHz、-0.5 dB 入力トーン)

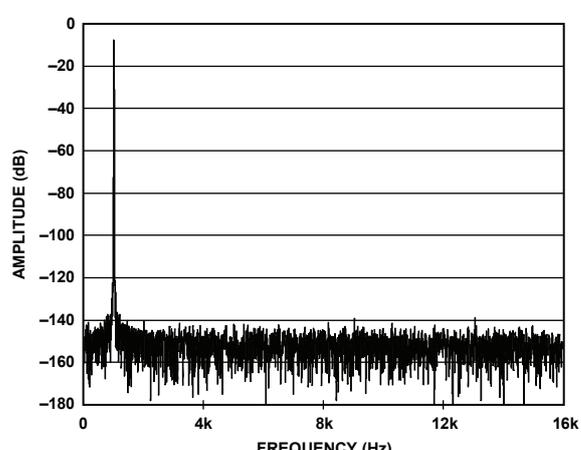
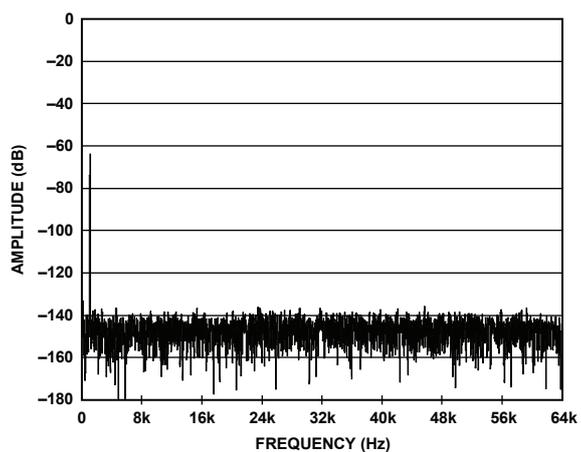
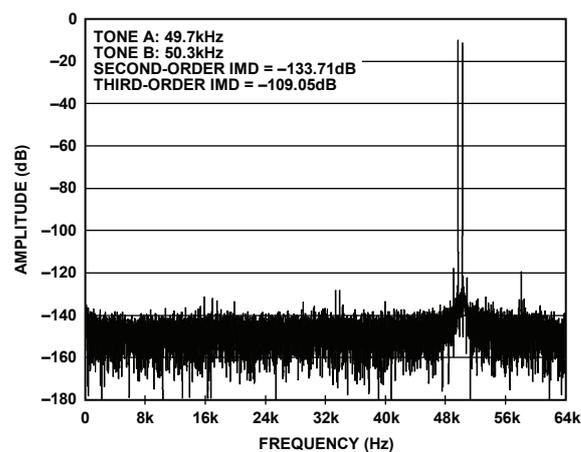


図 12. FFT (AD7767-2、1 kHz、-6 dB 入力トーン)



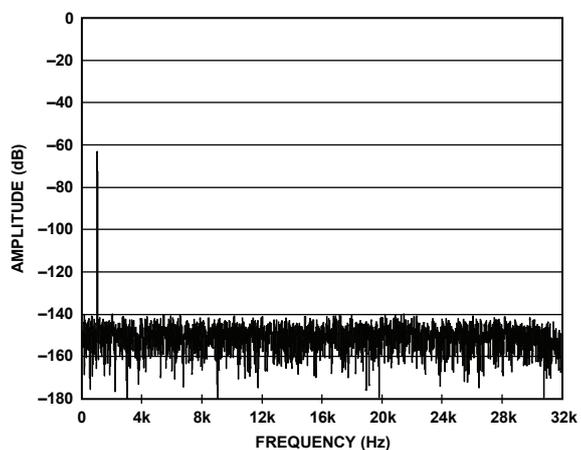
06859-107

図 13. FFT (AD7767、1 kHz、-60 dB 入力トーン)



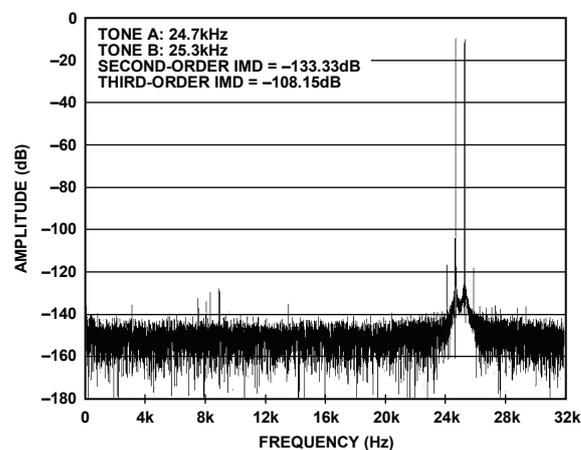
06859-110

図 16. IMD FFT (AD7767、50 kHz 中央周波数)



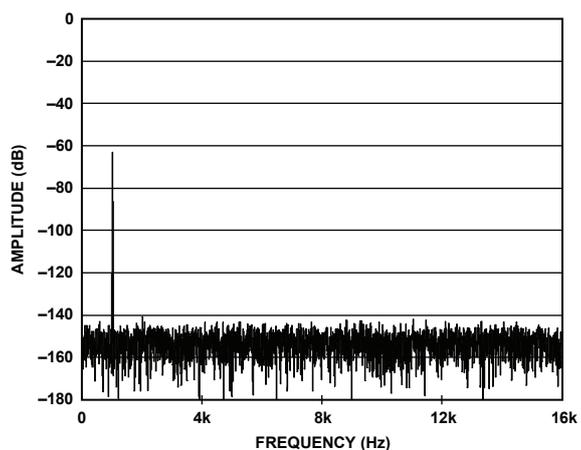
06859-108

図 14. FFT (AD7767-1、1 kHz、-60 dB 入力トーン)



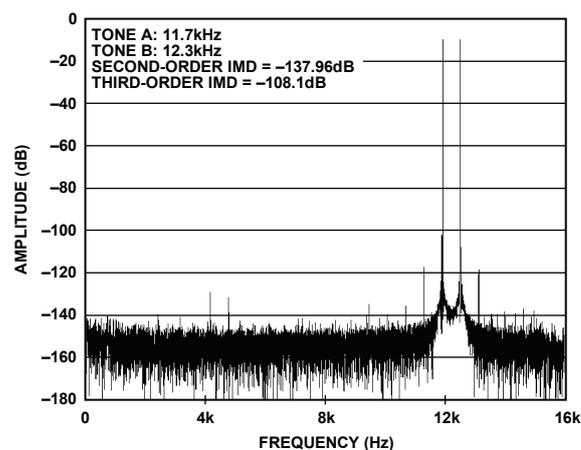
06859-111

図 17. IMD FFT (AD7767-1、25 kHz 中央周波数)



06859-109

図 15. FFT (AD7767-2、1 kHz、-60 dB 入力トーン)



06859-112

図 18. IMD FFT (AD7767-2、12 kHz 中央周波数)

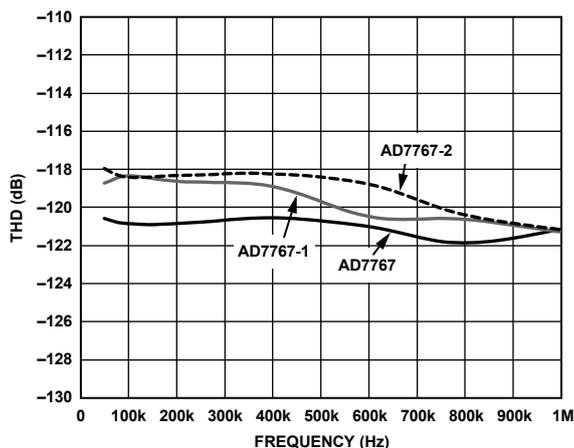


図 19. THD の MCLK 周波数特性 (AD7767/AD7767-1/AD7767-2)

06859-113

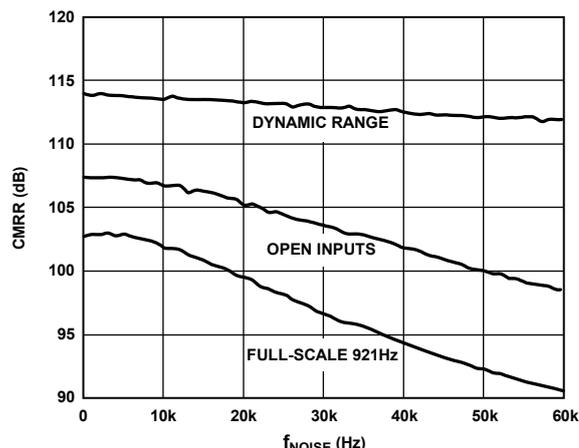


図 22. CMRR の同相リップル周波数特性 (AD7767)

06859-116

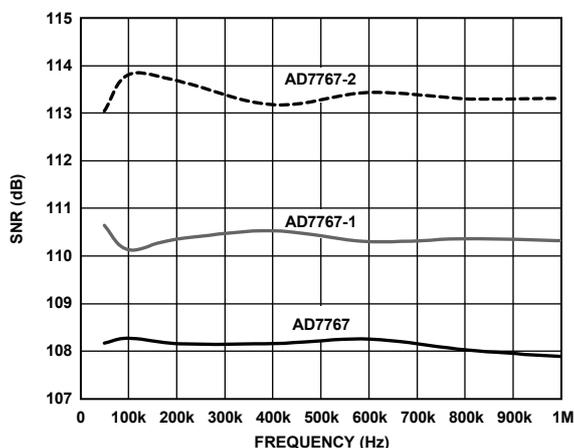


図 20. S/N 比および THD の MCLK 周波数特性 (AD7767/AD7767-1/AD7767-2)

06859-114

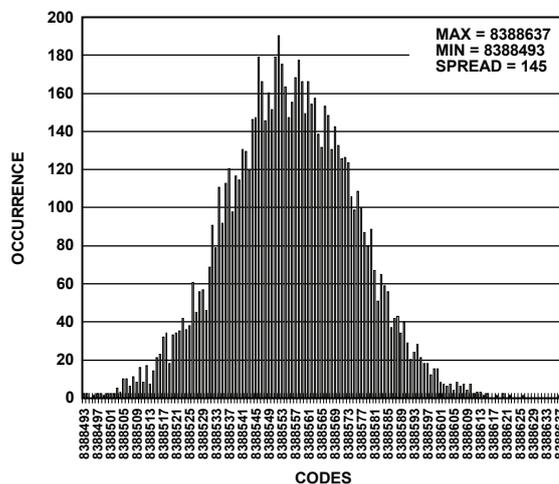


図 23. 24 ビット・ヒストグラム (AD7767)

06859-118

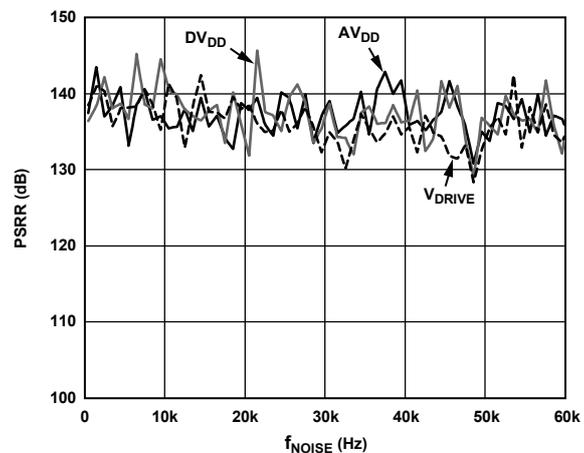


図 21. 電源電圧変動感度の電源リップル周波数特性 (AD7767、デカップリング・コンデンサ付き)

06859-117

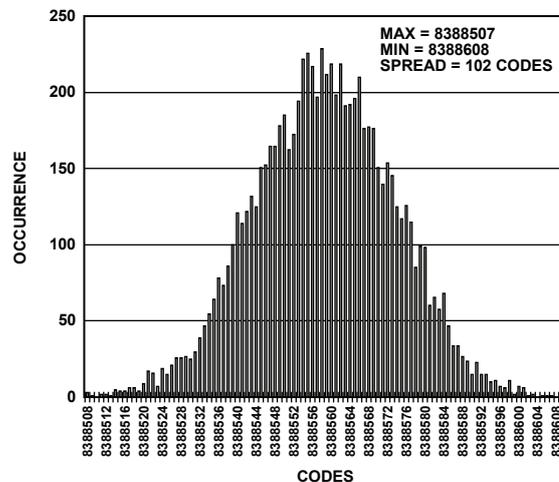


図 24. 24 ビット・ヒストグラム (AD7767-1)

06859-119

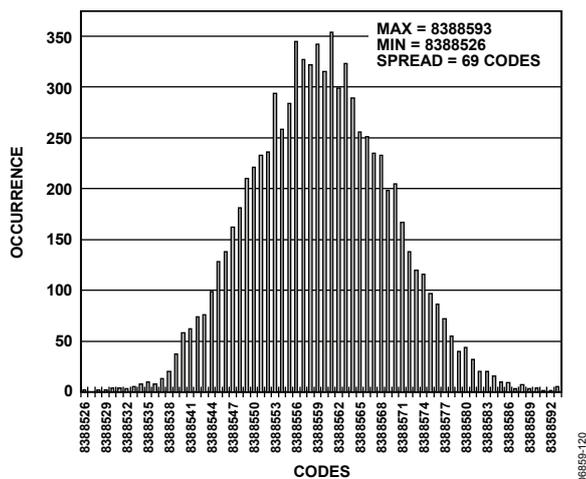


図 25. 24 ビット・ヒストグラム (AD7767-2)

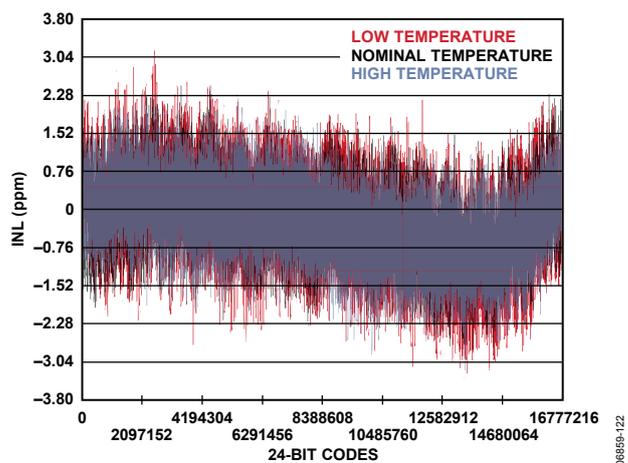


図 27. 24 ビット INL (AD7767/AD7767-1/AD7767-2)

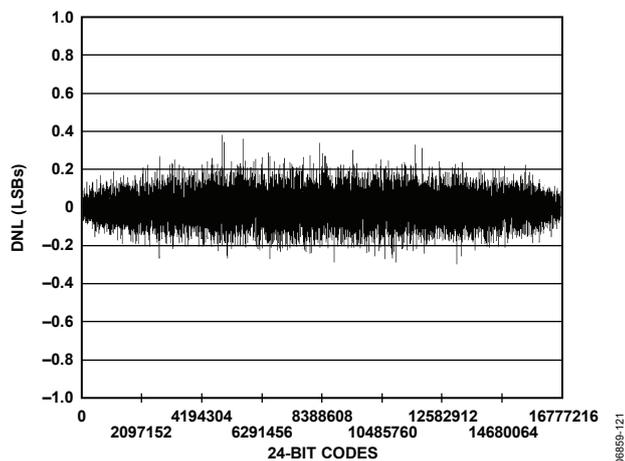


図 26. 24 ビット DNL (AD7767/AD7767-1/AD7767-2)

用語の説明

S/N 比 (SNR)

実際の入力信号の RMS 値と、ナイキスト周波数より下の全スペクトル成分の RMS 値総和から高調波成分と DC 成分を除いた値との比で、dB 値で表します。

全高調波歪み (THD)

高調波の RMS 値総和と基本波の比です。AD7767 では、次のように定義されます。

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の RMS 振幅

V_2, V_3, V_4, V_5, V_6 は 2 次～6 次高調波の RMS 振幅

非高調波のスプリアスフリー・ダイナミック・レンジ (SFDR)

信号振幅の RMS 値と、高調波以外の最大スプリアス・スペクトル成分の RMS 値との比です。

ダイナミック・レンジ

フルスケールの RMS 値と、入力を短絡して測定した RMS ノイズとの比で、dB 値で表します。

相互変調歪み

非直線性を持つアクティブ・デバイスに、2 つの周波数 f_a 、 f_b を含むサイン波を入力すると、 $m f_a \pm n f_b$ という和と差の周波数で歪み成分が発生します ($m, n = 0, 1, 2, 3, \dots$)。相互変調歪み項とは、 m と n がいずれも非ゼロの項をいいます。たとえば、2 次項が $(f_a + f_b)$ と $(f_a - f_b)$ を含み、3 次項が $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ を含む場合です。

AD7767 は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。

この場合、2 次項は通常、元のサイン波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。その結果、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。つまり、個々の歪み成分の RMS 総和と基本波の和の RMS 振幅との比で、dB 値で表します。

積分非直線性 (INL)

ADC 伝達関数の 2 つのエンドポイントを結ぶ直線からの最大偏差をいいます。

微分非直線性 (DNL)

ADC での隣接した 2 つのコード間における 1 LSB 変化の測定値と理論値の差です。

ゼロ誤差

理想的なミッドスケール入力電圧 (両入力を短絡したとき) と、ミッドスケール出力コードを生成する実際の電圧との差をいいます。

ゼロ誤差ドリフト

1°C の温度変化による実際のゼロ誤差値の変化です。室温でのゼロ誤差のパーセンテージとして表します。室温でのフルスケールのパーセンテージとして表します。

ゲイン誤差

最初の遷移 (100...000 から 100...001) は、公称負側フルスケールより $\frac{1}{2}$ LSB 高いアナログ電圧で発生します。最後の遷移 (011...110 から 011...111) は、公称正側フルスケールより $1\frac{1}{2}$ LSB 低いアナログ電圧で発生します。ゲイン誤差は、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差と、対応する理論値間の差との偏差を表します。

ゲイン誤差ドリフト

1°C の温度変化による実際のゲイン誤差値の変化です。室温でのフルスケールのパーセンテージとして表します。

同相ノイズ除去比 (CMRR)

フルスケール周波数 f 時における ADC 出力パワーと、周波数 f_s 時に V_{IN+} と V_{IN-} の同相電圧に印加される 100 mV のサイン波信号パワーとの比として定義され、次式から求められます。

$$CMRR \text{ (dB)} = 10 \log(P_f/P_{f_s})$$

ここで、 P_f は周波数 f 時における ADC 出力のパワー、 P_{f_s} は周波数 f_s 時における ADC 出力のパワーです。

動作原理

The AD7767/AD7767-1/AD7767-2 は、逐次比較型 (SAR) コアに与えられる完全差動アナログ入力を使って動作します。オーバーサンプリング SAR の出力は、直線位相デジタル FIR フィルタを通します。フィルタ処理されたデータは、シリアル MSB フェースト形式で出力されます。

AD7767/AD7767-1/AD7767-2 の伝達関数

AD7767/AD7767-1/AD7767-2 の出力結果は、2 の補数、24 ビット、シリアル形式で出力されます。完全差動入力 V_{IN+} および V_{IN-} は、図 28 に示すようにリファレンス電圧入力 (V_{REF+}) を基準にスケールリングされます。

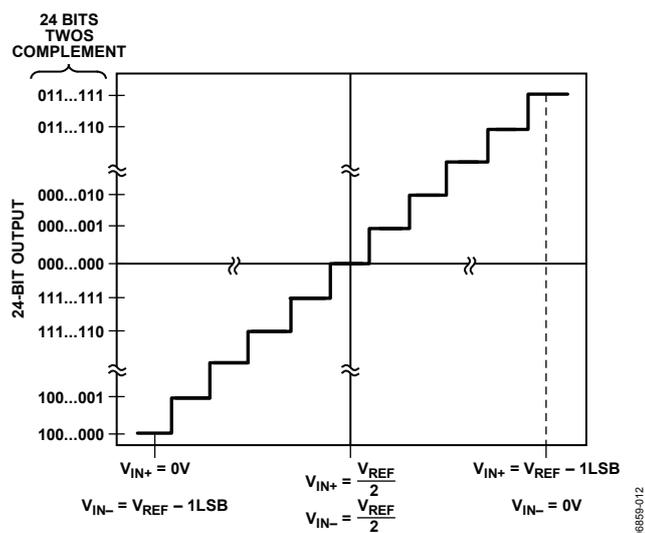


図 28. AD7767/AD7767-1/AD7767-2 の伝達関数

コンバータの動作

SAR コアに入力される信号の波形は内部的に変換され、等価のデジタル・ワードが MCLK と同じクロック・レートでデジタル・フィルタに出力されます。オーバーサンプリング方式を用いることで、コンバータの量子化ノイズは広い帯域幅で 0 から f_{MCLK} にまで広がります。その結果、使用する信号帯域に含まれるノイズ・エネルギーが低減します (図 29 を参照)。

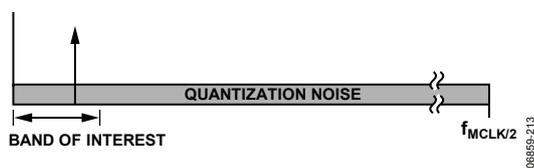


図 29. 量子化ノイズ

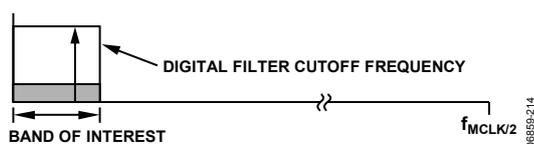


図 30. デジタル・フィルタのカットオフ周波数

コンバータ出力後のデジタル・フィルタ処理では、帯域外の量子化ノイズを除去します (図 30 を参照)。また、使用するデバイス・モデルに応じて、データレートをフィルタ入力時の f_{MCLK} からデータ出力時の $f_{MCLK}/8$ 、 $f_{MCLK}/16$ 、または $f_{MCLK}/32$ に低減します。

デジタル・フィルタは、3つのフィルタ・ブロックで構成されています。図 31 は、これら 3つのブロックを示します。最初のフィルタ・ブロックのデシメーションの次数は 2、4、または 8 です。残りの部分は両方ともデシメーション 2 で動作します。

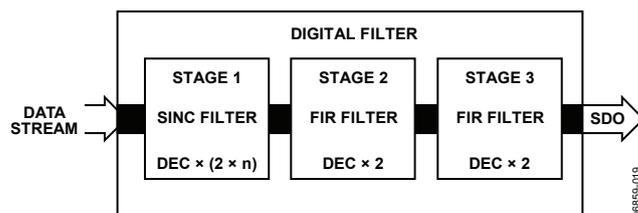


図 31. FIR フィルタ段
(AD7767 の場合 $n = 1$ 、AD7767-1 の場合 $n = 2$ 、AD7767-2 の場合 $n = 4$)

表 6 に、AD7767 の 3つのモデルとそれぞれのデシメーション・レートおよび出力データレートを示します。この表の主眼点は、追加フィルタ機能と帯域幅削減とのトレードオフ関係にあります。この場合、高デシメーション・レートのフィルタ・オプションを使用すると、ノイズ性能は向上しますが、使用可能な帯域幅は低下します。

表 6. AD7767 の 3つのモデル

Model	Decimation Rate	Output Data Rate (ODR)
AD7767	8	128 kHz
AD7767-1	16	64 kHz
AD7767-2	32	32 kHz

表 6 の出力データレートは、MCLK の最大入力周波数 1.024 MHz を使用する場合があります。出力データレートは、デバイスのデジタル消費電力と同様、MCLK 周波数とも比例します。

AD7767、AD7767-1、AD7767-2 に実装されるフィルタのセトリング時間は、使用するフィルタによって異なります。セトリング時間は、時間領域におけるフィルタの応答で決まります。表 7 は、AD7767/AD7767-1/AD7767-2 のフィルタ・セトリング時間を示します。

図 32、図 33、図 34 は、各デバイスのデジタル・フィルタの周波数応答を示しています。デジタル・フィルタでは、ナイキスト周波数 ($1/2$ の出力データレート) で 6 dB の減衰を実現します。いずれの場合も、フィルタは 100 dB のストップバンド減衰量と ± 0.005 dB のパスバンド・リップルを提供します。

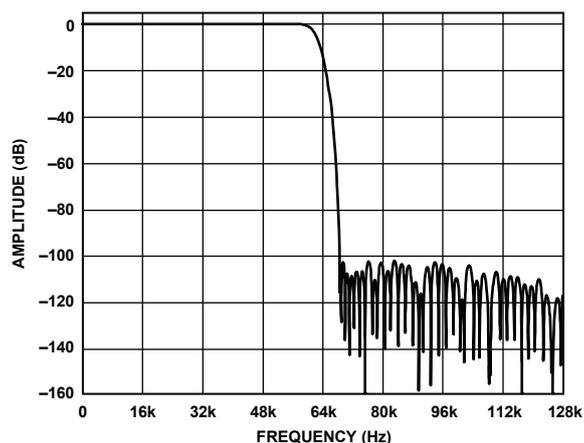


図 32. デジタル・フィルタ周波数応答 (AD7767)

06859-216

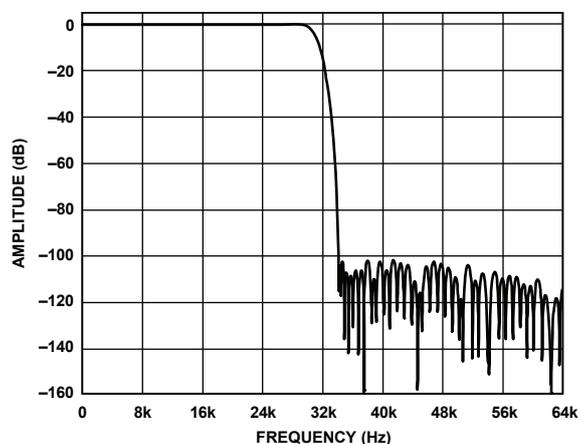


図 33. デジタル・フィルタ周波数応答 (AD7767-1)

06859-217

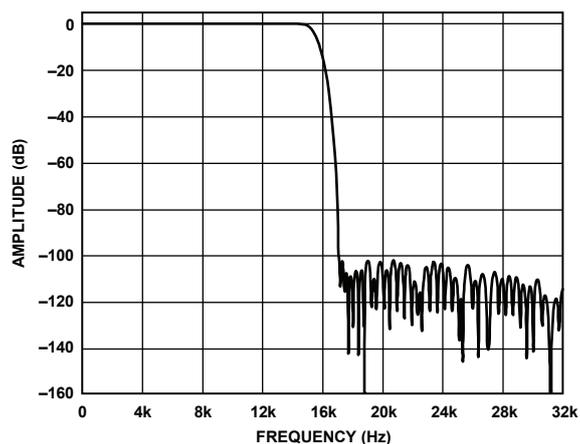


図 34. デジタル・フィルタ周波数応答 (AD7767-2)

06859-218

アナログ入力構造

AD7767/AD7767-1/AD7767-2 は、差動入力の回路構成を採用しています。真の差動信号は、アナログ入力 V_{IN+} (4 番ピン) と V_{IN-} (5 番ピン) の間でサンプリングされます。差動入力を使用することで、 V_{IN+} ピンと V_{IN-} ピンに共通する信号を除去することができます。

図 35 は、AD7767/AD7767-1/AD7767-2 の等価アナログ入力回路を示しています。各差動入力の 2 つのダイオードは、アナログ入力を ESD から保護します。

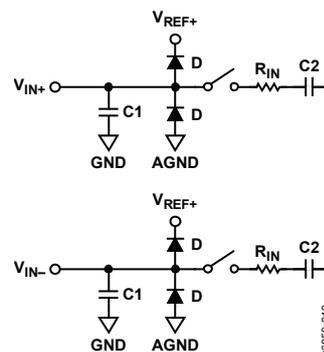


図 35. アナログ入力等価回路

06859-219

「絶対最大定格」に規定されているように、アナログ入力信号の電圧がリファレンス電源電圧より 0.3 V 以上高くなることはありません。入力電圧がこの制限値を超えて通電し始めると、ダイオードは順方向にバイアスされます。ダイオードは最大 130 mA まで処理できます。

アナログ入力のインピーダンスは、 R_{IN} 、 $C1$ 、 $C2$ の直列接続で構成されたネットワーク (回路) とコンデンサ $C1$ との並列組み合わせとしてモデル化できます。ピン・コンデンサは、 $C1$ の値より大きくなります。 R_{IN} は 1.4 k Ω (typ) で、スイッチの R_{ON} と直列抵抗の集中定数素子です。 $C2$ は 22 pF (typ) で、この値よりサンプリング・コンデンサ値のほうが大きくなります。

電源／リファレンス電圧

AD7767/AD7767-1/AD7767-2 の動作電源電圧は 2.5 V であり、 DV_{DD} 、 AV_{DD} ピンに印加されます。このインターフェースは、1.7~3.6 V で動作するよう仕様規定されています。動作リファレンス電圧は 5 V で、 V_{REF+} ピンに印加されます。推奨リファレンス・デバイスは ADR445 または ADR425 です。5 V リファレンスは、AD7767/AD7767-1/AD7767-2 デバイスへのリファレンス電圧や電源電圧として機能します。したがって、これらのデバイスのフルスケール差動入力範囲は 10 V となります。最大入力電圧の詳細については、「AD7767 の駆動」を参照してください。

AD7767のインターフェース

AD7767の柔軟なシリアル・インターフェースにより、アプリケーションに最も適したインターフェース方式を実現できます。AD7767のインターフェースは7つの異なる信号から構成されます。これらの信号のうち5つは入力で、MCLK、CS、SYNC/PD、SCLK、SDIです。残りの2つは出力信号で、DRDYとSDOです。

初期パワーアップ

最初のパワーアップ時には、連続 MCLK 信号が入力されます。AD7767をリセットしてフィルタをクリアし、正常な動作を確認することを推奨します。リセットは図5のタイミング規定に従って完了し、イベントはすべて MCLK の立上がりエッジを基準に発生します。SYNC/PD入力の負のパルスはリセットを開始し、DRDY出力はロジック・ハイとなって、有効なデータが得られるまでその状態を維持します。AD7767 がパワーアップしてSYNC/PDピンがロジック・ハイに遷移し、有効なデータが出力されるまでの間に、セトリング時間が必要となります。このセトリング時間 $t_{SETTLING}$ は、MCLK 周波数およびデシメーション・レートとの関数です。表7に各 AD7767 モデルのセトリング時間を示します (図5を参照)。

表7. SYNC/PD後のフィルタ・セトリング時間

Model	Decimation Rate	$t_{SETTLING}^1$
AD7767	8	$594 \times (t_{MCLK} + t_{2i})$
AD7767-1	16	$1186 \times (t_{MCLK} + t_{2i})$
AD7767-2	32	$2370 \times (t_{MCLK} + t_{2i})$

¹ $t_{SETTLING}$ は、SYNC/PDの立上がりエッジ後の最初の MCLK 立上がりエッジからDRDYの立上がりエッジまでの間で測定されます。

データ読出し

AD7767は、変換結果のデータをMSBファースト、2の補数、24ビット形式でシリアル・データ出力 (SDO) ピンに出力します。MCLK は、AD7767 のすべての変換を制御するマスター・クロックです。SCLK はデバイスのシリアル・クロック入力です。データ転送はすべて、SCLK 信号を基準に発生します。

DRDYラインはステータス信号であり、AD7767 から読み出せるデータがあることを示します。DRDYの立下がりエッジは、デバイスの出力レジスタに新しいデータ・ワードがあることを示します。DRDYは、SDO ピンから出力データを読み出せる期間はローレベルを維持します。DRDY信号は、デバイスからデータを読み出せなくなるとロジック・ハイになります。この期間は出力データが更新されるため、データの読出しを行わないようにします。

AD7767では、データ読出しサイクル中にチップ・セレクト入力信号 (CS) を使用できます。CS信号はSDOピンのゲートであり、これによって複数のAD7767デバイスが同じシリアル・バスを共用できます。各デバイスにとっては、CSがバス使用を許可する

信号として機能します。CSがロジック・ハイのとき、SDO ラインはスリーステートになります。

AD7767 からデータを読み出すときは、2種類のパターンを開始できます。一つはCSの立下がりエッジがDRDYの立下がりエッジ後に発生する場合のパターン、もう一つはCSの立下がりエッジがDRDYの立下がりエッジ前に発生する場合 (CSがロジック・ローに設定されるとき) のパターンです。

DRDYの立下がりエッジ後にCSの立下がりエッジが発生すると、このCSにより変換結果のMSBがSDOラインに用意されます。変換結果の残りのビット (MSB-1、MSB-2 など) は、CSの立下がりエッジ後のSCLKの立下がりエッジでSDOラインに出力されます。このインターフェース方式の詳細については、図3を参照してください。

CSがローレベルに固定されていると、AD7767のシリアル・インターフェースは、図4に示すように3線式モードで動作できます。この場合、変換結果のMSBは、DRDYの立下がりエッジでSDOラインに用意されます。変換結果の残りのビット (MSB-1、MSB-2 など) は、後続のSCLK立下がりエッジでSDOラインに出力されます。

パワーダウン、リセット、同期

AD7767のSYNC/PDピンでは、複数のAD7767デバイスの同期をとります。また、デバイスのリセットやパワーダウンを行うこともできます。これらの機能はMCLKの立上がりエッジを基準に実行されます (図5を参照)。

デバイスのパワーダウン、リセット、または同期をとるには、SYNC/PDピンをローレベルにする必要があります。MCLKの最初の立上がりエッジで、AD7767はパワーダウンされます。DRDYピンはロジック・ハイに遷移して、出力レジスタ内のデータが無効であることを示します。SYNC/PDピンのステータスは、MCLKの後続の立上がりエッジごとにチェックされます。SYNC/PDピンがハイレベルに遷移した後のMCLKの最初の立上がりエッジで、AD7767のパワーダウンは解除されます。次の立上がりエッジで、AD7767のフィルタがリセットされます。さらに次の立上がりエッジで、最初のサンプリングが開始されます。

フィルタのリセットから有効なデータが出力されるまでの間には、セトリング時間 $t_{SETTLING}$ が必要です (表7を参照)。 $t_{SETTLING}$ 後にDRDY出力がロジック・ローになると、SDOラインのデータが有効になり、リードバックが可能になります。

デジチェーン

デバイスのデジチェーン接続に対応しているため、単一のデータ・ライン上で複数の ADC の出力をカスケードすることで多くのデバイスが同じデジタル・インターフェース・ラインを使用できます。この機能は部品数と接続配線数の削減に特に役立ちます。たとえば、絶縁された複数のコンバータを使用するアプリケーションやインターフェース能力が制限されているシステムでは、この接続が使用されます。データのリードバックは、データが SCLK の立下がりエッジでクロック入力されるシフト・レジスタのクロック駆動に似ています。

図 36 のブロック図は、デジチェーン機能を実現するためのデバイスの接続方法を示しています。この方式では、AD7767 デバイスの SDO ピンの出力データがデジチェーン接続された次のデバイスの SDI 入力に送信されます。その後、データはチェーン内を移動し、最後にチェーンの最初のデバイスの SDO ピンにクロック入力されます。

デジチェーン・モードでのデータ読出し

図 36 と図 37 は、4 個の AD7767 デバイスのデジチェーン接続例を示します。図 36 の場合、AD7767 (A) の出力はフル・デジチェーンの出力です。チェーンの最後のデバイス (AD7767 (D)) では、グラウンドに接続された (SDI) ピンにシリアル・データがあります。チェーン内のデバイスはすべて共通の信号 MCLK、SCLK、CS、SYNC/PD を使用する必要があります。

デジチェーンの変換プロセスをイネーブルにするには、共通の SYNC/PD パルスをすべてのデバイスに印加してチェーン内の全デバイスの同期をとります (「パワーダウン、リセット、同期」を参照)。

SYNC/PD パルスを全デバイスに与えると、有効な変換データがデバイスのチェーンの出力に現れるまでに遅延が生じます (表 7 を参照)。図 37 に示すように、最初の変換結果は AD7767 (A) デバイスから出力されます。この 24 ビットの変換結果の後に、デバイス B、C、D からそれぞれ変換結果が出力されます。変換結果はすべて MSB ファースト形式の出力となります。変換結果のストリームはチェーンの各デバイスを通り、最終的には

AD7767 (A) の SDO ピンにクロック出力されます。チェーン内の全デバイスの変換結果は、 $\overline{\text{DRDY}}$ 信号がアクティブ・ローのときに、チェーン最後のデバイスの SDO ピンに出力する必要があります。ここに示した動作例では、デバイス A、B、C、D からの変換結果が $\overline{\text{DRDY}}$ (A) の立下がりエッジと $\overline{\text{DRDY}}$ (A) の立下がりエッジの間に SDO (A) に出力されます。

SCLK 周波数の選択

図 36 に示すように、 $\overline{\text{DRDY}}$ (A) がアクティブ・ロー中に発生する SCLK の立下がりエッジの数は、チェーン内のデバイスの数に 24 (デバイスごとに SDO (A) に出力するビットの数) を掛けた値と同じになる必要があります。

既知の共通 MCLK 周波数を使用する既知のデジチェーンの長さに必要な SCLK (t_{SCLK}) 期間は、前もって設定しておく必要があります。最大 SCLK 周波数は t_8 によって決まります。V_{DRIVE} 電圧ごとの t_8 は、表 3 の「タイミング仕様」に規定しています。

$\overline{\text{CS}}$ がロジック・ローに固定されている場合、

$$t_{\text{SCLK}} \leq \left[\frac{t_{\text{READ}}}{24 \times K} \right] \quad (1)$$

ここで、

K はチェーン内の AD7767 デバイスの数

t_{SCLK} は SCLK の期間

t_{READ} は $t_{\overline{\text{DRDY}}} - t_5$ の値

$\overline{\text{CS}}$ をデジチェーン・インターフェースで使用している場合、

$$t_{\text{SCLK}} \leq \left[\frac{(t_{\text{READ}}) - (t_6 + t_7 + t_{13})}{24 \times K} \right] \quad (2)$$

ここで、

K はチェーン内の AD7767 デバイスの数

SCLK の最大値は t_8 によって決まります。V_{DRIVE} 電圧ごとの t_8 は、表 3 の「タイミング仕様」に規定しています。

デジチェーン・モードの回路構成とタイミング図

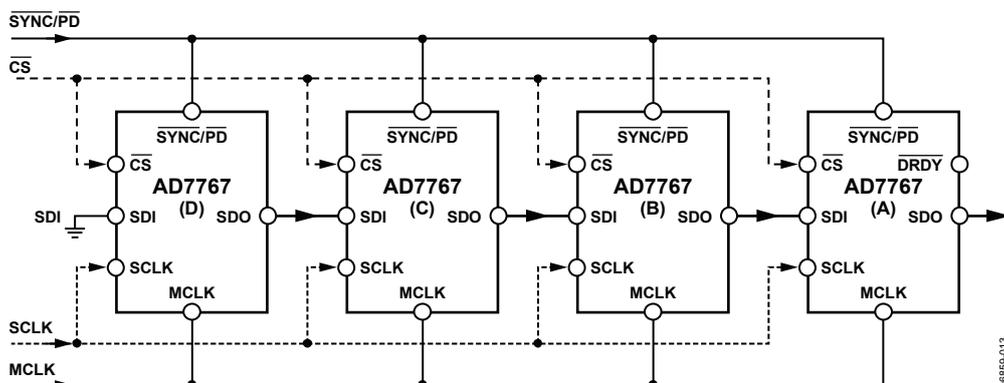


図 36. 4 個の AD7767 のデジチェーン構成

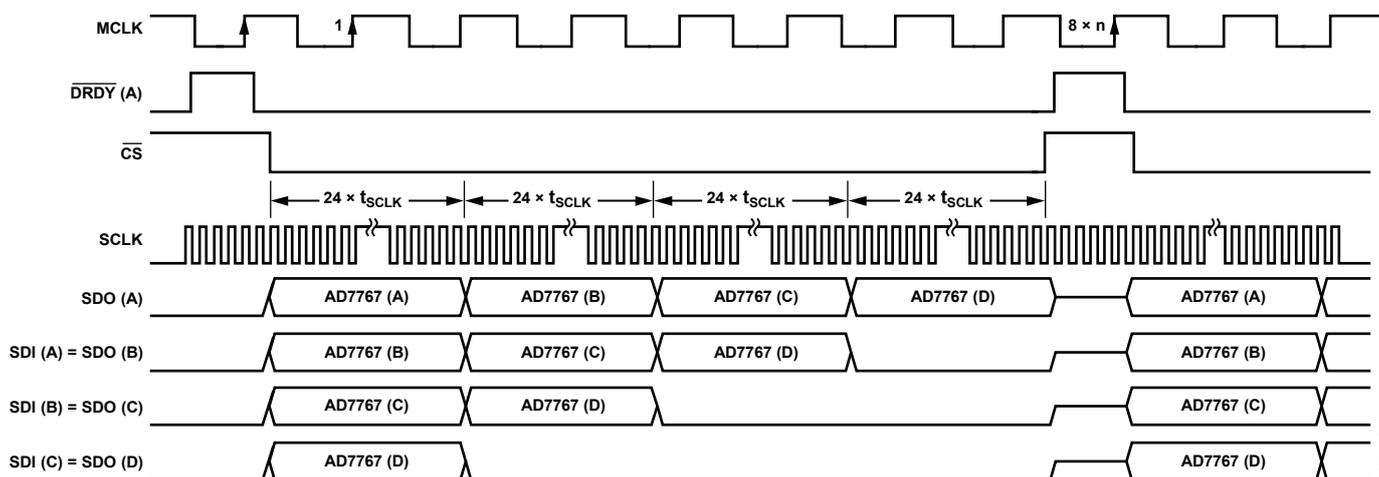


図 37. AD7767 を駆動するデジチェーン・タイミング (AD7767 の場合 n=1、AD7767-1 の場合 n=2、AD7767-2 の場合 n=4)

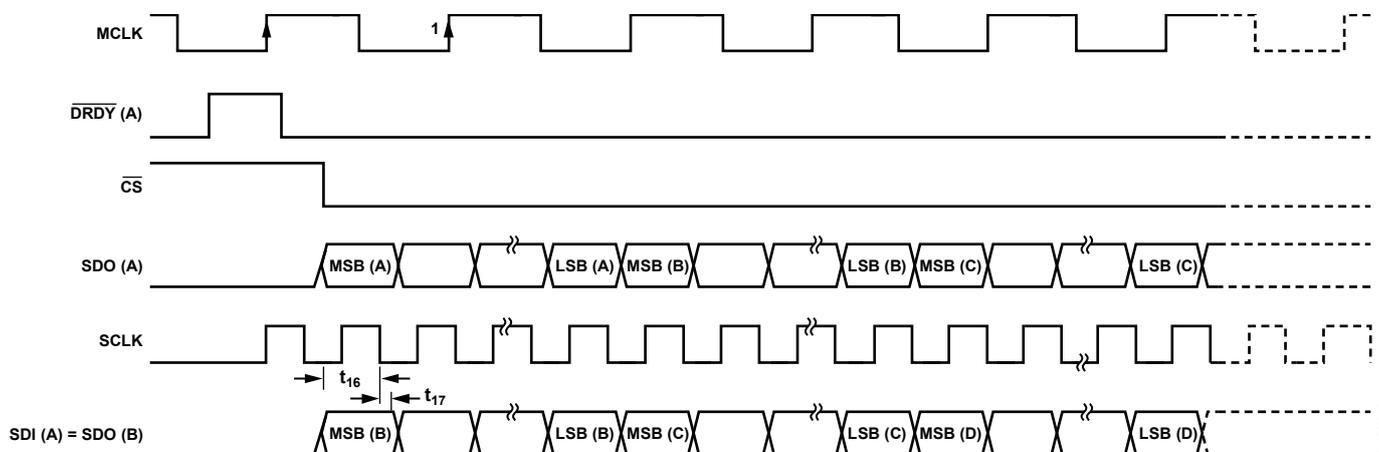


図 38. AD7767 デジチェーンの SDI セットアップ/ホールド・タイミング

AD7767の駆動

AD7767は完全差動入力で駆動する必要があります。このデバイスへの差動入力の同相電圧（差動入力の制限）は、デバイスに入力するリファレンス電圧 V_{REF} で設定されます。AD7767の同相電圧は $V_{REF}/2$ です。この V_{REF+} ピンに 5 V 電源が供給されている場合（ADR445 または ADR425）、同相電圧は 2.5 V です。したがって、AD7767の差動入力に供給できる最大入力力は 2.5 V を中心とする 5 V p-p となります。

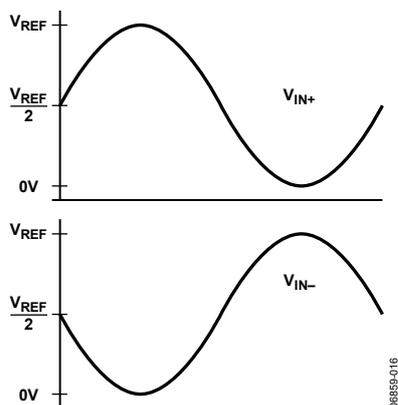


図 39. AD7767 の最大差動入力

2.5 V のアナログ電圧が AD7767 の AV_{DD} ピンに供給されます。ただし、AD7767 では最大 5 V のリファレンス電圧を供給できます。このためフルスケール・レンジが増大し、より大きい LSB 電圧サイズでのデバイス使用が可能になります。図 39 に AD7767 の最大入力と最小入力を示します。

差動信号源

図 40 は、AD7767/AD7767-1/AD7767-2 と組み合わせて使用できる推奨駆動回路の例を示します。図 40 は、ADA4841-1 デバイスを使用して、差動ソースから AD7767/AD7767-1/AD7767-2 への入力を駆動する方法を示しています。各差動パスは ADA4841-1 デバイスで駆動されます。

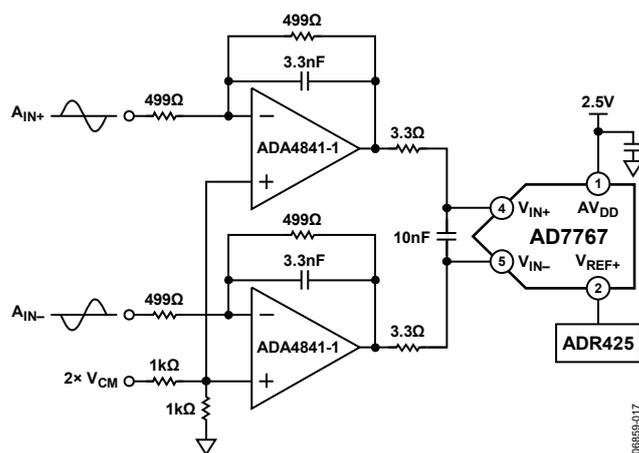


図 40. 完全差動ソースから AD7767 を駆動

シングルエンド信号源

AD7767 にシングルエンド・ソースから電源が供給されている場合、図 41 のアプリケーション回路を使って AD7767 デバイスを駆動できます。図 41 は、シングルエンド/差動変換アンプ ADA4941-1 を使用して、AD7767 への完全差動入力を作成する方法を示します。シングルエンド信号入力は、ADA4941-1 デバイスの正側入力に与えられます。抵抗素子の値を調整して AD7767/AD7767-1/AD7767-2 デバイスへの 2.5 V 同相入力を生成してください。R3 と C2 のデフォルト値はそれぞれ 3.3 Ω と 10 nF です。

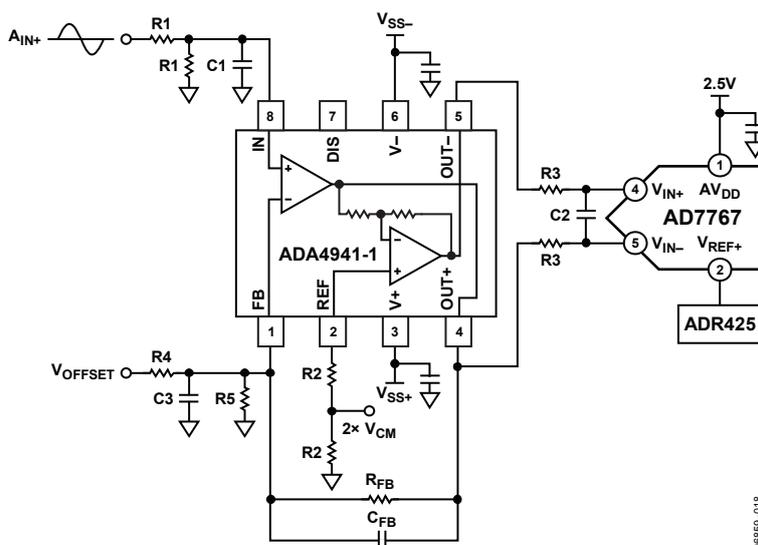


図 41. シングルエンド・ソースから AD7767 を駆動

アンチエイリアス

AD7767/AD7767-1/AD7767-2は、最大 1.024 MHz でアナログ入力をサンプリングします。オンボードのデジタル・フィルタは、フィルタ・ストップバンド ($0.547 \times \text{ODR}$) の最初のポイントからデジタル・フィルタ・パスバンドのイメージが MCLK で発生するポイントまでの範囲で、折返し周波数を最大 100 dB まで減衰できます。フィルタのストップバンド ($\text{MCLK} - 0.547 \times \text{ODR}$) は最初のエイリアス・ポイントです。これを図 42 に示します。

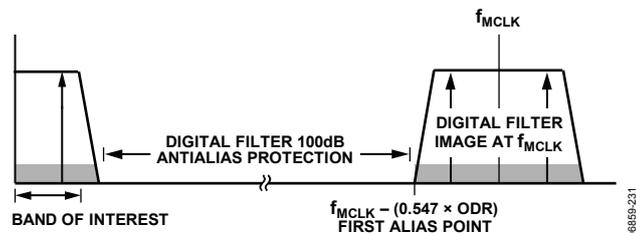


図 42. AD7767/AD7767-1/AD7767-2 のスペクトル

表 8 は、デジタル・フィルタ・ストップバンドのイメージの AD7767/AD7767-1/AD7767-2 の前段にあるフロントエンド・アンチエイリアス・フィルタの次数と各次数で達成される減衰量 ($1.024 \text{ MHz} - 0.547 \times \text{ODR}$ での減衰量) を示しています。

表 8. 最初のエイリアス・ポイントにおけるアンチエイリアス・フィルタの各次数の減衰量

Model	Filter Order	Attenuation at $1.024 \text{ MHz} - 0.547 \times \text{ODR}$
AD7767	1 st	27 dB
	2 nd	50 dB
	3 rd	70 dB
AD7767-1	1 st	33 dB
	2 nd	62 dB
	3 rd	89 dB
AD7767-2	1 st	38 dB
	2 nd	74 dB
	3 rd	110 dB

追加のアンチエイリアス保護が必要な場合は、シグマ・デルタ型の AD7764/AD7765 を使用できます。これらのデバイスは、最大 156 kHz または 312 kHz の出力データレートを達成するために 20 MHz サンプリングを内部的に行います。最大速度で処理を実行しているときの AD7764 と AD7765 の最初のエイリアス・ポイントは、それぞれ 19.921 MHz、19.843 MHz となります。

消費電力

AD7767/AD7767-1/AD7767-2 は、優れた性能と超低消費電力という特性を兼ね備えています。図 43、図 44、図 45 は、デバイスに入力する MCLK 周波数とこれらの製品の消費電流との比例関係を示します。MCLK 周波数が減少すると、デジタル電流とアナログ電流もそれに応じて減少します。各デバイスの実際のスループットは、MCLK 入力周波数を使用するデバイスのデシメーション・レートで割った値と等しくなります。たとえば、AD7767 デバイスが 800 kHz の MCLK で動作している場合、8 デシメーションでフィルタリングするため出力データレートは 100 kHz となります。

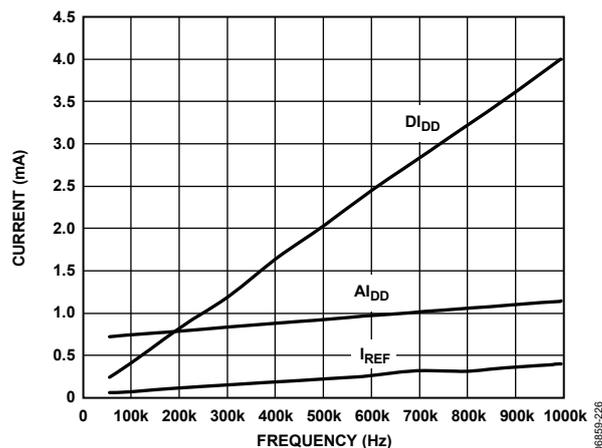


図 43. MCLK 周波数対電流の関係 (AD7767)

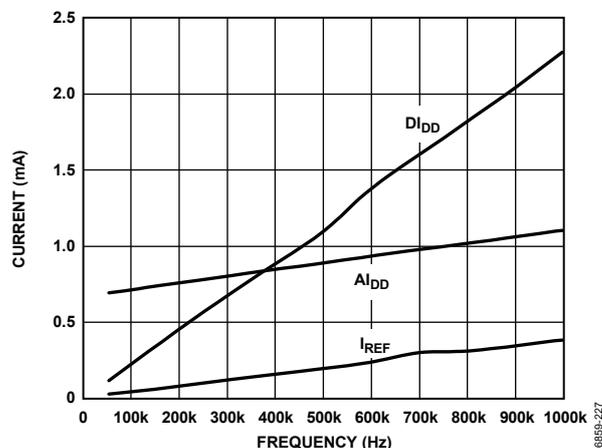


図 44. MCLK 周波数対電流の関係 (AD7767-1)

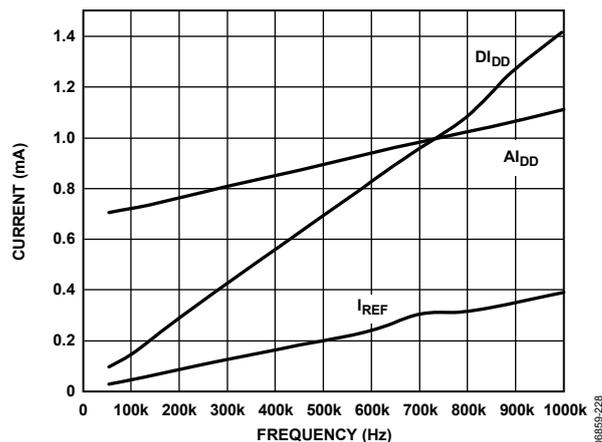


図 45. MCLK 周波数対電流の関係 (AD7767-2)

V_{REF+}入力信号

AD7767/AD7767-1/AD7767-2 の V_{REF+} ピンには、5 V 電圧が入力されます。これは低ノイズの電圧リファレンスにより生成されます。ADR445 または ADR425 は、これらのデバイスで使用できます。このリファレンス電圧入力も AD7767/AD7767-1/AD7767-2 の電源として機能します。

低ノイズ電圧リファレンスの出力はバッファを必要としませんが、電圧リファレンスの V_{OUT} ピンと ADC の V_{REF+} 入力との間にパッシブ・フィルタ回路を設けることが重要です。図 46 は、ADR445 と ADR425 の両方で使用できるリファレンス信号回路を示します。

ADR445 または ADR425 の出力の 100 nF コンデンサは、リファレンス出力電圧を安定化させます。リファレンスのほかのコンデンサに結合された直列抵抗は、ローパスフィルタとして機能します。図 46 は、最適なリファレンス電圧入力回路を示します。

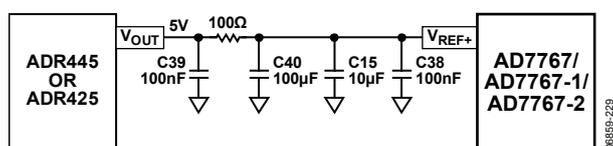


図 46. AD7767/AD7767-1/AD7767-2 のリファレンス・フィルタリング、ADR445/ADR425 回路構成

図 46 のコンデンサ C40 の場合、電解コンデンサかタンタル・コンデンサを使用できます。このコンデンサは電荷蓄積素子として機能します。また、V_{REF+} ピンのできるだけ近くにデカップリング・コンデンサを配置します。

アナログ入力チャンネルの多重化

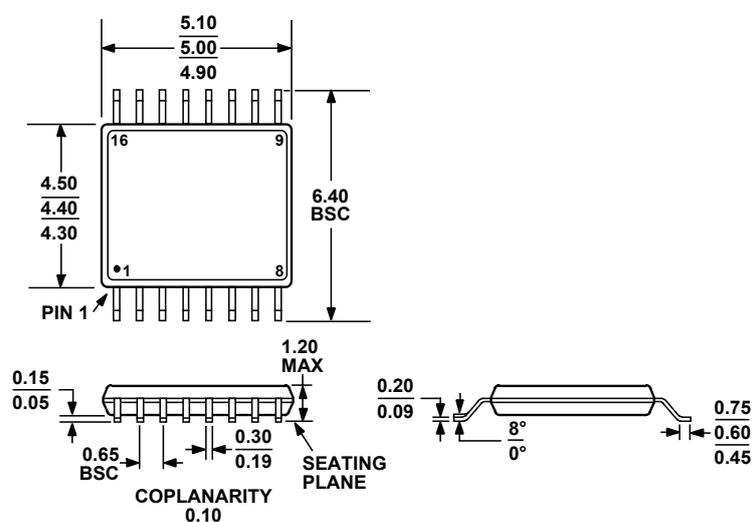
AD7767/AD7767-1/AD7767-2 は、マルチプレクサ構成で使用できます。デジタル・フィルタ・ブロックを使用するコンバータで示されているように、最大スイッチング・レートまたはチャンネル当たりの出力データレートはデジタル・フィルタのセトリング時間の関数となります。

デジタル・フィルタを使用する 1 個のコンバータに複数のアナログ入力を多重化する場合は、デジタル・フィルタのセトリング時間が経過した後に有効な変換結果が得られます。チャンネルの切替えはその時点で行うことができます。チャンネルを切り替えると、セトリング時間が再度発生し、その経過後に有効な変換結果が得られます。入力は再度切り替えられます。

AD7767 のフィルタ・セトリング時間は、74 を使用する出力データレートで割った値になります。したがって、マルチプレクサ・アプリケーションの最大スイッチング周波数は $1/(74/ODR)$ となります。この出力データレート (ODR) は、当該デバイスの使用するデシメーション・レートおよび MCLK 入力周波数との関数となります。たとえば、AD7767 に 1.024 MHz の MCLK を入力すると、最大出力データレートは 128 kHz となります。これにより 1.729 kHz のマルチプレクサ・スイッチング・レートが可能になります。

AD7767-1 と AD7767-2 はデジタル・フィルタのセトリング時間を長くして、優れた精度を実現します。これらのデバイスの最大スイッチング周波数はそれぞれ 864 Hz と 432 Hz です。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AB

図 47. 16 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
(RU-16)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7767BRUZ ¹	-40°C to +105°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7767BRUZ-RL7 ¹	-40°C to +105°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7767BRUZ-1 ¹	-40°C to +105°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7767BRUZ-1-RL7 ¹	-40°C to +105°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7767BRUZ-2 ¹	-40°C to +105°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7767BRUZ-2-RL7 ¹	-40°C to +105°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
EVAL-AD7767EDZ ¹		Evaluation Board	
EVAL-AD7767-1EDZ ¹		Evaluation Board	
EVAL-AD7767-2EDZ ¹		Evaluation Board	
EVAL-CED1Z ¹		Converter Evaluation and Development Board	

¹ Z = RoHS 準拠製品