

## 特長

ダイナミック・レンジ：120dB (78kHz出力データレート時)  
 ダイナミック・レンジ：109dB (625kHz出力データレート時)  
 S/N比：112dB (78kHz出力データレート時)  
 S/N比：107dB (625kHz出力データレート時)  
 完全フィルタ処理後の出力ワードレート：最大625kHz  
 プログラマブル・オーバーサンプリング・レート：32~256倍  
 柔軟なシリアル・インターフェース  
 完全差動のΣΔ変調器入力  
 入力信号バッファリング用のオンチップ差動アンプ内蔵  
 デフォルト係数またはユーザ・プログラマブル係数を使用でき  
 るローパスFIRフィルタ  
 オーバーレンジ警告ビット  
 デジタル・オフセット・レジスタとゲイン補正レジスタ  
 低消費電力モードとパワーダウン・モード  
 SYNCピンによる複数デバイスの同期  
 I<sup>2</sup>Sインターフェース・モード

## アプリケーション

データ・アクイジション・システム  
 振動解析  
 計測器

## 概要

AD7763は、高性能24ビットのシグマ・デルタ (ΣΔ) 型A/Dコンバータ (ADC) で、広入力帯域幅と高速性、さらに625kSPSで107dBのS/N比性能というΣΔ変換のメリットを備え、高速データ・アクイジションに理想的なADCとなっています。ダイナミック・レンジが広く、アンチエイリアス処理の条件を大幅に低減しているため、設計プロセスが簡単になります。リファレンス駆動用のバッファ、信号バッファリングとレベル・シフト用の差動アンプ、オーバーレンジ・フラグ機能、内部ゲイン・レジスタとオフセット・レジスタ、ローパス・デジタルFIR (有限インパルス応答) フィルタなどを備えたAD7763は、非常に集積度の高い小型のデータ・アクイジション・デバイスであり、必要な周辺部品は最少で済みます。さらに、プログラマブルなデシメーション・レートとデジタルFIRフィルタを備えているため、アプリケーションに合わせて特性を調整できます。複雑なフロントエンド信号処理を設計する必要がなく、高いS/N比が求められるアプリケーションに最適といえます。

差動入力は、アナログ変調器によって最大40MSPSでサンプリングされます。変調器出力は一連のローパス・フィルタによって処理され、最終フィルタはデフォルト係数またはユーザ・プログラマブル係数を持っています。サンプリング・レート、フィルタ・コーナー周波数、出力ワードレートは、AD7763の

## 機能ブロック図

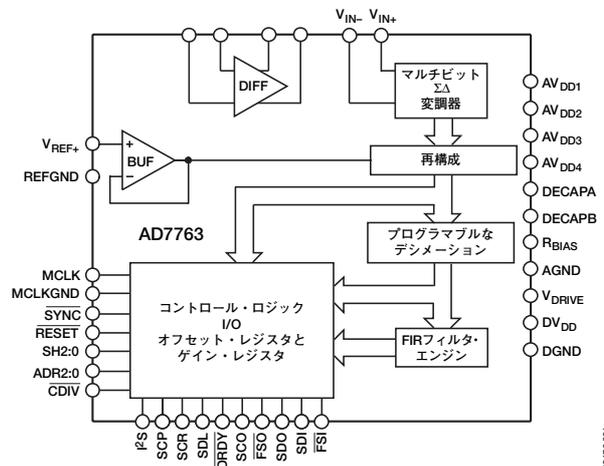


図1

設定レジスタと外部のクロック周波数との組合せによって設定されます。

アナログ入力範囲は、AD7763に供給されるリファレンス電圧によって決まります。4Vリファレンスの場合、2Vの共通モードを中心にバイアスされた±3.2V差動となります。この共通モード・バイアシング (レベル・シフト) はオンチップ差動アンプでまかなえるため、外部信号のコンディショニング条件はさらに緩和されます。

AD7763は露出パドルを備えた64ピンTQFP\_EPパッケージを採用し、-40~+85°Cの工業用温度範囲で仕様規定されています。

表1. 関連デバイス

製品番号	説明
AD7760	24ビット、2.5MSPS、100dB ΣΔ、パラレル・インターフェース
AD7762	24ビット、625kSPS、109dB ΣΔ、パラレル・インターフェース

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
 © 2005 Analog Devices, Inc. All rights reserved.

REV. 0

**アナログ・デバイス株式会社**

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
 電話03 (5402) 8200  
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
 電話06 (6350) 6868

# AD7763

## 目次

特長	1	AD7763の駆動	20
アプリケーション	1	AD7763の使い方	21
機能ブロック図	1	バイアス抵抗の選択	21
概要	1	推奨されるデカップリングとレイアウト	22
仕様	3	電源のデカップリング	23
タイミング仕様	5	その他のデカップリング	23
タイミング図	6	リファレンス電圧のフィルタリング	23
絶対最大定格	7	差動アンプの部品	23
ESDに関する注意	7	露出パドル	23
ピン配置と機能の説明	8	レイアウトの考慮事項	23
用語の説明	10	プログラマブルFIRフィルタ	24
代表的な性能特性	11	ユーザ定義フィルタのダウンロード	25
動作原理	14	フィルタのダウンロード例	26
AD7763のインターフェース	15	レジスタ	27
SPIインターフェースによるデータの読出し	15	コントロール・レジスタ1—アドレス0x001	27
同期	15	コントロール・レジスタ2—アドレス0x002	27
シリアル・バスの共有	15	ステータス・レジスタ（読出し専用）	28
AD7763への書込み	16	オフセット・レジスタ—アドレス0x003	28
ステータス・レジスタなどの読出し	17	ゲイン・レジスタ—アドレス0x004	28
FSインターフェースによるデータの読出し	18	オーバーレンジ・レジスタ—アドレス0x005	28
AD7763へのクロック供給	19	外形寸法	29
例1	19	オーダー・ガイド	29
例2	19		

## 改訂履歴

10/05—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $AV_{DD1}=DV_{DD}=V_{DRIVE}=2.5V$ 、 $AV_{DD2}=AV_{DD3}=AV_{DD4}=5V$ 、 $V_{REF}=4.096V$ 、MCLK振幅=5V、 $T_A=25^\circ C$ 、ノーマル・モード、表10に示す部品付きのオンチップ・アンプを使用。<sup>1</sup>

表2

パラメータ	テスト条件/備考	仕様	単位
<b>動的性能</b>			
256倍のデシメーション ダイナミック・レンジ	MCLK=40MHz、ODR=78kHz、 $F_{IN}=1kHz$ 変調器入力を短絡	119 120.5	dB (min) dB (typ)
S/N比 (SNR) <sup>2</sup>	入力振幅=-0.5dBFS	112	dB (typ)
	入力振幅=-60dB	59	dBc (typ)
スプリアス・フリー・ダイナミック・ レンジ (SFDR)	非高調波、入力振幅=-6dB	126	dBc (typ)
	入力振幅=-60dB	77	dBc (typ)
全高調波歪み (THD)	入力振幅=-0.5dBFS	-105	dB (typ)
	入力振幅=-6dB	-106	dBc (typ)
	入力振幅=-60dB	-75	dBc (typ)
64倍のデシメーション ダイナミック・レンジ	MCLK=40MHz、ODR=312.5kHz、 $F_{IN}=1kHz$ 変調器入力を短絡	112 113	dB (min) dB (typ)
S/N比 (SNR) <sup>2</sup>	入力振幅=-0.5dBFS	109.5	dB (typ)
スプリアスフリー・ダイナミック・ レンジ (SFDR)	非高調波、入力振幅=-6dB	126	dBc (typ)
32倍のデシメーション ダイナミック・レンジ	MCLK=40MHz、ODR=625kHz、 $F_{IN}=100kHz$ 変調器入力を短絡	108 109.5	dB (min) dB (typ)
S/N比 (SNR) <sup>2</sup>	入力振幅=-0.5dBFS	107	dB (typ)
スプリアスフリー・ダイナミック・ レンジ (SFDR)	非高調波、入力振幅=-6dB	120	dBc (typ)
全高調波歪み (THD)	入力振幅=-0.5dBFS	-105	dB (typ)
	入力振幅=-6dB	-107	dBc (typ)
<b>DC精度</b>			
分解能		24	ビット
微分非直線性 (DNL)	24ビットまでの単調増加性を保証		
積分非直線性 (INL)		0.00076	% (typ)
ゼロ誤差		0.014	% (typ)
		0.02	% (max)
ゲイン誤差		0.018	% (typ)
ゼロ誤差ドリフト		10	$\mu\%FS/^\circ C$ (typ)
ゲイン誤差ドリフト		0.0002	$\%FS/^\circ C$ (typ)
<b>デジタル・フィルタ応答</b>			
32倍のデシメーション 群遅延	MCLK=40MHz	47	$\mu s$ (typ)
64倍のデシメーション 群遅延	MCLK=40MHz	91.5	$\mu s$ (typ)
256倍のデシメーション 群遅延	MCLK=40MHz	358	$\mu s$ (typ)

# AD7763

パラメータ	テスト条件/備考	仕様	単位
アナログ入力			
差動入力電圧	$V_{IN(+)} - V_{IN(-)}$ , $V_{REF}=2.5V$	±2	V p-p
	$V_{IN(+)} - V_{IN(-)}$ , $V_{REF}=4.096V$	±3.25	V p-p
入力容量	内部バッファ入力にて	5	pF (typ)
	変調器入力にて	55	pF (typ)
リファレンス入力			
$V_{REF}$ 入力電圧	$V_{DD3}=3.3V \pm 5\%$	+2.5	V (max)
	$V_{DD3}=5V \pm 5\%$	+4.096	V (max)
$V_{REF}$ 入力DCリーク電流		±1	μA (max)
$V_{REF}$ 入力容量		5	pF (max)
消費電力			
合計消費電力	ノーマル・モード	955.5	mW (max)
	低消費電力モード	651	mW (max)
	スタンバイ・モード	6.35	mW (typ)
電源条件			
$AV_{DD1}$ (変調器電源)	±5%	+2.5	V
$AV_{DD2}$ (一般電源)	±5%	+5	V
$AV_{DD3}$ (差動アンプ電源)		+3.15/+5.25	V (min/max)
$AV_{DD4}$ (リファレンス・バッファ電源)		+3.15/+5.25	V (min/max)
$DV_{DD}$	±5%	+2.5	V
$V_{DRIVE}$		+1.65/+2.7	V (min/max)
ノーマル・モード			
$AI_{DD1}$ (変調器)		49/52	mA (typ/max)
$AI_{DD2}$ (一般)		40/43	mA (typ/max)
$AI_{DD4}$ (リファレンス・バッファ)	$AV_{DD4}=5V$	35/37	mA (typ/max)
低消費電力モード			
$AI_{DD1}$ (変調器)		26/28	mA (typ/max)
$AI_{DD2}$ (一般)		20/23	mA (typ/max)
$AI_{DD4}$ (リファレンス・バッファ)	$AV_{DD4}=5V$	10/11	mA (typ/max)
$AI_{DD3}$ (差動アンプ)	$AV_{DD3}=5V$ , 両方のモード	41/45	mA (typ/max)
$DI_{DD}$	両方のモード	56/62	mA (typ/max)
デジタルI/O			
MCLK入力振幅 <sup>3</sup>		5	V (typ)
入力容量		7.3	pF (typ)
入力リーク電流		±1	μA/ピン (max)
スリーステート・リーク電流 (SDO)		±1	μA (max)
$V_{INH}$		$0.7 \times V_{DRIVE}$	V (min)
$V_{INL}$		$0.3 \times V_{DRIVE}$	V (max)
$V_{OH}$ <sup>4</sup>		1.5	V (min)
$V_{OL}$		0.1	V (max)

<sup>1</sup> 「用語の説明」を参照。

<sup>2</sup> dB単位でのS/N比仕様は、フルスケール入力FSを基準としています。特に指定のない限り、フルスケールより0.5dB低い入力信号でテスト。

<sup>3</sup> AD7763は5V未満のMCLK振幅で機能しますが、これは記載された性能を達成するための推奨振幅です。

<sup>4</sup> 400μAの負荷電流でテスト。

## タイミング仕様

特に指定のない限り、 $AV_{DD1}=DV_{DD}=V_{DRIVE}=2.5V$ 、 $AV_{DD2}=AV_{DD3}=AV_{DD4}=5V$ 、 $T_A=25^\circ C$ 、ノーマル・モード。

表3

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ での限界値	単位	説明
$f_{MCLK}$	1 40	MHz (min) MHz (max)	印加されるマスター・クロック周波数
$f_{ICLK}$	500 20	kHz (min) MHz (max)	MCLKから得られた内部変調器クロック
$t_1^1$	$1 \times t_{ICLK}$ または $0.5 \times t_{ICLK}^2$	typ	SCOハイレベル期間
$t_2^1$	$1 \times t_{ICLK}$ または $0.5 \times t_{ICLK}^2$	typ	SCOローレベル期間
$t_3$	$t_{SCO}^3$	typ	$\overline{DRDY}$ ローレベル期間
$t_{3A}^4$	2	ns (typ)	SCO立上がりエッジから $\overline{DRDY}$ 立下がりエッジまでの時間
$t_{3B}^4$	3	ns (typ)	SCO立上がりエッジから $\overline{DRDY}$ 立上がりエッジまでの時間
$t_4^5$	$32 \times t_{SCO}^3$	typ	$\overline{FSO}$ ローレベル期間
$t_{4A}^{4,5}$	1	ns (typ)	SCO立上がりエッジから $\overline{FSO}$ 立下がりエッジまでの時間
$t_{4B}^{4,5}$	2	ns (typ)	SCO立下がりエッジから $\overline{FSO}$ 立上がりエッジまでの時間
$t_5$	6.5	ns (max)	初期データのアクセス時間
$t_6^4$	5	ns (max)	SCO立上がりエッジからSDO有効までの時間
$t_7$	$0.5 \times t_{SCO}^3$	ns (min)	SCO立下がりエッジ後のSDO有効時間
$t_8$	$16 \times t_{SCO}^3$	typ	$\overline{DRDY}$ 立上がりエッジからSDL立下がりエッジまでの時間
$t_9$	$t_{SCO}^3$	typ	SDLパルス幅
$t_{10}$	5.5	ns (max)	SDOスリーステートからSCO立上がりエッジ
$t_{11}$	$1 \times t_{SCO}^3$	min	$\overline{FSI}$ ローレベル期間
$t_{12}$	12	ns (min)	SDIセットアップ時間
$t_{13}$	10	ns (min)	SDIホールド時間
$t_{14}$	12	ns (min)	$\overline{FSI}$ セットアップ時間
$t_{15}$	$16 \times t_{SCO}^3$	typ	SDL立下がりエッジからSDL立下がりエッジまでの時間

<sup>1</sup>  $t_{ICLK} = 1/f_{ICLK}$

<sup>2</sup> SCRピンとCDIVピンによって選択されたSCO周波数。

<sup>3</sup>  $t_{SCO} = t_1 + t_2$

<sup>4</sup> 記載したすべてのエッジはSCP=0を基準。SCP=1の場合は、SCOエッジを反転。

<sup>5</sup> 32のデシメーション・モードでは、この時間仕様は、 $\overline{CDIV}=0$ でSCR=1の場合にのみ適用。32のデシメーション・モードで、それ以外の $\overline{CDIV}$ とSCRの組み合わせでは、FSO信号は常にロジック・ロー。

# AD7763

## タイミング図

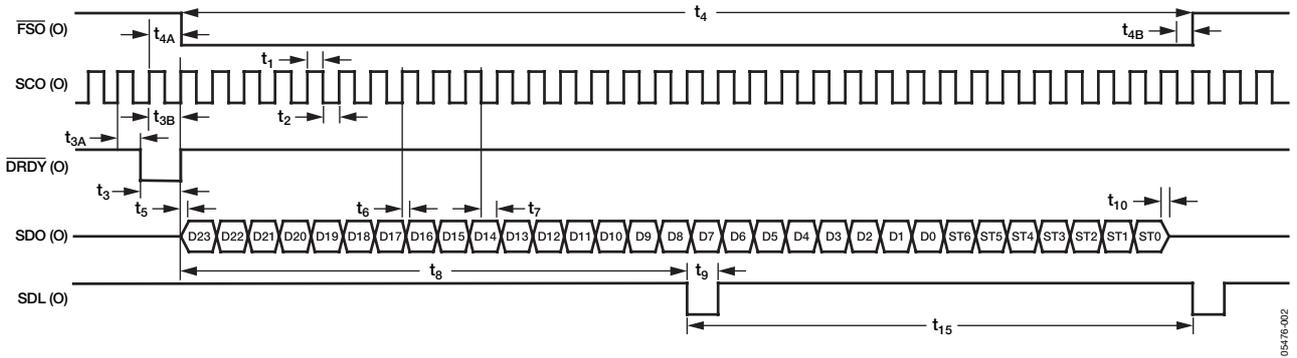


図2. SPI<sup>®</sup>インターフェースのシリアル読出しのタイミング図

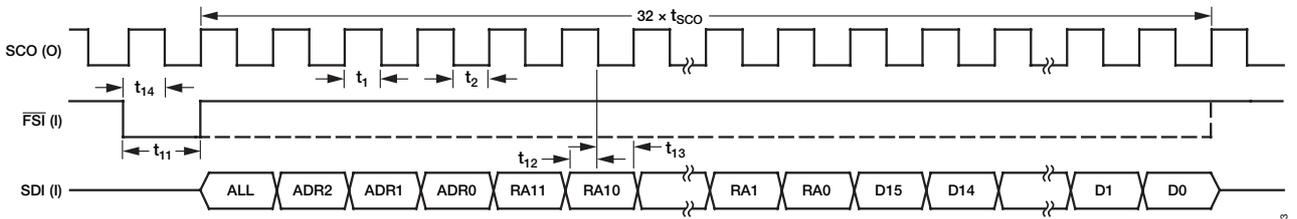


図3. レジスタ書込み

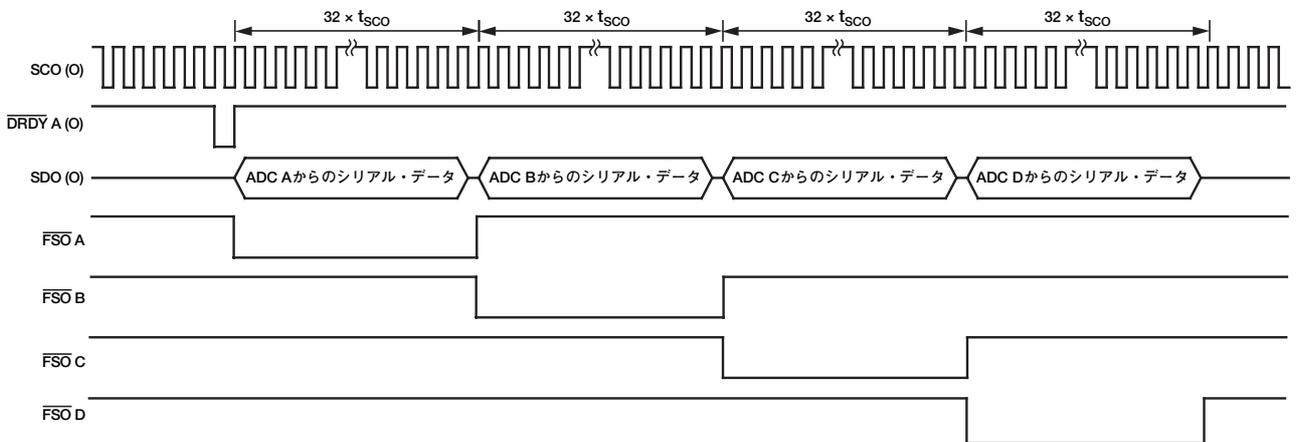


図4. SPIインターフェースのシリアル読出しのタイミング（複数のAD7763がシリアル・バスを共有）

## 絶対最大定格

特に指定のない限り、 $T_A=25^\circ\text{C}$ 。

表4

パラメータ	定格値
GNDに対する $AV_{DD1}$	$-0.3 \sim +3\text{V}$
GNDに対する ( $AV_{DD2}$ 、 $AV_{DD3}$ 、 $AV_{DD4}$ )	$-0.3 \sim +6\text{V}$
GNDに対する $DV_{DD}$	$-0.3 \sim +3\text{V}$
GNDに対する $V_{DRIVE}$	$-0.3 \sim +3\text{V}$
GNDに対する $V_{IN+}$ 、 $V_{IN-}$	$-0.3 \sim +6\text{V}$
GNDに対するデジタル入力電圧 <sup>1</sup>	$-0.3\text{V} \sim DV_{DD} + 0.3\text{V}$
MCLKGNDに対するMCLK	$-0.3 \sim +6\text{V}$
GNDに対する $V_{REF}$ <sup>2</sup>	$-0.3\text{V} \sim AV_{DD4} + 0.3\text{V}$
DGNDに対するAGND	$-0.3 \sim +0.3\text{V}$
電源以外のピンへの入力電流 <sup>3</sup>	$\pm 10\text{mA}$
動作温度範囲	$-40 \sim +85^\circ\text{C}$
商用	
保存温度範囲	$-65 \sim +150^\circ\text{C}$
ジャンクション温度	$150^\circ\text{C}$
TQFP_EP露出パドル	
$\theta_{JA}$ 熱抵抗	$92.7^\circ\text{C/W}$
$\theta_{JC}$ 熱抵抗	$5.1^\circ\text{C/W}$
ピン温度、ハンダ処理	
ペーキング時間 (60秒)	$215^\circ\text{C}$
赤外線 (15秒)	$220^\circ\text{C}$
ESD	$600\text{V}$

<sup>1</sup> デジタル入力での絶対最大電圧は、 $3.0\text{V}$ または $DV_{DD} + 0.3\text{V}$ のうちいずれか小さい方。

<sup>2</sup>  $V_{REF}$ 入力での絶対最大電圧は、 $6.0\text{V}$ または $AV_{DD4} + 0.3\text{V}$ のうちいずれか小さい方。

<sup>3</sup>  $200\text{mA}$ までの過渡電流では、SCRラッチアップは発生しません。

### 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には $4000\text{V}$ もの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

# AD7763

## ピン配置と機能の説明

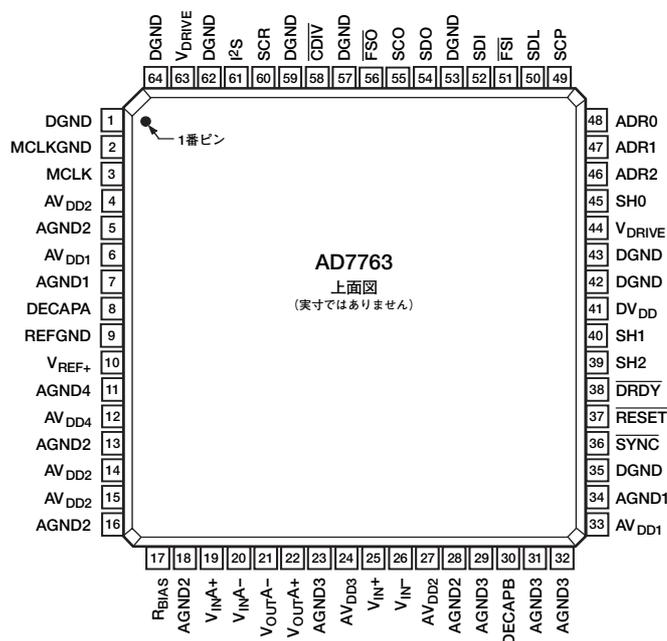


図5. ピン配置

表5. ピン機能の説明

ピン番号	記号	説明
6、33	AV <sub>DD1</sub>	変調器用の2.5V電源。各ピンは100nFコンデンサと10μFコンデンサによりAGND1にデカップリングします。
4、14、15、27	AV <sub>DD2</sub>	5V電源。4番ピン、14番ピン、15番ピンはそれぞれ100nFコンデンサによりAGND2にデカップリングします。27番ピンは8.2nHのインダクタにより14番ピンに接続します。
24	AV <sub>DD3</sub>	差動アンプ用の3.3~5V電源。100nFコンデンサによりAGND3にデカップリングします。
12	AV <sub>DD4</sub>	リファレンス・バッファ用の3.3~5V電源。直列接続した10nFのコンデンサと10Ω抵抗によりAGND4にデカップリングします。
7、34	AGND1	AV <sub>DD1</sub> によって供給されるアナログ回路用の電源グラウンド
5、13、16、18、28	AGND2	AV <sub>DD2</sub> によって供給されるアナログ回路用の電源グラウンド
23、29、31、32	AGND3	AV <sub>DD3</sub> によって供給されるアナログ回路用の電源グラウンド
11	AGND4	AV <sub>DD4</sub> によって供給されるアナログ回路用の電源グラウンド
9	REFGND	リファレンス・グラウンド。リファレンス電圧用のグラウンド接続
41	DV <sub>DD</sub>	デジタル回路とFIRフィルタ用の2.5V電源。100nFのコンデンサによりDGNDにデカップリングします。
44、63	V <sub>DRIVE</sub>	1.8~2.5Vロジック電源入力。ロジック・インターフェースの動作電圧は、これらのピンに供給される電圧により決まります。2本のピンを互いに接続して、同じ電源に接続します。また各ピンを100nFコンデンサによりDGNDにデカップリングします。
1、35、42、43、53、57、59、62、64	DGND	デジタル回路用のグラウンド・リファレンス
19	V <sub>IN</sub> A+	差動アンプへの正側入力
20	V <sub>IN</sub> A-	差動アンプへの負側入力
21	V <sub>OUT</sub> A-	差動アンプからの負側出力
22	V <sub>OUT</sub> A+	差動アンプからの正側出力
25	V <sub>IN</sub> +	変調器への正側入力
26	V <sub>IN</sub> -	変調器への負側入力
10	V <sub>REF</sub> +	リファレンス入力。このピンの入力範囲は、リファレンス・バッファの電源電圧 (AV <sub>DD4</sub> ) によって決まります。詳細については「リファレンス電圧のフィルタリング」を参照。
8	DECAPA	デカップリング・ピン。このピンとAGND1との間に100nFのコンデンサを挿入します。
30	DECAPB	デカップリング・ピン。このピンとAGND3との間に33pFのコンデンサを挿入します。

ピン番号	記号	説明
17	R <sub>BIAS</sub>	バイアス電流設定ピン。このピンと AGND との間に抵抗を挿入します。「バイアス抵抗の選択」を参照。
37	RESET	このピンでの立下がりエッジにより、すべての内部デジタル回路がリセットされます。このピンをローレベルに保持すると、AD7763 はリセット状態に保持されます。
3	MCLK	マスター・クロック入力。このピンには低ジッタのデジタル・クロックを印加します。出力データレートはこのクロックの周波数に依存します。「AD7763 へのクロック供給」を参照。
2	MCLKGND	マスター・クロックのグラウンド・センス・ピン
36	SYNC	同期入力。このピンの立下がりエッジにより、内部フィルタがリセットされます。これを使用してシステム内で複数のデバイスの同期をとることができます。
38	DRDY	データ・レディ出力。新しい変換データの読出しが可能になるたびに、アクティブ・ロー・パルス (1/2ICLK 周期幅) がこのピンに生成されます。「AD7763 のインターフェース」を参照。
39、40、45	SH2:0	共有ピン 2:0。シリアル・バスを共有する複数の AD7763 デバイスで使用。各デバイスには、シリアル・バスを共有するデバイスの数を表す 2 進値が配線されます。SH2 は MSB です。「シリアル・バスの共有」を参照。
46~48	ADR2:0	アドレス 2:0。複数の AD7763 デバイスでシリアル・バスを共有できるようにします。各デバイスには、これら 3 本のピンを使用して個々のアドレスをプログラミングします。「シリアル・バスの共有」を参照。
49	SCP	シリアル・クロック極性。データビットがクロック出力されたり、有効になったりする、SCO のエッジを決定します。すべてのタイミング図は SCP=0 のときを示しているため、SCP=1 の場合はすべての SCO エッジを反転してください。
50	SDL	シリアル・データ・ラッチ。このピンには 16 個のデータビットごとにパルスが出力されます。パルスは 1SCO の周期幅で、32 ビットごとよりも頻度の高いフレーミング信号を必要とするシリアル転送では、FSO と組み合わせて代替のフレーミング方式として使用できます。
51	FSI	フレーム同期入力。このピンのステータスは、SCO の立下がりエッジでチェックされます。このピンがローレベルの場合、最初のデータビットは、次の SCO の立下がりエッジ (SCP=0 のとき) または SCO の立上がりエッジ (SCP=1 のとき) でラッチされます。
52	SDI	シリアル・データ入力。FSI イベントがラッチされた後、最初のデータビット (MSB) は、次の SCO 立下がりエッジ (SCP=0 のとき) または SCO 立上がりエッジ (SCP=1 のとき) で有効であることが必要です。各書込みには 32 ビットが必要です。つまり、ALL ビット、3 個のアドレス・ビット、12 個のレジスタ・アドレス・ビット、デバイスに書き込まれる 16 ビットのデータです。
54	SDO	シリアル・データ出力。アドレス、ステータス、データの各ビットは、各シリアル転送時にこのラインでクロック出力されます。SCP=0 の場合、各ビットは、SCO 立上がりエッジでクロック出力され、立下がりエッジで有効となります。FS ピンがロジック・ハイに設定されると、このピンは PS バス仕様で SD と定義された信号を出力します。詳細については「PS インターフェースによるデータの読出し」を参照。
55	SCO	シリアル・クロック出力。このクロック信号は、内部 ICLK 信号から得られます。SCO の周波数は、CDIV ピンと SCR ピンの状態に応じて、ICLK または ICLK/2 と等しくなります («AD7763 のインターフェース」を参照)。FS ピンがロジック・ハイのとき、このピンは PS バス仕様で SCK と定義された信号を出力します。「PS インターフェースによるデータの読出し」を参照。
56	FSO	フレーム同期出力。この信号はシリアル・データ出力をフレーミングし、32SCO の周期幅をもちます。32 のデシメーション・モードでは FSO のフレーミング動作に例外が発生し、CDIV と SCR の特定の組み合わせでは、FSO 信号は常にロジック・ローとなります。「SPI インターフェースによるデータの読出し」を参照。FS ピンがロジック・ハイに設定されると、このピンは PS バス仕様で WS と定義された信号を出力します。「PS インターフェースによるデータの読出し」を参照。
58	CDIV	クロック・デバイダ。MCLK と ICLK の比を選択するときに使用します。「AD7763 のインターフェース」を参照。
60	SCR	シリアル・クロック・レート。このピンと CDIV ピンで SCO 周波数を設定します (表 7 を参照)。
61	FS	PS セレクト。このピンがロジック 1 になると、シリアル・データ出力モードが SPI から PS に変化します。SDO ピンは SD 信号を出力し、SCO ピンは SCK 信号を出力し、FSO ピンは WS 信号を出力します。AD7763 への書込みに際しては、FS ピンがロジック・ローに設定され、SPI インターフェースが使用されます。詳細については「PS インターフェースによるデータの読出し」を参照。

## 用語の説明

### S/N比 (SNR)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和から高調波成分とDC成分を除いた値との比で、dB値で表します。

### 全高調波歪み (THD)

高調波のRMS値総和と基本波の比です。AD7763では、次のように定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$ は基本波のRMS振幅

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は2次～6次高調波のRMS振幅

### 非高調波のスプリアスフリー・ダイナミック・レンジ (SFDR)

信号振幅のRMS値と、高調波以外の最大スプリアス・スペクトル成分のRMS値との比です。

### ダイナミック・レンジ

フルスケールのRMS値と、入力を短絡して測定したRMSノイズとの比で、dB値で表します。

### 積分非直線性 (INL)

ADC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差をいいます。

### 微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。

### ゼロ誤差

理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差をいいます。

### ゼロ誤差ドリフト

1°Cの温度変化による実際のゼロ誤差値の変化です。室温でのフルスケールのパーセンテージとして表します。

### ゲイン誤差

最初の遷移 (100...000から100...001まで) は、公称負側フルスケールより0.5LSB高いアナログ電圧で発生します。最後の遷移 (011...110から011...111まで) は、公称フルスケールより1.5LSB低いアナログ電圧で発生します。ゲイン誤差は、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差と、理想的なレベル間の差との偏差です。

### ゲイン誤差ドリフト

1°Cの温度変化による実際のゲイン誤差値の変化です。室温でのゲイン誤差のパーセンテージとして表します。

## 代表的な性能特性

特に指定のない限り、 $AV_{DD1}=DV_{DD}=V_{DRIVE}=2.5V$ 、 $AV_{DD2}=AV_{DD3}=AV_{DD4}=5V$ 、 $V_{REF}=4.096V$ 、 $T_A=25^{\circ}C$ 、ノーマル・モード。すべてのFFTは、7項のブラックマン-ハリス・ウインドウを使用して65,536個のサンプルから生成されます。

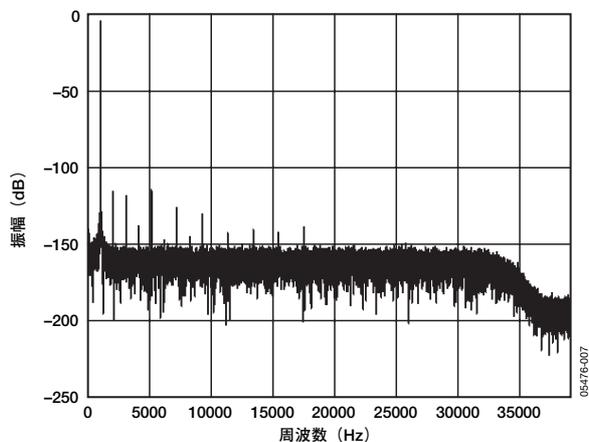


図6. ノーマル・モードFFT (1kHz、-0.5dB  
入力トーン、256倍のデシメーション)

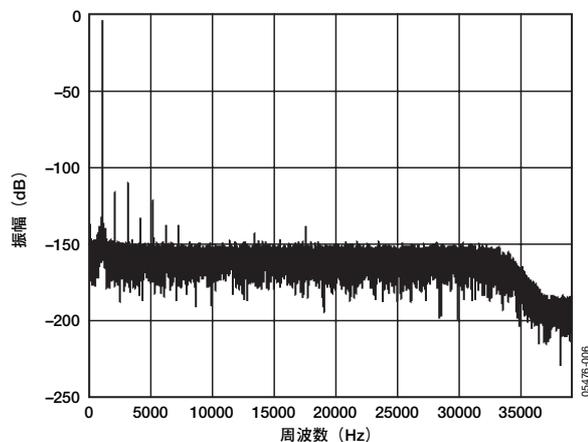


図9. 低消費電力FFT (1kHz、-0.5dB  
入力トーン、256倍のデシメーション)

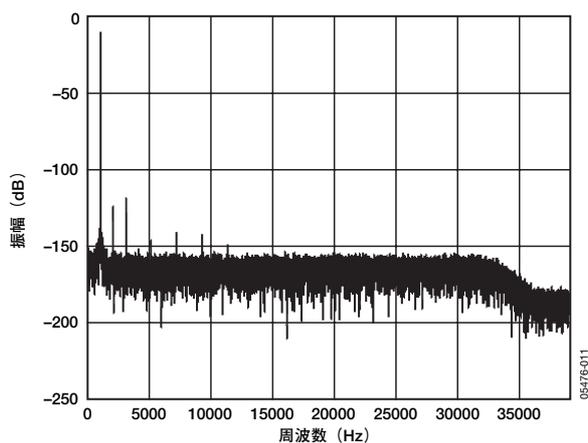


図7. ノーマル・モードFFT (1kHz、-0.6dB  
入力トーン、256倍のデシメーション)

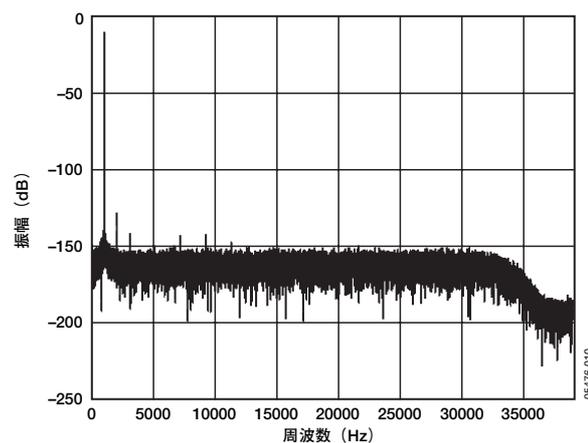


図10. 低消費電力FFT (1kHz、-6dB  
入力トーン、256倍のデシメーション)

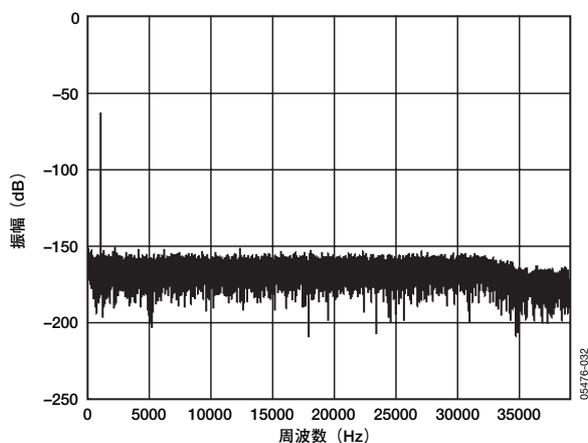


図8. ノーマル・モードFFT (1kHz、-60dB  
入力トーン、256倍のデシメーション)

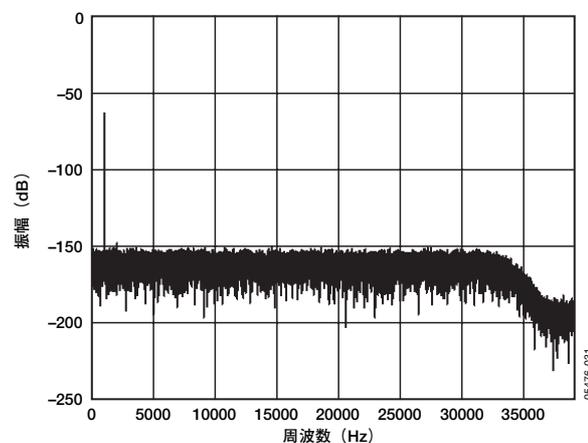


図11. 低消費電力FFT (1kHz、-60dB  
入力トーン、256倍のデシメーション)

# AD7763

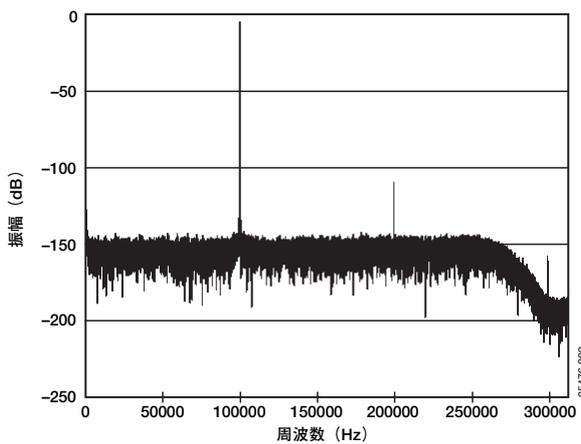


図12. ノーマル・モードFFT (100kHz、  
-0.5dB入力トーン、32倍のデシ  
メーション)

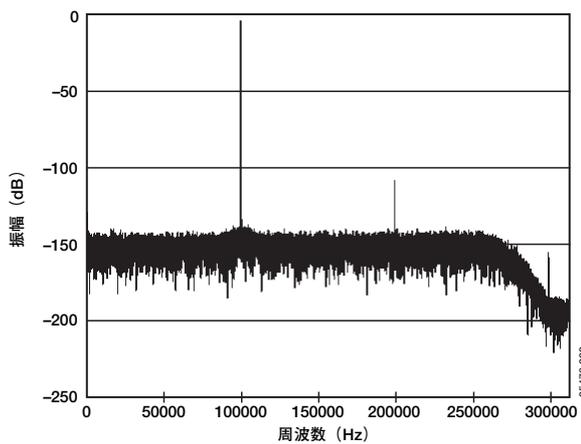


図15. 低消費電力FFT (100kHz、-0.5dB入力  
トーン、32倍のデシメーション)

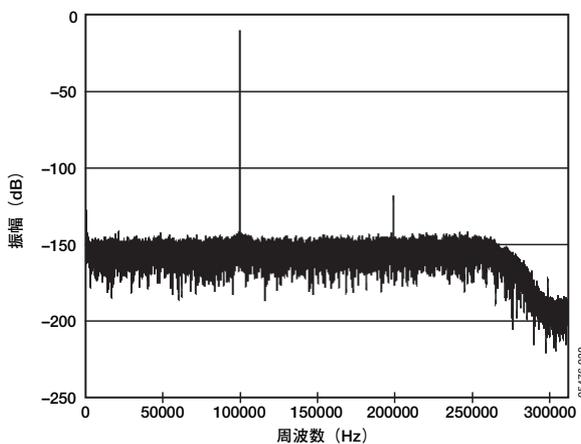


図13. ノーマル・モードFFT (100kHz、-6dB  
入力トーン、32倍のデシメーション)

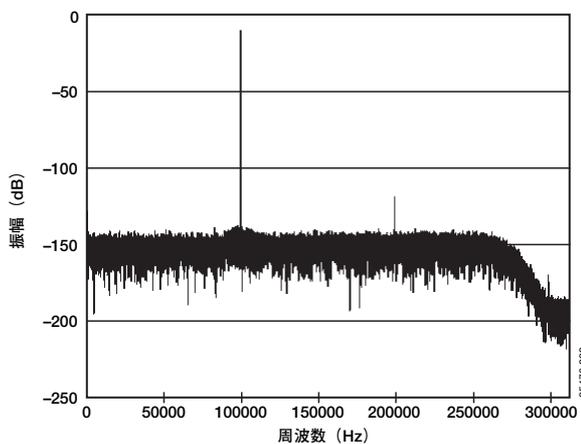


図16. 低消費電力FFT (100kHz、-6dB入力  
トーン、32倍のデシメーション)

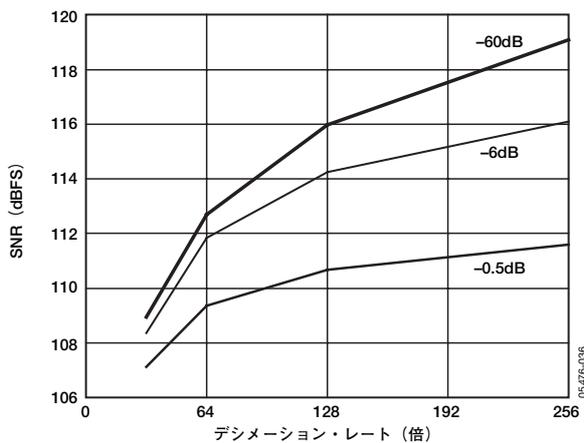


図14. デシメーション・レート対ノーマル・  
モードのS/N比 (1kHz入力トーン)

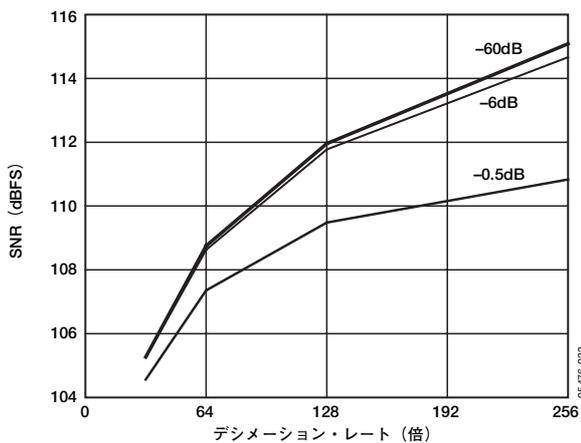


図17. デシメーション・レート対低消費電力  
S/N比 (1kHz入力トーン)

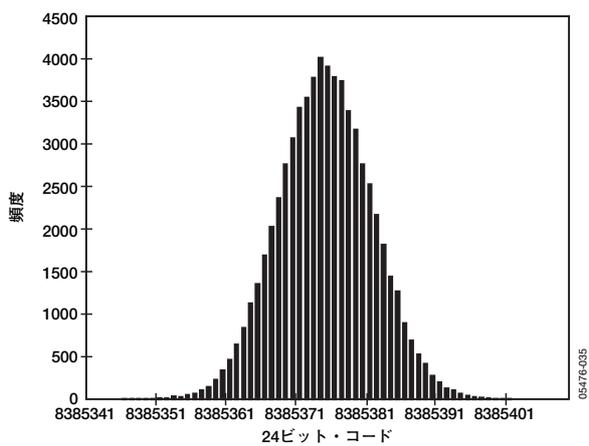


図18. ノーマル・モード、24ビット・ヒストグラム、256倍のデシメーション

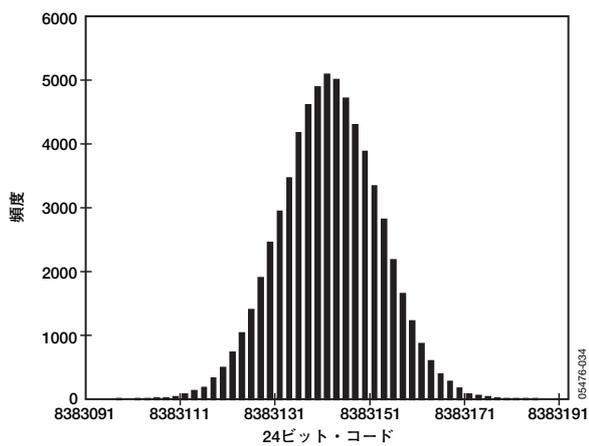


図21. 低消費電力24ビット・ヒストグラム、256倍のデシメーション

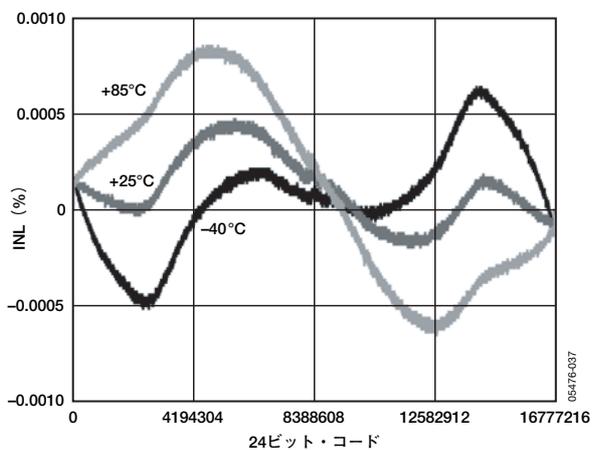


図19. 24ビットINL (ノーマル・モード)

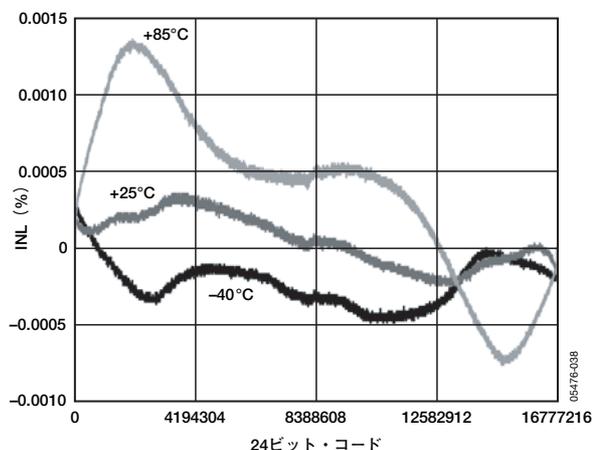


図22. 24ビットINL (低消費電力モード)

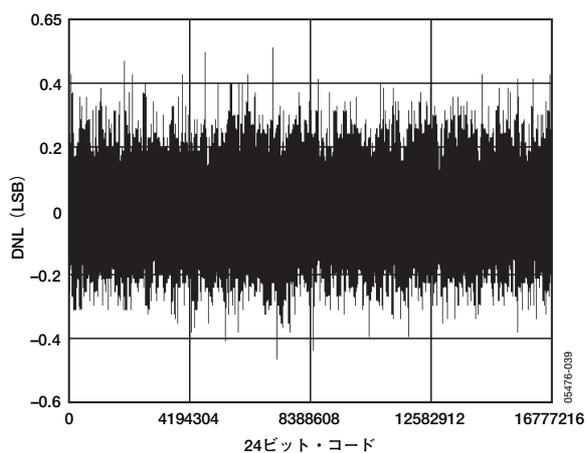


図20. 24ビットDNL

## 動作原理

AD7763では、 $\Sigma\Delta$ 変換技術を使用して、アナログ入力を等価なデジタル・ワードに変換します。変調器が入力波形をサンプリングし、ICLK（内部クロック）と同じレートで等価なデジタル・ワードをデジタル・フィルタに出力します。

高いオーバーサンプリング・レートで量子化ノイズを $0 \sim f_{\text{ICLK}}$ まで拡散させることで、対象帯域に含まれるノイズ・エネルギーが減少します（図23を参照）。さらに量子化ノイズを減らすために、高次の変調器でノイズ・スペクトルをシェーピングし、大部分のノイズ・エネルギーを対象帯域から高域にシフトさせます（図24を参照）。

変調器の後段のデジタル・フィルタリングでは、大きな対象帯域外の量子化ノイズを除去する（図25を参照）と同時に、使用するデシメーション・レートに応じて、データレートをフィルタの入力側の $f_{\text{ICLK}}$ からフィルタの出力側の $f_{\text{ICLK}}/32$ またはそれ以下になるように低減します。

デジタル・フィルタリングには、アナログ・フィルタリングにはない利点があり、大きなノイズや歪みが発生しないので、完全な直線位相とすることができます。

AD7763では、3つのFIRフィルタを直列に接続して使用します。デシメーション・レシオとフィルタの選択の組み合わせを変えることによって、4つの異なるデータレートでデータが得られます。最初のフィルタは、変調器からICLK MHzでデータを受信し、4倍のデシメーションを行って、データを（ICLK/4）MHzで出力します。

2番目のフィルタでは、8～32倍のデシメーション・レートを選択できます。3番目のフィルタは、デシメーション・レートが2倍に固定されており、ユーザ・プログラマブルで、デフォルト設定を備えています（「プログラマブルFIRフィルタ」を参照）。このフィルタはバイパス可能です。

表6は、デフォルト・フィルタのいくつかの特性を示します。フィルタの群遅延はインパルス応答の中心までの遅延と定義され、演算遅延とフィルタ遅延の合計に等しくなります。有効なデータが使用可能になる（DVALIDステータス・ビットがセットされる）までの遅延は、 $2 \times$ フィルタ遅延 + 演算遅延に等しくなります。



図23.  $\Sigma\Delta$  ADC、量子化ノイズ

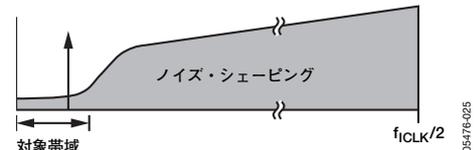


図24.  $\Sigma\Delta$  ADC、ノイズ・シェーピング

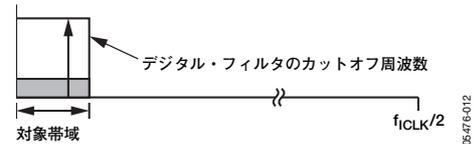


図25.  $\Sigma\Delta$  ADC、デジタル・フィルタのカットオフ周波数

表6. デフォルト・フィルタでの設定

ICLK 周波数	フィルタ 1	フィルタ 2	フィルタ 3	データ状態	演算 遅延	フィルタ 遅延	通過帯域幅	出力データレート (ODR)
20MHz	4×	4×	2×	完全にフィルタ処理	1.775 $\mu$ s	44.4 $\mu$ s	250kHz	625kHz
20MHz	4×	8×	バイパス	部分的にフィルタ処理	2.6 $\mu$ s	10.8 $\mu$ s	140.625kHz	625kHz
20MHz	4×	8×	2×	完全にフィルタ処理	2.25 $\mu$ s	87.6 $\mu$ s	125kHz	312.5kHz
20MHz	4×	16×	バイパス	部分的にフィルタ処理	4.175 $\mu$ s	20.4 $\mu$ s	70.3125kHz	312.5kHz
20MHz	4×	16×	2×	完全にフィルタ処理	3.1 $\mu$ s	174 $\mu$ s	62.5kHz	156.25kHz
20MHz	4×	32×	バイパス	部分的にフィルタ処理	7.325 $\mu$ s	39.6 $\mu$ s	35.156kHz	156.25kHz
20MHz	4×	32×	2×	完全にフィルタ処理	4.65 $\mu$ s	346.8 $\mu$ s	31.25kHz	78.125kHz
12.288MHz	4×	8×	2×	完全にフィルタ処理	3.66 $\mu$ s	142.6 $\mu$ s	76.8kHz	192kHz
12.288MHz	4×	16×	2×	完全にフィルタ処理	5.05 $\mu$ s	283.2 $\mu$ s	38.4kHz	96kHz
12.288MHz	4×	32×	バイパス	部分的にフィルタ処理	11.92 $\mu$ s	64.45 $\mu$ s	21.6kHz	96kHz
12.288MHz	4×	32×	2×	完全にフィルタ処理	7.57 $\mu$ s	564.5 $\mu$ s	19.2kHz	48kHz

## AD7763のインターフェース

### SPIインターフェースによるデータの読出し

図2のタイミング図に、AD7763がSPI互換のシリアル・インターフェースを使用して、変換結果を送信する方法を示します。

AD7763から読み出されているデータは、シリアル・クロック出力SCOを使用してクロック出力されます。SCO周波数は、シリアル・クロック出力レート・ピンSCRの状態と、クロック分周ピンCDIVの状態によって選択されたクロック分周モードに依存します（「AD7763へのクロック供給」を参照）。表7に、AD7763のSCO周波数とICLK周波数を示します。これらは、CDIVピンとSCRピンの状態から得られます。

表7. SCO周波数

クロック分周モード	CDIV	SCR	SCO周波数	ICLK周波数
1分周	1	0	MCLK	MCLK
		1	MCLK	MCLK
2分周	0	0	MCLK/2	MCLK/2
		1	MCLK <sup>1</sup>	MCLK/2

<sup>1</sup> 32倍のデシメーション・モードでは、図2に示すように、CDIV=0でSCR=1のとき、FSOは、32のSCOクロック・サイクルの間、ローのパルスを出力します。32倍のデシメーション・モードにおいて、CDIVとSCRのその他すべての組み合わせでは、FSOは常にローレベルです。

データ・レディ出力DRDYにおいて、1SCOの周期にわたってアクティブ・ロー・パルスが出力されると、AD7763のシリアル・データ出力SDOにおいて新しい変換結果が有効になることを示します。

新しい変換結果の各ビットは、SCO立上がりエッジでSDOラインにクロック出力され、SCO立下がりエッジで有効になります（SCP=0の場合）。変換結果は、SCOクロックで32サイクルに及び、2の補数の24個のデータビットと、それに続く7個のステータス・ビットから構成されます。

D6	D5	D4	D3	D2	D1	D0
ADR2	ADR1	ADR0	DVALID	OVR	LPWR	FILTER_OK

SDOライン上の変換結果出力は、フレーム同期出力FSOによってフレーミングされます。FSOは、DRDY信号の立上がりエッジに続いて、32SCOサイクルにわたってロジック・ローになります。なお、SDOラインが1クロック・サイクルにわたってスリーステートになってから、FSO信号がロジック・ハイに戻ります。つまり、各変換で実際に出力されるデータビットは、わずか31個です。

最初の3つのステータス・ビットADR[2:0]は、デバイスのアドレス・ビットです。SDOラインにクロック出力されているデータが有効になると、DVALIDビットがアサートされます。他のステータス・ビット（OVR、LPWR、FILTER\_OK）の説明については、表19に記載しています。

AD7763が32倍のデシメーション・モードで動作する場合、FSOの動作に1つの例外があります（表7の注1を参照）。SCRとCDIVの選択によって、次の変換結果のMSBが出力される前に、SCO周波数出力がSCOの32サイクルだけクロック・スルーできる場合、FSOは継続的にロジック・ローにとどまります。

AD7763には、16個のデータビットごとにパルスを出力する、シリアル・データ・ラッチ出力SDLも備わっています。このSDL出力は、32ビットごとよりも頻度の高いフレーミング信号を必要とするシリアル転送で、代替のフレーミング信号として使用できます。

### 同期

AD7763へのSYNC入力には同期機能があるため、それを使用して既知の時点からアナログ・フロントエンド入力のサンプルの収集を開始できます。

SYNC機能を使用すれば、同じマスター・クロックで動作し、かつ同じSYNC信号を使用する複数のAD7763の同期をとって、各ADCがその出力レジスタを同時に更新するようにできます。

システム内のすべてのAD7763デバイスに共通のSYNC信号を使用すれば、同期をとることができます。SYNC信号の立下がりエッジで、デジタル・フィルタ・シーケンサは0にリセットされます。フィルタは、SCOの立上がりエッジがSYNCのハイレベルを検出するまで、リセット状態に保持されます。したがって、デバイスの同期を実行するため、SCOの立下がりエッジに同期して、最小長さがICLKの2.5サイクルのSYNCパルスを印加できます。SYNCがロジック・ハイになった後のSCOの最初の立上がりエッジで、フィルタはリセット状態を抜け出し、複数のデバイスが同期して入力サンプルを収集します。

SYNCの後にAD7763から有効なデータを読み出すには、その前にデジタル・フィルタがセトリングするための時間が必要です。各変換結果とともに出力されるDVALIDステータス・ビット（ステータス・ビット・リストのD3を参照）をチェックすることによって、SDOラインに有効なデータがあることがわかります。SYNCの立上がりエッジからDVALIDビットがアサートされるまでの時間は、使用するフィルタ設定に依存します。DVALIDがアサートされるまでの時間の計算方法については、「動作原理」と表6に記載した数値を参照してください。

### シリアル・バスの共有

AD7763の機能を使用すれば、選択したデシメーション・レートに応じて、最高8つのデバイスで同じシリアル・バスSDOを共有できます。

表8に、デシメーション・レート（×32、×64、×128、×256）ごとに同じSDOラインを共有できるデバイスの最大数を示します。

表8. SDOを共有するデバイスの最大数

	SCO (MHz)	デシメーション・レート			
		×32	×64	×128	×256
SDOを共有する	40	2	4	8	8
デバイスの最大数	20	N/A	2	4	8

シリアル・バスを共有している全デバイスの共有ピンSH[2:0]に、シリアル・バスを共有しているデバイスの数を設定する必要があります。

# AD7763

アドレス・ピンADR[2:0]を使用すれば、シリアル・バスを共有する全デバイスに、共有方式でのデバイス数に応じて、000～111の2進アドレスが割り当てられます。各デバイスに割り当てられるアドレスの値は、シリアル・バスを共有するデバイスの数より大きな値にはできません。したがって、ADR[2:0] ≤ SH[2:0]です。これは、シリアル・バスを共有する全デバイスに適用されます。また、共有方式での各デバイスは、異なるアドレスを持つ必要があります。

アドレス000を持つ共有方式のデバイスでは、SDOラインはDRDYパルス後のSCOの最初の立上がりエッジでスリーステートを抜け出し、31番目のSCO立上がりエッジでスリーステートに戻ります。シリアル・バスを共有する次のデバイス（アドレス001）では、SDOラインは33番目のSCO立上がりエッジ（つまり、次の変換出力サイクルの最初のSCO立上がりエッジ）でスリーステートを抜け出します。したがって、SDOラインを共有する2つの異なるデバイスによってデータがSDOにクロック供給される合間に、SDOラインはSCOの1サイクルにわたってスリーステートになります。つまり、バス競合の問題は回避されます。この動作パターンは、シリアル・バスを共有する残りのデバイスでも継続されます。

シリアル・バスを共有する各AD7763デバイスは、専用のFSO信号を出力します。

図26に、同じシリアル・バスを共有する4つのデバイスの例を示します。図26に示す共有チェーン内の全デバイスは、64倍のデシメーション・モード（コントロール・レジスタ1、アドレス0x001への書き込みによって選択）で動作し、40MHzの最大SCO信号を使用します（「AD7763へのクロック供給」を参照）。

図26に示す全デバイスの共有ピンSH[2:0]は、共有設定にある4つのデバイスに対応して、011に設定されます。各AD7763には、アドレス・ピンADR[2:0]を使用して、000～011の異なる2進アドレスがハードワイヤードされています。

図4に、図26の共有設定用の詳細なタイミング図を示します。デバイスAは、「SPIインターフェースによるデータの読出し」に示すフォーマットに従って、SCOの最初の32サイクル中に、32ビットの変換結果をSDOラインに出力します。デバイスBは、SCOの次の32サイクル中に、その変換結果を出力します。デバイスCとデバイスDも同様に動作します。SDOラインがスリーステートになり、シリアル・バスを共有する各デバイスからデータを分離する方法に注目してください。2つのフレーミング信号（DRDYとFSO）の機能によりAD7763は柔軟なデータ出力フレーミング・オプションを提供できるようになっていますが、このオプションは、SDL出力を使用することでさらに強化されます。アプリケーションに最も適したフレーミング出力を選択してください。

## AD7763への書き込み

図3に、AD7763への書き込み動作を示します。シリアル書き込み動作は、SCO信号に同期しています。フレーム同期入力FSIのステータスは、SCO信号の立上がりエッジでチェックされます。FSIラインがローレベルの場合、最初のデータは、次のSCO立上がりエッジでラッチされます。

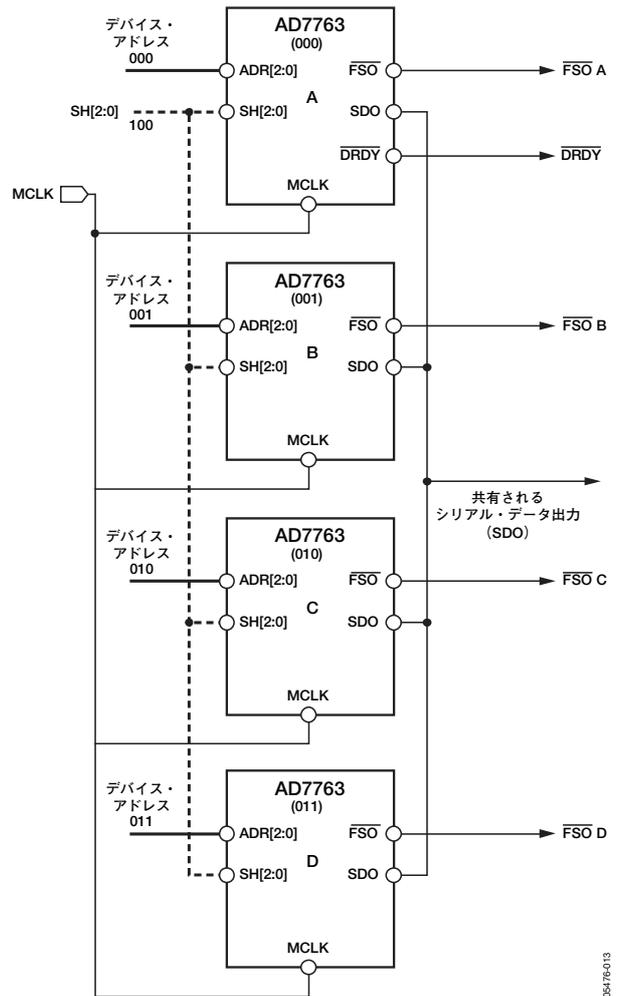


図26. シリアル・バスを共有する4つのAD7763デバイス

FSI信号のアクティブ・エッジは、SCO信号がハイレベルまたはローレベルであり、しかもSCO立下がりエッジからのセットアップ/ホールド時間を満たす位置で発生するように設定します。FSI信号の幅は、SCOの1周期幅とSCOの32周期幅の間に設定できます。SCOの32周期が経過する前に発生する2番目以降のFSI立下がりエッジは無視されます。

図3には、AD7763に書き込まれるシリアル・データのフォーマットも示します。書き込み動作には32ビットが必要です。最初の16ビットでは、データ書き込みの対象となるデバイスとレジスタ・アドレスを選択します。2番目の16ビットには、選択したレジスタ用のデータが含まれています。同じシリアル・バスを共有する複数のデバイスを使用する場合、すべてのFSOピンとSDIピンを相互に接続し、32ビットのシリアル・ワードに適切なアドレス・ビットを設定することによって、各デバイスに個別に書き込みを行うことが可能です。例外として、ALLビットをロジック・ハイに設定することによって、全デバイスに同時に書き込みを行うこともできます。

したがって、ALLビットがロジック・ハイに設定された場合、アドレス・ビットとは無関係に、シリアル・バス上のどのデバイスも書き込まれたデータを受け取ります。たとえば、4つのデバイスが同一のユーザ定義フィルタで設定されている場合、この機能は特に有効です。フィルタ設定を4回ダウンロードする必要がなく、1回の書き込みだけで済みます。詳細については「ユーザ定義フィルタのダウンロード」を参照してください。

AD7763への書き込みはいつでも可能であり、変換結果の読出し時にも可能です。なお、デバイスに書き込みが行われた後、フィルタのセトリング時間が経過するまでは、有効なデータは出力されません。フィルタがセトリングして出力から有効なデータが得られることを示すために、この時点でDVALIDステータス・ビットがアサートされます。

### ステータス・レジスタなどの読出し

AD7763は多くのプログラマブル・レジスタを備えています。これらのレジスタやステータス・レジスタの内容を読み出すには、最初にデバイスのコントロール・レジスタに書き込み、読み出すレジスタに対応するビットをセットします。次の読出し動作では変換結果ではなく選択したレジスタの内容が出力されます。

書き込まれたレジスタの内容が次の読出しサイクルで有効となるようにするには、次の読出しサイクルの開始を示す $\overline{\text{DRDY}}$ の立下がりエッジより少なくとも $8 \times t_{\text{sco}}$ 前に、当該レジスタへの書き込み動作が完了している必要があります。

コントロール・レジスタ内の関連するビットの詳細については、「レジスタ」を参照してください。

# AD7763

## I<sup>2</sup>Sインターフェースによるデータの読出し

AD7763はI<sup>2</sup>Sインターフェースを使用した動作が可能です。このインターフェースは、ステレオ・データの出力にのみ有効であり、コントロール・レジスタへの書込み、デジタル・フィルタの係数の設定、AD7763の内蔵レジスタに含まれる情報の読出しには適用できません。このようなすべての動作は、通常のシリアル・インターフェースを使用して行ってください。

I<sup>2</sup>Sインターフェースは、2つのAD7763デバイスを使用して動作します。表9に示すピンは、I<sup>2</sup>Sインターフェース用のSCK（シリアル・クロック）信号、SD（シリアル・データ）信号、およびWS（ワード・セレクト）信号の出力ピンとして使用されます。

表9

SPIピン	I <sup>2</sup> S信号
FSO	WS
SDO	SD
SCO	SCK

I<sup>2</sup>Sインターフェースをイネーブルにするには、I<sup>2</sup>Sピンをロジック・ハイに設定します。I<sup>2</sup>Sインターフェースを使用する2つのAD7763デバイスの共有ピンSH[2:0]は、001に設定します。2つのデバイスのアドレス・ピンADR[2:0]も、それぞれ000と001に設定してください。

インターフェースに使用されるWS信号とSCK信号は、どのAD7763デバイスからでも得られます。なお、アドレス000が割り当てられたデバイスは左チャンネルと定義され、そのデータはWSがロジック・ローのときにSDラインに出力されます。

WS信号とSCK信号は、I<sup>2</sup>Sインターフェースを使用してAD7763デバイスのいずれか一方の適切なピンから得られます。図27に示すように、2つのデバイスのSDピンは、相互に接続してください。

データは、図28に基づいてSDラインにクロック出力されます。デバイスAにはアドレス000が割り当てられているため、左チャンネルと定義されます。左チャンネルからの32ビットの変換結果は、WSがロジック・ローのときに、MSBファーストでクロック出力されます。32ビットの各結果は、次のビットマップに示すように、2の補数の24個のデータビットと、それに続く8個のステータス・ビットから構成されます。

D7	D6	D5	D4	D3	D2	D1	D0
DVALID	OVR	UFILTER	LPWR	FILTER_OK	ADR0	0	スリーステート

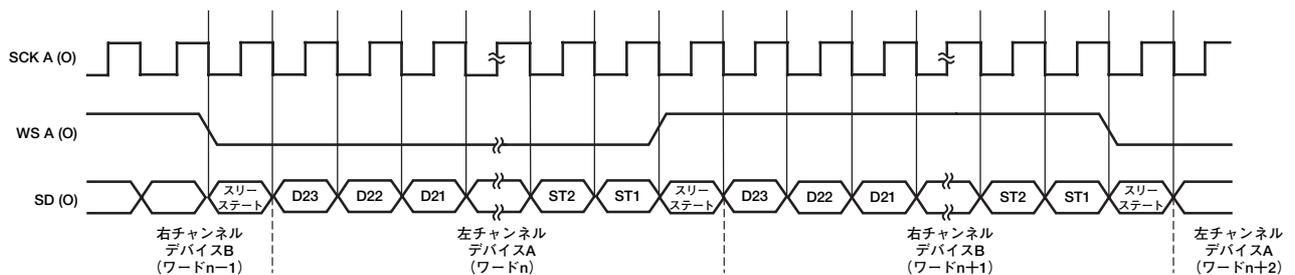


図28. I<sup>2</sup>Sインターフェースのタイミング図

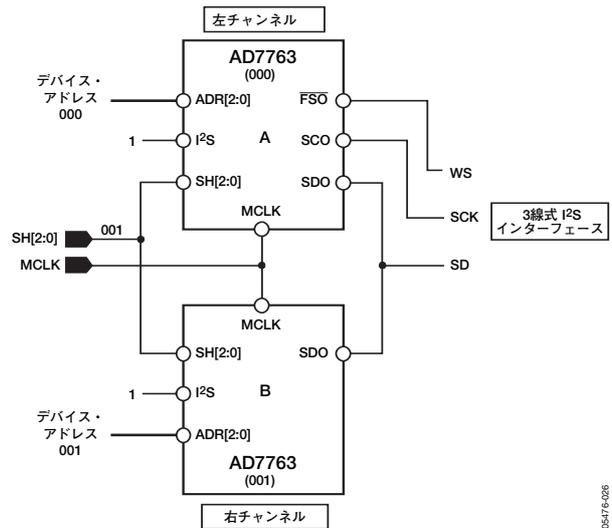


図27. I<sup>2</sup>Sインターフェースを使用して動作する2つのAD7763デバイス

アドレス001が割り当てられたデバイスBからの変換結果は、WSがロジック・ハイのときに、SDラインにクロック出力されます。SDラインは、WSの立下がりエッジ後の32番目のSCKの立下がりエッジ（左チャンネルのデータ）と、WSの立上がりエッジ後の32番目のSCKの立下がりエッジ（右チャンネルのデータ）でスリーステートに入ります。これにより、左チャンネルと右チャンネルのデバイス間で、競合なしにSDバスのスワッピングが可能になります。

32倍のデシメーション・モードでは、I<sup>2</sup>Sインターフェースは、CDIV=0かつSCR=1のときにのみ動作可能です。その他のデシメーション・モードでは、SCRとCDIVがどのような組み合わせでも動作します。

DRDYパルスは、通常のシリアルSPI型インターフェースの場合と同じように動作し、WSの立下がりエッジの直前にローのパルスを出力しますが、I<sup>2</sup>Sインターフェース仕様では意味を持ちません。

## AD7763へのクロック供給

AD7763は、低ジッタの外付けクロック源を必要とします。この信号はMCLKピンに印加され、MCLKGNDピンがクロック源からグラウンドを検出します。内部クロック信号 (ICLK) は、MCLK入力信号から得られ、AD7763の内部動作を制御します。ICLKの最大周波数は20MHzですが、内部クロック・デバイダによって、一定範囲のMCLK周波数を使用できます。ICLKを生成するには2つの方法があります。

$$\begin{aligned} ICLK &= MCLK (\overline{CDIV} = 1) \\ ICLK &= MCLK/2 (\overline{CDIV} = 0) \end{aligned}$$

このオプションは、ピンで選択可能です (58番ピン)。パワーアップ時には、デバイスが40MHzの最大MCLK周波数に対処できるように、デフォルトでICLK=MCLK/2となります。出力データレートをオーディオ・システムに合わせるには、12.288MHzのICLK周波数を使用できます。表6に示すように、このICLK周波数では192kHz、96kHz、48kHzの出力データレートを実現できます。前述のように、このICLK周波数はさまざまなMCLK周波数から生成できます。

MCLKジッタの条件は多くの要因に依存し、次の式で表すことができます。

$$t_{j(rms)} = \frac{\sqrt{OSR}}{2 \times \pi \times f_{IN} \times 10^{\frac{SNR(dB)}{20}}}$$

ここで、

$$OSR = \text{オーバーサンプリング比} = \frac{f_{ICLK}}{ODR}$$

$f_{IN}$  = 最大入力周波数

SNR (dB) = 目標S/N比

### 例1

この例は、表6に基づいています。

ODR = 625kHz

$f_{ICLK}$  = 20MHz

$f_{IN}$  (最大) = 250kHz

SNR = 108dB

$$t_{j(rms)} = \frac{\sqrt{32}}{2 \times \pi \times 250 \times 10^3 \times 10^6} = 3.6\text{ps}$$

これは、与えられたICLKと出力データレートでフルスケールの250kHz入力トーンを得るための最大許容クロック・ジッタです。

### 例2

2番目の例も、表6に基づいています。

ODR = 48kHz

$f_{ICLK}$  = 12.288MHz

$f_{IN}$  (最大) = 19.2kHz

SNR = 120dB

$$t_{j(rms)} = \frac{\sqrt{256}}{2 \times \pi \times 19.2 \times 10^3 \times 10^6} = 133\text{ps}$$

入力振幅は、これらのジッタ値にも影響を与えます。たとえば、入力レベルがフルスケールを3dB下回った場合、許容可能なジッタは $\sqrt{2}$ 倍に増えるため、最初の例では2.53ps rmsになります。これは、振幅の減少によって最大スルーレートが低下したときに発生します。図29と図30にこのポイントを示します (同じ周波数のサイン波の最大スルーレートですが、振幅が異なります)。

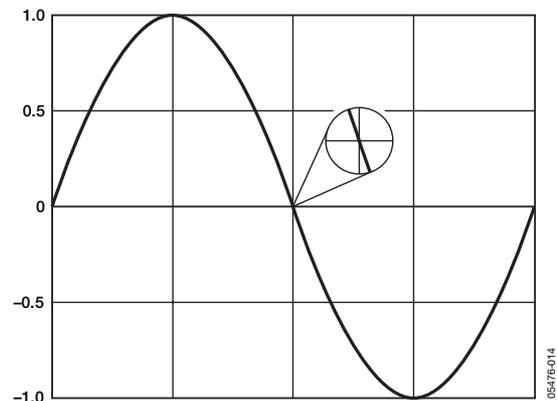


図29. サイン波の最大スルーレート  
(振幅=2V p-p)

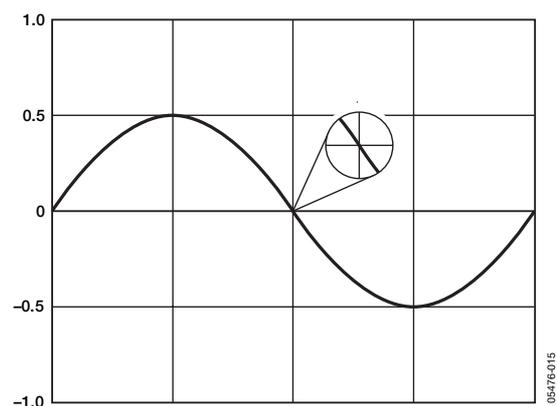


図30. 同じ周波数のサイン波の最大スルーレート  
(振幅=1V p-p)

## AD7763の駆動

AD7763のオンチップ差動アンプは、3.15~5.25Vの電源電圧 ( $AV_{DD3}$ ) で動作します。4.096Vリファレンスの場合、電源電圧は5Vでなければなりません。

ノーマル・モードで仕様性能を達成するには、図31に示すように、差動アンプは1次アンチエイリアス・フィルタとして構成してください。追加のフィルタリングは、先行する段でAD8021などの低ノイズで高性能なオペアンプを使用して実行してください。

表10に、1次フィルタに適切な部品値を示します。この値を使用すると、19MHzという最初のエイリアス・ポイントで10dBの減衰が生じます。

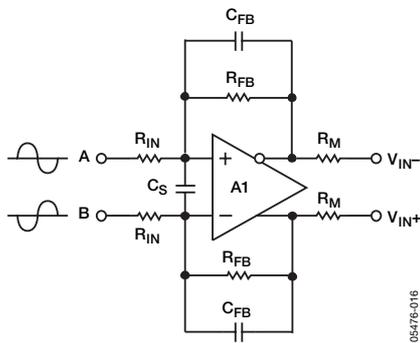


図31. 差動アンプの構成

表10. ノーマル・モードの部品値

$V_{REF}$	$R_{IN}$	$R_{FB}$	$R_M$	$C_S$	$C_{FB}$
4.096V	1k $\Omega$	655 $\Omega$	18 $\Omega$	5.6pF	33pF

図32に、図18の回路を構成し、表10の部品値と条件を用いて、グラウンドを中心にバイアスされた $\pm 2.5V$ の入力信号をシグナル・コンディショニングした結果を示します。

この差動アンプ回路では、最適なコモン・モード電圧  $V_{REF}/2$  (この場合は2.048V) を持つようにバイアスされた信号が出力されます。信号振幅も、この部品表の値で最大許容電圧振幅が得られるようにスケールされています。これは  $V_{REF}$  の80%、つまり各入力で  $0.8 \times 4.096V = \text{約} 3.275V$  p-p と計算されます。

AD7763から最大の性能を得るには、差動信号でADCを駆動することを推奨します。図33は、AD8021などの外付けオペアンプを使用して、グラウンドを中心にバイアスされたバイポーラのシングルエンド信号でAD7763を駆動する方法を示します。

4.096Vリファレンスでは、リファレンス・バッファ ( $AV_{DD4}$ ) 用電源に5Vを供給する必要があります。2.5Vリファレンスでは、 $AV_{DD4}$  に3.3V電源を供給してください。

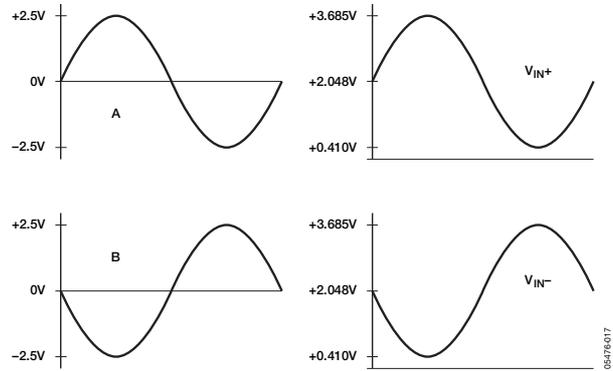


図32. 差動アンプのシグナル・コンディショニング

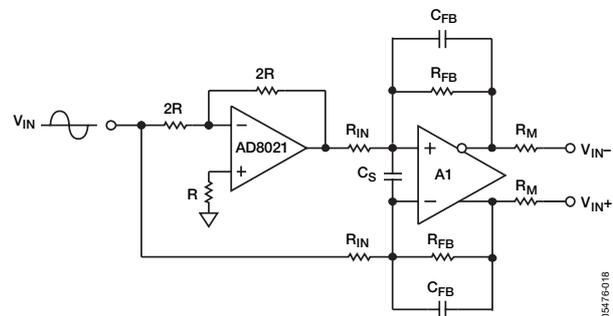


図33. シングルエンド/差動変換

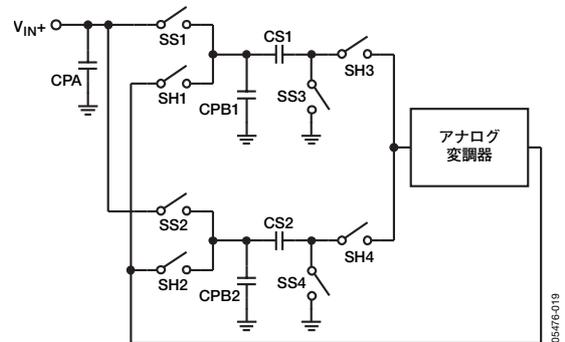


図34. 等価な入力回路

図34に示すように、AD7763では二重サンプリング・フロントエンドを使用します。わかりやすくするために、 $V_{IN+}$  に対する等価入力回路のみを示します。 $V_{IN-}$  に対する等価入力回路も同じです。

サンプリング・スイッチSS1とSS3は $\overline{\text{ICLK}}$ によって駆動され、サンプリング・スイッチSS2とSS4は $\text{ICLK}$ によって駆動されます。 $\text{ICLK}$ がハイレベルのとき、アナログ入力電圧はCS1に接続されます。 $\text{ICLK}$ の立下がりエッジで、スイッチSS1とSS3が開き、アナログ入力はCS1でサンプリングされます。同様に、 $\text{ICLK}$ がローレベルのとき、アナログ入力電圧はCS2に接続されます。 $\text{ICLK}$ の立上がりエッジで、スイッチSS2とSS4が開き、アナログ入力はCS2でサンプリングされます。

コンデンサCPA、CPB1、CPB2は、MOSスイッチに付随する接合容量などの寄生容量を表します。

表11. 等価な部品値

モード	CS1	CS2	CPA	CPB1/CPB2
ノーマル	51pF	51pF	12pF	20pF
低消費電力	13pF	13pF	12pF	5pF

## AD7763の使い方

AD7763をパワーアップして使用するには、以下の手順に従ってください。

1. 電源を投入します。
2. クロック発振器を起動してMCLKを印加します。
3. MCLKの少なくとも1サイクルの間、 $\overline{\text{RESET}}$ をローレベルにします。
4.  $\overline{\text{RESET}}$ が解放された後、MCLKの少なくとも2サイクルの間は待機します。
5. 必要に応じてコントロール・レジスタ2に書き込み、ADCと差動アンプをパワーアップします。
6. コントロール・レジスタ1に書き込み、出力データレートを設定します。
7. 複数のデバイスが同期している状況では、デバイスに $\overline{\text{SYNC}}$ パルスを印加する必要があります。それ以外の場合は、 $\overline{\text{SYNC}}$ パルスは不要です。

次に、 $\overline{\text{SYNC}}$ パルスを印加するための条件を示します。

- $\overline{\text{SYNC}}$ パルスのデバイスへの発行が、デバイスへの書き込みと同時にないようにしてください。
- デバイスへの前回の書き込みがロジック・ハイに戻っているため、 $\overline{\text{FSI}}$ 信号の後で、 $\overline{\text{SYNC}}$ パルスを $\text{ICLK}$ の少なくとも2.5サイクルにわたって印加してください。
- $\overline{\text{SYNC}}$ パルスは、 $\text{ICLK}$ の少なくとも2.5サイクルの間はローレベルにします。

これで、デフォルトのフィルタ値、オフセット値、ゲイン値、オーバーレンジ・スレッシュホールド値を使用して、デバイスからデータを読み出すことができます。ただし、フィルタのセトリング時間が経過するまでは、読み出される変換データは有効となりません。セトリング時間が経過すると、DVALIDビットがセットされ、データが有効であることを示します。

その後、必要ならばユーザー定義フィルタをダウンロードできます（「ユーザー定義フィルタのダウンロード」を参照）。この段階で、ゲイン・レジスタ、オフセット・レジスタ、オーバーレンジ・スレッシュホールド・レジスタの値を読み取ることができます。

## バイアス抵抗の選択

AD7763では、 $R_{\text{BIAS}}$ ピンとAGNDとの間に抵抗を接続します。この抵抗の値は、デバイスに印加されるリファレンス電圧に依存します。抵抗値の選択に際しては、抵抗を通じてグラウンドに25 $\mu\text{A}$ の電流を供給するようにします。2.5Vリファレンス電圧の場合、正しい抵抗値は100k $\Omega$ です。4.096Vリファレンス電圧の場合、正しい抵抗値は160k $\Omega$ です。

# AD7763

## 推奨されるデカップリングとレイアウト

AD7763は高性能であるため、このデータシートに記載された性能を得るには、正しいデカップリング/レイアウト技術が要求されます。図35に、AD7763の簡略接続図を示します。

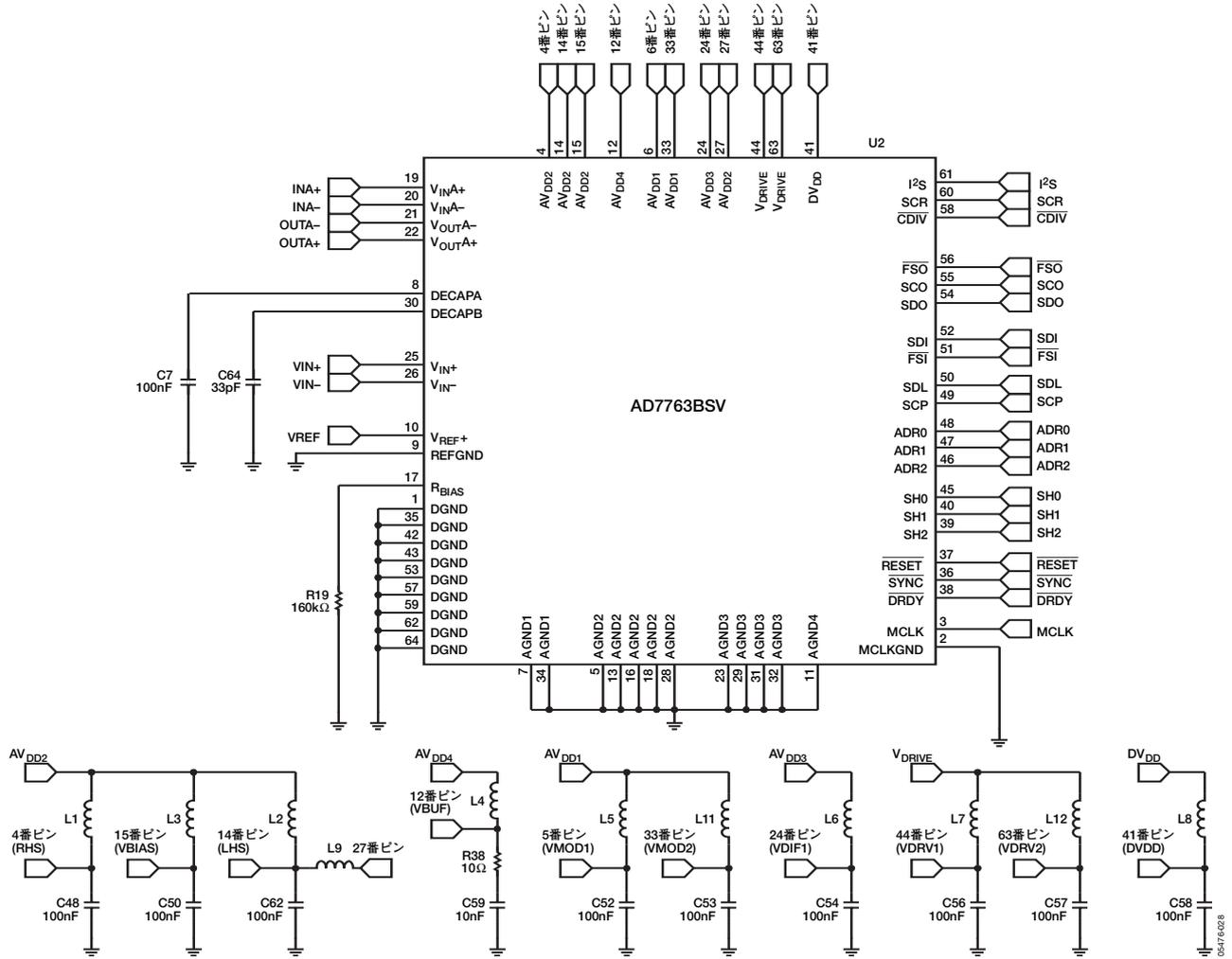


図35. 簡略接続図

## 電源のデカップリング

すべての電源ピンは、フェライト・ビーズを介して適切な電源に接続し、100nF、0603ケース・サイズのX7R誘電体コンデンサで正しいグラウンド・ピンにデカップリングします。これには2つの例外があります。

- 12番ピン ( $AV_{DD4}$ ) では、ピンと10nFデカップリング・コンデンサとの間に10 $\Omega$ 抵抗を挿入します。
- 27番ピン ( $AV_{DD2}$ ) では、電源への別個のデカップリング・コンデンサも直接接続も必要としませんが、8.2nHのインダクタを介して14番ピンに接続します。

各電源ピンを適切な電源と接続するために使用するフェライト・ビーズは、約100MHzの周波数で600 $\Omega$ ~1M $\Omega$ の特性インピーダンス、1 $\Omega$ 以下のDCインピーダンス、200mAの定格電流を持っているものを選びます。

## その他のデカップリング

AD7763には、この他に8番ピン (DECAPA) と30番ピン (DECAPB) という、2本のデカップリング・ピンがあります。8番ピンは100nFコンデンサでデカップリングしてください。30番ピンには33pFコンデンサが必要です。

## リファレンス電圧のフィルタリング

AD7763では、ADR431 (2.5V) やADR434 (4.096V) などの低ノイズのリファレンス源を使用してください。AD7763に供給されるリファレンス電圧には、図36に示すようなデカップリングとフィルタリングが必要です。

リファレンス電圧電源に対しては、100 $\Omega$ の直列抵抗を100 $\mu$ Fのタンタル・コンデンサに接続し、その後10 $\Omega$ の直列抵抗を接続し、最後に $V_{REF}$ ピンの直近に10nFのデカップリング・コンデンサを接続することを推奨します。

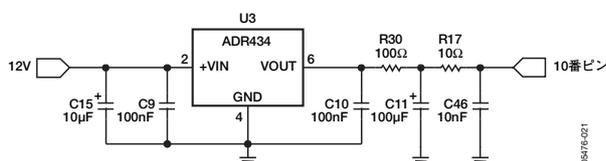


図36. リファレンスの接続

## 差動アンプの部品

オンチップ差動アンプの周辺で使用する部品については、表10を参照してください。アンプに印加される信号の歪みを最小限に抑えるには、差動アンプの両側での部品のマッチングが重要です。これらの部品の許容誤差は0.1%以内に抑える必要があります。本データシート記載の性能を達成するには、差動アンプの両側でトラックの配線を対称にするとよいでしょう。

## 露出パドル

AD7763の64ピンTQFP\_EPには、6mm×6mmの露出パドルがあります(図39を参照)。このパドルは、PCボードに低熱抵抗のバスを提供することでパッケージの熱抵抗を低減し、さらにAD7763パッケージからの熱伝導効率を高めています。AD7763パッケージで最高の仕様を達成するためには、露出パドルをPCボードのAGNDプレーンにハンダ付けすることが重要です。

## レイアウトの考慮事項

最適な性能を達成するには、正しい部品を使用するだけでなく、正しいレイアウトも不可欠です。アナログ・デバイセズのウェブサイトにあるAD7763製品ページの「設計ツール」には、AD7763評価用ボード向けのガーバー・ファイルが含まれています。AD7763を使用してシステムを設計する場合、これらのファイルを参照してください。

前述のいくつかの部品については位置と向きが非常に重要ですが、AD7763の近くに配置する部品には特に注意してください。これらの部品をデバイスから遠ざけて配置すると、最大の性能を得られない場合があります。

グラウンド・プレーンの使用についても注意が必要です。デカップリング・コンデンサを経由するリターン電流が正しいグラウンド・ピンに流れるようにするには、コンデンサのグラウンド側を、その電源に対応するグラウンド・ピンのできるだけ近くに置きます。グラウンド・プレーンを使用したリターン電流の経路は容易に予測できないため、デカップリング・コンデンサ用の唯一のリターン・パスとしてグラウンド・プレーンを使用することは避けた方がよいでしょう。

## プログラマブルFIRフィルタ

「動作原理」の項で説明したように、AD7763の3番目のFIRフィルタは、ユーザが設定できます。表12に、リセット時にロードされるデフォルトの係数を示します。これは、図37に示す周波数応答を与えます。図37に示す周波数は、出力データレートに応じてスケールリングされます。

表12. デフォルトのフィルタ係数

#	10進値	16進値	#	10進値	16進値
0	+53656736	332BCA0	24	+700847	AB1AF
1	+25142688	17FA5A0	25	-70922	401150A
2	-4497814	444A196	26	-583959	408E917
3	-11935847	4B62067	27	-175934	402AF3E
4	-1313841	4140C31	28	+388667	5EE3B
5	+6976334	6A734E	29	+294000	47C70
6	+3268059	31DDDB	30	-183250	402CBD2
7	-3794610	439E6B2	31	-302597	4049E05
8	-3747402	4392E4A	32	+16034	3EA2
9	+1509849	1709D9	33	+238315	3A2EB
10	+3428088	344EF8	34	+88266	158CA
11	+80255	1397F	35	-143205	4022F65
12	-2672124	428C5FC	36	-128919	401F797
13	-1056628	4101F74	37	+51794	CA52
14	+1741563	1A92FB	38	+121875	1DC13
15	+1502200	16EBF8	39	+16426	402A
16	-835960	40CC178	40	-90524	401619C
17	-1528400	4175250	41	-63899	400F99B
18	+93626	16DBA	42	+45234	B0B2
19	+1269502	135EFE	43	+114720	1C020
20	+411245	6466D	44	+102357	18FD5
21	-864038	40D2F26	45	+52669	CDBD
22	-664622	40A242E	46	+15559	3CC7
23	+434489	6A139	47	+1963	7AB

大部分のアプリケーションには、デフォルト・フィルタで十分です。デフォルト・フィルタは、対称なインパルス応答を持つ標準のブリック・ウォール・フィルタです。デフォルト・フィルタは、長さが96タップで、ノンエイリアシングであり、ナイキスト周波数において120dBの減衰量があります。このフィルタは、信号のアンチエイリアシングを行うだけでなく、A/D変換プロセスによって生成される帯域外量子化ノイズを抑制します。デフォルト・フィルタと比較してストップバンド減衰量や遷移帯域幅を大幅に緩和すると、S/N比仕様を満たせなくなることがあります。

ユーザ定義フィルタを作成するには、以下のことに注意してください。

- フィルタは、均一な対称FIRとします。
- 係数は27ビット長で、すべて符号付き絶対値フォーマットです。正=0としてコード化された符号ビットの後に、26個の絶対値ビットが続きます。
- フィルタ長は、12刻みで12~96タップとします。
- フィルタは対称であるため、ダウンロードする必要のある係数の数は、フィルタ長の半分です。一例として、デフォルトのフィルタ係数では、96タップのフィルタに対して48個の係数のみを記載しています。
- 係数は、インパルス応答の中心（対称点に隣接）から外側に向かって書き込まれます。
- 係数は、フィルタの帯域内ゲインが134217726になるようにスケールリングされます（係数は最も近い整数に丸められます）。ローパス・フィルタの場合、これはハーフインパルス応答の係数セット（最大48個の係数）について+67108863 (0x3FF FFFF) の正値まで係数の算術和（符号を含む）をとることに相当します。ここからずれるとゲイン誤差を招きます。

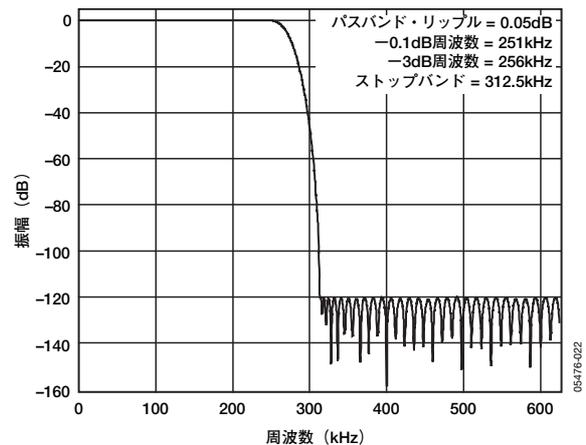


図37. デフォルト・フィルタの周波数応答 (625kHz ODR)

ユーザ定義フィルタのダウンロードについては、「ユーザ定義フィルタのダウンロード」を参照してください。

## ユーザ定義フィルタのダウンロード

「プログラマブルFIRフィルタ」の項で述べたように、各フィルタ係数の長さは27ビットであり、1個の符号ビットと26個の絶対値ビットで構成されます。ユーザ固有のFIRフィルタの係数をダウンロードするには、係数ごとに32ビット・ワードをAD7763に書き込みます。

D31	D30	D29	D28	D27	D26	D[25:0]
ALL	ADR2	ADR1	ADR0	0	符号	絶対値

ユーザが1つのデバイスに係数を書き込むとき、そのデバイス(ADR[2:0]ピンによって割り当てられる)のアドレスは、ADR[2:0]というラベルの付いたビットで指定します。

複数のデバイスが同じSDIラインを共有する設定では、ALLビットをロジック・ハイに設定し、アドレス・ビットADR[2:0]をロジック・ローのままにしておくと、全デバイスに同時に各係数を書き込むことができます。

フィルタが正しくダウンロードされるようにするには、チェックサムを生成し、それを最後の係数の後にダウンロードします。チェックサムは16ビット・ワードであり、各32ビット・ワードを4つのバイトに分割し、全係数からの全バイトを最大192バイト(48個の係数×4バイト)まで合計することにより生成されます。

チェックサムは、次のフォーマットで、32ビット・ワードの形式でデバイスに書き込まれます。

D31	D30	D29	D28	D[27:16]	D[15:0]
ALL	ADR2	ADR1	ADR0	0	チェックサム

なお、チェックサムを書き込む際には、アドレッシング条件は前と同様であり、ビット27～16はすべて0に設定されます。

同じチェックサムが、AD7763で内部的に生成され、ダウンロードされたチェックサムと比較されます。2つのチェックサムが一致した場合、ステータス・レジスタのDL\_OKビットがセットされます。

ユーザ定義フィルタをダウンロードするには：

1. コントロール・レジスタ1に書き込み、DL Filtビットをセットします。正しいフィルタ長ビットFLEN[3:0]は、ダウンロードされるフィルタの長さ(表13を参照)と正しいデシメーション・レートに対応します。
2. 指定のフォーマットに従って、32ビット・ワードを書き込みます。最初に書き込む係数は、フィルタ対称点に隣接する係数とします。
3. 係数ごとにステップ2を繰り返します。
4. 指定のフォーマットに従って、チェックサム書き込みを実行します。
5. 以下の方法を使用して、フィルタ係数が正しくダウンロードされたことを確認します。
  - ステータス・レジスタを読み出し、DL\_OKビットをチェックします。
  - データの読出しを開始し、DL\_OKビットのステータスを観察します。

なお、ユーザ係数はRAMに格納されるため、RESET動作や停電の後ではクリアされます。

表13. フィルタ長の値

FLEN[3:0]	係数の数	フィルタ長
0000	デフォルト	デフォルト
0001	6	12
0011	12	24
0101	18	36
0111	24	48
1001	30	60
1011	36	72
1101	42	84
1111	48	96

## フィルタのダウンロード例

次に、24のタップを持つ短いユーザ定義フィルタのダウンロード例を示します。図38は周波数応答を示します。

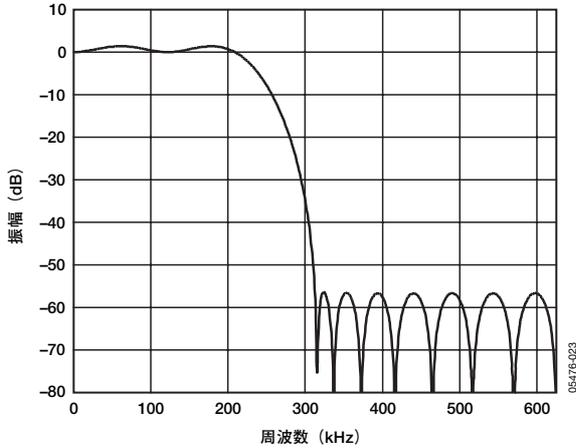


図38. 24タップFIRの周波数応答

表14に示すフィルタの係数は、対称中心から外側に向けて並んでいます。つまり、係数1は対称中心にある係数です。市販のフィルタ設計ツールを使用して生の係数が生成され、その合計が67108863 (0x3FF FFFF) になるように、適切にスケールリングされました。

表14. 24タップFIRの係数

係数	生	スケールリング済み
1	+0.365481974	+53188232
2	+0.201339905	+29300796
3	+0.009636604	+1402406
4	-0.075708848	-11017834
5	-0.042856209	-6236822
6	+0.019944246	+2902466
7	+0.036437914	+5302774
8	+0.007592007	+1104856
9	-0.021556583	-3137108
10	-0.024888355	-3621978
11	-0.012379538	-1801582
12	-0.001905756	-277343

表15は、このフィルタを作成するためにAD7763に書き込む係数ごとの32ビット・ワード（「ユーザ定義フィルタのダウンロード」に示すフォーマットに従って）を16進値で示しています。この表は、チェックサム生成のために合計されるバイトにも分割されます。これらの係数から生成されるチェックサムは0x0E6Bです。

表15. フィルタの16進値1

係数	係数をダウンロードするために書き込まれる32ビット・ワード			
	バイト1	バイト2	バイト3	バイト4
1	03	2B	96	88
2	01	BF	18	3C
3	00	15	66	26
4	04	A8	1E	6A
5	04	5F	2A	96
6	00	2C	49	C2
7	00	50	E9	F6
8	00	10	DB	D8
9	04	2F	DE	54
10	04	37	44	5A
11	04	1B	7D	6E
12	04	04	3B	5F

<sup>1</sup> 記載されたワードのすべての値は、ADR[2:0]ピンを使用してデバイスに割り当てられたアドレス000を持つ1つのデバイスだけへの書き込みを基準にしています (ALL=0)。

表16は、625kHzの出力データレートが選択されたと想定して、ADCを設定してこのフィルタをダウンロードするためにAD7763に書き込む32ビット・ワードのシーケンスを16進値で示します。

表16

ワード <sup>1</sup>	説明
0x0001807A	コントロール・レジスタ1のアドレス。コントロール・レジスタ・データ。DLフィルタ、フィルタ長=24、出力データレート=625kHzに設定。
0x032B9688	最初の係数
0x01BF183C	2番目の係数
...	その他の係数
0x04043B5F	12番目（最後）の係数
0x00000E6B	チェックサム。AD7763が残りの未使用係数を0で満たすまで待機 (0.5×t <sub>CLK</sub> ×未使用係数の数)。
0x0001087A	コントロール・レジスタのアドレス。コントロール・レジスタ・データ。読出しステータスを設定し、フィルタ長とデシメーション設定を維持します。ステータス・レジスタの内容を読み出します。ビット7 (DL_OK) をチェックし、フィルタが正しくダウンロードされたかどうかを判定します。

<sup>1</sup> 記載されたワードのすべての値は、ADR[2:0]ピンを使用してデバイスに割り当てられたアドレス000を持つ1つのデバイスだけへの書き込みを基準にしています (ALL=0)。

## レジスタ

AD7763には多くのユーザ・プログラマブルなレジスタがあります。コントロール・レジスタは、デシメーション・レート、フィルタ構成、低消費電力オプションの設定、および差動アンプの制御に使用します。デジタル・ゲイン・レジスタ、オフセット・レジスタ、オーバーレンジ・スレッシュホールド・レジスタもあります。

これらのレジスタへの書込みに際しては、最初にレジスタ・アドレスを、次に16ビットのデータワードを書き込みます。ここでは、レジスタ・アドレス、個々のビットの詳細、デフォルト値を示します。

### コントロール・レジスタ1—アドレス0x001

デフォルト値0x001A

MSB												LSB			
DL Filt	RD Ovr	RD Gain	RD Off	RD Stat	0	SYNC	FLEN3	FLEN2	FLEN1	FLEN0	BYP F3	1	DEC2	DEC1	DEC0

表17

ビット	記号	説明
15	DL Filt <sup>1</sup>	ダウンロード・フィルタ。ユーザ定義フィルタをダウンロードする前にこのビットをセットします。この時点でフィルタ長ビットもセットします。これに続く書込み動作は、すべての係数とチェックサムが書き込まれるまで、FIRフィルタのユーザ係数と解釈されます。
14	RD Ovr <sup>1, 2</sup>	リード・オーバーレンジ。このビットをセットすると、次の読出し動作では変換結果ではなくオーバーレンジ・スレッシュホールド・レジスタの内容を出力します。
13	RD Gain <sup>1, 2</sup>	リード・ゲイン。このビットをセットすると、次の読出し動作ではデジタル・ゲイン・レジスタの内容を出力します。
12	RD Off <sup>1, 2</sup>	リード・オフセット。このビットをセットすると、次の読出し動作ではデジタル・オフセット・レジスタの内容を出力します。
11	RD Stat <sup>1, 2</sup>	リード・ステータス。このビットをセットすると、次の読出し動作ではステータス・レジスタの内容を出力します。
10	0	このビットには0を書き込みます。
9	SYNC <sup>1</sup>	シンクロナイズ。このビットをセットすると、内部同期ルーチンが開始されます。複数のデバイスでこのビットを同時にセットすると、全フィルタの同期がとられます。
8~5	FLEN[3:0]	フィルタ長ビット。ユーザ定義フィルタをダウンロードするには、DL Filtビットをセットし、これらのビットをセットします。
4	BYP F3	バイパス・フィルタ3。このビットが0の場合、フィルタ3（プログラマブルFIR）がバイパスされます。
3	1	このビットには1を書き込みます。
2~0	DEC[2:0]	デシメーション・レート。これらのビットは、フィルタ2のデシメーション・レートを設定します。値0、1、2の書込みは、4倍のデシメーションに対応します。値3は8倍のデシメーションに対応します。値4は16倍に対応します。最大値5は32倍のデシメーションに対応します。

<sup>1</sup> ビット15~9は、すべてセルフクリア・ビットです。

<sup>2</sup> 書込み動作では、これらのビットのうち1つのビットだけをセットできます。それによって次の読出し動作の内容が決定されるためです。

### コントロール・レジスタ2—アドレス0x002

デフォルト値0x009B

MSB												LSB			
0	0	0	0	0	0	0	0	0	0	0	0	PD	LPWR	1	D1PD

表18

ビット	記号	説明
3	PD	パワーダウン。このビットをセットするとAD7763がパワーダウンし、消費電力は6.35mWまで減少します。
2	LPWR	低消費電力。このビットをセットすると、AD7763は低消費電力モードで動作します。消費電力は、ノイズ性能で3dBの低減に相当するまで低減します。
1	1	このビットには1を書き込みます。
0	D1PD	差動アンプ・パワー・ダウン。このビットをセットすると、オンチップ差動アンプがパワーダウンします。

# AD7763

## ステータス・レジスタ（読出し専用）

MSB											LSB				
PART 1	PART 0	DIE 2	DIE 1	DIE 0	0	LPWR	OVR	DL_OK	FILTER_OK	UFILTER	BYP F3	1	DEC2	DEC1	DEC0

表19

ビット	記号	説明
15, 14	PART[1:0]	製品番号。これらのビットはAD7763で一定です。
13~11	DIE[2:0]	チップ番号。システム内での識別のために、現在のAD7763のチップ番号を示します。
10	0	このビットには0が書き込まれています。
9	LPWR	低消費電力。AD7763が低消費電力モードで動作している場合、このビットは1に設定されます。
8	OVR	現在のアナログ入力力が現在のオーバーレンジ・スレッショルドを超える場合、このビットがセットされます。
7	DL_OK	AD7763にユーザ・フィルタをダウンロードするとき、チェックサムが生成されます。このチェックサムが係数の後にダウンロードされたチェックサムと比較され、2つのチェックサムが一致した場合、このビットがセットされます。
6	FILTER_OK	ユーザ定義フィルタの使用中は、フィルタ係数がフィルタを通過するときにチェックサムが生成されます。このチェックサムがダウンロードされたチェックサムと比較され、2つのチェックサムが一致した場合、このビットがセットされます。
5	UFILTER	ユーザ定義フィルタが使用中の場合、このビットがセットされます。
4	BYP F3	バイパス・フィルタ3。コントロール・レジスタ1の関連ビットの設定によってフィルタ3がバイパスされた場合、このビットもセットされます。
3	1	このビットには1が書き込まれています。
2~0	DEC[2:0]	デシメーション・レート。コントロール・レジスタ1で設定されたビットに対応します。

### オフセット・レジスタ—アドレス0x003

#### ビットマップなし、デフォルト値0x0000

オフセット・レジスタでは、2の補数表記を使用し、0x7FFF（正の最大値）と0x8000（負の最大値）がそれぞれ+0.390625%と-0.390625%のオフセットに対応するようにスケールされます。オフセット補正は、ゲイン補正の後で適用されます。1.25のデフォルト・ゲイン値を使用し、4.096Vのリファレンス電圧を想定すると、オフセット補正範囲は約±25mVとなります。

### ゲイン・レジスタ—アドレス0x004

#### ビットマップなし、デフォルト値0xA000

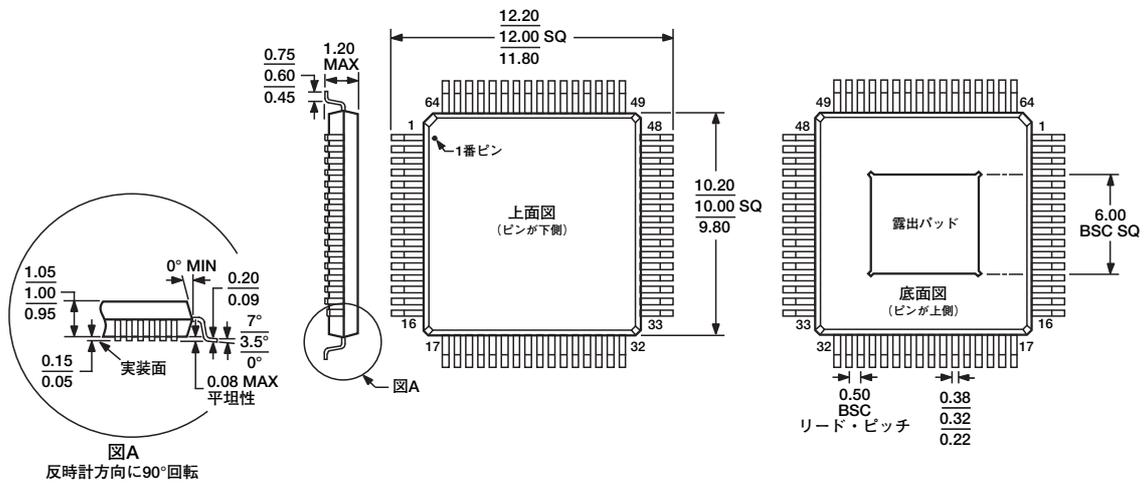
ゲイン・レジスタは、0x8000が1.0のゲインに対応するようにスケールされます。このレジスタのデフォルト値は1.25（0xA000）です。入力が $V_{REF}$ の80%であるとき、これはフルスケールのデジタル出力を与えます。これは、 $V_{REF}$  p-pの±80%という最大アナログ入力範囲に対応します。

### オーバーレンジ・レジスタ—アドレス0x005

#### ビットマップなし、デフォルト値0xCCCC

オーバーレンジ・レジスタ値は、最小の伝搬遅延で過負荷表示を得るために、最初のデシメーション・フィルタの出力と比較されます。これは、ゲイン・スケールやオフセット調整の前に行われます。デフォルト値は0xCCCCであり、 $V_{REF}$ の80%（最大許容アナログ入力電圧）に対応します。 $V_{REF}=4.096V$ と想定すると、入力電圧が約6.55Vp-p差動を超えると、このビットがセットされます。なお、アナログ入力電圧が変調器レートにおいて4つを超える連続サンプリングの間 $V_{REF}$ の100%を超えた場合、オーバーレンジ・ビットもすぐにセットされます。

## 外形寸法



## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7763BSVZ <sup>1</sup>	-40~+85℃	64ピン薄型クワッド・フラット・パッケージ、露出パッド付き (TQFP_EP)	SV-64-2
AD7763BSVZ-REEL <sup>1</sup>	-40~+85℃	64ピン薄型クワッド・フラット・パッケージ、露出パッド付き (TQFP_EP)	SV-64-2
EVAL-AD7763EB		評価用ボード	

<sup>1</sup> Z=鉛フリー製品