

特長

- ノー・ミッシング・コードが保証された18ビット分解能
- スループット：400kSPS
- INL：±0.75LSB (typ)、±1.5LSB (max)
(FSRの±6ppm)
- ダイナミック・レンジ：102dB (typ) @400kSPS
- オーバーサンプリング・ダイナミック・レンジ：
125dB@1kSPS
- ノイズフリーのコード分解能：20ビット@1kSPS
- 有効分解能：22.7ビット@1kSPS
- SINAD：101.5dB@1kHz
- THD：-125dB@1kHz
- 真の差動アナログ入力範囲：±V_{REF}
両入力で0V~V_{REF} (V_{REF}はV_{DD}まで)
- パイプライン遅延なし
- 5V単電源動作、1.8V/2.5V/3V/5Vロジックとのインターフェースが可能
- SPI[®]/QSPI[™]/MICROWIRE[™]/DSP互換シリアル・インターフェース
- 複数のADCのデジチェーン接続とBUSYインジケータ
- 消費電力
4.25μW@100SPS
4.25mW@100kSPS
- スタンバイ電流：1nA
- パッケージ：10ピンMOSP (MOSP-8サイズ)、3mm×3mmのQFN (LFCSP) (SOT-23サイズ)
- QFN/MSOPパッケージの他のPulSARシリーズとピン互換

アプリケーション

- バッテリー駆動機器
- データ・アクイジション
- 地震データ・アクイジション・システム
- DVM
- 計測機器
- 医療機器

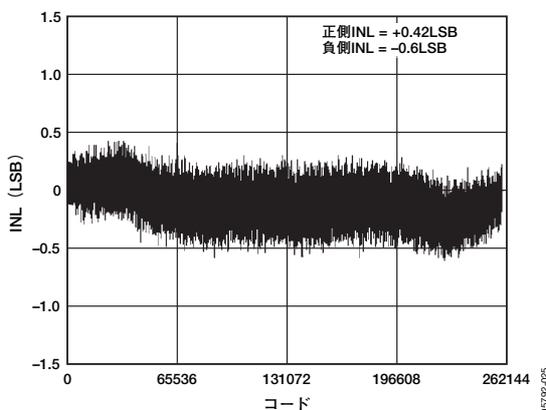


図1. コード対積分非直線性 (INL)

アプリケーション図

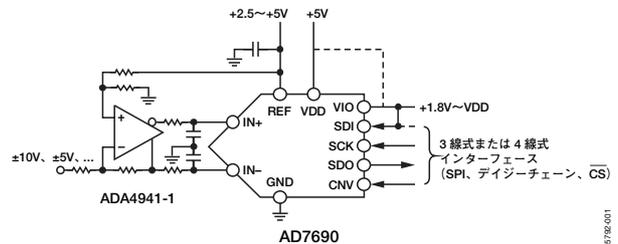


図2

表1. MSOP、QFN (LFCSP)/SOT-23パッケージの
14/16/18ビットPulSAR ADC

タイプ	100 kSPS	250 kSPS	400~500 kSPS	1000 kSPS	ADC ドライバ
18ビット、 真の差動		AD7691	AD7690 AD7982	AD7982	ADA4941 ADA4841
16ビット、 真の差動	AD7684	AD7687	AD7688 AD7693		ADA4941 ADA4841
16ビット、 疑似差動	AD7680 AD7683	AD7685 AD7694	AD7686	AD7980	ADA4841
14ビット、 疑似差動	AD7940	AD7942	AD7946		ADA4841

概要

AD7690は18ビットの逐次比較型A/Dコンバータ (SAR ADC) で、単電源 (VDD) で動作します。低消費電力かつノー・ミッシング・コードで高速の18ビット・サンプリングADC、内部変換クロック、多機能シリアル・インターフェース・ポートを内蔵しています。IN+ピンとIN-ピン間の電位差をCNVの立上がりエッジでサンプリングします。これらのピン上の電圧は通常、0VからREFまでの電圧範囲で互いに逆位相の関係となります。リファレンス電圧REFは外部から供給し、電源電圧まで設定できます。

消費電力はスループットに直線的に比例します。

SPI互換のシリアル・インターフェースは、SDI入力を使用して1つの3線式バス上で複数のADCをデジチェーン接続する機能があります。さらにオプションでBUSYインジケータを利用することもできます。このシリアル・インターフェースは1.8V、2.5V、3V、5Vのロジックに対応しており、独立したVIO電源を使用します。

AD7690は10ピンMSOPまたは10ピンQFN (LFCSP) パッケージを採用し、-40~+85°Cの温度範囲で動作するように仕様規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006-2007 Analog Devices, Inc. All rights reserved.

AD7690

目次

特長	1	ドライバ・アンプの選択	14
アプリケーション	1	シングルエンド/差動変換ドライバ	15
アプリケーション図	1	電圧リファレンス入力	15
概要	1	電源	16
改訂履歴	2	リファレンスを使ったADCへの電源供給	16
仕様	3	デジタル・インターフェース	16
タイミング仕様	5	CSモード3線式、BUSYインジケータなし	17
絶対最大定格	6	CSモード3線式、BUSYインジケータあり	18
ESDに関する注意	6	CSモード4線式、BUSYインジケータなし	19
ピン配置と機能の説明	7	CSモード4線式、BUSYインジケータあり	20
用語の説明	8	チェーン・モード、BUSYインジケータなし	21
代表的な性能特性	9	チェーン・モード、BUSYインジケータあり	22
動作原理	12	アプリケーション情報	23
回路の説明	12	レイアウトのポイント	23
コンバータの動作	12	AD7690の性能評価	23
代表的な接続図	13	外形寸法	24
アナログ入力	14	オーダー・ガイド	24

改訂履歴

3/07—Rev. 0 to Rev. A

Removed Endnote Regarding QFN Package	Universal
Changes to Features	1
Changes to Table 1	1
Changes to Figure 2	1
Changes to Gain Error in Table 2	3
Change to Gain Error Temperature Drift in Table 2	3
Change to Zero Temperature Drift in Table 2	3
Changes to Power Dissipation in Table 3	4
Change to Conversion Time:	
CNV Rising Edge to Data Available in Table 4	5
Change to Acquisition Time in Table 4	5

Changes to Figure 12	9
Change to Figure 22 Caption	11
Changes to Circuit Information Section	12
Change to Table 7	13
Change to Endnote 1 of Figure 26	13
Added Figure 29	14
Changes to Driver Amplifier Choice Section	14
Change to Evaluating the AD7690's Performance Section	23
Updated Outline Dimensions	24
Changes to Ordering Guide	24

4/06—Revision 0: Initial Version

仕様

VDD=4.75~5.25V、VIO=2.3V~VDD、VREF=VDD。特に指定のない限り、すべての仕様はT_{MIN}~T_{MAX}で規定。

表2

パラメータ	条件	Min	Typ	Max	単位
分解能		18			ビット
アナログ入力					
電圧範囲	IN+~IN-	-V _{REF}		+V _{REF}	V
絶対入力電圧	IN+, IN-	-0.1		V _{REF} +0.1	V
同相入力範囲	IN+, IN-	0	V _{REF} /2	V _{REF} /2+0.1	V
アナログ入力CMRR	f _{IN} =250kHz		65		dB
25℃でのリーク電流 入力インピーダンス ¹	アクイジション・フェーズ		1		nA
スループット					
変換レート		0		400	kSPS
過渡応答	フルスケール・ステップ			400	ns
精度					
ノー・ミッシング・コード		18			ビット
積分直線性誤差		-1.5	±0.75	+1.5	LSB ²
微分直線性誤差		-1	±0.5	+1.25	LSB
遷移時のノイズ	REF=VDD=5V		0.75		LSB
ゲイン誤差 ³		-40	±2	+40	LSB
ゲイン誤差温度ドリフト			±0.3		ppm/℃
ゼロ誤差 ³		-0.8		+0.8	mV
ゼロ温度ドリフト			±0.3		ppm/℃
電源電圧変動感度	VDD=5V±5%		±0.25		LSB
AC精度					
ダイナミック・レンジ	V _{REF} =5V	101	102		dB ⁴
オーバーサンプリング・ ダイナミック・レンジ ⁵	f _{IN} =1kSPS		125		dB
S/N比	f _{IN} =1kHz、V _{REF} =5V	100	101.5		dB
	f _{IN} =1kHz、V _{REF} =2.5V	94.5	96		dB
スプリアスフリー・ダイナミック・ レンジ (SFDR)	f _{IN} =1kHz、V _{REF} =5V		-125		dB
全高調波歪み (THD)	f _{IN} =1kHz、V _{REF} =5V		-125		dB
信号/ノイズ&歪み比 (SINAD)	f _{IN} =1kHz、V _{REF} =5V	100	101.5		dB
相互変調歪み (IMD) ⁶			115		dB

¹ 「アナログ入力」を参照。

² LSBは最下位ビットを意味します。入力範囲が±5Vの場合、1LSB=38.15μV。

³ 「用語の説明」を参照。これらの仕様にはすべての温度範囲の変動が含まれますが、外部リファレンスによる誤差分は含まれません。

⁴ dB表示の仕様はすべてフルスケール入力 (FSR) を基準とします。特に指定のない限り、フルスケールより0.5dB低い入力信号でテスト。

⁵ ダイナミック・レンジを得るには、400kSPSのスループットf_Sで使用しているADCをオーバーサンプリングし、出力ワードレートf₀でポストデジタル・フィルタ処理を行います。

⁶ f_{IN1}=21.4kHz、f_{IN2}=18.9kHz (フルスケールより7dB低い周波数)

AD7690

VDD=4.75~5.25V、VIO=2.3V~VDD、V_{REF}=VDD。特に指定のない限り、すべての仕様はT_{MIN}~T_{MAX}で規定。

表3

パラメータ	条件	Min	Typ	Max	単位
リファレンス 電圧範囲 負荷電流	400kSPS、REF=5V	0.5	100	VDD+0.3	V μA
サンプリング動特性 -3dB入力帯域幅 アパーチャ遅延	VDD=5V		9 2.5		MHz ns
デジタル入力 ロジック・レベル V _{IL} V _{IH} I _{IL} I _{IH}		-0.3 0.7×VIO -1 -1		+0.3×VIO VIO+0.3 +1 +1	V V μA μA
デジタル出力 データ・フォーマット パイプライン遅延 V _{OL} V _{OH}	I _{SINK} =+500 μA I _{SOURCE} =-500 μA			2の補数シリアル18ビット 変換結果は変換終了後直ちに出力される 0.4	V V
電源 VDD VIO VIO範囲 スタンバイ電流 ^{1, 2} 消費電力 変換当たりのエネルギー	仕様性能 仕様性能 VDDおよびVIO=5V、25℃ VDD=5V、100SPSスループット VDD=5V、100kSPSスループット VDD=5V、400kSPSスループット	4.75 2.3 1.8	1 4.25 4.25 17 50	5.25 VDD+0.3 VDD+0.3 50 5 20	V V V nA μW mW mW nJ/サンプル
温度範囲 ³ 仕様性能	T _{MIN} ~T _{MAX}	-40		+85	℃

¹ すべてのデジタル入力を必要に応じてVIOまたはGNDに接続。

² アクイジション時。

³ 拡張温度範囲については代理店および弊社営業部にお問い合わせください。

タイミング仕様

VDD=4.75~5.25V、VIO=2.3V~VDD、V_{REF}=VDD。特に指定のない限り、すべての仕様はT_{MIN}~T_{MAX}で規定。

表4¹

パラメータ	記号	Min	Typ	Max	単位
変換時間：CNVの立上がりエッジから出力データが得られるまでの時間	t _{CONV}	0.5		2.1	μs
アクイジション時間	t _{ACQ}	400			ns
変換と変換の間隔	t _{CYC}	2.5			μs
CNVパルス幅 ($\overline{\text{CS}}$ モード)	t _{CNVH}	10			ns
SCK周期 ($\overline{\text{CS}}$ モード)	t _{SCK}	15			ns
SCK周期 (チェーン・モード)	t _{SCK}				
VIO>4.5V		17			ns
VIO>3V		18			ns
VIO>2.7V		19			ns
VIO>2.3V		20			ns
SCKローレベル時間	t _{SCKL}	7			ns
SCKハイレベル時間	t _{SCKH}	7			ns
SCKの立下がりエッジからデータ有効まで	t _{HSDO}	4			ns
SCKの立下がりエッジからデータ有効までの遅延	t _{DSDO}				
VIO>4.5V				14	ns
VIO>3V				15	ns
VIO>2.7V				16	ns
VIO>2.3V				17	ns
CNVまたはSDIのローレベルからSDO D17 MSB有効まで ($\overline{\text{CS}}$ モード)	t _{EN}				
VIO>4.5V				15	ns
VIO>2.7V				18	ns
VIO>2.3V				22	ns
CNVまたはSDIのハイレベルまたは直前のSCK立下がりエッジから、SDOの高インピーダンスまで ($\overline{\text{CS}}$ モード)	t _{DIS}			25	ns
CNV立上がりエッジからSDI有効のセットアップ時間 ($\overline{\text{CS}}$ モード)	t _{SSDICNV}	15			ns
CNV立上がりエッジからSDI有効のホールド時間 ($\overline{\text{CS}}$ モード)	t _{HSDICNV}	0			ns
CNV立上がりエッジからSCK有効のセットアップ時間 (チェーン・モード)	t _{SSCKCNV}	5			ns
CNV立上がりエッジからのSCK有効のホールド時間 (チェーン・モード)	t _{HSCKCNV}	10			ns
SCK立下がりエッジからのSDI有効のセットアップ時間 (チェーン・モード)	t _{SSDISCK}	3			ns
SCK立下がりエッジからのSDI有効のホールド時間 (チェーン・モード)	t _{HSDISCK}	4			ns
SDIのハイレベルからSDOのハイレベルまで (チェーン・モード、BUSYインジケータあり)	t _{DSDOSDI}				
VIO>4.5V				15	ns
VIO>2.3V				26	ns

¹ 負荷条件については、図3と図4を参照。

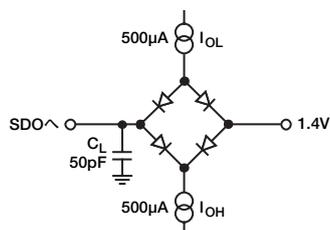
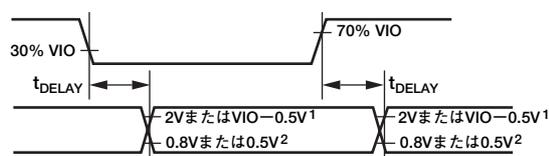


図3. デジタル・インターフェース・タイミング測定時の負荷回路



注：
 1. VIO>2.5Vの場合2V、VIO<2.5Vの場合VIO-0.5V
 2. VIO>2.5Vの場合0.8V、VIO<2.5Vの場合0.5V

図4. タイミング測定の電圧レベル

絶対最大定格

表5

パラメータ	定格値
アナログ入力 IN ⁺ 、IN ⁻ ¹	GND-0.3V~VDD+0.3V または±130mA
REF	GND-0.3V~VDD+0.3V
電源電圧	
GNDに対するVDD、VIO	-0.3~+7V
VIOに対するVDD	±7V
GNDに対するデジタル入力	-0.3V~VIO+0.3V
GNDに対するデジタル出力	-0.3V~VIO+0.3V
保存温度範囲	-65~150℃
ジャンクション温度	150℃
θ_{JA} 熱抵抗 (10ピンMSOP)	200℃/W
θ_{JC} 熱抵抗 (10ピンMSOP)	44℃/W
ピン温度範囲	JEDEC J-STD-20

¹ 「アナログ入力」を参照。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明



図5. 10ピンMSOPのピン配置

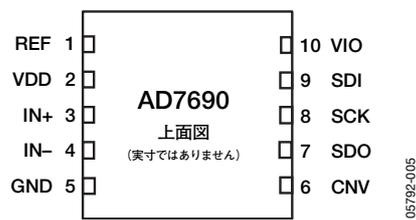


図6. 10ピンQFN (LFCSP) のピン配置

表6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	REF	AI	リファレンス入力電圧。REFの範囲は0.5V～VDD。GNDピンを基準とします。このピンは、ピンの近くで10μFコンデンサを使ってGNDにデカップリングする必要があります。
2	VDD	P	電源
3	IN+	AI	正側差動アナログ入力
4	IN-	AI	負側差動アナログ入力
5	GND	P	電源グラウンド
6	CNV	DI	変換入力。この入力には複数の機能があります。入力信号の立上がりエッジで変換を開始し、デバイスのインターフェース・モード（チェーン・モードまたはCSモード）を選択します。CSモードでは、このピンがローレベルのときSDOピンがイネーブルになります。チェーン・モードでは、CNVがハイレベルのときにデータを読み出す必要があります。
7	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力されます。SCKに同期します。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されると、変換結果がこのクロックによってシフト出力されます。
9	SDI	DI	シリアル・データ入力。この入力には複数の機能があります。以下のように、ADCのインターフェース・モードを選択します。 CNVの立上がりエッジでSDIがローレベルの場合、チェーン・モードが選択されます。このモードでは、SDIはデータ入力として使用され、複数のADCの変換結果を1本のSDOラインにデイズチェーン接続します。SDIのデジタル・データ・レベルは、SCKの18周期分の遅延でSDO上に出力されます。 CNVの立上がりエッジでSDIがハイレベルの場合、CSモードが選択されます。このモードでは、SDIまたはCNVのいずれかがローレベルのときにシリアル出力信号をイネーブルにできます。変換完了時にSDIまたはCNVがローレベルのときは、BUSYインジケータ機能がイネーブルになります。
10	VIO	P	入出力インターフェースのデジタル電源。通常、ホストのインターフェース電源（1.8V、2.5V、3V、5V）と同じ電源が使われます。

¹ AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=電源

用語の説明

積分非直線性誤差 (INL)

負側フルスケールと正側フルスケールを結ぶ直線と実際の各コード出力との差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より0.5LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1.5LSB高いレベルと定義されます。偏差は各コードの中央と真の直線との距離として測定されます (図25を参照)。

微分非直線性誤差 (DNL)

理想的なADCでは、各コード遷移は1LSBだけ離れた位置で発生します。DNLとは、この理論値からの最大偏差のことです。通常は、ノー・ミッシング・コードが保証される分解能として規定されることもあります。

ゼロ誤差

理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コード (0LSB) を生成する実際の電圧との差をいいます。

ゲイン誤差

最初の遷移 (100...00から100...01) は、公称負側フルスケールより0.5LSB高いアナログ電圧で発生します (±5V範囲では-4.999981V)。最後の遷移 (011...10から011...11) は、公称正側フルスケールより1.5LSB低いアナログ電圧で発生します (±5V範囲では4.999943V)。ゲイン誤差は、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差と、対応する理論値の差との偏差を表します。

スプリアスフリー・ダイナミック・レンジ (SFDR)

入力信号のRMS振幅値とピーク・スプリアス信号のRMS値との差を意味し、dB値で表します。

有効ビット数 (ENOB)

サイン波を入力したときの分解能の測定値であり、ビット数で表します。SINADとの関係は次式で表します。

$$ENOB = (SINAD_{dB} - 1.76) / 6.02$$

ノイズフリーのコード分解能

これを超えるると個々のコードを分解できなくなるビット数。これは次式で求められます。

$$\begin{aligned} & \text{ノイズフリーのコード分解能} \\ & = \log_2 (2^N / \text{ピークtoピーク} \cdot \text{ノイズ}) \end{aligned}$$

有効分解能

これは次式で求められ、ビット数で表します。

$$\text{有効分解能} = \log_2 (2^N / \text{RMS入力ノイズ})$$

全高調波歪み (THD)

最初の5つの高調波成分のRMS値の総和と、フルスケール入力信号のRMS値との比であり、dB値で表します。

ダイナミック・レンジ

フルスケールのRMS値と、入力を短絡して測定した全RMSノイズとの比で、dB値で表します。

S/N比 (SNR)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和から高調波成分とDC成分を除いた値との比で、dB値で表します。

信号/ノイズ&歪み比 (SINAD)

実際の入力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和 (DC以外の高調波成分を含む) との比であり、dB値で表します。

アパーチャ遅延

アキュイジション性能を表し、CNV入力の立上がりエッジから、入力信号が変換用にホールドされるまでの時間として測定されます。

過渡応答

フルスケールのステップ関数が与えられてから、ADCが入力を正常に受け取るまでに要する時間です。

代表的な性能特性

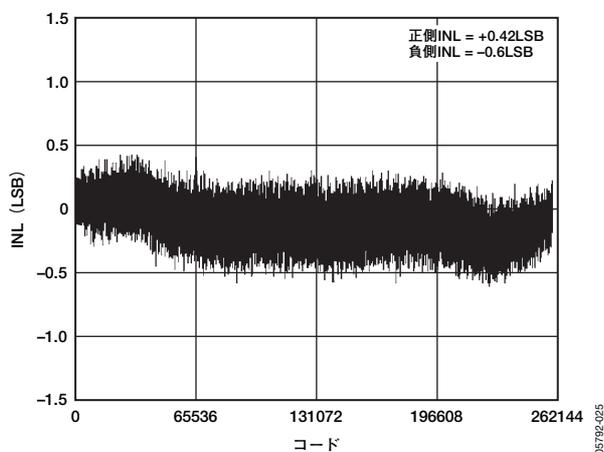


図7. コード対積分非直線性

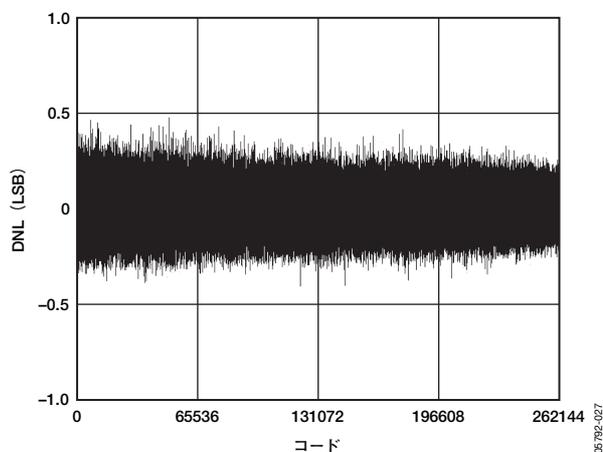


図10. コード対微分非直線性

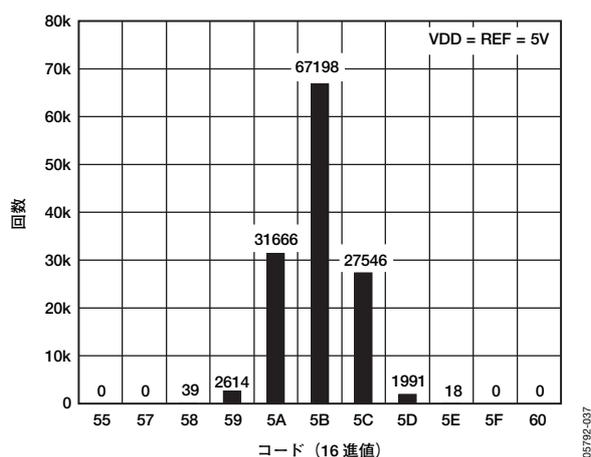


図8. コード中央値のDC入力ヒストグラム

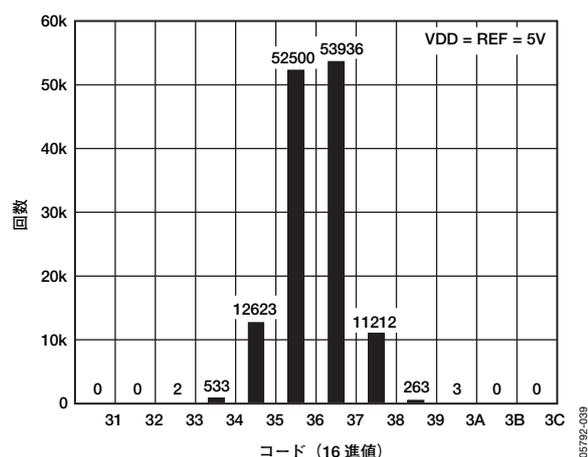


図11. コード遷移におけるDC入力ヒストグラム

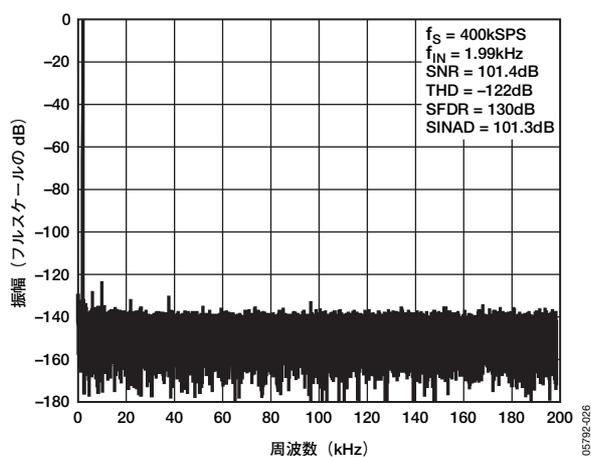


図9. FFTプロット

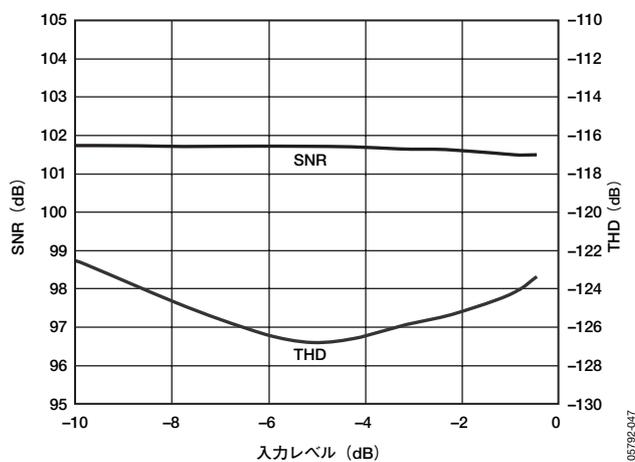


図12. 入力レベル対SNR、THD

AD7690

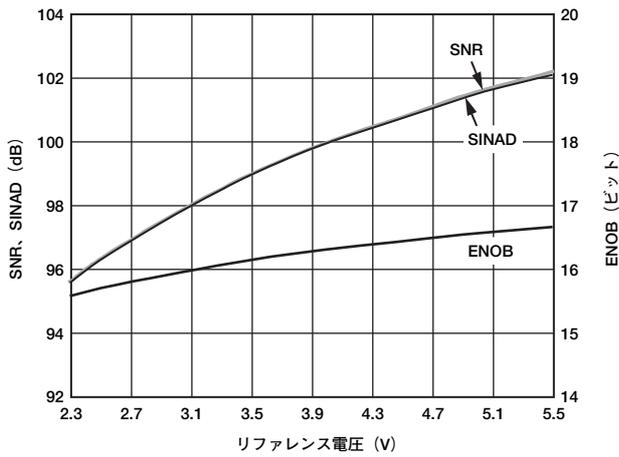


図13. リファレンス電圧 対 SNR、SINAD、ENOB

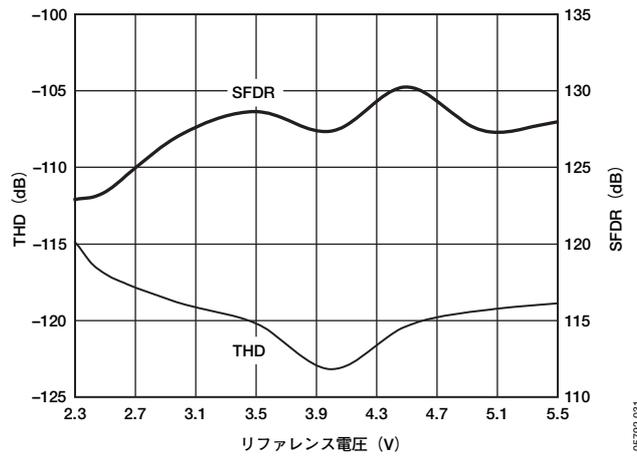


図16. リファレンス電圧 対 THD、SFDR

05792-031

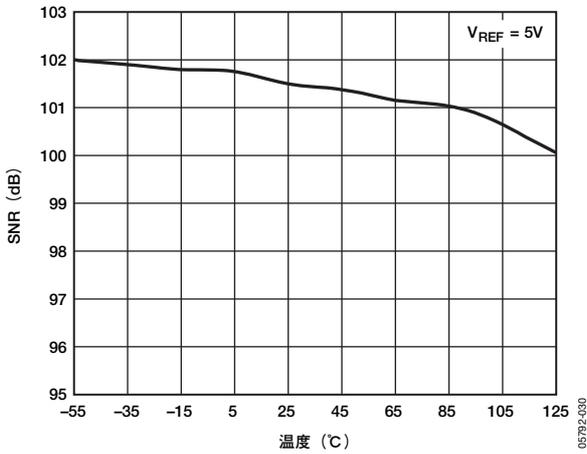


図14. SNRの温度特性

05792-030

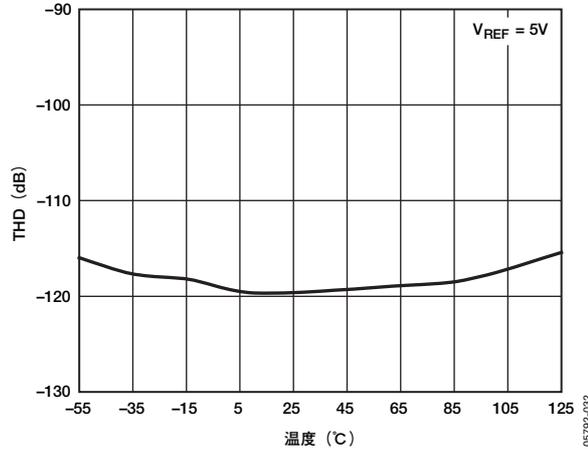


図17. THDの温度特性

05792-032

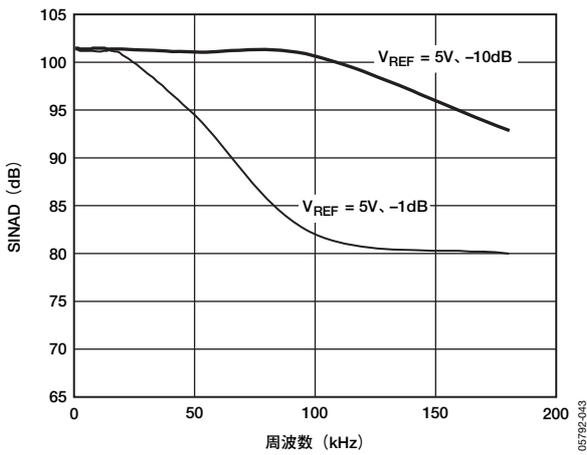


図15. SINADの周波数特性

05792-043

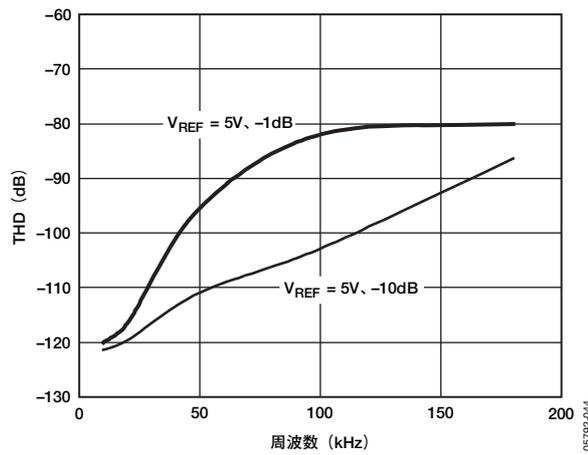


図18. THDの周波数特性

05792-044

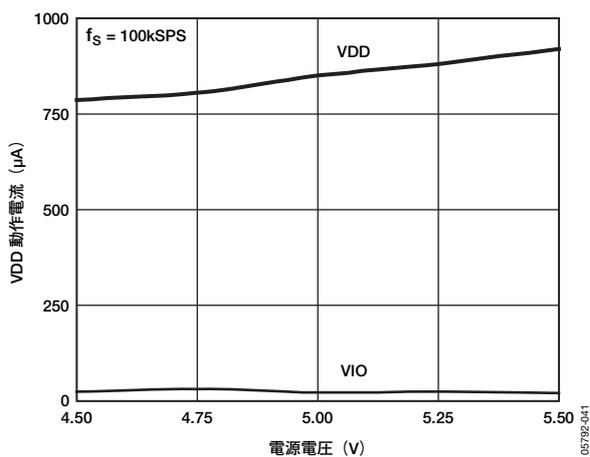


図19. 電源電圧 対 動作電流

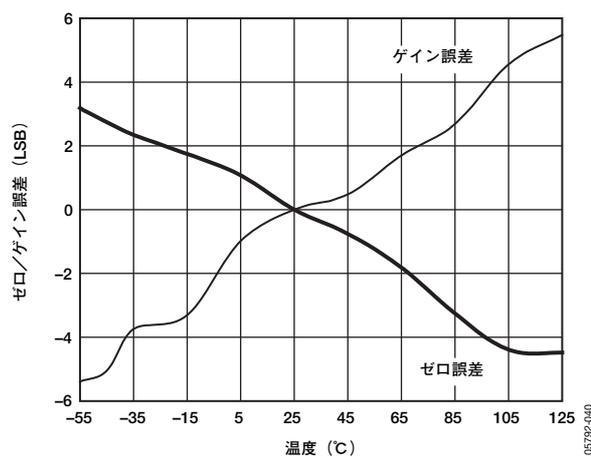


図22. ゼロ/ゲイン誤差の温度特性

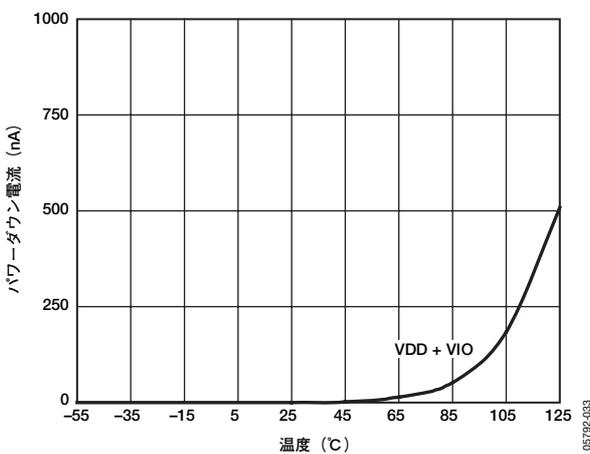


図20. パワーダウン電流の温度特性

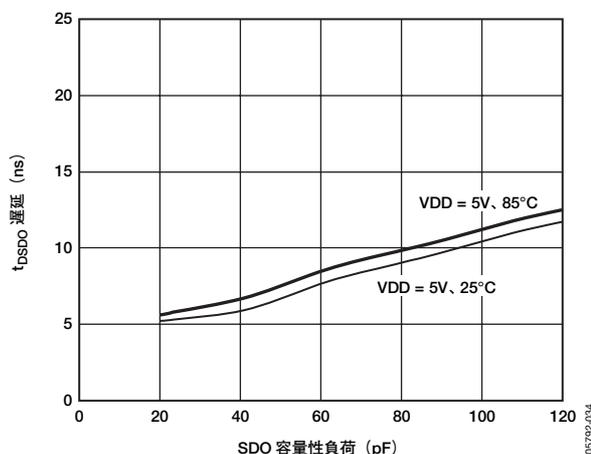


図23. 容量性負荷および電源電圧 対 t_{DSDO} 遅延

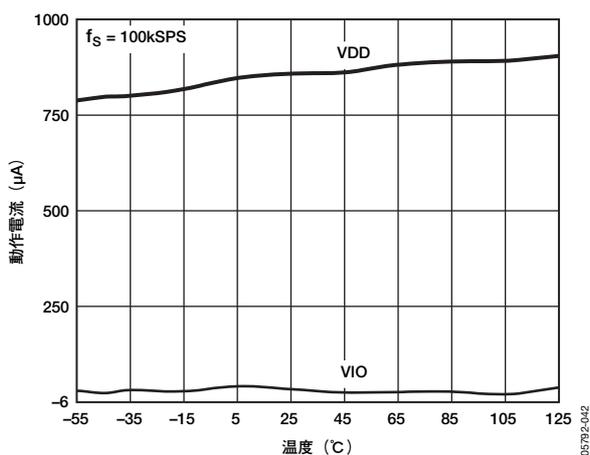


図21. 動作電流の温度特性

動作原理

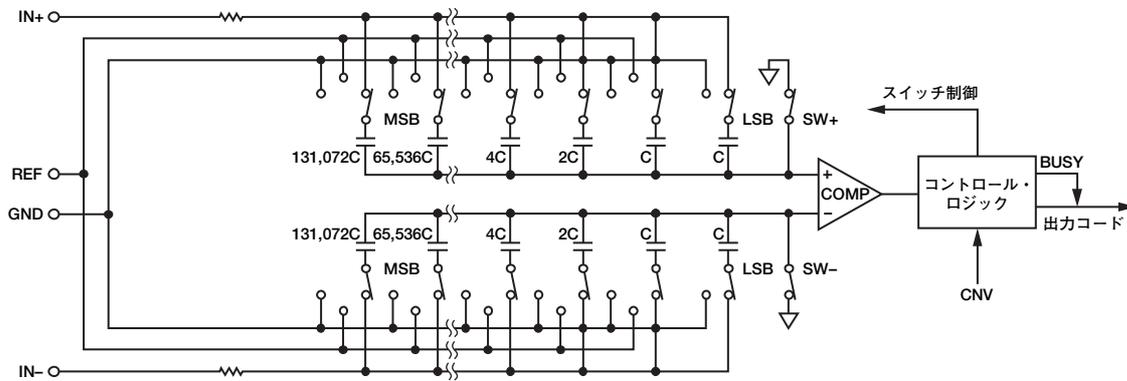


図24. ADCの簡略回路図

回路の説明

AD7690は、逐次比較型アーキテクチャを採用した高速、低消費電力、単電源、高精度の18ビットADCです。

AD7690は、毎秒400,000サンプル（400kSPS）の変換が可能で、変換と変換の間ではパワーダウンします。たとえば、1kSPSで動作する場合は消費電力が約50 μ W（typ）となり、バッテリー駆動のアプリケーションに最適です。

AD7690はトラック&ホールドを内蔵し、パイプライン遅延やレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションにとって理想的な製品となっています。

4.75～5.25V電源で仕様規定されており、1.8～5Vの任意のデジタル・ロジック・ファミリーにインターフェースできます。10ピンMSOPまたは省スペースと柔軟な構成を実現する小型のQFN（LFCSP）で提供されます。

18ビットのAD7691、AD7982、および16ビットのAD7687、AD7688、AD7693とピン互換性があります。

コンバータの動作

AD7690は、電荷再分配式DACをベースにした逐次比較型ADCです。図24にADCの簡略回路を示します。この容量性DACは、2進数の重みを持った18個のコンデンサで構成される2列の同じアレイを備えています。各アレイはコンパレータの2つの入力に接続されています。

アキュイジション・フェーズでは、コンパレータの入力に接続されたアレイの端子は、SW+とSW-を経由してGNDに接続されます。すべての独立したスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用され、IN+とIN-入力でアナログ信号を取り込みます。アキュイジション・フェーズが完了してCNV入力が高レベルになると、変換フェーズが開始されます。変換フェーズが開始されると、まずSW+とSW-が開きます。次に、2列のコンデンサ・アレイが入力から切り離されて、GND入力に接続されます。したがって、アキュイジション・フェーズの終わりに取り込まれた入力IN+とIN-の間の差動電圧がコンパレータ入力に接続され、コンパレータの平衡性が失われます。コンデンサ・アレイの各エレメントをGNDとREFの間でスイッチングすることにより、コンパレータ入力は2進数重みの電圧ステップ（ $V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/262,144$ ）で変化します。コントロール・ロジックがこれらのスイッチをトグルして（MSBから開始）、コンパレータを再度平衡状態にします。この処理が終了すると、コントロール・ロジックがADC出力コードとBUSY信号インジケータを生成します。

AD7690は変換クロックを内蔵しているため、変換処理のためのシリアル・クロック（SCK）は不要です。

伝達関数

AD7690の理論上の伝達特性を図25と表7に示します。

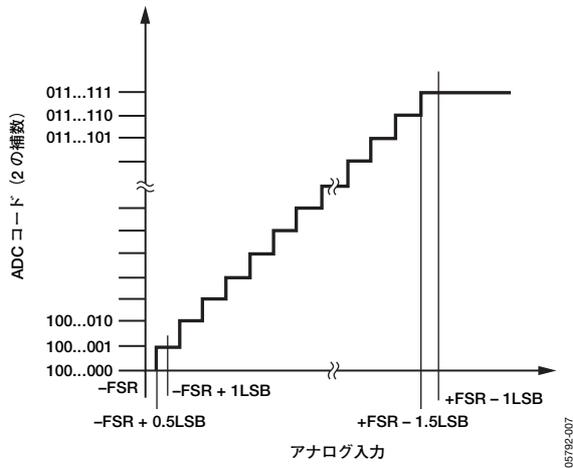


図25. ADCの理論的伝達関数

表7. 出力コードと入力電圧の理論値

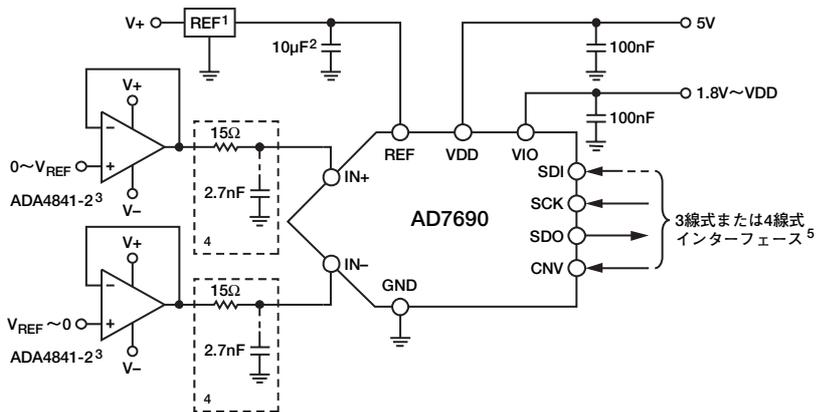
説明	アナログ入力 $V_{REF}=5V$	デジタル出力 コード (16進値)
FSR - 1LSB	+4.999962V	0x1FFFF ¹
ミッドスケール + 1LSB	+38.15 μ V	0x00001
ミッドスケール	0V	0x00000
ミッドスケール - 1LSB	-38.15 μ V	0x3FFFF
-FSR + 1LSB	-4.999962V	0x20001
-FSR	-5V	0x20000 ²

¹ アナログ入力範囲を超えた場合のコードでもあります ($V_{IN+} - V_{IN-} > V_{REF} - V_{GND}$)。

² アナログ入力範囲を下回った場合のコードでもあります ($V_{IN+} - V_{IN-} < V_{GND}$)。

代表的な接続図

図26に、複数の電源電圧を使用する場合の推奨接続図の例を示します。



- 1 リファレンスの選択については、「電圧リファレンス入力」の項を参照。
- 2 C_{REF} は通常、10 μ Fのセラミック・コンデンサ (X5R) です。
- 3 その他の推奨アンプについては、表8を参照。
- 4 オプションのフィルタ。「アナログ入力」の項を参照。
- 5 最も便利なインターフェース・モードについては、「デジタル・インターフェース」の項を参照。

図26. 複数の電圧を使用した代表的なアプリケーション

AD7690

アナログ入力

図27に、AD7690の入力構造の等価回路を示します。

ダイオードD1とD2は、アナログ入力IN+とIN-のESD保護用です。アナログ入力信号が電源レールより0.3V以上超えないように注意してください。これらのダイオードが順方向にバイアスされて、電流が流れてしまうためです。ダイオードは、最大130mAの順方向バイアス電流を処理できます。たとえば、このような状態は入力バッファ（U1）の電源がVDDと異なるときに注意が必要です。このような場合（たとえば入力バッファ回路が短絡されるような場合）、電流制限抵抗などを使ってデバイスを保護する必要があります。

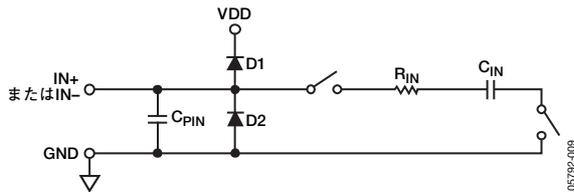


図27. アナログ入力の等価回路

このアナログ入力構造を使うと、IN+とIN-との間の真の差動信号のサンプリングが可能になります。このような差動入力を使用することにより、両入力の同相信号が除去されます。

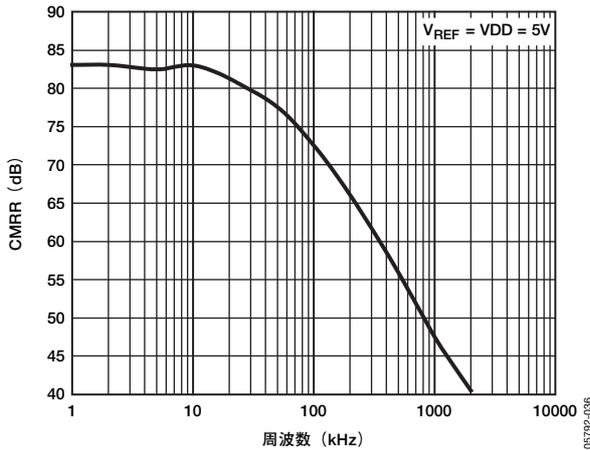


図28. アナログ入力CMRRの周波数特性

アクイジション・フェーズでは、アナログ入力（IN+、IN-）のインピーダンスは、 R_{IN} と C_{IN} の直列接続で構成されたネットワーク（回路）とコンデンサ C_{PIN} との並列組み合わせとしてモデル化できます。 C_{PIN} は主にピン容量です。 R_{IN} は 600Ω （typ）で、直列抵抗とスイッチのオン抵抗で構成されます。 C_{IN} は $30pF$ （typ）で、主にADCサンプリング・コンデンサです。

スイッチが開いている変換フェーズでは、入力インピーダンスは C_{PIN} に制限されます。 R_{IN} と C_{IN} で単極ローパス・フィルタが構成されるので、不要なエイリアシング（折返し）の影響が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7690を直接駆動できます。ソース・インピーダンスが大きい場合は、AC性能、特に全高調波歪み（THD）が大きな影響を受けます。DC性能は、入力インピーダンスの影響をあまり受けません。最大ソース・インピーダンスは、許容可能なTHDの値によって異なります。THDは、ソース・インピーダンスと最大入力周波数の大きさに応じて劣化します。

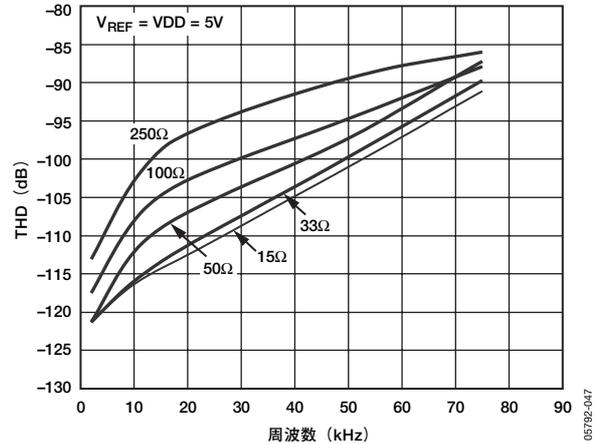


図29. アナログ入力周波数およびソース抵抗 対 THD

ドライバ・アンプの選択

AD7690の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7690のSNRと遷移ノイズ性能を維持するため、ドライバ・アンプによるノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、AD7690アナログ入力回路の R_{IN} と C_{IN} から構成される単極ローパス・フィルタまたは外付けフィルタ（使用した場合）によって除去されます。AD7690のノイズは $28\mu V_{rms}$ （typ）であるため、アンプに起因するSNRの劣化は次式で表されます。

$$SNR_{Loss} = 20 \log \left(\frac{28}{\sqrt{28^2 + \frac{\pi}{2} f_{-3dB} (Ne_{N+})^2 + \frac{\pi}{2} f_{-3dB} (Ne_{N-})^2}} \right)$$

ここで、

f_{-3dB} はAD7690のメガヘルツ単位の入力帯域幅（9MHz）、または入力フィルタのカットオフ周波数（使用した場合）。

N は、アンプのノイズ・ゲイン（たとえば、バッファ構成では1）。

e_{N+} と e_{N-} は、IN+とIN-に接続されているオペアンプの等価入力ノイズ電圧密度（ nV/\sqrt{Hz} ）。

この概算式はアンプ周辺の抵抗値が小さい場合に使用できます。比較的大きな抵抗を使用する場合、その抵抗ノイズ分との二乗和平方根を計算する必要があります。

- ACアプリケーションの場合、ドライバはAD7690に見合うTHD性能を持つ必要があります。
- 多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプとAD7690アナログ入力回路は共に、コンデンサ・アレイのフルスケール・ステップに対して18ビット・レベル（0.0004%、4ppm）でセトリングする必要があります。アンプのデータシートでは、一般に0.1～0.01%でのセトリングが規定されています。しかし、これは18ビット・レベルでのセトリング時間とは大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表8. 推奨ドライバ・アンプ

アンプ	代表的なアプリケーション
ADA4941-1	超低ノイズ、低消費電力、シングルエンド/差動
ADA4841-x	超低ノイズ、小型、低消費電力
AD8655	5V単電源、低ノイズ
AD8021	超低ノイズ、高速
AD8022	低ノイズ、高速
OP184	低消費電力、低ノイズ、低速
AD8605、AD8615	5V単電源、低消費電力

シングルエンド/差動変換ドライバ

シングルエンド・アナログ信号（ユニポーラまたはバイポーラ）を使用するアプリケーションでは、シングルエンド/差動変換ドライバ「ADA4941-1」により、デバイスへの差動入力が可能となります。図30に回路図を示します。

R1とR2では、入力範囲とADC範囲（ V_{REF} ）の間の減衰率を設定します。R1、R2、 C_F は、必要な入力抵抗、信号帯域幅、アンチエイリアシング、およびノイズ寄与分に応じて選択します。たとえば、4k Ω インピーダンスで $\pm 10V$ の範囲の場合は、R2=1k Ω 、R1=4k Ω とします。

R3とR4ではADCのIN-入力上のコモンモードを設定し、R5とR6ではIN+入力上のコモンモードを設定します。コモンモードは、 $V_{REF}/2$ に近い値に設定する必要があります。ただし、単電源が必要な場合は、 $V_{REF}/2$ より若干大きな値に設定してADA4941-1の出力段にいくらかヘッドルームを与えることができます。たとえば、単電源で $\pm 10V$ の範囲の場合は、R3=8.45k Ω 、R4=11.8k Ω 、R5=10.5k Ω 、R6=9.76k Ω とします。

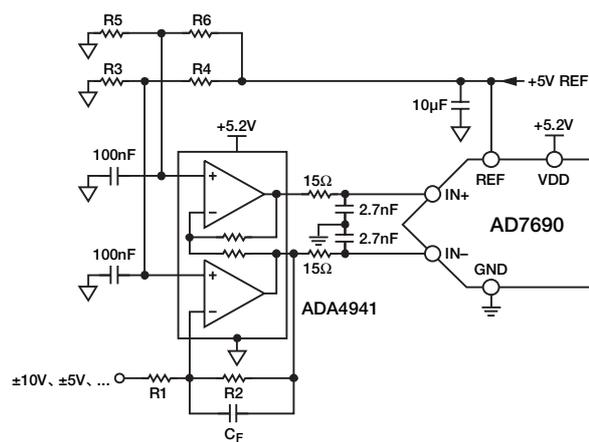


図30. シングルエンド/差動変換ドライバ回路

電圧リファレンス入力

AD7690の電圧リファレンス入力REFは、動的入力インピーダンスを持っています。したがって、REFピンとGNDピンの間を効果的にデカップリングした低インピーダンス・ソースで駆動する必要があります（「レイアウト」の項を参照）。

REFを超低インピーダンス・ソース（AD8031またはAD8605をリファレンス・バッファとして使用）で駆動する場合、10 μF （X5R、0805サイズ）のセラミック・チップ・コンデンサでデカップリングを行えば最適な性能を得ることができます。

バッファなしでリファレンス電圧を使用する場合、デカップリング値は使用するリファレンスに依存します。たとえば、低温ドリフトのADR43xリファレンスを使用する場合は、22 μF （X5R、1206サイズ）のセラミック・チップ・コンデンサを使えば最適な性能を得ることができます。

必要であれば、2.2 μF ほどの小さな値のリファレンス・デカップリング・コンデンサを使って、性能、特にDNLへの影響を最小限に抑えることができます。

この場合、REFピンとGNDピン間に小さな値のセラミック・デカップリング・コンデンサ（100nFなど）を追加する必要はありません。

AD7690

電源

AD7690では、コア電源VDD、デジタル入出力インターフェース電源VIOという2種類の電源ピンを使用します。VIOでは、1.8V~V_{DD}で動作するロジックに直接インターフェースできます。所要電源数を減らすため、VIOとVDDピンを相互に接続できます。AD7690は、VIOとVDD間の電源シーケンスに依存していません。また、図31に示すように、広い周波数範囲で電源電圧変動に対して安定しています。

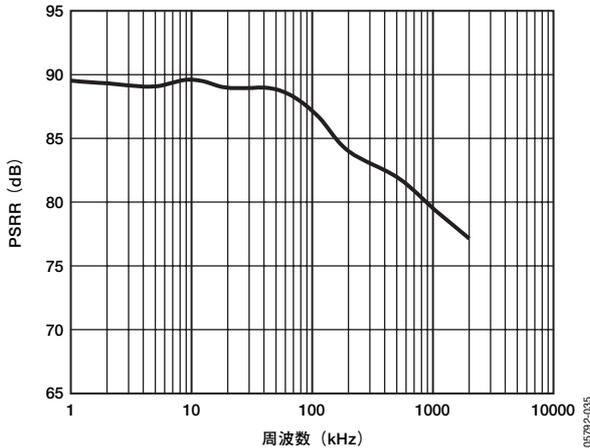


図31. PSRRの周波数特性

D7690は各変換フェーズの終わりで自動的にパワーダウンするため、消費電力はサンプリング・レートに比例します。したがって、このデバイスは低サンプリング・レート（場合によっては数Hz）で低消費を必要とするバッテリー駆動のアプリケーションに最適です。

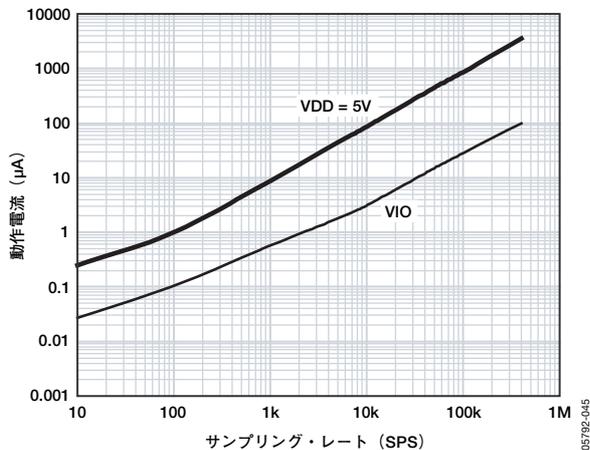
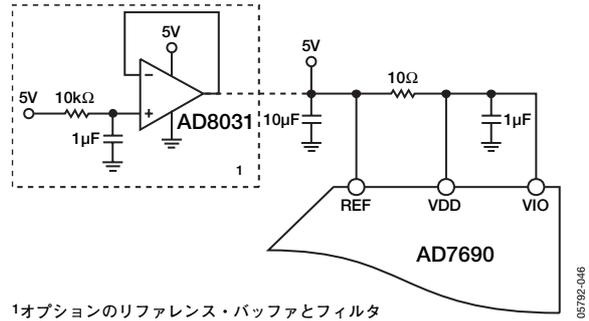


図32. サンプリング・レート 対 動作電流

リファレンスを使ったADCへの電源供給

アプリケーションを簡素化するため、図33に示すように、動作電流の小さいAD7690にリファレンス回路から直接電源を供給することもできます。リファレンス・ラインの駆動には以下の方法があります。

- システム電源（直接駆動）から
- ADR43xなど、十分な電流出力能力を持つリファレンス電圧から
- AD8031などのリファレンス・バッファから。これは、図33に示すように、システム電源をフィルタすることもできます。



1 オプションのリファレンス・バッファとフィルタ

図33. アプリケーション回路の一例

デジタル・インターフェース

AD7690のピン数は少ないですが、シリアル・インターフェース・モードが柔軟性を提供します。

\overline{CS} モードの場合、AD7690はSPI、QSPI、デジタル・ホスト、DSP (Blackfin® ADSP-BF53x、ADSP-219xなど) と互換性があります。このモードでは、3線式または4線式のインターフェースを使用できます。CNV、SCK、SDO信号を使用する3線式インターフェースは、配線接続が最小限に抑えられるので、絶縁アプリケーションなどに適しています。SDI、CNV、SCK、SDO信号を使用する4線式インターフェースの場合は、変換を開始するCNV信号を読み出しタイミング (SDI) に依存せずに使用できます。これは、低ジッタ・サンプリングや同時サンプリングなどのアプリケーションに有用です。

チェーン・モードではデジタイゼーション機能を利用できます。この場合は、SDI入力を使って、シフト・レジスタに類似した1本のデータ・ライン上で複数のADCをカスケード接続できます。

デバイスの動作モードは、CNV立上がりエッジ時のSDIのレベルで決まります。SDIがハイレベルのときは \overline{CS} モードが選択され、SDIがローレベルのときはチェーン・モードが選択されます。SDIのホールド時間については、SDIとCNVが相互接続されているときに、チェーン・モードが選択されます。

いずれのモードでも、データビットの前にスタート・ビットを置くオプションがあります。このスタート・ビットはBUSY信号インジケータとして使用でき、デジタル・ホストに割込みをかけてデータの読出しをトリガできます。BUSYインジケータを使用しない場合は、読出し前に最大変換時間が経過するまで待つ必要があります。

BUSYインジケータ機能は次の場合にイネーブルになります。

- \overline{CS} モードでは、ADCの変換終了時にCNVまたはSDIがローレベルになったとき (図37と図41を参照)。
- チェーン・モードでは、CNVの立上がりエッジ中にSCKがハイレベルになったとき (図45を参照)。

CSモード3線式、BUSYインジケータなし

このモードは通常、1個のAD7690をSPI互換のデジタル・ホストに接続しているときに使用します。図34に接続図を、図35に対応するタイミングを示します。

SDIをVIOに接続している場合、CNVの立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択されて、SDOが強制的に高インピーダンスになります。高インピーダンス状態はCNVの状態に関わりなく変換処理が完了するまで維持されます。これは、CNVをローレベルにして他のSPIデバイス（アナログ・マルチプレクサなど）を選択する場合などに有用です。ただし、CNVは最小変換時間が経過する前にハイレベルに戻り、最大変換可

能時間の間ハイレベルを維持して、BUSY信号インジケータの生成を防止する必要があります。変換が完了すると、AD7690はアクイジション・フェーズに入り、パワーダウンします。CNVがローレベルになると、MSBがSDOに出力されます。残りのデータビットは後続のSCK立下がりエッジでクロック出力されます。データはSCKの両エッジで有効です。立上がりエッジを使ってデータを取り込むことはできませんが、デジタル・ホストはホールド時間が許容できる限りSCKの立下がりエッジを使ってより高速な読出しレートを達成します。SCKの18番目の立下がりエッジの後またはCNVがハイレベルになるときのいずれか早いほうで、SDOが高インピーダンス状態に戻ります。

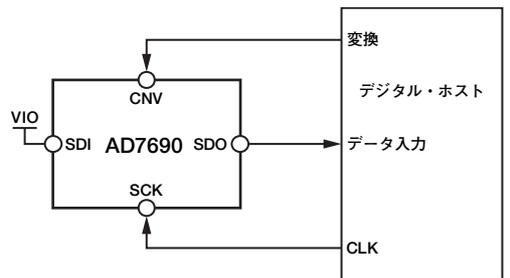


図34. 3線式 $\overline{\text{CS}}$ モード、BUSYインジケータなしの接続図 (SDIハイレベル)

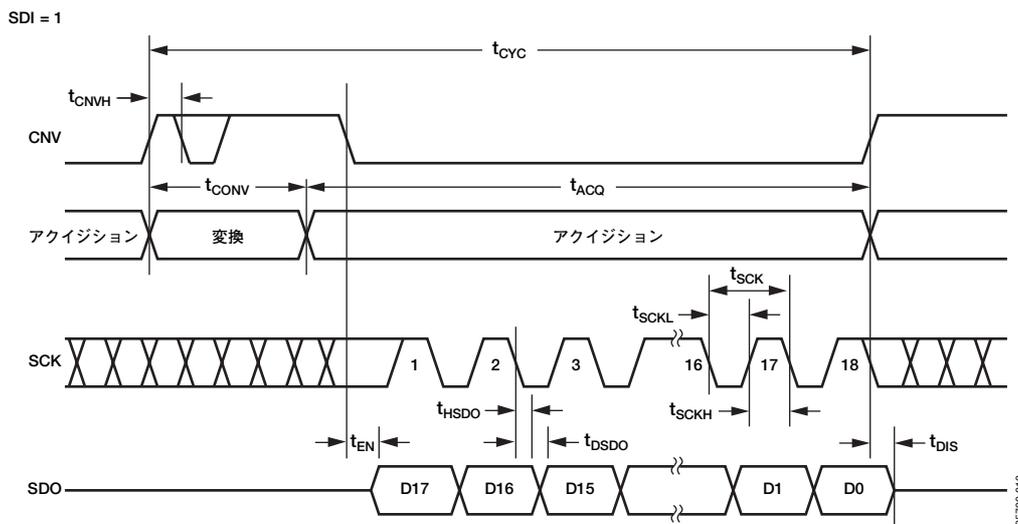


図35. 3線式 $\overline{\text{CS}}$ モード、BUSYインジケータなしのシリアル・インターフェース・タイミング (SDIハイレベル)

CSモード4線式、BUSYインジケータなし

このモードは通常、複数のAD7690をSPI互換のデジタル・ホストに接続しているときに使用します。

図38に2個のAD7690を使用した接続回路の例を、図39に対応するタイミングを示します。

SDIがハイレベルの場合、CNVの立上がりエッジで変換が開始され、CSモードが選択されて、SDOが強制的に高インピーダンスになります。このモードでは、変換フェーズとその後データ読み出し時にCNVをハイレベルに維持します（SDIとCNVがローレベルの場合、SDOはローレベルに駆動されます）。最小変換時間の前にSDIを使って他のSPIデバイス（アナログ・マルチプレクサなど）を選択できますが、SDIは最小変換時間が経過する前にハイレベルに戻り、最大変換可能時間の間

ハイレベルを維持して、BUSY信号インジケータの生成を防止する必要があります。変換が完了すると、AD7690はアキュイジション・フェーズに入り、パワーダウンします。各ADCの処理結果は、SDI入力をローレベルにして読み出すことができます。SDI入力がローレベルになると、MSBがSDOに出力されます。残りのデータビットは後続のSCK立下がりエッジでクロック出力されます。データはSCKの両エッジで有効です。立上がりエッジを使用してデータを取り込むことはできますが、デジタル・ホストはホールド時間が許容できる限りSCKの立下がりエッジを使ってより高速な読み出しレートを達成します。SCKの18番目の立下がりエッジの後またはSDIがハイレベルになるときのいずれか早いほうで、SDOが高インピーダンス状態に戻ります。その結果、もう一方のAD7690の読み出しが可能となります。

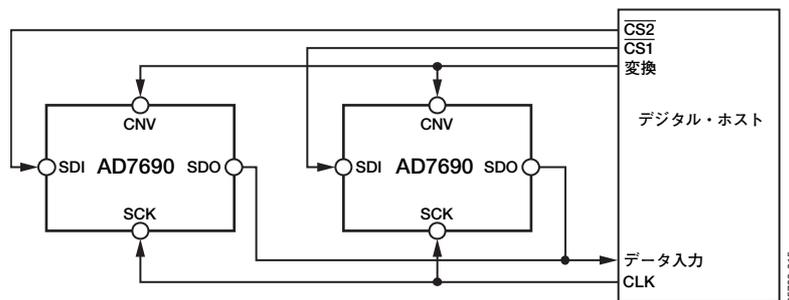


図38. 4線式CSモード、BUSYインジケータなしの接続図

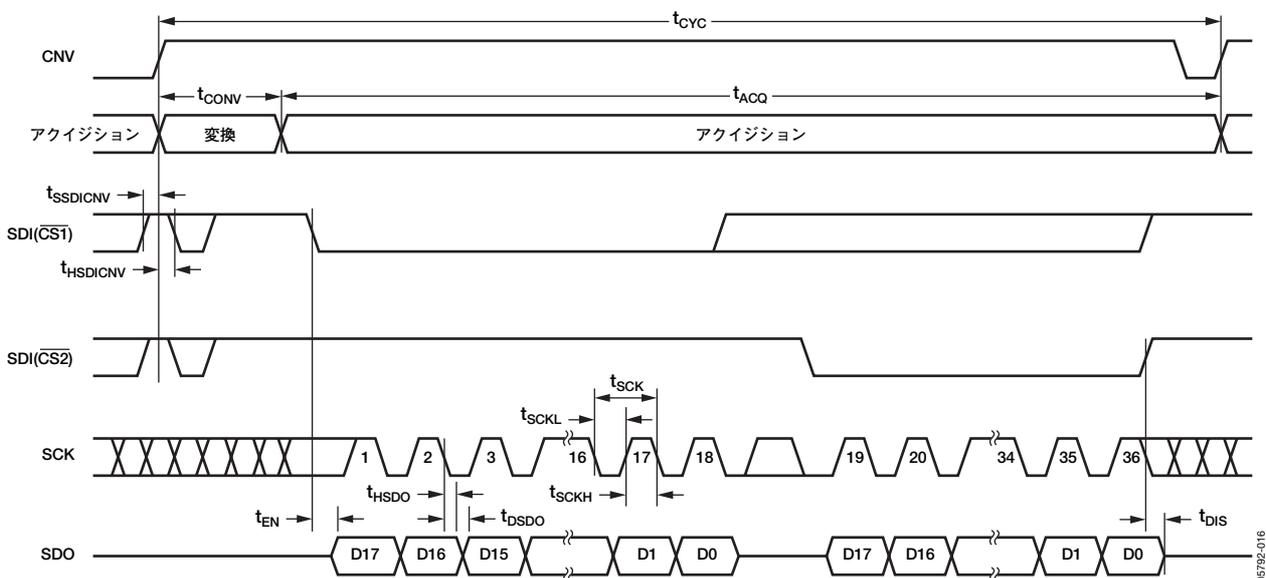


図39. 4線式CSモード、BUSYインジケータなしのシリアル・インターフェース・タイミング

AD7690

CSモード4線式、BUSYインジケータあり

このモードは通常、1個のAD7690を、割込み入力を持つSPI互換のデジタル・ホストに接続しているときにこのモードを使用します。アナログ入力のサンプリングに使用するCNVは、データ読出し選択用の信号に依存しないようにする必要があります。この条件は、CNVで低ジッタが要求されるアプリケーションにとって特に重要です。

図40に接続図を、図41に対応するタイミングを示します。

SDIがハイレベルの場合、CNVの立上がりエッジで変換が開始され、CSモードが選択されて、SDOが強制的に高インピーダンスになります。このモードでは、変換フェーズとその後のデータ読出し時にCNVをハイレベルに維持します（SDIとCNVがローレベルの場合、SDOはローレベルに駆動されます）。最小変換時間の前にSDIを使って他のSPIデバイス（アナログ・マルチプレクサなど）を選択できますが、SDIは最小変換

時間が経過する前にローレベルに戻り、最大変換可能時間の間ローレベルを維持して、BUSY信号インジケータが確実に生成されるようにする必要があります。変換が完了すると、SDOは高インピーダンスから低インピーダンスになります。SDOラインをプルアップしてこの遷移を割込み信号として使用し、デジタル・ホストにより制御されるデータ読出しを開始できます。この後、AD7690はアクイジション・フェーズに入り、パワーダウンします。データビットは、後続のSCK立下がりエッジでMSBファーストでクロック出力されます。データはSCKの両エッジで有効です。立上がりエッジを使用してデータを取り込むことはできませんが、デジタル・ホストはホールド時間が許容できる限りSCKの立下がりエッジを使ってより高速な読出しレートを達成します。オプションの19番目のSCK立下がりエッジの後またはSDIがハイレベルになるときのいずれか早いほうで、SDOが高インピーダンス状態に戻ります。

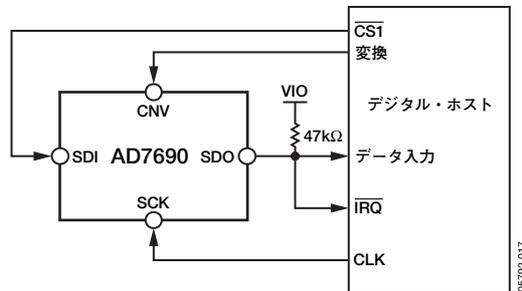


図40. 4線式CSモード、BUSYインジケータありの接続図

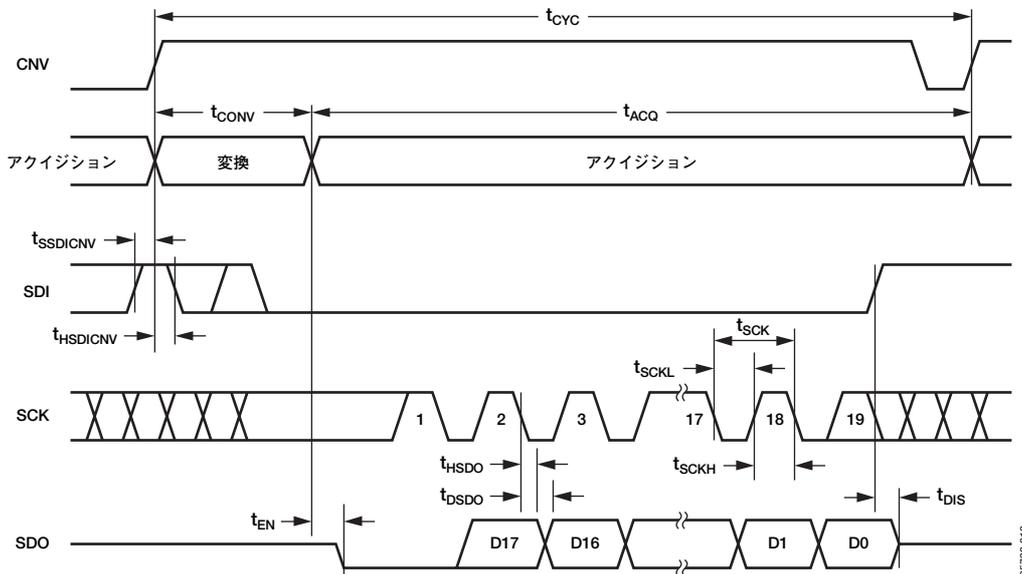


図41. 4線式CSモード、BUSYインジケータありのシリアル・インターフェース・タイミング

チェーン・モード、BUSYインジケータなし

このモードでは、3線式シリアル・インターフェースで複数のAD7690をデジチェーン接続できます。この方法は部品数や接続配線数を最小限にしたい場合に有効です。たとえば、複数のコンバータをそれぞれ絶縁して使用するアプリケーションやインターフェース能力が制限されているシステムなどで役立ちます。データ読出しは、シフト・レジスタのクロック駆動に似ています。

図42に2個のAD7690の接続例を、図43に対応するタイミングを示します。

SDIとCNVがローレベルの場合、SDOはローレベルに駆動されます。SCKがローレベルの場合、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択されて、BUSYインジケータがディスエーブルになります。このモードでは、変換

フェーズとその後のデータ読出し時にCNVをハイレベルに維持します。変換が完了すると、MSBがSDOに出力され、AD7690はアクイジション・フェーズに入り、パワーダウンします。内部シフト・レジスタに格納されている残りのデータビットは、後続のSCK立下がりエッジでクロック出力されます。各ADCでは、SDIが内部シフト・レジスタの入力に接続され、SCKの立下がりエッジでクロック出力されます。チェーン接続された各ADCは、MSBファーストでデータを出力します。N個のADCを読み出すには $18 \times N$ 個のクロックが必要となります。データはSCKの両エッジで有効です。立上がりエッジを使用してデータを取り込むことはできませんが、SCKの立下がりエッジを使用するデジタル・ホストでは、ホールド時間が許容できる限り、より高速な読出しレートが可能になり、結果的により多くのAD7690のチェーン接続を実現できます。最大変換レートは、全読出し時間の長さによって低下する場合があります。

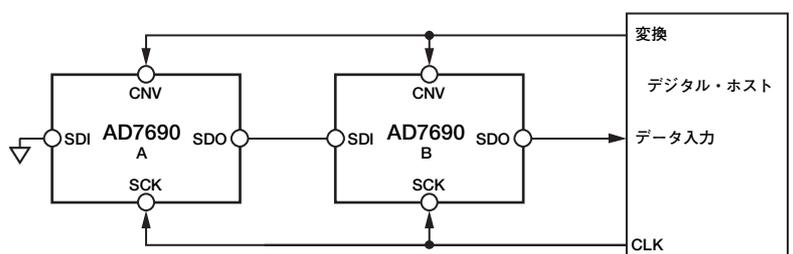


図42. チェーン・モード、BUSYインジケータなしの接続図

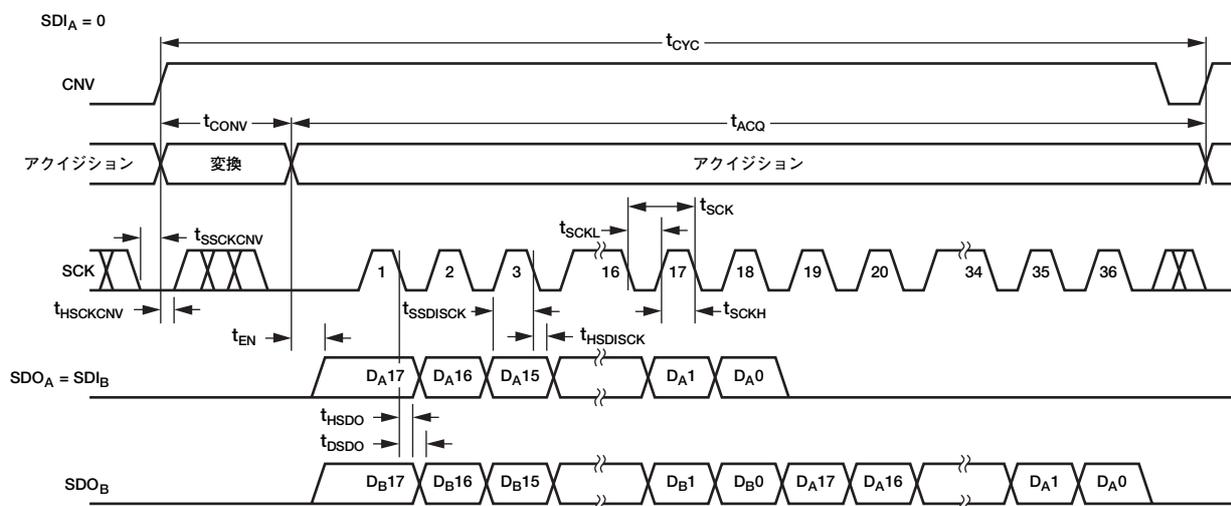


図43. チェーン・モード、BUSYインジケータなしのシリアル・インターフェース・タイミング

AD7690

チェーン・モード、BUSYインジケータあり

このモードでは、3線式シリアル・インターフェースで複数のAD7690をデジチェーン接続すると同時に、BUSYインジケータも提供できます。この方法は部品数や接続配線数を最小限にしたい場合に有効です。たとえば、複数のコンバータをそれぞれ絶縁して使用するアプリケーションやインターフェース能力が制限されているシステムなどで役立ちます。データ読出しは、シフト・レジスタのクロック駆動に似ています。

図44に3個のAD7690の接続例を、図45に対応するタイミングを示します。

SDIとCNVがローレベルの場合、SDOはローレベルに駆動されます。SCKがハイレベルの場合、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択されて、BUSYインジケータ機能がイネーブルになります。このモードでは、変換フェーズとその後のデータ読出し時にCNVをハイレベルに保持します。チェーン接続されたすべてのADCで変換が完了すると、

デジタル・ホスト側に最も近いADC（図44、CのAD7690）のSDOピンがハイレベルに駆動されます。SDOのこの遷移をBUSYインジケータとして使用し、デジタル・ホストで制御されるデータ読出しを開始できます。この後、AD7690はアキュジション・フェーズに入り、パワーダウンします。内部シフト・レジスタに格納されたデータビットは、後続のSCK立下がりエッジでMSBファーストでクロック出力されます。各ADCでは、SDIが内部シフト・レジスタの入力に接続され、SCKの立下がりエッジでクロック出力されます。チェーン接続された各ADCは、MSBファーストでデータを出力します。N個のADCを読み出すには $18 \times N + 1$ 個のクロックが必要となります。立上がりエッジを使用してデータを取り込むことはできませんが、SCKの立下がりエッジを使用するデジタル・ホストでは、ホールド時間が許容できる限り、より高速な読出しレートが可能となり、結果的により多くのAD7690のチェーン接続を実現できます。

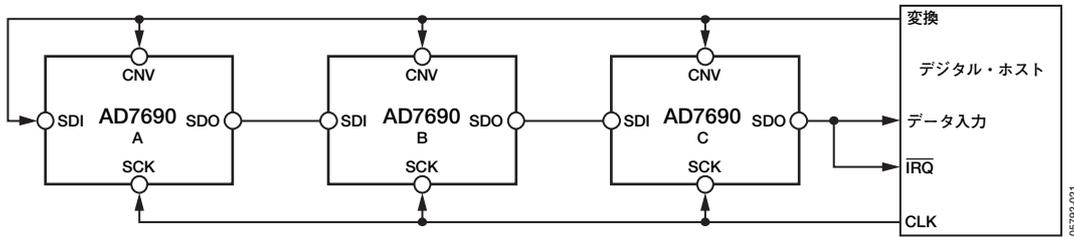


図44. チェーン・モード、BUSYインジケータありの接続図

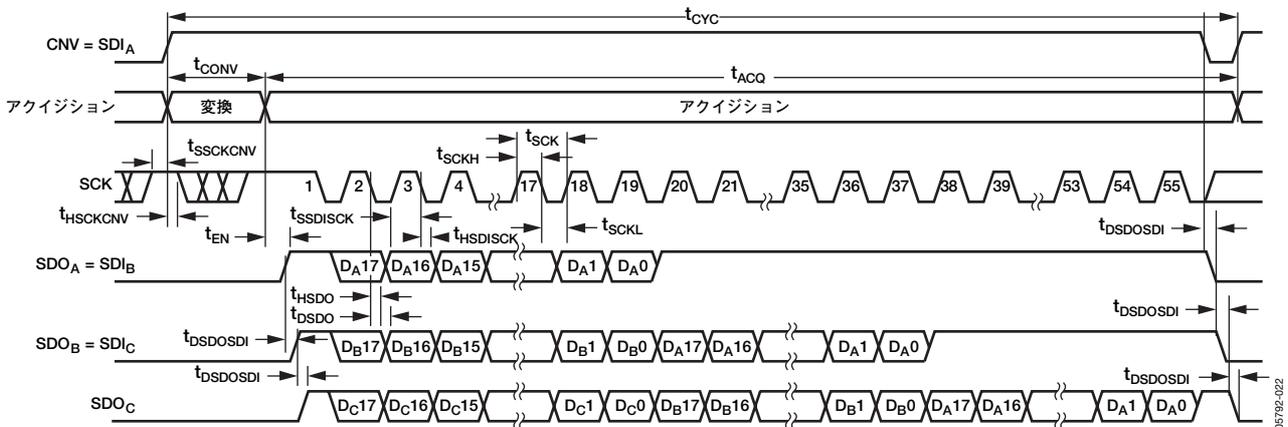


図45. チェーン・モード、BUSYインジケータありのシリアル・インターフェース・タイミング

アプリケーション情報

レイアウトのポイント

AD7690を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。AD7690では、全アナログ信号をボードの左側に、全デジタル信号を右側に配置しているため、この作業が容易に行えます。

AD7690の下のアナログ・グラウンド・プレーンをシールドとして使用しない場合は、チップにノイズが混入するのを防ぐため、デバイスの真下にデジタル・ラインを設置しないでください。CNVやクロックなどの高速スイッチング信号は、アナログ信号パスの近くを通過しないようにします。また、デジタル信号とアナログ信号は交差しないようにしてください。

グラウンド・プレーンは1つ以上使用します。デジタル部とアナログ部で共用することもできますが、別々に使用することもできます。後者の場合、プレーンをAD7690の下で接続してください。

AD7690の電圧リファレンス入力REFは、動的入力インピーダンスを持っているため、最小寄生インダクタンスでデカップリングする必要があります。これを行う場合は、デカップリング用セラミック・コンデンサを、REFピンとGNDピンの近くに、理想的にはこれらのピンのすぐ隣に配置して、それを幅広の低インピーダンス・パターンに接続します。

AD7690の電源VDDとVIOは、セラミック・コンデンサ（一般に100nF）でデカップリングします。そのコンデンサはAD7690の近くに配置し、低インピーダンス・パスを提供する短い太いパターンで接続して、電源ライン上のグリッチによる影響を軽減してください。

これらの規則に従ったレイアウトの一例を図46と図47に示します。

AD7690の性能評価

AD7690の他の推奨レイアウトの概要は、AD7690評価用ボード（EVAL-AD7690CBZ）の付属資料に示しています。評価用ボードのパッケージには、組立不要なテスト済み評価用ボード、付属資料、それに「EVAL-CONTROL BRD3」を介してPCからボードを制御するソフトウェアが同梱されています。

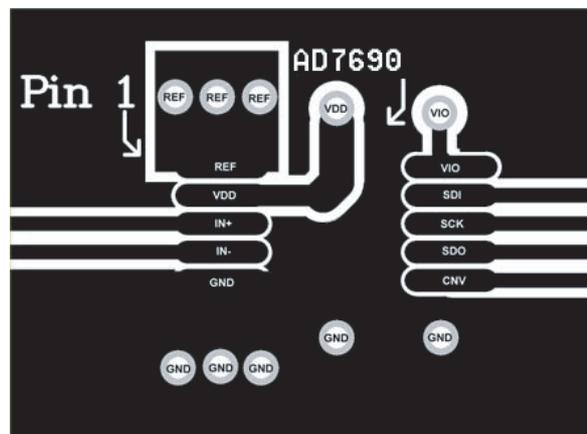


図46. AD7690のレイアウト例（上部レイヤ）

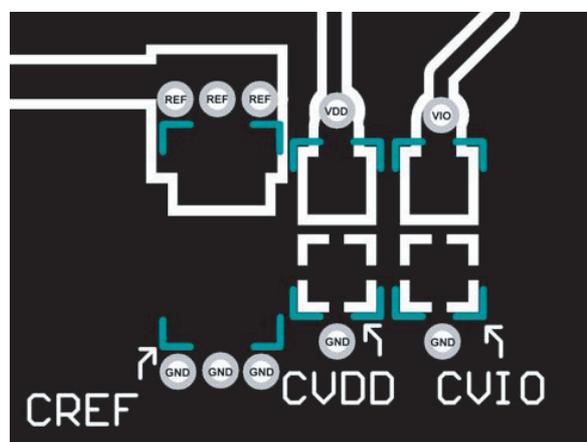
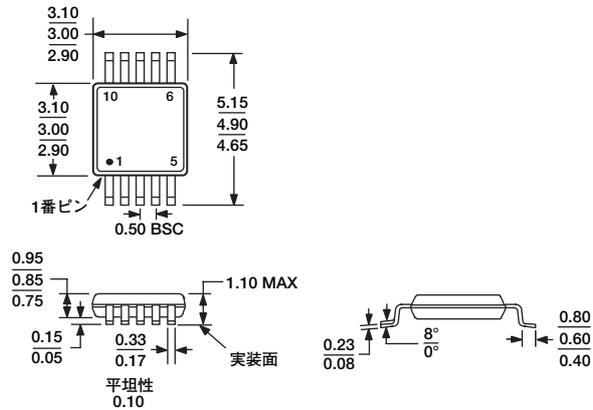


図47. AD7690のレイアウト例（下部レイヤ）

外形寸法



JEDEC規格MO-187-BAに準拠

図48. 10ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-10)
寸法単位：mm

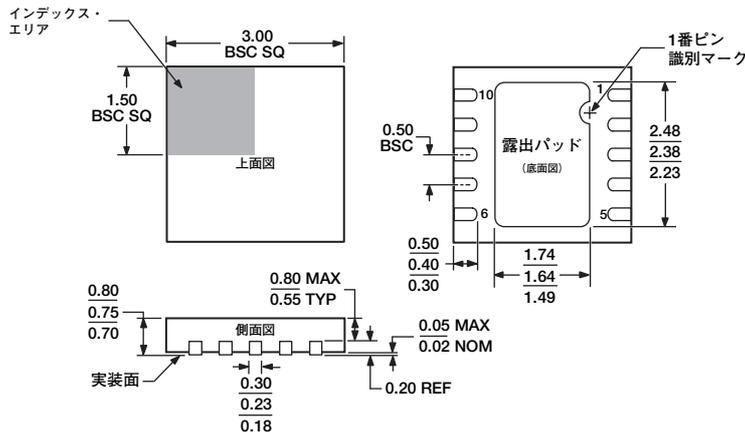


図49. 10ピン・リード・フレーム・チップ・スケール・パッケージ [QFN (LFCSP_WD)]
3mm×3mmボディ、極薄、デュアル・リード (CP-10-9)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	マーキング	梱包数量
AD7690BCPZRL ¹	-40～+85℃	10ピンQFN (LFCSP_WD)	CP-10-9	C4C	リール、5,000
AD7690BCPZ-RL7 ¹	-40～+85℃	10ピンQFN (LFCSP_WD)	CP-10-9	C4C	リール、1,000
AD7690BRMZ ¹	-40～+85℃	10ピンMSOP	RM-10	C4C	チューブ、50
AD7690BRMZ-RL7 ¹	-40～+85℃	10ピンMSOP	RM-10	C4C	リール、1,000
EVAL-AD7690CBZ ^{1, 2}		評価用ボード			
EVAL-AD7690CB ²		評価用ボード			
EVAL-CONTROL BRD2 ³		コントローラ・ボード			
EVAL-CONTROL BRD3 ³		コントローラ・ボード			

¹ Z=RoHS準拠製品

² このボードは、評価/デモンストレーション用に、単独の評価用ボードとして使用したり、EVAL-CONTROL BRDxと組み合わせて使用したりできます。

³ このコントローラ・ボードを使用すると、製品番号末尾にCBが付いたアナログ・デバイス製評価用ボード全製品の制御と通信をPCで行うことができます。