



# 16ビット4/8チャンネル 250 kSPS PuISAR ADC

## AD7682/AD7689

### 特長

- ノーマス・コードの 16 ビット解像度
- 入力選択可能な 4 チャンネル(AD7682)/8 チャンネル(AD7689)マルチプレクサ
  - ユニポーラ・シングルエンド
  - 差動(GND 検出)
  - 疑似バイポーラ
- スループット: 250 kSPS
- INL:  $\pm 0.5$  LSB (typ)、 $\pm 1.5$  LSB (max) ( $\pm 23$  ppm または FSR)
- ダイナミック・レンジ: 93.8 dB
- SINAD: 20 kHz で 92.5 dB
- THD: 20 kHz で  $-100$  dB
- アナログ入力範囲:  $0\text{ V} \sim V_{\text{REF}}$  ( $V_{\text{REF}}$  は VDD まで可能)
- 複数のリファレンス・タイプ
  - 2.5 V または 4.096 V を内部選択可能
  - 外部バッファ付き(最大 4.096 V)
  - 外部(最大 VDD)

- 温度センサーを内蔵
- チャンネル・シーケンサ、選択可能な 1 極フィルタ、ビジー・インジケータ
- パイプライン遅延なしの SAR アーキテクチャ
- 2.7 V $\sim$ 5.5 V の単電源動作で 1.8 V $\sim$ 5 V のロジック・インターフェース
- SPI、MICROWIRE、QSPI、DSP と互換性を持つシリアル・インターフェース
- 消費電力
  - 2.5 V/200 kSPS で 3.5 mW
  - 5 V/250 kSPS で 12 mW
- スタンバイ電流: 50 nA
- 20 ピンの 4 mm x 4 mm LFCSP パッケージを採用

### アプリケーション

- バッテリー駆動の装置
- 医用機器: ECG/EKG
- モバイル通信: GPS
- パーソナル・デジタル・アシスタント
- 電源線監視
- データ・アクイジッション
- 地震データ・アクイジッション・システム
- 計測機器
- プロセス制御

### 機能ブロック図

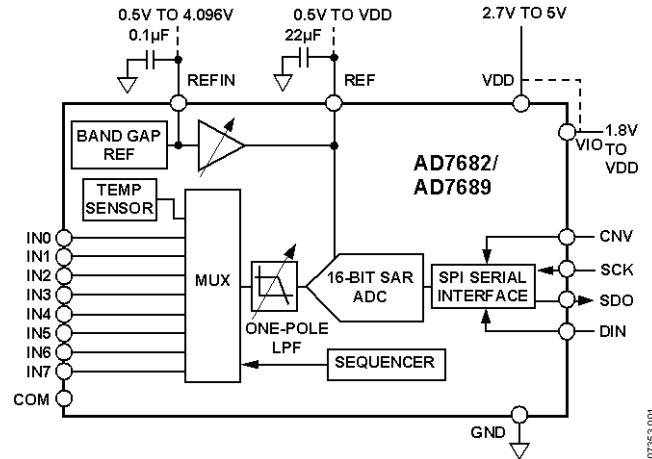


図 1.

表 1.マルチチャンネル 14/16 ビット PuISAR<sup>®</sup> ADC

Type	Channels	250 kSPS	500 kSPS	ADC Driver
14-Bit	8	AD7949		ADA4841-x
16-Bit	4	AD7682		ADA4841-x
16-Bit	8	AD7689	AD7699	ADA4841-x

### 概要

AD7682/AD7689 は、電荷再分配連続近似レジスタ(SAR)を採用した 4/8 チャンネルの 16 ビット A/D コンバータ(ADC)で 5 V 単電源(VDD)で動作します。

AD7682/AD7689 は、マルチチャンネルの低消費電力データ・アクイジッション・システムで使用するすべてのコンポーネントを内蔵しています。この内蔵コンポーネントとしては、ノーマス・コードの真の 16 ビット SAR ADC、4 チャンネル(AD7682)または 8 チャンネル(AD7689)、入力をシングルエンド(グラウンド検出あり/なし)または差動またはバイポーラとして構成する際に便利な低クロストーク・マルチプレクサ、低ドリフト・リファレンス(2.5 V または 4.096 V を選択可能)とバッファ、温度センサー、選択可能な 1 極フィルタ、チャンネルを順に連続スキャンする際に便利なシーケンサなどがあります。

AD7682/AD7689 では、コンフィギュレーション・レジスタへの書き込みと変換結果の読み出しにシンプルな SPI インターフェースを採用しています。SPI インターフェースでは別電源 VIO を使います。この電源は、ホストのロジック・レベルに設定されます。消費電力はスループットに比例します。

AD7682/AD7689 は小型の 20 ピン LFCSP を採用し、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$  の動作仕様です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2008 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	アナログ入力.....	18
アプリケーション.....	1	ドライバ・アンプの選択.....	19
機能ブロック図.....	1	リファレンス電圧出力/入力.....	20
概要.....	1	電源.....	20
改訂履歴.....	2	リファレンス電圧から ADC への電源供給.....	21
仕様.....	3	デジタル・インターフェース.....	22
タイミング仕様.....	6	コンフィギュレーション・レジスタ CFG.....	22
絶対最大定格.....	8	ビジー・インジケータなしでのスパンニング変換の読み出し/ 書き込み.....	24
ESD の注意.....	8	ビジー・インジケータありのスパンニング変換の読み出し/ 書き込み.....	25
ピン配置およびピン機能説明.....	9	アプリケーション情報.....	26
代表的な性能特性.....	11	レイアウト.....	26
用語.....	14	AD7682/AD7689 の性能評価.....	26
動作原理.....	15	外形寸法.....	27
概要.....	15	オーダー・ガイド.....	27
コンバータの動作.....	15		
伝達関数.....	16		
代表的な接続図.....	17		

## 改訂履歴

5/08—Revision 0: Initial Version

## 仕様

特に指定のない限り、VDD = 2.5 V ~ 5.5 V、VIO = 2.3 V ~ VDD、VREF = VDD、すべての仕様は T<sub>MIN</sub> ~ T<sub>MAX</sub>。

表 2.

Parameter	Conditions/Comments	AD7682B/AD7689B			Unit
		Min	Typ	Max	
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	Unipolar mode	0		+V <sub>REF</sub>	V
	Bipolar mode	-V <sub>REF</sub> /2		+V <sub>REF</sub> /2	
Absolute Input Voltage	Positive input, unipolar and bipolar modes	-0.1		V <sub>REF</sub> + 0.1	V
	Negative or COM input, unipolar mode	-0.1		+0.1	
	Negative or COM input, bipolar mode	V <sub>REF</sub> /2 - 0.1	V <sub>REF</sub> /2	V <sub>REF</sub> /2 + 0.1	
Analog Input CMRR	f <sub>N</sub> = 250 kHz		68		dB
Leakage Current at 25°C	Acquisition phase		1		nA
Input Impedance <sup>1</sup>					
THROUGHPUT					
Conversion Rate					
Full Bandwidth <sup>2</sup>	VDD = 4.5 V to 5.5 V	0		250	kSPS
	VDD = 2.7 V to 4.5 V	0		200	kSPS
	VDD = 2.3 V to 2.7 V	0		190	kSPS
¼ Bandwidth	VDD = 4.5 V to 5.5 V	0		60	kSPS
	VDD = 2.7 V to 4.5 V	0		50	kSPS
	VDD = 2.3 V to 2.7 V	0		47	kSPS
Transient Response	Full-scale step, full bandwidth			1.8	µs
	Full-scale step, ¼ bandwidth			14.5	µs
ACCURACY					
No Missing Codes		16			Bits
Integral Linearity Error		-1.5	±0.5	+1.5	LSB <sup>3</sup>
Differential Linearity Error		-1	±0.25	+1.5	LSB
Transition Noise	REF = VDD = 5 V		0.5		LSB
Gain Error <sup>4</sup>		-30	±2	+30	LSB
Gain Error Match		-2	±0.5	+2	LSB
Gain Error Temperature Drift			±1		ppm/°C
Offset Error			±2		LSB
Offset Error Match		-2	±0.5	+2	LSB
Offset Error Temperature Drift			±1		ppm/°C
Power Supply Sensitivity	VDD = 5 V ± 5%		±1.5		LSB

Parameter	Conditions/Comments	AD7682B/AD7689B			Unit
		Min	Typ	Max	
<b>AC ACCURACY<sup>5</sup></b>					
Dynamic Range			93.8		dB <sup>6</sup>
Signal-to-Noise	$f_{IN} = 20 \text{ kHz}$ , $V_{REF} = 5 \text{ V}$	92.5	93.5		dB
	$f_{IN} = 20 \text{ kHz}$ , $V_{REF} = 4.096 \text{ V}$ internal REF	91	92.3		dB
SINAD	$f_{IN} = 20 \text{ kHz}$ , $V_{REF} = 2.5 \text{ V}$ internal REF	87.5	88.8		dB
	$f_{IN} = 20 \text{ kHz}$ , $V_{REF} = 5 \text{ V}$	91	92.5		dB
	$f_{IN} = 20 \text{ kHz}$ , $V_{REF} = 5 \text{ V}$ -60 dB input		33.5		dB
	$f_{IN} = 20 \text{ kHz}$ , $V_{REF} = 4.096 \text{ V}$ internal REF	90	91		dB
	$f_{IN} = 20 \text{ kHz}$ , $V_{REF} = 2.5 \text{ V}$ internal REF	87	88.4		dB
Total Harmonic Distortion	$f_{IN} = 20 \text{ kHz}$		-100		dB
Spurious-Free Dynamic Range	$f_{IN} = 20 \text{ kHz}$		110		dB
Channel-to-Channel Crosstalk	$f_{IN} = 100 \text{ kHz}$ on adjacent channel(s)		-125		dB
<b>SAMPLING DYNAMICS</b>					
-3 dB Input Bandwidth	Selectable	0.425	1.7		MHz
Aperture Delay	$V_{DD} = 5 \text{ V}$		2.5		ns
<b>INTERNAL REFERENCE</b>					
REF Output Voltage	2.5 V, @ 25°C	2.490	2.500	2.510	V
	4.096 V, @ 25°C	4.086	4.096	4.106	V
REFIN Output Voltage <sup>7</sup>	2.5 V, @ 25°C		1.2		V
	4.096 V, @ 25°C		2.3		V
REF Output Current			±300		μA
Temperature Drift			±10		ppm/°C
Line Regulation	$V_{DD} = 5 \text{ V} \pm 5\%$		±15		ppm/V
Long-Term Drift	1000 hours		50		ppm
Turn-On Settling Time	$C_{REF} = 10 \text{ } \mu\text{F}$		5		ms
<b>EXTERNAL REFERENCE</b>					
Voltage Range	REF input	0.5		$V_{DD} + 0.3$	V
	REFIN input (buffered)	0.5		$V_{DD} - 0.2$	V
Current Drain	250 kSPS, REF = 5 V		50		μA
<b>TEMPERATURE SENSOR</b>					
Output Voltage <sup>8</sup>	@ 25°C		283		mV
Temperature Sensitivity			1		mV/°C
<b>DIGITAL INPUTS</b>					
Logic Levels					
$V_{IL}$		-0.3		$+0.3 \times V_{IO}$	V
$V_{IH}$		$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
$I_{IL}$		-1		+1	μA
$I_{IH}$		-1		+1	μA
<b>DIGITAL OUTPUTS</b>					
Data Format <sup>9</sup>					
Pipeline Delay <sup>10</sup>					
$V_{OL}$	ISINK = +500 μA			0.4	V
$V_{OH}$	ISOURCE = -500 μA	$V_{IO} - 0.3$			V

Parameter	Conditions/Comments	AD7682B/AD7689B			Unit
		Min	Typ	Max	
POWER SUPPLIES					
VDD	Specified performance	2.3		5.5	V
VIO	Specified performance	2.3		VDD + 0.3	V
	Operating range	1.8		VDD + 0.3	V
Standby Current <sup>11, 12</sup>	VDD and VIO = 5 V, @ 25°C		50		nA
Power Dissipation	VDD = 2.5 V, 100 SPS throughput		1.7		μW
	VDD = 2.5 V, 100 kSPS throughput		1.75	2.1	mW
	VDD = 2.5 V, 200 kSPS throughput		3.5	4.1	mW
	VDD = 5 V, 250 kSPS throughput		12.5	15.9	mW
	VDD = 5 V, 250 kSPS throughput with internal reference		15.5	19.2	mW
Energy per Conversion			50		nJ
TEMPERATURE RANGE <sup>13</sup>					
Specified Performance	T <sub>MIN</sub> to T <sub>MAX</sub>	-40		+85	°C

<sup>1</sup> アナログ入力のセクションを参照してください。

<sup>2</sup> 帯域幅はコンフィギュレーション・レジスタで設定します。

<sup>3</sup> LSB は最小位ビット。入力範囲が 5 V の場合、1LSB = 76.3μV。

<sup>4</sup> 用語のセクションを参照してください。これらの仕様にはすべての温度範囲の変動が含まれますが、外付けリファレンス電圧の変動による影響は含まれません。

<sup>5</sup> 特に指定のない限り VDD = 5 V。

<sup>6</sup> デシベルで表すすべての規定値はフルスケール入力 FSR を基準とし、特に指定がない限り、フルスケールより 0.5 dB 低い入力信号でテストしています。

<sup>7</sup> これは内蔵バンド・ギャップの出力。

<sup>8</sup> この出力電圧は内部であり専用のマルチプレクサ入力に与えられます。

<sup>9</sup> ユニポーラ・モード: シリアル 16 ビット・ストレート・バイナリ。

バイポーラ・モード: 2 の補数シリアル 16 ビット

<sup>10</sup> 変換結果は、変換完了後直ちに使用可能。

<sup>11</sup> すべてのデジタル入力を必要に応じて VIO または GND に接続。

<sup>12</sup> アクイジション時。

<sup>13</sup> 拡張温度範囲については当社営業にご相談ください。

## タイミング仕様

特に指定のない限り、VDD = 4.5 V ~ 5.5 V、VIO = 2.3 V ~ VDD、すべての仕様は  $T_{MIN} \sim T_{MAX}$ 。

表 3.<sup>1</sup>

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available	$t_{CONV}$			2.2	$\mu$ s
Acquisition Time	$t_{ACQ}$	1.8			$\mu$ s
Time Between Conversions	$t_{CYC}$	4			$\mu$ s
CNV Pulse Width	$t_{CNVH}$	10			ns
Data Write/Read During Conversion	$t_{DATA}$			1.4	$\mu$ s
SCK Period	$t_{SCK}$	15			ns
SCK Low Time	$t_{SCKL}$	7			ns
SCK High Time	$t_{SCKH}$	7			ns
SCK Falling Edge to Data Remains Valid	$t_{HSDO}$	4			ns
SCK Falling Edge to Data Valid Delay	$t_{DSDO}$				
VIO Above 4.5 V				16	ns
VIO Above 3 V				17	ns
VIO Above 2.7 V				18	ns
VIO Above 2.3 V				19	ns
CNV Low to SDO D15 MSB Valid	$t_{EN}$				
VIO Above 4.5 V				15	ns
VIO Above 3 V				17	ns
VIO Above 2.7 V				18	ns
VIO Above 2.3 V				22	ns
CNV High or Last SCK Falling Edge to SDO High Impedance	$t_{DIS}$			25	ns
CNV Low to SCK Rising Edge	$t_{CLSCK}$	10			ns
DIN Valid Setup Time from SCK Falling Edge	$t_{SDIN}$	4			ns
DIN Valid Hold Time from SCK Falling Edge	$t_{HDIN}$	4			ns

<sup>1</sup> 負荷条件については図 2 と図 3 を参照してください。

特に指定のない限り、VDD = 2.5 V ~ 4.5 V、VIO = 2.3 V ~ VDD、すべての仕様は T<sub>MIN</sub> ~ T<sub>MAX</sub>。

表 4.<sup>1</sup>

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available					
VDD = 2.7 V to 4.5 V	t <sub>CONV</sub>			3.2	μs
VDD = 2.3 V to 2.7 V	t <sub>CONV</sub>			3.4	μs
Acquisition Time	t <sub>ACQ</sub>	1.8			μs
Time Between Conversions					μs
VDD = 2.7 V to 4.5 V	t <sub>CYC</sub>	5			μs
VDD = 2.3 V to 2.7 V	t <sub>CYC</sub>	5.2			μs
CNV Pulse Width	t <sub>CNVH</sub>	10			ns
Data Write/Read During Conversion	t <sub>DATA</sub>			1.4	μs
SCK Period	t <sub>SCK</sub>	25			ns
SCK Low Time	t <sub>SCKL</sub>	12			ns
SCK High Time	t <sub>SCKH</sub>	12			ns
SCK Falling Edge to Data Remains Valid	t <sub>HSDO</sub>	5			ns
SCK Falling Edge to Data Valid Delay	t <sub>DSDO</sub>				
VIO Above 3 V				24	ns
VIO Above 2.7 V				30	ns
VIO Above 2.3 V				37	ns
CNV Low to SDO D15 MSB Valid	t <sub>EN</sub>				
VIO Above 3 V				21	ns
VIO Above 2.7 V				27	ns
VIO Above 2.3 V				35	ns
CNV High or Last SCK Falling Edge to SDO High Impedance	t <sub>DIS</sub>			50	ns
CNV Low to SCK Rising Edge	t <sub>CLSCK</sub>	10			ns
SDI Valid Setup Time from SCK Falling Edge	t <sub>SDIN</sub>	5			ns
SDI Valid Hold Time from SCK Falling Edge	t <sub>HDIN</sub>	5			ns

<sup>1</sup> 負荷条件については、図2と図3を参照してください。

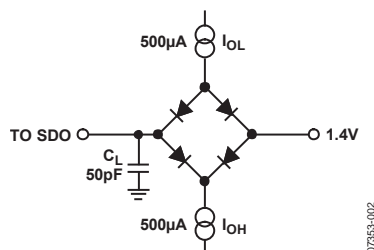


図 2. デジタル・インターフェース・タイミングの負荷回路

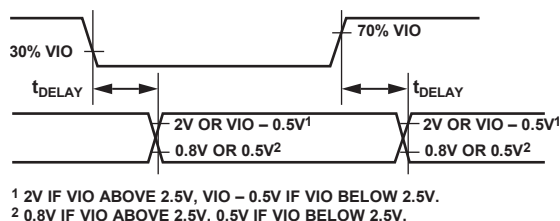


図 3. タイミングの電圧レベル

## 絶対最大定格

表 5.

Parameter	Rating
Analog Inputs INx, <sup>1</sup> COM <sup>1</sup>	GND - 0.3 V to VDD + 0.3 V or VDD ± 130 mA
REF, REFIN	GND - 0.3 V to VDD + 0.3 V
Supply Voltages	
VDD, VIO to GND	-0.3 V to +7 V
VDD to VIO	±7 V
DIN, CNV, SCK to GND <sup>2</sup>	-0.3 V to VIO + 0.3 V
SDO to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
$\theta_{JA}$ Thermal Impedance (LFCSP)	47.6°C/W
$\theta_{JC}$ Thermal Impedance (LFCSP)	4.4°C/W

<sup>1</sup> アナログ入力のセクションを参照してください。

<sup>2</sup> パワーアップ時に CNV はロー・レベルである必要があります。電源のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



## ピン配置およびピン機能説明

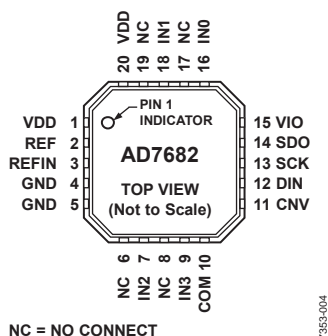


図 4.AD7682 20-Lead LFCSP (QFN)ピン配置

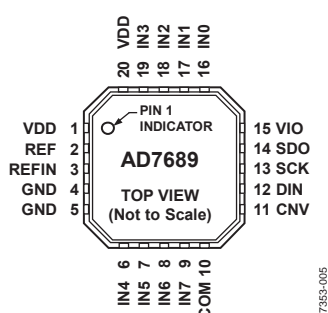


図 5.AD7689 20-Lead LFCSP (QFN)ピン配置

表 6.ピン機能の説明

ピン番号	AD7682 記号	AD7689 記号	タイプ <sup>1</sup>	説明
1、20	VDD	VDD	P	電源。外部リファレンス電圧使用の場合は公称 2.5 V～5.5 V で、10 $\mu$ F と 100 nF のコンデンサでデカップリング。 2.5 V 出力に対して内部リファレンス電圧を使用の場合、最小電圧は 2.7 V。 4.096 V 出力に対して内部リファレンス電圧を使用の場合、最小電圧は 4.5 V。
2	REF	REF	AI/O	リファレンス電圧入力/出力。リファレンス電圧出力/入力のセクションを参照してください。内部リファレンス電圧をイネーブルした場合、このピンに選択可能なシステム・リファレンス=2.5 V または 4.096 V が出力されます。内部リファレンス電圧をディスエーブルし、かつバッファをイネーブルした場合、REF には、REFIN ピンの電圧をバッファした電圧(最大 VDD - 0.3 V)が出力されます。低価格低消費電力リファレンス電圧を使う場合に便利です。ドリフト性能を向上させるためには、高精度リファレンス電圧を REF に接続してください(0.5 V～VDD)。どのリファレンス方法の場合でも、REF のできるだけ近くに 10 $\mu$ F の外付けコンデンサを接続してこのピンをデカップリングする必要があります。リファレンス電圧のデカップリングのセクションを参照してください。
3	REFIN	REFIN	AI/O	内部リファレンス出力/リファレンス・バッファ入力。リファレンス電圧出力/入力のセクションを参照してください。 内部リファレンス電圧を使う場合は、バッファなしの内部リファレンス電圧が出力されるため、0.1 $\mu$ F のコンデンサでデカップリングする必要があります。内部リファレンス・バッファを使用する場合は、前述のように REF ピンに対してバッファされた 0.5 V～4.096 V の電源を供給してください。
4、5	GND	GND	P	電源グラウンド。
6	NC	IN4	AI	AD7682:未接続。 AD7689:アナログ入力チャンネル 4。
7	IN2	IN5	AI	AD7682:アナログ入力チャンネル 2。 AD7689:アナログ入力チャンネル 5。
8	NC	IN6	AI	AD7682:未接続。 AD7689:アナログ入力チャンネル 6。
9	IN3	IN7	AI	AD7682:アナログ入力チャンネル 3。 AD7689:アナログ入力チャンネル 7。

ピン 番号	AD7682 記号	AD7689 記号	タイプ <sup>1</sup>	説明
10	COM	COM	AI	コモン・チャンネル入力。すべてのチャンネル[3:0]または[7:0]は、0 V または $V_{REF}/2$ V の同相モード・ポイントを基準とすることができます。
11	CNV	CNV	DI	変換入力。立ち上がりエッジで、CNV が変換を起動します。変換中に、CNV がハイ・レベルにされると、ビジー・インジケータがイネーブルされます。
12	DIN	DIN	DI	データ入力。この入力は、14 ビット・コンフィギュレーション・レジスタの書き込みに使われます。コンフィギュレーション・レジスタは、変換中および変換後に書き込むことができます。
13	SCK	SCK	DI	シリアル・データ・クロック入力。この入力は、MSB ファーストでデータを SDO にクロックアウトし、DIN にクロックインするのに使用されます。
14	SDO	SDO	DO	シリアル・データ出力。変換結果は SCK に同期してこのピンに出力されます。変換結果はユニポーラ・モードではストレート・バイナリで、バイポーラ・モードでは 2 の補数で表されます。
15	VIO	VIO	P	入出力インターフェースのデジタル電源。公称では、ホスト・インターフェース(1.8 V、2.5 V、3 V、5 V)と同じ電源。
16	IN0	IN0	AI	アナログ入力チャンネル 0。
17	NC	IN1	AI	AD7682:未接続。 AD7689:アナログ入力チャンネル 1。
18	IN1	IN2	AI	AD7682:アナログ入力チャンネル 1。 AD7689:アナログ入力チャンネル 2。
19	NC	IN3	AI	AD7682:未接続。 AD7689:アナログ入力チャンネル 3。

<sup>1</sup>AI = アナログ入力、AI/O = アナログ入力/出力、DI = デジタル入力、DO = デジタル出力、P = 電源。

代表的な性能特性

VDD = 2.5 V ~ 5.5 V、VREF = 2.5 V ~ 5 V、VIO = 2.3 V ~ VDD

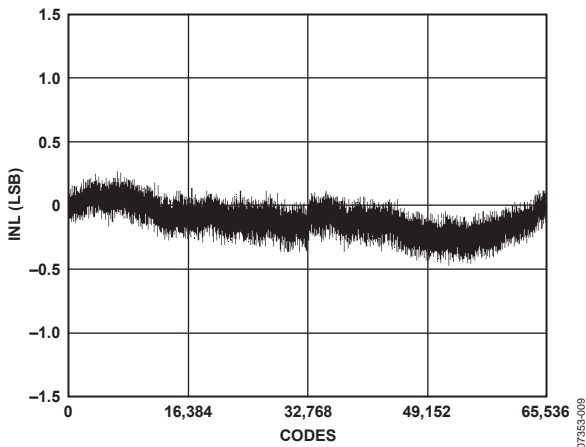


図 6. 積分非直線性対コード、VREF = VDD = 5 V

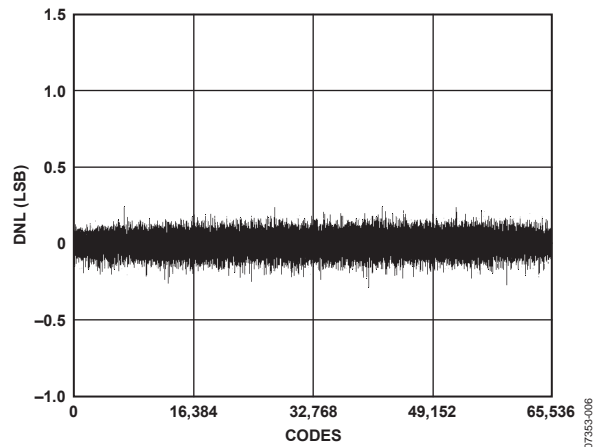


図 9. 微分非直線性対コード、VREF = VDD = 5 V

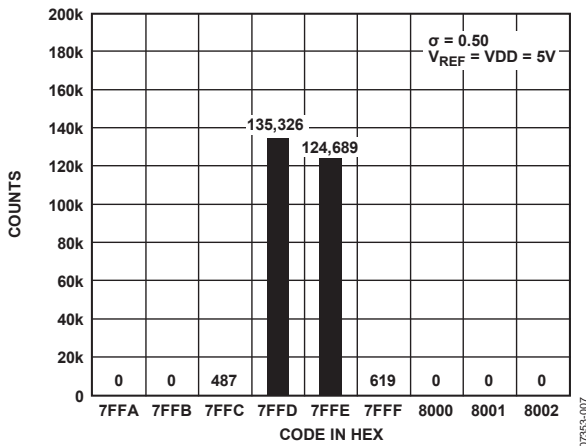


図 7. コード中心での DC 入力のヒストグラム

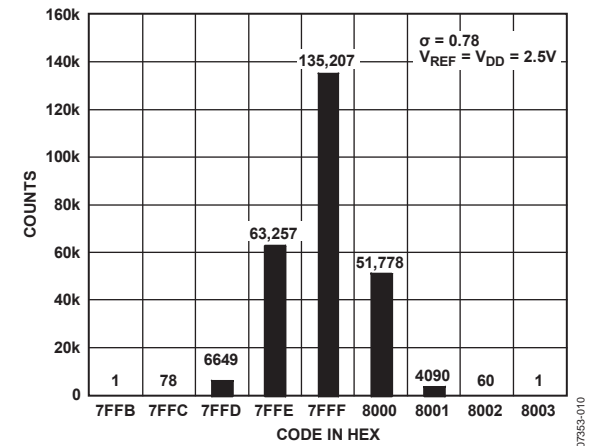


図 10. コード中心での DC 入力のヒストグラム

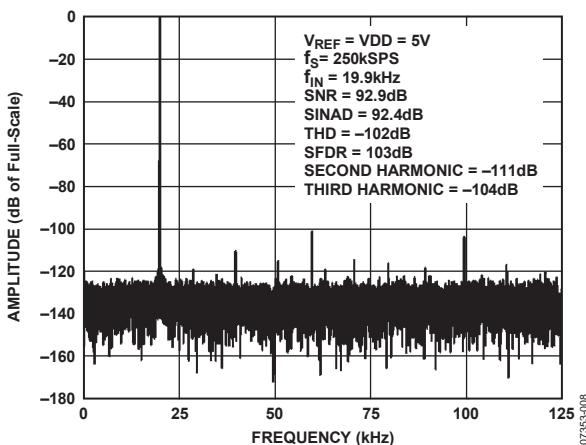


図 8. 20 kHz FFT、VREF = VDD = 5 V

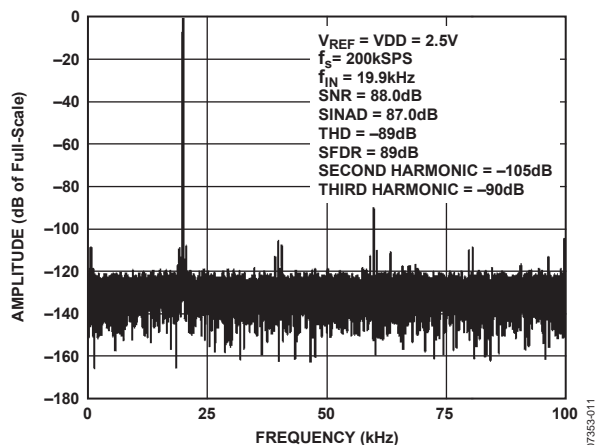


図 11. 20 kHz FFT、VREF = VDD = 2.5 V

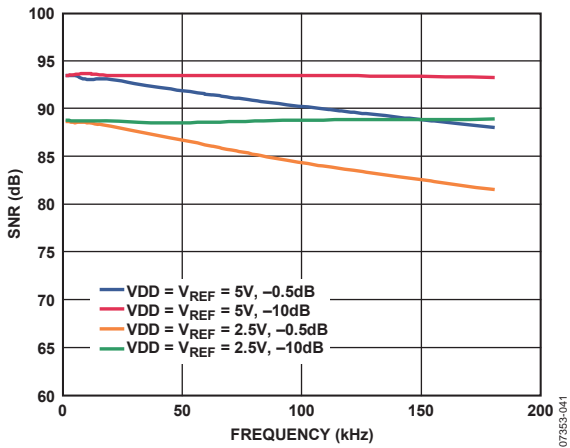


図 12. SNR の周波数特性

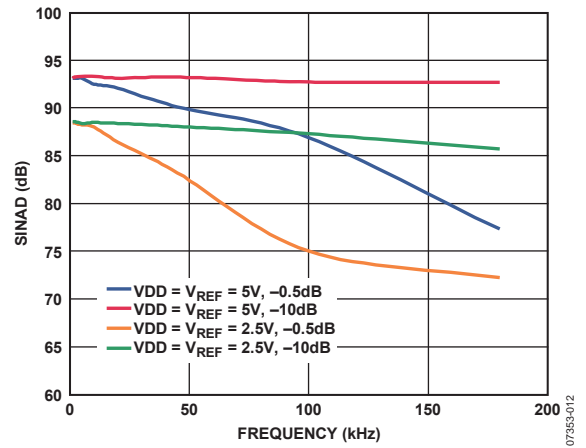


図 15. SINAD の周波数特性

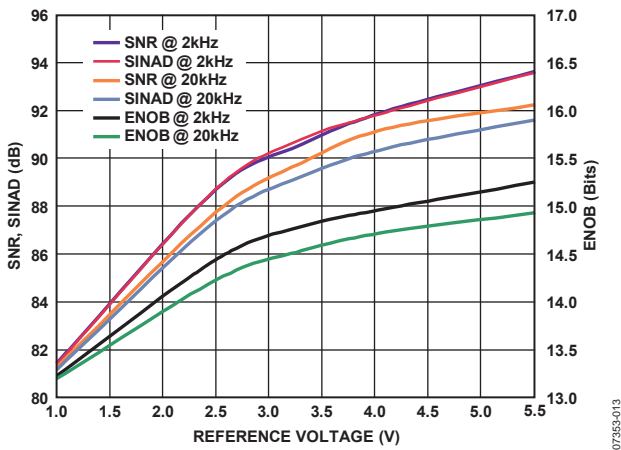


図 13. SNR、SINAD、ENOB 対リファレンス電圧

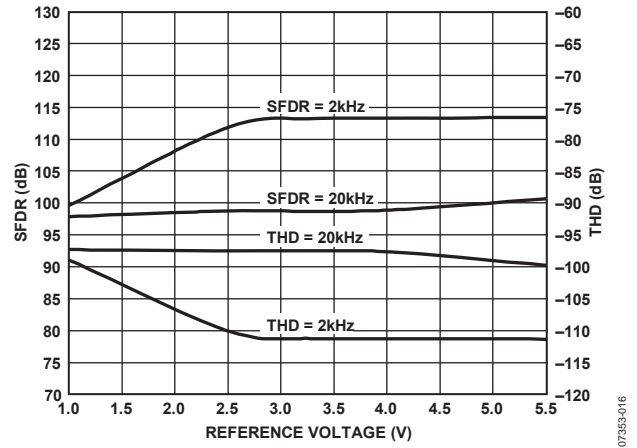


図 16. SFDR および THD 対リファレンス電圧

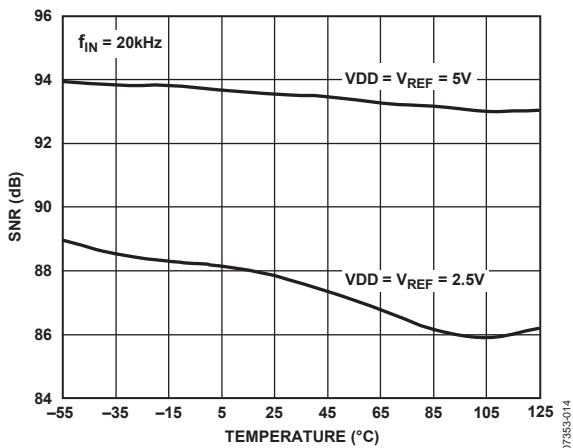


図 14. SNR の温度特性

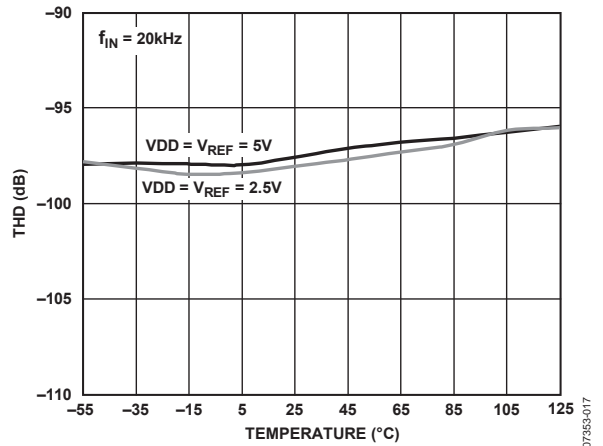


図 17. THD の温度特性

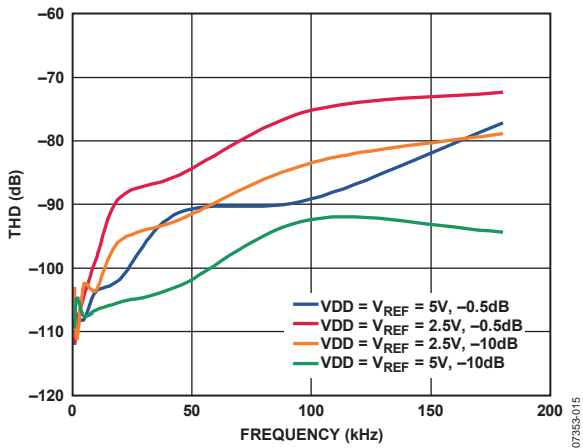


図 18. THD の周波数特性

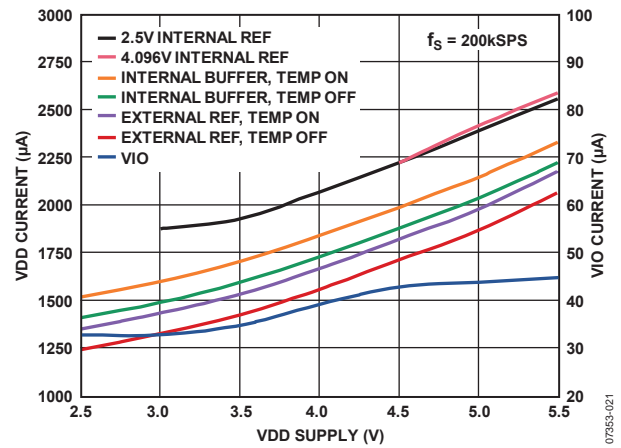


図 21. 動作電流対電源

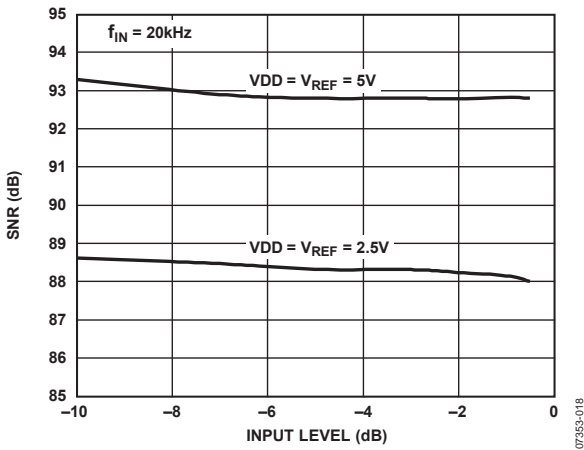


図 19. SNR 対入力レベル

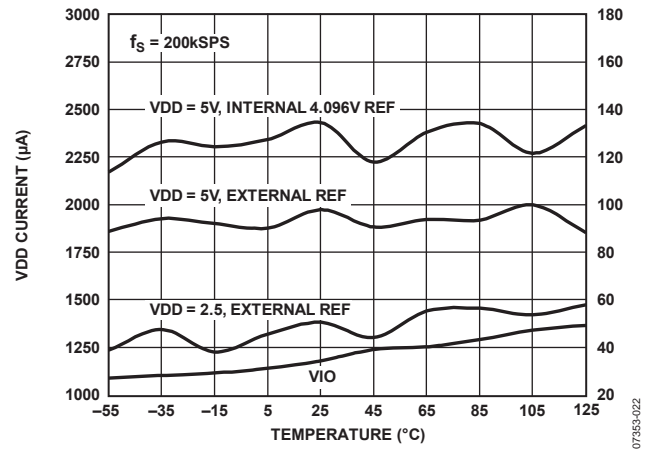


図 22. 動作電流の温度特性

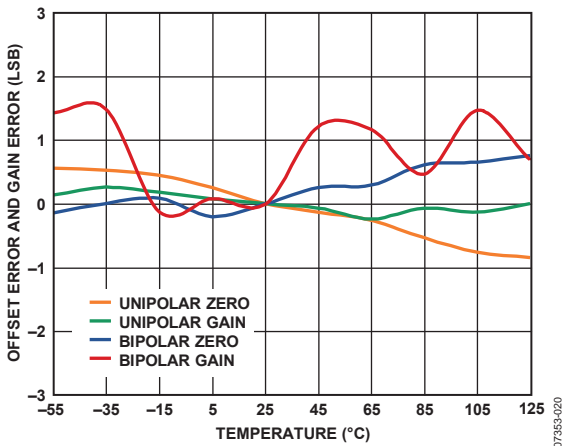


図 20. オフセットおよびゲイン誤差の温度特性

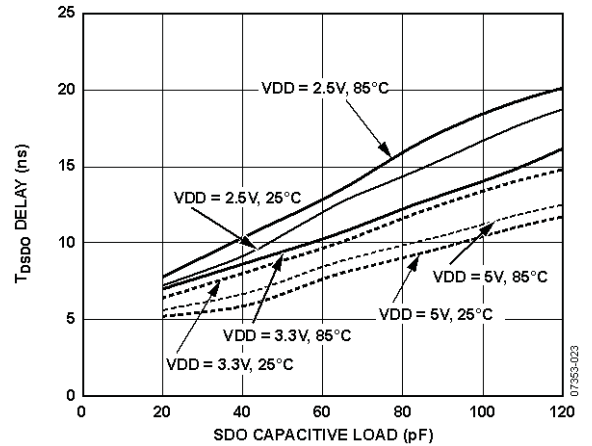


図 23. t<sub>SDO</sub> 遅延対 SDO 容量負荷および電源

## 用語

### 最下位ビット (LSB)

LSB は、コンバータで表現できる最小のステップです。分解能 N ビットの A/D コンバータの場合、ボルトで表した LSB は次式で表されます。

$$LSB (V) = \frac{V_{REF}}{2^N}$$

### 積分非直線性誤差 (INL)

INL は、負側のフル・スケールと正側のフル・スケールを結ぶ直線と実際のコード出力との誤差として定義されます。負側フル・スケールとして使用されるポイントは、最初のコード遷移より  $\frac{1}{2}$  LSB だけ下に存在します。正フル・スケールは、最後のコード遷移より  $\frac{1}{2}$  LSB だけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます(図 25)。

### 微分非直線性誤差 (DNL)

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。DNL は、この理論値からの最大偏差を意味します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

### オフセット誤差

最初のコード変化は、アナログ・グラウンドより  $\frac{1}{2}$  LSB だけ大きいレベルで発生します。ユニポーラ・オフセット誤差は、そのポイントと実際の変化との差を意味します。

### ゲイン誤差

最後の变化(111 ... 10 から 111 ... 11 へ)は、公称フル・スケールより 1.5 LSB だけ小さいアナログ値で発生します。ゲイン誤差は、オフセット誤差を調整した後の、理論レベルと最後の变化に対する実際のレベルとの差(LSB 数またはフル・スケール範囲のパーセント値で表示)です。オフセット誤差の影響を含むフル・スケール誤差(これも LSB 数またはフル・スケール範囲のパーセント値で表示)に密接に関係しています。

### アパーチャ遅延

アパーチャ遅延は、アキュイジション性能を表します。CNV 入力の立ち上がりエッジから入力信号が変換用に保持されまでの時間を表します。

### 過渡応答

フル・スケールのステップ関数が入力された後に ADC が正確に入力を取得するまでに要する時間を表します。

### ダイナミック・レンジ

入力を短絡して測定した合計 rms ノイズに対するフル・スケールの rms 値の比を表します。ダイナミック・レンジの値はデシベル値で表されます。

### SNR (信号対ノイズ比)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

### 信号対(ノイズ+歪み)比(SINAD)

SINAD は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD は、デシベル値で表されます。

### 総合高調波歪み (THD)

THD とは、基本波から 5 次高調波部品までの rms 値の総和の、フル・スケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

### スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、デシベル値で表します。

### 実効ビット数 (ENOB)

ENOB は、正弦波を入力したときの分解能を表します。SINAD と次式の関係があります。

$$ENOB = (SINAD_{dB} - 1.76) / 6.02$$

ビット数で表されます。

### チャンネル間クロストーク

チャンネル間クロストークは、2つの隣接チャンネル間でのクロストークのレベルの大きさを表します。DC をチャンネル被テストへ、フル・スケールの 100 kHz 正弦波信号を隣接チャンネルへ、それぞれ入力して測定します。クロストークは、テスト・チャンネルへ漏れる信号の大きさで、デシベル値で表されます。

### リファレンス電圧の温度係数

リファレンス電圧の温度係数は、 $T_{MIN}$ 、 $T(25^{\circ}C)$ 、 $T_{MAX}$  で測定した最大および最小リファレンス出力電圧( $V_{REF}$ )でのサンプル・デバイスの  $25^{\circ}C$  での出力電圧シフト (typ) から導出され、ppm/ $^{\circ}C$  値で表されます。

$$TCV_{REF}(\text{ppm}/^{\circ}C) = \frac{V_{REF}(Max) - V_{REF}(Min)}{V_{REF}(25^{\circ}C) \times (T_{MAX} - T_{MIN})} \times 10^6$$

ここで、 $V_{REF}(Max)$  は  $T_{MIN}$ 、 $T(25^{\circ}C)$ 、または  $T_{MAX}$  での最大  $V_{REF}$ 。  $V_{REF}(Min)$  は  $T_{MIN}$ 、 $T(25^{\circ}C)$ 、または  $T_{MAX}$  での最小  $V_{REF}$ 。  $V_{REF}(25^{\circ}C) = 25^{\circ}C$  での  $V_{REF}$ 。  $T_{MAX} = +85^{\circ}C$ 。  $T_{MIN} = -40^{\circ}C$ 。

## 動作原理

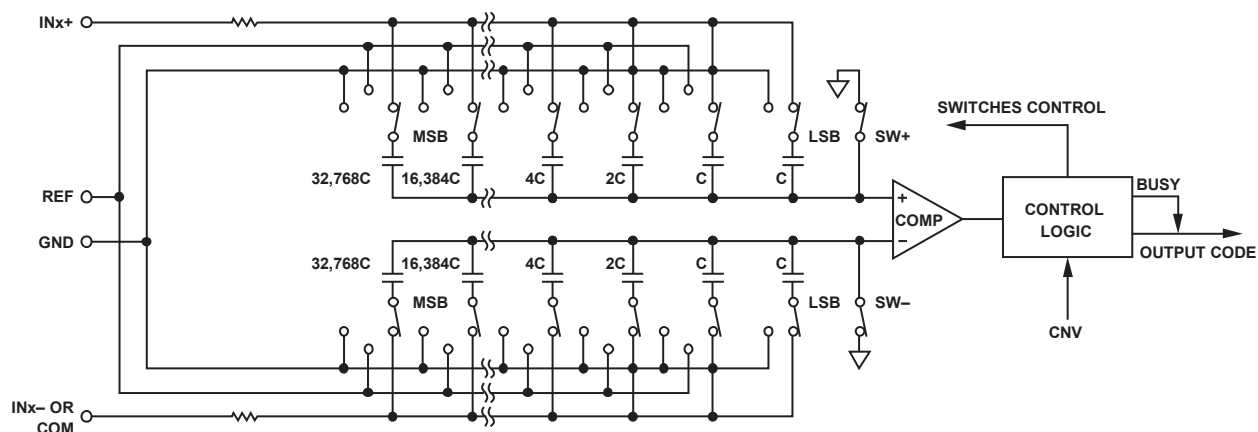


図 24.ADC の簡略化した回路図

## 概要

AD7682/AD7689 は、電荷再分配連続近似レジスタ(SAR)を採用した 4/8 チャンネルの 16 ビット A/D コンバータ(ADC)です。これらのデバイスは毎秒 250,000 サンプル(250 kSPS)の変換が可能で、変換と変換の間にパワーダウンします。たとえば、外部リファレンス電圧で 1 kSPS の動作の場合、消費電力は 17  $\mu$ W (typ) であるためバッテリー駆動アプリケーションに最適です。

AD7682/AD7689 は、マルチチャンネルの低消費電力データ・アクイジション・システムで使用する、次を含むすべてのコンポーネントを内蔵しています。

- ノー・ミッシング・コードの 16 ビット SAR ADC
- 4 チャンネル/8 チャンネルの低クロストーク・マルチプレクサ
- 低ドリフト・リファレンスとバッファ
- 温度センサー
- 選択可能な 1 極フィルタ
- チャンネル・シーケンサ

これらのコンポーネントは、SPI 互換の 14 ビット・レジスタを使って設定します。変換結果(SPI 互換)は変換中または変換後に読み出すことができ、現在の設定を読み出すオプションもあります。

AD7682/AD7689 はトラック&ホールドを内蔵しているため、パイプライン遅延すなわちレイテンシはありません。

AD7682/AD7689 は 2.3 V~5.5 V の仕様であるため、1.8 V~5 V のデジタル・ロジック・ファミリーとインターフェースすることができます。20 ピンの 4 mm  $\times$  4 mm LFCSP パッケージを採用しているため、省スペースと柔軟な構成が可能です。これらのデバイスは、16 ビット [AD7699](#) と 14 ビット [AD7949](#) とピン互換です。

## コンバータの動作

AD7682/AD7689 は、電荷再分配型 DAC を採用する連続近似型 A/D コンバータです。図 24 に、ADC の簡略化した回路図を示します。容量を使用するこの DAC は、2 進数の重みを持った 16 個コンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アクイジション・フェーズでは、コンパレータ入力に接続されたアレイの端子は、SW+と SW-を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。

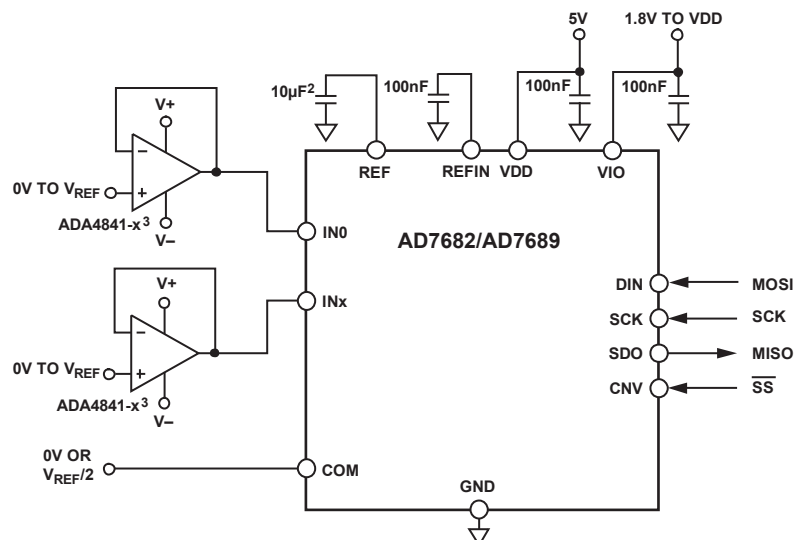
したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、INx+入力と INx-(または COM)入力上のアナログ信号が取り込まれます。アクイジション・フェーズが終わると、CNV 入力が高レベルになり、変換フェーズが開始されます。変換フェーズが開始されると、まず SW+と SW-が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アクイジション・フェーズの終わりに取り込まれた、INx+入力と INx-(または COM)入力との差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントを GND と CAP の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ ( $V_{REF}/2$ 、 $V_{REF}/4$ 、... $V_{REF}/32,768$ )で変えます。コントロール・ロジックがこれらのスイッチをトグルして(MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアクイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードを発生し、ビジーを表示します。

AD7682/AD7689 は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロック、SCK は不要です。





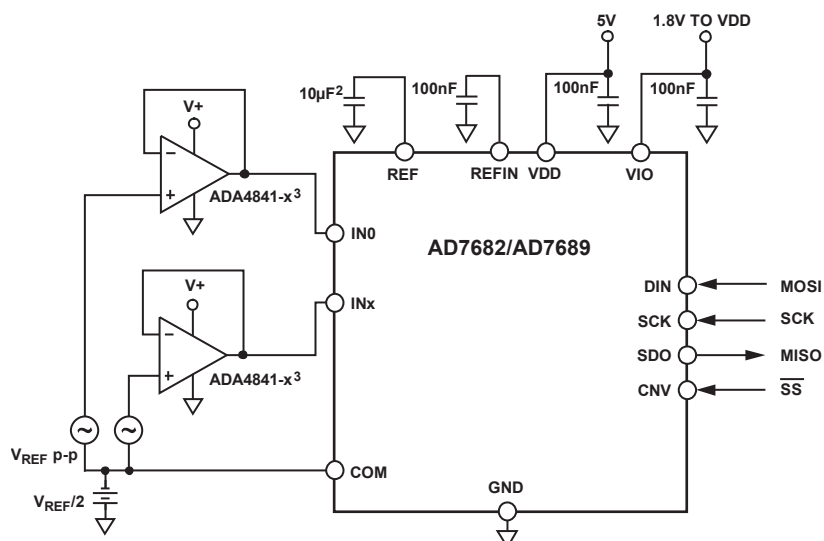
## 代表的な接続図



## NOTES:

1. INTERNAL REFERENCE SHOWN. SEE VOLTAGE REFERENCE OUTPUT/INPUT SECTION FOR REFERENCE SELECTION.
2.  $C_{REF}$  IS USUALLY A  $10\mu\text{F}$  CERAMIC CAPACITOR (X5R).
3. SEE DRIVER AMPLIFIER CHOICE SECTION FOR ADDITIONAL RECOMMENDED AMPLIFIERS.
4. SEE THE DIGITAL INTERFACE SECTION FOR CONFIGURING AND READING CONVERSION DATA.

図 26.複数の電源を使用する代表的なアプリケーション図



## NOTES:

1. INTERNAL REFERENCE SHOWN. SEE VOLTAGE REFERENCE OUTPUT/INPUT SECTION FOR REFERENCE SELECTION.
2.  $C_{REF}$  IS USUALLY A  $10\mu\text{F}$  CERAMIC CAPACITOR (X5R).
3. SEE DRIVER AMPLIFIER CHOICE SECTION FOR ADDITIONAL RECOMMENDED AMPLIFIERS.
4. SEE THE DIGITAL INTERFACE SECTION FOR CONFIGURING AND READING CONVERSION DATA.

図 27.バイポーラ入力を使用する代表的なアプリケーション図

## ユニポーラまたはバイポーラ

図 26 に、複数の電源が使用可能な場合の AD7682/AD7689 の推奨接続図例を示します。

## バイポーラ単電源

図 27 に、単電源と内部リファレンス電圧(オプションの別 VIO 電源)を使用したバイポーラ入力を持つシステムの例を示します。この回路は、アンプ/シグナル・コンデショニング回路がリモートに配置されているため同相モードが存在するときにも有効です。すべての入力構成で、入力  $IN_x$  はユニポーラであり常に GND (バイポーラ範囲でも負電圧になりません)を基準とすることに注意してください。

この回路では、レール to レール入力/出力アンプを使用することができますが、オフセット電圧対入力同相モード範囲を考慮する必要があります( $V_{REF} = 4.096 \text{ V}$  で  $1 \text{ LSB} = 62.5 \mu\text{V}$ )。バイポーラ入力構成を使用すると、変換結果は 2 の補数フォーマットになることに注意してください。単電源アンプの使い方については、アプリケーション・ノート AN-581 を参照してください。

## アナログ入力

### 入力構造

図 28 に、AD7682/AD7689 のアナログ入力構造の等価回路を示します。ダイオード D1 と D2 は、アナログ入力  $IN[7:0]$  と COM に対する ESD 保護用です。アナログ入力信号が電源レールより 0.3V 以上高くないよう注意する必要があります。0.3V を超えると、ダイオードが順方向バイアスされて電流が流れてしまいます。

これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。例えば、この状態は入力バッファの電源が VDD と異なるときに発生します。このような場合、例えば、短絡電流制限機能を持つ入力バッファを使ってデバイスを保護することができます。

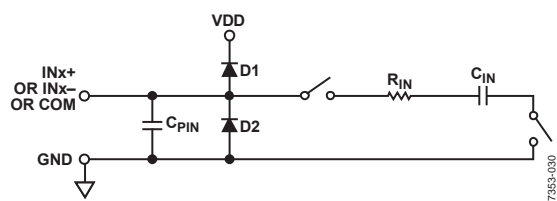


図 28.等価アナログ入力回路

このアナログ入力構成を使うと、 $IN_x+$  と COM または  $IN_x+$  と  $IN_x-$  の間の差動信号のサンプリングが可能になります(COM または  $IN_x- = GND \pm 0.1 \text{ V}$  または  $V_{REF} \pm 0.1 \text{ V}$ )。これらの差動入力を使用することにより、両入力に共通の信号を阻止することができます(図 29)。

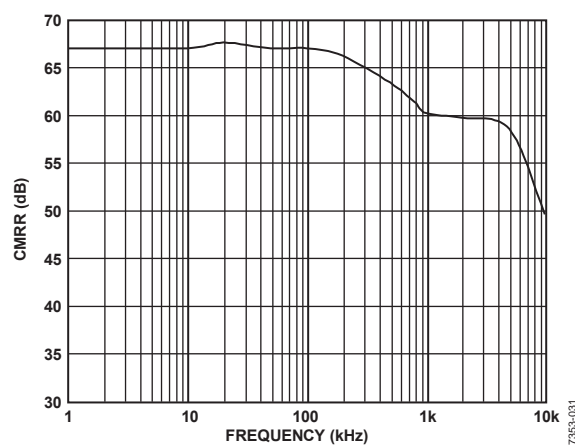


図 29.アナログ入力 CMRR の周波数特性

アキュイジション・フェーズでは、アナログ入力のインピーダンスは、コンデンサ  $C_{PIN}$  と、 $R_{IN}$  および  $C_{IN}$  の直列接続の回路との並列組み合わせとしてモデル化することができます。 $C_{PIN}$  は主にピン容量です。 $R_{IN}$  は  $3.5 \text{ k}\Omega$  (typ)であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。 $C_{IN}$  は  $27 \text{ pF}$  (typ)であり、主に ADC サンプリング・コンデンサから構成されています。

### 選択可能なローパス・フィルタ

スイッチが開いている変換フェーズでは、入力インピーダンスは  $C_{PIN}$  に制限されます。AD7682/ AD7689 のアキュイジション中、 $R_{IN}$  と  $C_{IN}$  により 1 次ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。ローパス・フィルタは、フル帯域幅または帯域幅の  $1/4$  に CFG[6] を使って設定することができます(表 9)。フィルタを使うと、コンバータのスループットも  $1/4$  だけ低下することに注意してください。BW =  $1/4$  で最大スループットを使用する場合は、コンバータ・アキュイジション・タイム  $t_{ACQ}$  満たさなくなるため、THD が大きくなります。

### 入力構成

図 30 に、コンフィギュレーション・レジスタ(CFG[12:10])を使ってアナログ入力を構成するさまざまな方法を示します。詳細については、コンフィギュレーション・レジスタ CFG のセクションを参照してください。

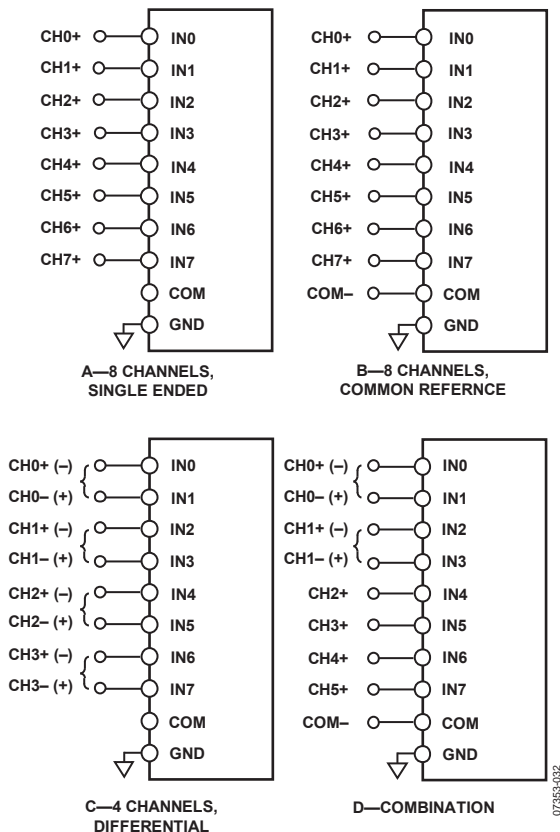


図 30. マルチプレクス・アナログ入力の構成

アナログ入力は次のように構成することができます。

- 図 30A、システム・グラウンドを基準とするシングルエンド; CFG[12:10] = 111<sub>2</sub>。
- 図 30B、コモン・ポイントを基準とするバイポーラ差動; COM = V<sub>REF</sub>/2; CFG[12:10] = 010<sub>2</sub>。COM をグラウンド検出に接続したユニポーラ差動; CFG[12:10] = 110<sub>2</sub>。
- 図 30C、IN<sub>x</sub>-を V<sub>REF</sub>/2 基準に接続したバイポーラ差動対; CFG[12:10] = 00X<sub>2</sub>。IN<sub>x</sub>-をグラウンド検出に接続したユニポーラ差動対; CFG[12:10] = 10X<sub>2</sub>。この構成では、IN<sub>x</sub>+ は CFG[9:7] 内のチャンネルで指定されます。例: IN<sub>0</sub> = IN<sub>1</sub>+かつ IN<sub>1</sub> = IN<sub>1</sub>-の場合、CFG[9:7] = 000<sub>2</sub>; IN<sub>1</sub> = IN<sub>1</sub>+かつ IN<sub>0</sub> = IN<sub>1</sub>-の場合、CFG[9:7] = 001<sub>2</sub>。
- 図 30D、入力を上記の任意の組み合わせに構成 (AD7682/AD7689 を動的に構成できることを表示しています)。

### シーケンサ

AD7682/AD7689 は、IN<sub>0</sub> から IN<sub>x</sub> へのようにチャンネルをスキャンする際に便利なチャンネル・シーケンサを内蔵しています。チャンネルは、温度センサーあり/なしで、シーケンスの最後のチャンネルが指定された後にシングルまたは対でスキャンされます。

シーケンサは IN<sub>0</sub> から開始し、CFG[9:7]で指定された IN<sub>x</sub> で終了します。チャンネル対の場合、CFG[9:7]で指定された最後のチャンネルに応じて、チャンネルの対が組まれます。チャンネル対は CFG[7]に無関係に、常に IN (偶数) = IN<sub>x</sub>+と IN (奇数) = IN<sub>x</sub>-で構成されることに注意してください。

シーケンサをイネーブルするときは、CFG[2:1]に書き込みを行ってシーケンサを初期化します。CFG[13:0]を更新した後に、データ(少なくともビット 13)の読み出し中に DIN をロー・レベル

にする必要があります。そうしないと、CFG の更新が再度開始されます。

シーケンス動作中、01<sub>2</sub> を CFG[2:1]に書き込むことにより CFG を変更することができます。ただし、CFG11 (対またはシングル・チャンネル)または CFG[9:7] (シーケンス内の最後のチャンネル)を変更すると、シーケンスが再初期化されるため、CFG が更新された後に IN<sub>0</sub> (または IN<sub>1</sub>)が変換されます。

### 例

入力とシーケンサのビットを強調表示。

1 つ目の例では、COM = GND を基準とするすべての IN[7:0]、温度センサーありをスキャンします。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC			IN <sub>x</sub>			BW	REF			SEQ	RB	
-	1	1	0	1	1	1	-	-	-	-	1	0	-

2 つ目の例では、V<sub>REF</sub>/2 を基準とする 3 個のチャンネル対、温度センサーなしをスキャンします。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC			IN <sub>x</sub>			BW	REF			SEQ	RB	
-	0	0	X	1	0	X	-	-	-	-	1	1	-

### ソース抵抗

駆動回路のソース・インピーダンスが小さい場合は、AD7682/AD7689 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC 性能、特に総合高調波歪み (THD) が大きい影響を受けます。DC 性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します。

### ドライバ・アンプの選択

AD7682/AD7689 の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7682/AD7689 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが保証するノイズをできるだけ低く抑える必要があります。大部分の他の 16 ビット ADC に比べて AD7682/AD7689 のノイズはるかに小さいため、ノイズの多いオペアンプで駆動しても、それ以上のシステム性能を維持することが可能なことに注目してください。アンプから発生するノイズは、AD7682/AD7689 アナログ入力回路の R<sub>IN</sub> と C<sub>IN</sub> から構成される 1 次ローパス・フィルタまたは外付けフィルタ(使用した場合)により除去されます。AD7682/AD7689 のノイズ(typ)は 35 μV rms (V<sub>REF</sub> = 5 V)であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{LOSS} = 20 \log \left( \frac{35}{\sqrt{35^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、f<sub>-3dB</sub> は AD7682/AD7689 の MHz で表した入力帯域幅(フル帯域幅: 1.7 MHz、1/4帯域幅: 425 kHz)、または入力フィルタのカットオフ周波数(使用した場合)。N はアンプのノイズ係数(バッファ構成の場合は 1)。e<sub>N</sub> は nV/√Hz で表した各オペアンプの等価入力ノイズ電圧。

- ACアプリケーションの場合、ドライバは AD7682/AD7689 と釣り合う THD 性能を持つ必要があります。図 18 に、AD7682/AD7689 の THD の周波数特性を示します。
- マルチチャンネルの場合(各入力または入力対でマルチプレクスするアプリケーション)、ドライバ・アンプと AD7682/ AD7689 アナログ入力回路は、コンデンサ・レイへのフル・スケール・ステップに対して 16 ビット・レベル(0.0015%)でセトリングする必要があります。アンプのデータシートでは、一般に 0.1~0.01%でのセトリングが規定されています。16 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表 8. 推奨ドライバ・アンプ

Amplifier	Typical Application
ADA4841-x	Very low noise, small, and low power
AD8655	5 V single supply, low noise
AD8021	Very low noise and high frequency
AD8022	Low noise and high frequency
OPI84	Low power, low noise, and low frequency
AD8605, AD8615	5 V single supply, low power

## リファレンス電圧出力/入力

AD7682/AD7689 では、温度ドリフトが非常に小さい内部リファレンス電圧、外部リファレンス電圧または外部バッファ付きリファレンス電圧の使用を選択することができます。

AD7682/AD7689 の内部リファレンス電圧は、優れた性能を提供するため、ほとんどすべてのアプリケーションで使用することができます。表 9 に示す 6 種類のリファレンス電圧方式があります。詳細については、次の各セクションで説明します。

### 内部リファレンス電圧/温度センサー

内部リファレンス電圧は 2.5 V または 4.096 V 出力に設定することができます(表 9)。内部リファレンス電圧をイネーブルすると、REFIN ピンにバンド・ギャップ電圧も出力されるため、外付けの 0.1  $\mu$ F コンデンサが必要になります。REFIN の電流出力には制限があるため、AD8605 のような適切なバッファを介して電源として使うことができます。

リファレンスをイネーブルすると、内部温度センサーもイネーブルされます。このセンサーは、AD7682/AD7689 の内部温度を測定するため、システム・キャリブレーションを行うときに便利です。温度センサーを使用する場合、出力は AD7682/AD7689 GND ピンを基準とするストレート・バイナリであることに注意してください。

内部リファレンス電圧は、15 mV 以内に温度補償されています。リファレンス電圧のドリフト(typ)は、3 ppm/°C になるように調整されています。

### 外部リファレンスと内部バッファ

ドリフト性能を良くするために、外付けリファレンス電圧を使うこともできます。外部リファレンス電圧は REFIN に接続され、REF ピンには出力があります。外部リファレンス電圧は、内部バッファあり、または温度センサーをディスエーブルして、使用することができます。レジスタの詳細については、表 9 を参照してください。バッファをイネーブルすると、ゲイン=1 となり、4.096 V の入力/出力に制限されます。

マルチコンバータ・アプリケーションではバッファが必要とされるため、内部リファレンス・バッファは、これらのアプリケーションで便利です。さらに、内部バッファは AD7682/AD7689

の SAR アーキテクチャの駆動に必要な性能を提供するため、低消費電力のリファレンス電圧を使用することができます。

### 外部リファレンス電圧

6 種類のすべてのリファレンス電圧方式で、REF の出力インピーダンスは 5 k $\Omega$  以上であるため、外部リファレンス電圧を直接 REF ピンに接続することができます。消費電力を削減するために、リファレンスとバッファを独立にまたは一緒にパワーダウン差せることができます。ただし、温度センサーを必要とするアプリケーションの場合、リファレンスをアクティブにしておくことが必要です。レジスタの詳細については、表 9 を参照してください。ドリフト性能を良くするために、ADR43x や ADR44x のような外部リファレンス電圧を使うこともできます。

### リファレンス電圧のデカップリング

内部または外部リファレンスを使う場合、AD7682/ AD7689 のリファレンス電圧出力/入力 REF ピンは動的な入力インピーダンスを持っているため、REF ピンと GND ピンの間に十分なデカップリングを行った低インピーダンス・ソースから駆動する必要があります。このデカップリングは電圧リファレンスの選択に依存しますが、一般に、最小寄生インダクタンスで REF 入力と GND 入力に接続された低 ESR のコンデンサから構成されます。内部リファレンス電圧、ADR43x/ADR44x 外部リファレンス電圧、または AD8031 や AD8605 のような低インピーダンス・バッファを使用する場合は、10  $\mu$ F (X5R、1206 サイズ)セラミック・チップ・コンデンサが適しています。

リファレンス・デカップリング・コンデンサの配置も、レイアウトのセクションで説明するように、AD7682/AD7689 の性能にとって重要です。デカップリング・コンデンサは、ADC と同じ側の REF ピンに太い PCB パターンを使って接続する必要があります。また、GND も最短距離でリファレンス・デカップリング・コンデンサに接続し、さらに複数のビアを使ってアナログ・グラウンド・プレーンへ接続する必要があります。

必要な場合には、2.2  $\mu$ F までの小型なリファレンス・デカップリング・コンデンサ値を使うことができ、性能特に DNL への影響は最小に抑えられます。

REF ピンと GND ピンの間に小さい値のセラミック・デカップリング・コンデンサ(例えば、100 nF)を追加する必要はありません。

複数の AD7682/AD7689 または他の PulSAR デバイスを使用するアプリケーションでは、内蔵バッファを使って外部リファレンス電圧をバッファして SAR 変換クロストークを削減することが効果的です。

リファレンス電圧の温度係数(TC)はフルスケールに影響を与えるため、フル・スケール精度が問題となるアプリケーションでは、TC に注意する必要があります。例えば、TC が  $\pm 15$  ppm/°C のリファレンス電圧では、フルスケールは  $\pm 1$  LSB/°C で変化します。

## 電源

AD7682/AD7689 は、アナログおよびデジタル・コア電源(VDD)とデジタル入力/出力インターフェース電源(VIO)の 2 本の電源ピンを使っています。VIO を使うと、1.8 V ~ DVDD で動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIO と VDD を接続することができます。AD7682/AD7689 は VIO と VDD の間の電源シーケンスに依存しません。唯一の制約は、AD7682/AD7689 がパワーアップするとき、CNV がロー・レベルである必要があることです。さらに、広い周波数範囲で電源変動に対して安定です(図 31)。

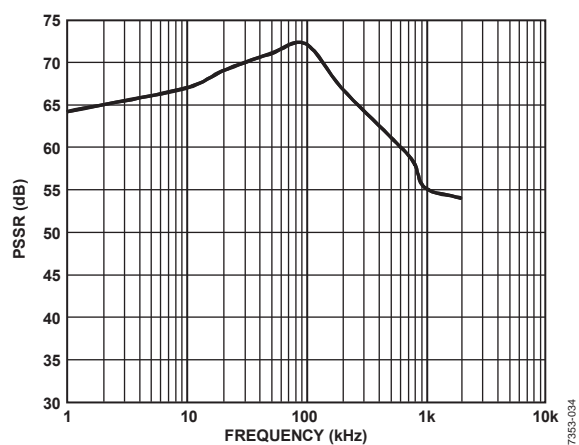
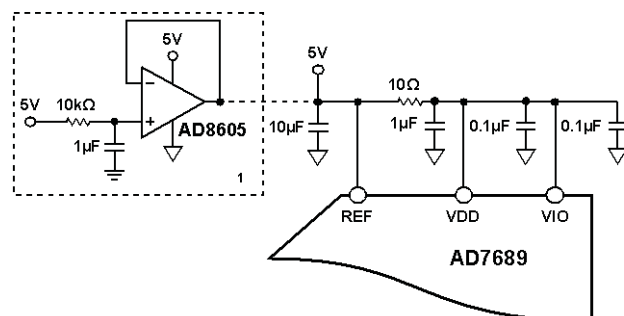


図 31.PSRR の周波数特性



1OPTIONAL REFERENCE BUFFER AND FILTER.

図 33.アプリケーション回路の例

AD7682/AD7689 は各変換フェーズの終わりに自動的にパワーダウンするため、消費電流と電力はサンプリング・レートに比例します。このため、低サンプリング・レート(例えば、数 Hz)とバッテリー駆動アプリケーションに最適なデバイスになっています。

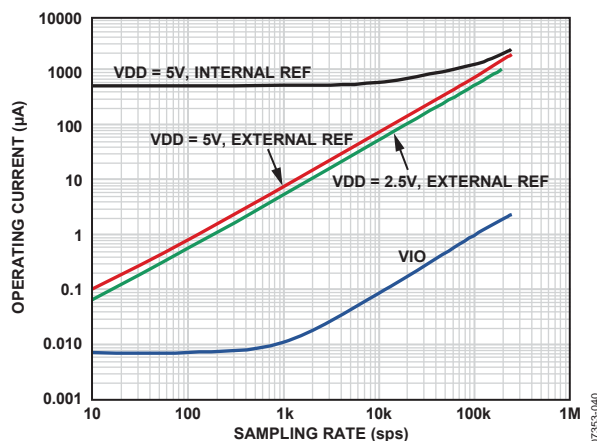


図 32.動作電流対サンプリング・レート

## リファレンス電圧から ADC への電源供給

アプリケーションを簡素化するため、AD7682/AD7689 の動作電流は小さいので図 33 に示すリファレンス電圧回路から直接給電することができます。リファレンス・ラインは次から駆動することができます。

- システム電源から直接
- 十分な電流出力能力を持つ ADR43x/ADR44x のようなリファレンス電圧から
- 図 33 に示すようにシステム電源のフィルタもできる AD8605 のようなリファレンス・バッファから



## デジタル・インターフェース

AD7682/AD7689 はシンプルな 4 線式インターフェースを使っており、SPI、MICROWIRE™、QSPI™、デジタル・ホスト、DSP(例えば、Blackfin® ADSP-BF53x、SHARC®、ADSP-219x、ADSP-218x)と互換性を持っています。

このインターフェースは、CNV、DIN、SCK、SDO の各信号を使い、CNV(変換を開始します)をリードバック・タイミングに依存しないようにさせることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

14 ビット・レジスタ CFG[13:0]は、チャンネルを変換するように ADC を設定する際に使用します。リファレンスの選択、その他のコンポーネントについては、コンフィギュレーション・レジスタ CFG のセクションで説明します。

CNV をロー・レベルにすると、変換、アキュイジション、スパンニング変換(アキュイジションと変換)の間に、読み出し/書き込みが発生します(次のセクション参照)。CFG ワードは最初の 14 個の SCK 立ち上がりエッジで更新され、変換結果は最初の 15 個(またはビジー・モード選択の場合は 16 個)の SCK 立ち下がりエッジでリードバックされます。CFG リードバックをイネーブルすると、変換結果に対応する CFG ワードをリードバックするためにさらに 14 個の SCK 立ち下がりエッジが必要になり、変換結果の LSB の後ろに CFG の MSB が続きます。

CNV のロー・レベルでデバイスが選択され、SCK の動作により新しいコンフィギュレーション・ワードの書き込みが開始され、データが出力されるため、不連続な SCK が推奨されます。

次のセクションのタイミング図で、変換中のデジタル動作(SCK、CNV、DIN、SDO)を示します。ただし、性能が低下する可能性があるため、デジタル動作は安全なデータ読み出し/書き込み時間  $t_{DATA}$  の前のみ発生する必要があります。これは、AD7682/AD7689 がこの時間内のビット誤りを訂正できる誤差補正回路を提供しているためです。 $t_{DATA}$  から  $t_{CONV}$  までの間、誤差補正がないため、変換結果が壊れることがあります。ユーザは AD7682/AD7689 を設定して、必要に応じて、 $t_{DATA}$  の前にビジー・インジケータを開始させる必要があります。サンプリング・タイミングの近くで SCK または DIN を変化させると、サンプルを壊してしまうことがあります。このため、性能低下を防止することが可能な場合は不連続な SCK を使って、CNV の立ち上がりエッジの約 30 ns 前から 10 ns 後までデジタル・ピンを静止させておくことが推奨されます。

### 変換中の読み出し/書き込み、高速ホスト

変換中に読み出し/書き込みを行うと(n)、変換結果は前(n-1)の変換になり、CFG の書き込みは次の(n+1)アキュイジションと変換に対して行うこととなります。

CNV をハイ・レベルにして変換を開始させた後、CNV をロー・レベルに戻して、変換中の読み出し/書き込みを可能にする必要があります。読み出し/書き込みは  $t_{DATA}$  以内に発生する必要があります。これは、この時間が制限されていて、ホストは高速な SCK を使う必要があるためです。

必要とされる SCK 周波数は次式で計算されます。

$$f_{SCK} \geq \frac{\text{Number\_SCK\_Edges}}{t_{DATA}}$$

$t_{DATA}$  と  $t_{CONV}$  の間の時間は、デジタル動作が発生しない安全な時間です。そうしないと、ノイズに敏感なビット判定に誤りが発生する可能性があります。

### アキュイジション中の読み出し/書き込み、任意スピードのホスト

アキュイジション中に(n)読み出し/書き込みを行うと、変換結果は前の(n-1)変換となり、書き込みは(n+1)のアキュイジションに対するものとなります。

最大スループットを得るための唯一の時間制約は、 $t_{ACQ}$  (min) 時間内に読み出し/書き込みが発生することです。低速スループットの場合、時間制約はユーザの必要とするスループットでのみ決まり、ホストは任意の速度で動作できます。このため低速ホストの場合、データ・アクセスはアキュイジション・フェーズでのみ発生する必要があります。

### スパンニング変換の読み出し/書き込み、任意スピードのホスト

スパンニング変換の読み出し/書き込みを行うと、データ・アクセスは現在のアキュイジション(n)で開始されて、変換まで延びます(n)。変換結果は前の(n-1)変換となり、CFG の書き込みは次の(n+1)アキュイジションと変換に対するものとなります。

変換中の読み出し/書き込みと同様に、読み出し/書き込みは  $t_{DATA}$  以内に発生する必要があります。最大スループットを得るための唯一の時間制約は、 $t_{ACQ}$  (min) +  $t_{DATA}$  時間内に読み出し/書き込みが発生することです。

低速スループットの場合、時間制約はユーザの必要とするスループットでのみ決まり、ホストは任意の速度で動作できます。アキュイジション中の読み出し/書き込みと同様に、低速ホストの場合、データ・アクセスはアキュイジション・フェーズに発生する必要があります、変換に時間が加わります。

データ・アクセス・スパンニング変換では CNV をハイ・レベルに駆動して、新しい変換を開始し、CNV がハイ・レベルのときはデータをアクセスできないことに注意してください。このため、この方法を使用する場合、ホストはデータ・アクセスの 2 つのバーストを実行する必要があります。

### コンフィギュレーション・レジスタ CFG

AD7682/AD7689 では、表 9 に示す 14 ビット・コンフィギュレーション・レジスタ(CFG[13:0])を使って、入力、変換対象チャンネル、1 極フィルタ帯域幅、リファレンス、チャンネル・シークンサを設定します。CFG は、14 個の SCK 立ち上がりエッジで、DIN にラッチされます(MSB ファースト)。CFG の更新はエッジに依存し、非同期または同期のホストから可能です。

レジスタは、変換中、アキュイジション中、またはスパンニング・アキュイジション/変換中に書き込むことができ、変換の終わりの  $t_{\text{CONV}}(\text{max})$  で更新されます。CFG の書き込み時には常に 1 遅延があります。パワーアップ時、CFG は不定であるため、レジスタを更新するために 2 回のダミー変換が必要であることに注意してください。CFG に出荷時設定をロードするときは、2 回の変換の間 DIN をハイ・レベルにします。そうすると、CFG[13:0] = 0x3FFF になります。これにより、AD7682/AD7689 は次のように設定されます。

- GND 基準の IN[7:0]ユニポーラとなり、次の順で設定されます。
- 1 極フィルタのフル帯域幅
- 内部リファレンス電圧/温度センサーをディスエーブルし、バッファをイネーブル
- CFG のリードバックなし

表 9 に、コンフィギュレーション・レジスタ・ビットの一覧を示します。詳細については、動作原理のセクションを参照してください。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC	INCC	INCC	INx	INx	INx	BW	REF	REF	REF	SEQ	SEQ	RB

表 9. コンフィギュレーション・レジスタの説明

Bit(s)	Name	Description																																																
[13]	CFG	Configuration update. 0 = Keep current configuration settings. 1 = Overwrite contents of register.																																																
[12:10]	INCC	Input channel configuration. Selection of pseudobipolar, pseudodifferential, pairs, single-ended or temperature sensor. Refer to the Input Configurations section.																																																
		<table border="1"> <thead> <tr> <th>Bit 12</th><th>Bit 11</th><th>Bit 10</th><th>Function</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>X</td><td>Bipolar differential pairs; INx- referenced to <math>V_{\text{REF}}/2 \pm 0.1 \text{ V}</math>.</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>Bipolar; INx referenced to COM = <math>V_{\text{REF}}/2 \pm 0.1 \text{ V}</math>.</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>Temperature sensor.</td></tr> <tr> <td>1</td><td>0</td><td>X</td><td>Unipolar differential pairs; INx- referenced to GND <math>\pm 0.1 \text{ mV}</math>.</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>Unipolar, IN0 to IN7 referenced to COM = GND <math>\pm 0.1 \text{ V}</math> (GND sense).</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>Unipolar, IN0 to IN7 referenced to GND.</td></tr> </tbody> </table>	Bit 12	Bit 11	Bit 10	Function	0	0	X	Bipolar differential pairs; INx- referenced to $V_{\text{REF}}/2 \pm 0.1 \text{ V}$ .	0	1	0	Bipolar; INx referenced to COM = $V_{\text{REF}}/2 \pm 0.1 \text{ V}$ .	0	1	1	Temperature sensor.	1	0	X	Unipolar differential pairs; INx- referenced to GND $\pm 0.1 \text{ mV}$ .	1	1	0	Unipolar, IN0 to IN7 referenced to COM = GND $\pm 0.1 \text{ V}$ (GND sense).	1	1	1	Unipolar, IN0 to IN7 referenced to GND.																				
Bit 12	Bit 11	Bit 10	Function																																															
0	0	X	Bipolar differential pairs; INx- referenced to $V_{\text{REF}}/2 \pm 0.1 \text{ V}$ .																																															
0	1	0	Bipolar; INx referenced to COM = $V_{\text{REF}}/2 \pm 0.1 \text{ V}$ .																																															
0	1	1	Temperature sensor.																																															
1	0	X	Unipolar differential pairs; INx- referenced to GND $\pm 0.1 \text{ mV}$ .																																															
1	1	0	Unipolar, IN0 to IN7 referenced to COM = GND $\pm 0.1 \text{ V}$ (GND sense).																																															
1	1	1	Unipolar, IN0 to IN7 referenced to GND.																																															
[9:7]	INx	Input channel selection in binary fashion.																																																
		<table border="1"> <thead> <tr> <th colspan="4">AD7682</th><th colspan="4">AD7689</th></tr> <tr> <th>Bit 9</th><th>Bit 8</th><th>Bit 7</th><th>Channel</th><th>Bit 9</th><th>Bit 8</th><th>Bit 7</th><th>Channel</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>X</td><td>IN0</td><td>0</td><td>0</td><td>0</td><td>IN0</td></tr> <tr> <td>0</td><td>1</td><td>X</td><td>IN1</td><td>0</td><td>0</td><td>1</td><td>IN1</td></tr> <tr> <td>1</td><td>0</td><td>X</td><td>IN2</td><td>...</td><td>...</td><td>...</td><td></td></tr> <tr> <td>1</td><td>1</td><td>X</td><td>IN3</td><td>1</td><td>1</td><td>1</td><td>IN7</td></tr> </tbody> </table>	AD7682				AD7689				Bit 9	Bit 8	Bit 7	Channel	Bit 9	Bit 8	Bit 7	Channel	0	0	X	IN0	0	0	0	IN0	0	1	X	IN1	0	0	1	IN1	1	0	X	IN2	...	...	...		1	1	X	IN3	1	1	1	IN7
AD7682				AD7689																																														
Bit 9	Bit 8	Bit 7	Channel	Bit 9	Bit 8	Bit 7	Channel																																											
0	0	X	IN0	0	0	0	IN0																																											
0	1	X	IN1	0	0	1	IN1																																											
1	0	X	IN2	...	...	...																																												
1	1	X	IN3	1	1	1	IN7																																											
[6]	BW	Select bandwidth for low-pass filter. Refer to the Selectable Low Pass Filter section. 0 = $1/4$ of BW, uses an additional series resistor to further bandwidth limit the noise. Maximum throughput must be reduced to $1/4$ also. 1 = Full BW.																																																
[5:3]	REF	Reference/buffer selection. Selection of internal, external, external buffered, and enabling of the on-chip temperature sensor. Refer to the Voltage Reference Output/Input section.																																																
		<table border="1"> <thead> <tr> <th>Bit 5</th><th>Bit 4</th><th>Bit 3</th><th>Function</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>Internal reference, REF = 2.5 V output.</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>Internal reference, REF = 4.096 V output.</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>External reference, temperature enabled.</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>External reference, internal buffer, temperature enabled.</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>External reference, temperature disabled.</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>External reference, internal buffer, temperature disabled.</td></tr> </tbody> </table>	Bit 5	Bit 4	Bit 3	Function	0	0	0	Internal reference, REF = 2.5 V output.	0	0	1	Internal reference, REF = 4.096 V output.	0	1	0	External reference, temperature enabled.	0	1	1	External reference, internal buffer, temperature enabled.	1	1	0	External reference, temperature disabled.	1	1	1	External reference, internal buffer, temperature disabled.																				
Bit 5	Bit 4	Bit 3	Function																																															
0	0	0	Internal reference, REF = 2.5 V output.																																															
0	0	1	Internal reference, REF = 4.096 V output.																																															
0	1	0	External reference, temperature enabled.																																															
0	1	1	External reference, internal buffer, temperature enabled.																																															
1	1	0	External reference, temperature disabled.																																															
1	1	1	External reference, internal buffer, temperature disabled.																																															
[2:1]	SEQ	Channel sequencer. Allows for scanning channels in an IN0 to INx fashion. Refer to the Sequence section.																																																
		<table border="1"> <thead> <tr> <th>Bit 2</th><th>Bit 1</th><th>Function</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>Disable sequencer.</td></tr> <tr> <td>0</td><td>1</td><td>Update configuration during sequence.</td></tr> <tr> <td>1</td><td>0</td><td>Scan IN0 to INx (set in CFG[9:7]), then temperature.</td></tr> <tr> <td>1</td><td>1</td><td>Scan IN0 to INx (set in CFG[9:7]).</td></tr> </tbody> </table>	Bit 2	Bit 1	Function	0	0	Disable sequencer.	0	1	Update configuration during sequence.	1	0	Scan IN0 to INx (set in CFG[9:7]), then temperature.	1	1	Scan IN0 to INx (set in CFG[9:7]).																																	
Bit 2	Bit 1	Function																																																
0	0	Disable sequencer.																																																
0	1	Update configuration during sequence.																																																
1	0	Scan IN0 to INx (set in CFG[9:7]), then temperature.																																																
1	1	Scan IN0 to INx (set in CFG[9:7]).																																																
0	RB	Read back the CFG register. 0 = Read back current configuration at end of data. 1 = Do not read back contents of configuration.																																																

## ビジー・インジケータなしでのスパンニング変換の読み出し/書き込み

このモードは、AD7682/AD7689 を SPI、シリアル・ポート、FPGA を使ってホストに接続する際に使います。接続図は図 34 に、対応するタイミングは図 35 に、それぞれ示します。SPI の場合、ホストは  $CPHA = CPOL = 0$  を使う必要があります。スパンニング変換の読み出し/書き込みを示します。これはデジタル・インターフェースのセクションに示す 3 モードすべてをカバーしています。

CNV の立ち上がりエッジにより変換が開始され、SDO が高インピーダンスになり、DIN のデータは無視されます。変換が開始されると、変換は CNV の状態に関係なく完了するまで続きます。安全なデータ転送時間  $t_{DATA}$  の前に CNV はハイ・レベルに戻る必要があります。変換時間  $t_{CONV}$  の後までハイ・レベルを維持して、ビジー信号インジケータが発生するのを防止する必要があります。

変換が完了すると、AD7682/AD7689 はアクイジション・フェーズになりパワーダウンします。 $t_{CONV}(\max)$  経過後、ホストが CNV をロー・レベルにすると、SDO に MSB が出力されます。

また、ホストはこの時点で(必要な場合)、CFG の MSB をイネーブルして CFG の更新を開始する必要があります。CNV がロー・レベルの間に、CFG の更新とデータのリードバックが行われます。最初の 14 個の SCK 立ち上がりエッジを使って CFG が更新され、最初の 15 個の SCK 立ち下がりエッジで変換結果が MSB - 1 から出力されます。設定と読み出しに対する制約は、次の変換より  $t_{DATA}$  時間だけ前に行うことです。CFG[13:0] の 14 ビットすべてを書き込む必要があります。そうしないと、書き込みが無視されます。さらに、 $t_{DATA}$  が経過する前に 16 ビットの変換結果をリードバックしないと、失われてしまいます。

SDO のデータは SCK の両エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。16 番目(または 30 番目)の SCK 立ち下がりエッジの後、または CNV がハイ・レベルになったときの、いずれか早い方で、SDO は高インピーダンスに戻ります。CFG リードバックをイネーブルすると、変換結果(n - 1)に対応する CFG が MSB ファーストでリードバックされ、変換結果の LSB の後ろに続きます。SDO がイネーブルされている場合に、SDO が高インピーダンスに戻るためには、合計 30 個の SCK 立ち下がりエッジが必要です。

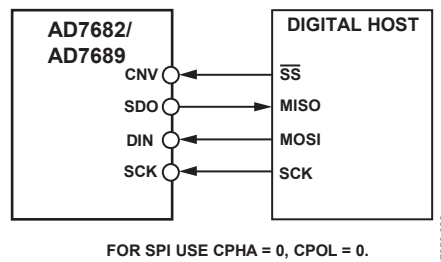
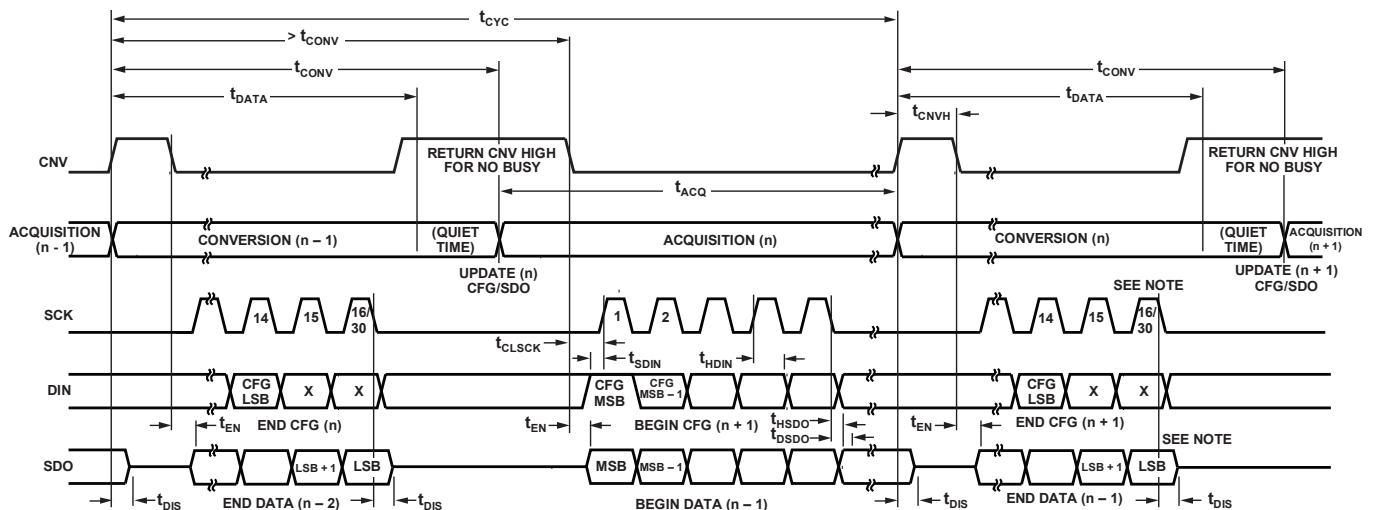


図 34. ビジー・インジケータなしの AD7682/AD7689 に対する接続図



### NOTES:

1. THE LSB IS FOR CONVERSION RESULTS OR THE CONFIGURATION REGISTER CFG (n - 1) IF 15 SCK FALLING EDGES = LSB OF CONVERSION RESULTS.  
29 SCK FALLING EDGES = LSB OF CONFIGURATION REGISTER.  
ON THE 16TH OR 30TH SCK FALLING EDGE, SDO IS DRIVEN TO HIGH IMPEDANCE.

図 35. ビジー・インジケータなしの AD7682/AD7689 に対するシリアル・インターフェース・タイミング



## ビジー・インジケータありのスパニング変換の読み出し/書き込み

このモードは、AD7682/AD7689 を割り込み入力を持つ SPI、シリアル・ポート、FPGA を使ってホストに接続する際に使います。接続図は図 36 に、対応するタイミングは図 37 に、それぞれ示します。SPI の場合、ホストは  $CPHA = CPOL = 1$  を使う必要があります。スパニング変換の読み出し/書き込みを示します。これはデジタル・インターフェースのセクションに示す 3 モードすべてをカバーしています。

CNV の立ち上がりエッジにより変換が開始され、SDO が高インピーダンスになり、DIN のデータは無視されます。変換が開始されると、変換は CNV の状態に関係なく完了するまで継続されます。安全なデータ転送時間  $t_{DATA}$  の前に CNV はロー・レベルに戻る必要があります。変換時間  $t_{CONV}$  の後までロー・レベルを維持して、ビジー信号インジケータを発生させます。変換が完了すると、VIO ヘブルアップされた SDO は高インピーダンスからロー・レベルへ変化します。この変化をホストへの割り込みとして使って、データ転送を開始させることができます。

変換が完了すると、AD7682/AD7689 はアクイジション・フェーズになりパワーダウンします。また、ホストはこの時点で(必要な場合)、CFG の MSB をイネーブルして CFG の更新を開始する必要があります。CNV がロー・レベルの間に、CFG の更新とデ

ータのリードバックが行われます。最初の 14 個の SCK 立ち上がりエッジを使って CFG が更新され、最初の 16 個の SCK 立ち下がりエッジで変換結果が MSB から出力されます。設定と読み出しに対する制約は、これらを  $t_{DATA}$  時間が経過して次の変換が始まる前に行うことです。CFG[13:0] の 14 ビットすべてを書き込む必要があります。そうしないと、書き込みが無視されます。さらに、 $t_{DATA}$  が経過する前に 16 ビットの変換結果をリードバックしないと、失われてしまいます。

SDO のデータは SCK の両エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。オプションの 17 番目の SCK 立ち下がりエッジの後、SDO は高インピーダンスに戻ります。オプションの SCK 立ち下がりエッジを使用しない場合、変換の LSB がロー・レベルのとき、ビジー機能が検出できないことに注意してください。

CFG リードバックをイネーブルすると、変換結果  $(n-1)$  に対応する CFG が MSB ファーストでリードバックされ、変換結果の LSB の後ろに続きます。SDO がイネーブルされている場合に、SDO が高インピーダンスに戻るためには、合計 31 個の SCK 立ち下がりエッジが必要です。

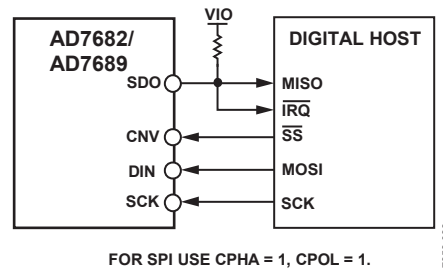
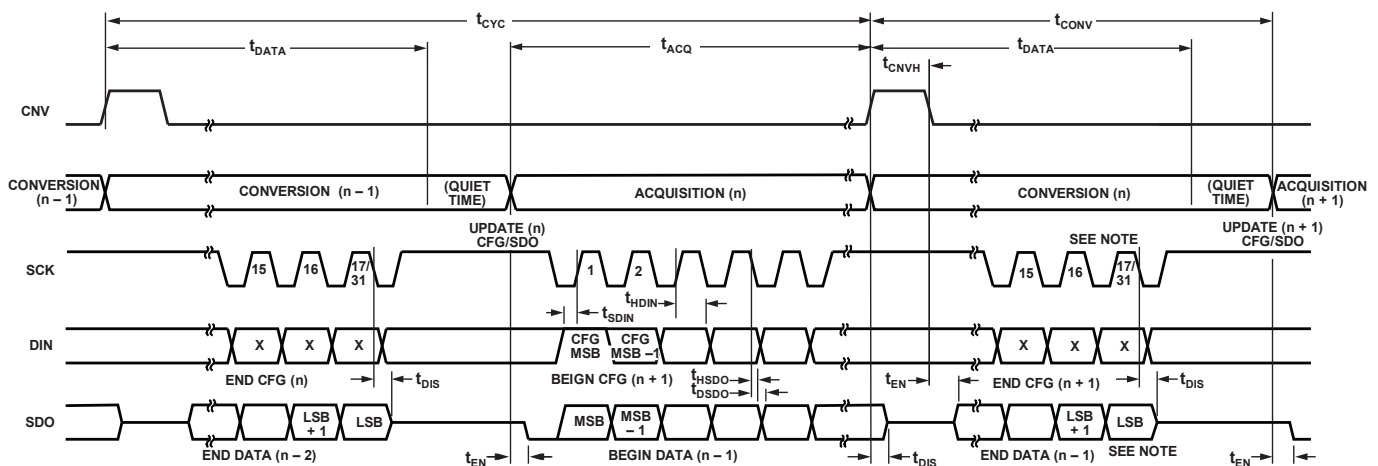


図 36. ビジー・インジケータありの AD7682/AD7689 に対する接続図



### NOTES:

1. THE LSB IS FOR CONVERSION RESULTS OR THE CONFIGURATION REGISTER CFG  $(n-1)$  IF 16 SCK FALLING EDGES = LSB OF CONVERSION RESULTS.  
30 SCK FALLING EDGES = LSB OF CONFIGURATION REGISTER.  
ON THE 17TH OR 31ST SCK FALLING EDGE, SDO IS DRIVEN TO HIGH IMPEDANCE. OTHERWISE, THE LSB REMAINS ACTIVE UNTIL THE BUSY INDICATOR IS DRIVEN LOW.

図 37. ビジー・インジケータありの AD7682/AD7689 に対するシリアル・インターフェース・タイミング

## アプリケーション情報

### レイアウト

AD7682/AD7689 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7682/AD7689 では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7682/AD7689 の下のグラウンド・プレーンがシールドとして使われてない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNV やクロックのような高速なスイッチング信号は、アナログ信号バスの近くを絶対に通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。後者の場合、各プレーンは AD7682/AD7689 の下で接続する必要があります。

AD7682/AD7689 のリファレンス電圧入力 REF は動的入力インピーダンスを持つため、最小の寄生インダクタンスでデカップ

リングする必要があります。これは、REF ピンと GND ピンの近くに、理想的には直接に、太い低インピーダンスのパターンでリファレンス電圧デカップリング・セラミック・コンデンサを接続することにより行われます。

最後に、AD7682/AD7689 の電源 VDD と VIO は AD7682/AD7689 の近くに配置したセラミック・コンデンサ(一般に 100 nF)でデカップリングし、低インピーダンス・パスを提供する短く太いパターンで接続して、電源ライン上のグリッチの影響を軽減します。

### AD7682/AD7689 の性能評価

AD7682/AD7689 のその他の推奨レイアウトは、AD7682/AD7689 (EVAL-AD7682CBZ/EVAL-AD7689CBZ)用評価ボードのドキュメントにも記載してあります。評価ボードの梱包には、組み立て/テスト済みの評価ボード、ドキュメント、評価コントローラ・ボード EVAL-CONTROL BRD3 を介して PC からボードを制御するソフトウェアが添付されています。

## 外形寸法

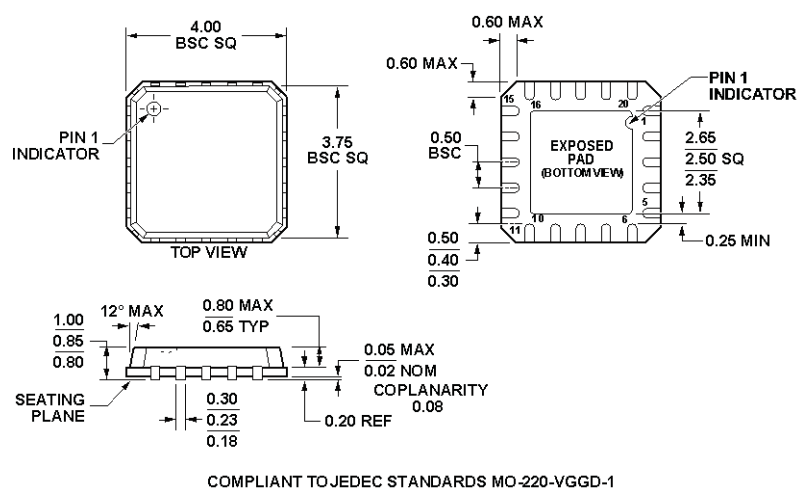


図 38.20 ピン・リード・フレーム・チップ・スケール・パッケージ(LFCSP\_VQ)  
4 mm × 4 mm ボディ、極薄クワッド  
(CP-20-4)  
寸法: mm

## オーダー・ガイド

Model	Integral Nonlinearity	No Missing Code	Temperature Range	Package Description	Package Option	Ordering Quantity
AD7682BCPZ <sup>1</sup>	±2 LSB max	16 bits	−40°C to +85°C	20-Lead QFN (LFCSP_VQ)	CP-20-4	Tray, 490
AD7682BCPZRL7 <sup>1</sup>	±2 LSB max	16 bits	−40°C to +85°C	20-Lead QFN (LFCSP_VQ)	CP-20-4	Reel, 1,500
AD7689ACPZ <sup>1</sup>	±6 LSB max	15 bits	−40°C to +85°C	20-Lead QFN (LFCSP_VQ)	CP-20-4	Tray, 490
AD7689ACPZRL7 <sup>1</sup>	±6 LSB max	15 bits	−40°C to +85°C	20-Lead QFN (LFCSP_VQ)	CP-20-4	Reel, 1,500
AD7689BCPZ <sup>1</sup>	±2 LSB max	16 bits	−40°C to +85°C	20-Lead QFN (LFCSP_VQ)	CP-20-4	Tray, 490
AD7689BCPZRL7 <sup>1</sup>	±2 LSB max	16 bits	−40°C to +85°C	20-Lead QFN (LFCSP_VQ)	CP-20-4	Reel, 1,500
EVAL-AD7682CBZ <sup>1</sup>				Evaluation Board		
EVAL-AD7689CBZ <sup>1</sup>				Evaluation Board		
EVAL-CONTROL BRD3 <sup>2</sup>				Controller Board		

<sup>1</sup> Z = RoHS 準拠製品

<sup>2</sup> このボードを使うと、PCからの制御とモデル番号に CB サフィックスが付くすべてのアナログ・デバイス評価ボードとの通信が可能です。