

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2019年11月26日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2019年11月26日

製品名：AD74412R

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：61 ページ、62 ページ

【誤】

- (1) 61 ページ、VI_ERR_D の説明の枠内 下から 6 行目
「外部駆動電流入力：短絡エラー。ループ駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて…」
- (2) 61 ページ、VI_ERR_C の説明の枠内 下から 6 行目
(1)と同じ表現
- (3) 61 ページ、VI_ERR_B の説明の枠内 下から 6 行目
(1)と同じ表現
- (4) 62 ページ、VI_ERR_A の説明の枠内 下から 6 行目
(1)と同じ表現

【正】 下線部分が訂正部分です。

- (1) 正しくは、「外部駆動電流入力：短絡エラー。外部駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて…」です。
- (2) 正しくは、「外部駆動電流入力：短絡エラー。外部駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて…」です。
- (3) 正しくは、「外部駆動電流入力：短絡エラー。外部駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて…」です。
- (4) 正しくは、「外部駆動電流入力：短絡エラー。外部駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて…」です。



クワッドチャンネル ソフトウェア設定可能入出力

データシート

AD74412R

特長

- クワッドチャンネルのソフトウェア設定可能な入出力回路
- ±40V まで保護されたスクリュー端子
- スクリュー端子から電源への電力をブロックする
ライン・プロテクタ
- 6つの設定可能モード
 - 電圧入力
 - 電流入力
 - 電圧出力
 - 電流出力
 - デジタル入力
 - RTD 測定
- オプションで 50Hz および 60Hz 除去機能を備えた
16 ビット Σ - Δ ADC を内蔵
- 13 ビット単調増加性 DAC
- 真のゼロ電圧出力を実現するチャージ・ポンプ
- 5°C の精度を持つ内部温度センサー
- オープン・サーキットおよび短絡検出を含む内蔵診断機能
- 堅牢なアーキテクチャ
- SPI
- 温度範囲：-40°C~+85°C
- 64 ピン LFCSP パッケージ

アプリケーション

- ビル管理システム
- プロセス制御
- 工業用オートメーション

概要

AD74412R は、ビル管理およびシステム管理アプリケーション用に設計された、クワッドチャンネルのソフトウェア設定可能な入出力ソリューションです。AD74412R はアナログ出力、アナログ入力、デジタル入力、および測温抵抗体 (RTD) 測定のための機能を備えており、これらをシリアル・ポート・インターフェース (SPI) 互換のインターフェースを持つシングル・チップ・ソリューションとして統合しています。

このデバイスは 16 ビット Σ - Δ A/D コンバータ (ADC) を 1 個と設定変更可能な 13 ビット D/A コンバータ (DAC) を 4 個備えており、4 つの設定変更可能な入出力チャンネルと一連の診断機能を使用できます。

AD74412R に関するモードは複数あります。これらのモードは、電圧出力、電流出力、電圧入力、外部駆動電流入力、ループ駆動電流入力、外部 RTD 測定、デジタル入力ロジック、およびループ駆動デジタル入力です。

AD74412R は、DAC と ADC を駆動するための高精度 2.5V 内部リファレンスを内蔵しています。

関連製品

- 外部リファレンス：[ADR4525](#)
- 電源：[ADP1720](#)

製品のハイライト

- クワッドチャンネル、ソフトウェア設定可能チャンネル。
- 内蔵診断機能とアラート機能。
- 堅牢なアーキテクチャ。IEC61000-4-5 規格に従い、非シールド・ケーブルを使用して入出力端子で±1kV までのサージ・テストを実施済み。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	ADC の機能	40
アプリケーション	1	診断機能	44
概要	1	DAC	45
関連製品	1	誘導負荷の駆動	46
製品のハイライト	1	リセット機能	46
改訂履歴	3	サーマル・アラートとサーマル・リセット	46
機能ブロック図	4	異常とアラート	46
仕様	5	電源モニタ	46
電圧出力	5	GPO_x ピン	47
電流出力	6	SPI インターフェースと診断機能	47
電圧入力	7	ボード設計とレイアウトに関する考慮事項	50
外部駆動電流入力	8	アプリケーション情報	51
ループ駆動電流入力	9	レジスタ・マップ	52
RTD 測定	9	NOP レジスタ	53
デジタル入力ロジック	10	各チャンネルの機能セットアップ・レジスタ	53
ループ駆動デジタル入力	10	各チャンネルの ADC 設定レジスタ	53
ADC の仕様	11	各チャンネルのデジタル入力設定レジスタ	54
一般仕様	12	GPO パラレル・データ・レジスタ	55
タイミング特性	14	各チャンネルの GPO 設定レジスタ	55
絶対最大定格	16	各チャンネルの出力設定レジスタ	56
熱抵抗	16	各チャンネルの DAC コード・レジスタ	56
ESD に関する注意	16	各チャンネルの DAC クリア・コード・レジスタ	56
ピン配置およびピン機能の説明	17	各チャンネルの DAC アクティブ・コード・レジスタ	57
代表的な性能特性	20	デジタル入力閾値レジスタ	57
電圧出力	20	ADC 変換制御レジスタ	57
電流出力	22	診断機能選択レジスタ	58
リファレンス	24	デジタル出力レベル・レジスタ	59
ADC	25	各チャンネルの ADC 変換結果レジスタ	60
電源	26	各診断チャンネルの診断結果レジスタ	60
動作原理	27	アラート・ステータス・レジスタ	60
堅牢なアーキテクチャ	27	ライブ・ステータス・レジスタ	62
シリアル・インターフェース	27	アラート・マスク・レジスタ	63
DAC アーキテクチャ	27	リードバック選択レジスタ	63
ADC の概要	28	80 SPS ADC 変換制御レジスタ	64
リファレンス	28	サーマル・リセット有効化レジスタ	64
AD74412R のパワーオン状態	28	コマンド・レジスタ	65
デバイス機能	28	スクラッチまたはスペア・レジスタ	65
ループ駆動デジタル入力モード	38	シリコン・リビジョン・レジスタ	65
設計の開始にあたって	39	外形寸法	66
チャンネル機能の使用	39	オーダー・ガイド	66

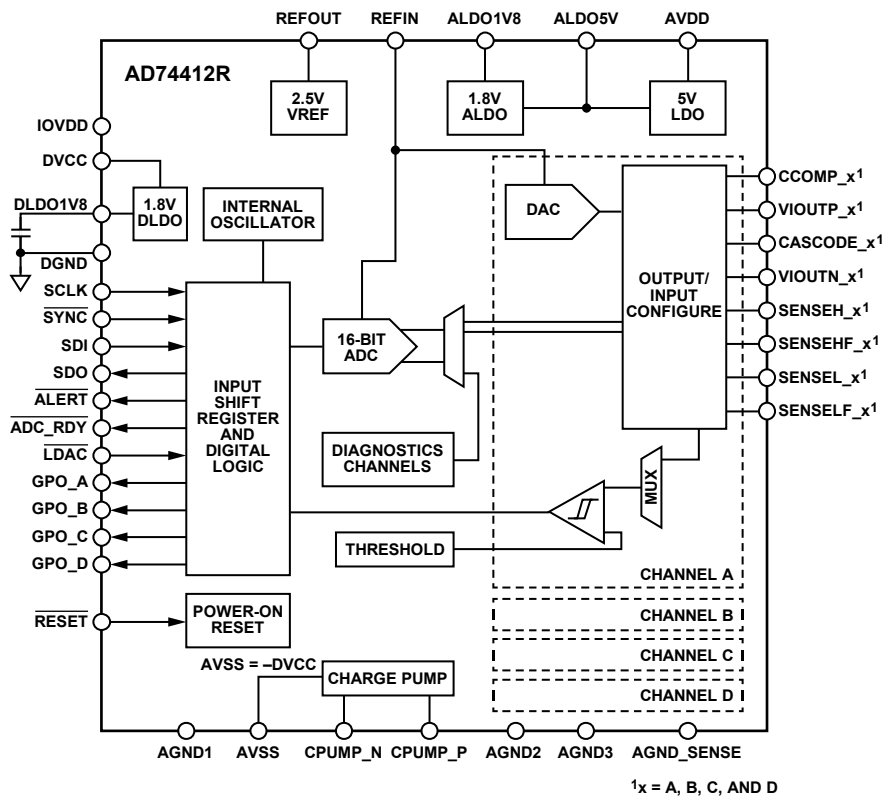
改訂履歴

9/2019—Rev. 0 to Rev. A

Changes to Figure 6 and Figure 820
Changes to Figure 18.....22
Changes to Table 19 and Table 20.....43

9/2019—Revision 0: Initial Version

機能ブロック図



21274-001

図 1.

仕様

電圧出力

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT を REFIN に接続)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ における値。抵抗負荷 (R_{LOAD}) = 100k Ω 、コンデンサ負荷 (C_{LOAD}) = 68nF (推奨設定による)。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
VOLTAGE OUTPUT					
Resolution	13			Bits	
Output Range	0		11	V	
ACCURACY					
Total Unadjusted Error (TUE)	-0.4		+0.4	%FSR	内部リファレンス
	-0.35		+0.35	%FSR	外部リファレンス
TUE at 25°C	-0.2		+0.2	%FSR	内部リファレンス
	-15		+0.15	%FSR	外部リファレンス
TUE Drift vs. Time ¹		±400		ppm FSR	内部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
		±100		ppm FSR	外部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
Integral Nonlinearity (INL)	-4		+4	LSB	
Differential Nonlinearity (DNL)	-1		+1	LSB	単調増加性を保証
Offset Error	-8		+8	mV	
Gain Error	-0.4		+0.4	%FSR	内部リファレンス
	-0.25		+0.25	%FSR	外部リファレンス
OUTPUT CHARACTERISTICS					
Load	500	100k		Ω	
Headroom (500 Ω Load)	4			V	500 Ω 負荷の両端電圧を 11V とするために AVDD と入出力の正の (I/OP_x、ここで x はチャンネル番号) スクリュー端子の間に必要な最小電圧差
Short-Circuit Current (Sourcing)	25	29	32	mA	チャンネルあたり、下限ビット = 0 (デフォルト)
	5.5	7	9	mA	チャンネルあたり、上限ビット = 1
Short-Circuit Current (Sinking)	3.0	3.8	4.5	mA	
Maximum Capacitive Load			2	μF	
DC Output Impedance		0.12		Ω	
DC Power Supply Rejection Ratio (PSRR)		80		dB	
DYNAMIC PERFORMANCE ¹					
Output Voltage Settling Time		90		μs	10V ステップ (0.5V~10.5V、または 10.5V~0.5V) で $\pm 0.05\%$ FSR 以内まで
Noise (Internal Reference)					I/OP_x スクリュー端子で測定、2.5V 出力
Output Noise		0.1		LSB p-p	帯域幅: 0.1 Hz~10 Hz
Output Noise Spectral Density		2		$\mu\text{V}/\sqrt{\text{Hz}}$	1kHz で測定
Noise (External Reference)					I/OP_x スクリュー端子で測定、2.5V 出力
Output Noise		0.07		LSB p-p	帯域幅: 0.1 Hz~10 Hz
Output Noise Spectral Density		320		nV/ $\sqrt{\text{Hz}}$	1kHz で測定
AC PSRR		65		dB	AVDD 電源に重ねた 1kHz サイン波で 200mV

¹ 設計および特性評価により確保。

電流出力

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT を REFIN に接続)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ における値。 $R_{LOAD} = 250\Omega$ 、 $C_{LOAD} = 68\text{nF}$ (推奨設定による)、および検出抵抗 (R_{SENSE}) = 100 Ω 、0.1%、10ppm/ $^{\circ}\text{C}$ 。

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CURRENT OUTPUT					
Resolution	13			Bits	
Output Range	0		25	mA	
ACCURACY					
TUE ¹	-0.55		+0.55	%FSR	内部リファレンス
	-0.45		+0.45	%FSR	外部リファレンス
TUE at 25 $^{\circ}\text{C}$	-0.35		+0.35	%FSR	内部リファレンス
	-0.2		+0.2	%FSR	外部リファレンス
TUE Drift vs. Time ²		500		ppm FSR	内部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
		300		ppm FSR	外部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
INL	-4		+4	LSB	ゼロスケールからフルスケールまで
DNL	-1		+1	LSB	単調増加性を保証
Offset Error	-37.5	+5.0	+37.5	μA	
Gain Error ¹	-0.4		+0.4	%FSR	内部リファレンス
	-0.3		+0.3	%FSR	外部リファレンス
OUTPUT CHARACTERISTICS					
Headroom	5			V	25mA をソースするために AVDD と I/OP_x スクリュー端子の間に必要な最小電圧差
Open Circuit Voltage		AVDD		V	
Output Impedance	1.5	4		M Ω	
DC PSRR		200		nA/V	AVDD を変化させて測定した PSRR
DYNAMIC PERFORMANCE ²					
Output Current Settling Time		230		μs	25mA ステップアップまたはダウン、最終電流 $\pm 100\mu\text{A}$ のウィンドウ内にセトリングするまでの時間
Noise (Internal Reference)					I/OP_x スクリュー端子で測定 (250 Ω 負荷、12.5mA 出力)
Output Noise		0.2		LSB p-p	帯域幅: 0.1Hz~10Hz
Output Noise Spectral Density		12		nA/ $\sqrt{\text{Hz}}$	1kHz で測定
Noise (External Reference)					I/OP_x スクリュー端子で測定 (250 Ω 負荷、12.5mA 出力)
Output Noise		0.15		LSB p-p	帯域幅: 0.1Hz~10Hz
Output Noise Spectral Density		2		nA/ $\sqrt{\text{Hz}}$	1kHz、12.5mA 出力で測定
AC PSRR		80		dB	1kHz での電源電圧から 250 Ω の両端電圧まで。

¹ R_{SENSE} の精度は総合未調整誤差およびゲイン誤差に直接影響します。

² 設計および特性評価により確保。

電圧入力

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT を REFIN に接続)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ における値。 $C_{\text{LOAD}} = 68\text{nF}$ (推奨設定による)。

表 3.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
VOLTAGE INPUT					
Input Resolution	16			Bits	
Input Range	0		10	V	
ACCURACY					
TUE	-0.4		+0.4	%FSR	内部リファレンス
	-0.2		+0.2	%FSR	外部リファレンス
TUE at 25°C	-0.3		+0.3	%FSR	内部リファレンス
	-0.1		+0.1	%FSR	外部リファレンス
TUE Drift vs. Time ¹		500		ppm FSR	内部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
		500		ppm FSR	外部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
INL	-5	±2	+5	LSB	
Gain Error		2000		ppm FSR	内部リファレンス
Offset Error		±2		LSB	
OTHER INPUT SPECIFICATIONS					
DC PSRR ¹		10		μV/V	
Normal Mode Rejection ¹		75		dB	50Hz ± 1Hz および 60Hz ± 1Hz
Input Bias Current at 25°C	-100		+100	nA	I/OP_x スクリュー端子から見た値、ADC はアイドル状態または変換状態、200kΩ~GND はディスプレイ (CH_200K_TO_GND ビット = 0)、電圧トランジェント圧縮 (TVS) のリークを含まない
Input Resistance	175	195	215	kΩ	200kΩ~GND をイネーブル

¹ 設計および特性評価により確保。

外部駆動電流入力

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT を REFIN に接続)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ における値。 $C_{\text{LOAD}} = 68\text{nF}$ (推奨設定による)。AGND - 0.5V < I/OP_X スクリュー端子電圧 < AVDD - 0.2V、および $R_{\text{SENSE}} = 100\Omega$ 、0.1%、 $10\text{ppm}/^{\circ}\text{C}$ 。

表 4.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CURRENT INPUT					
Input Resolution	16			Bits	
Input Range	0		25	mA	外部 100Ω 抵抗両端で検出
Short-Circuit Current Limit	25		35	mA	プログラム不可
ACCURACY					
TUE ¹	-0.5		+0.5	%FSR	内部リファレンス、 R_{SENSE} から 0.16%の寄与
	-0.36		+0.36	%FSR	外部リファレンス、 R_{SENSE} から 0.16%の寄与
TUE at 25°C	-0.34		+0.34	%FSR	内部リファレンス
	-0.2		+0.2	%FSR	外部リファレンス
TUE Drift vs. Time ^{1,2}		700		ppm FSR	内部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
		600		ppm FSR	外部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
INL	-5	+2	+5	LSB	
Gain Error		2000		ppm FSR	
Offset Error		± 2		LSB	
OTHER INPUT SPECIFICATIONS					
DC PSRR ²		150		nA/V	
Input Impedance		200		Ω	
Compliance	6.3			V	100Ω の R_{SENSE} を含む 25mA をシンクするために I/OP_X スクリュー端子で必要な最小電圧

¹ R_{SENSE} の精度は総合未調整誤差およびゲイン誤差に直接影響します。

² 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

ループ駆動電流入力

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT を REFIN に接続)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ における値。 $C_{\text{LOAD}} = 68\text{nF}$ (推奨設定による)、 $\text{AGND} - 0.5\text{V} < \text{I/OP}_x$ スクリュー端子電圧 $< \text{AVDD} - 0.2\text{V}$ 、および $R_{\text{SENSE}} = 100\Omega$ 、0.1%、10ppm/°C。

表 5.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CURRENT INPUTS					
Input Resolution	16			Bits	
Input Range	0		25	mA	外部 100Ω 抵抗両端で検出
Programmable Current Limit	0.5		24.5	mA	プログラマブル電流制限値 (代表値)、ループ駆動電流入力を有効化、13 ビット分解能
ACCURACY					
TUE ¹	-0.5		+0.5	%FSR	内部リファレンス、 R_{SENSE} から 0.16% の寄与
	-0.36		+0.36	%FSR	外部リファレンス、 R_{SENSE} から 0.16% の寄与
TUE at 25°C	-0.34		+0.34	%FSR	内部リファレンス
	-0.2		+0.2	%FSR	外部リファレンス
TUE Drift vs. Time ^{1,2}		700		ppm FSR	内部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
		600		ppm FSR	外部リファレンス、 $T_A = 85^{\circ}\text{C}$ で 1000 時間経過した後のドリフト
INL	-5	+2	+5	LSB	0.1mA~25mA 範囲で指定された直線性
Gain Error		2000		ppm FSR	
Offset Error		±2		LSB	
OTHER INPUT SPECIFICATIONS					
DC PSRR ²		150		nA/V	
Input Impedance		175		Ω	100Ω の R_{SENSE} を含む
Headroom	5.0			V	25mA をソースするために AVDD と I/OP_x スクリュー端子電圧の間に必要な最小差

¹ R_{SENSE} の精度は総合未調整誤差およびゲイン誤差に直接影響します。

² 設計および特性評価により確保。

RTD 測定

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT ピンを REFIN ピンに接続)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ における値。2kΩ の外部電流制限抵抗、精度 0.1%、10ppm/°C を SENSEH_x ピンに接続。 $R_{\text{SENSE}} = 100\Omega$ 、0.1%、10ppm/°C。

表 6.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
RESISTANCE MEASUREMENT					
Input Range	0		1	MΩ	2 線式 RTD 測定をサポート
Bias Voltage		2.5		V	
Pull-Up Resistor ($R_{\text{PULL-UP}}$)		2.1		kΩ	$R_{\text{PULL-UP}}$ は、精度 0.1%、10ppm/°C の外部 2kΩ 抵抗と 100Ω の外部 R_{SENSE} で構成
ACCURACY					
Measurement Range					
0 Ω to 80 Ω		0.5% ± 0.5		Ω	測定値の ±% ± Ω オフセット
80 Ω to 200 Ω		0.3		%	測定値の ±%
200 Ω to 1 kΩ		0.2		%	測定値の ±%
1 kΩ to 10 kΩ		0.2		%	測定値の ±%
10 kΩ to 20 kΩ		0.3		%	測定値の ±%
20 kΩ to 100 kΩ		0.8		%	測定値の ±%
100 kΩ to 200 kΩ		1.0		%	測定値の ±%
200 kΩ to 1 MΩ		8		%	測定値の ±%

デジタル入力ロジック

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT を REFIN に接続)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ における値。

表 7.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DIGITAL INPUTS					
Input Data Rate ¹			5	kHz	フィルタなし入力、低インピーダンス・ソースで SENSEL ピンを駆動、0V~10V 信号、デューティ・サイクル: 60:40
Maximum Input Voltage ¹			40	V	TVS クランピング電圧により制限
Minimum Input Voltage ¹	-40				
CURRENT SINK					
Series Resistor Value		2.3		k Ω	AGND へのプログラマブル電流シンク (代表値)
Current Sink Range	0		1.8	mA	
Current Sink Resolution		120		μA	
Current Sink Accuracy		2		%FSR	
VOLTAGE THRESHOLDS MODES					
AVDD Threshold Mode					
Threshold Range	AVDD/60		AVDD \times 59/60	V	すべてのチャンネルで共有されるプログラマブル・トリップ・レベル
Threshold Resolution		AVDD/30		V	
Hysteresis		AVDD/60		V	
Fixed Threshold Mode					
Threshold Range	0.5		16	V	すべてのチャンネルで共有されるプログラマブル・トリップ・レベル
Threshold Resolution		0.5		V	
Hysteresis		0.5		V	
Threshold Accuracy		2		%FSR	

¹ 設計および特性評価により確保。

ループ駆動デジタル入力

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT を REFIN に接続)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ における値。

表 8.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DIGITAL INPUTS					
Input Data Rate ¹		15	5	kHz	フィルタなし入力。通常は濡れ電流、負荷容量、およびスレッシュホールド電圧に支配されます
Dry Contact Wetting Current Range	0.5		24.5	mA	ループ駆動 - チャンネルあたりのプログラマブル電流 (代表値)
Headroom	5.0			V	25mA をソースするために AVDD と I/OP_x スクリュー端子の間に必要な最小電圧差
THRESHOLD MODES					
AVDD Threshold Mode					
Threshold Range	AVDD/60		AVDD \times 59/60	V	すべてのチャンネルで共有されるプログラマブル・トリップ・レベル
Threshold Resolution		AVDD/30		V	
Hysteresis		AVDD/60		V	
Fixed Threshold Mode					
Threshold Range	0.5		16	V	すべてのチャンネルで共有されるプログラマブル・トリップ・レベル
Threshold Resolution		0.5		V	
Hysteresis		0.5		V	
Threshold Accuracy		2		%FSR	

¹ 設計および特性評価により確保。

ADC の仕様

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT を REFIN に接続)、DVCC = 2.7V~5.5V、IOVDD=1.7V~5.5V、すべての仕様は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ における値。R_{SENSE} の両端電圧を検出することによって電流を測定したときに、 $\text{AGND} - 0.5\text{V} < \text{I/OP}_x \text{ スクリュー端子電圧} < \text{AVDD} - 0.2\text{V}$

表 9.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント	
ADC SPECIFICATIONS						
Resolution	16			Bits	サンプル・レートは、選択したチャンネル数と、シングル変換モードと連続変換モードのどちらを使用するかによって異なります。	
No Missing Codes ¹	16			Bits		
Conversion Rates ¹						
20 SPS		20		SPS		50Hz および 60Hz 除去を有効化。
80 SPS		80		SPS		50Hz および 60Hz 除去を有効化。
4.8 kSPS		4.8		kSPS		50Hz および 60Hz 除去を無効化。
Noise ¹					表 19 を参照。	
ADC INPUT RANGES						
0 V to 10 V						
Range	0		10	V	通常は、I/OP _x から I/ON _x までのスクリュー端子の電圧を測定するために使用 (I/ON _x は負の入出力、x はチャンネル番号)。	
TUE		±0.4		%FSR		
INL		±2		LSB		
Gain Error		2000		ppm FSR		
Offset Error		±2		LSB		
0 V to 2.5 V						
Range	0		2.5	V	通常は、100Ω の R _{SENSE} を通じて AD74412R から流れ出す電流の測定や、I/OP _x スクリュー端子の RTD 電圧の測定に使用。	
TUE		±0.25		%FSR		
INL		±2		LSB		
Gain Error		2000		ppm FSR		
Offset Error		±2		LSB		
-2.5 V to 0 V						
Range	-2.5		0	V	通常は、100Ω の R _{SENSE} を通じて AD74412R へ流れ込む電流の測定に使用。	
TUE		±0.2		%FSR		
INL		±2		LSB		
Gain Error		2000		ppm FSR		
Offset Error		±2		LSB		
-2.5 V to +2.5 V						
Range	-2.5		+2.5	V	通常は、電圧出力モードで 100Ω の検出抵抗を流れる双方向電流の測定に使用。	
TUE		±0.2		%FSR		
INL		±2		LSB		
Gain Error		2000		ppm FSR		
Offset Error		±2		ppm FSR		
DIAGNOSTICS SPECIFICATIONS						
Accuracy		2		%	測定値の%。	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
INTERNAL TEMPERATURE SENSOR ¹					
Junction Operating Temperature Range	-40		+125	°C	オーダー・ガイドに仕様規定されている 85°C の最大値は周囲温度。ただし、温度センサーは 125°C のダイ温度に対して仕様規定されています。
Accuracy		5		°C	
Resolution		0.2		°C	

¹ 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

一般仕様

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (REFOUT を REFIN に接続)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は T_A = -40°C~+85°C における値。

表 10.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
REFERENCE SPECIFICATIONS					
Reference Input					
Reference Input Voltage	2.495	2.5	2.505	V	
DC Input Current	-1		+1	μA	
Reference Output					
Output Voltage	2.495	2.5	2.505	V	T _A = 25°C
Reference Temperature Coefficient ¹			20	ppm/°C	
Output Voltage Drift vs. Time ¹		400		ppm FSR	1000 時間後のドリフト、T _A = 85°C
Output Noise ¹		59		μV p-p	帯域幅：0.1Hz~10Hz。
Output Noise Spectral Density		2.3		μV/√Hz	周波数 = 1kHz
Capacitive Load			100	nF	REFOUT ピン
Output Impedance		0.6		Ω	最大 5mA までソースまたはシンク
Short Circuit		25		mA	
CHARGE PUMP					
Voltage		-DVCC		V	チャージ・ポンプは DVCC の負の値に等しい電圧を生成
Accuracy		±10		%	
Output Impedance		12.5		Ω	
CASCODE PINS					
Cascode Voltage	AVDD - 8	AVDD - 7	AVDD - 6	V	チャンネル出力段をイネーブル (10 進コード 0x000 を DAC にロード)
TEMPERATURE ALERT AND RESET ¹					
Temperature Alert		115		°C	ジャンクション温度 ジャンクション温度。高温イベントはアラート・ステータスと ALERT ピンをフラグ (マスクされていない場合)
Temperature Alert Accuracy		5		°C	
Temperature Reset		140		°C	ジャンクション温度。EN_THERM_RST=1 のときに過熱イベントが発生した場合にデバイスをリセット
Temperature Reset Accuracy		5		°C	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
LOGIC INPUTS					
SCLK、SDI、RESET、SYNC、LDAC					
Input Voltage					
High (V_{IH})	$0.8 \times$ IOVDD			V	IOVDD \leq 2.7V
	$0.7 \times$ IOVDD			V	IOVDD $>$ 2.7V
Low (V_{IL})			$0.2 \times$ IOVDD	V	IOVDD \leq 2.7V
			$0.3 \times$ IOVDD	V	IOVDD $>$ 2.7V
Input Current	-1		+1	μ A	ピンごと
Input Capacitance ¹		3		pF	ピンごと
LOGIC OUTPUTS					
SDO Pin					
Output Voltage					
Low (V_{OL})			0.4	V	シンク電流 (I_{SINK}) = 200 μ A
High (V_{OH})	IOVDD - 0.4			V	ソース電流 (I_{SOURCE}) = 200 μ A
High Impedance Leakage Current	-1		+1	μ A	
GPO_x Pin					
Output Voltage					
Low V_{OL}		0.15	0.4	V	$I_{SINK} = 200\mu A$
			0.4	V	$I_{SINK} = 3mA$ (IOVDD $>$ 2.7V のとき)
High V_{OH}	IOVDD - 0.4			V	$I_{SINK} = 200\mu A$
	IOVDD - 0.4			V	$I_{SINK} = 3mA$ (IOVDD $>$ 2.7V のとき)
Pull-Down Resistance		101		k Ω	
High Impedance Leakage Current	-1		+1	μ A	
OPEN-DRAIN LOGIC OUTPUTS					
ADC_RDY、ALERT					
V_{OL}			0.4	V	IOVDD への 10k Ω プルアップ抵抗
			0.4	V	2.5mA 時
High Impedance Leakage Current	-1		+1	V	
POWER SUPPLY MONITORS					
AVDD Threshold		9.5		V	
ALDO5V Threshold		4.1		V	
DVCC Threshold		2.0		V	
ALDO1V8 Threshold		1.4		V	
AVSS Threshold		-1.9		V	
POWER REQUIREMENTS					
Supply Voltages ¹					
AVDD	14	24	26.4	V	
DVCC	2.7	3.3	5.5	V	
IOVDD	1.7	DVCC	5.5	V	
Supply Quiescent Currents					
AVDD Current	10	13.5	18	mA	AD74412R がパワーアップして高インピーダンス・モードになります
	10	12.5	14	mA	任意の出力モードで 4 チャンネルを設定、 負荷電流なし
	10	15	18.5	mA	任意の入力モードで 4 チャンネルを設定、 負荷電流なし

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DVCC Current	5.5	9.0	13.5	mA	AD74412R がパワーアップして高インピーダンス・モードになります
IOVDD Current	8.5	10.5	12.5	mA	任意の出力モードで4チャンネルを設定、負荷電流なし
		15	100	μA	AD74412R がパワーアップして高インピーダンス・モードになります
CONFIGURATION TIMING					
Device Power-Up Time ¹		10		ms	AVDD と DVCC のパワーアップ後 デバイスのパワーアップ後に、デバイスをリセットしてキャリブレーション・メモリをアップロードし、ハードウェアまたはソフトウェア・リセット・イベントを完了させるまでに要する時間 (RESETパルス幅の仕様については表 11 を参照)
Device Reset Time ¹		1		ms	
Use Case Switch Time ¹		130		μs	
Time in Use Case Before Loading DAC Codes ¹		150		μs	

¹ 設計および特性評価により確保。

タイミング特性

SPI タイミングの仕様

特に指定のない限り、AVDD = 14V~26.4V、AGND = DGND = 0V、REFIN = 2.5V (内部または外部)、DVCC = 2.7V~5.5V、IOVDD = 1.7V~5.5V、すべての仕様は T_A = -40°C~+85°C における値。

表 11.

パラメータ ^{1,2}	説明	IOVDD = 1.7V~2.7V	IOVDD = 2.7V~5.5V	単位
t ₁	SCLK ピンのサイクル・タイム	50	42	ns min
t ₂	SCLK ハイ時間	20	17	ns min
t ₃	SCLK ロー時間	20	17	ns min
t ₄	SYNCの立下がりエッジから SCLK のアクティブ・エッジまでのセットアップ・タイム	25	21	ns min
t ₅	最後の SCLK 立下がりエッジから SYNC 立上がりエッジまで。	25	21	ns min
t ₆	SYNCハイ時間	650	650	ns min
t ₇	データ・セットアップ・タイム	5	5	ns min
t ₈	データ・ホールド・タイム	5	5	ns min
t ₉	RESETパルス幅	50	50	μs min
t ₁₀	SCLK の立上がりエッジから SDO が有効になるまで	1	1	ms max
t ₁₁	SYNCの立下がりエッジから SDO が有効になるまで (MSB リードバックの場合のみ)	39.5	23	ns max
t ₁₂	SYNCの立上がりエッジから SDO がトライステートになるまで。	34	15	ns max
t ₁₃	LDACパルス幅 (SYNCがハイに戻るまで LDACにロー・パルスを入力しない)	15	14	ns min
t ₁₄	SYNCの立上がりエッジから LDACの立が下りエッジまで	350	350	ns min
t ₁₅	LDACの立下がりエッジから DAC 出力応答までの時間	1	1	μs min
t ₁₆	SYNCの立上がりエッジから DAC 出力応答までの時間 (LDACが0のとき)	3	3	μs typ
t ₁₇ ³	ADC_RDYパルス	3.5	3	μs typ
		30	30	μs typ

¹ すべての入力信号は、立上がり時間 (t_R) = 立下がり時間 (t_F) = 5ns (IOVDD ピン電圧 (V_{IOVDD}) の 10%~90%) で仕様規定し、V_{IOVDD}/2 の電圧レベルから時間を測定しています。

² 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

³ t₁₇ は SPI タイミング仕様ではないので、図 2 には示されていません。t₁₇ が示されたタイミング図については図 47 を参照してください。

タイミング図

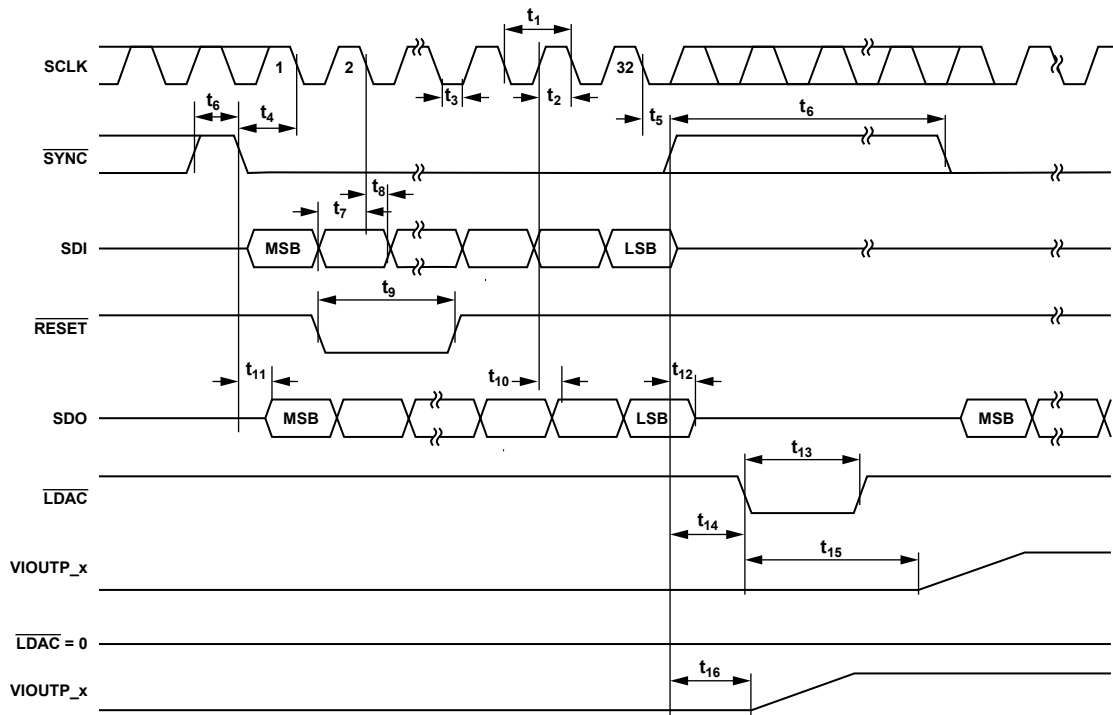


図 2. SPI タイミング図

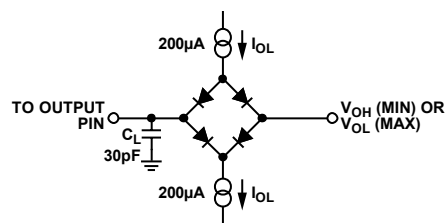


図 3. デジタル出力 (SDO) タイミング仕様の負荷回路

絶対最大定格

特に指定のない限り $T_A = 25^\circ\text{C}$ 。

推奨構成では、I/OP_x スクリュー端子は DC \pm 40V までの過電圧に耐えることができます（外部 TVS により制限）。

表 12.

Parameter	Rating
AVDD to AGND	-0.3 V to +30 V
REFIN, REFOUT to AGND	-0.3 V to +5 V
SENSEH_x ¹ , SENSEHF_x ¹ SENSEL_x ¹ , SENSELF_x ¹ to AGND	-50 V to +50 V
VIOUTP_x ¹ to AGND	-50 V to AVDD + 0.3 V
VIOUTN_x ¹ to AGND	AVSS - 0.3 V to +50 V
Digital Inputs to DGND (RESET, SYNC, SCLK, SDI, LDAC)	-0.3 V to IOVDD + 0.3 V
Digital Outputs to DGND (GPO_x ¹ , SDO, ALERT, ADC_RDY)	-0.3 V to IOVDD + 0.3 V
DVCC, IOVDD to DGND	-0.3 V to +6.0 V
AGND_SENSE to AGND	-0.3 V to +0.3 V
DGND to AGND	-0.3 V to +0.3 V
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Reflow Profile	JEDEC industry standard J-STD-020
Junction Temperature (T_J Maximum) ²	125°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$

¹ x = A, B, C, および D。

² 推奨される外付けの電界効果トランジスタ (FET) を使用することによって AD74412R の消費電力を管理し、最大ジャンクション温度を超えないようにすることが重要です。また、AD74412R の損傷を避けるために、サーマル・シャットダウン機能を有効にすることを推奨します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は接合部-周囲の熱抵抗値、 θ_{JC} は接合部-ケースの熱抵抗値です。

表 13. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC}	Unit
CP-64-15	22.8 ¹	1.3 ²	°C/W

¹ 7mm×7mm 配列のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードを使い、JEDEC 自然対流環境でシミュレートしたデータに基づいています。詳細については JEDEC 仕様 JESD-51 を参照してください。

² 冷却板をパッケージ上面に接触させた状態の露出パッド表面で測定。

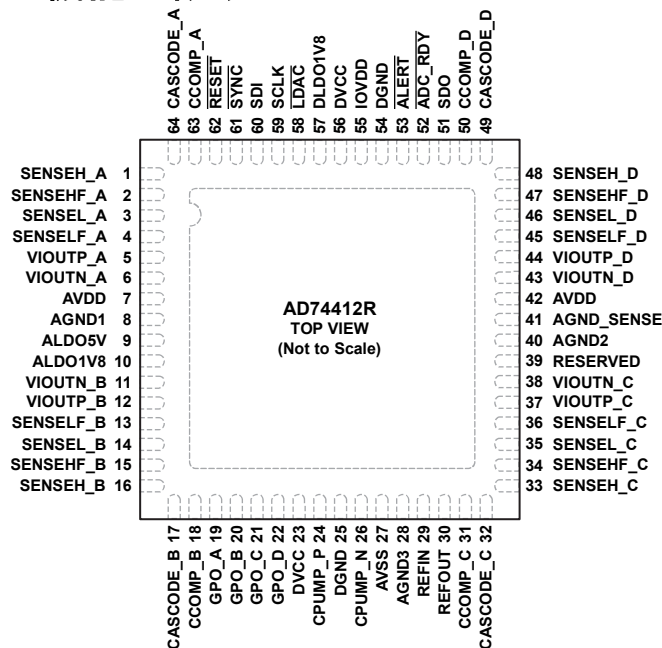
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. EXPOSED PAD. CONNECT THE EXPOSED PAD TO AVSS.

21274-004

図 4. ピン配置

表 14. ピン機能の説明

ピン番号	記号	説明
1	SENSEH_A	チャンネル A のハイサイド検出ピンは、電流出力モードでループを閉じます。このピンは R _{SENSE} の AD74412R 側に接続します。
2	SENSEHF_A	チャンネル A のフィルタ付きハイサイド検出ピンは、ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R _{SENSE} の AD74412R 側に接続します。
3	SENSEL_A	チャンネル A のローサイド検出ピンは、電圧出力モードと電流出力モードでループを閉じます。このピンは R _{SENSE} の I/OP_x スクリュー端子側に接続します。
4	SENSELF_A	チャンネル A のフィルタ付きローサイド検出ピンは、ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R _{SENSE} の I/OP_x スクリュー端子側に接続します。
5	VIOUTP_A	チャンネル A の電圧または電流ハイサイド強制ピン。このピンは VIOUTN_A ピンと共に動作して、I/OP_x スクリュー端子に電圧または電流を提供します。
6	VIOUTN_A	チャンネル A の電圧または電流ローサイド強制ピン。このピンは VIOUTP_A ピンと共に動作して、I/OP_x スクリュー端子に電圧または電流を提供します。
7	AVDD	正のアナログ電源 (14V~26.4V)。
8	AGND1	アナログ・グラウンド。
9	ALDO5V	5V アナログ LDO 出力。このピンは、表 27 に示す推奨コンデンサを使ってデカップリングします。このピンは外部で使用しないでください。
10	ALDO1V8	1.8V アナログ LDO 出力。このピンは、表 27 に示す推奨コンデンサを使ってデカップリングします。このピンは外部で使用しないでください。
11	VIOUTN_B	チャンネル B の電圧または電流ローサイド強制ピン。このピンは VIOUTP_B ピンと共に動作して、I/OP_x スクリュー端子に電圧または電流を提供します。
12	VIOUTP_B	チャンネル B の電圧または電流ハイサイド強制ピン。このピンは VIOUTN_B ピンと共に動作して、I/OP_x スクリュー端子に電圧または電流を提供します。
13	SENSELF_B	チャンネル B のフィルタ付きローサイド検出ピンは、ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R _{SENSE} の I/OP_x スクリュー端子側に接続します。
14	SENSEL_B	チャンネル B のローサイド検出ピンは、電圧出力モードと電流出力モードでループを閉じます。このピンは R _{SENSE} の I/OP_x スクリュー端子側に接続します。

ピン番号	記号	説明
15	SENSEHF_B	チャンネル B のフィルタ付きハイサイド検出ピンは、ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R_{SENSE} の AD74412R 側に接続します。
16	SENSEH_B	チャンネル B のハイサイド検出ピンは、電流出力モードでループを閉じます。このピンは R_{SENSE} の AD74412R 側に接続します。
17	CASCADE_B	チャンネル B に取り付けるオプションの外部消費電力 FET 用のゲート駆動ピン。この FET を使用しない場合、このピンは未接続のままにしてください。
18	CCOMP_B	チャンネル B の補償コンデンサ・ピン。このピンは、電圧出力モード使用時に AD74412R による高容量負荷の駆動を可能にします。CCOMP_B ピンと R_{SENSE} の AD74412R 側の間にコンデンサを接続してください。
19	GPO_A	汎用デジタル出力ピン A。このピンは、デジタル入力コンパレータの出力をモニタすることができます。
20	GPO_B	汎用デジタル出力ピン B。このピンは、デジタル入力コンパレータの出力をモニタすることができます。
21	GPO_C	汎用デジタル出力ピン C。このピンは、デジタル入力コンパレータの出力をモニタすることができます。
22	GPO_D	汎用デジタル出力ピン D。このピンは、デジタル入力コンパレータの出力をモニタすることができます。
23	DVCC	デジタル電源 (2.7V~5.5V)。このピンは、表 27 に示す推奨コンデンサを使ってデカップリングしてください。
24	CPUMP_P	チャージ・ポンプ・フライ・コンデンサ端子。CPUMP_P ピンと CPUMP_N ピンの間に推奨フライ・コンデンサを接続してください。
25	DGND	デジタル・グラウンド。
26	CPUMP_N	チャージ・ポンプ・フライ・コンデンサ端子。CPUMP_P ピンと CPUMP_N ピンの間に推奨フライ・コンデンサを接続してください。
27	AVSS	チャージ・ポンプ出力電圧 (負の DVCC に等しい)。このピンは外部で使用しないでください。
28	AGND3	アナログ・グラウンド。
29	REFIN	2.5V リファレンス入力。
30	REFOUT	内蔵 2.5V リファレンス出力。内蔵リファレンスを使用するには、このピンを REFIN に接続する必要があります。
31	CCOMP_C	チャンネル C の補償コンデンサ・ピン。このピンは、電圧出力モード使用時に AD74412R による高容量負荷の駆動を可能にします。CCOMP_C ピンと R_{SENSE} の AD74412R 側の間にコンデンサを接続してください。
32	CASCADE_C	チャンネル C に取り付けるオプションの外部消費電力 FET 用のゲート駆動ピン。この FET を使用しない場合、このピンは未接続のままにしてください。
33	SENSEH_C	チャンネル C のハイサイド検出ピンは、電流出力モードでループを閉じます。このピンは R_{SENSE} の AD74412R 側に接続します。
34	SENSEHF_C	チャンネル C のフィルタ付きハイサイド検出ピンは、ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R_{SENSE} の AD74412R 側に接続します。
35	SENSEL_C	チャンネル C のローサイド検出ピンは、電圧出力モードと電流出力モードでループを閉じます。このピンは R_{SENSE} の I/OP_x スクリュー端子側に接続します。
36	SENSELF_C	チャンネル C のフィルタ付きローサイド検出ピンは、ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R_{SENSE} の I/OP_x スクリュー端子側に接続します。
37	VIOUTP_C	チャンネル C の電圧または電流ハイサイド強制ピン。このピンは VIOUTN_C ピンと共に動作して、I/OP_x スクリュー端子に電圧または電流を提供します。
38	VIOUTN_C	チャンネル C の電圧または電流ローサイド強制ピン。このピンは VIOUTP_C ピンと共に動作して、I/OP_x スクリュー端子に電圧または電流を提供します。
39	RESERVED	予備ピン。グラウンドに接続してください。
40	AGND2	アナログ・グラウンド。
41	AGND_SENSE	アナログ・グラウンド・センス。このピンは I/ON_x スクリュー端子に接続します。
42	AVDD	正のアナログ電源 (14V~26.4V)。
43	VIOUTN_D	チャンネル D の電圧または電流ローサイド強制ピン。このピンは VIOUTP_D ピンと共に動作して、I/OP_x スクリュー端子に電圧または電流を提供します。
44	VIOUTP_D	チャンネル D の電圧または電流ハイサイド強制ピン。このピンは VIOUTN_D ピンと共に動作して、I/OP_x スクリュー端子に電圧または電流を提供します。
45	SENSELF_D	チャンネル D のフィルタ付きローサイド検出ピンは、ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R_{SENSE} の I/OP_x スクリュー端子側に接続します。
46	SENSEL_D	チャンネル D のローサイド検出ピンは、電圧出力モードと電流出力モードでループを閉じます。このピンは R_{SENSE} の I/OP_x スクリュー端子側に接続します。

ピン番号	記号	説明
47	SENSEHF_D	チャンネル D のフィルタ付きハイサイド検出ピンは、ADC 入力に切り替えることができます。このピンは、オフチップ・フィルタを通じて R _{SENSE} の AD74412R 側に接続します。
48	SENSEH_D	チャンネル D のハイサイド検出ピンは、電流出力モードでループを閉じます。このピンには R _{SENSE} の AD74412R 側を接続します。
49	CASCODE_D	チャンネル D に取り付けるオプションの外部消費電力 FET 用のゲート駆動ピン。この FET を使用しない場合、このピンは未接続のままにしてください。
50	CCOMP_D	チャンネル D の補償コンデンサ・ピン。このピンは、電圧出力モード使用時に AD74412R による高容量負荷の駆動を可能にします。CCOMP_D と R _{SENSE} の AD74412R 側の間にコンデンサを接続してください。
51	SDO	シリアル・インターフェース・データ出力。
52	ADC_RDY	アクティブ・ローのオープンドレイン出力。このピンは、ADC 変換結果の新しいシーケンスを読み取る準備が完了したときにアサートされます。このピンは、IOVDD ピンへのプルアップ抵抗に接続します。
53	ALERT	アクティブ・ローのオープンドレイン出力。このピンは、アラート状態が発生するとローにアサートされます。このピンがアサートされたときは、ALERT_STATUS レジスタを読み出します。このピンはプルアップ抵抗を介して IOVDD ピンに接続してください。
54	DGND	デジタル・グラウンド。
55	IOVDD	入出力電源、1.7V~5.5V。
56	DVCC	デジタル電源、2.7V~5.5V。
57	DLDO1V8	1.8V デジタル LDO 出力。表 27 に示す推奨コンデンサを使ってデカップリングします。このピンは外部で使用しないでください。
58	LDAC	ロード DAC ピン。アクティブ・ローの入力。4 つの DAC すべてを並列で更新するには、このピンをローにします。同時更新の必要がない場合は、このピンを常時ローに接続しておくことができます。
59	SCLK	シリアル・インターフェース・クロック。
60	SDI	シリアル・インターフェース・データ入力。
61	SYNC	シリアル・インターフェース・フレーム同期ピン。アクティブ・ローの入力。
62	RESET	ハードウェア・リセット・ピン。アクティブ・ローの入力。このピンは、AD74412R をパワーオン状態にリセットします。
63	CCOMP_A	チャンネル A の補償コンデンサ・ピン。このピンは、電圧出力モード使用時に AD74412R による高容量負荷の駆動を可能にします。CCOMP_A ピンと R _{SENSE} の AD74412R 側の間にコンデンサを接続してください。
64	CASCODE_A	チャンネル A に取り付けるオプションの外部消費電力 FET 用のゲート駆動ピン。この FET を使用しない場合、このピンは未接続のままにしてください。
	Exposed Pad	露出パッド。露出パッドは AVSS ピンに接続します。

代表的な性能特性
電圧出力

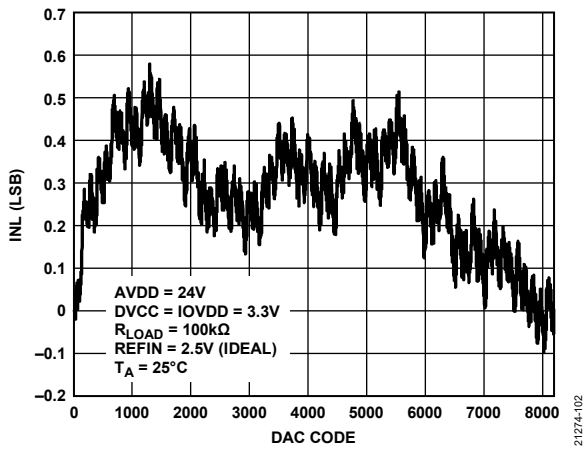


図 5. INL と DAC コードの関係

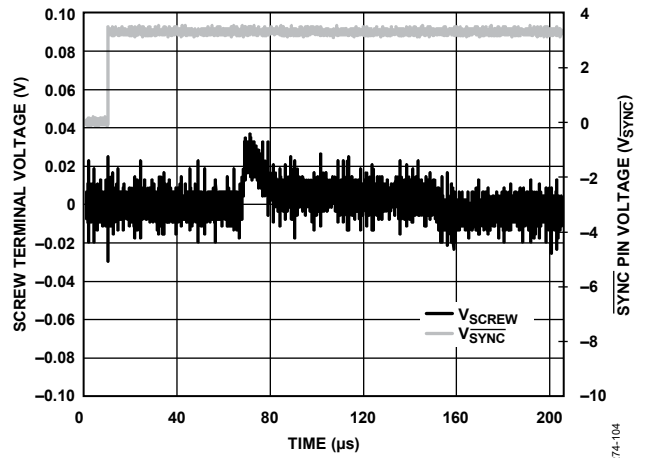


図 8. スクリュー端子電圧 (V_{SCREW}) と時間の関係 (電圧出力カインエール時)

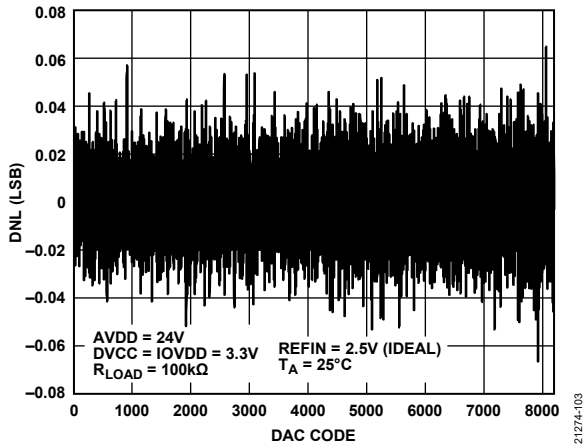


図 6. DNL と DAC コードの関係

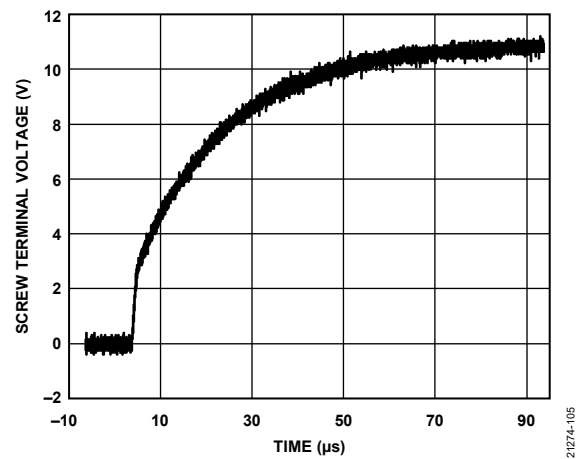


図 9. 正のフルスケール・ステップ

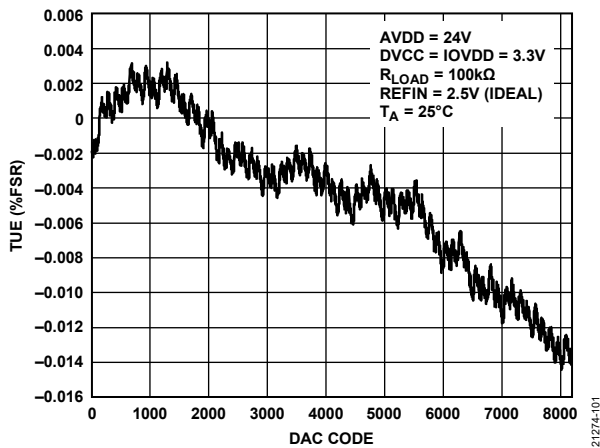


図 7. 総合未調整誤差と DAC コードの関係

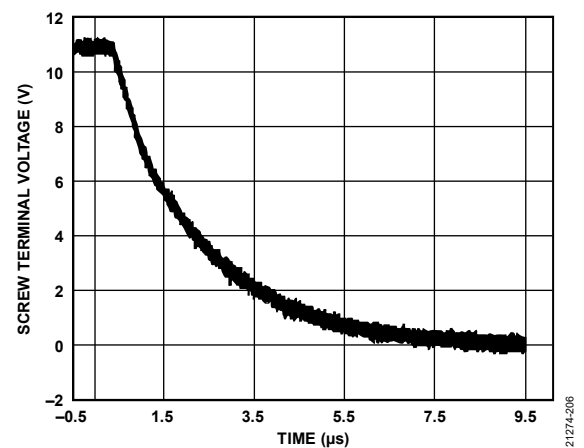


図 10. 負のフルスケール・ステップ

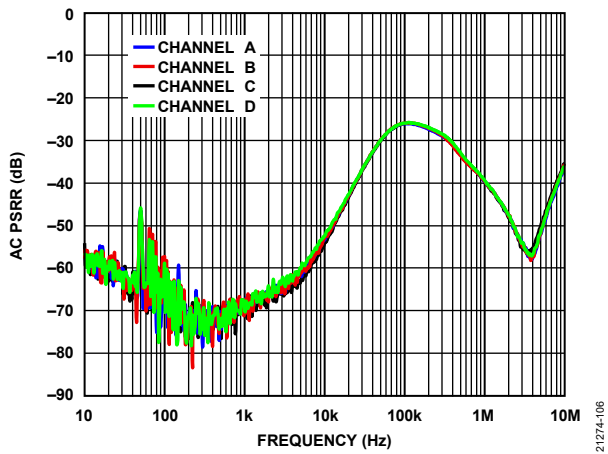


図 11. AC PSRR と周波数の関係

21274-06

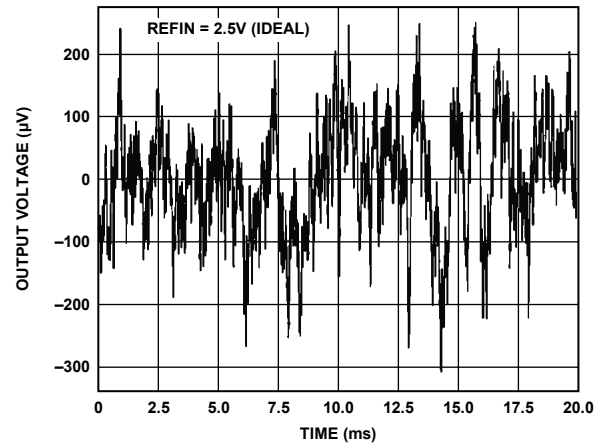


図 13. ピーク to ピーク・ノイズ (100kHz 帯域幅)

21274-08

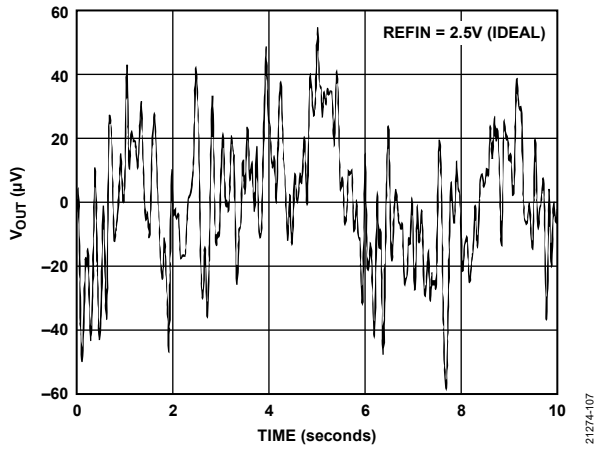


図 12. ピーク to ピーク・ノイズ (0.1Hz~10Hz 帯域幅)

21274-07

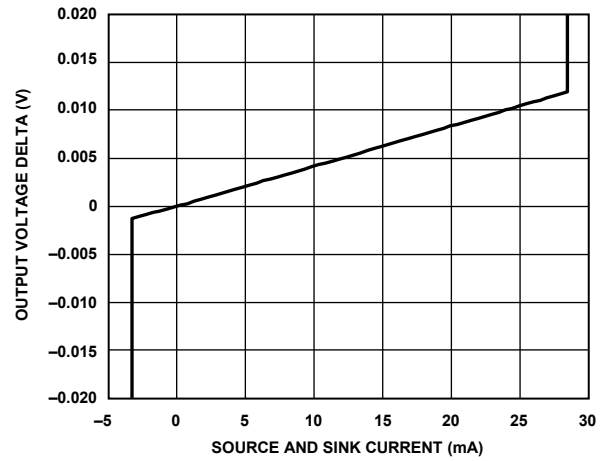


図 14. 出力電圧 (V_{OUT}) 源とシンク能力の関係

21274-12B

電流出力

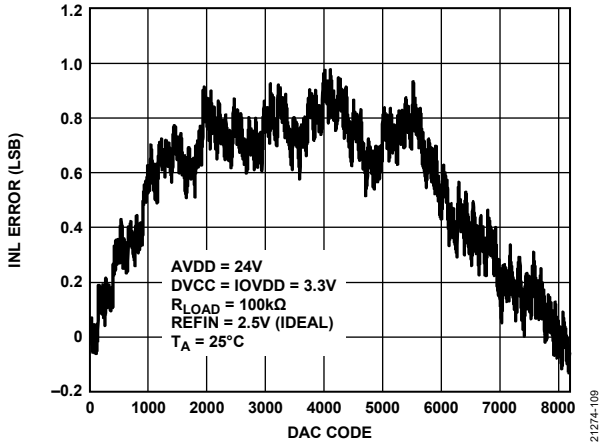


図 15. INL 誤差と DAC コードの関係

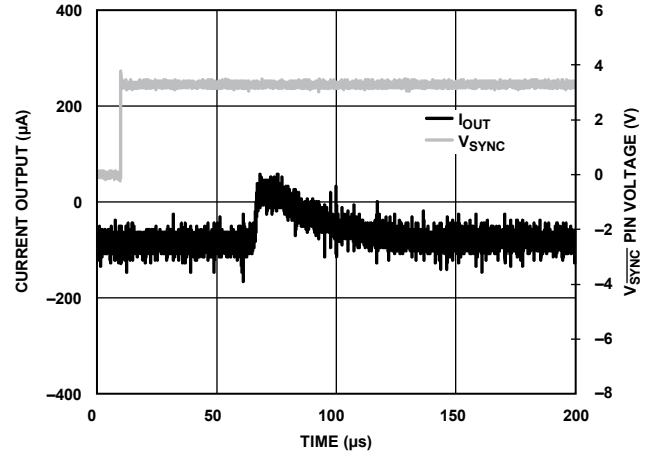


図 18. 電流出力 (I_{OUT}) と時間の関係 (出力イネーブル時)

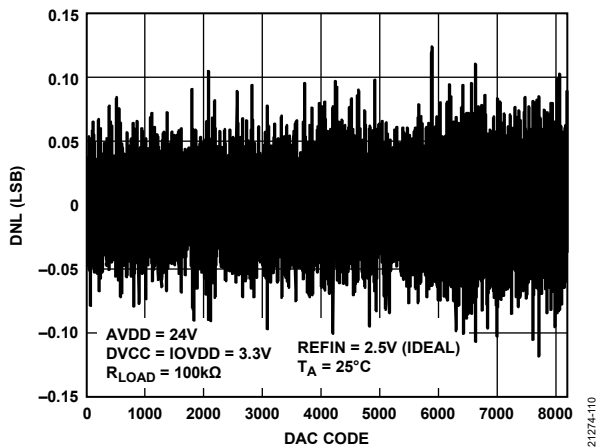


図 16. DNL と DAC コードの関係

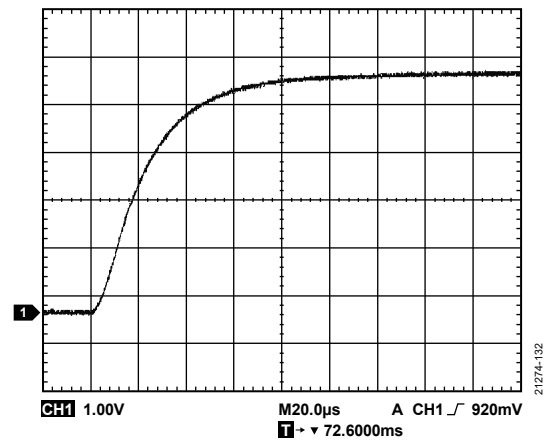


図 19. 電流出力セトリング時間

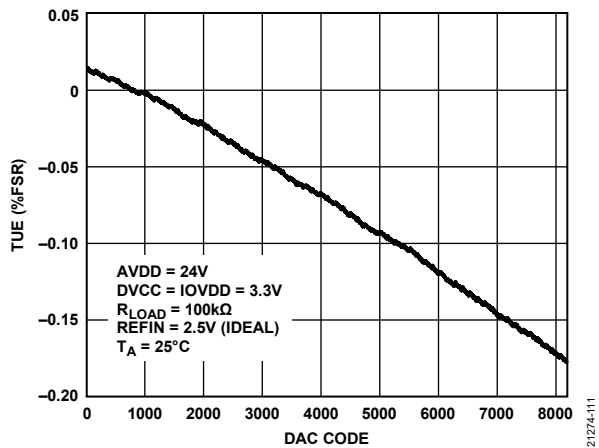


図 17. 総合未調整誤差と DAC コードの関係

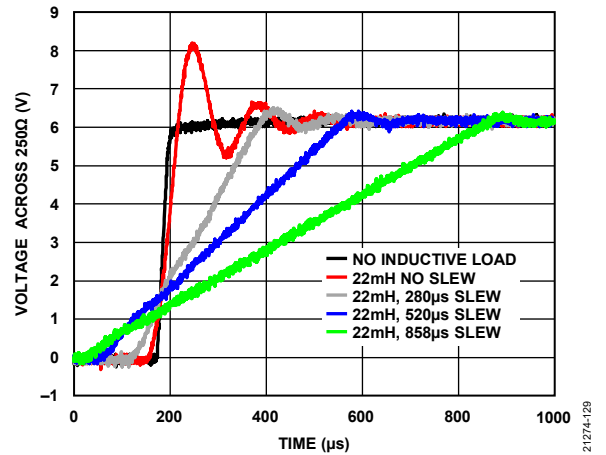


図 20. 電流出力セトリング時間 (誘導負荷接続時、スルー・レートを有効にした場合としない場合)

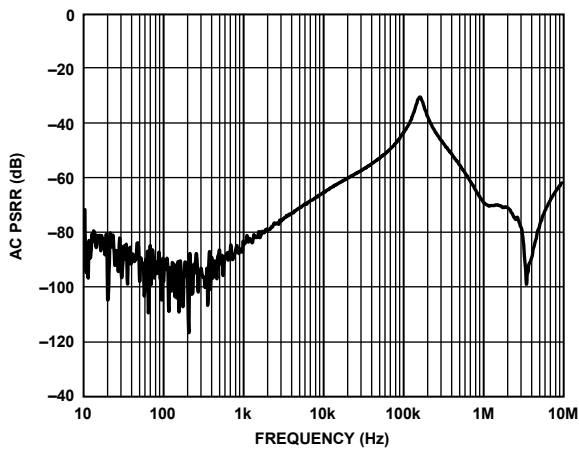


図 21. AC PSRR と周波数の関係

21274-113

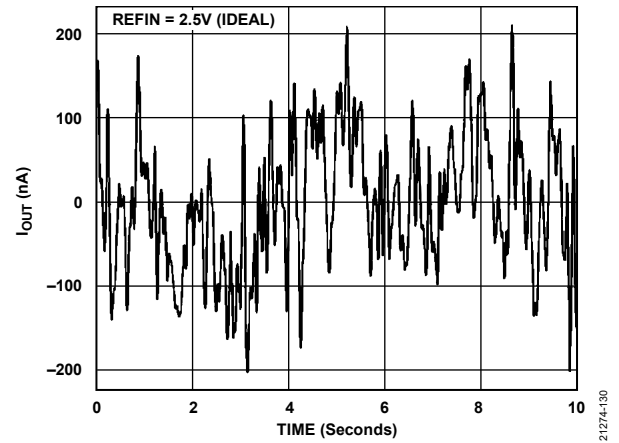


図 23. ピーク to ピーク・ノイズ (0.1Hz~10Hz 帯域幅)

21274-130

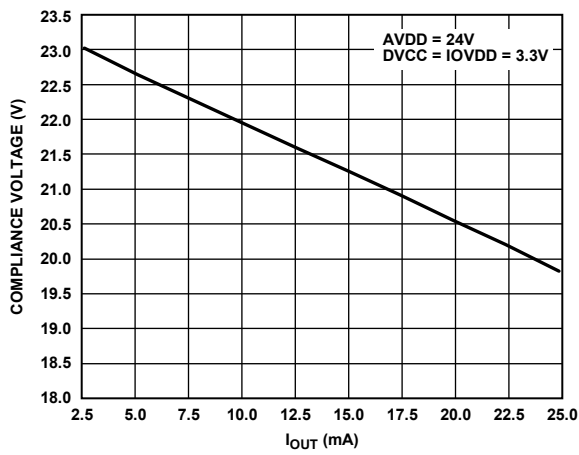


図 22. コンプライアンス電圧と I_{OUT} の関係

21274-114

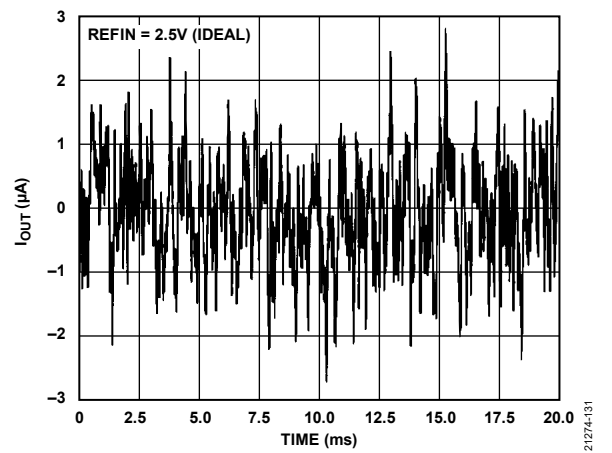


図 24. ピーク to ピーク・ノイズ (100kHz 帯域幅)

21274-131

リファレンス

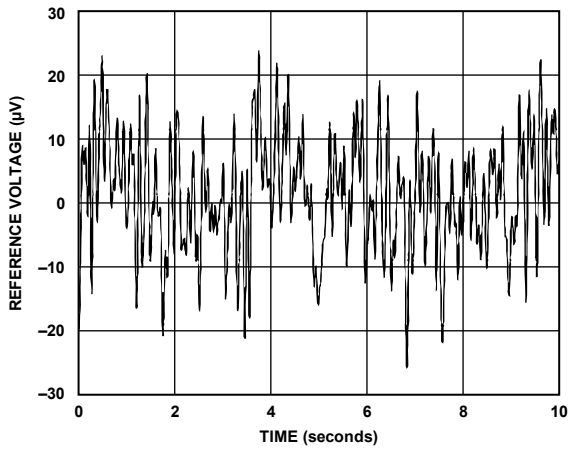


図 25. ピーク to ピーク・ノイズ (0.1Hz~10Hz 帯域幅)

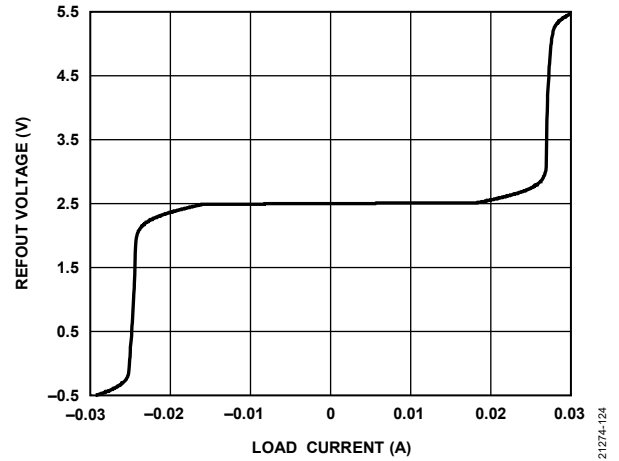


図 27. REFOUT 電圧と負荷電流の関係

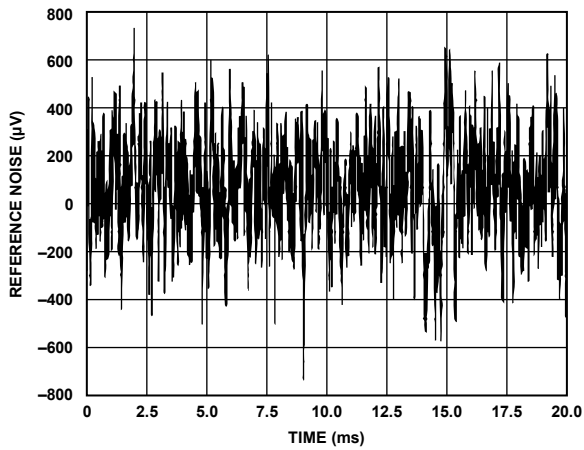


図 26. ピーク to ピーク・ノイズ (100kHz 帯域幅)

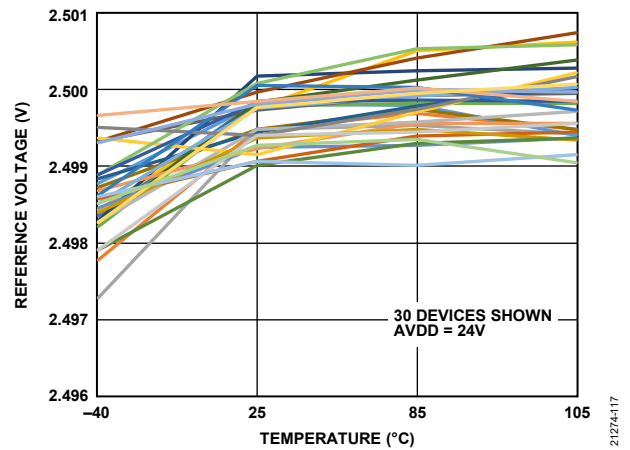


図 28. リファレンス電圧と温度の関係

ADC

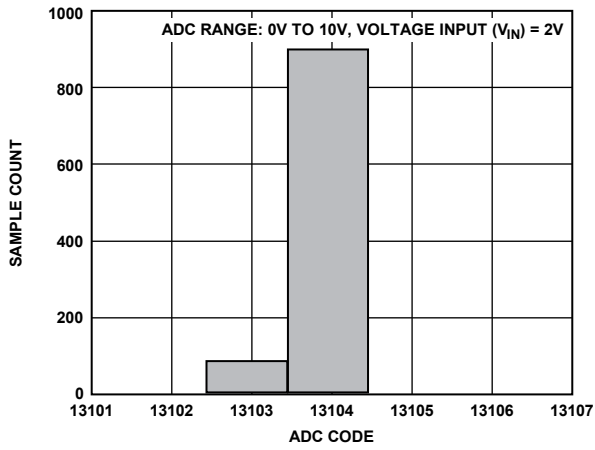


図 29. ADC ノイズ・ヒストグラム
(出力データ・レート (ODR) = 20SPS)

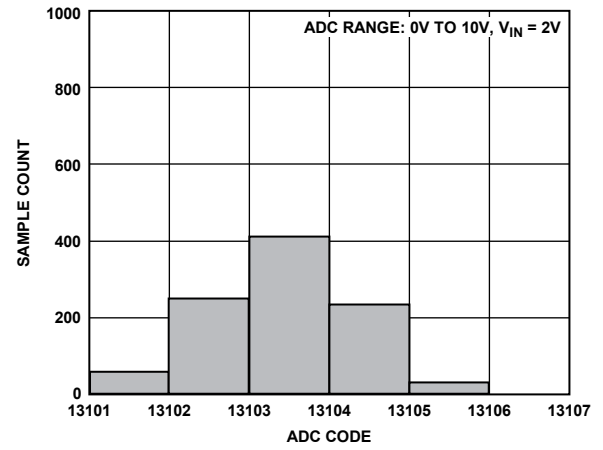


図 30. ADC ノイズ・ヒストグラム (ODR = 4kSPS)

電源

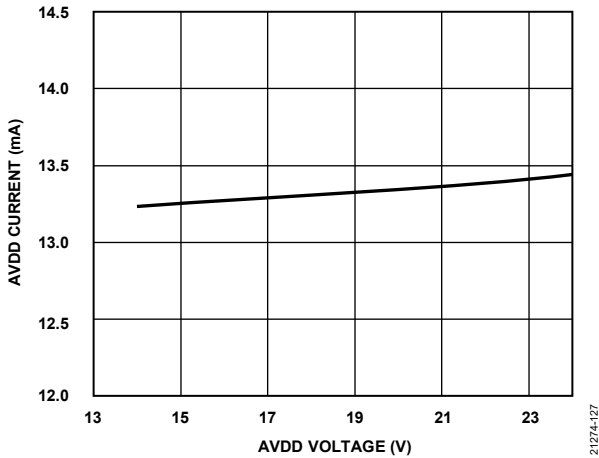


図 31. AVDD 電流と AVDD 電圧の関係

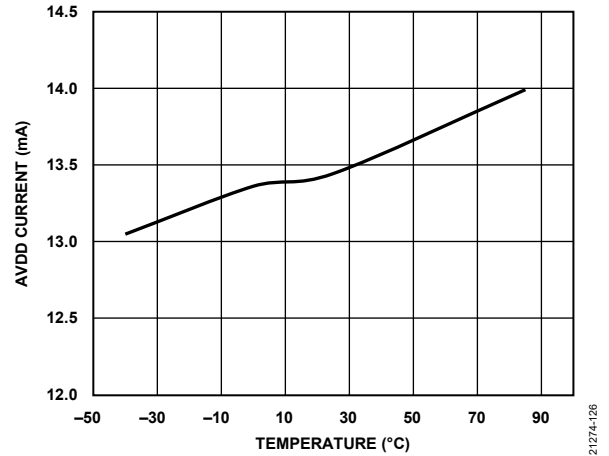


図 33. AVDD 電流と温度の関係

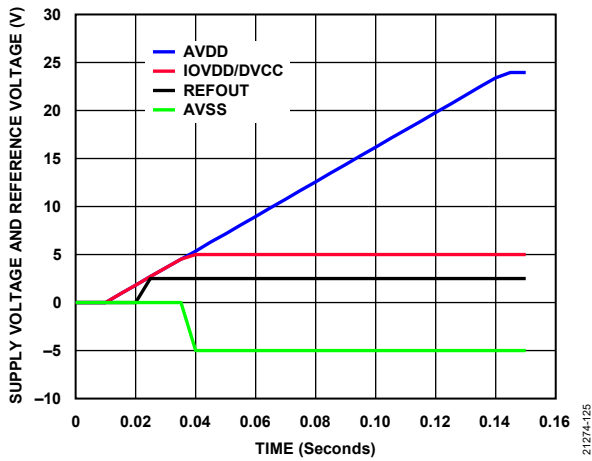


図 32. 電源電圧およびリファレンス電圧と時間の関係 (パワーアップ時)

動作原理

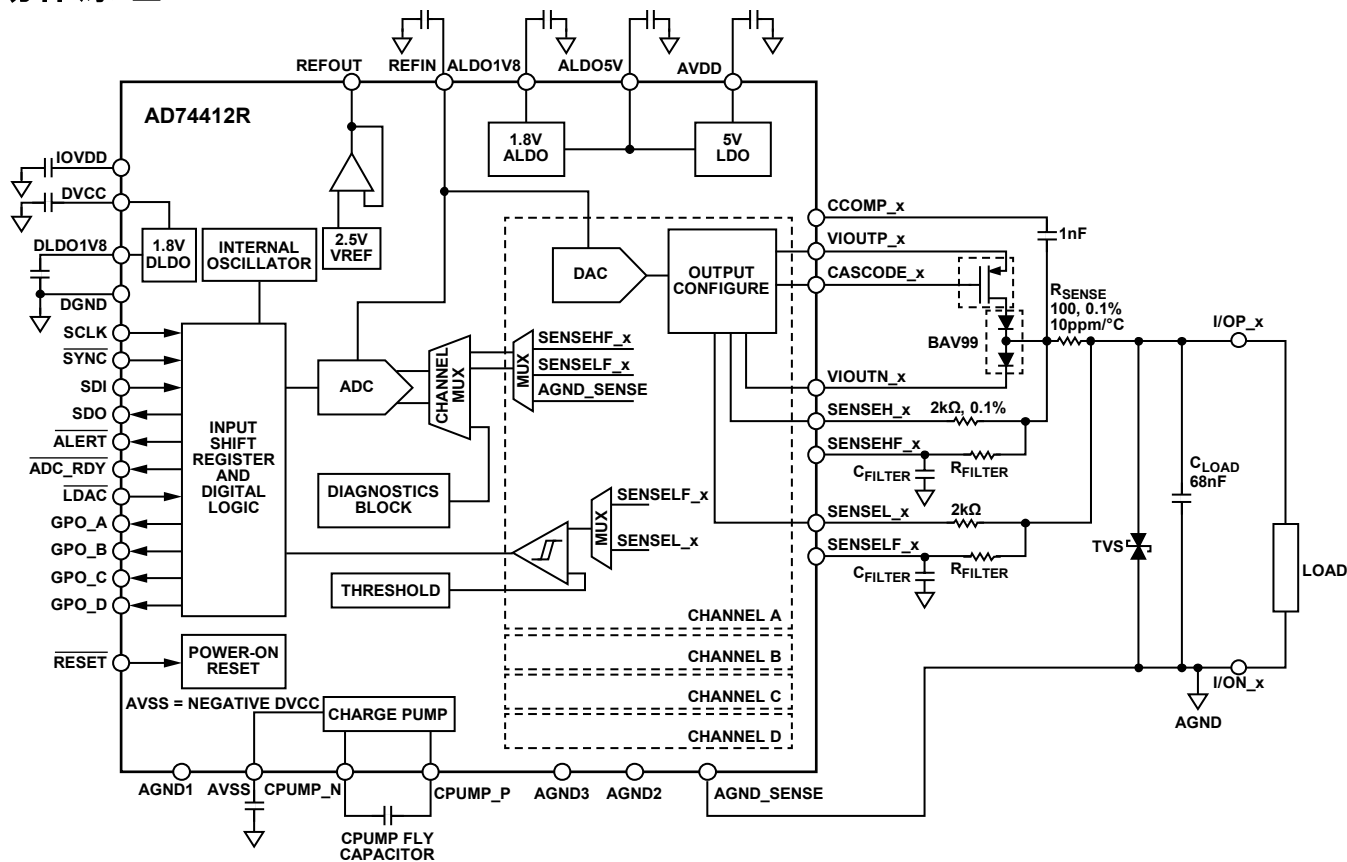


図 34. 詳細な機能ブロック図

AD74412R は、クワッドチャンネルのソフトウェア設定可能な入出力 ASSP (Application Specific Standard Part : 特定用途向け標準部品) で、ビル管理、プロセス制御、工業用オートメーションなどのアプリケーションの条件を満たせるように設計されています。このデバイスは入出力動作の完全内蔵型シングル・チップ・ソリューションで、16 ビット Σ - Δ ADC を 1 個と DAC を複数備えており、9mm × 9mm の 64 ピン LFCSP パッケージを採用しています。4 つのチャンネルは、設定レジスタへ書き込みを行うことによって設定します。各動作モードのデフォルト設定は、AD74412R のレジスタ・マップを介して変更できます (表 28 参照)。AD74412R の詳細な機能ブロック図については、図 34 を参照してください。

堅牢なアーキテクチャ

AD74412R システムはノイズの多い環境でも高い堅牢性を発揮し、配線ミスやサージ現象による過電圧にも耐えることができます。

オンチップ・ライン・プロテクタは、I/OP_x および I/ON_x スクリュー端子の電位が AVDD より高くなった場合に、これらの端子から IC に電力が供給されないようにします。

TVS を含む図 34 と表 27 の推奨外付け部品は、入出力端子に 1kV のサージが加わっても耐えられるように選ばれており、IEC61000-4-5 規格に従ってテストされています。

推奨コンポーネント使用時、I/OP_x および I/ON_x スクリュー端子は、DC ± 40V までの過電圧に耐えることができます (外部 TVS により制限)。

SPI インターフェースには、ノイズの多い環境下でもエラーのない通信を確保できるように、冗長巡回検査 (CRC) 機能が組み込まれています。

シリアル・インターフェース

AD74412R の制御は、最大 24MHz のクロック速度で動作し (表 11 の t₁ パラメータを参照)、SPI、QSPI™、MICROWIRE™、DSP の各規格と互換性を持つ、多機能の 4 線式シリアル・インターフェースを介して行われます。データ・コーディングは常にストレート・バイナリです。

DAC アーキテクチャ

AD74412R は、チャンネルごとに 1 つずつ、合計 4 つの 13 ビット DAC を内蔵しています。各 DAC のコアは 13 ビットのストリング DAC です。このアーキテクチャ構造は、値が R の一連の抵抗で構成されます。ストリング上のどのノードから電圧を取り出して出力アンプに供給するかは、DAC_CODE_x レジスタにロードされるデジタル入力コードが決定します。このアーキテクチャは、本質的に単調増加性と直線性を有しています。

ADC の概要

AD74412R は、マルチチャンネル・マルチプレクサと 16 ビット Σ - Δ ADC を 1 つずつ内蔵しています。チャンネル・マルチプレクサは、ADC が 4 つのチャンネルのどれを測定するかを選択します。ADC は、 100Ω の R_{SENSE} の両端電圧または I/OP_x スクリュー端子の電圧を測定できます。また、ADC は、電源、内部ダイ温度、リファレンス、レギュレータなどの選択可能入力に関する診断情報も提供します。ADC には 50Hz と 60Hz の除去フィルタが組み込まれており、ユーザがイネードできます。

リファレンス

AD74412R は、外付けまたは内蔵のリファレンス電圧で動作させることができます。AD74412R を正常に動作させるには、リファレンス入力を 2.5V にする必要があります。リファレンス電圧は、内部でバッファされてから DAC と ADC に加えられます。内部リファレンスを使用する場合は、REFIN ピンを REFOUT ピンに接続する必要があります。

リファレンス・ノイズ

リファレンス電圧は、 100nF のコンデンサでデカップリングすることを推奨します。リファレンス仕様は、この 100nF 構成を前提に作成されています。

リファレンス・ノイズは、以下に示す外付け部品を追加することによって軽減できます。

- 抵抗なし、 100nF コンデンサ (デフォルト)
- $10\text{k}\Omega$ 、 100nF コンデンサ
- $10\text{k}\Omega$ 、 $1\mu\text{F}$ コンデンサ

リファレンスのパワーオン時間は、追加外付け部品の選択に影響されます。

チャージ・ポンプ

AD74412R は負電圧を生成するチャージ・ポンプを内蔵しており、これにより、電圧モードで電流をシンクしながら出力を 0V に強制することができます。チャージ・ポンプを正しく動作させるには、CPUMP_N ピンと CPUMP_P ピンの間にコンデンサを外付けする必要があります (図 35 の CPUMP フライ・コンデンサ)。AVSS ピンで外部回路を駆動することはできません。

AD74412R のパワーオン状態

AD74412R の最初のパワーアップ時またはリセット時には、デフォルトで出力チャンネルがディスエーブルされ、高インピーダンス・モードになります。

デバイス機能

以下のセクションでは、ブロック図や、デフォルト設定で変換を行った場合に ADC の出力結果をどのように解釈するかについてのガイドラインを示しながら、AD74412R の様々なプログラマブル・デバイス機能を説明します。これらの機能は、CH_FUNC_SETUPx レジスタ内でプログラムされます。

それぞれのデバイス機能はデフォルトの測定設定で構成されていますが、これらの設定は、必要に応じレジスタ・マップの範囲内で変更することができます (表 28 を参照)。

高インピーダンス

高インピーダンスはパワーアップ時またはデバイス・リセット時のデフォルト機能です。すべてのチャンネルが高インピーダンスになります。

CASCADE_x ピンは、グラウンドへの $100\mu\text{A}$ 電流シンクを介してグラウンドにプルダウンされます。

CCOMP_x ピンとグラウンドの間には、 $40\text{k}\Omega$ の抵抗とツェナーダイオードが並列に接続されています。

チャンネル未使用時など、チャンネルを長時間にわたって高インピーダンスに保持する場合は、グラウンドとの間の $200\text{k}\Omega$ 抵抗をイネードすることを推奨します。 $200\text{k}\Omega$ 抵抗は、ADC_CONFIGx 抵抗の CH_200K_TO_GND ビットをセットすることによってイネードします。

ADC データの解釈

高インピーダンス・モードでは、ADC がスクリュー端子間 ($I/OP_x \sim I/ON_x$) の電圧を 0V~10V の範囲で測定します (デフォルト)。ADC の測定結果の計算には次式を使用します。

$$V_{ADC} = (ADC_CODE/65,535) \times Voltage\ Range$$

ここで、

V_{ADC} は測定電圧 (ボルト単位)、

ADC_CODE は ADC_RESULTx レジスタの値、

$Voltage\ Range$ は ADC の測定範囲で、値は 10V です。

電圧出力モード

電圧出力アンプは最大 11V のユニポーラ電圧を生成できます。内部低電圧チャージ・ポンプは、このアンプが真のゼロ出力電圧を生成することを可能にします。R_{SENSE} のローサイドの電圧は 2kΩ の抵抗を介して SENSEL_x ピンで検出され、これにより帰還ループが閉じて安定性を維持します。

電圧出力モードにおける短絡制限はチャンネルごとにプログラムできます。この回路は、AVDD 電源 (V_{AVDD}) のランピング時や使用条件の構成変更時における I/OP_x スクリュー端子のグリッチを最小限に抑えます。

電圧出力モードの電流パス、電圧パス、および測定パスを図 35 に示します。

電圧出力短絡保護

AD74412R の電圧出力モードにおける短絡制限値は、電流ソース時でチャンネルあたり 29mA (代表値) です。柔軟性を確保するために、OUTPUT_CONFIG_x レジスタの I_LIMIT ビットを設定することによって、チャンネルあたり 7mA という、より低い短絡制限値を選択することができます。AD74412R が電流をシンクしているときの電流制限は、3.8mA (代表値) です。あるチャンネルが選択短絡制限値に達した場合は、そのチャンネルに対して電圧出力短絡エラーがフラグされて、ALERT ピンがアサートされます。

ADC データの解釈

電圧出力モードでは、R_{SENSE} に流れる電流を ADC が -25mA ~ +25mA の範囲で測定します (デフォルト)。この ADC 測定結果を使用し、次式により R_{SENSE} を流れる電流を計算します。

$$I_{R_{SENSE}} = \frac{\left(V_{MIN} + \left(\frac{ADC_CODE}{65,535} \right) \times Voltage\ Range \right)}{R_{SENSE}}$$

ここで、

$I_{R_{SENSE}}$ はアンペア単位の測定電流です。負の電流は AD74412R から電流がソースされていることを示し、正の電流は AD74412R が電流をシンクしていることを示します。V_{MIN} は選択 ADC 範囲の最小電圧で、デフォルト値は -2.5V です。

ADC_CODE は ADC_RESULT_x レジスタの値、Voltage Range は ADC 範囲の最大幅で値は 5V、R_{SENSE} は R_{SENSE} 抵抗で値は 100Ω です。

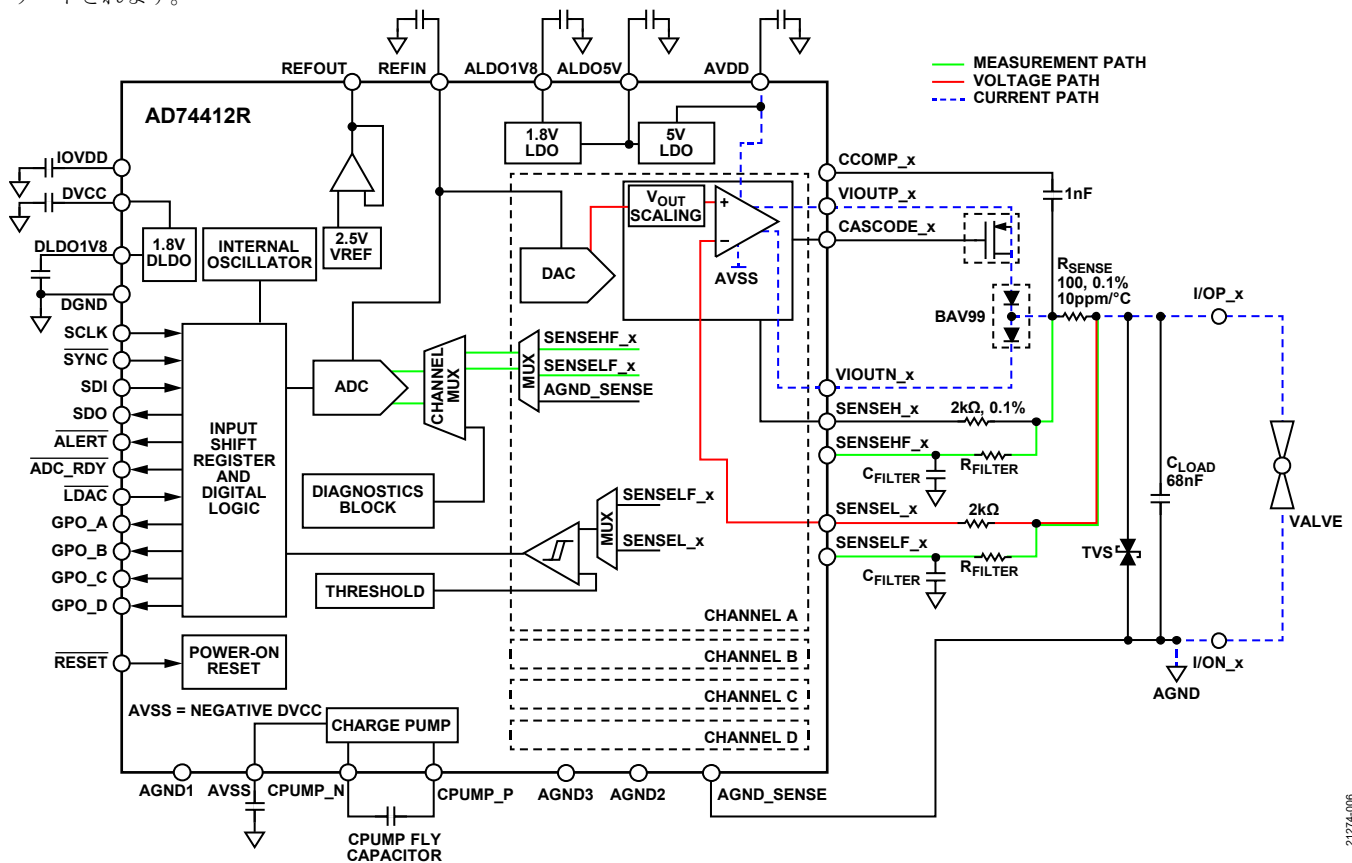


図 35. 電圧出力モードの構成

電流出力モード

電流出力モードではDACがVIOUTP_xピンに電流を出力しますが、この電流は、SENSEL_xピンとSENSEH_xピンを使ってR_{SENSE}前後の電圧差を検出することにより調整されます。更に、抵抗性負荷が小さい場合は、ダイの消費電力を低く抑えるために、オプションの外部PチャンネルFETに0mA~25mAの電流出力を流すことができます。

この回路は、V_{AVDD}のランピング時や使用条件の構成変更時におけるI/OP_xスクリー端子のグリッチを最小限に抑えます。

電流出力モードの電流パス、電圧パス、および測定パスを図36に示します。

電流出力オープン・サーキット検出

電流出力モードでは、いずれかのチャンネルのオープンルーブ・サーキットによってヘッドルーム電圧がコンプライアンス電圧(表2に指定)未満に低下すると、そのチャンネルに電流出力オープン・サーキット・エラーがフラグされて、ALERTピンがアサートされます。V_{AVDD}が不十分で、プログラムされた電流出力を駆動できない場合は、オープン・サーキット・エラーがフラグされます。

ADCデータの解釈

電流出力モードでは、スクリー端子間(I/OP_x~I/ON_x)の電圧を0V~10Vの範囲で測定するようにADCが設定されます(デフォルト)。このADC測定結果を使用し、次式によりこれらのスクリー端子にかかる電圧を計算します。

$$V_{ADC} = (ADC_CODE / 65,535) \times Voltage\ Range$$

ここで、

V_{ADC}は測定電圧(ボルト単位)、

ADC_CODEはADC_RESULTxレジスタの値、

Voltage RangeはADCの測定範囲で、値は10Vです。

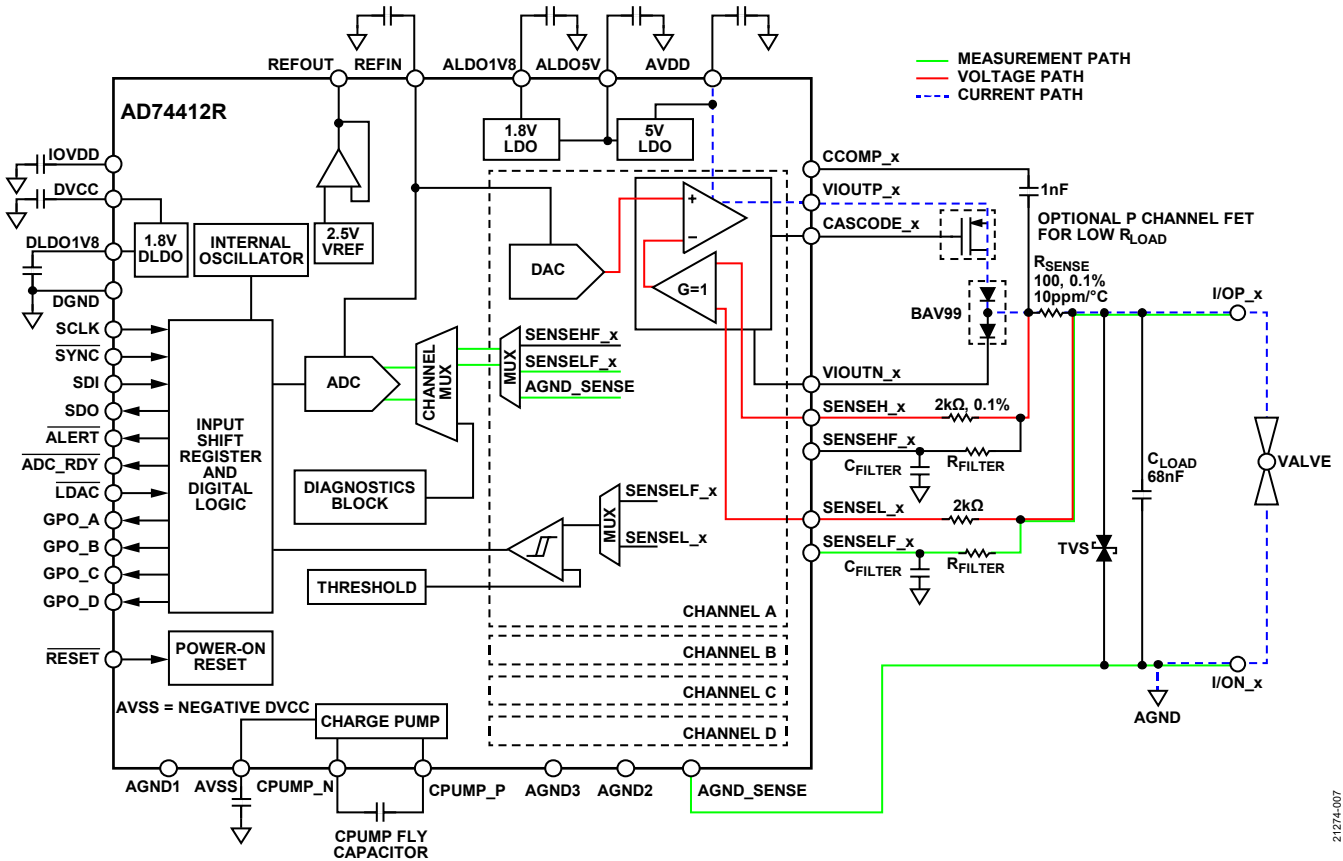


図 36. 電流出力モードの構成

21274-007

電圧入力モード

電圧入力モードでは、ADCはSENSELF_xピンとAGND_SENSEピンを介して、スクリー端子(I/OP_x~I/ON_x)にかかる電圧を測定します。正確な電圧測定を行えるようにするには、I/ON_xスクリー端子のできるだけ近くでAGND_SENSEピンを接続することが重要です。電圧入力モードの電流パスと測定パスを図37に示します。

選択可能な200kΩ抵抗(GNDへ接続)

電圧入力モードでは、200kΩ抵抗を介してVIOUTN_xピンとグラウンドを接続するオプションがあり、これはADC_CONFIG_xレジスタを介してイネーブルします(デフォルトはディスエーブル)。このオプションは、フローティング電圧などのように、I/OP_xスクリー端子のADC測定値に差がある場合に有効です。200kΩ抵抗をイネーブルすることによって200kΩ抵抗に小電流が流れ、それによって電圧がグラウンドにプルダウンされます。

ADCデータの解釈

電圧入力モードでは、スクリー端子間(I/OP_x~I/ON_x)の電圧を0V~10Vの範囲で測定するようにADCが設定されます(デフォルト)。このADC測定結果を使用し、次式によりこれらのスクリー端子にかかる電圧を計算します。

$$V_{ADC} = V_{MIN} + (ADC_CODE / 65,535) \times Voltage\ Range$$

ここで、

V_{MIN} は選択したADC範囲の最小入力電圧でデフォルト値は0V、

V_{ADC} は測定電圧(ボルト単位)、

ADC_CODE はADC_RESULT_xレジスタの値、

$Voltage\ Range$ はADCの測定範囲で、値は10Vです。

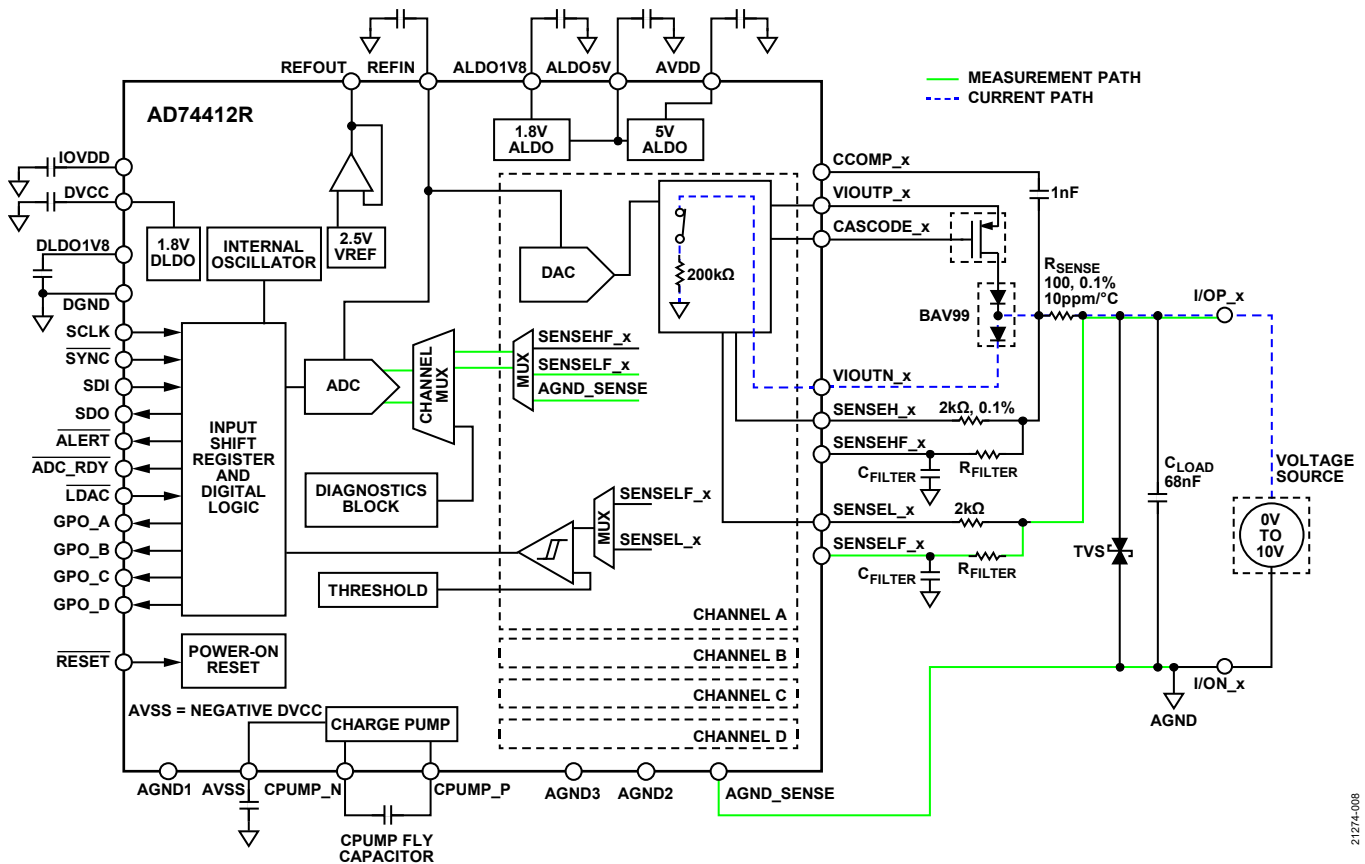


図 37. 電圧入力モードの構成

外部駆動電流入力モード

外部駆動電流入力モードでは、AD74412R は、外部電流源用に、 $VIOUTN_x$ ピンを介してグラウンドへの電流制限パスを提供します。16 ビット Σ - Δ ADC が、 R_{SENSE} に流れる電流を自動的に測定します。電流は、 $SENSEHF_x$ ピンと $SENSELF_x$ ピンを介して R_{SENSE} の電圧をデジタル化することによって測定されます。外部駆動電流入力モードの電流パスと測定パスを図 38 に示します。

短絡保護

外部駆動電流入力モードの最大短絡制限値は 35mA で、これは外部回路を保護すると共に、AD74412R の消費電力を制限します。

デジタル入力コンパレータをイネーブルすると、 $ALERT_STATUS$ レジスタで短絡を検出することができます。

デジタル入力コンパレータは、 $AVDD/2$ のスレッシュホールド電圧でイネーブルします。通常動作時の I/OP_x 電圧は、代表値でグラウンドの 5V 以内です。35mA を超える電流を電流源が AD74412R にシンクしようとする時、 $SENSEL_X$ ピンの電圧が直ちにランプアップします。 I/OP_x スクリュー端子の電圧が設定スレッシュホールド電圧を超えると、コンパレータがトリップして、 $ALERT_STATUS$ レジスタの対応する VI_ERR_x ビットがセットされます。

ADC データの解釈

電流入力モードでは、 I/OP_x スクリュー端子から R_{SENSE} を通って AD74412R へ流れ込む電流を、ADC が 25mA の範囲で測定します (デフォルト)。この ADC 測定電流を使用し、次式により R_{SENSE} を流れる電流を計算します。

$$I_{R_{SENSE}} = \frac{\left(\left(\frac{ADC_CODE}{65,535} \right) \times Voltage\ Range \right)}{R_{SENSE}}$$

ここで、

$I_{R_{SENSE}}$ はアンペア単位の測定電流、

ADC_CODE は $ADC_RESULTx$ レジスタの値、

$Voltage\ Range$ は ADC 範囲の最大幅で値は 2.5V、 R_{SENSE} は検出抵抗で値は 100 Ω です。

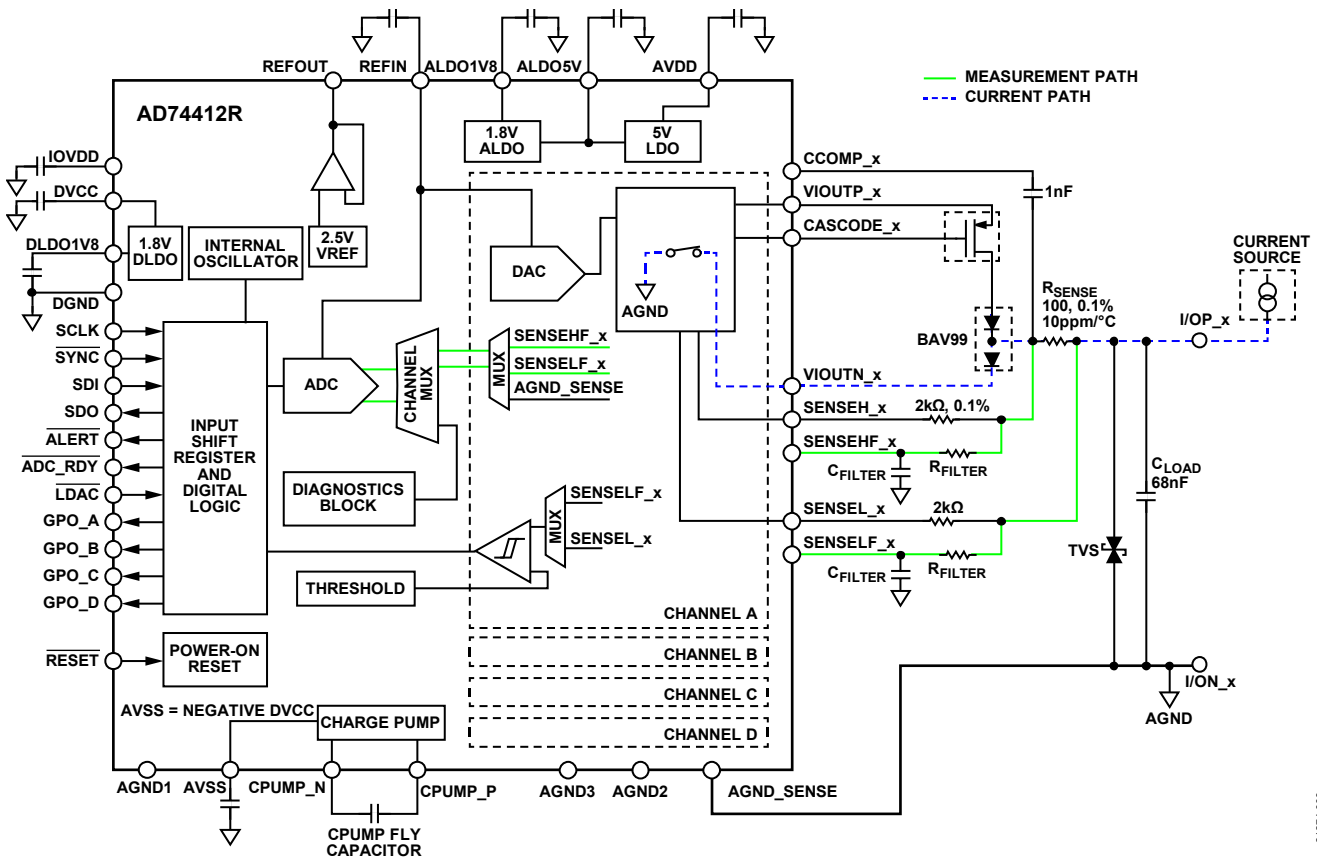


図 38. 外部駆動電流入力モードの構成

21274-009

ループ駆動電流入力モード

ループ駆動電流入力モードでは、AD74412R が I/OP_x スクリュー端子に電流制限電圧を出力します。電流は、SENSEHF_x ピンと SENSELF_x ピンを介して R_{SENSE} の電圧をデジタル化することによって測定されます。ループ駆動電流入力機能を選択したときは、ADC_CONFIGx レジスタの CH_200K_TO_GND ビットをイネーブリングすることにより、オンチップの 200kΩ 抵抗を介して VIOUTN_x ピンをグラウンドに接続します。ループ駆動電流入力モードの電流パス、電圧パス、および測定パスを図 39 に示します。

短絡保護

AD74412R からの電流は、プログラマブル DAC コードによって制限されます (最大 24.5mA)。

デジタル入力コンパレータをイネーブリングすると、ALERT_STATUS レジスタが短絡を検出します。

デジタル入力コンパレータは、AVDD/2 のスレッシュホールド電圧と反転出力を使ってイネーブリングします。通常動作時の I/OP_x 電圧は、代表値で V_{AVDD} の 5V 以内です。負荷がグラウンドに短絡されると、I/OP_x の電圧がグラウンドにプルダウンされます。I/OP_x スクリュー端子の電圧が設定スレッシュホールド・レベル未満に低下すると、コンパレータがローにトリップして、ALERT_STATUS レジスタの対応する VI_ERR_x ビットがセットされます。

ADC データの解釈

ループ駆動電流入力モードでは、AD74412R から R_{SENSE} を通って I/OP_x スクリュー端子へ流れ込む電流を、ADC が 25mA の範囲で測定します (デフォルト)。この ADC 測定結果を使用し、次式により電流を計算します。

$$I_{R_{SENSE}} = \frac{\left(\left(\frac{ADC_CODE}{65,535} \right) \times Voltage\ Range \right)}{R_{SENSE}}$$

ここで、

$I_{R_{SENSE}}$ はアンペア単位の測定電流、

ADC_CODE は ADC_RESULTx レジスタの値、

Voltage Range は ADC 範囲の最大幅で値は 2.5V、R_{SENSE} は検出抵抗で値は 100Ω です。

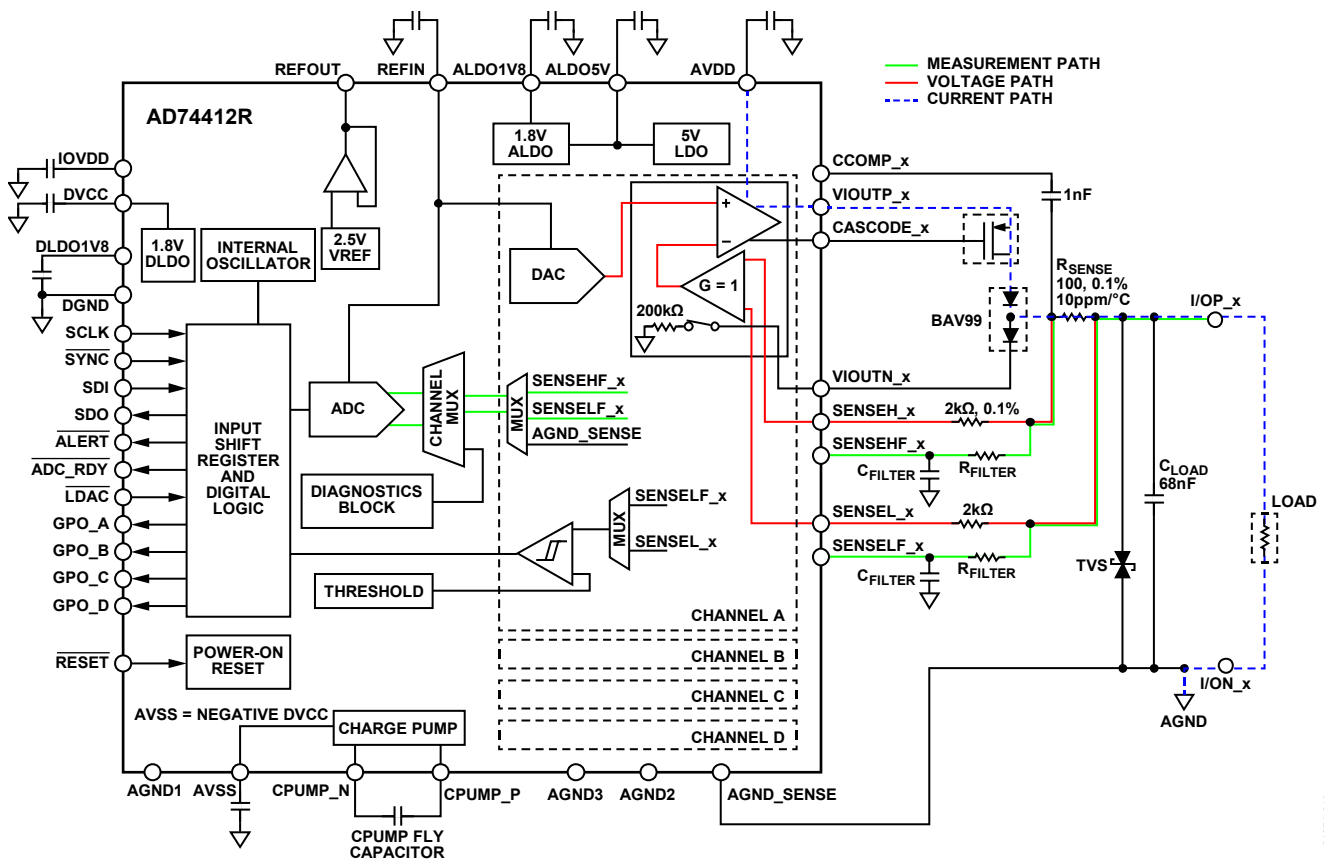


図 39. ループ駆動電流入力モードの構成

抵抗測定（外付けの 2 線式 RTD）

抵抗測定構成は、2.5V バイアスから得られる電圧によって外付けの 2 線式 RTD をバイアスします。これによる励起電流は、2kΩ 抵抗と 100Ω 抵抗（図 40 の R_{PULL-UP}）を通して流れます。この構成では正確な比例測定を行うことが可能で、16 ビット Σ-Δ ADC が RTD の電圧を自動的にデジタル化します。また、励起電流の値は小さいので RTD の消費電力が最小限に抑えられ、自己発熱量が減少します。RTD バイアス回路の例については図 40 を参照してください。

AGND_SENSE ピンを測定 RTD のロー側に接続することは、非常に重要です。抵抗測定構成における電圧出力モードの電流パス、電圧パス、および測定パスを図 41 に示します。

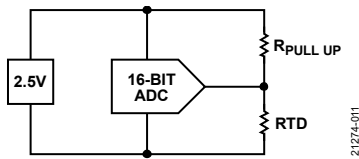


図 40. RTD バイアス回路

ADC データの解釈

抵抗測定モードでは、16 ビット Σ-Δ ADC が RTD の電圧を 2.5V 範囲で自動的にデジタル化します。

変換実行時は、RTD と R_{PULL-UP} の比が ADC コードに反映されます。この ADC コードを使用し、次式により RTD 抵抗を計算します。

$$Resistance_{RTD} = \frac{(ADC_CODE \times R_{PULL-UP})}{(65,535 - ADC_CODE)}$$

ここで、

Resistance_{RTD} は計算 RTD 抵抗 (Ω)、
ADC_CODE は ADC_RESULTx レジスタのコード、
R_{PULL-UP} の値は 2100Ω です。

RTD モードの場合は、ADC_CONFIGx レジスタに設定されている ADC_MUX ビットを変更しないでください。ADC マルチプレクサのデフォルト構成を変更すると、正しい ADC 変換結果が得られなくなります。

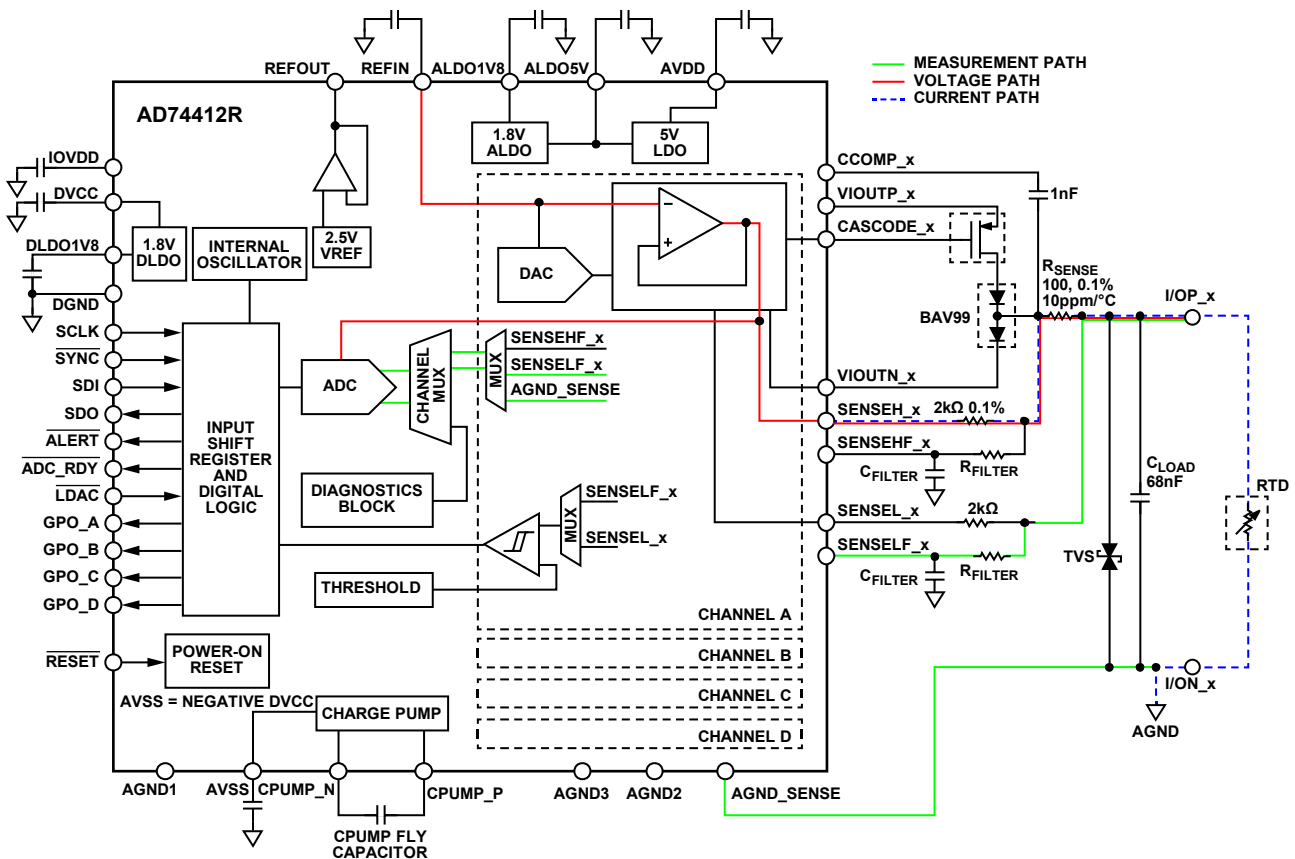


図 41. 抵抗測定構成

デジタル入力ロジック

デジタル入力回路は、I/OP_x スクリュー端子からの高電圧デジタル入力、GPO_x ピンまたは SPI の低電圧ロジック信号に変換できます。

外部駆動センサーは、I/OP_x スクリュー端子の高電圧デジタル入力を提供します。オンチップ・コンパレータには、SENSEL_x ピンのフィルタなしスクリュー端子電圧か、SENSELF_x ピンのフィルタ付きスクリュー端子電圧のどちらかを接続できます。コンパレータは、選択したピンの電圧をプログラマブル・スレッシュホールド電圧と比較します（詳細についてはデジタル入力閾値の設定のセクションを参照）。コンパレータ出力のバウンス防止については、バウンス防止機能のセクションを参照してください。

デジタル入力コンパレータ出力のモニタは、DIN_COMP_OUT レジスタを読み出すことによって行います。一方で、各チャンネルにはそのチャンネルに対応する GPO_x ピンが割り当てられます。これらの GPO_x ピンは、GPO_CONFIGx レジスタを介して、バウンス防止デジタル入力信号を駆動するように設定されます。

デジタル入力ロジック・モードの電流パス、電圧パス、および測定パスを図 42 に示します。

ADC データの解釈

デジタル入力動作に ADC は不要ですが、デジタル入力ロジック・モードを有効にした状態で、電圧および電流測定に ADC を使用することは可能です。デジタル入力ロジック・モードでは、I/OP_x および I/ON_x スクリュー端子間の電圧を、ADC が 0V~10V の範囲で測定します（デフォルト）。この ADC 測定結果を使用し、次式により I/OP_x および I/ON_x スクリュー端子間の電圧を計算します。

$$V_{ADC} = (ADC_CODE / 65,535) \times \text{Voltage Range}$$

ここで、
 V_{ADC} は測定電圧（ボルト単位）、
 ADC_CODE は ADC_RESULTx レジスタの値、
 Voltage Range は ADC 測定範囲で、値は 10V です。

デジタル入力電流シンク

AD74412R はプログラマブル電流シンクを内蔵しています。この電流シンクは、DIN_CONFIGx レジスタ内の DIN_SINK ビットを介し、120μA ステップで 0mA~1.8mA の範囲にプログラム可能です。

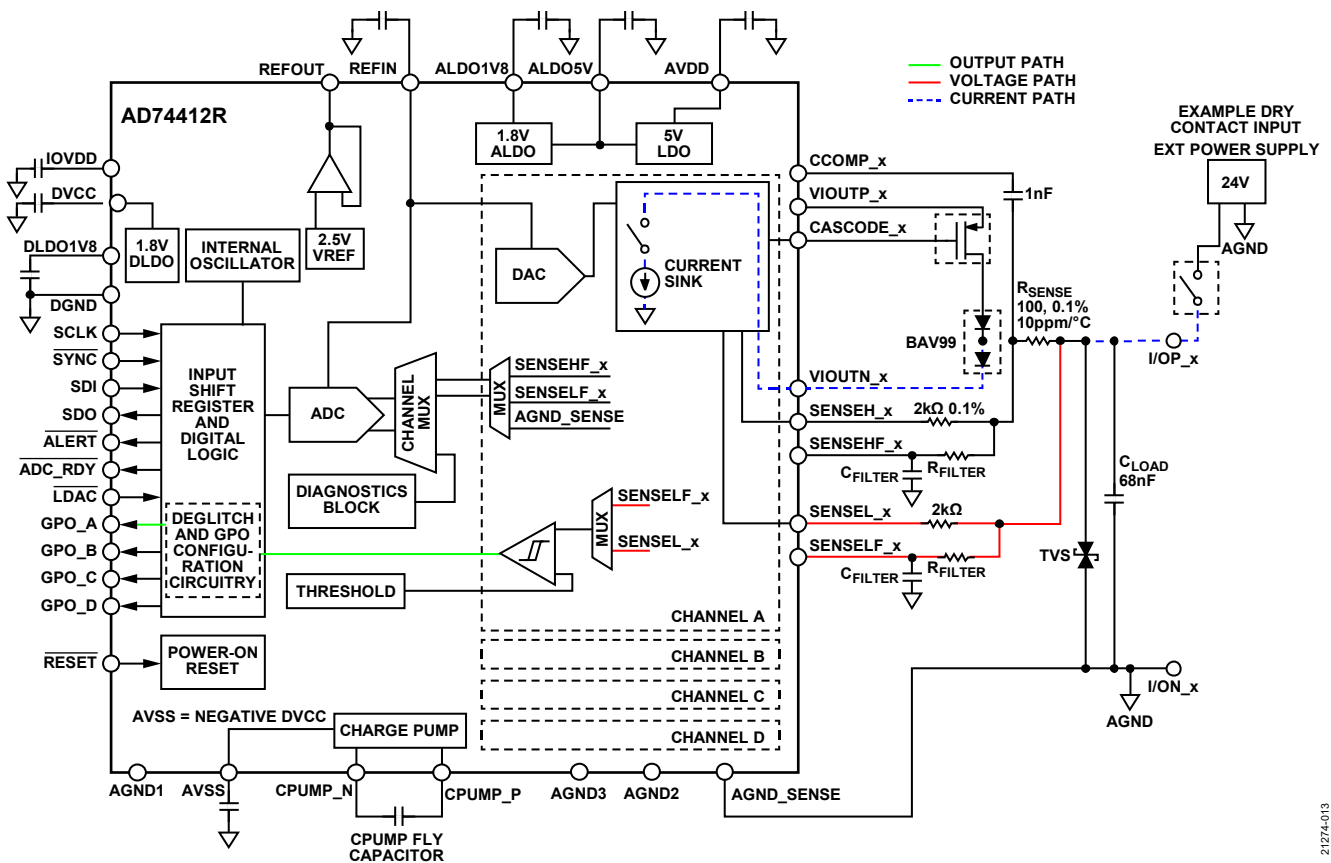


図 42. デジタル入力ロジック・モードの構成

21274-013

デジタル入力閾値の設定

デジタル入力閾値は内部DACによって設定されます。このDACへのリファレンスは、 V_{AVDD} 、またはリファレンス電圧 V_{REFIN} によって駆動されます。このリファレンスは、 DIN_THRESH レジスタの DIN_THRESH_MODE ビットへの書込みによって設定されます。

具体的な閾値レベルは、 DIN_THRESH レジスタの $COMP_THRESH$ ビットを使ってプログラムします。閾値の設定に使用できるのは5ビットです。

DACリファレンスを $AVDD$ に設定したときの、 $COMP_THRESH$ ビットにプログラムされたコードと対応スレッショルド電圧の関係を次式に示します。

$$V_{THRESH(AVDD)} = \frac{V_{AVDD}}{60} + Code \times \left(\frac{2 \times V_{AVDD}}{60} \right)$$

ここで、

$V_{THRESH(AVDD)}$ はボルト単位で表されたコンパレータ閾値、 V_{AVDD} は $AVDD$ 電源の値 (ボルト単位)、 $Code$ は $COMP_THRESH$ ビットにロードされた10進コードです。

このモードでプログラム可能な最大コードは、10進値で29です。

DACリファレンスを V_{REFIN} に設定したときの、 $COMP_THRESH$ ビットにプログラムされたコードと対応スレッショルド電圧の関係を次式に示します。

$$V_{THRESH(FIXED VOLTAGE)} = 0.5 + (Code \times 0.5)$$

ここで、

$V_{THRESH(FIXED VOLTAGE)}$ はボルト単位で表されたコンパレータ閾値、 $Code$ は $COMP_THRESH$ ビットにロードされた10進コードです。

このモードでプログラム可能な最大コードは、10進値で31です。

バウンス防止機能

デジタル入力コンパレータ出力は定期的な間隔でサンプリングされて、プログラマブル・バウンス防止動作に渡されます。

コンパレータ出力のバウンス防止時間は、 $DIN_CONFIGx$ レジスタの $DEBOUNCE_TIME$ ビット (5ビット) を介してプログラムできます。バウンス防止機能をバイパスするには、これらのビットを $0x00$ に設定してください。設定可能なバウンス防止時間を表15に示します。

表 15. デジタル入力の設定可能バウンス防止時間

DEBOUNCE_TIME Code (Hex)	Debounce Time (ms)
00	Bypass
01	0.0130
02	0.0187
03	0.0244
04	0.0325
05	0.0423
06	0.0561

DEBOUNCE_TIME Code (Hex)	Debounce Time (ms)
07	0.0756
08	0.1008
09	0.1301
0A	0.1805
0B	0.2406
0C	0.3203
0D	0.4203
0E	0.5602
0F	0.7504
10	1.0008
11	1.3008
12	1.8008
13	2.4008
14	3.2008
15	4.2008
16	5.6008
17	7.5007
18	10.0007
19	13.0007
1A	18.0006
1B	24.0006
1C	32.0005
1D	42.0004
1E	56.0003
1F	75.0000

バウンス防止回路には2つの動作モード、バウンス防止モード0とバウンス防止モード1があります。どちらのモードも、 $DIN_CONFIGx$ レジスタの $DEBOUNCE_MODE$ ビットを介してプログラムします。

バウンス防止モード0 (デフォルト)

このモードでは、サンプリングしたコンパレータ出力がカウントされます。サンプル数が多い場合のカウントを1つの方向 (昇順または降順) で行い、少ない場合はその反対の方向で行います。プログラムされた目標カウンタ値に達すると、 DIN_COMP_OUT レジスタの状態が変化します。

動作時のバウンス防止モード0の例を図43に示します。バウンス防止時間は $DIN_CONFIGx$ レジスタで $100\mu s$ に設定されています。サンプリング周期が約 $800ns$ のクロックが、コンパレータ信号をカウントします。コンパレータ信号の状態が現在のバウンス防止信号から変更した後に、バウンス防止機能カウンタが、新しい状態で信号持続時間のカウントを開始します。コンパレータ信号がオリジナルの状態に戻った場合は、カウント方向が変化します。カウンタが目標カウンタ値に達すると、コンパレータ信号の状態によって DIN_COMP_OUT が更新されます。

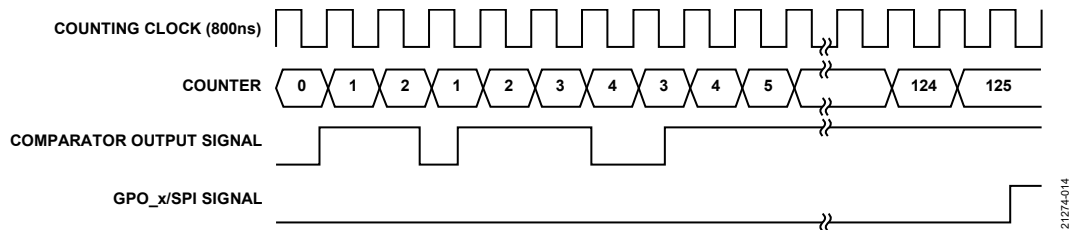


図 43. デジタル入力バウンス防止モード 0 のタイミング例

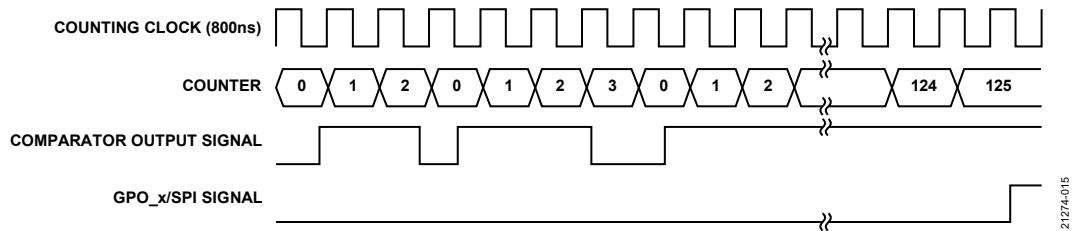


図 44. デジタル入力バウンス防止モード 1 のタイミング例

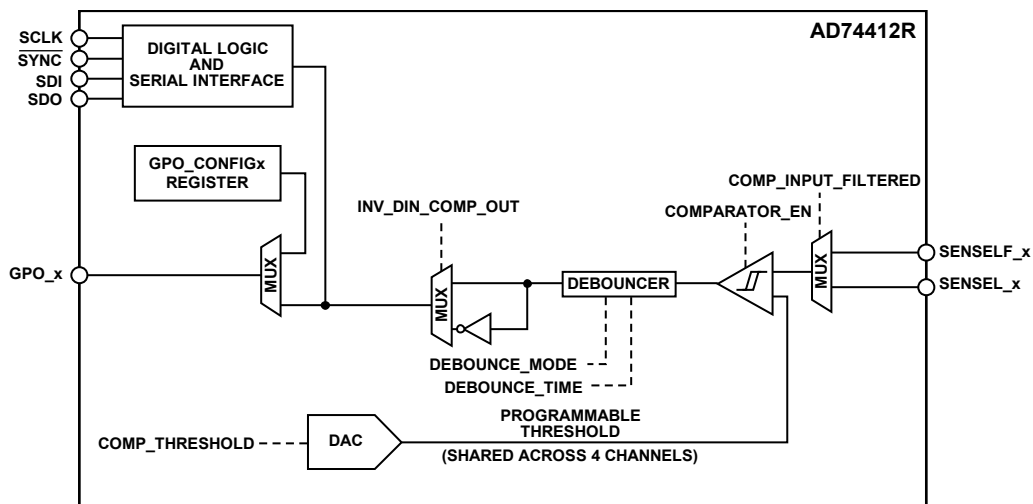


図 45. デジタル入力の設定

バウンス防止モード 1

このモードでは、カウンタはサンプリングされたコンパレータ出力をカウントします。サンプリングされたコンパレータ出力の状態変化後、カウンタはプログラムされたバウンス防止時間に達するまでインクリメントを続け、所定の値に達すると DIN_COMP_OUT レジスタの状態が変化して、カウンタがリセットされます。サンプリングされたコンパレータ出力が現在の DIN_COMP_OUT レジスタの値に戻ると、カウンタはリセットされます。

動作時のバウンス防止モード 1 の例を図 44 に示します。バウンス防止モード 0 の場合と同様、バウンス防止時間は 100 μ s に設定されています。バウンス防止モード 1 では、コンパレータ信号がオリジナルの状態に戻るごとに、カウンタ値がリセットされます。DIN_COMP_OUT 信号を更新するには、コンパレータ出力が、バウンス防止時間全体を通じて新しい状態になっていなければなりません。

デジタル入力インバータ

バウンス防止後のコンパレータ出力は、そのまま DIN_COMP_OUT レジスタに渡すことができます。あるいは、信号を反転させてから DIN_COMP_OUT レジスタへ送ることができます。このインバータをイネーブルするには、DIN_CONFIGx レジスタの INV_DIN_COMP_OUT ビットをセットします。

コンパレータ、デバウンサ、インバータ、および GPO_x 接続を含むデジタル入力構成の詳細を図 45 に示します。

ループ駆動デジタル入力モード

電流出力モード機能と同様に（電流出力モードのセクションを参照）、ループ駆動デジタル入力機能は、外部センサーに電源を供給できるハイサイド電流出力を提供するように出力状態を設定します。必要な電流ソース制限を提供できるように、DAC_CODE_xレジスタをプログラムしてください。

オンチップ・コンパレータには、SENSEL_xピンのフィルタなし電圧か、SENSELF_xピンのフィルタ付き入力のどちらかを接続することができます。これらのコンパレータは、選択したピンの電圧をプログラマブル・スレッショールド電圧の値と比較します。プログラマブル・スレッショールド電圧は、固定電圧とするか、V_{AVDD}に比例した電圧とすることができます。プログラマブル・スレッショールド電圧の詳細については、デジタル入力閾値の設定のセクションを参照してください。

コンパレータの出力は、バウンスを防止する（バウンス防止機能のセクションを参照）ことができます。更に、シリアル・インターフェースまたはパラレル出力ピンに直接渡すか、反転して渡すことができます。

デジタル入力コンパレータ出力は、DIN_COMP_OUTレジスタを読み出すことによってモニタします。コンパレータ出力はGPO_xピンでモニタすることもできます。各チャンネルには対応するGPO_xピンがあり、これはGPO_CONFIG_xレジスタを介して、バウンス防止後のコンパレータ出力信号を駆動するように設定できます。

ループ駆動デジタル入力モード構成の電流パス、電圧パス、および出力パスを図46に示します。

ADCデータの解釈

デジタル入力動作にADCは不要ですが、ループ駆動デジタル入力モードを有効にした状態で、電圧および電流測定にADCを使用することは可能です。ループ駆動デジタル入力モードでは、I/OP_xおよびI/ON_xスクリー端子間の電圧を、ADCが0V~10Vの範囲で測定します（デフォルト）。ADCの測定結果を使用し、次式によりこの電圧を計算します。

$$V_{ADC} = (ADC_CODE / 65,535) \times Voltage\ Range$$

ここで、

V_{ADC}は測定電圧（ボルト単位）、

ADC_CODEはADC_RESULT_xレジスタの値、

Voltage RangeはADCの測定範囲で、値は10Vです。

デフォルト測定構成を電流測定に変更したときは、ADC_CONFIG_xレジスタのCH_200K_TO_GNDビットをイネーブルすることにより、オンチップの200kΩ抵抗を介してVIOUTN_xピンをグラウンドに接続します。

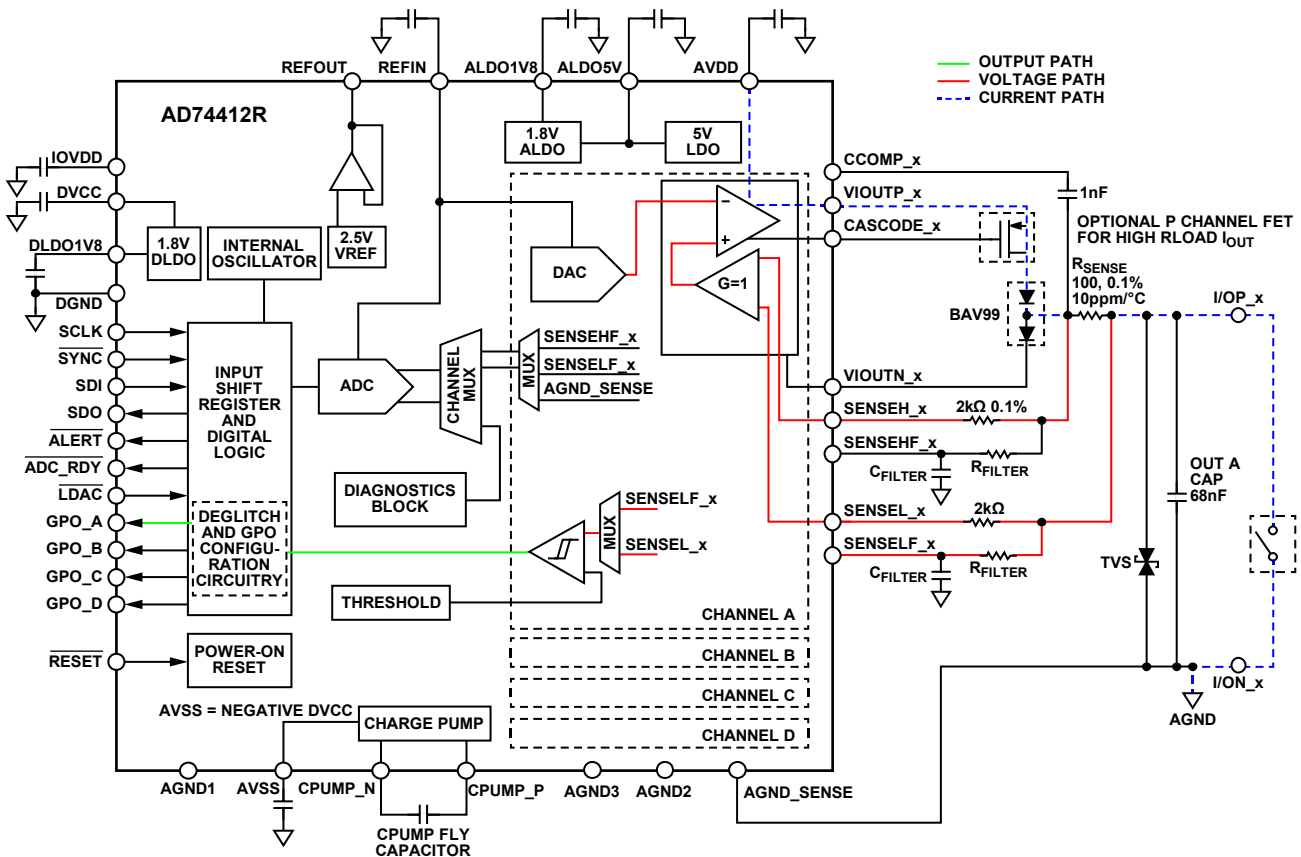


図 46. ループ駆動デジタル入力構成モード

設計の開始にあたって

AD74412Rのパワーアップには、以下に示す3つの外部電源が必要です。すなわち、正のアナログ電源 V_{AVDD} 、デジタルおよびチャージ・ポンプ電源の DV_{CC} ピン電圧 (V_{DVCC})、および入力/出力パッド電源の V_{IOVDD} です。 $IOVDD$ ピンと $DVCC$ ピンは、同じ外部電源に接続できます。 $IOVDD$ は 1.8V で個別に駆動することも可能で、SPI 通信を 1.8V で行うことができます。これら 3 つの外部電源の電圧範囲と関連する条件については、表 10 を参照してください。

チャージ・ポンプは負の電源 V_{AVSS} を生成しますが、これは負の V_{DVCC} と同じ値です。 V_{AVSS} を使用して外部回路を駆動することはできません。

AD74412R をパワーアップするときは、最初にグラウンド接続を行ってください。パワーアップ後は、デバイスに対して何らかのトランザクションを開始する前に、約 10ms (表 10 参照) 待つ必要があります。

最初のパワーアップ後は、ALERT_STATUS レジスタ内の RESET_OCCURRED ビットと CHARGE_PUMP_ERR ビットがセットされて、ALERT ピンがローになります。AD74412R を引き続き使用する場合は、アラート・ステータスをクリアしておくことを推奨します。ALERT_STATUS レジスタの各ビットに 1 を書き込んでクリアしてください。

初回パワーアップ時またはリセット時には、出力チャンネルがディスエーブルされて、デフォルトの高インピーダンス状態になります。

チャンネル機能の使用

チャンネル機能は CH_FUNC_SETUPx レジスタを使って選択します。チャンネル機能の選択後は、ADC_CONFIGx レジスタと DIN_CONFIGx レジスタの内容が既定値に更新されて、最小限のコマンド・セットでデバイスを設定できるようになります。所定のチャンネル機能に対応するビットのデフォルト設定の概要を、表 16 に示します。

チャンネル機能の設定後は、必要に応じて DAC_CODEx レジスタの設定を行うことができます。LDAC ピンをローに接続していない場合、DAC コードの更新後にチャンネル出力を更新するには、ロード DAC (LDAC) コマンドが必要です。詳細については LDAC 機能のセクションを参照してください。

チャンネル機能の切替え

1 つのチャンネル機能から別のチャンネル機能への切替えを行うときは注意が必要です。どの機能を選択した場合でも、別の機能へ切り替えるには、その機能を選択してから少なくとも 130μs が経過していなければなりません。

DAC_CODEx レジスタは、チャンネル機能を切り替えてもリセットされません。チャンネル機能を変更する前に、DAC_CODEx レジスタを介して DAC コードを 0x0000 に設定することを推奨します。新しいチャンネル機能へ遷移する場合は、遷移前に CH_FUNC_SETUPx レジスタを介してチャンネル機能を高インピーダンスに設定してください。新しいチャンネル機能の設定後は、DAC コードを変更する前に 150μs 待つことを推奨します。

表 16. チャンネル機能選択に基づくレジスタ編集

チャンネル機能 (CH_FUNC_SETUPx レジスタを介してプログラム)	ADC_CONFIGx レジスタのデフォルト		DIN_CONFIGx レジスタのデフォルト	
	ADC_MUX ビット	RANGE ビット	COMPARATOR_EN ビット	DIN_SINK ビット
高インピーダンス	00 : I/OP_x および I/ON_x スクリュー端子間の電圧	000 : 0V~10V	0 : コンパレータをディスエーブル	0 : I_SINK オフ
電圧出力	01 : R_SENSE の電圧	011 : -2.5V~+2.5V	0 : コンパレータをディスエーブル	0 : I_SINK オフ
電流出力	00 : I/OP_x および I/ON_x スクリュー端子間の電圧	000 : 0V~10V	0 : コンパレータをディスエーブル。	0 : I_SINK オフ
電圧入力	00 : I/OP_x および I/ON_x スクリュー端子間の電圧	000 : 0V~10V	0 : コンパレータをディスエーブル。	0 : I_SINK オフ
外部駆動電流入力	01 : R_SENSE の電圧	010 : -2.5V~0V	0 : コンパレータをディスエーブル。	0 : I_SINK オフ
ループ駆動電流入力	01 : R_SENSE の電圧	001 : 0V~2.5V	0 : コンパレータをディスエーブル。	0 : I_SINK オフ
抵抗測定	00 : I/OP_x および I/ON_x スクリュー端子間の電圧	001 : 0V~2.5V	0 : コンパレータをディスエーブル。	0 : I_SINK オフ
デジタル入力ロジック	00 : I/OP_x および I/ON_x スクリュー端子間の電圧	000 : 0V~10V	1 : コンパレータをイネーブル。	0 : I_SINK オフ
ループ駆動デジタル入力	00 : I/OP_x および I/ON_x スクリュー端子間の電圧	000 : 0V~10V	1 : コンパレータをイネーブル。	0 : I_SINK オフ

ADC の機能

各モードのデフォルト測定構成は、チャンネル機能の使用のセクションに記載されています。ADC は、1つの変換要求で、4つある入出力チャンネルの1つ以上、および最大4つの診断入力の電流または電圧を測定することができます。

チャンネルの測定設定、および変換レートは ADC_CONFIGx レジスタを介して設定できます。診断設定は DIAG_ASSIGN レジスタで行います。診断の変換レートは ADC_CONV_CTRL レジスタにプログラムします。

測定構成の設定後は、ADC_CONV_CTRL レジスタを介して関連する ADC 入力をイネーブルします。

ADC_CONV_CTRL レジスタの CONV_SEQ ビットを該当値に設定することによって、シングル変換モードまたは連続変換モードを選択します。

シングル変換モードの場合、ADC シーケンスはイネーブルされた最も番号の小さいチャンネルの変換から開始して順次高い番号に変換を進めていき、その後イネーブルされた診断を実行します。イネーブルされた各チャンネルが一度変換されると、ADC はアイドル・モードになり、変換が停止します。

連続変換モードでは、ADC チャンネル・シーケンスがイネーブルされた各チャンネルと診断を連続的に変換し、変換停止を求めるコマンドが書き込まれるまでこれを続けます。停止コマンドの設定は、ADC_CONV_CTRL レジスタ・ビットの CONV_SEQ ビットをアイドル・モードまたはパワーダウン・モードに設定することによって行います。コマンドは、現在進行中のシーケンスの終了時に変換を停止します。

イネーブルされたチャンネルや、任意のチャンネルの測定構成を変更する必要がある場合は、その変更を行う前に連続変換を停止しなければなりません。必要な変更を行った後に、連続変換を再開してください。

シングル変換または連続変換のシーケンスが完了すると、すべてのデータ結果が関連する ADC_RESULTx レジスタと DIAG_RESULTx レジスタに転送されて、ADC_RDYピンがアサートされます。

表 17. 変換時間成分

Conversion Rate	SPI Transfer Time (μs), 42 ns SCLK	Start-Up Pipeline Delay (μs)	Single ADC Conversion Time	Channel Switch Time, Multiple Enabled Channels (μs)
4.8 kSPS	1.99	74	208.33 μs	24.4
20 SPS	1.99	74	50 ms	24.4

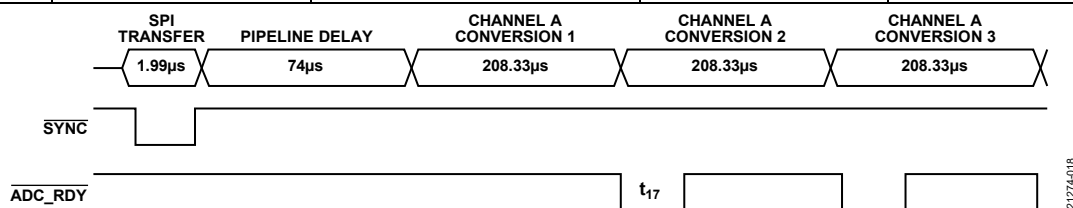


図 47. シングル・チャンネル連続変換のタイミング図

ADC の変換レート

AD74412R で使用できる ADC 変換レートは、50Hz および 60Hz 除去を無効にした場合で 4.8kSPS、50Hz および 60Hz 除去を有効にした場合で 20SPS です。

4つある入出力チャンネルの変換レートは、ADC_CONFIGx レジスタを介してそれぞれ個別に設定できます。診断入力の変換レートは、ADC_CONV_CTRL レジスタを介して設定します。1つの変換レートを選択すると、それがすべての診断入力に適用されます。

変換のシーケンスが完了するまでに要する時間は、選択したチャンネルの数、選択した変換レート、シングル変換モードと連続変換モードのどちらが有効になっているかなど、複数の要因によって変化します。変換はオンチップ発振器によってクロックされますが、その精度は代表値で $\pm 1\%$ です。所定のシーケンスの合計変換時間を予測するために必要な各種コンポーネントの概要を、図 47 に示します。

シングル・チャンネル変換の場合、合計シーケンス時間を計算するには以下の時間要素を考慮します。

- SPI トランザクションが変換を開始するまでに要する時間。
- 最初の変換前の初期パイプライン遅延。
- 各 ADC 変換の変換時間。

シングル・チャンネル変換例のタイミング詳細を図 47 に示します。この例ではチャンネル A だけがイネーブルされて、4.8kSPS の変換レートで連続変換が開始されます。

最初の変換が完了するまでの時間（SYNCピンの立下がりエッジから ADC_RDYピンの立下がりエッジまで）は 284.32 μs で、これは、4.8kSPS (208.33 μs) 時のチャンネル A の SPI 転送時間、パイプライン遅延時間、変換レートを加えることによって計算されます。

1つの変換から次の変換までの時間（ADC_RDYピンの立下がりエッジから ADC_RDYピンの立下がりエッジまで）は 208.33 μs です。

マルチチャンネル変換の場合、合計シーケンス時間を計算する際には以下の時間要素を考慮します。

- SPI トランザクションが変換を開始するまでに要する時間。
- 最初の変換前の初期パイプライン遅延。
- 各 ADC 変換に必要な変換時間。
- 選択した ADC チャンネルの切替えごとに要するチャンネル切替え時間。

マルチチャンネル変換におけるタイミング詳細の例を図 48 に示します。この例ではチャンネル A とチャンネル B を使い、診断機能 0 と診断機能 1 を有効にしています。連続変換は 20SPS の変換レートで開始されます。

最初の変換を完了するまでに要する時間（ $\overline{\text{SYNC}}$ 立下がりエッジから $\overline{\text{ADC_RDY}}$ 立下がりエッジまで）は 200.149ms で、これは、SPI 転送時間、パイプライン遅延時間、および 20SPS におけるチャンネル A の変換時間を加え、更にチャンネル切替え時間と残り 3 つの変換に要する時間を加えることによって計算されます。

その後のすべての変換シーケンス間の時間（ $\overline{\text{ADC_RDY}}$ ピンの立下がりエッジから $\overline{\text{ADC_RDY}}$ ピンの立下がりエッジまで）は 200.0976ms で、これは、4 つの選択 ADC 入力の変換時間とチャンネル切替え時間を加えることによって計算されます。

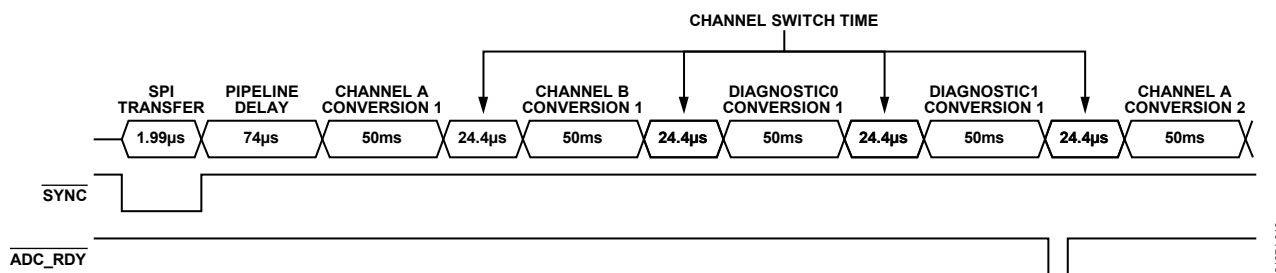


図 48. マルチチャンネル連続変換のタイミング図

21274-019

ADC_RDY機能

シングル変換モードまたは連続変換モードでの変換シーケンスの終了時には、ADC_RDYピンがローにアサートされます。

このピンのアサートは以下の場合に解除されます。

- LIVE_STATUSレジスタのADC_DATA_RDYステータス・ビットに1が書き込まれた。
- 連続モードで24 μ sが経過した。

- ADC_CONV_CTRLレジスタまたはADC_CONV_CTRL_80SPSレジスタへの書き込み後。

シングル変換モードと連続変換モードにおけるADC_RDYピンのタイミング図については、図49と図50を参照してください。

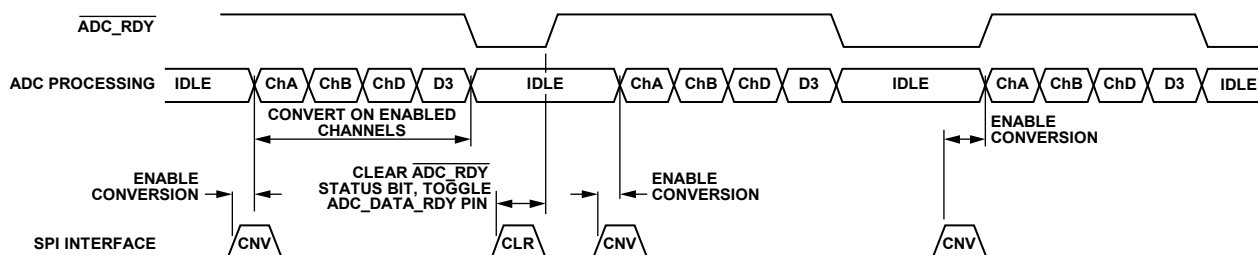


図 49. シングル変換モードにおける ADC_RDY の機能

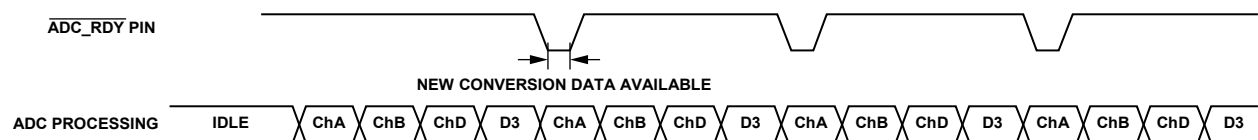


図 50. 連続変換モードにおける ADC_RDY の機能

ADC の出力データ・フォーマット

各電圧範囲で表内に指定された入力に対して予想される ADC 結果の概要を、表 18 に示します。

表 18. ADC の出力データ・フォーマット¹

RANGE ビット	ADC_MUX ビット	負のフルスケール入力に対する ADC データ	ゼロに対する ADC データ	正のフルスケール入力に対する ADC データ
000 : 0V~10V	0 : I/OP_x および I/ON_x スクリュー端子間の電圧	該当せず	0V の場合、コード 0x0000	10V の場合、コード 0xFFFF
	1 : R _{SENSE} を介した SENSELF_x ピンと SENSEHF_x ピン間の電圧	該当せず	R _{SENSE} を介して AD74412R へ流れる電流が 0mA の場合、コード 0x0000	R _{SENSE} を介して AD74412R へ流れる電流が 25mA の場合、コード 0x3FFF
001 : 0V~2.5V ²	0 : I/OP_x および I/ON_x スクリュー端子間の電圧	該当せず	0V の場合、コード 0x0000	2.5V の場合、コード 0xFFFF
	1 : R _{SENSE} を介した SENSELF_x ピンと SENSEHF_x ピン間の電圧 (SENSELF_x > SENSEHF_x)	該当せず	R _{SENSE} を介して AD74412R へ流れる電流が 0mA の場合、コード 0x0000	R _{SENSE} を介して AD74412R へ流れ込む電流が 25mA の場合、コード 0xFFFF
010 : 0V~2.5V ³	0 : I/OP_x および I/ON_x スクリュー端子間の電圧	-2.5V の場合、コード 0xFFFF ⁴	0V の場合、コード 0x0000	該当せず
	1 : R _{SENSE} を介した SENSELF_x ピンと SENSEHF_x ピン間の電圧 (SENSELF_x < SENSEHF_x)	R _{SENSE} を介して AD74412R から流れ出す電流が 25mA の場合、コード 0xFFFF	R _{SENSE} を介して AD74412R から流れ出す電流が 0mA の場合、コード 0x0000	該当せず
011 : -2.5V~+2.5V	0 : I/OP_x および I/ON_x スクリュー端子間の電圧	-2.5V の場合、0x0000 ⁴	0V の場合、0x8000	2.5V の場合、0xFFFF
	1 : R _{SENSE} を介した SENSELF_x ピンと SENSEHF_x ピン間の電圧	R _{SENSE} を介して AD74412R から流れ出す電流が 25mA の場合、コード 0x0000	R _{SENSE} を流れる電流が 0mA の場合、コード 0x8000	R _{SENSE} を介して AD74412R へ流れ込む電流が 25mA の場合、コード 0xFFFF

¹ R_{SENSE} の両端で測定した場合に、I/OP_x スクリュー端子電圧の有効測定値は、V_{AVDD} - 0.2 から AGND ピンの電圧 (V_{AGND}) - 500mV までの範囲になければなりません。補足的なスクリュー端子診断測定を行うことを推奨します。

² 主に、AD74412R へのシンク電流を測定するために使われます。

³ 主に、AD74412R からのソース電流を測定するために使われます。

⁴ 測定可能な負の最小電圧 (グラウンドに対する値) は、V_{AVSS} に依存します。2.5V の ADC 測定範囲をフルに使用することはできません。

ADC により測定された電圧がフルスケールを超えるかゼロスケールを下回る場合は、ALERT_STATUSx レジスタの ADC_CONV_ERR ビットがセットされて ALERT ピンがアサートされます。フルスケールを超えた場合の ADC の出力は 0xFFFF に、ゼロスケールを下回った場合は 0x0000 になります。これらのアラートが必要ない場合は、ALERT_MASK レジスタ (オプション) を介して ADC_CONV_ERR ビットをマスクすることができます。

ADC ノイズ

それぞれの出力データ・レートおよび電圧範囲における AD74412R のピーク to ピーク・ノイズを、表 19 に示します。これらの値は代表値であり、ADC が単一チャンネルで連続変換しているときに 0V の差動入力を使って得られた値です。

表 19. 電圧範囲および出力データ・レートごとのピーク to ピーク・ノイズ (LSB 単位、入力を短絡)

Output Data Rate (SPS)	+10 V Range (LSBs)	+2.5 V Range (LSBs)	±2.5 V Range (LSBs)
20	0.18	0.21	0.22
80	0.61	0.75	0.86
4.8k	2.96	3.57	3.52

それぞれの電圧範囲および出力データ・レートにおけるピーク to ピーク分解能を、表 20 に示します。

表 20. 電圧範囲および出力データ・レートごとのピーク to ピーク分解能 (ビット単位)

Output Data Rate (SPS)	+10 V Range (Bits)	+2.5 V Range (Bits)	±2.5 V Range (Bits)
20	16	16	16
80	16	16	16
4800	14.7	14.5	14.5

診断機能

AD74412R は、ADC によって様々なオンチップ電圧を測定できる診断機能を備えています。これらの診断電圧は、ADC の測定範囲内で測定できるようにスケールリングされます。

診断入力は、AD74412R の設定可能な4つの出力チャンネルから独立しています。DIAG_ASSIGN レジスタは、それぞれの診断入力に電圧測定値を割り当てます。ADC で測定する診断入力は、ADC_CONV_CTRL レジスタでその入力をイネーブルすることによって選択します。また、変換レートも ADC_CONV_CTRL レジスタを介して選ぶことができます。ADC_CONFIGx レジス

タでは、4.8kSPS (50Hz および 60Hz 除去を無効化) および 20SPS (50Hz および 60Hz 除去を有効化) の2つの変換レートのどちらかを選択できます。

使用可能な診断機能のすべてと、診断値の計算に必要な式を表 21 に示します。

表 21 に示した式において、DIAG_CODE は DIAG_RESULTx レジスタから読み出す結果コードで、電圧範囲は ADC の測定範囲 (2.5V) です。

表 21. 選択可能な診断機能

診断機能	ADC 結果を解釈するための式
V _{AGND}	$V_{AGND} = \frac{DIAG_CODE}{65,535} \times Voltage\ Range$
温度センサー (内部ダイ温度測定) /°C	$Temperature = \left(\frac{DIAG_CODE - 2034}{8.95} \right) - 40$
AVDD ピンの電圧 (V _{AVDD})	$V_{AVDD} = 16 \times \left(\frac{DIAG_CODE}{65,535} \right) \times Voltage\ Range$
DLDO1V8 ピンの電圧 (V _{DLDO1V8})	$V_{DLDO1V8} = 3 \times \left(\frac{DIAG_CODE}{65,535} \right) \times Voltage\ Range$
V _{AVSS} REFOUT ピンの電圧 (V _{REFOUT})	$V_{AVSS} = (0.0001776 \times DIAG_CODE) - 5.98$ $V_{REFOUT} = \frac{\left(\frac{DIAG_CODE}{65,535} \right) \times Voltage\ Range}{0.762}$
ALDO5V ピンの電圧 (V _{ALDO5V})	$V_{ALDO5V} = 7 \times \left(\frac{DIAG_CODE}{65,535} \right) \times Voltage\ Range$
ALDO1V8 ピンの電圧 (V _{ALDO1V8})	$V_{ALDO1V8} = 2.33 \times \left(\frac{DIAG_CODE}{65,535} \right) \times Voltage\ Range$
V _{DVCC}	$V_{DVCC} = 3.3 \times \left(\frac{DIAG_CODE}{65,535} \right) \times Voltage\ Range$
V _{IOVDD}	$V_{IOVDD} = 3.3 \times \left(\frac{DIAG_CODE}{65,535} \right) \times Voltage\ Range$
SENSEL_x ピン電圧の測定 (V _{SENSEL_x})	$V_{SENSEL_x} = 12 \times \left(\frac{DIAG_CODE}{65,535} \right) \times Voltage\ Range$

DAC

DAC にロードされるコードのソースは 3 つあります。代表的なオプションは、DAC_CODEEx レジスタから DAC にコードをロードすることです。また、0x73D1 コード (DAC クリア・キー) を CMD_KEY レジスタへ書き込む場合 (表 51 を参照) は、DAC へのロードを DAC_CLR_CODEEx レジスタから行うこともできます。クリア機能の詳細については、クリア・コード機能のセクションを参照してください。3 つめのオプションは、DAC へ DAC コードをロードするレートを制御するデジタル線形スルーを有効にすることです。

これら 3 つのソースから DAC にロードされるコードは、DAC_ACTIVEEx レジスタにもロードされます。コードのソースにかかわらず、DAC_ACTIVEEx レジスタは DAC にロードされる電流コードを格納します。

LDAC 機能

LDAC 機能は、DAC の更新タイミングを制御します。DAC 更新のタイミングを制御するには、DAC_CODEEx レジスタのプログラミング時に LDAC ピンをハイに接続します。DAC コードを更新するには、LDAC ピンにロー・パルスを入力するか、CMD_KEY レジスタに 0x953A コード (LDAC キー) をプログラムします (表 51 を参照)。

DAC が正しく更新されるようにするには、DAC_CODEEx レジスタへの SPI 書き込み完了後に LDAC ピンにロー・パルスを入力するだけです。

4 つの DAC すべてを同時に更新する必要がない場合は、LDAC ピンを常時ローに接続して、DAC_CODEEx レジスタのプログラム直後に DAC を更新できるようにします。

DAC が更新されると、新しい DAC コードが DAC に渡されると同時に DAC_ACTIVEEx レジスタが更新されます。

クリア・コード機能

クリア・コード機能を使用すれば、任意の時点で DAC をクリアして、予め設定されたコードにすることができます。

出力チャンネルをクリアするには、以下の手順を実行します。

1. OUTPUT_CONFIGx レジスタの CLR_EN ビットをセットすることによって、そのチャンネルのクリア・オプションを有効にします。これで、いつでもチャンネルをクリアすることができます。

2. 必要な 13 ビット・コードを DAC_CLR_CODEEx レジスタに設定します。
3. CMD_KEY レジスタに DAC クリア・キーを書き込んで DAC をクリアし、予め設定した 13 ビット・コードにします。CLR_EN ビットがセットされていない場合、出力は現状のままになります。

DAC がクリアされると、新しい DAC コードが DAC に渡されると同時に DAC_ACTIVEEx レジスタが更新されます。

DAC にクリア・キーを書き込むことによって、チャンネルがクリアされます。DAC をクリアするために LDAC ピンがローに保持されている場合は、LDAC 機能よりもクリア機能が優先されます。

クリア実行後に DAC を更新する必要がある場合は、必要なコードを使って個々の DAC_CODEEx レジスタを設定します。

デジタル線形スルー・レート制御

AD74412R のデジタル線形スルー・レート制御機能は、出力が新しい状態に遷移する際のレートを制御します。このスルー・レート制御機能は、電流出力と電圧出力の両方に使用できます。

スルー・レート制御機能を無効にすると、出力値は、出力駆動回路と接続負荷で制限されるレートで遷移します。

スルー・レートを下げるには、OUTPUT_CONFIGx レジスタを介してデジタル・スルー・レート制御機能を有効にします。

デジタル・スルー・レート制御機能を有効にすると、OUTPUT_CONFIGx レジスタに設定されたレートで出力がデジタル的にステップ変化します。SLEW_LIN_STEP ビットはインクリメントごとのコード数を決定し、SLEW_LIN_RATE ビットはコードの更新レートを決定します。AD74412R で使用できるゼロスケールからフルスケール方向 (またはフルスケールからゼロスケール方向) の DAC 更新における代表的なプログラマブル・スルー・レートを表 22 に示します。

DAC_ACTIVEEx レジスタは、ターゲット DAC コードへのスレーイングの進捗をモニタすることができます。これらのレジスタは、現在 DAC にロードされているコードを格納します。

デジタル・スルー・レート制御機能が有効になった状態で DAC クリア・キーが CMD_KEY レジスタに書き込まれると、出力は、プログラムされたスルー・レートで、DAC_CLR_CODEEx レジスタの CLR_CODE ビットに予めプログラムされた値まで変化します。

表 22. ゼロスケールからフルスケールへのコード更新におけるプログラマブル・スルー時間

Update Slew Rate, Programmable via SLEW_LIN_RATE Bits (kHz)	Step Size (Codes), Programmable via SLEW_LIN_STEP Bits ¹			
	64	120	500	1820
4	31.7 ms	17 ms	4 ms	1 ms
64	2.0 ms	1.1 ms	259 μs	75.8 μs
150	858 μs	459 μs	113 μs	40.1 μs
240	520 μs	280 μs	73.6 μs	38.6 μs

¹ これらは理論値です。最終的なスルー・レートは、C_{LOAD} コンデンサの値によって制限されます。

誘導負荷の駆動

約 4mH を超える誘導負荷を駆動するときは、デジタル・スルー・レート制御を使用することを推奨します。出力スルー・レートを制御すると、電流変化率 (dI/dt) を最小限に抑えることによって、出力電流をステップ変化させるときのリンギングを最小限にすることができます。

ALERT_STATUS レジスタを介してオープン・サーキットが検出された場合は、I/OP_x スクリュー端子のリンギングを避けるために、負荷を再接続する前に I_{OUT} 電流を 0mA に設定することを推奨します。

リセット機能

AD74412R をリセットすると、すべてのレジスタがデフォルト状態にリセットされて、キャリブレーション・メモリがリフレッシュされます。デバイスは高インピーダンス・モードに設定されます。リセットを開始する方法は複数あります。

ハードウェア・リセットは、RESET ピンにロー・パルスを入力することによって開始されます。RESET パルス幅は表 11 の仕様を満たしていなければなりません。

ソフトウェア・リセットは、CMD_KEY レジスタに 0x15FA コード (ソフトウェア・リセットキー1) を書き込み、その後 0xAF51 コード (ソフトウェア・リセット・キー2) を書き込むことによって開始されます (表 51 を参照)。

リセットはサーマル・リセット機能によって開始することもできます。この機能については、サーマル・アラートとサーマル・リセットのセクションを参照してください。

V_{DLDO1V8} が 1.62V 未満に低下するか、V_{DVCC} が約 1.93V を下回ると、内部パワーオン・リセット機能が AD74412R をリセットします。デバイスのリセット状態は、V_{DLDO1V8} と V_{DVCC} がこれらの電圧レベルを超えるまで解除されません。

リセット・サイクルが完了すると、ALERT_STATUS レジスタの RESET_OCCURRED ビットがセットされます。リセット・サイクルが完了する前に SPI 転送を行おうとすると (リセット時間の代表値については表 11 を参照)、キャリブレーション・メモリが完全にリフレッシュされていないことを示すために、ALERT_STATUS レジスタの CAL_MEM_ERR ビットもセットされます。リセット時間経過後は、デバイスの使用を続ける前に、ALERT_STATUS レジスタ内のこれらのビットをクリアしてください。

サーマル・アラートとサーマル・リセット

AD74412R のダイ温度が 110°C に達すると ALERT_STATUS レジスタの高温エラー・ビット (HI_TEMP_ERR) がセットされて、ダイ温度が上昇していることを警告します。

ダイ温度が高くなるとリセットするようにデバイスを設定することも可能です。温度上昇時にデバイスをリセットするには、THERM_RST レジスタの EN_THERM_RST ビットをセットすることにより、サーマル・リセット機能を有効にします。このビットをセットすると、ダイ温度が 140°C に達した時点でデバイスがフル・リセットされます。

異常とアラート

AD74412R は、エラー状態を検出するために複数の異常モニタ機能を備えています。

アラート状態や異常状態が発生すると、ALERT ピンがアサートされます。アラート状態の原因を特定するには、ALERT_STATUS レジスタを読み出してください。このレジスタには、それぞれのアラート状態に関するラッチされたビットが格納されています。エラー状態が解消されたら、対応するビット位置に 1 を書き込むことによって、アクティブになったフラグをクリアしてください。それぞれのアラート状態の詳細を表 45 に示します。

LIVE_STATUS レジスタは、現在のエラー状態を示します。このレジスタ内のビットはラッチされず、エラー状態が解消されるだけでクリアされます。すべての LIVE_STATUS ビットのリストを表 46 に示します。

ALERT_MASK レジスタは、特定のエラー状態によって ALERT ピンがアサートされるのを防ぎます。

チャンネル異常

デバイス機能のセクションに示すように、各チャンネルは、V_{OUT} 短絡エラー、I_{OUT} オープン・サーキット・エラー、および電流入力 (I_{IN}) 短絡エラー検出機能を備えています。

AD74412R は、同時に複数の異常状態に耐えるようには設計されていません。異常発生時はその異常を管理し、デバイスの過熱を防ぐため必要に応じてチャンネルをリセットしてください。

電源モニタ

AD74412R は、電源異常を検出するために 4 つの電源モニタ (PSM) を備えています。いずれかの電源が定められた閾値 (表 23 を参照) 未満に低下すると、ALERT_STATUS レジスタの対応ビットがセットされます。

表 23. PSM のトリップ・レベル

Power Supply Monitor	Typical Trip Level (V)
ALDO1V8	+1.35
DVCC	+1.93
AVDD	+9.26
ALDO5V	+4.05
Charge Pump	-1.65

GPO_x ピン

AD74412Rには、チャンネルごとに1つずつ、合計4つのGPO_xピンがあります。各チャンネルのGPO_xピンは以下のように設定できます。

- 100kΩプルダウン抵抗を使用したGPO_xピンのデフォルト状態
- デジタル入力機能のロジック出力として
- ロジック・ハイまたはロジック・ロー出力として
- 高インピーダンス状態

GPO_xの設定は、GPO_CONFIGxレジスタのGPO_SELECTビットを介して行うことができます。GPO_xピンをロジック出力として設定するときは、これらのピンのデータをGPO_CONFIGxレジスタのGPO_DATAビットへ書き込むことができます。すべてのチャンネルを並列で更新する必要がある場合は、GPO_CONFIGxレジスタのGPO_SELECTビットへ書き込みを行って並列更新を有効にする前に、GPO_PARALLELレジスタへ該当データを書き込むことができます。

SPI インターフェースと診断機能

AD74412Rは、8ビットCRCを行う4線式シリアル・インターフェースで制御されます。入力シフト・レジスタは32ビット幅で、データは、SCLKの制御の下にMSBファーストでデバイスにロードされます。データはSCLKの立下がりエッジで入力されます。SPI書き込みフレームの構造を表24に示します。

表 24. レジスタへの書き込み

MSB		LSB	
D31	[D30:D24]	[D23:D8]	[D7:D0]
Reserved	Register address	Data	CRC

SPI CRC

ノイズの多い環境でもデータを正しく受信できるように、AD74412RのSPIインターフェースにはCRCが実装されています。このCRCは8ビットCRCに基づいています。AD74412Rを制御するデバイスは、次の多項式を使って8ビット・フレーム・チェック・シーケンスを生成します。

$$C(x) = x^8 + x^2 + x^1 + 1$$

このフレーム・チェック・シーケンスがデータワードの末尾に追加されて32ビットがAD74412Rへ送信され、その後にSYNCピンがハイになります。

フレームは、24個のデータ・ビットと8個のCRCビットを含む32ビット幅としなければなりません。CRCチェックにパスすると、選択されたレジスタにデータが書き込まれます。CRCチェックに失敗するとそのデータは無視され、ALERT_STATUSレジスタのSPI_CRC_ERRステータス・ビットがアサートされて、ALERTピンがローになります。

SPI_CRC_ERRビット (ALERT_STATUSレジスタ) に1を書き込んでクリアすると、ALERTピンがハイに戻ります (他にアクティブ・アラートがない場合)。SPI CRCエラーは、ALERT_MASKレジスタの関連ビットに書き込みを行うことによってマスクできます。

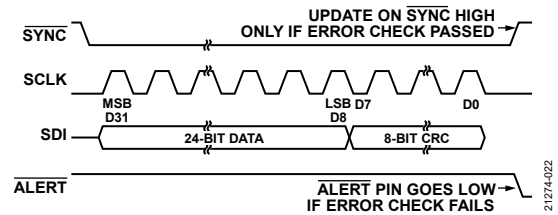


図 51. CRC タイミング

SPI インターフェースの SCLK カウント機能

SCLK カウント機能は、SPI 診断機能に組み込まれています。インターフェースは、正確に32個のSCLK立下がりエッジを含むSPIフレームだけを有効な書き込みとして受け入れます。長さが32以外のSPIフレーム、あるいはストリーミング・モードにおける32の倍数のフレームは無視され、ALERT_STATUSレジスタにSPI_SCLK_CNT_ERRフラグがアサートされます。SPI_SCLK_CNT_ERRビットのマスクは、ALERT_MASKレジスタを介して行います。

リードバック・モード

レジスタ位置を読み込むには2つのSPIフレームが必要です。最初のフレームで、読み出すレジスタのアドレスがREAD_SELECTレジスタに書き込まれます。2つめのSPIフレームは、無操作(NOP)コマンド、READ_SELECTレジスタへのもう1つの書き込み、または他のレジスタへの書き込みで構成されます。選択したレジスタの内容は、2番目のフレームでSDOに出力されます。この2段リードバックのタイミングを図52に示します。

表25と表26に示すように、ビット[D30:D24]は、2番目の読出しフレームでSDOピンに関するステータス情報を提供します。

これらのビットの内容は、READ_SELECTレジスタのSPI_RD_RET_INFOビットを設定することによって決定されます。

データはMSBファーストでシフトアウトされます。SDOラインがローにスタックしているかどうかをSPIマスターが検出できるように、MSB(ビット31)は常に1に設定されます。SDOラインがローにスタックしている場合は、すべて0のCRCが計算されます。この場合、マスターはローにスタックした状態を検出できません。MSBをハイに接続することにより、マスターはこのビットをチェックし、MSBが1かどうかを確認することでスタック・ロー異常を検出できます。このMSBのタイミングだけがSYNCの立下がりエッジから外され、他のすべてのビットはSCLKの立上がりエッジに同期して出力されます。

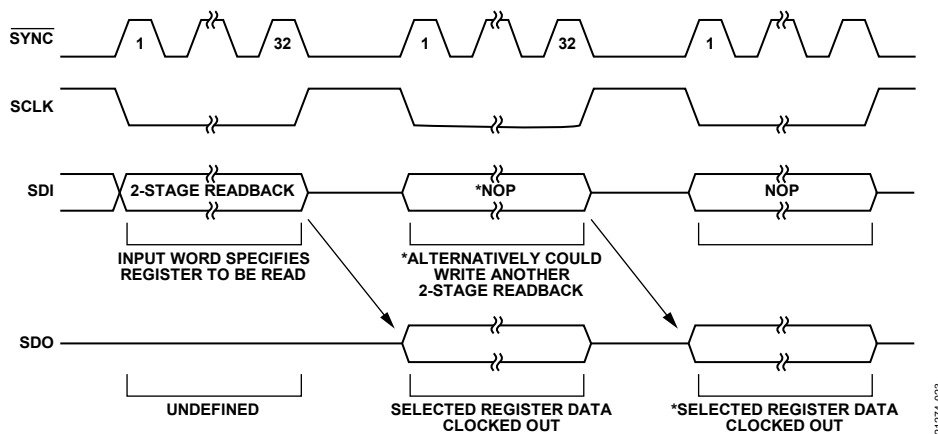


図 52. 2 段リードバックのタイミング図

表 25. 読出し動作時の SDO の内容 (SPI_RD_RET_INFO ビット = 0)

MSB		LSB	
D31	[D30:D24]	[D23:D8]	[D7:D0]
1	READBACK_ADDR[6:0]	Read data	CRC

表 26. ステータス・レジスタ読出し動作時の SDO の内容 (SPI_RD_RET_INFO ビット = 1)

MSB					LSB	
D31	D30	D29	D28	[D27:D24]	[D23:D8]	[D7:D0]
1	0	ALERT	ADC_DATA_RDY	DIN_COMP_OUT[3:0]	Read data	CRC

ストリーミング・モード

AD74412R はストリーミング・モードを採用しており、十分な SCLK を使用できる限り、クロックに合わせてデータが連続的に SDO に出力されます。2 段階リードバックの 2 番目のフレームの後は、SYNC ラインをローに維持する必要があります（リードバック・モードのセクションを参照）。AD74412R は、クロックに合わせて 32 ビットの内容を繰り返し出力しながら、アドレスをインクリメントします。32 + (n × 24) 個めの SCLK 立上がりエッジでトランザクションが終了しない場合は、SPI_SCLK_CNT_ERR エラーがレポートされます。ここで、n はトランザクション数です。ADC データをストリーム出力するときの SDO ラインの内容を、図 53 に示します。

SDO に出力されるデータには、レジスタ・アドレス（SPI_RD_RET_INFO が 0 に設定されている場合）、16 ビットのデータ、および 8 ビットの CRC が含まれています。

SYNC ピンがローに維持された状態でクロックが入力されると、次のシーケンシャル・アドレスからのデータがクロック出力されます。

ストリーミング・モードでは、レジスタ・マップへの書込みはサポートされていません。

自動リードバック

自動リードバックを使用すると、SPI トランザクションごとに選択レジスタを読み出すことができます。自動リードバックを有効にするには、READ_SELECT レジスタの AUTO_RD_EN ビットをセットします。

自動リードバックが無効になっている場合は、リードバック・モードのセクションに示す要領で読み出しを行ってください。

自動リードバックを有効にすると、SPI 転送ごとに、READ_ADDR ビットに書き込まれたアドレスの内容が SDO ラインに出力されます。

リードバック・シーケンスの終了時に SYNC ピンがハイに戻ると、デバイスは、その前に READ_SELECT レジスタに書き込まれたアドレスを自動的に読み出します。最初の読み出し後も SYNC ピンがローに維持されている場合、デバイスは、ストリーミング・モードのセクションに示すように、連続するそれぞれのアドレスを次々に処理していきます。

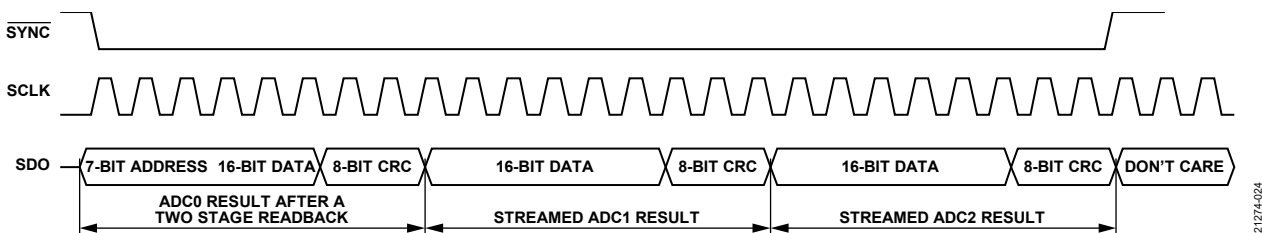


図 53. ストリーミング・モードの SDO の内容

21274-024

ボード設計とレイアウトに関する考慮事項

このセクションでは、AD74412R のボード設計とレイアウトに関する重要な考慮事項の概要を示します。

SENSEL_A ピン、SENSEL_B ピン、SENSEL_C ピン、および SENSEL_D ピンの安定性を確保するために、そのピンと必要とされる $2k\Omega$ 抵抗の間でグラウンドに接続する容量は $10pF$ 未満に制限します。

SENSEH_A ピン、SENSEH_B ピン、SENSEH_C ピン、および SENSEH_D ピンの安定性を確保するために、そのピンと必要とされる $2k\Omega$ 抵抗の間でグラウンドに接続する容量は $10pF$ 未満に制限します。

CCOMP_A ピン、CCOMP_B ピン、CCOMP_C ピン、および CCOMP_D ピンの安定性を確保するために、そのピンと CCOMP コンデンサ（必要な場合）の間でグラウンドに接続する容量は $10pF$ 未満に制限します。

最大限のチャージ・ポンプ性能を得るために、CPUMP_P ピンと CPUMP_N ピンにチャージ・ポンプ用フライ・コンデンサを取り付けます。フライ・コンデンサは、AD74412R の CPUMP_P ピンと CPUMP_N ピンのできるだけ近くに配置してください。

最大限の熱性能を実現するために、AD74412R ボードを設計する際には、少なくとも 4 つの層を使用し、パッドとボードの最下層を複数のサーマル・ビアで接続します。詳細については JEDEC JESD-51 仕様を参照してください。

AD74412R のピンを接地するときは、すべての AGND_x ピンと DGND ピンを 1 つのグラウンド・プレーンに接続することを推奨します。I/ON_x スクリュー端子もこのグラウンド・プレーンに接続する必要があります。

AGND_SENSE ピンは I/ON_x スクリュー端子の電圧を検出して、この電圧を ADC への入力として提供します。AGND_SENSE を直接グラウンドへ接続することは推奨できません。代わりに、AGND_SENSE ピンと I/ON_x スクリュー端子を 1 本のパターンで接続してください。この接続は、AGND_SENSE ピンと 4 つの I/ON_x スクリュー端子を AD74412R ボードの共通スター・ポイントへ接続することによって実現できます。

アプリケーション情報

AD74412R を動作させるために推奨される外付け部品のリストを表 27 に示します。

表 27. 外付け部品

部品	値			電圧定格 (V) ¹	推奨部品 ^{1, 2}	注記/コメント
	Min	Typ	Max			
Capacitors						
ALDO1V8 Decoupling	1 μ F	2.2 μ F 0.1 μ F		6.3 6.3	GRM21BR70J225MA01 N/A	
DLDO1V8 Decoupling	1 μ F	2.2 μ F 0.1 μ F		6.3 6.3	GRM21BR70J225MA01 N/A	
ALDO5V Decoupling		100 nF	470 nF	16	N/A	
DVCC Decoupling		10 μ F		16	GRM21BR70J225MA01	最大限のチャージ・ポンプ性能を得るために DVCC ピン (ピン 23) に使用することを推奨します
		0.1 μ F		16	N/A	DVCC ピン 1 本につき 1 個のデカップリング・コンデンサ
IOVDD Decoupling		10 μ F		16	N/A	IOVDD を DVCC に接続した場合には、10 μ F のコンデンサを追加する必要はありません
		0.1 μ F		16	N/A	
AVDD Decoupling		10 μ F		50	N/A	
		0.1 μ F		50	N/A	AVDD ピン 1 本につき 1 個のデカップリング・コンデンサ
REFOUT Decoupling		0.1 μ F	0.1 μ F	6.3	N/A	
Charge Pump Fly		330 nF		10	GRM188R71A334KA61	CPUMP_P ピンと CPUMP_N ピンの間に接続します
AVSS Charge Pump Reservoir		10 μ F		16	N/A	
Screw Terminal		68 nF		100	N/A	
CCOMP_x Pin Compensation		1 nF		100	N/A	CCOMP_x ピンと R _{SENSE} の BAV99 側の間に接続します
SENSEHF_x Filter		10 nF		100	N/A	
SENSELF_x Filter		10 nF		100	N/A	
Resistors						
R _{SENSE}		100 Ω		N/A	N/A	0.1%の精度、10ppm/ $^{\circ}$ C
SENSEH_x Precision		2 k Ω		N/A	N/A	0.1%の精度、10ppm/ $^{\circ}$ C
SENSEL_x		2 k Ω		N/A	N/A	1%の精度
SENSEHF_x Filter		10 k Ω		N/A	N/A	1%の精度
SENSELF_x Filter		10 k Ω		N/A	N/A	1%の精度
Other Components						
External FET				N/A	FDC5614P	オプション
Screw Terminal TVS				N/A	SMCJ40CA	STMicroelectronics の 1500W、40V TVS
Screw Terminal Isolation Diodes				N/A	BAV99WTIG	パッケージあたり 2 個のダイオード

¹ N/A は該当なしを意味します。

² 推奨部品または同様の部品を使用してください。

レジスタ・マップ

AD74412Rのレジスタ・マップの概要と、レジスタの読出し/書込み方法に関する情報を表 28 に示します。

Rは読出し専用アクセス、R/Wは読出し/書込みアクセス、R/W1Cは読出し/書込み/クリア・アクセス、Wは書込み専用アクセスを示します。

表 28. レジスタの一覧

アドレス	レジスタ名 ¹	説明	リセット	アクセス
0x00	NOP	NOP レジスタ	0x0000	R
0x01 to 0x04	CH_FUNC_SETUPx	各チャンネルの機能セットアップ・レジスタ	0x0000	R/W
0x05 to 0x08	ADC_CONFIGx	各チャンネルの ADC 設定レジスタ	0x0000	R/W
0x09 to 0x0C	DIN_CONFIGx	各チャンネルのデジタル入力設定レジスタ	0x000B	R/W
0x0D	GPO_PARALLEL	GPO パラレル・データ・レジスタ	0x0000	R/W
0x0E to 0x11	GPO_CONFIGx	各チャンネルの GPO 設定レジスタ	0x0000	R/W
0x12 to 0x15	OUTPUT_CONFIGx	各チャンネルの出力設定レジスタ	0x0000	R/W
0x16 to 0x19	DAC_CODEx	各チャンネルの DAC コード・レジスタ	0x0000	R/W
0x1A to 0x1D	DAC_CLR_CODEx	各チャンネルの DAC クリア・コード・レジスタ	0x0000	R/W
0x1E to 0x21	DAC_ACTIVEx	各チャンネルの DAC アクティブ・コード・レジスタ	0x0000	R
0x22	DIN_THRESH	デジタル入力閾値レジスタ	0x0000	R/W
0x23	ADC_CONV_CTRL	ADC 変換制御レジスタ	0x0000	R/W
0x24	DIAG_ASSIGN	診断機能選択レジスタ	0x0000	R/W
0x25	DIN_COMP_OUT	デジタル出力レベル・レジスタ	0x0000	R
0x26 to 0x29	ADC_RESULTx	各チャンネルの ADC 変換結果レジスタ	0x0000	R
0x2A to 0x2D	DIAG_RESULTx	各診断チャンネルの診断結果レジスタ	0x0000	R
0x2E	ALERT_STATUS	アラート・ステータス・レジスタ	0x8000	R/W1C
0x2F	LIVE_STATUS	ライブ・ステータス・レジスタ	0x0000	R/W1C
0x3C	ALERT_MASK	アラート・マスク・レジスタ	0x0000	R/W
0x41	READ_SELECT	リードバック選択レジスタ	0x0000	R/W
0x42	ADC_CONV_CTRL_80SPS	80SPS ADC 変換制御レジスタ	0x0000	R/W
0x43	THERM_RST	サーマル・リセット有効化レジスタ	0x0000	R/W
0x44	CMD_KEY	コマンド・レジスタ	0x0000	W
0x45	SCRATCH	スクラッチまたはスペア・レジスタ	0x0000	R/W
0x46	SILICON_REV	シリコン・リビジョン・レジスタ	0x0008	R

¹ x はレジスタ名のチャンネル A、チャンネル B、チャンネル C、またはチャンネル D を表します。

NOP レジスタ

アドレス：0x00、リセット：0x0000、レジスタ名：NOP

読出し専用レジスタ。このレジスタに書き込みを行うと、無操作（NOP）コマンドが実行されます。

表 29. NOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	NOP	NOP コマンドを実行するには 0x0000 を書き込みます。	0x0	R

各チャンネルの機能セットアップ・レジスタ

アドレス：0x01～0x04（0x01 インクリメント）、リセット：0x0000、レジスタ名：CH_FUNC_SETUPx

チャンネル A、チャンネル B、チャンネル C、およびチャンネル D の機能を選択するには、これら 4 つのレジスタに書き込みを行います。

CH_FUNC_SETUPx レジスタを設定すると、対応する ADC_CONFIGx レジスタと DIN_CONFIGx レジスタの一部のフィールドが、そのチャンネルに合わせて変わることがあります。

チャンネルの機能を変更するときは、新しい使用条件とする前に、中間ステップとして高インピーダンス使用条件とする必要があります。

表 30. CH_FUNC_SETUPx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
[3:0]	CH_FUNC	チャンネル機能を設定します。最初のパワーアップ時またはリセット時のデフォルト状態は高インピーダンスです。この表に示されていない値にすると、高インピーダンス機能が選択されます。 0000：高インピーダンス。このモードでは ADC が機能します。 0001：電圧出力。強制電圧測定電流（FVMI）。 0010：電流出力。FVMI。 0011：電圧入力。I/OP_x および I/ON_x スクリュー端子間の電圧を測定します。 0100：外部駆動電流入力。 0101：ループ駆動電流入力。 0110：抵抗測定。 0111：デジタル入力（ロジック）。 1000：ループ駆動電流入力。	0x0	R/W

各チャンネルの ADC 設定レジスタ

アドレス：0x05～0x08（0x01 インクリメント）、リセット：0x0000、レジスタ名：ADC_CONFIGx

これら 4 つのレジスタは、各チャンネルの ADC 設定を選択します。

表 31. ADC_CONFIGx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:5]	RANGE	ADC の動作範囲を選択します。この表に示されていない値にすると、0V～10V の範囲が選択されます。これらのビットは、対応する CH_FUNC_SETUPx レジスタに書き込みが行われると変化することがあります。 000：0V～10V 範囲。通常、I/OP_x および I/ON_x スクリュー端子間の電圧測定に使用します。 001：2.5V 範囲、外部駆動の RTD および入力電流 (I_{IN})。通常、SENSELF_x 電圧の方が SENSEHF_x 電圧より高いときに R_{SENSE} を通って AD74412R に流れ込む電流の測定に使われます（外部駆動 I_{IN} ）。この電圧は、I/OP_x および I/ON_x スクリュー端子間の RTD 電圧測定にも使われます。 010：2.5V 範囲、ループ駆動 I_{IN} 。通常、SENSELF_x 電圧の方が SENSEHF_x 電圧より低いときに R_{SENSE} を通って AD74412R から流れ出る電流の測定に使われます（ループ駆動 I_{IN} ）。 011：-2.5V～+2.5V 範囲。通常は、電圧出力モードで R_{SENSE} を流れる双方向電流の測定に使用します。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[4:3]	EN_50_60_HZ	50Hz または 60Hz 除去を有効にして、チャンネル変換のための ADC 変換レートを設定します。ADC_CONV_CTRL レジスタには、診断変換のための変換レートを設定する別のビットがあります。 00 : 50Hz または 60Hz 除去を有効にします。サンプリング・レートは 20SPS になります。 01 : 50Hz または 60Hz 除去を無効にします。サンプリング・レートは 4.8kSPS になります。	0x0	R/W
2	CH_200K_TO_GND	グラウンドとの間の 200kΩ 抵抗をイネーブルします。このビットは、対応する CH_FUNC_SETUPx レジスタが設定されると、その機能に関わらず 0 に設定されます。	0x0	R/W
[1:0]	ADC_MUX	ADC 入力ノードを選択します。この表に示されていない値にすると、I/OP_x および I/ON_x スクリュー端子間の電圧が選択されます。これらのビットは、対応する CH_FUNC_SETUPx レジスタに書き込みが行われると変化することがあります。 00 : I/OP_x スクリュー端子と AGND_SENSE ピン間の電圧。 01 : 100Ω 抵抗両端の電圧。通常は電流測定に使われます。	0x0	R/W

各チャンネルのデジタル入力設定レジスタ

アドレス : 0x09~0x0C (0x01 インクリメント)、リセット : 0x000B、レジスタ名 : DIN_CONFIGx

これら 4 つのレジスタは、各チャンネルのデジタル入力を設定します。

表 32. DIN_CONFIGx のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	COMP_INPUT_FILTERED	SENSELF_x ピンのコンパレータへのフィルタなし入力を選択するには、0 に設定します。 SENSELF_x ピンのコンパレータへのフィルタ付き入力を選択するには、1 に設定します。	0x0	R/W
13	INV_DIN_COMP_OUT	デジタル入力コンパレータからの出力を反転するには、1 に設定します。	0x0	R/W
12	COMPARATOR_EN	コンパレータをイネーブルするには 1 に設定します。これらのビットは、対応する CH_FUNC_SETUPx レジスタをプログラムすると変化することがあります。	0x0	R/W
[11:10]	RESERVED	予備。	0x0	R
[9:6]	DIN_SINK	デジタル入力ロジック・モードのシンク電流を設定します。これらのビットを使用すると、0μA~1.8mA の範囲に電流をプログラムすることができます。電流シンクをオフにするには、DIN_SINK ビットを 0x00 に設定します。これらのビットは、対応する CH_FUNC_SETUPx レジスタへの書き込みが行われると、その機能に関わらず 0 に設定されます。	0x0	R/W
5	DEBOUNCE_MODE	このビットは、デジタル入力ロジックのセクションに示すように、デジタル入力のバウンス防止ロジックをどのように動作させるかを決定します。 0 : バウンス防止モード 0。積分器法が使われます。カウンタは、コンパレータ入力のアサートされるとインクリメントし、信号のアサートが解除されるとデクリメントします。 1 : バウンス防止モード 1。シンプル・カウンタは信号のアサートされている間はインクリメントし、信号のアサートが解除されると値がリセットされます。	0x0	R/W
[4:0]	DEBOUNCE_TIME	これらのビットはデジタル入力モードのバウンス防止時間を設定します。これらのビットの値を 240μs にリセットしてください。バウンス防止回路をバイパスするには、DEBOUNCE_TIME を 0x0 に設定します。	0xB	R/W

GPO パラレル・データ・レジスタ

アドレス：0x0D、リセット：0x0000、レジスタ名：GPO_PARALLEL

GPO_CONFIGx レジスタの GPO_SELECT ビットが並列書き込みを有効にするように設定されている場合、このレジスタは GPO_x ピンのロジック・レベルを同時に設定します。

表 33. GPO_PARALLEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	GPO_PAR_DATA_D	パッドをパラレル GPO データ用に設定する場合、このビットは GPO_D ピンのロジック・レベルを設定します。	0x0	R/W
2	GPO_PAR_DATA_C	パッドをパラレル GPO データ用に設定する場合、このビットは GPO_C ピンのロジック・レベルを設定します。	0x0	R/W
1	GPO_PAR_DATA_B	パッドをパラレル GPO データ用に設定する場合、このビットは GPO_B ピンのロジック・レベルを設定します。	0x0	R/W
0	GPO_PAR_DATA_A	パッドをパラレル GPO データ用に設定する場合、このビットは GPO_A ピンのロジック・レベルを設定します。	0x0	R/W

各チャンネルの GPO 設定レジスタ

アドレス：0x0E~0x11 (0x01 インクリメント)、リセット：0x0000、レジスタ名：GPO_CONFIGx

これら 4 つのレジスタは各チャンネルの GPO_x ピンを設定します。

表 34. GPO_CONFIGx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	GPO_DATA	このビットは、GPO_SELECT ビット = 001 のときの GPO ロジック状態を設定します。 0 : GPO_x ピンのロジックをローに駆動します。 1 : GPO_x ピンのロジックをハイに駆動します。	0x0	R/W
[2:0]	GPO_SELECT	GPO モードを選択します。この表に示されていない値にすると、GPO_x ピンは高インピーダンス状態になります。 000 : GPO_x ピンは、100kΩ のプルダウン抵抗で設定されます。 001 : GPO_x ピンのロジック状態は、GPO_DATA ビットによって設定されます。 010 : GPO_x ピンは、GPO_PARALLEL レジスタの GPO_PAR_DATA_x ビットによって設定されます。このモードはすべての GPO_x ピンの並列更新用です。 011 : GPO_x ピンは、デジタル入力回路のパウンス防止コンパレータ出力を出力するように設定されます。 100 : GPO_x ピンは高インピーダンス・モードに設定されます。	0x0	R/W

各チャンネルの出力設定レジスタ

アドレス：0x12～0x15 (0x01 インクリメント)、リセット：0x0000、レジスタ名：OUTPUT_CONFIGx

これら 4 つのレジスタは各チャンネルの出力モードを設定します。

表 35. OUTPUT_CONFIGx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:6]	SLEW_EN	要求された DAC コードまでスルーさせるには 1 に設定します。 00：スルーイングを無効にします。無効にするとスルーイングは直ちに停止します。 01：DAC 出力の線形スルーイングを有効にします。	0x0	R/W
[5:4]	SLEW_LIN_STEP	デジタル線形スルーのステップ・サイズ。 00：デジタル線形スルー・ステップ・サイズを 10 進コードで 64 にします。 01：デジタル線形スルー・ステップ・サイズを 10 進コードで 120 にします。 10：デジタル線形スルー・ステップ・サイズを 10 進コードで 500 にします。 11：デジタル線形スルー・ステップ・サイズを 10 進コードで 1820 にします。	0x0	R/W
[3:2]	SLEW_LIN_RATE	デジタル線形スルーの更新レート。 00：デジタル線形スルー・コントローラは、4kHz のレートで更新を行います。 01：デジタル線形スルー・コントローラは、64kHz のレートで更新を行います。 10：デジタル線形スルー・コントローラは、150kHz のレートで更新を行います。 11：デジタル線形スルー・コントローラは、240kHz のレートで更新を行います。	0x0	R/W
1	CLR_EN	チャンネルのクリア機能を有効にします。クリア機能を有効にするには、このビットをセットしてください。このビットをセットするとそのチャンネルがクリアされて、DAC クリア・キーの書込み時に DAC_CLR_CODEx レジスタにプログラムされたコードになります。	0x0	R/W
0	I_LIMIT	このビットは、V _{OUT} モードのソース電流制限値を設定します。V _{OUT} シンク電流制限値は、代表値で 4.5mA に固定されます。 0：30mA の電流制限値。代表値は 29mA です。 1：7.5mA の電流制限値。代表値で 7mA です。	0x0	R/W

各チャンネルの DAC コード・レジスタ

アドレス：0x16～0x19 (0x01 インクリメント)、リセット：0x0000、レジスタ名：DAC_CODEx

表 36. DAC_CODEx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R
[12:0]	DAC_CODE	チャンネルの 13 ビット DAC コード・データ。	0x0	R/W

各チャンネルの DAC クリア・コード・レジスタ

アドレス：0x1A～0x1D (0x01 インクリメント)、リセット：0x0000、レジスタ名：DAC_CLR_CODEx

OUTPUT_CONFIGx レジスタの CLR_EN ビットがアサートされて DAC クリア・キーが書き込まれると、DAC_CLR_CODEx の値が DAC にロードされます。

表 37. DAC_CLR_CODEx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R
[12:0]	CLR_CODE	チャンネルの DAC クリア・コード・レジスタ。	0x0	R/W

各チャンネルの DAC アクティブ・コード・レジスタ

アドレス：0x1E~0x21 (0x01 インクリメント)、リセット：0x0000、レジスタ名：DAC_ACTIVEx

DAC にロードされたコードの現在値。スルーイングが有効になっている場合、このレジスタは現在のスルー・ステップを反映します。

表 38. DAC_ACTIVEx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R
[12:0]	DAC_ACTIVE_CODE	チャンネルのアクティブ DAC コード。このレジスタの内容は、LDAC ピンがローにトグルされたかどうかと、デジタル・スルーが有効になっている場合の電流のスルー・ステップを決定することができます。	0x0	R

デジタル入力閾値レジスタ

アドレス：0x22、リセット：0x0000、レジスタ名：DIN_THRESH

このレジスタは、デジタル入力機能を使うように設定されたチャンネルが使用するコンパレータ閾値を選択します。

表 39. DIN_THRESH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
[5:1]	COMP_THRESH	コンパレータ閾値。	0x0	R/W
0	DIN_THRESH_MODE	このビットは、デジタル入力閾値 DAC に対する基準を設定します。 0：閾値は GND と AVDD ピンの間に設定されます。閾値は V _{AVDD} に応じて変化します。 1：閾値は GND と 16V の間に設定されます。閾値は V _{AVDD} によって変化しません。	0x0	R/W

ADC 変換制御レジスタ

アドレス：0x23、リセット：0x0000、レジスタ名：ADC_CONV_CTRL

このレジスタは、行わなければならない ADC 変換を制御します。シーケンスを有効にする場合は、その前のシーケンスが完了していることを確認してください。例えば、LIVE_STATUS レジスタの ADC_BUSY ビットが 0 になるまで待ってから、次のシーケンスを有効にします。このレジスタと ADC_CONV_CTRL_80SPS レジスタの両方が、ADC 変換の開始と停止を行います。

表 40. ADC_CONV_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
10	EN_50_60_HZ_REJ_DIAG	診断用に 50Hz または 60Hz 除去を有効にします。50Hz または 60Hz 除去を無効にするには、このビットを 0 に設定します。この場合、診断機能のサンプリング・レートは 4.8kSPS になります。 50Hz または 60Hz 除去を有効にするには、このビットを 1 に設定します。この場合、診断機能のサンプリング・レートは 20SPS になります。	0x0	R/W
[9:8]	CONV_SEQ	シングル・モードまたは連続モードを選択します。 00：連続変換を停止して、ADC をパワーアップ状態のままにするか ADC をパワーアップします。ADC をパワーダウンして終了すると、ADC のパワーアップに約 100μs を要します。ADC がパワーアップしている間、ADC_BUSY ビットは 1 に設定されます。CONV_SEQ ビットを使用して ADC パワーダウンを終了する場合は、ADC がパワーアップするまで待ってからこれらのビットへ再書き込みを行って、シングル・シーケンスまたは連続シーケンスを開始してください。 01：シングル・シーケンスを開始して、イネーブルされた各チャンネルのシングル変換と診断を実行します。これらのビットは、変換が完了してもクリアされません。その後の変換を有効にするには、書き込みを繰り返して変換を有効にする必要があります。ADC をパワーダウンした場合、CONV_SEQ ビットに 01 を書き込めば ADC は自動的にパワーアップします。変換を開始する前に 100μs 待つ必要があります。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		<p>10：連続変換を開始します。イネーブルされたチャンネルと診断機能を通して順次シーケンスが実行されていきます。連続シーケンスが進行している場合、イネーブルされたチャンネルと診断機能を変更することはできません。イネーブルされたチャンネルを変更するには、シーケンスを停止してイネーブルされたチャンネルと診断機能を変更し、その後にシーケンスを再開します。ADC をパワーダウンした場合、CONV_SEQ ビットに 01 を書き込めば ADC は自動的にパワーアップします。変換を開始する前に 100μs 待つ必要があります。連続変換モードからシングル変換モードへ移行する場合は、まずアイドル・モードにしてください。</p> <p>11：連続変換モードを停止して ADC をパワーダウンします。</p>		
7	DIAG_3_EN	診断機能 3 の変換をイネーブル。	0x0	R/W
6	DIAG_2_EN	診断機能 2 の変換をイネーブル。	0x0	R/W
5	DIAG_1_EN	診断機能 1 の変換をイネーブル。	0x0	R/W
4	DIAG_0_EN	診断機能 0 の変換をイネーブル。	0x0	R/W
3	CH_D_EN	チャンネル D の変換をイネーブル。	0x0	R/W
2	CH_C_EN	チャンネル C の変換をイネーブル。	0x0	R/W
1	CH_B_EN	チャンネル B の変換をイネーブル。	0x0	R/W
0	CH_A_EN	チャンネル A の変換をイネーブル。	0x0	R/W

診断機能選択レジスタ

アドレス：0x24、リセット：0x0000、レジスタ名：DIAG_ASSIGN

このレジスタは、使用可能な 4 つの診断入力に診断機能を割り当てます。

表 41. DIAG_ASSIGN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	DIAG3_ASSIGN	<p>DIAG_RESULTx レジスタのビット 3 に割り当てる診断機能を選択します。この表に示されていない値にすると、V_{AGND} 入力を選択されます。</p> <p>0000：AGND ピンを診断機能 3 に割り当てます。</p> <p>0001：温度センサーを診断機能 3 に割り当てます。</p> <p>0010：AVDD ピンを診断機能 3 に割り当てます。</p> <p>0011：チャージ・ポンプ電圧 V_{AVSS} を診断機能 3 に割り当てます。</p> <p>0100：REFOUT ピンを診断機能 3 に割り当てます。</p> <p>0101：ALDO5V ピンを診断機能 3 に割り当てます。</p> <p>0110：ALDO1V8 ピンを診断機能 3 に割り当てます。</p> <p>0111：DLDO1V8 ピンを診断機能 3 に割り当てます。</p> <p>1000：DVCC ピンを診断機能 3 に割り当てます。</p> <p>1001：IOVDD ピンを診断機能 3 に割り当てます。</p> <p>1010：SENSEL_A ピンを診断機能 3 に割り当てます。端子電圧をチェックできます。</p> <p>1011：SENSEL_B ピンを診断機能 3 に割り当てます。端子電圧をチェックできます。</p> <p>1100：SENSEL_C ピンを診断機能 3 に割り当てます。端子電圧をチェックできます。</p> <p>1101：SENSEL_D ピンを診断機能 3 に割り当てます。端子電圧をチェックできます。</p>	0x0	R/W
[11:8]	DIAG2_ASSIGN	<p>DIAG_RESULTx レジスタのビット 2 に割り当てる診断機能を選択します。この表に示されていない値にすると、AGND ピンが選択されます。</p> <p>0000：AGND ピンを診断機能 2 に割り当てます。</p> <p>0001：温度センサーを診断機能 2 に割り当てます。</p> <p>0010：AVDD ピンを診断機能 2 に割り当てます。</p> <p>0011：V_{AVSS} を診断機能 2 に割り当てます。</p> <p>0100：REFOUT ピンを診断機能 2 に割り当てます。</p> <p>0101：ALDO5V ピンを診断機能 2 に割り当てます。</p> <p>0110：ALDO1V8 ピンを診断機能 2 に割り当てます。</p> <p>0111：DLDO1V8 ピンを診断機能 2 に割り当てます。</p> <p>1000：DVCC ピンを診断機能 2 に割り当てます。</p>	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		1001 : IOVDD ピンを診断機能 2 に割り当てます。 1010 : SENSEL_A ピンを診断機能 2 に割り当てます。端子電圧をチェックできます。 1011 : SENSEL_B ピンを診断機能 2 に割り当てます。端子電圧をチェックできます。 1100 : SENSEL_C ピンを診断機能 2 に割り当てます。端子電圧をチェックできます。 1101 : SENSEL_D ピンを診断機能 2 に割り当てます。端子電圧をチェックできます。		
[7:4]	DIAG1_ASSIGN	DIAG_RESULTx レジスタのビット 1 に割り当てる診断機能を選択します。この表に示されていない値にすると、AGND ピンが選択されます。 0000 : AGND ピンを診断機能 1 に割り当てます。 0001 : 温度センサーを診断機能 1 に割り当てます。 0010 : AVDD ピンを診断機能 1 に割り当てます。 0011 : V _{AVSS} を診断機能 1 に割り当てます。 0100 : REFOUT ピンを診断機能 1 に割り当てます。 0101 : ALDO5V ピンを診断機能 1 に割り当てます。 0110 : ALDO1V8 ピンを診断機能 1 に割り当てます。 0111 : DLDO1V8 ピンを診断機能 1 に割り当てます。 1000 : DVCC ピンを診断機能 1 に割り当てます。 1001 : IOVDD ピンを診断機能 1 に割り当てます。 1010 : SENSEL_A ピンを診断機能 1 に割り当てます。端子電圧をチェックできます。 1011 : SENSEL_B を診断機能 1 に割り当てます。端子電圧をチェックできます。 1100 : SENSEL_C ピンを診断機能 1 に割り当てます。端子電圧をチェックできます。 1101 : SENSEL_D ピンを診断機能 1 に割り当てます。端子電圧をチェックできます。	0x0	R/W
[3:0]	DIAG0_ASSIGN	DIAG_RESULTx レジスタのビット 0 に割り当てる診断機能を選択します。この表に示されていない値にすると、AGND ピンが選択されます。 0000 : AGND ピンを診断機能 0 に割り当てます。 0001 : 温度センサーを診断機能 0 に割り当てます。 0010 : AVDD ピンを診断機能 0 に割り当てます。 0011 : V _{AVSS} を診断機能 0 に割り当てます。 0100 : REFOUT ピンを診断機能 0 に割り当てます。 0101 : ALDO5V ピンを診断機能 0 に割り当てます。 0110 : ALDO1V8 ピンを診断機能 0 に割り当てます。 0111 : DLDO1V8 ピンを診断機能 0 に割り当てます。 1000 : DVCC ピンを診断機能 0 に割り当てます。 1001 : IOVDD ピンを診断機能 0 に割り当てます。 1010 : SENSEL_A ピンを診断機能 0 に割り当てます。端子電圧をチェックできます。 1011 : SENSEL_B ピンを診断機能 0 に割り当てます。端子電圧をチェックできます。 1100 : SENSEL_C ピンを診断機能 0 に割り当てます。端子電圧をチェックできます。 1101 : SENSEL_D ピンを診断機能 0 に割り当てます。端子電圧をチェックできます。	0x0	R/W

デジタル出力レベル・レジスタ

アドレス : 0x25、リセット : 0x0000、レジスタ名 : DIN_COMP_OUT

デジタル入力モードで、DIN_CONFIGx レジスタを介して SENSEL_x ピンまたは SENSEL_F_x ピンを選択します。選択されたピンの電圧は、DIN_THRESH レジスタに設定されたスレッショルド電圧と比較されます。この比較の結果は、プログラマブル・バウンス防止回路に出力されます。DIN_COMP_OUT レジスタは、各チャンネルのバウンス防止回路の出力を示します。

表 42. DIN_COMP_OUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	DIN_COMP_OUT_D	チャンネル D のバウンス防止デジタル入力の状態。	0x0	R
2	DIN_COMP_OUT_C	チャンネル C のバウンス防止デジタル入力の状態。	0x0	R
1	DIN_COMP_OUT_B	チャンネル B のバウンス防止デジタル入力の状態。	0x0	R
0	DIN_COMP_OUT_A	チャンネル A のバウンス防止デジタル入力の状態。	0x0	R

各チャンネルの ADC 変換結果レジスタ

アドレス：0x26～0x29 (0x01 インクリメント)、リセット：0x0000、レジスタ名：ADC_RESULTx

これら 4 つのレジスタは、各チャンネルの 16 ビット ADC 変換結果を格納します。

表 43. ADC_RESULTx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CH_ADC_RESULT	チャンネル x における ADC 変換の 16 ビットの結果を格納します。	0x0	R

各診断チャンネルの診断結果レジスタ

アドレス：0x2A～0x2D (0x01 インクリメント)、リセット：0x0000、レジスタ名：DIAG_RESULTx

これら 4 つのレジスタは、4 つの 16 ビット診断 ADC 変換結果を格納します。

表 44. DIAG_RESULTx のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DIAG_RESULT	診断チャンネル x の 16 ビット診断結果を格納します。	0x0	R

アラート・ステータス・レジスタ

アドレス：0x2E、リセット：0x8000、レジスタ名：ALERT_STATUS

このレジスタは、いくつかのアラート・ステータス・ビットのアラート・ステータスを格納します。このレジスタのビットをクリアするには、1 を書き込みます。

表 45. ALERT_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESET_OCCURRED	リセットが行われます。リセット・イベント後はこのビットがアサートされ、更にそれによってリセット後に ALERT ビンがアサートされます。フラグをクリアするには、このビットに 1 を書き込みます。このビット用のマスク・ビットはありません。	0x1	R/W1C
14	CAL_MEM_ERR	キャリブレーション・メモリ・エラー。このフラグは、以下の 2 つの条件下でアサートされます。 1 つめは、キャリブレーション・メモリのアップロード時に、キャリブレーション・メモリの CRC エラー、または修正不能なエラー修正コード (ECC) エラーが検出された場合です。CRC エラーや修正不能な ECC エラーが存在する場合、このビットをクリアすることはできません。この状況では、デバイスをリセットして電源をチェックすることを推奨します。2 つめは、キャリブレーション・メモリのリフレッシュが完了する前に、レジスタへの SPI アクセスが試みられた場合です。キャリブレーション・メモリがリフレッシュされるまで、デバイスの操作は行わないでください。この状態によってフラグがアサートされている場合は、このビットに 1 を書き込むとフラグがクリアされます。	0x0	R/W1C
13	SPI_CRC_ERR	SPI CRC エラーが検出されました。無効な CRC を受信すると、このビットがアサートされます。	0x0	R/W1C
12	SPI_SCLK_CNT_ERR	SPI_SCLK カウント・エラーが検出されました。SPI コマンドを実行しても 32 個の SCLK が得られない場合、このビットがアサートされます。	0x0	R/W1C
11	ADC_SAT_ERR	ADC 飽和エラー。ADC が選択測定範囲を外れた可能性があります。	0x0	R/W1C
10	ADC_CONV_ERR	ADC 変換エラー。ADC の結果が選択測定範囲を外れた可能性があります。	0x0	R/W1C
9	ALDO1V8_ERR	ALDO1V8 電源モニタ・エラー。ALDO1V8 ピンが 1.35V 未満になると、このビットがアサートされます。	0x0	R/W1C
8	DVCC_ERR	DVCC 電源モニタ・エラー。DVCC ピンが 1.93V 未満になると、このビットがアサートされます。	0x0	R/W1C
7	AVDD_ERR	AVDD 電源モニタ・エラー。AVDD ピンが 9.26V 未満になると、このビットがアサートされます。	0x0	R/W1C
6	ALDO5V_ERR	ALDO5V 電源モニタ・エラー。ALDO5V ピンが 4.05V 未満になると、このビットがアサートされます。	0x0	R/W1C
5	CHARGE_PUMP_ERR	チャージ・ポンプ・エラーが検出されました。AVSS ピンが -1.65V を上回ると、このビットがアサートされます。	0x0	R/W1C
4	HI_TEMP_ERR	高温状態が検出されました。ダイ温度の代表値が 115°C に達すると、このビットがアサートされます。	0x0	R/W1C

ビット	ビット名	説明	リセット	アクセス
3	VI_ERR_D	<p>チャンネル D で電圧または電流エラーが検出されました。このビットの解釈は、CH_FUNC_SETUPD レジスタで以下に示す機能のどれが選択されているかによって異なります。</p> <p>電圧出力：短絡エラー。ステータス・ビットをセットする前のエラー状態のバウンス防止時間は 2ms です。</p> <p>電流出力：オープン・サーキット・エラー。ステータス・ビットをセットする前のエラー状態のバウンス防止時間は 2ms です。</p> <p>ループ駆動電流入力：短絡エラー。ループ駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて、トリップ・ポイントが AVDD/2 に設定され、DIN_CONFIGx レジスタの INV_DIN_COMP_OUT ビットを介してデジタル出力が反転されている場合は、グラウンドへの短絡が検出されます。このエラー検出のバウンス防止時間は、DIN_CONFIGx レジスタの DEBOUNCE_TIME ビットを介して設定できます。</p> <p>外部駆動電流入力：短絡エラー。ループ駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて、トリップ・ポイントが AVDD/2 に設定されている場合は、25mA を超える電流源が検出されます。このエラー検出のバウンス防止時間は、DIN_CONFIGx レジスタの DEBOUNCE_TIME ビットを介して設定できます。</p>	0x0	R/WIC
2	VI_ERR_C	<p>チャンネル C で電圧または電流エラーが検出されました。このビットの解釈は、CH_FUNC_SETUPC レジスタで以下に示す機能のどれが選択されているかによって異なります。</p> <p>電圧出力：短絡エラー。ステータス・ビットをセットする前のエラー状態のバウンス防止時間は 2ms です。</p> <p>電流出力：オープン・サーキット・エラー。ステータス・ビットをセットする前のエラー状態のバウンス防止時間は 2ms です。</p> <p>ループ駆動電流入力：短絡エラー。ループ駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて、トリップ・ポイントが AVDD/2 に設定され、DIN_CONFIGx レジスタの INV_DIN_COMP_OUT ビットを介してデジタル出力が反転されている場合は、グラウンドへの短絡が検出されます。このエラー検出のバウンス防止時間は、DIN_CONFIGx レジスタの DEBOUNCE_TIME ビットを介して設定できます。</p> <p>外部駆動電流入力：短絡エラー。ループ駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて、トリップ・ポイントが AVDD/2 に設定されている場合は、25mA を超える電流源が検出されます。このエラー検出のバウンス防止時間は、DIN_CONFIGx レジスタの DEBOUNCE_TIME ビットを介して設定できます。</p>	0x0	R/WIC
1	VI_ERR_B	<p>チャンネル B で電圧または電流エラーが検出されました。このビットの解釈は、CH_FUNC_SETUPB レジスタで以下に示す機能のどれが選択されているかによって異なります。</p> <p>電圧出力：短絡エラー。ステータス・ビットをセットする前のエラー状態のバウンス防止時間は 2ms です。</p> <p>電流出力：オープン・サーキット・エラー。ステータス・ビットをセットする前のエラー状態のバウンス防止時間は 2ms です。</p> <p>ループ駆動電流入力：短絡エラー。ループ駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて、トリップ・ポイントが AVDD/2 に設定され、DIN_CONFIGx レジスタの INV_DIN_COMP_OUT ビットを介してデジタル出力が反転されている場合は、グラウンドへの短絡が検出されます。このエラー検出のバウンス防止時間は、DIN_CONFIGx レジスタの DEBOUNCE_TIME ビットを介して設定できます。</p> <p>外部駆動電流入力：短絡エラー。ループ駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて、トリップ・ポイントが AVDD/2 に設定されている場合は、25mA を超える電流源が検出されます。このエラー検出のバウンス防止時間は、DIN_CONFIGx レジスタの DEBOUNCE_TIME ビットを介して設定できます。</p>	0x0	R/WIC

ビット	ビット名	説明	リセット	アクセス
0	VI_ERR_A	<p>チャンネル A で電圧または電流エラーが検出されました。このビットの解釈は、CH_FUNC_SETUPA レジスタで以下に示す機能のどれが選択されているかによって異なります。</p> <p>電圧出力：短絡エラー。ステータス・ビットをセットする前のエラー状態のバウンス防止時間は 2ms です。</p> <p>電流出力：オープン・サーキット・エラー。ステータス・ビットをセットする前のエラー状態のバウンス防止時間は 2ms です。</p> <p>ループ駆動電流入力：短絡エラー。ループ駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて、トリップ・ポイントが AVDD/2 に設定され、DIN_CONFIGx レジスタの INV_DIN_COMP_OUT ビットを介してデジタル出力が反転されている場合は、グラウンドへの短絡が検出されます。このエラー検出のバウンス防止時間は、DIN_CONFIGx レジスタの DEBOUNCE_TIME ビットを介して設定できます。</p> <p>外部駆動電流入力：短絡エラー。ループ駆動電流入力のセクションに示すように、デジタル入力コンパレータがイネーブルされていて、トリップ・ポイントが AVDD/2 に設定されている場合は、25mA を超える電流源が検出されます。このエラー検出のバウンス防止時間は、DIN_CONFIGx レジスタの DEBOUNCE_TIME ビットを介して設定できます。</p>	0x0	R/WIC

ライブ・ステータス・レジスタ

アドレス：0x2F、リセット：0x0000、レジスタ名：LIVE_STATUS

このレジスタは、いくつかのステータス・ビットのライブ・ステータスを格納します。このレジスタのビットはラッチされず、ステータス・ビットを直接反映します。

表 46. LIVE_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	ADC_DATA_RDY	<p>ADC データ・レディ。変換サイクルが完了すると、ADC_DATA_RDY ビットがアサートされます。このビットは、ユーザが 1 を書き込んでビットをクリアするまでアサートされたままになります。シングル変換モードでは、ADC_RDY ピンは ADC_DATA_RDY ビットに従い、ADC_DATA_RDY ビットがクリアされたときだけアサートが解除されます。連続変換モードでは、ADC_RDY ピンは 24μs 後にハイに戻ります。</p>	0x0	R/WIC
13	ADC_BUSY	ADC ビジー・ステータス・ビット。	0x0	R
[12:10]	ADC_CH_CURR	<p>現在、ADC がそのチャンネルと診断機能を変換中です。</p> <p>000：チャンネル A。 001：チャンネル B。 010：チャンネル C。 011：チャンネル D。 100：診断機能 0。 101：診断機能 1。 110：診断機能 2。 111：診断機能 3。</p>	0x0	R
9	ALDO1V8_STATUS	ALDO1V8_ERR ビットのライブ・ステータス。	0x0	R
8	DVCC_STATUS	DVCC_ERR ビットのライブ・ステータス。	0x0	R
7	AVDD_STATUS	AVDD_ERR ビットのライブ・ステータス。	0x0	R
6	ALDO5V_STATUS	ALDO5V_ERR ビットのライブ・ステータス。	0x0	R
5	CHARGE_PUMP_STATUS	CHARGE_PUMP_ERR ビットのライブ・ステータス。	0x0	R
4	HI_TEMP_STATUS	HI_TEMP_ERR ビットのライブ・ステータス。ダイ温度の代表値が 115°C 以上になると、HI_TEMP_STATUS ビットがアサートされます。	0x0	R
3	VI_ERR_CURR_D	VI_ERR_D ビットのライブ・ステータス。	0x0	R
2	VI_ERR_CURR_C	VI_ERR_C ビットのライブ・ステータス。	0x0	R
1	VI_ERR_CURR_B	VI_ERR_B ビットのライブ・ステータス。	0x0	R
0	VI_ERR_CURR_A	VI_ERR_A ビットのライブ・ステータス。	0x0	R

アラート・マスク・レジスタ

アドレス：0x3C、リセット：0x0000、レジスタ名：ALERT_MASK

このレジスタは、ALERT_STATUS レジスタのセクションに概要を示したアラート・ステータス・ビットをマスクして、 $\overline{\text{ALERT}}$ ピンがアクティブにならないようにします。このレジスタのマスク・ビットの位置は、ALERT_STATUS レジスタの対応ステータス・ビットと同じです。

表 47. ALERT_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	CAL_MEM_ERR_MASK	CAL_MEM_ERR ビットのマスク・ビット。	0x0	R/W
13	SPI_CRC_ERR_MASK	SPI_CRC_ERR ビットのマスク・ビット。	0x0	R/W
12	SPI_SCLK_CNT_ERR_MASK	SPI_SCLK_CNT_ERR ビットのマスク・ビット。	0x0	R/W
11	ADC_SAT_ERR_MASK	ADC_SAT_ERR ビットのマスク・ビット。	0x0	R/W
10	ADC_CONV_ERR_MASK	ADC_CONV_ERR ビットのマスク・ビット。	0x0	R/W
9	ALDO1V8_ERR_MASK	ALDO1V8_ERR ビットのマスク・ビット。	0x0	R/W
8	DVCC_ERR_MASK	DVCC_ERR ビットのマスク・ビット。	0x0	R/W
7	AVDD_ERR_MASK	AVDD_ERR ビットのマスク・ビット。	0x0	R/W
6	ALDO5V_ERR_MASK	ALDO5V_ERR ビットのマスク・ビット。	0x0	R/W
5	CHARGE_PUMP_ERR_MASK	CHARGE_PUMP_ERR ビットのマスク・ビット。	0x0	R/W
4	HI_TEMP_ERR_MASK	HI_TEMP_ERR ビットのマスク・ビット。	0x0	R/W
3	VI_ERR_MASK_D	VI_ERR_D ビットのマスク・ビット。	0x0	R/W
2	VI_ERR_MASK_C	VI_ERR_C ビットのマスク・ビット。	0x0	R/W
1	VI_ERR_MASK_B	VI_ERR_B ビットのマスク・ビット。	0x0	R/W
0	VI_ERR_MASK_A	VI_ERR_A ビットのマスク・ビット。	0x0	R/W

リードバック選択レジスタ

アドレス：0x41、リセット：0x0000、レジスタ名：READ_SELECT

このレジスタは、リードバックする必要のあるレジスタのアドレスを選択して、SPI リードバック・フレームの内容を決定します。

表 48. READ_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予備。	0x0	R
9	AUTO_RD_EN	自動読出しが有効。このビットを 0 に設定すると、最初にリードバック・アドレスを READ_SELECT レジスタに書き込み、その後フレームを続けることによって読出しが行われます。このフレームの読出しデータは、次の SPI トランザクションについてのみ SDO に返されます。これは 2 段読出しと呼ばれます。 このビットを 1 に設定すると、すべての SPI アクセスの読出しデータが SDO に返されます。読出し位置は、READBACK_ADDR ビット（ビット [7:0]）の現在値によって決定されます。レジスタ位置の反復読出しは、読出しごとに READ_SELECT レジスタへ書き込みを行うことなく実行できます。ストリーミング・モードでは、READBACK_ADDR ビット（ビット [7:0]）の値からアドレスが開始されて、読出しが停止するまでインクリメントされます。次のバースト読出しの開始時には、アドレスが READBACK_ADDR ビット（ビット [7:0]）の値に戻ります。反復バースト読出しは、バースト読出しごとに READ_SELECT レジスタへ書き込みを行うことなく実行できます。	0x0	R/W
8	SPI_RD_RET_INFO	SPI 読出しフレームの MSB の内容を決定します。このビットを 0 に設定すると、READBACK_ADDR が、その後の SPI 読出しのビット [30:24] で返されます（MSB は示されません）。このビットを 1 に設定すると、ADC_RDY ビット、アラート・フラグ、および 4 つのデジタル入力/出力が、その後の SPI 読出しのビット [30:24] で返されます。	0x0	R/W
[7:0]	READBACK_ADDR	ビット [D7:D0] には、読み出すレジスタ・アドレスが格納されません。	0x0	R/W

80SPS ADC 変換制御レジスタ

アドレス：0x42、リセット：0x0000、レジスタ名：ADC_CONV_CTRL_80SPS

このレジスタと ADC_CONV_CTRL レジスタは、共に ADC が何を変換するかを決定します。このレジスタを介して ADC をイネーブルすると、ADC はチャンネル A~チャンネル D だけを変換します。

シーケンスを有効にするときは、その前のシーケンスが完了しているかどうかを確認します。LIVE_STATUS レジスタの ADC_BUSY ビットが 0 になるまで待ってください。

表 49. ADC_CONV_CTRL_80SPS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予備。	0x0	R
[1:0]	CONV_SEQ_80SPS	<p>シングル・モードまたは連続モードを選択します。</p> <p>00：連続変換を停止して、ADC をパワーアップ状態のままにするか ADC をパワーアップします。ADC をパワーダウンして終了すると、ADC のパワーアップに約 100μs を要します。ADC がパワーアップしている間、ADC_BUSY ビットは 1 に設定されます。CONV_SEQ ビットを使用して ADC パワーダウンを終了する場合は、ADC がパワーアップするまで待ってからこれらのビットへ書込みを行って、シングル・シーケンスまたは連続シーケンスを開始してください。</p> <p>01：シングル・シーケンスを開始して、イネーブルされた各チャンネルのシングル変換と診断を実行します。これらのビットは、変換が完了してもクリアされません。その後の変換を有効にするには、書込みを繰り返して変換を有効にする必要があります。</p> <p>ADC をパワーダウンした場合、CONV_SEQ ビットに 01 を書き込めば ADC は自動的にパワーアップします。変換を有効にするには、書込みを繰り返す必要があります。</p> <p>10：連続変換を開始します。ADC シーケンスは、イネーブルされたチャンネルと診断機能をたどって順次実行されます。連続シーケンスが進行している場合、イネーブルされたチャンネルと診断機能を変更することはできません。これらのチャンネルを変更するには、シーケンスを停止してチャンネルと診断機能を変更し、その後にシーケンスを再開します。</p> <p>ADC をパワーダウンした場合、CONV_SEQ ビットに 01 を書き込めば ADC は自動的にパワーアップします。変換を開始する前に 100μs 待つ必要があります。連続変換モードからシングル変換モードへ移行する場合は、まずアイドル・モードにしてください。</p> <p>11：連続変換モードを停止して ADC をパワーダウンします。</p>	0x0	R/W

サーマル・リセット有効化レジスタ

アドレス：0x43、リセット：0x0000、レジスタ名：THERM_RST

表 50. THERM_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	EN_THERM_RST	<p>サーマル・リセット機能を有効にするには 1 に設定します。ダイ温度の代表値が 140$^{\circ}$C に達すると、サーマル・リセット・イベントがデジタル・リセットをトリガします。このリセット・イベントは、ALERT ピンの変化と RESET_OCCURRED フラグを介して検出されます。</p>	0x0	R/W

コマンド・レジスタ

アドレス：0x44、リセット：0x0000、レジスタ名：CMD_KEY

このレジスタには、表 51 に示す機能を実行するための特別なキー・コードが書き込まれます。特別なキーを使用してリセット、LDAC、またはクリアなどの動作を開始すると、これらのタスクを誤って開始してしまう可能性が少なくなるので、システムの堅牢性が大きく向上します。

表 51. CMD_KEY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CMD_KEY	<p>コマンドを実行するためのキーを入力します。</p> <p>0x0000：NOP。</p> <p>0x15FA：ソフトウェア・リセット・キー1。ソフトウェア・リセットをトリガするには、このキーを書き込んでからソフトウェア・リセット・キー2を書き込みます。SPI 書込みは連続して行う必要があります。</p> <p>0xAF51：ソフトウェア・リセット・キー2。ソフトウェア・リセットをトリガするには、ソフトウェア・リセット・キー1を書き込んでからこのキーを書き込む必要があります。SPI 書込みは連続して行う必要があります。</p> <p>0x953A：LDAC キー。このキーを入力すると、すべてのチャンネルで DAC の更新がトリガされます。これは、LDACピンをアサートするのと同じです。</p> <p>0x73D1：DAC クリア・キー。OUTPUT_CONFIGx レジスタでクリア機能が有効になっている場合は、このキーを入力すると、そのチャンネルの DAC_CLR_CODEx レジスタの内容が DAC に送られます。チャンネルをクリアするときスルーイングが有効になっている場合は、設定されたスルー・レートで出力がクリア・コードに変化します。</p>	0x0	W

スクラッチまたはスペア・レジスタ

アドレス：0x45、リセット：0x0000、レジスタ名：SCRATCH

表 52. SCRATCH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	SCRATCH_BITS	スクラッチまたはスペア・レジスタ・フィールド。	0x0	R/W

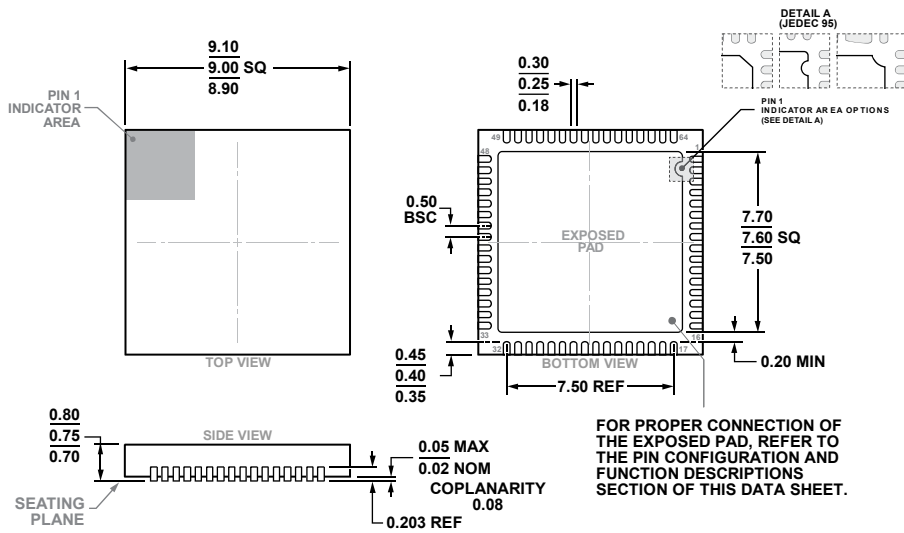
シリコン・リビジョン・レジスタ

アドレス：0x46、リセット：0x0003、レジスタ名：SILICON_REV

表 53. SILICON_REV のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	SILICON_REV_ID	シリコン・リビジョン ID。	0x8	R

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WMMD

図 54. 64 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 9mm × 9mm ボディ、0.75mm パッケージ高
 (CP-64-15)
 寸法：mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
AD74412RBCPZ	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-15
AD74412RBCPZ-REEL	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-15
AD74412RBCPZ-RL7	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-15
EV-AD74412RSDZ		Evaluation Board	

¹ Z = RoHS 準拠製品

² EV-AD74412RSDZ の発注時は、USB インターフェース・ボード [EVAL-SDP-CS1Z](#) を別途発注する必要があります。