



**ANALOG  
DEVICES**

# 8ピンSOT-23パッケージ、差動入力、 1MSPSの10/12ビットADC

## AD7440/AD7450A

### 特長

高速スループット・レート：1MSPS

$V_{DD}$ 仕様：3Vおよび5V

最大スループットでの低消費電力：

3V電源時、1MSPSで4mW (max)

5V電源時、1MSPSで9.25mW (max)

フル差動アナログ入力

広い入力帯域幅：

入力周波数100kHzで70dB SINAD

フレキシブルなパワー／シリアル・クロック速度マネジメント

パイプライン遅延なし

高速シリアル・インターフェース：

SPI®/QSPI™/MICROWIRE™/DSP互換

パワーダウン・モード：1 $\mu$ A (max)

8ピンSOT-23およびMSOPパッケージ

### アプリケーション

トランスデューサ・インターフェース

バッテリー駆動のシステム

データ・アキュイジション・システム

携帯型計測器

モーター制御

### 機能ブロック図

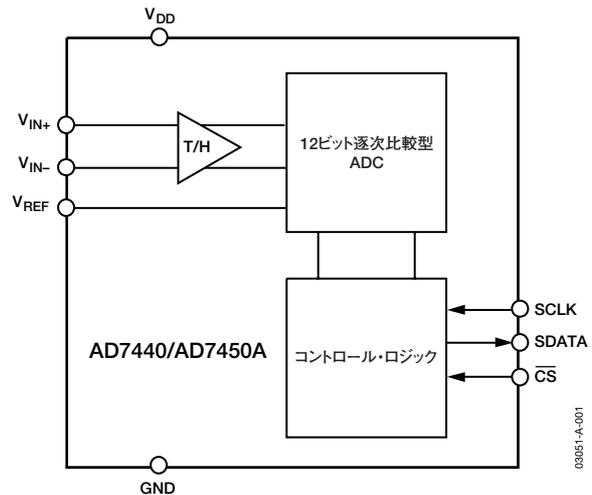


図1

### 概要

AD7440/AD7450A<sup>1</sup>は、それぞれ10ビットと12ビットの高速、低消費電力の逐次比較型 (SAR) A/Dコンバータ (ADC) で、フル差動アナログ入力を備えています。これらのデバイスは、3Vまたは5Vの単電源で動作し、1MSPSまでのスループット・レートが可能です。

内蔵するローノイズ、広帯域幅の差動トラック&ホールド・アンプ (T/H) は、最高3.5MHzの入力周波数を扱うことができます。リファレンス電圧は、外部から $V_{REF}$ ピンに印可し、電源とアプリケーションに応じて100mV~3.5Vの範囲があります。デバイスのコモン・モード電圧範囲は、リファレンス電圧値によって決まります。真の差動入力構成と可変リファレンス電圧入力により、多様な入力範囲とバイアス・ポイントを選択できます。

変換プロセスとデータ・アキュイジションを $\overline{CS}$ とシリアル・クロックによって制御するため、マイクロプロセッサやDSPにデバイスを接続することができます。 $\overline{CS}$ の立下がりエッジで入力信号をサンプリングし、変換もこの時点で開始します。

SARアーキテクチャを採用しているため、パイプライン遅延はありません。AD7440とAD7450Aは高度な設計技法を利用し、1MSPSまでのスループット・レートできわめて低い消費電力を実現します。

### 製品のハイライト

- 3V電源または5V電源による動作
- 低消費電力で高スループット  
3V電源の場合、AD7440/AD7450Aは1MSPSのスループットで最大消費電力が4mWになります。
- フル差動アナログ入力
- フレキシブルなパワー／シリアル・クロック速度マネジメント  
変換レートはシリアル・クロックによって決まります。このため、シリアル・クロック速度を上げて変換時間を短くすれば、消費電力を低減することができます。低いスループット・レートで電力効率を高めるシャットダウン・モードも備えています。
- 電圧が可変のリファレンス入力
- パイプライン遅延なし
- $\overline{CS}$ 入力とワンショット変換制御により、サンプリング・タイミングを正確に制御
- 100mVリファレンス電圧で、 $ENOB > 8$ ビット (typ)

<sup>1</sup> 米国特許番号6,681,332によって保護されています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2004 Analog Devices, Inc. All rights reserved.

REV. B

**アナログ・デバイス株式会社**

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03(5402)8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06(6350)6868

# AD7440/AD7450A

## 目次

AD7440—仕様	3	デジタル入力	20
AD7450A—仕様	5	リファレンス	20
タイミング仕様	7	シングルエンド動作	20
絶対最大定格	8	シリアル・インターフェース	21
ESDに関する注意	8	動作モード	23
ピン配置と機能の説明	9	ノーマル・モード	23
用語の説明	10	パワーダウン・モード	23
AD7440/AD7450A—代表的な性能特性	12	パワーアップ時間	24
回路情報	15	消費電力とスループット・レートの関係	24
コンバータ動作	15	マイクロプロセッサおよびDSPとのインターフェース	25
ADCの伝達関数	15	グラウンディングとレイアウト	26
代表的な接続図	16	AD7440/AD7450Aの性能評価	26
アナログ入力	16	外形寸法	27
差動入力の駆動	18	オーダー・ガイド	28

## 改訂履歴

### 2/04—Data Sheet changed from Rev. A to Rev. B

Added Patent Note . . . . . 1

### 1/04—Data Sheet changed from Rev. 0 to Rev. A

Updated Format . . . . . Universal  
Changes to General Description . . . . . 1  
Changes to Table 1 footnotes . . . . . 3  
Changes to Table 2 footnotes . . . . . 5  
Changes to Table 3 footnotes . . . . . 7

## AD7440—仕様

表1. 特に指定のない限り、 $V_{DD}=2.7\sim 3.6V$ 、 $f_{SCLK}=18MHz$ 、 $f_s=1MSPS$ 、 $V_{REF}=2.0V$ ； $V_{DD}=4.75\sim 5.25V$ 、 $f_{SCLK}=18MHz$ 、 $f_s=1MSPS$ 、 $V_{REF}=2.5V$ ； $V_{CM}^1=V_{REF}$ ； $T_A=T_{MIN}\sim T_{MAX}$ 、Bバージョンの温度範囲は $-40\sim +85^{\circ}C$ です。

パラメータ	テスト条件/備考	Bバージョン	単位
<b>動的性能</b> 信号/ノイズ+歪み (SINAD) <sup>2</sup> 全高調波歪み (THD) <sup>2</sup> ピーク高調波またはスプリアス・ノイズ <sup>2</sup> 相互変調歪み (IMD) <sup>2</sup> 2次項 3次項 アパーチャ遅延 <sup>3</sup> アパーチャ・ジッタ <sup>2</sup> フルパワー帯域幅 <sup>2,3</sup>	$f_{IN}=100kHz$  $-82dB$ (typ) $-82dB$ (typ) $f_a=90kHz$ 、 $f_b=110kHz$  @ $-3dB$ @ $-0.1dB$	61 $-74$ $-76$  $-83$ $-83$ 5 50 20 2.5	dB (min) dB (max) dB (max)  dB (typ) dB (typ) ns (typ) ps (typ) MHz (typ) MHz (typ)
<b>DC精度</b> 分解能 積分非直線性 (INL) <sup>2</sup> 微分非直線性 (DNL) <sup>2</sup> ゼロ・コード誤差 <sup>2</sup> 正のゲイン誤差 <sup>2</sup> 負のゲイン誤差 <sup>2</sup>	10ビットまでノー・ミスコード保証	10 $\pm 0.5$ $\pm 0.5$ $\pm 2.5$ $\pm 1$ $\pm 1$	ビット LSB (max) LSB (max) LSB (max) LSB (max) LSB (max)
<b>アナログ入力</b> フルスケール入力スパン 絶対入力電圧 $V_{IN+}$ $V_{IN-}$ DCリーク電流 入力容量	$2 \times V_{REF}^4$  $V_{CM}=V_{REF}$ $V_{CM}=V_{REF}$  トラック/ホールド時	$V_{IN+}-V_{IN-}$  $V_{CM} \pm V_{REF}/2$ $V_{CM} \pm V_{REF}/2$ $\pm 1$ 30/10	V V V $\mu A$ (max) pF (typ)
<b>リファレンス入力</b> $V_{REF}$ 入力電圧  DCリーク電流 $V_{REF}$ 入力容量	$V_{DD}=4.75\sim 5.25V$ (仕様性能を得るには許容偏差 $\pm 1\%$ ) $V_{DD}=2.7\sim 3.6V$ (仕様性能を得るには許容偏差 $\pm 1\%$ )  トラック/ホールド時	$2.5^5$  $2.0^6$ $\pm 1$ 10/30	V  V $\mu A$ (max) pF (typ)
<b>ロジック入力</b> ハイレベル電圧 ( $V_{INH}$ ) ローレベル電圧 ( $V_{INL}$ ) 入力電流 ( $I_{IN}$ ) 入力容量 ( $C_{IN}$ ) <sup>7</sup>	標準で $10nA$ 、 $V_{IN}=0V$ または $V_{DD}$	2.4 0.8 $\pm 1$ 10	V (min) V (max) $\mu A$ (max) pF (max)
<b>ロジック出力</b> ハイレベル電圧 ( $V_{OH}$ )  ローレベル電圧 ( $V_{OL}$ ) フローティング状態リーク電流 フローティング状態出力容量 <sup>7</sup> 出力コーディング	$V_{DD}=4.75\sim 5.25V$ 、 $I_{SOURCE}=200\mu A$ $V_{DD}=2.7\sim 3.6V$ 、 $I_{SOURCE}=200\mu A$ $I_{SINK}=200\mu A$	2.8 2.4 0.4 $\pm 1$ 10 2の補数	V (min) V (min) V (max) $\mu A$ (max) pF (max)

# AD7440/AD7450A

パラメータ	テスト条件/備考	Bバージョン	単位
変換レート			
変換時間	18MHz SCLKで888ns	16	SCLKサイクル
トラック&ホールド・アクイジション時間 <sup>2</sup>	正弦波入力	200	ns (max)
	ステップ入力	290	ns (max)
スループット・レート		1	MSPS (max)
電源条件			
V <sub>DD</sub>	範囲：3V+20%/−10%； 5V±5%	2.7/5.25	V (min) /V (max)
I <sub>DD</sub> <sup>8</sup>			
ノーマル・モード (静止時)	SCLK OnまたはOff	0.5	mA (typ)
ノーマル・モード (動作時)	V <sub>DD</sub> =4.75~5.25V	1.95	mA (max)
	V <sub>DD</sub> =2.7~3.6V	1.45	mA (max)
フルパワーダウン・モード	SCLK OnまたはOff	1	μA (max)
消費電力			
ノーマル・モード (動作時)	V <sub>DD</sub> =5V、100kSPSに対して 1.55mW (typ) <sup>9</sup>	9.25	mW (max)
	V <sub>DD</sub> =3V、100kSPSに対して 0.6mW (typ) <sup>9</sup>	4	mW (max)
フルパワーダウン・モード	V <sub>DD</sub> =5V、SCLK OnまたはOff	5	μW (max)
	V <sub>DD</sub> =3V、SCLK OnまたはOff	3	μW (max)

<sup>1</sup> コモン・モード電圧。入力信号の中心は、図28と図29で規定される範囲内のDCコモン・モード電圧にすることができます。

<sup>2</sup> 「用語の説明」を参照。

<sup>3</sup> アクイジション時間中に27V/μsを超える（フルスケール入力正弦波>3.5MHz）スループットのアナログ入力があると、コンバータが誤った変換結果を返すことがあります。

<sup>4</sup> V<sub>IN+</sub>とV<sub>IN-</sub>の入力スパンは両方ともV<sub>REF</sub>で、位相が180度ずれているため、差動電圧は2×V<sub>REF</sub>になります。

<sup>5</sup> V<sub>DD</sub>=5Vの場合、AD7440は100mVのリファレンス入力で動作し、リファレンスの範囲は最大3.5Vまで可能です。

<sup>6</sup> V<sub>DD</sub>=3Vの場合、AD7440は100mVのリファレンス入力で動作し、リファレンスの範囲は最大2.2Vです。

<sup>7</sup> 特性評価データにより保証。

<sup>8</sup> ミッドスケールのDC入力で測定。

<sup>9</sup> 「消費電力とスループット・レートの関係」を参照。

## AD7450A—仕様

表2. 特に指定のない限り、 $V_{DD}=2.7\sim 3.6V$ 、 $f_{SCLK}=18MHz$ 、 $f_S=1MSPS$ 、 $V_{REF}=2.0V$ ； $V_{DD}=4.75\sim 5.25V$ 、 $f_{SCLK}=18MHz$ 、 $f_S=1MSPS$ 、 $V_{REF}=2.5V$ ； $V_{CM}^1=V_{REF}$ ； $T_A=T_{MIN}\sim T_{MAX}$ 、Bバージョンの温度範囲は $-40\sim +85^\circ C$ です。

パラメータ	テスト条件/備考	Bバージョン	単位
<b>動的性能</b>	$f_{IN}=100kHz$		
信号/ノイズ+歪み (SINAD) <sup>2</sup>		70	dB (min)
全高調波歪み (THD) <sup>2</sup>	$V_{DD}=4.75\sim 5.25V$ 、 $-86dB$ (typ)	-76	dB (max)
	$V_{DD}=2.7\sim 3.6V$ 、 $-84dB$ (typ)	-74	dB (max)
ピーク高調波またはスプリアス・ノイズ <sup>2</sup>	$V_{DD}=4.75\sim 5.25V$ 、 $-86dB$ (typ)	-76	dB (max)
	$V_{DD}=2.7\sim 3.6V$ 、 $-84dB$ (typ)	-74	dB (max)
相互変調歪み (IMD) <sup>2</sup>	$f_a=90kHz$ 、 $f_b=110kHz$		
2次項		-89	dB (typ)
3次項		-89	dB (typ)
アバーチャ遅延 <sup>2</sup>		5	ns (typ)
アバーチャ・ジッタ <sup>2</sup>		50	ps (typ)
フルパワー帯域幅 <sup>2,3</sup>	@-3dB	20	MHz (typ)
	@-0.1dB	2.5	MHz (typ)
<b>DC精度</b>			
分解能		12	ビット
積分非直線性 (INL) <sup>2</sup>		$\pm 1$	LSB (max)
微分非直線性 (DNL) <sup>2</sup>	12ビットまでノー・ミスコード保証	$\pm 0.95$	LSB (max)
ゼロ・コード誤差 <sup>2</sup>		$\pm 6$	LSB (max)
正のゲイン誤差 <sup>2</sup>		$\pm 2$	LSB (max)
負のゲイン誤差 <sup>2</sup>		$\pm 2$	LSB (max)
<b>アナログ入力</b>			
フルスケール入力スパン	$2 \times V_{REF}^4$	$V_{IN+} - V_{IN-}$	V
絶対入力電圧			
$V_{IN+}$	$V_{CM} = V_{REF}$	$V_{CM} \pm V_{REF}/2$	V
$V_{IN-}$	$V_{CM} = V_{REF}$	$V_{CM} \pm V_{REF}/2$	V
DCリーク電流		$\pm 1$	$\mu A$ (max)
入力容量	トラック/ホールド時	30/10	pF (typ)
<b>リファレンス入力</b>			
$V_{REF}$ 入力電圧	$V_{DD}=4.75\sim 5.25V$ (仕様性能を得るには許容偏差 $\pm 1\%$ )	$2.5^5$	V
	$V_{DD}=2.7\sim 3.6V$ (仕様性能を得るには許容偏差 $\pm 1\%$ )	$2.0^6$	V
DCリーク電流		$\pm 1$	$\mu A$ (max)
$V_{REF}$ 入力容量	トラック/ホールド時	10/30	pF (typ)
<b>ロジック入力</b>			
ハイレベル電圧 ( $V_{INH}$ )		2.4	V (min)
ローレベル電圧 ( $V_{INL}$ )		0.8	V (max)
入力電流 ( $I_{IN}$ )	標準で10nA、 $V_{IN}=0V$ または $V_{DD}$	$\pm 1$	$\mu A$ (max)
入力容量 ( $C_{IN}$ ) <sup>7</sup>		10	pF (max)
<b>ロジック出力</b>			
ハイレベル電圧 ( $V_{OH}$ )	$V_{DD}=4.75\sim 5.25V$ 、 $I_{SOURCE}=200\mu A$	2.8	V (min)
	$V_{DD}=2.7\sim 3.6V$ 、 $I_{SOURCE}=200\mu A$	2.4	V (min)
ローレベル電圧 ( $V_{OL}$ )	$I_{SINK}=200\mu A$	0.4	V (max)
フローティング状態リーク電流		$\pm 1$	$\mu A$ (max)
フローティング状態出力容量 <sup>7</sup>		10	pF (max)
出力コーディング		2の補数	

# AD7440/AD7450A

パラメータ	テスト条件/備考	Bバージョン	単位
変換レート			
変換時間	18MHz SCLKで888ns	16	SCLKサイクル
トラック&ホールド・アクイジション時間 <sup>2</sup>	正弦波入力	200	ns (max)
	ステップ入力	290	ns (max)
スループット・レート		1	MSPS (max)
電源条件			
V <sub>DD</sub>	範囲：3V+20%/−10%； 5V±5%	2.7/5.25	V (min) /V (max)
I <sub>DD</sub> <sup>8</sup>			
ノーマル・モード (静止時)	SCLK OnまたはOff	0.5	mA (typ)
ノーマル・モード (動作時)	V <sub>DD</sub> =4.75~5.25V	1.95	mA (max)
	V <sub>DD</sub> =2.7~3.6V	1.45	mA (max)
フルパワーダウン・モード	SCLK OnまたはOff	1	μA (max)
消費電力			
ノーマル・モード (動作時)	V <sub>DD</sub> =5V、100kSPSに対して 1.55mW (typ) <sup>9</sup>	9.25	mW (max)
	V <sub>DD</sub> =3V、100kSPSに対して 0.6mW (typ) <sup>9</sup>	4	mW (max)
フルパワーダウン・モード	V <sub>DD</sub> =5V、SCLK OnまたはOff	5	μW (max)
	V <sub>DD</sub> =3V、SCLK OnまたはOff	3	μW (max)

<sup>1</sup> コモン・モード電圧。入力信号の中心は、図28と図29で規定される範囲内のDCコモン・モード電圧にすることができます。

<sup>2</sup> 「用語の説明」を参照。

<sup>3</sup> アクイジション時間中に27V/μsを超える（フルスケール入力正弦波>3.5MHz）スループットのアナログ入力があると、コンバータが誤った変換結果を返すことがあります。

<sup>4</sup> V<sub>IN+</sub>とV<sub>IN-</sub>の入力スパンは両方ともV<sub>REF</sub>で、位相が180度ずれているため、差動電圧は2×V<sub>REF</sub>になります。

<sup>5</sup> V<sub>DD</sub>=5Vの場合、AD7440は100mVのリファレンス入力で動作し、リファレンスの範囲は最大3.5Vまで可能です。

<sup>6</sup> V<sub>DD</sub>=3Vの場合、AD7440は100mVのリファレンス入力で動作し、リファレンスの範囲は最大2.2Vです。

<sup>7</sup> 特性評価データにより保証。

<sup>8</sup> ミッドスケールのDC入力での測定。

<sup>9</sup> 「消費電力とスループット・レートの関係」を参照。

## タイミング仕様

適正評価データにより保証。すべての入力信号は、 $t_r=t_f=5\text{ns}$  ( $V_{DD}$ の10~90%) で規定され、1.6Vの電圧レベルからタイミングがとられます。図2、図3、および「シリアル・インターフェース」を参照。

表3. 特に指定のない限り、 $V_{DD}=2.7\sim 3.6\text{V}$ 、 $f_{SCLK}=18\text{MHz}$ 、 $f_s=1\text{MSPS}$ 、 $V_{REF}=2.0\text{V}$ ； $V_{DD}=4.75\sim 5.25\text{V}$ 、 $f_{SCLK}=18\text{MHz}$ 、 $f_s=1\text{MSPS}$ 、 $V_{REF}=2.5\text{V}$ ； $V_{CM}^1=V_{REF}$ ； $T_A=T_{MIN}\sim T_{MAX}$

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ での限界	単位	説明
$f_{SCLK}^2$	10 18	kHz (min) MHz (max)	$t_{SCLK}=1/f_{SCLK}$
$t_{CONVERT}$	$16\times t_{SCLK}$ 888	ns (max)	
$t_{QUIET}$	60	ns (min)	シリアル読出し完了と $\overline{CS}$ の次の立下がりエッジとの間の最小静止時間
$t_1$	10	ns (min)	最小 $\overline{CS}$ パルス幅
$t_2$	10	ns (min)	$\overline{CS}$ の立下がりエッジからSCLKの立下がりエッジまでのセットアップ・タイム
$t_3^3$	20	ns (max)	$\overline{CS}$ の立下がりエッジからSDATAスリーステート・ディセーブルまでの遅延
$t_4^3$	40	ns (max)	SCLK立下がりエッジ後のデータ・アクセス時間
$t_5$	$0.4 t_{SCLK}$	ns (min)	SCLKのハイレベル・パルス幅
$t_6$	$0.4 t_{SCLK}$	ns (min)	SCLKのローレベル・パルス幅
$t_7$	10	ns (min)	SCLKエッジからデータ有効までのホールド・タイム
$t_8^4$	10	ns (min)	SCLK立下がりエッジからSDATAスリーステート・イネーブルまで
$t_{POWER-UP}^5$	35	ns (max)	SCLK立下がりエッジからSDATAスリーステート・イネーブルまで
	1	$\mu\text{s}$ (max)	フルパワーダウンからのパワーアップ時間

<sup>1</sup> コモン・モード電圧。

<sup>2</sup> SCLK入力のマーク/スペース比は40/60~60/40。

<sup>3</sup> 図4の負荷回路で測定。 $V_{DD}=5\text{V}$ の場合は出力が0.8Vまたは2.4Vを超えるまでに必要な時間で、 $V_{DD}=3\text{V}$ の場合は出力が0.4Vまたは2.0Vを超えるまでに必要な時間です。

<sup>4</sup>  $t_8$ は、図4の回路を接続したときに、データ出力が0.5V変化するために要する時間の測定値から導出されます。この値は25pFコンデンサの充電の影響を受けない値として推測されているため、タイミング仕様で使用される時間 ( $t_8$ ) はデバイスの真の開放時間であり、バスの負荷容量とは無関係です。

<sup>5</sup> 「パワーアップ時間」を参照。

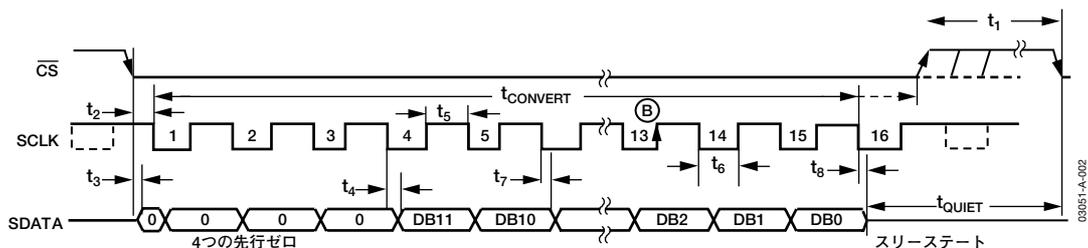


図2. AD7450Aシリアル・インターフェースのタイミング図

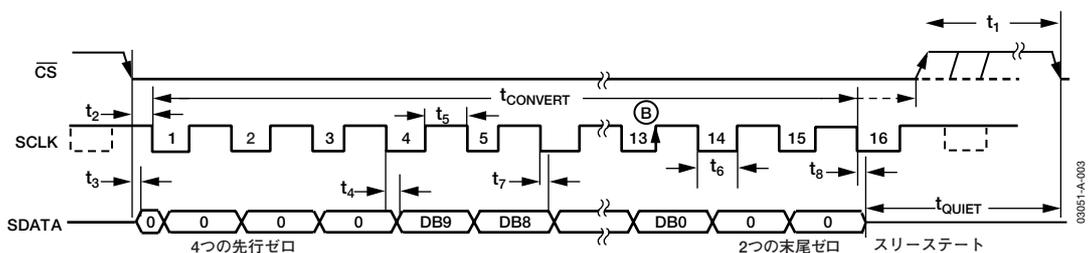


図3. AD7440シリアル・インターフェースのタイミング図

# AD7440/AD7450A

## 絶対最大定格

特に指定のない限り、 $T_A=25^\circ\text{C}$ 。

表4

パラメータ	定格
GNDに対する $V_{DD}$	$-0.3 \sim +7\text{V}$
GNDに対する $V_{IN+}$	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対する $V_{IN-}$	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3 \sim +7\text{V}$
GNDに対するデジタル出力電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対する $V_{REF}$	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
電源以外のピンへの入力電流 <sup>1</sup>	$\pm 10\text{mA}$
動作温度範囲	
商用 (Bバージョン)	$-40 \sim +85^\circ\text{C}$
保存温度範囲	$-65 \sim +150^\circ\text{C}$
ジャンクション温度	$150^\circ\text{C}$
$\theta_{JA}$ 熱抵抗	
MSOP	$205.9^\circ\text{C}/\text{W}$
SOT-23	$211.5^\circ\text{C}/\text{W}$
$\theta_{JC}$ 熱抵抗	
MSOP	$43.74^\circ\text{C}/\text{W}$
SOT-23	$91.99^\circ\text{C}/\text{W}$
ピン温度、ハンダ処理	
ベーキング時間 (60秒)	$215^\circ\text{C}$
赤外線 (15秒)	$220^\circ\text{C}$
ESD	$1\text{kV}$

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

<sup>1</sup> 100mAまでの過渡電流では、SCRラッチアップは発生しません。

## 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

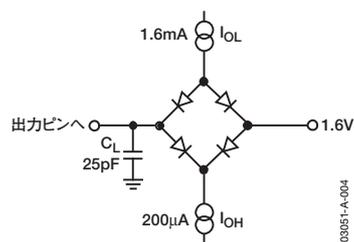


図4. デジタル出力タイミング仕様の負荷回路



## ピン配置および機能の説明



図5. 8ピンSOT-23のピン配置



図6. 8ピンMSOPのピン配置

表5. ピン機能の説明

記号	機能
$V_{REF}$	AD7440/AD7450Aのリファレンス入力。この入力に外部リファレンスを接続する必要があります。仕様性能を得るには、5V電源で2.5V (±1%)、3V電源で2V (±1%) のリファレンスになります。このピンは、0.1μF以上のコンデンサでGNDにデカップリングしてください。詳細については「リファレンス」を参照してください。
$V_{IN+}$	差動アナログ入力用の正端子
$V_{IN-}$	差動アナログ入力用の負端子
GND	アナログ・グラウンド。AD7440/AD7450A上のすべての回路のグラウンド・リファレンス・ポイント。すべてのアナログ入力信号と外部リファレンス信号は、このGND電圧を基準にします。
$\overline{CS}$	チップ・セレクト。アクティブ・ローのロジック入力。この入力には、AD7440/AD7450Aでの変換開始とシリアル・データの転送制御という2つの機能があります。
SDATA	シリアル・データ。ロジック出力。AD7440/AD7450Aからの変換結果がシリアル・データ・ストリームとしてこの出力から得られます。SCLK入力の立下がりエッジで、ビットをクロック出力します。AD7450Aのデータ・ストリームは、4つの先行ゼロと、それに続く12ビットの変換データ (MSBファースト) で構成されています。AD7440のデータ・ストリームは、4つの先行ゼロ、10ビットの変換データ、2つの末尾ゼロで構成されています。いずれの場合も、出力コーディングは2の補数です。
SCLK	シリアル・クロック。ロジック入力。SCLKは、デバイスからのデータにアクセスするためのシリアル・クロックを提供します。このクロック入力は、変換プロセスのクロック源にもなります。
$V_{DD}$	電源入力。 $V_{DD}$ は3V (+20%/−10%) または5V (±5%) です。この電源は、0.1μFコンデンサと10μFタンタル・コンデンサの並列接続によってGNDにデカップリングしてください。

# AD7440/AD7450A

## 用語の説明

### 信号/ノイズ+歪み (SINAD)

A/Dコンバータ出力で測定した信号/ノイズ+歪み比です。信号は基本波のrms振幅で、ノイズは1/2サンプリング周波数( $f_s/2$ )までのすべての非基本波信号の和になります(DCを除く)。SINAD比はデジタル化プロセスの量子化レベル数に依存し、レベル数が多いほど、量子化ノイズが小さくなります。正弦波を入力した場合の理想のNビット・コンバータでのSINAD比の理論値は、次式で得られます。

$$\text{SINAD比} = (6.02N + 1.76)\text{dB}$$

これによると、12ビット・コンバータで74dB、10ビット・コンバータで62dBになります。

### 全高調波歪み (THD)

全高調波歪みは、高調波のrms値総和と基本波の比です。AD7440/AD7450Aの場合、次のようになります。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 $V_1$ は基本波のrms振幅、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は2次～6次高調波のrms振幅です。

### ピーク高調波 (スプリアス・ノイズ)

ピーク高調波 (スプリアス・ノイズ) は、ADC出力スペクトル内の2番目に大きい成分のrms値 (DCを除き、 $f_s/2$ まで) の基本波rms値に対する比です。通常、この仕様値はスペクトル内の最大の高調波によって決まりますが、高調波がノイズ・フロアに埋め込まれているADCの場合は、ノイズ・ピークになります。

### 相互変調歪み (IMD)

非線形性のアクティブ・デバイスに2つの周波数 $f_a$ および $f_b$ の正弦波を入力すると、和および差の周波数 $m f_a \pm n f_b$  ( $m$ および $n$ は、0、1、2、3など) で歪み成分が発生します。相互変調歪み項とは、この $m$ と $n$ が非ゼロの項をいいます。たとえば、2次項には  $(f_a + f_b)$  と  $(f_a - f_b)$  があり、3次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  があります。

AD7440/AD7450Aは、入力帯域幅の上限に近い2つの入力周波数を使うCCIF規格でテストされています。この場合、通常、2次項は元の正弦波の周波数から離れ、3次項は入力周波数に近い周波数になります。このため、2次項と3次項は別々の仕様になります。相互変調歪みの計算は、THDの仕様に従い、基本波の和のrms振幅に対する個々の歪み成分のrms総和の比になり、dBで表します。

### アパーチャ遅延

サンプリング・クロックの立上がりエッジから、ADCが実際にサンプルを行うまでに要する時間です。

### アパーチャ・ジッタ

実際のサンプル取得が行われる有効時点についてのサンプルごとの変動です。

### フルパワー帯域幅

ADCのフルパワー帯域幅とは、再構成された基本波の振幅がフルスケール入力に対して0.1dBまたは3dB低下する入力周波数です。

### コモン・モード除去比 (CMRR)

コモン・モード除去比とは、フルスケール周波数 $f$ でのADC出力の電力と、周波数 $f_s$ でのコモン・モード電圧 $V_{IN+}$ と $V_{IN-}$ に加えられた100mVp-pの正弦波の電力との比です。

$$\text{CMRR (dB)} = 10 \log (P_f / P_{f_s})$$

$P_f$ はADC出力における周波数 $f$ での電力、 $P_{f_s}$ はADC出力における周波数 $f_s$ での電力です。

### 積分非直線性 (INL)

ADC伝達関数の両端を結ぶ直線からの最大偏差です。

### 微分非直線性 (DNL)

ADCの2つの隣接コード間における1LSB変化の測定値と理想値の差です。

### ゼロ・コード誤差

ミッドスケール・コード遷移 (111...111から000...000) と理想値 $V_{IN+} - V_{IN-}$  (つまり、0LSB) との偏差です。

**正のゲイン誤差**

ゼロ・コード誤差を調整した後の、最後のコード遷移 (011...110から011...111) と理想値 $V_{IN+} - V_{IN-}$  (つまり、 $+V_{REF} - 1LSB$ ) との偏差です。

**負のゲイン誤差**

ゼロ・コード誤差を調整した後の、最初のコード遷移 (100...000から100...001) と理想値 $V_{IN+} - V_{IN-}$  (つまり、 $-V_{REF} + 1LSB$ ) との偏差です。

**トラック&ホールド・アクイジション時間**

トラック&ホールド・アンプがトラック・モードにとどまり、トラック&ホールド・アンプの出力が、印加された入力信号の0.5LSB以内に達してセトリングするまでに必要とする最小時間です。

**電源電圧変動除去比 (PSRR)**

電源電圧変動除去比は、フルスケール周波数 $f$ でのADC出力の電力と、周波数 $f_s$ のADC  $V_{DD}$ 電源に加えられる100mV<sub>p-p</sub>正弦波の電力との比です。この入力の周波数は、1kHz~1MHzの範囲で変動します。

$$PSRR \text{ (dB)} = 10 \log (P_f/P_{f_s})$$

$P_f$ はADC出力における周波数 $f$ での電力で、 $P_{f_s}$ はADC出力における周波数 $f_s$ での電力です。

# AD7440/AD7450A

## AD7440/AD7450A—代表的な性能特性

特に指定のない限り、 $T_A=25^\circ\text{C}$ 、 $f_S=1\text{MSPS}$ 、 $f_{\text{SCLK}}=18\text{MHz}$ 。

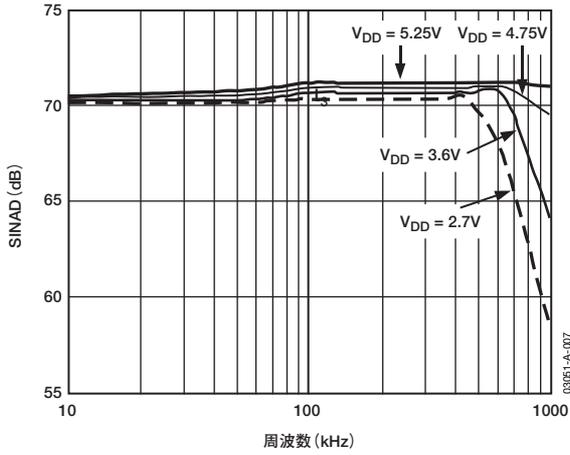


図7. さまざまな電源電圧でのAD7450Aのアナログ入力周波数対 SINAD

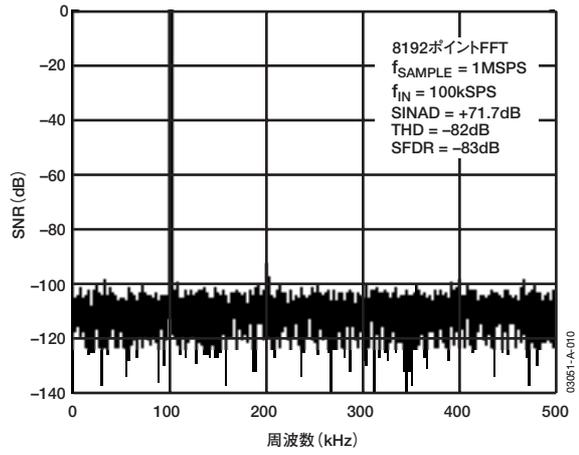


図10. AD7450Aの動的性能 ( $V_{DD}=5\text{V}$ )

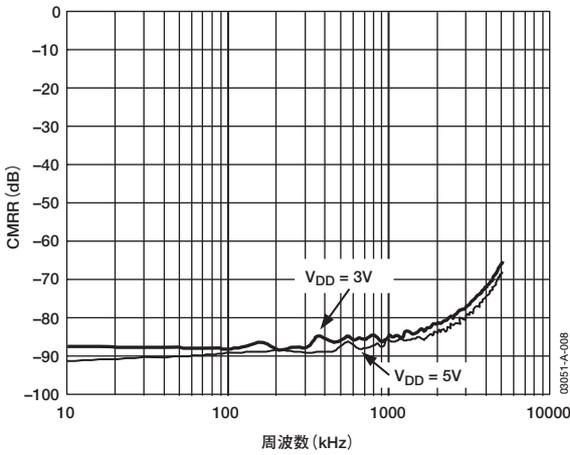


図8. CMRRの周波数特性 ( $V_{DD}=5\text{V}$ および $3\text{V}$ )

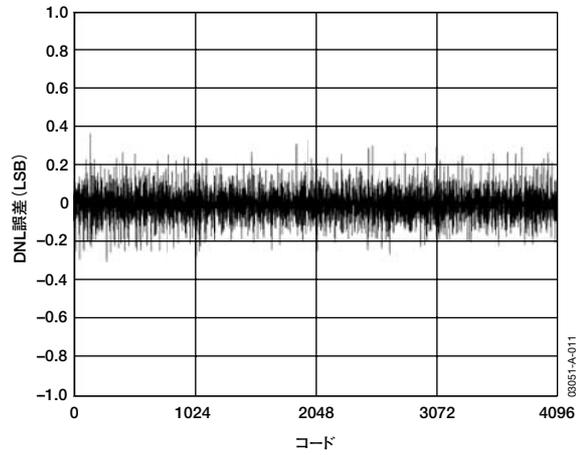


図11. AD7450Aの代表的なDNL ( $V_{DD}=5\text{V}$ )

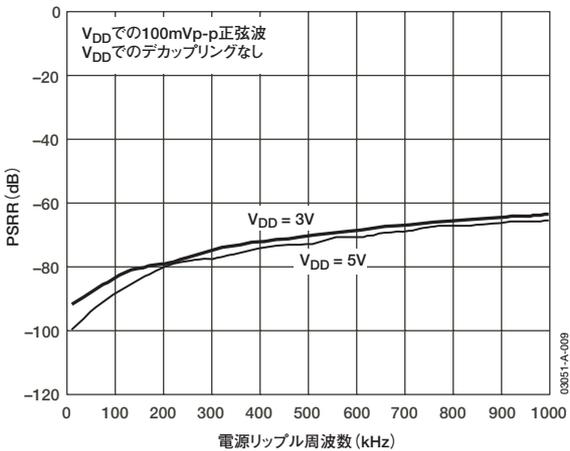


図9. 電源リップル周波数対 PSRR (電源デカップリングなし)

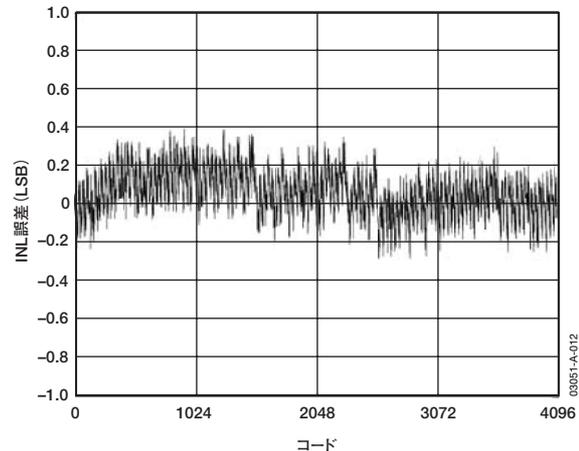


図12. AD7450Aの代表的なINL ( $V_{DD}=5\text{V}$ )

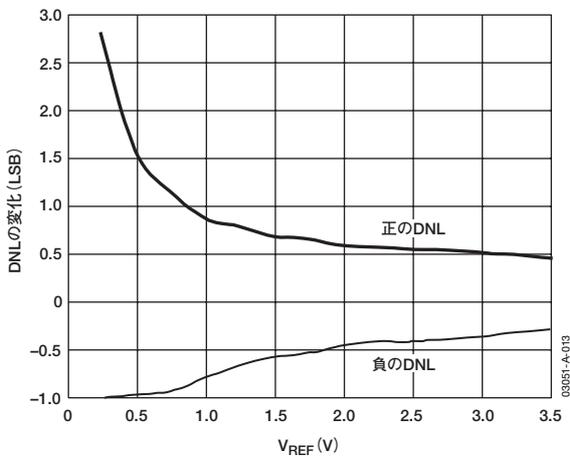


図13. AD7450Aの $V_{REF}$  対 DNLの変化 ( $V_{DD}=5V$ )

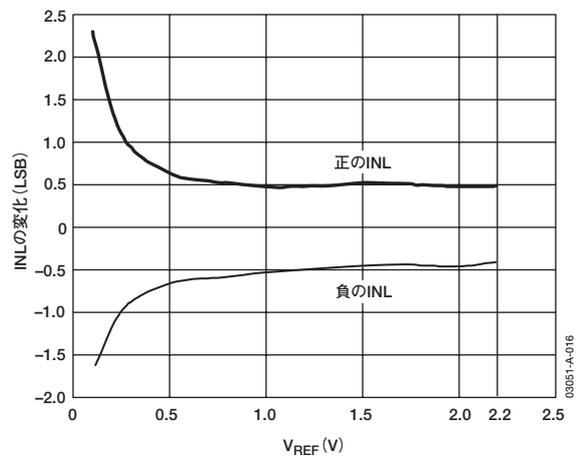


図16. AD7450Aの $V_{REF}$  対 INLの変化 ( $V_{DD}=3V$ )

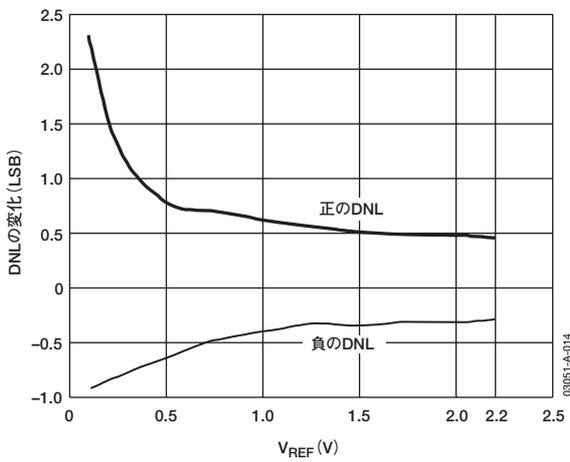


図14. AD7450Aの $V_{REF}$  対 DNLの変化 ( $V_{DD}=3V$ )

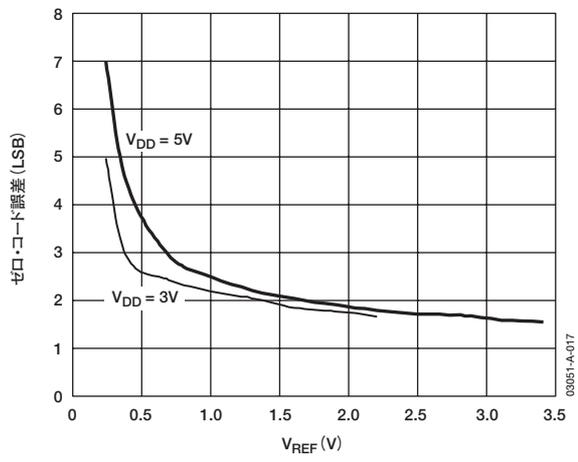


図17. AD7450Aのリファレンス電圧 対ゼロ・コード誤差の変化 ( $V_{DD}=5V$ および $3V$ )

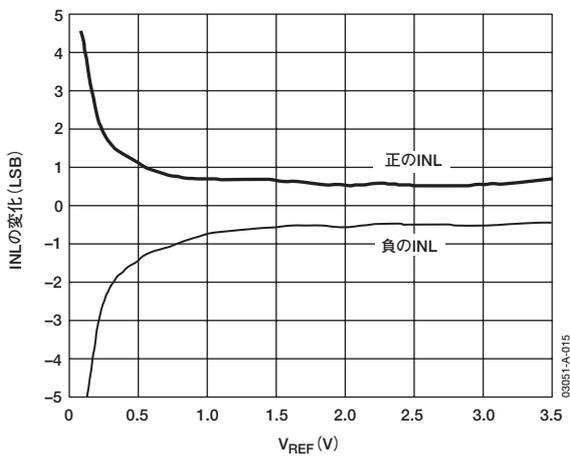


図15. AD7450Aの $V_{REF}$  対 INLの変化 ( $V_{DD}=5V$ )

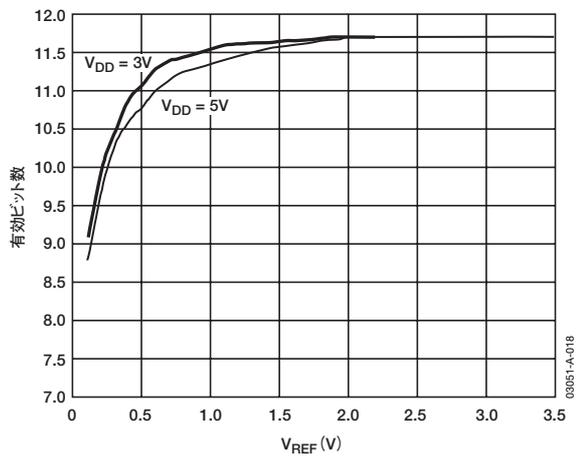


図18. AD7450Aのリファレンス電圧 対 ENOBの変化 ( $V_{DD}=5V$ および $3V$ )

# AD7440/AD7450A

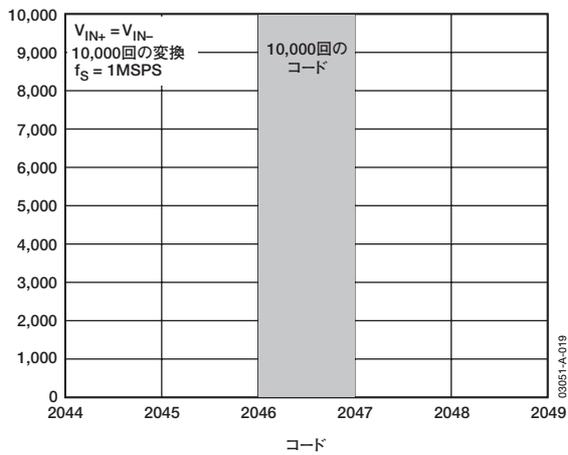


図19. AD7450AのDC入力の10,000回変換のヒストグラム ( $V_{DD}=5V$ )

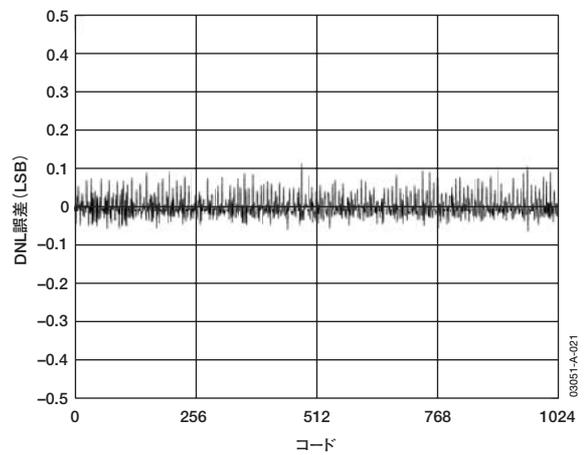


図21. AD7440の代表的なDNL ( $V_{DD}=5V$ )

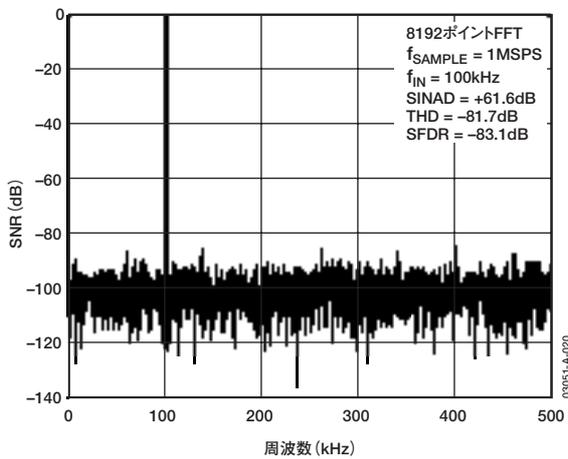


図20. AD7440の動的性能 ( $V_{DD}=5V$ )

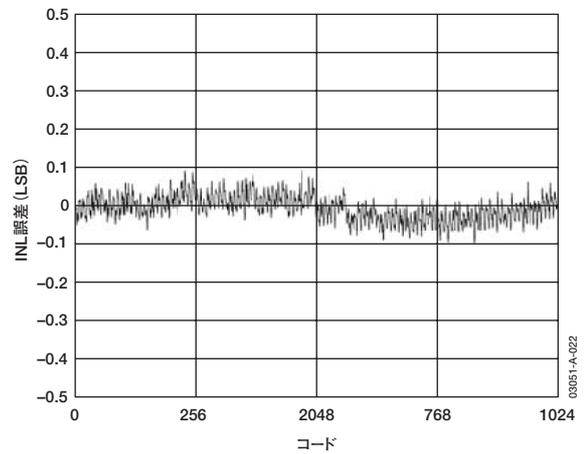


図22. AD7440の代表的なINL ( $V_{DD}=5V$ )

## 回路情報

AD7440/AD7450Aは、高速、低消費電力、単電源の10ビットおよび12ビットの逐次比較型A/Dコンバータ（SAR ADC）です。デバイスは5Vまたは3V電源で動作し、18MHzのSCLKによる最大スループット・レートは1MSPSです。外部リファレンス電圧を $V_{REF}$ ピンに入力する必要がありますが、リファレンス電圧値は電源とアプリケーションに応じて選択できます。

5V電源での動作の場合、入力できる最大リファレンス電圧は3.5Vです。3V電源では、2.2Vまでのリファレンス電圧を入力できます（「リファレンス」を参照）。

AD7440/AD7450Aは、8ピンのSOT-23またはMSOPパッケージを採用し、差動トラック&ホールド・アンプ、逐次比較型（SAR）ADC、シリアル・インターフェースを備えています。デバイスからのデータの読出しに使用するシリアル・クロック入力は、SAR ADCのクロック源にも使用されます。AD7440/AD7450Aには、変換と変換の間で消費電力を低減させるパワーダウン・オプションがあります。「動作モード」の項で説明しますが、パワーダウン機能は標準のシリアル・インターフェースを使って実行します。

### コンバータ動作

AD7440/AD7450Aは、2個の容量性DACをベースとするSAR ADCです。図23と図24に、アキュイジション・フェーズと変換フェーズのADCの簡略回路図を示します。ADCは、コントロール・ロジック、SAR、2個の容量性DACで構成されています。図23（アキュイジション・フェーズ）では、SW3が閉じ、SW1とSW2がポジションA、コンパレータが平衡状態にあり、サンプリング・コンデンサ・アレイが入力の差動信号を取得します。

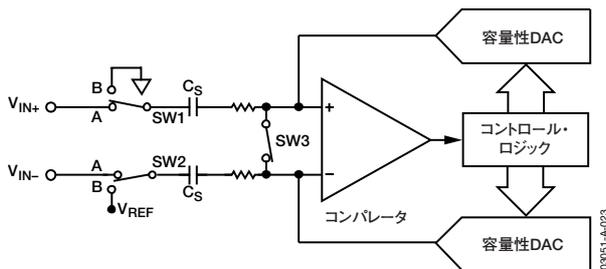


図23. ADCのアキュイジション・フェーズ

ADCが変換を開始すると（図24）、SW3が開き、SW1とSW2がポジションBに移動するため、コンパレータが不平衡状態になります。変換が始まると、2つの入力切り離されます。コントロール・ロジックと電荷再配分式DACを使用し、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算/減算することで、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックはADCの出力コードを生成します。 $V_{IN+}$ ピンと $V_{IN-}$ ピンを駆動する信号源の出力インピーダンスは一致しなければなりません。これが一致しないと、2つの入力でセトリング・タイムが異なり、誤差が生じます。

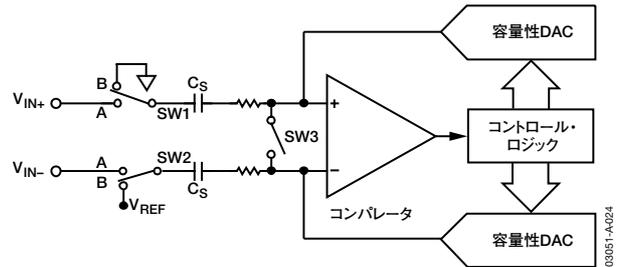


図24. ADCの変換フェーズ

### ADCの伝達関数

AD7440/AD7450Aの出力コーディングは2の補数です。設計されたコード遷移は連続したLSB値で発生します（1LSB、2LSB…と続く）。AD7450AのLSBサイズは $2 \times V_{REF}/4096$ であり、AD7440のLSBサイズは $2 \times V_{REF}/1024$ です。図25に、AD7440/AD7450Aの理想的な伝達特性を示します。

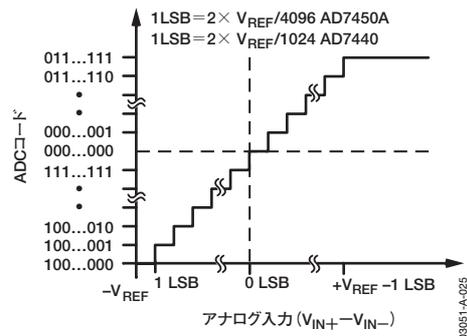


図25. AD7440/AD7450Aの理想的な伝達特性

# AD7440/AD7450A

## 代表的な接続図

図26に、5V電源および3V電源でのAD7440/AD7450Aの代表的な接続図を示します。この接続では、GNDピンはシステムのアナログ・グラウンド・プレーンに接続します。V<sub>REF</sub>ピンは、電源に応じて2.5Vまたは2Vのデカップリングされたリファレンス源に接続し、アナログ入力範囲を設定します。コモン・モード電圧は外部で用意する必要があり、その電圧は2つの入力の中心となる値にします。変換結果は16ビット・ワードで出力され、4つの先行ゼロに続いて12ビットまたは10ビット結果のMSBが来ます。AD7440の10ビット結果の後には、2つの末尾ゼロが続きます。差動入力の駆動とコモン・モード設定の詳細については、「差動入力の駆動」を参照してください。

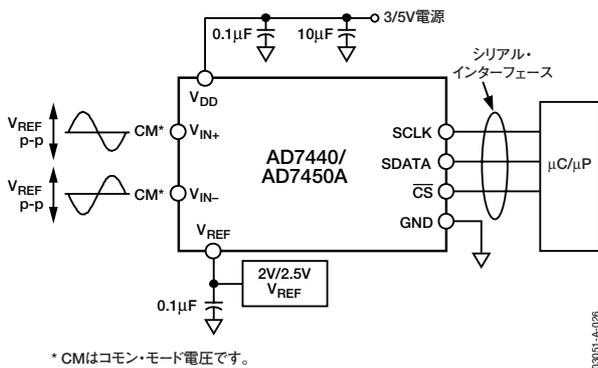


図26. 代表的な接続図

## アナログ入力

AD7440/AD7450Aのアナログ入力はフル差動です。差動信号には、デバイスの同相ノイズ除去比に基づくノイズ耐性、歪み性能の改善、対応ダイナミック・レンジの増倍、入力範囲とバイアス・ポイントの柔軟性など、シングルエンド信号に比べて多くの利点があります。図27に、AD7440/AD7450Aのフル差動アナログ入力の構成を示します。

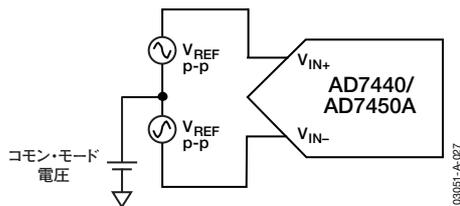


図27. 差動入力の構成

差動信号の振幅は、VIN+ピンとVIN-ピンに加えられた信号の差（すなわちVIN+ - VIN-）です。VIN+とVIN-は、それぞれ振幅がV<sub>REF</sub>で位相差が180度の2つの信号で同時に駆動されます。したがって、差動信号の振幅は-V<sub>REF</sub> ~ +V<sub>REF</sub> P-P（すなわち2 × V<sub>REF</sub>）になります。これはコモン・モード（CM）に無関係です。

コモン・モードは、2つの信号の平均値つまり(V<sub>IN+</sub> + V<sub>IN-</sub>)/2であるため、2つの入力の中心になる電圧になります。このため、各入力のスパンはCM ± V<sub>REF</sub>/2となります。この電圧は外部で設定する必要があり、その範囲はV<sub>REF</sub>によって変化します。V<sub>REF</sub>の値が大きくなると、コモン・モード電圧範囲が小さくなります。アンプで入力を駆動するときには、実際のコモン・モード電圧範囲はアンプの出力電圧振幅によって決まります。

図28と図29に、5V電源時と3V電源時にコモン・モード電圧範囲がV<sub>REF</sub>によって変化する様子を示します。AD7440/AD7450Aの機能を保証するには、コモン・モードはこの範囲内でなければなりません。

使いやすくするため、コモン・モードをV<sub>REF</sub>に等しい値に設定することができます。この場合、差動信号はV<sub>REF</sub> ± V<sub>REF</sub>になります。

変換が行われると、同相ノイズが除去されて、振幅が-V<sub>REF</sub> ~ +V<sub>REF</sub>のほとんどノイズのない信号が得られます。この振幅は、AD7450Aではデジタル・コード0~4096に、AD7440では0~1024に対応します。

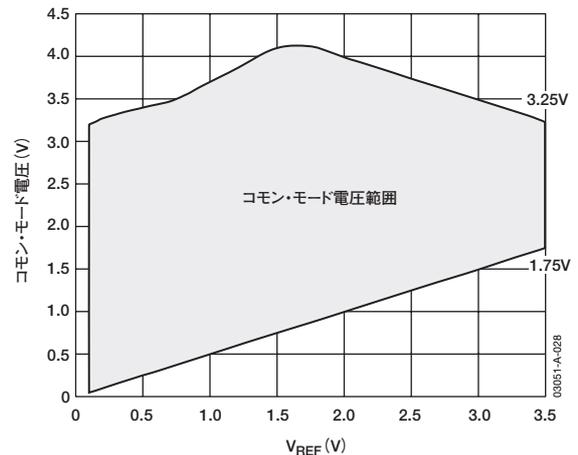


図28. V<sub>REF</sub> 対 入力コモン・モード電圧範囲 (V<sub>DD</sub>=5V、V<sub>REF</sub> (max) =3.5V)

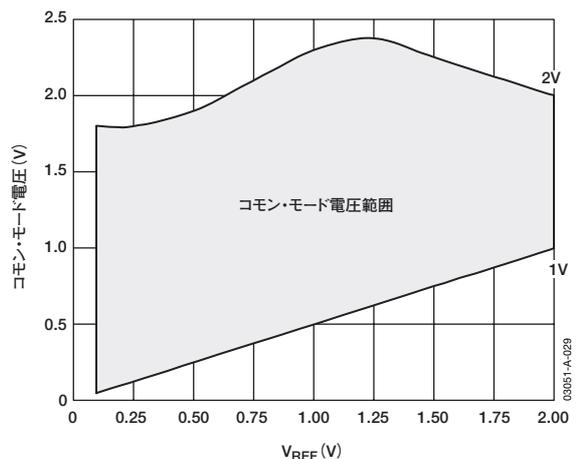


図29. V<sub>REF</sub> 対 入力コモン・モード電圧範囲 (V<sub>DD</sub>=3V、V<sub>REF</sub> (max) =2V)

図30に、 $V_{DD}=5V$ の場合について、さまざまな $V_{REF}$ 値に対する $V_{IN+}$ と $V_{IN-}$ への入力例を示します。また、図28に基づいて、リファレンス値ごとの最大と最小のコモン・モード電圧も示します。

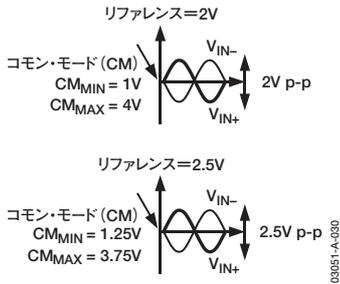


図30.  $V_{DD}=5V$ における、さまざまな $V_{REF}$ 値に対する $V_{IN+}$ と $V_{IN-}$ へのアナログ入力例

### アナログ入力構造

図31に、AD7440/AD7450Aのアナログ入力構造の等価回路を示します。4個のダイオードがアナログ入力に対するESD保護機能を提供します。アナログ入力信号が電源レールより300mV超えないように注意してください。この値を超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。ダイオードがデバイスに修復不能な損傷を与えずに許容できる最大電流は10mAです。図31のコンデンサC1は標準で4pFで、主にピン容量に起因します。抵抗は、スイッチのオン抵抗を含みます。これらの抵抗の値は、標準で約100Ωです。コンデンサC2は、ADCのサンプリング・コンデンサで、標準で16pFの容量があります。

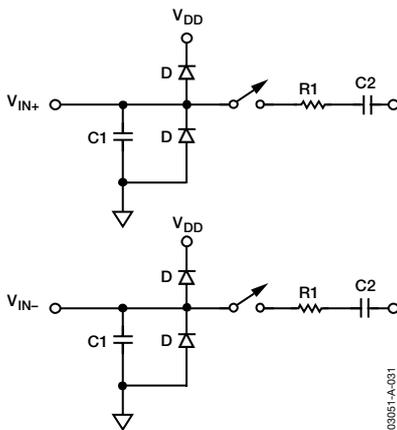


図31. 等価アナログ入力回路（変換フェーズスイッチ開、トラック・フェーズスイッチ閉）

ACアプリケーションの場合は、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することを推奨します。高調波歪みやS/N比が重要なアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動してください。ソース・インピーダンスが大きいと、ADCのAC性能に大きな影響を及ぼします。このため、入力バッファ・アンプが必要になることもあります。オペアンプの選択は、アプリケーションによって異なります。

アンプを使用せずにアナログ入力を駆動するときは、ソース・インピーダンスを低い値にする必要があります。最大ソース・インピーダンスは、許容可能な全高調波歪み（THD）の大きさに依存します。ソース・インピーダンスが増加するとTHDが大きくなり、性能が低下します。図32に、 $V_{DD}=5V$ のときのさまざまなソース・インピーダンスでのTHDとアナログ入力信号周波数の関係を示します。

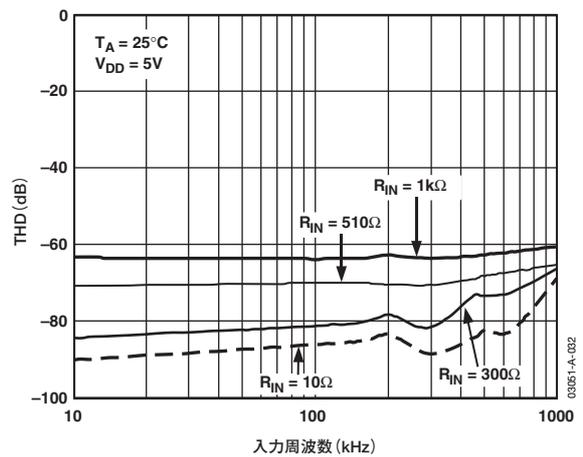


図32. さまざまなソース・インピーダンスでのアナログ入力周波数 対 THD ( $V_{DD}=5V$ )

図33に、18MHzのSCLKによって1MSPSでサンプリングする際に、 $5V \pm 5\%$ と $3V + 20\% - 10\%$ の $V_{DD}$ に対するTHDとアナログ入力周波数の関係を示します。この場合、ソース・インピーダンスは10Ωです。

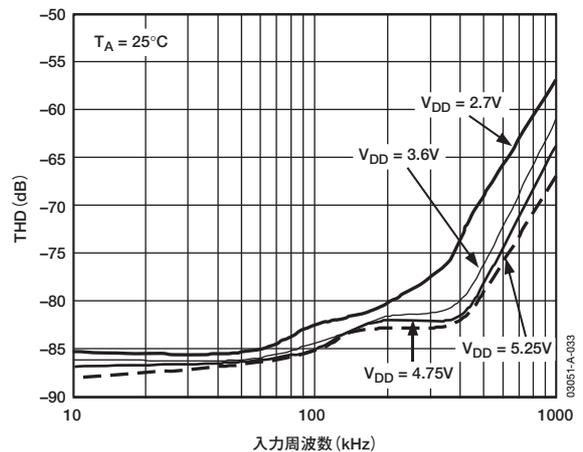


図33. アナログ入力周波数 対 THD ( $V_{DD}=3V$ および $5V$ )

# AD7440/AD7450A

## 差動入力への駆動

差動動作では、 $V_{IN+}$ と $V_{IN-}$ を、180度位相がずれている2つの等しい信号で同時に駆動する必要があります。コモン・モードは外部で設定する必要があり、その範囲は $V_{REF}$ 、電源、アナログ入力への駆動に使用する特定のアンプにより決まります（図28と図29を参照）。AC結合入力またはDC結合入力のどちらでも、差動動作モードは広い周波数範囲にわたって最適なTHD性能を提供します。アプリケーションによっては信号を差動動作にあらかじめ調整していないものもあるため、シングルエンドから差動への変換が必要になることもあります。

## 差動アンプ

AD7440/AD7450Aを差動駆動する理想的な方法は、AD8138のような差動アンプを使うことです。AD8138は、シングルエンド/差動変換アンプまたは差動/差動アンプとして使うことができます。いずれの場合でも、アナログ入力はバイポーラでなければなりません。また、コモン・モード・レベルのシフト機能とバイポーラ入力信号のバッファ機能もあります。図34に、AD8138をシングルエンド/差動変換アンプとして使用方法を示します。AD8138の正側と負側の出力を、ADCのフロン

トエンドにおける容量成分のスイッチングの影響を最小化するために1対の直列抵抗を介して、ADCのそれぞれの入力に接続します。ACアプリケーションではアナログ入力の高周波成分を除去するため、各アナログ入力にRCローパス・フィルタを使用することを推奨します。AD8138のアーキテクチャにより、厳密に一致した外付け部品を使用しなくても、広い周波数範囲できわめて優れた平衡を持つ出力が得られます。

使用するアナログ入力ソースがゼロ・インピーダンスの場合、4個のすべての抵抗（ $R_{G1}$ 、 $R_{G2}$ 、 $R_{F1}$ 、 $R_{F2}$ ）を同じ値にする必要があります。例えば、ソースに $50\Omega$ のインピーダンスと $50\Omega$ の終端がある場合、入力でのパラレル・インピーダンスをバランスさせて、正側と負側のアナログ入力に同じゲインを持たせるために、 $R_{G2}$ の値を $25\Omega$ だけ大きくする必要があります（図15）。アンプの出力は完全に一致した同一の振幅を持つ平衡差動出力になり、位相が正確に180度ずれたものになります。

AD8138は+3V、+5V、±5Vの電源で仕様規定されていますが、±5V電源のときに最適な結果が得られます。AD8138と特性は少し異なっていますが、同様の性能と動作を備え、この構成で使用できる低価格品としては、AD8132があります。

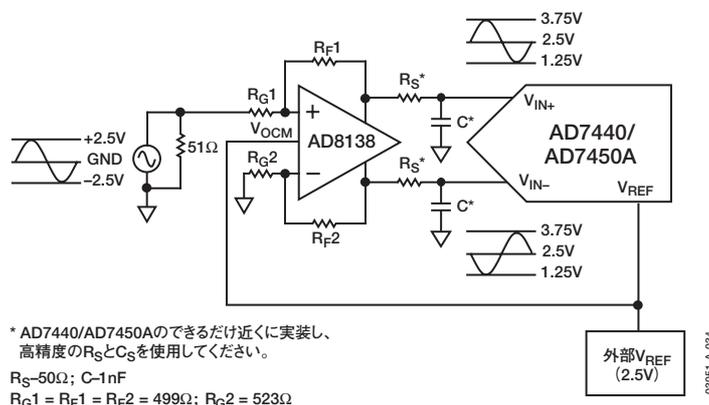


図34. AD8138をシングルエンド/差動変換アンプとして使用する場合

## オペアンプ・ペア

オペアンプ・ペアを使って、差動信号をAD7440/AD7450Aに直接接続することができます。図35と図36の回路構成で、それぞれバイポーラ入力信号とユニポーラ入力信号について、デュアル・オペアンプを使ってシングルエンド信号を差動信号に変換する方法を示します。

ポイントAに入力される電圧がコモン・モード電圧を設定します。この2つの図では、コモン・モード電圧が何らかの方法でリファレンス電圧に接続されていますが、コモン・モード電圧範囲内の任意の値をここに入力してコモン・モードを設定することができます。この構成でAD7440/AD7450Aを差動駆動するのに最適なデュアル・オペアンプとしては、AD8022があります。

必要な電源とシステムの性能目標に応じて、オペアンプの選択は注意する必要があります。図35と図36のドライブ回路は、最適な歪み性能を必要とするDC結合アプリケーション用に最適化されています。

図35に示す回路構成では、ユニポーラのシングルエンド信号を差動信号に変換します。

図36の差動オペアンプ・ドライブ回路は、シングルエンドでグラウンド・リファレンス電圧の信号（バイポーラ）を、ADCの $V_{REF}$ レベルを中心とする差動信号に変換し、レベル・シフトするように構成されています。

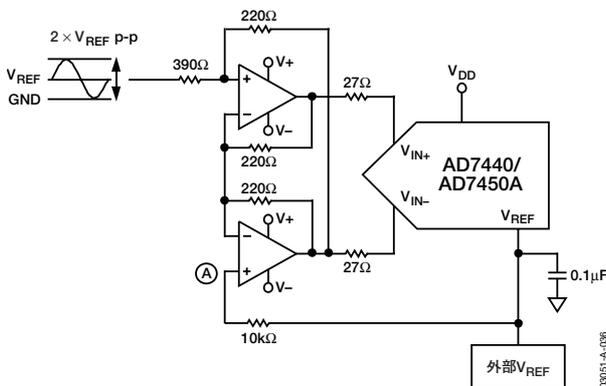


図35. シングルエンド・ユニポーラ信号を差動信号に変換するデュアル・オペアンプ回路

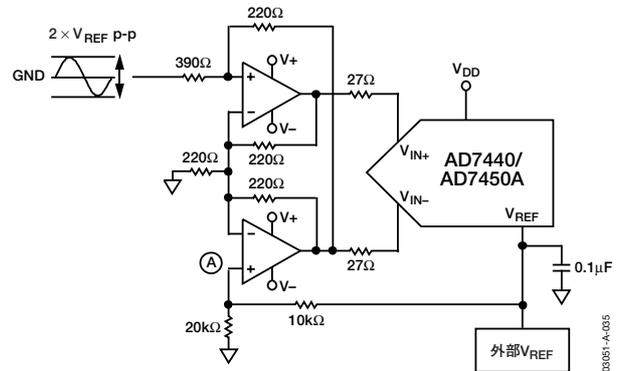


図36. シングルエンド・ユニポーラ信号を差動信号に変換するデュアル・オペアンプ回路

## RFトランス

DC結合を必要としないシステムでは、差動入力を生成するためにセンター・タップ付きのRFトランスが適しています。図17に、トランスを使用してシングルエンドから差動に変換する方法を示します。この方法には、ノイズや歪みを加えることなく、ADCを差動モードで動作できるという利点があります。RFトランスには、信号源とADCとの間に電氣的に分離するという長所もあります。トランスは、ほとんどのACアプリケーションで使用できます。センター・タップを使って、差動信号を必要なコモン・モード・レベルまでシフトします。この場合センター・タップをリファレンスに接続するため、コモン・モード・レベルはリファレンス電圧値になります。

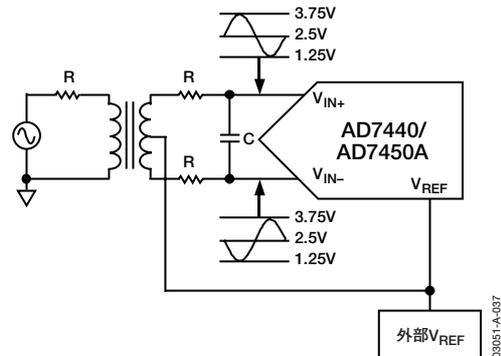


図37. RFトランスによる差動入力の生成



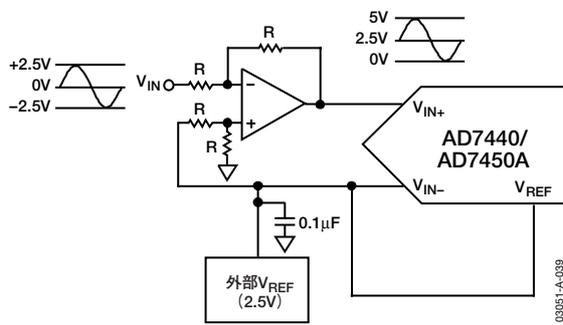


図39. AD7440/AD7450Aへのバイポーラ・シングルエンド入力

### シリアル・インターフェース

図2と図3に、それぞれAD7450AとAD7440のシリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックが変換クロックを提供し、変換時にデバイスからのデータの転送も制御します。CSで変換プロセスが開始し、データ転送をフレーミングします。

$\overline{\text{CS}}$ の立下がりエッジでトラック&ホールドがホールド・モードになり、バスがスリーステートから抜け出します。この時点で、アナログ入力をサンプリングし、変換を開始します。変換完了には、SCLKで16サイクル必要です。

13個のSCLK立下がりエッジが経過すると、トラック&ホールドが次のSCLKの立上がりエッジでトラック状態に戻ります(図2と図3のポイントB)。SCLKの16番目の立下がりエッジで、SDATAラインがスリーステートに戻ります。SCLKの16サイクルが経過する前にCSの立上がりエッジが発生すると、変換が中止され、SDATAラインがスリーステートに戻ります。

AD7440/AD7450Aの変換結果は、シリアル・データ・ストリームでSDATA出力から得られます。SCLK入力の立下がりエッジでビットをクロック出力します。AD7450Aのデータ・ストリームは、4つの先行ゼロと、それに続く12ビットの変換データ(MSBファースト)で構成されます。AD7440のデータ・ストリームは、4つの先行ゼロと、それに続く10ビットの変換データ(MSBファースト)と2つの末尾ゼロで構成されます。いずれの場合も、出力コーディングは2の補数です。

変換を完了してAD7440/AD7450Aの変換結果にアクセスするには、シリアル・クロックで16サイクルが必要です。 $\overline{\text{CS}}$ がローレベルになると、マイクロコントローラやDSPによって最初の先行ゼロが読み出せるようになります。次に、後続のSCLK立下がりエッジで、2番目の先行ゼロから残りのデータをクロック出力します。シリアル・クロックの最初の立下がりエッジが、2番目の先行ゼロを出力することになります。前の(15番目の)立下がりエッジで出力されていたデータ転送の最終ビットは、16番目の立下がりエッジで有効になります。変換が完了し、16クロック・サイクル後にデータのアクセスが行われた後は、次の変換を開始する前に、規定のアクイジション時間と静止時間を満たすために十分な時間を空けることが重要です(「タイミング例」の1と2を参照)。 $V_{\text{DD}}=3\text{V}$ と5Vで18MHzのクロックによって1MSPSを実現するには、18クロック・バーストで変換を行い、アクイジション時間と静止時間のために十分な時間を確保した後次に次の変換を開始します。

低速のSCLKを使用するアプリケーションでは、各SCLKの立上がりエッジでデータを読み出すことができます。つまり、 $\overline{\text{CS}}$ の立下がりエッジ後の最初のSCLK立上がりエッジで先行ゼロを、15番目のSCLKエッジでDB0を読み出すことができます。

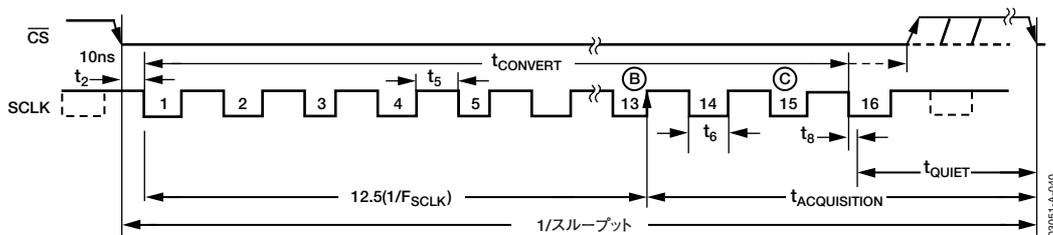


図40. シリアル・インターフェースのタイミング例

# AD7440/AD7450A

## タイミング例1

$F_{SCLK}=18\text{MHz}$ でスループット・レート=1MSPSのとき、サイクル・タイムは次のようになります。

$$1/\text{スループット}=1/1,000,000=1\mu\text{s}$$

1サイクルは次の時間で構成されます。

$$t_2+12.5(1/F_{SCLK})+t_{ACQ}=1\mu\text{s}$$

したがって、 $t_2=10\text{ns}$ の場合は、次のようになります。

$$10\text{ns}+12.5(1/18\text{MHz})+t_{ACQ}=1\mu\text{s}$$

$$t_{ACQ}=296\text{ns}$$

296nsという値は、 $t_{ACQ}$ で290nsの条件を満たします。

図40より、 $t_{ACQ}$ は次のようになります。

$$2.5(1/F_{SCLK})+t_8+t_{QUIET}$$

ここで、 $t_8=35\text{ns}$ です。これにより、 $t_{QUIET}$ の値として122nsが得られ、60nsの最小条件を満たすこととなります。

## タイミング例2

$F_{SCLK}=5\text{MHz}$ でスループット・レート=315kSPSのとき、サイクル・タイムは次のようになります。

$$1/\text{スループット}=1/315,000=3.174\mu\text{s}$$

1サイクルは次の時間で構成されます。

$$t_2+12.5(1/F_{SCLK})+t_{ACQ}=3.174\mu\text{s}$$

したがって、 $t_2=10\text{ns}$ の場合は、次のようになります。

$$10\text{ns}+12.5(1/5\text{MHz})+t_{ACQ}=3.174\mu\text{s}$$

$$t_{ACQ}=664\text{ns}$$

664nsという値は、 $t_{ACQ}$ で290nsの条件を満たします。

図40より、 $t_{ACQ}$ は次のようになります。

$$2.5(1/F_{SCLK})+t_8+t_{QUIET}$$

ここで、 $t_8=35\text{ns}$ です。これにより、 $t_{QUIET}$ の値として129nsが得られ、60nsの最小条件を満たすこととなります。

この例やその他の低速クロック値の場合、変換が完了する前に信号を取得しておくことができますが、変換と変換の間には最小60nsの $t_{QUIET}$ が必要です。タイミング例2では、信号は図40のポイントCあたりで完全に取得されます。

## 動作モード

AD7440/AD7450Aの動作モードは、変換時に $\overline{CS}$ 信号のロジック状態を制御して選択します。動作モードには、ノーマルとパワーダウンの2つがあります。変換開始後に $\overline{CS}$ がハイレベルになるポイントで、AD7440/AD7450Aがパワーダウン・モードになるかどうかが決まります。また、すでにパワーダウン・モードになっている場合も、 $\overline{CS}$ によってノーマル動作に戻るか、パワーダウン・モードにとどまるかを制御します。この2つの動作モードから、柔軟なパワーマネジメント・オプションが得られます。これらのオプションを選ぶことで、さまざまなアプリケーションの要求に最適な消費電力/スループット・レート比を選択できます。

### ノーマル・モード

最高のスループット・レート性能を得るためのモードです。AD7440/AD7450Aは常時フルパワーアップ状態にとどまるため、パワーアップ時間を気にする必要はありません。図41に、このモードでのAD7440/AD7450Aの一般的な動作図を示します。「シリアル・インターフェース」の項で説明したように、 $\overline{CS}$ の立下がりエッジで変換を開始します。デバイスを常時パワーアップさせておくには、 $\overline{CS}$ の立下がりエッジの後、少なくとも10個のSCLK立下がりエッジが経過するまで $\overline{CS}$ をローレベルに維持しておく必要があります。

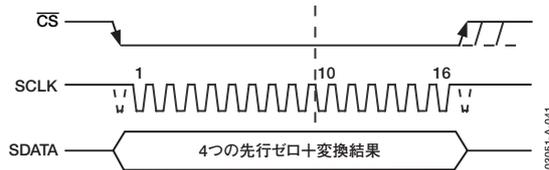


図41. ノーマル・モード動作

10番目のSCLK立下がりエッジから16番目のSCLK立下がりエッジまでの任意のタイミングで $\overline{CS}$ をハイレベルにすると、デバイスはパワーアップ状態のままですが、変換が終了して、SDATAがスリーステートに戻ります。変換を完了して完全な変換結果にアクセスするには、シリアル・クロックで16サイクルが必要です。 $\overline{CS}$ は、次の変換までアイドルのハイレベルを維持するか、次の変換の前の一定の時点までアイドルのローレベルにすることができます。データ転送が完了して、SDATAがスリーステートに戻った後は、静止時間 $t_{\text{QUIET}}$ の経過後に $\overline{CS}$ を再度ローレベルにして、次の変換を開始することができます。

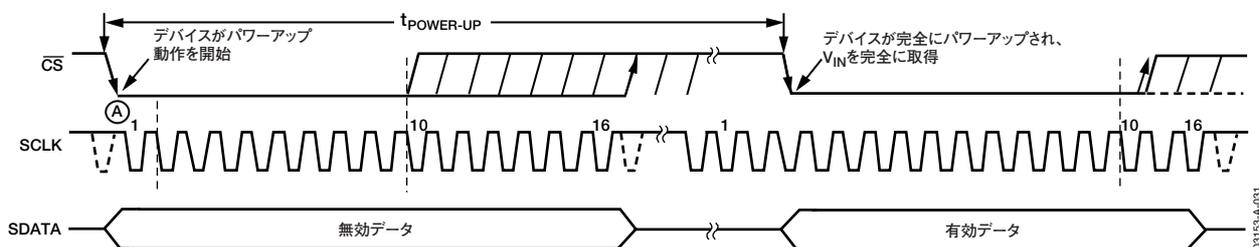


図43. パワーダウン・モードの終了

### パワーダウン・モード

このモードは、低スループット・レートが必要なアプリケーションでの使用を目的としています。各変換の間にADCをパワーダウンしたり、一連の変換を高スループット・レートで実行した後、このような変換と変換の間に比較的長時間にわたってADCをパワーダウンします。AD7440/AD7450Aがパワーダウン・モードになると、全アナログ回路がパワーダウンします。パワーダウン・モードにするには、図42に示すように、SCLKの2番目の立下がりエッジからSCLKの10番目の立下がりエッジまでの任意の時点で、 $\overline{CS}$ をハイレベルにして変換プロセスを中断させる必要があります。

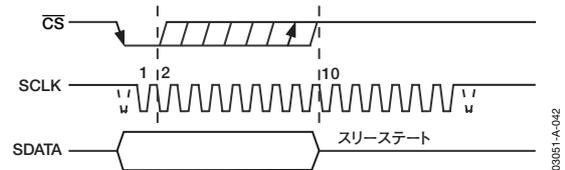


図42. パワーダウン・モードへの移行

SCLKのこのウインドウ内で $\overline{CS}$ をハイレベルにすると、デバイスがパワーダウン状態に入り、 $\overline{CS}$ の立下がりエッジで開始した変換を終了し、SDATAがスリーステートに戻ります。 $\overline{CS}$ の立下がりエッジからSDATAスリーステート・イネーブルまでの時間は、 $t_8$ を超えることはできません（「タイミング仕様」を参照）。SCLKの2番目の立下がりエッジの前に $\overline{CS}$ がハイレベルになっても、デバイスはノーマル・モードのままです、パワーダウンしません。この機能によって、 $\overline{CS}$ ラインのグリッチによって偶発的にパワーダウンが生じるのを防ぎます。

この動作モードを終了してAD7440/AD7450Aを再度パワーアップするために、ダミー変換を実行します。 $\overline{CS}$ の立下がりエッジでパワーアップを開始し、 $\overline{CS}$ がローレベルになっている間パワーアップを続け、SCLKの10番目の立下がりエッジで終了します。デバイスは1 $\mu$ s経過後に完全にパワーアップし、図43に示すように、次の変換から有効なデータが得られます。

## AD7440/AD7450A

SCLKの10番目の立下がりエッジの前に $\overline{CS}$ がハイレベルになると、AD7440/AD7450Aは再びパワーダウン・モードに戻ります。これにより、 $\overline{CS}$ ラインのグリッチや、 $\overline{CS}$ がローレベルのときの8サイクルのSCLKによって偶発的にパワーアップするのを防ぎます。このため、デバイスは $\overline{CS}$ の立下がりエッジでパワーアップを開始できますが、SCLKの10番目の立下がりエッジの前に $\overline{CS}$ の立上がりエッジが発生すると、再びパワーダウン状態に戻ります。

### パワーアップ時間

AD7440/AD7450Aのパワーアップ時間は $1\mu\text{s}$  (typ)です。18MHzまでの任意のSCLK周波数で、1ダミー・サイクルさえあればデバイスがパワーアップできることになります。ダミー・サイクルが完了すると、ADCはフルパワーアップし、正常な入力信号を取り込むことができます。この場合も、ダミー変換後にバスがスリーステートに戻った時点から $\overline{CS}$ の次の立下がりエッジまで、静止時間 $t_{\text{QUIET}}$ が必要です。

1MSPSの最大スループット・レートでの動作時、AD7440/AD7450Aは、1ダミー・サイクルつまり $1\mu\text{s}$ でパワーアップして $\pm 0.5\text{LSB}$ の範囲内で信号を取得します。1ダミー・サイクルでパワーダウン・モードからパワーアップするとき (図43)、デバイスのパワーダウン中はホールド・モードにあったトラック&ホールドが、 $\overline{CS}$ の立下がりエッジ後にデバイスが受け取る最初のSCLKエッジの後でトラック・モードに戻ります。これを図43のポイントAに示します。

任意のSCLK周波数でデバイスをパワーアップさせて $V_{\text{IN}}$ を入力するにはダミー・サイクル1つで十分ですが、必ずしも16 SCLKというフルのダミー・サイクルがないとデバイスをパワーアップして $V_{\text{IN}}$ を完全に得られないというわけではありません。デバイスのパワーアップと入力信号の取得には $1\mu\text{s}$ で十分です。

たとえば、5MHzのSCLK周波数をADCに入力する場合、サイクル・タイムは $3.2\mu\text{s}$  (つまり、 $1/(5\text{MHz}) \times 16$ ) になります。 $3.2\mu\text{s}$ の1ダミー・サイクルで、デバイスはパワーアップして $V_{\text{IN}}$ を完全に入力します。ただし、5MHzのSCLKでは $1\mu\text{s}$ 後に、SCLKの5サイクル分しか経過していません。この時点でも、ADCは完全にパワーアップして信号が取得できます。したがって、この場合は、10番目のSCLKの立下がりエッジの後に $\overline{CS}$ をハイレベルにし、さらに $t_{\text{QUIET}}$ 経過後に再度ローレベルにして、変換を開始します。

最初にAD7440/AD7450Aに電源を供給するとき、パワーダウン・モードかノーマル・モードのいずれかでADCがパワーアップします。このため、デバイスが完全にパワーアップしてから有効な変換を開始できるように、1ダミー・サイクルを経過させることを推奨します。同様に、デバイスをパワーダウン・モードでパワーアップする場合も、図42に示すようなサイクルを実行することで、ダミー・サイクルを使ってデバイスを確実にパワーダウン・モードにできます。

AD7440/AD7450Aに電源を供給した後のパワーアップ時間は、パワーダウン・モードからのパワーアップ時と同じです。デバイスがノーマル・モードで完全にパワーアップする場合は、約 $1\mu\text{s}$ 必要です。希望する動作モードにするためのダミー・サイクルは、 $1\mu\text{s}$ 待つてから行う必要はありません。ADCに電源を入れた直後にダミー・サイクルを発生させることができます。ダミー変換の直後に最初の有効な変換を実行する場合は、十分なアクイジション時間を確保できるように注意してください。

前述のように、パワーダウン・モードからパワーアップする際には、デバイスは、 $\overline{CS}$ の立下がりエッジの後に入力された最初のSCLKエッジでトラック・モードに戻ります。ただし、電源を入れた後初めてADCがパワーアップする際は、トラック&ホールドはすでにトラック・モードになっています。つまり、ADCが希望の動作モードでパワーアップしたため、モードの変更にダミー・サイクルが不要な場合は、トラック&ホールドをトラック・モードにするためのダミー・サイクルも不要ということになります (ADCの電源電流をモニタできることを前提としています)。

### 消費電力とスループット・レートの関係

変換しないときにAD7440/AD7450Aをパワーダウン・モードにしておけば、低いスループット・レートでADCの平均消費電力が低減します。図44は、スループット・レートを減少させると、それだけデバイスがパワーダウン状態にとどまる時間が長くなり、その結果、平均消費電力が減少することを示しています (5Vおよび3Vの電源時)。

たとえば、AD7440/AD7450Aが連続サンプリング・モードで、スループット・レート=100kSPS、SCLK=18MHzで、変換と変換の間にパワーダウン・モードになる場合、消費電力は次のようになります。

$$\begin{aligned} \text{ノーマル動作時の消費電力} &= 9.25\text{mW (max)} \\ & (\text{V}_{\text{DD}}=5\text{Vの場合}) \end{aligned}$$

パワーアップ時間が1ダミー・サイクル ( $1\mu\text{s}$ ) で、残りの変換時間が別のサイクル ( $1\mu\text{s}$ ) になる場合、AD7440/AD7450Aは各変換サイクル中の $2\mu\text{s}^1$ の間に $9.25\text{mW}$ を消費することになります。

スループット・レートが100kSPSの場合は、サイクル・タイムは $10\mu\text{s}$ となり、各サイクルの平均消費電力は、次のようになります。

$$(2/10) \times 9.25\text{mW} = 1.85\text{mW}$$

同様に、 $V_{\text{DD}}=3\text{V}$ の場合、ノーマル動作時の最大消費電力は $4\text{mW}$ になります。

このことから、AD7440/AD7450Aは各変換サイクル中の $2\mu\text{s}^1$ の間に $4\text{mW}$ を浪費することになります。

<sup>1</sup> この数値は、パワーダウン・モードに入るための時間がきわめて短いことを前提にしています。パワーダウン・モードに入るために使用するクロックのバーストが長くなると、この数値も大きくなります。

したがって、スループット・レート=100kSPSでの各サイクルの平均消費電力は、次のようになります。

$$(2/10) \times 4\text{mW} = 0.8\text{mW}$$

図44に示す消費電力は、このようにして計算した値です。

320kSPSを上回るスループット・レートでは、最適な消費電力性能を得るためにシリアル・クロック周波数を下げることが推奨されます。

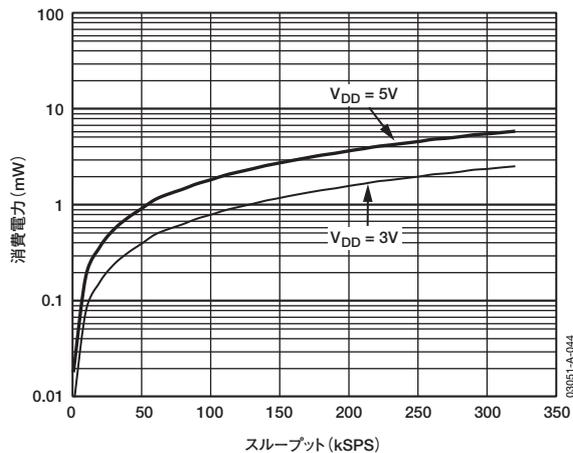


図44. スループット・レート対  
パワーダウン・モードでの電力

## マイクロプロセッサおよびDSPとの インターフェース

AD7440/AD7450A内蔵のシリアル・インターフェースを使えば、さまざまな種類のマイクロプロセッサに直接接続することができます。ここでは、いくつかの一般的なマイクロコントローラやDSPのシリアル・インターフェース・プロトコルとAD7440/AD7450Aをインターフェースさせる方法について説明します。

**AD7440/AD7450AとADSP-21xxとのインターフェース**  
ADSP-21xxファミリーのDSPは、グルーロジックなしで直接AD7440/AD7450Aにインターフェースできます。

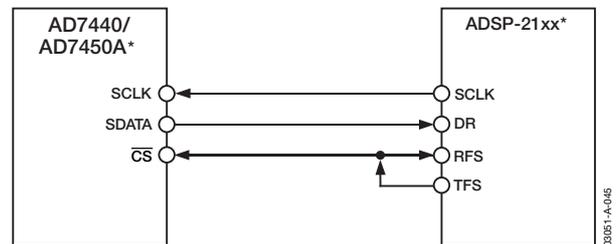
SPORT制御レジスタを次のように設定します。

TFSW=RFSW=1、オルタネート・フレーミング  
INVRFS=INVTFS=1、アクティブ・ロー・フレーム信号  
DTYPE=00、データ右揃え  
SLEN=1111、16ビット・データワード  
ISCLK=1、内部シリアル・クロック  
TFSR=RFSR=1、ワードごとのフレーム  
IRFS=0  
ITFS=1

パワーダウン・モードにするときは、SLENを1001に設定して8ビットのSCLKバーストを発生させます。

接続図を図45に示します。ADSP-21xxでは、SPORTのTFSとRFSを接続し、TFSを出力、RFSを入力に設定します。DSPをオルタネート・フレーミング・モードで動作させ、SPORT制御レジスタを上記のように設定します。TFSで発生するフレーム同期化信号をCSに接続し、すべての信号処理アプリケーションでそうであるように、等間隔サンプリングを行う必要があります。ただし、この例では、タイマ割込みを使ってADCのサンプリング・レートを制御するため、場合によっては等間隔サンプリングにならないことがあります。

タイマ・レジスタなどには、必要なサンプル間隔で割込みを発生させる値が書き込まれます。割込みを受け付けると、TFS/DT (ADC制御ワード)と一緒に値を転送します。TFSを使用し、RFS、つまりデータの読み出しを制御します。シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSと一緒に送信する命令が与えられると (AX0=TX0)、SCLKの状態をチェックします。SCLKがハイレベル、ローレベル、ハイレベルに変化するのを待ってから、DSPが送信を開始します。送信命令がSCLKの立上がりエッジまたはその近くで発生するようにタイマとSCLKの値が設定されていれば、データの送信が行われるか、または次のクロック・エッジまで待つことになります。



\*わかりやすくするために他のピンは省略してあります。

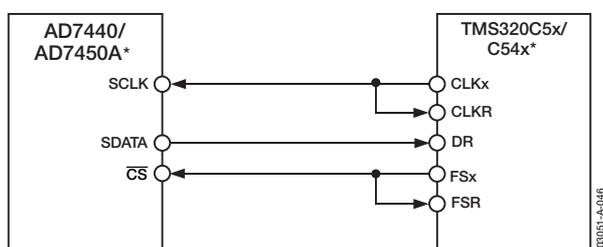
図45. ADSP-21xxとのインターフェース

たとえば、ADSP-2111には16MHzのマスター・クロック周波数があります。SCLKDIVレジスタに値3を書き込むと、2MHzのSCLKが得られ、各SCLK周期が8マスター・クロック周期に等しくなります。タイマ・レジスタに値803を書き込んだ場合、割込みと割込みの間、およびその後の送信命令と送信命令の間に、100.5回のSCLKが発生します。この場合、送信命令がSCLKのエッジで発生するため、不等間隔のサンプリングになります。割込みと割込みの間のSCLKの数が整数Nの場合は、DSPは等間隔サンプリングを実行します。

# AD7440/AD7450A

## AD7440/AD7450AとTMS320C5x/C54xとのインターフェース

TMS320C5x/C54xのシリアル・インターフェースでは、連続シリアル・クロックとフレーム同期信号を使って、データ転送動作をAD7440/AD7450Aなどのペリフェラル・デバイスに同期化しています。CS入力を使用すると、グルーロジックなしで、TMS320C5x/C54xとAD7440/AD7450Aのインターフェースが簡単にできます。TMS320C5x/C54xのシリアル・ポートを内部CLK<sub>x</sub> (Txシリアル・クロック) とFS<sub>x</sub> (Txフレーム同期) を使うバースト・モードで動作するように設定します。シリアル・ポート制御レジスタ (SPC) は、FO=0、FSM=1、MCM=1、TxM=1に設定しておきます。AD7440/AD7450Aにパワーダウン・モードにするには、フォーマット・ビットFOを「1」に設定してワード長を8ビットに設定します。図46に接続図を示します。なお、信号処理アプリケーションでは、TMS320C5x/C54xからのフレーム同期信号で等間隔サンプリングを実行する必要があります。

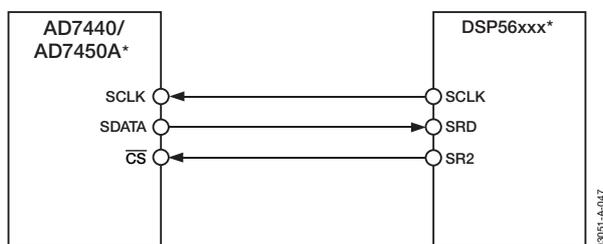


\*わかりやすくするために他のピンは省略してあります。

図46. TMS320C5x/C54xとのインターフェース

## AD7440/AD7450AとDSP56xxxとのインターフェース

図47の接続図に、AD7440/AD7450Aと、モトローラ社のDSPファミリー、DSP56xxxのSSI (同期シリアル・インターフェース) との接続方法を示します。SSIは同期モードで動作し (CRBレジスタのSYNビット=1)、TxとRxに対する1ワードのフレーム同期を内部で発生します (CRBのFSL1ビット=0かつFSL0ビット=0)。CRAでWL1ビット=1かつWL0ビット=0に設定し、ワード長=16に設定します。AD7440/AD7450Aをパワーダウン・モードで動作させる場合、CRAでWL1ビット=0かつWL0ビット=0に設定してワード長を8ビットに変更できます。信号処理アプリケーションでは、DSP56xxxからのフレーム同期信号で等間隔サンプリングを実行する必要があります。



\*わかりやすくするために他のピンは省略してあります。

図47. DSP56xxxとのインターフェース

## グラウンディングとレイアウト

AD7440/AD7450Aを実装するPCボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計する必要があります。これによって、分離が簡単にできるグラウンド・プレーンを使用できるようになります。一般に、エッチング部分を最小化すると最適なシールド効果が得られるため、グラウンド・プレーンではそのような技術を使用してください。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点のみで接続し、AD7440/AD7450AのGNDピンにできるだけ近い場所にスター結線してください。チップにノイズがカップリングしないよう、デバイスの真下にデジタル・ラインを通さないようにしてください。ノイズのカップリングを防止するため、アナログ・グラウンド・プレーンをAD7440/AD7450Aの下に配置するようにします。AD7440/AD7450Aの電源ラインをできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減します。

クロックなどの高速のスイッチング信号をデジタル・グラウンドでシールドして、ボードの他の部分にノイズが拡散しないようにします。また、クロック信号がアナログ入力の近くを通らないようにします。デジタル信号とアナログ信号は交差しないようにしてください。ボードの両面のパターンは、互いに直角になるように配置します。これにより、ボードを貫通するフィードスルーの影響を低減できます。マイクロストリップ技術は最善ですが、両面ボードでは常に使用できるとは限りません。

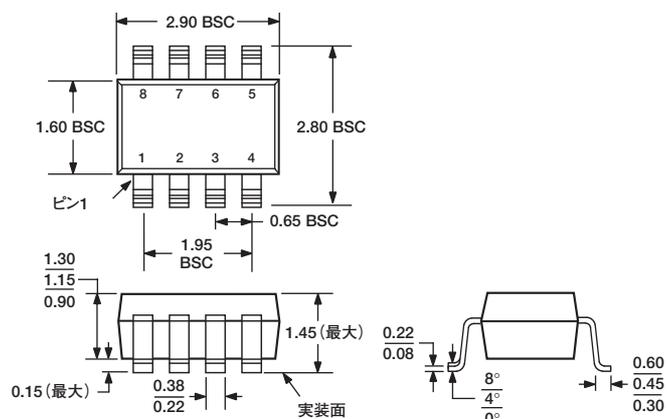
この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号をハンダ面に配線します。デカップリングを正しく行うことも重要です。すべてのアナログ電源とGNDの間に10μFのタンタル・コンデンサと0.1μFのコンデンサを並列接続してデカップリングします。デカップリングの効果を最大にするため、できるだけデバイスの近くに配置します。

## AD7440/AD7450Aの性能評価

評価用ボードのパッケージには、組立ておよびテスト済みの評価用ボード、付属文書、および評価用ボード・コントローラを介してPCからボードを制御するためのソフトウェアが含まれています。評価用ボード・コントローラは、AD7440/AD7450A評価用ボードのほか、多くのアナログ・デバイセズの評価用ボード (末尾にCBが付くもの) と組み合わせて使用できます。これによって、AD7440/AD7450AのAC性能とDC性能のデモ/評価ができます。

ソフトウェアを使用すると、AD7440/AD7450AのACテスト (高速フーリエ変換) とDCテスト (コードのヒストグラム) ができます。詳細については、評価用キットに付属の「アプリケーション・ノート」をご覧ください。

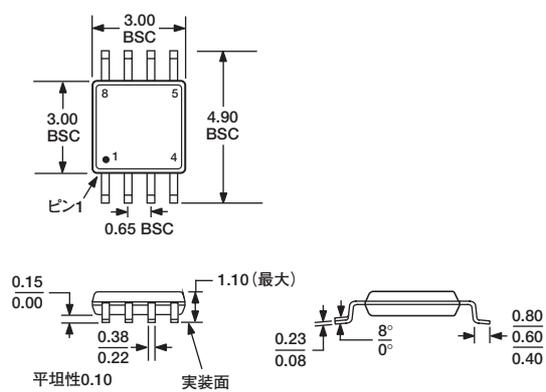
## 外形寸法



JEDEC規格MO-178BAに準拠

図48. 8ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23] (RT-8)

寸法単位：mm



JEDEC規格MO-187AAに準拠

図49. 8ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-8)

寸法単位：mm

# AD7440/AD7450A

## オーダー・ガイド

モデル	温度範囲	直線性誤差 (LSB) <sup>1</sup>	パッケージ・オプション <sup>2</sup>	ブランド
AD7440BRT-REEL7	-40～+85℃	±0.5	RT-8	CTB
AD7440BRT-R2	-40～+85℃	±0.5	RT-8	CTB
AD7440BRM	-40～+85℃	±0.5	RM-8	CTB
AD7440BRM-REEL7	-40～+85℃	±0.5	RM-8	CTB
AD7450ABRT-REEL7	-40～+85℃	±1	RT-8	CSB
AD7450ABRT-R2	-40～+85℃	±1	RT-8	CSB
AD7450ABRM	-40～+85℃	±1	RM-8	CSB
AD7450ABRM-REEL7	-40～+85℃	±1	RM-8	CSB
EVAL-AD7440CB <sup>3</sup>			評価用ボード	
EVAL-AD7450ACB <sup>3</sup>			評価用ボード	
EVAL-CONTROL BRD <sup>2,4</sup>			コントローラ・ボード	

<sup>1</sup> 直線性誤差は、積分非直線性誤差を意味します。

<sup>2</sup> RT=SOT-23、RM=MSOP

<sup>3</sup> 単独の評価用ボードとしても、評価用ボード・コントローラと組み合わせて評価/デモ用に使用することもできます。

<sup>4</sup> 評価用ボード・コントローラ。このボードは完備したユニットになっており、末尾番号CBが付くすべてのアナログ・デバイセズ製評価用ボードに対し、PCで制御と通信ができます。評価用キットを完備するには、ADC評価用ボード (EVAL-AD7450ACBまたはEVAL-AD7440CB)、EVAL-CONTROL BRD2、および12VのACトランスを注文する必要があります。詳細については、AD7440/AD7450Aのアプリケーション・ノートを参照してください。