



16ビット・絶縁型 Σ - Δ 変調器、LVDS インターフェース

データシート

AD7405

特長

- 外部入力クロック周波数範囲：5 MHz ~ 20 MHz
- 16ビット・ノーミッシング保証
- 信号対ノイズ比(SNR)：88 dB (typ)
- 有効ビット数(ENOB)：14.2ビット (typ)
- オフセット温度ドリフト：1.6 μ V/ $^{\circ}$ C (typ)
- 低電圧差動信号(VDS)インターフェース
- デジタル・アイソレータ内蔵
- リファレンス電圧内蔵
- フルスケールアナログ入力電圧範囲： \pm 320 mV
- 動作温度範囲：-40 $^{\circ}$ C ~ +125 $^{\circ}$ C
- 高いコモン・モード過渡電圧耐性：25 kV/ μ 以上
- 沿面距離を増やした16ピンのワイド・ボディ SOIC パッケージ

安全性規定の認証

- UL 認定済み
- 1 分間 5000 Vrms に対して UL1577 規格に準拠
- CSA Component Acceptance Notice 5A に準拠
- VDE の適合性認定済み
- DIN V VDE V 0884-10 (VDE V 0884-10):2006-12
- 最大動作絶縁電圧(V_{IORM})：1250 V_{PEAK}

アプリケーション

- シャント電流のモニタリング
- AC モーター制御
- 電力用、太陽光発電用インバータ
- 風力タービン用インバータ
- データ・アキュイジション・システム
- アナログ/デジタル変換とオプトアイソレータの置換

概要

AD7405¹は、高性能な2次の $\Sigma\Delta$ 変調器で、アナログ入力信号を高速のシングルビット・データストリームに変換します。このデータストリームは、内蔵されたアナログ・デバイセズ社の iCoupler[®]技術を用いてデジタル絶縁されます。AD7405は、4.5V~5V (V_{DD1})電源で動作し、 \pm 250 mV (\pm 320 mV フルスケール)の差動入力信号に対応します。差動入力、ガルバニック絶縁が要求されるような高電圧アプリケーションでのシャント電圧モニタリングに適しています。

アナログ入力は、高性能アナログ変調器によって連続的にサンプリングされ、最高データ速度 20 MHz のデジタル出力ストリームに変換されます。元の情報は適切なデジタルフィルタを用いて再現され、78.1kSPS で信号対雑音比(SNR) 88 dB を達成する

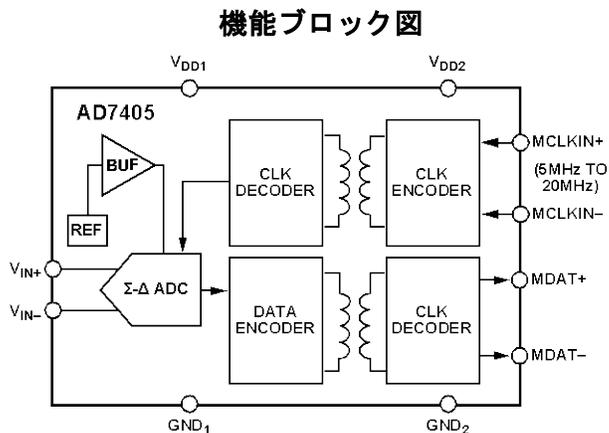


図 1.

ことができます。LVDS 入力/出力は、3 V ~ 5.5 V の電源 (V_{DD2})を使用することができます。

LVDS インターフェースは、デジタル的に絶縁されます。モノリシック・トランス技術と LVDS インタフェース・テクノロジーの組み合わせによるオンチップ絶縁は、フォトカプラー・デバイスなどに比較して、並外れた性能特性を提供します。AD7405 デバイスは 16 ピンのワイド・ボディ SOIC パッケージで提供され、動作温度範囲は-40 $^{\circ}$ C~+125 $^{\circ}$ Cです。

¹ 米国特許 5,952,849; 6,873,065; 7,075,329 により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	動作原理.....	13
アプリケーション.....	1	回路説明.....	13
機能ブロック図.....	1	アナログ入力.....	13
概要.....	1	差動入力.....	14
改訂履歴.....	2	低電圧差動信号 (LVDS) インターフェース.....	14
仕様.....	3	アプリケーション情報.....	15
タイミング仕様.....	4	電流検出用途.....	15
パッケージ特性.....	5	電圧検出用途.....	15
絶縁および安全性関連の仕様.....	5	入力フィルタ.....	16
規制情報.....	5	デジタル・フィルタ.....	16
DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 絶縁特性.....	6	グラウンドとレイアウト.....	19
絶対最大定格.....	7	絶縁部の寿命.....	19
ESD に関する情報.....	7	外形寸法.....	20
ピン配置と機能の説明.....	8	オーダー・ガイド.....	20
代表的な性能特性.....	9		
用語.....	12		

改訂履歴

9/14—Revision 0: Initial Version

仕様

$V_{DD1} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $V_{DD2} = 3\text{ V} \sim 5.5\text{ V}$ 、 $V_{IN+} = -250\text{ mV} \sim +250\text{ mV}$ 、 $V_{IN-} = 0\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $f_{MCLKIN}^1 = 5\text{ MHz} \sim 20\text{ MHz}$ 、特に断りのない限り、出力結果は外部の sinc3 フィルタをデシメーション・レート 256 で使用するよう Verilog コードで規定しテストされています。また、すべての電圧はそれぞれのグラウンドを基準としています。

表 1. Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE						
Resolution		16			Bits	Filter output truncated to 16 bits
Integral Nonlinearity ¹	INL		±2	±12	LSB	
Differential Nonlinearity ¹	DNL			±0.99	LSB	Guaranteed no missing codes to 16 bits
Offset Error ¹			±0.2	±0.75	mV	
Offset Drift vs. Temperature			1.6	3.8	μV/°C	
Offset Drift vs. V_{DD1}			1.3	3.1	μV/°C	0°C to 85°C
Gain Error ¹			50		μV/V	
Gain Error ¹			±0.2	±0.8	% FSR	$f_{MCLKIN} = 16\text{ MHz}$
			±0.2	±0.8	% FSR	$f_{MCLKIN} = 20\text{ MHz}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$
Gain Error Drift vs. Temperature			±0.2	±1.2	% FSR	$f_{MCLKIN} = 20\text{ MHz}$
			65	95	ppm/°C	
Gain Error Drift vs. V_{DD1}			40	60	μV/°C	
			±0.6		mV/V	
ANALOG INPUT						
Input Voltage Range		-320		+320	mV	Full-scale range
		-250		+250	mV	For specified performance
Input Common-Mode Voltage Range			-200 to +300		mV	
Dynamic Input Current			±45	±50	μA	$V_{IN+} = \pm 250\text{ mV}$, $V_{IN-} = 0\text{ V}$
			0.05		μA	$V_{IN+} = 0\text{ V}$, $V_{IN-} = 0\text{ V}$
DC Leakage Current			±0.01	±0.6	μA	
Input Capacitance			14		pF	
DYNAMIC SPECIFICATIONS						
Signal-to-Noise-and-Distortion Ratio ¹	SINAD	81	87		dB	$V_{IN+} = 1\text{ kHz}$
		83	87		dB	-40°C to +85°C
Signal-to-Noise Ratio ¹	SNR	86	88		dB	
Total Harmonic Distortion ¹	THD		-96		dB	
Peak Harmonic or Spurious Noise ¹	SFDR		-97		dB	
Effective Number of Bits ¹	ENOB	13.1	14.2		Bits	
		13.4	14.2		Bits	-40°C to +85°C
Noise Free Code Resolution ¹		14			Bits	
ISOLATION TRANSIENT IMMUNITY¹						
		25	30		kV/μs	
LVDS I/O (ANSI-644)						
Differential Output Voltage	V_{OD}	247	360	454	mV	$R_L = 100\ \Omega$
Common-Mode Output Voltage	V_{OCM}	1125	1260	1375	mV	$R_L = 100\ \Omega$
Differential Input Voltage	V_{ID}	150		650	mV	
Common-Mode Input Voltage	V_{ICM}	800		1575	mV	
POWER REQUIREMENTS						
V_{DD1}		4.5		5.5	V	
V_{DD2}		3		5.5	V	
I_{DD1}			30	36	mA	$V_{DD1} = 5.5\text{ V}$

表 1. Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Power Dissipation			18	22	mA	$V_{DD2} = 5.5 \text{ V}$
			13	15	mA	$V_{DD2} = 3.3 \text{ V}$
			264	319	mW	$V_{DD1} = V_{DD2} = 5.5 \text{ V}$
			208	248	mW	$V_{DD1} = 5.5 \text{ V}, V_{DD2} = 3.3 \text{ V}$

¹ $f_{MCLKIN} > 16 \text{ MHz}$ の場合、マーク/スペース比は 48/52 ~ 52/48、 V_{DD1} は 5 V \pm 5%。

² 用語のセクションを参照してください。

タイミング仕様

特に指定のない限り、 $V_{DD1} = 4.5 \text{ V} \sim 5.5 \text{ V}$ 、 $V_{DD2} = 3 \text{ V} \sim 5.5 \text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。初期リリース時はサンプル・テストにより適合性を保証。MDAT 信号を MCLKIN+ の立ち上がりエッジで読み出すことが推奨されます。

Parameter ¹	Limit at T_{MIN} , T_{MAX}	Unit	Description
f_{MCLKIN}	5	MHz minimum	Master clock input frequency
	20	MHz maximum	
t_1	30	ns maximum	Data access time after MCLKIN+ rising edge $V_{DD2} = 4.5 \text{ V to } 5.5 \text{ V}$
	40	ns maximum	
t_2	10	ns minimum	Data hold time after MCLKIN+ rising edge $V_{DD2} = 4.5 \text{ V to } 5.5 \text{ V}$
	10	ns minimum	
t_3	$0.45 \times t_{MCLKIN}$	ns minimum	Master clock low time $f_{MCLKIN} \leq 16 \text{ MHz}$
	$0.48 \times t_{MCLKIN}$	ns minimum	
t_4	$0.45 \times t_{MCLKIN}$	ns minimum	Master clock high time $f_{MCLKIN} \leq 16 \text{ MHz}$
	$0.48 \times t_{MCLKIN}$	ns minimum	

¹ 初期リリース時はサンプル・テストにより適合性を保証。

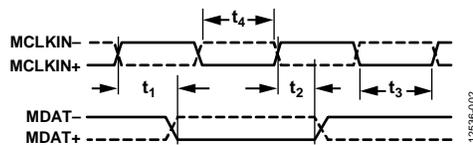


図 2. データのタイミング

パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	f = 1 MHz
IC Junction to Ambient Thermal Resistance	θ _{JA}		45		°C/W	Thermocouple located at center of package underside, test conducted on 4-layer board with thin traces

¹ デバイスは 2 ピンデバイスと見なします。すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Input to Output Momentary Withstand Voltage	V _{ISO}	5000 min	V	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	8.3 min ^{1, 2}	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8.3 min ¹	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.034 min	mm	Distance through insulation
Tracking Resistance (Comparative Tracking Index) Isolation Group	CTI	>400 II	V	DIN IEC 112/VDE 0303 Part 1 ³ Material Group (DIN VDE 0110, 1/89, Table I) ³

¹ 汚染度 2、高度 2,000 m 以下に対するクリーページ及びクリアランス距離に関する IEC 60950-1 ガイドラインによる。

² クリアランスの最小必要距離を確保するために、パッドのレイアウトに注意する必要があります。

³ AD7405 の CSA CTI 定格は 600 V 以上、かつ材料グループ I のアイソレーション・グループ。

規制情報

表 5.

UL ¹	CSA	VDE ²
Recognized under 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
5000 V rms Isolation Voltage Single Protection	Basic insulation per CSA 60950-1-07 and IEC 60950-1, 830 V rms (1173 V _{PEAK}) maximum working voltage ³ Reinforced insulation per CSA 60950-1-07 and IEC 60950-1, 415 V rms (586 V _{PEAK}) maximum working voltage ³ Reinforced insulation per IEC 60601-1, 250 V rms (353 V _{PEAK}) maximum working voltage	Reinforced insulation per DIN V VDE V 0884-10 (VDE V 0884-10):2006-12, 1250 V _{PEAK}
File E214100	File 205078	File 2471900-4880-0001

¹ UL 1577 に基づき、各 AD7405 は 6000 V rms の絶縁試験電圧を 1 秒間印加する耐圧試験が行われます (電流リーク検出限界 = 15 μA)。

² UL -10 に基づき、各 AD7405 は 2344 V_{PEAK} の絶縁試験電圧を 1 秒間印加する耐圧試験が行われます (部分放電検出限界 = 5 pC)。

³ 定格は汚染度 2、及び材料グループ III に対して計算されます。AD7405 RI-16-2 のパッケージ材料は、CSA により 600 V 以上の CTI に格付けされているため、材料グループ I に規定されています。

DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 絶縁特性

このアイソレータは、安全性制限値データ以内でのみ強化された電氣的絶縁に対して有効です。

安全性データの維持は、保護回路を使って確実にする必要があります。

表 6.

Description	Symbol	Characteristic	Unit
INSTALLATION CLASSIFICATION PER DIN VDE 0110 For Rated Mains Voltage ≤300 V rms For Rated Mains Voltage ≤450 V rms For Rated Mains Voltage ≤600 V rms For Rated Mains Voltage ≤1000 V rms		I to IV I to IV I to IV I to IV	
CLIMATIC CLASSIFICATION		40/105/21	
POLLUTION DEGREE (DIN VDE 0110, TABLE 1)		2	
MAXIMUM WORKING INSULATION VOLTAGE	V _{IORM}	1250	V _{PEAK}
INPUT TO OUTPUT TEST VOLTAGE, METHOD B1 V _{IORM} × 1.875 = V _{PR} , 100% Production Test, t _m = 1 Second, Partial Discharge < 5 pC	V _{PD(M)}	2344	V _{PEAK}
INPUT TO OUTPUT TEST VOLTAGE, METHOD A After Environmental Test Subgroup 1 V _{IORM} × 1.6 = V _{PR} , t _m = 60 Seconds, Partial Discharge < 5 pC After Input and/or Safety Test Subgroup 2/ Safety Test Subgroup 3 V _{IORM} × 1.2 = V _{PR} , t _m = 60 Seconds, Partial Discharge < 5 pC	V _{PR(M)}	2000 1500	V _{PEAK} V _{PEAK}
HIGHEST ALLOWABLE OVERVOLTAGE (TRANSIENT OVERVOLTAGE, t _{TR} = 10 Seconds)	V _{IOTM}	8000	V _{PEAK}
SURGE ISOLATION VOLTAGE 1.2 μs Rise Time, 50 μs, 50% Fall Time	V _{IOSM}	12000	V _{PEAK} V _{PEAK}
SAFETY LIMITING VALUES (MAXIMUM VALUE ALLOWED IN THE EVENT OF A FAILURE, SEE 図 3) Case Temperature Side 1 (P _{VDD1}) and Side 2 (P _{VDD2}) Power Dissipation	T _s P _{SO}	150 2.78	°C W
INSULATION RESISTANCE AT T _s , V _{IO} = 500 V	R _{IO}	>10 ⁹	Ω

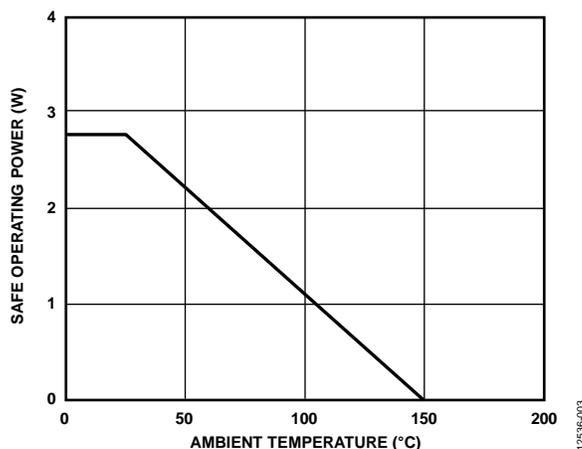


図 3. 熱軽減曲線、DIN V VDE V 0884-10 によるケース温度での安全制限値依存度

絶対最大定格

特に指定のない限り $T_A = 25^\circ\text{C}$ 。すべての電圧はそれぞれのグラウンドを基準とします。

表 7.

Parameter	Rating
V_{DD1} to GND ₁	-0.3 V to +6.5 V
V_{DD2} to GND ₂	-0.3 V to +6.5 V
Analog Input Voltage to GND ₁	-1 V to $V_{DD1} + 0.3$ V
Digital Input Voltage to GND ₂	-0.3 V to $V_{DD2} + 0.5$ V
Output Voltage to GND ₂	-0.3 V to $V_{DD2} + 0.3$ V
Input Current to Any Pin Except Supplies ¹	± 10 mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Pb-Free Temperature, Soldering Reflow	260°C
ESD	2 kV

¹ 最大 100 mA までの過渡電流では SCR のラッチアップは生じません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 8. 最大連続動作電圧¹

Parameter	Max (V _{PEAK})	Constraint
AC Voltage Bipolar Waveform	1250	20-year minimum lifetime (VDE approved working voltage)
Unipolar Waveform	1250	20-year minimum lifetime
DC Voltage	1250	20-year minimum lifetime

¹ 絶縁障壁に加わる連続電圧の大きさを意味します。

ESD に関する注意



ESD (静電放電) 影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

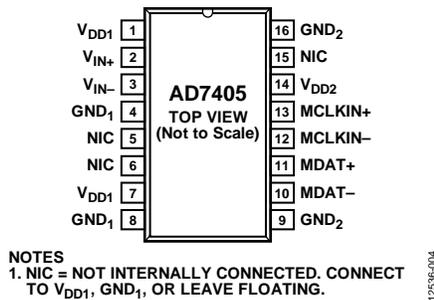


図 4. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1, 7	V _{DD1}	電源電圧。4.5 V~5.5 V。このピンは AD7405 の絶縁される側（一次側）の GND ₁ に対応する電源電圧です。デバイス動作時には電源をピン 1 とピン 7 の両方に接続してください。各電源ピンは 10 μF と 1 nF のコンデンサを並列に用いて GND ₁ と接続しデカップリングしてください。
2	V _{IN+}	正のアナログ入力。
3	V _{IN-}	負のアナログ入力。通常は GND ₁ に接続。
4, 8	GND ₁	グラウンド 1。このピンは一次側のすべての回路に対するグラウンド基準ポイントとなります。
5, 6, 15	NIC	内部では接続されていない。V _{DD1} または GND ₁ に接続するか、フローティングのままとして下さい。
9, 16	GND ₂	グラウンド 2。このピンは非絶縁側（二次側）のすべての回路に対するグラウンド基準ポイントとなります。
10, 11	MDAT ₋ , MDAT ₊	LVDS データ出力。変換データはこれらのピンに直列に出力されます。
12, 13	MCLKIN ₋ , MCLKIN ₊	LVDS クロック入力。変換結果は MCLKIN ₊ の立ち上がりエッジでシフトアウトされます。
14	V _{DD2}	電源電圧、3 V~5.5 V。このピンは非絶縁側（二次側）の GND ₂ に対する電源電圧です。この電源ピンは、100 nF のコンデンサを用いて GND ₂ と接続し、デカップリングして下さい。

代表的な性能特性

$T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{V}$ 、 $V_{DD2} = 5\text{V}$ 、 $V_{IN+} = -250\text{mV} \sim +250\text{mV}$ 、 $V_{IN-} = 0\text{V}$ 、 $f_{MCLKIN} = 20\text{MHz}$ 、特に指定のない限り、256 オーバーサンプリング(OSR) で外部の sinc3 フィルタを用いて測定。

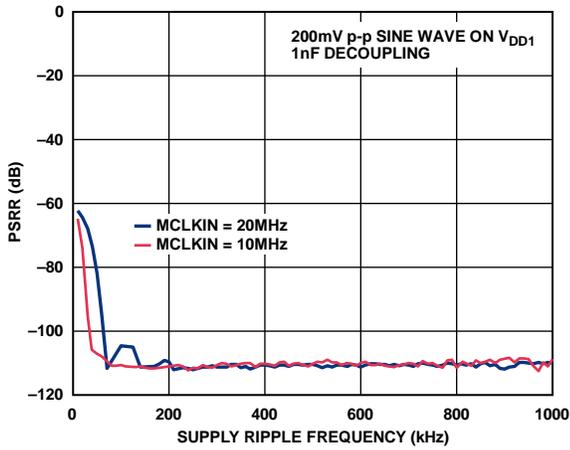


図 5. PSRR 対電源リップル周波数

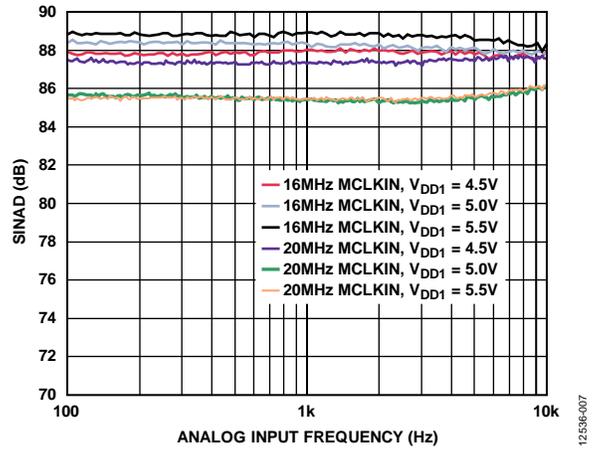


図 7. SINAD 対アナログ入力周波数

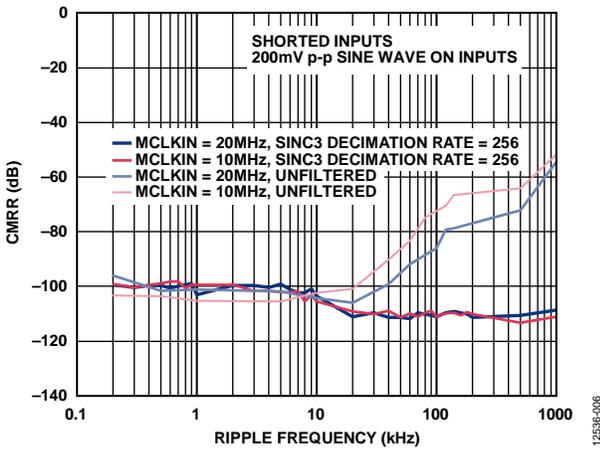


図 6. CMRR 対同相モード・リップル周波数

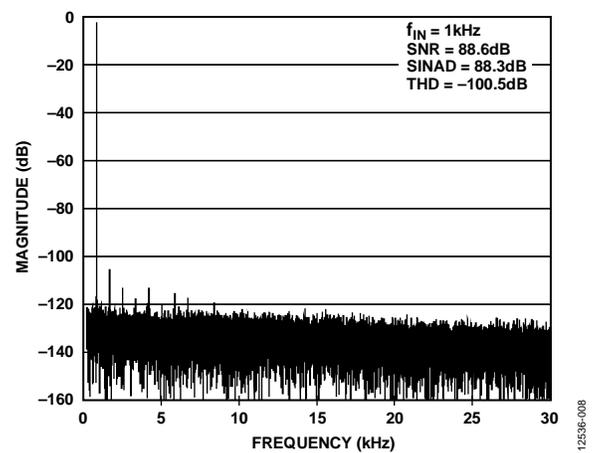


図 8. 典型的な高速フーリエ変換 (FFT)

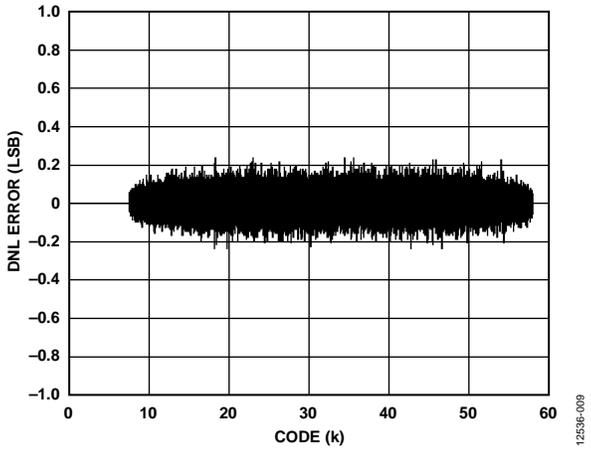


図 9. 典型的な DNL エラー

12536-009

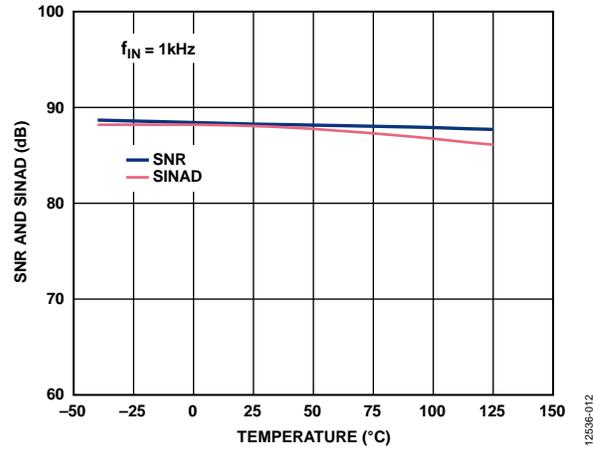


図 12. SNR 及び SINAD の温度特性

12536-012

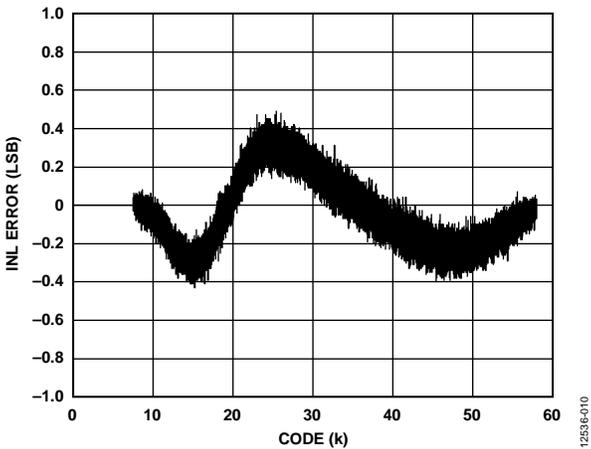


図 10. 典型的な INL エラー

12536-010

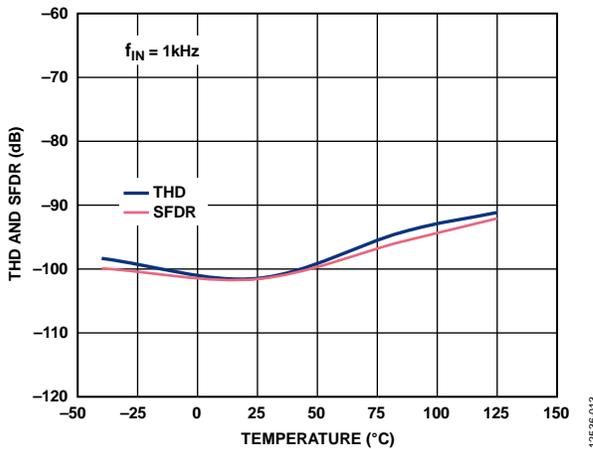


図 13. THD 及び SFDR の温度特性

12536-013

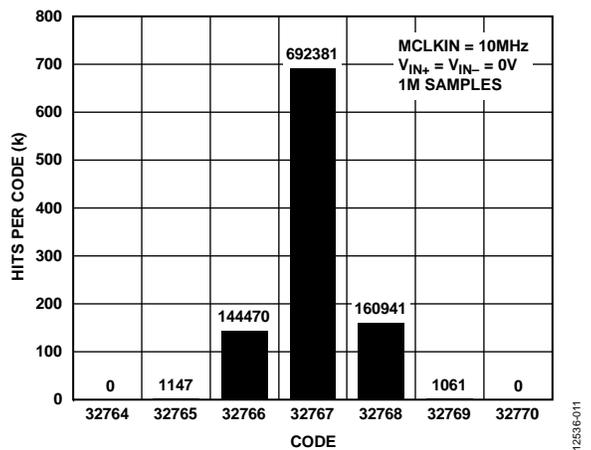


図 11. コード中心での出力コードのヒストグラム

12536-011

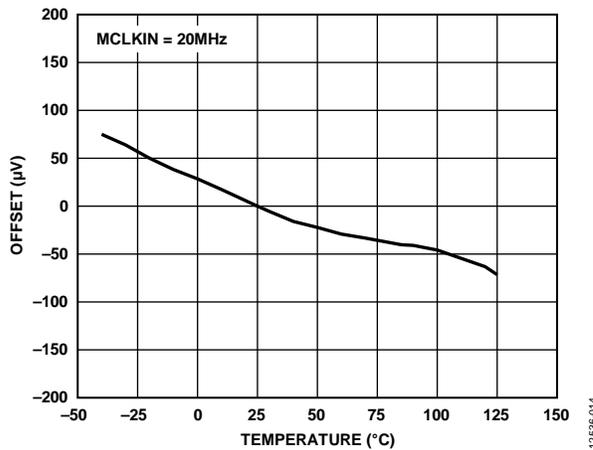


図 14. オフセットの温度特性

12536-014

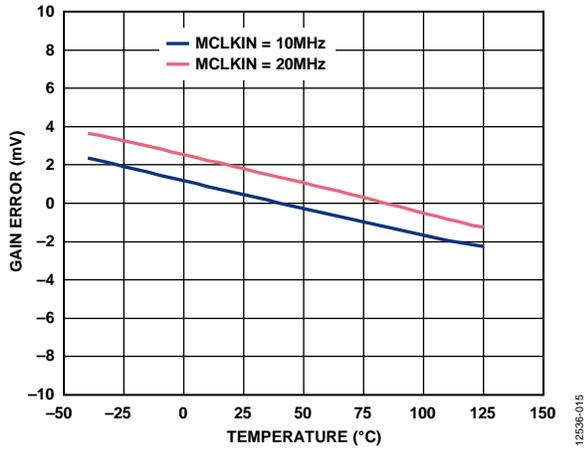


図 15. ゲイン誤差の温度特性

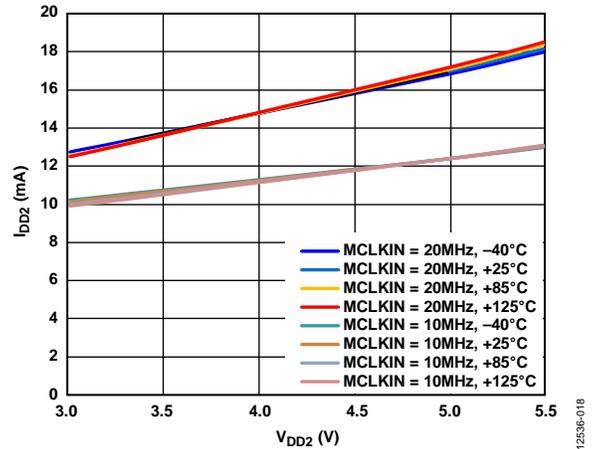


図 18. さまざまな温度及びクロック速度での I_{DD2} 対 V_{DD2}

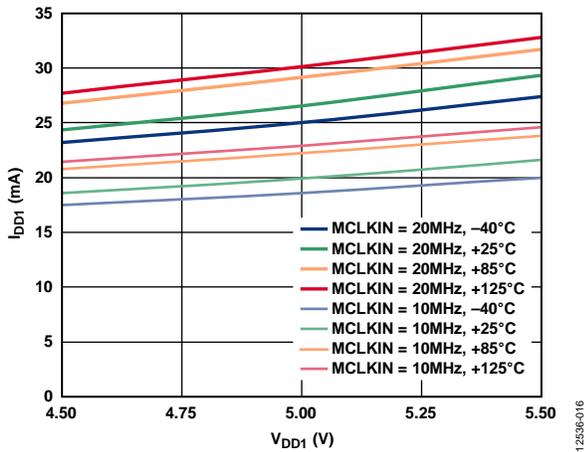


図 16. さまざまな温度及びクロック速度での I_{DD1} 対 V_{DD1}

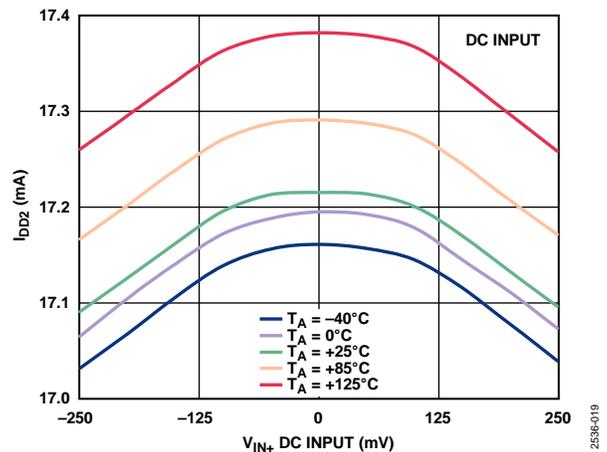


図 19. さまざまな温度での I_{DD2} 対 V_{IN+} DC 入力

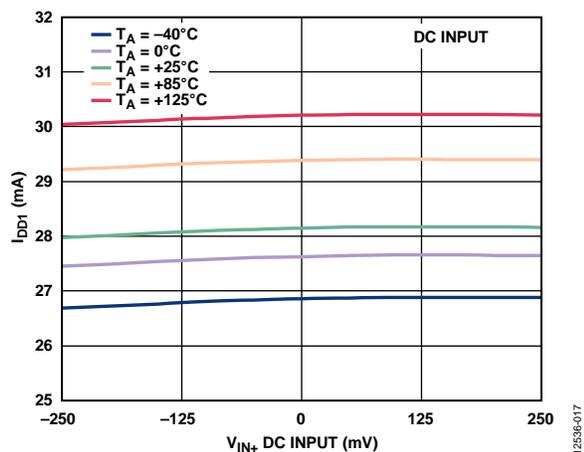


図 17. さまざまな温度での I_{DD1} 対 V_{IN+} DC 入力

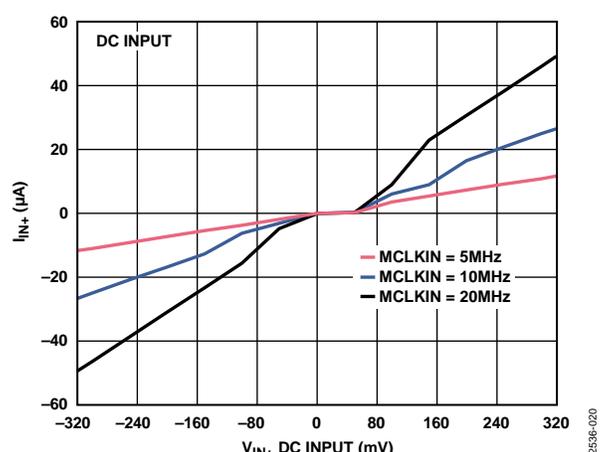


図 20. さまざまなクロック速度での I_{IN+} 対 V_{IN+} DC 入力

用語

Differential Nonlinearity (DNL : 微分非直線性)

DNL は ADC の 2 つの隣接コード間における 1 LSB 変化の測定値と理論値の差をいいます。

Integral Nonlinearity (INL : 積分非直線性)

INL は ADC の伝達関数の両端を結ぶ直線からの最大差分をいいます。伝達関数のエンドポイントは、規定された負側フルスケール、-250 mV ($V_{IN+} - V_{IN-}$)、16 ビットレベルに対するコード 7168、及び規定された正側フルスケール、+250 mV ($V_{IN+} - V_{IN-}$)、16 ビットレベルに対するコード 58,368 です。

Offset Error (オフセット誤差)

オフセット誤差はミッドスケール・コード(16 ビットレベルの場合 32,768)と理想的な $V_{IN+} - V_{IN-}$ (つまり 0 V) の差です。

Gain Error (ゲイン誤差)

ゲイン誤差には正のフルスケール・ゲイン誤差と負のフルスケール・ゲイン誤差があります。正のフルスケール・ゲイン誤差は、オフセット誤差が調整された後の、規定された正のフルスケール・コード(16 ビットレベルの場合 58,368)と理想的な $V_{IN+} - V_{IN-}$ (250 mV) の差です。負のフルスケール・ゲイン誤差は、オフセット誤差が調整された後の、規定された負のフルスケール・コード(16 ビットレベルの場合 7168)と理想的な $V_{IN+} - V_{IN-}$ (-250 mV) の差です。

Signal-to-Noise-and-Distortion Ratio (SINAD : 信号対ノイズおよび歪み比)

SINAD は A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は正弦波の rms 値であり、ノイズは DC を除いた高調波を含むサンプリング周波数の半分($f_s/2$)までの基本波以外のすべての信号の rms 値の総和です。

Signal-to-Noise Ratio (SNR : 信号対ノイズ比)

SNR は A/D コンバータの出力での信号対ノイズ比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリング周波数($f_s/2$)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が多いほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対ノイズ比の理論値は次式で表されます：

$$\text{Signal-to-Noise Ratio} = (6.02N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、SNR は 74 dB になります。

Isolation Transient Immunity (絶縁部の過渡電圧耐性)

絶縁部の過渡電圧耐性は絶縁境界に印加される過渡的パルス波の立ち上がり及び立ち下がり速度の比です。この値を超えるとクロックまたはデータの欠損が生じます。AD7405 のテストは、100 kHz までの周波数の過渡的パルスを用いて行なわれています。

Total Harmonic Distortion (THD : 総合高調波歪み)

THD は高調波の rms 値の総和と基本波の rms 値の比です。AD7405 の場合、次式で与えられます：

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波の rms 振幅です。

V_2 、 V_3 、 V_4 、 V_5 、及び V_6 は 2 次から 6 次までの高調波の rms 振幅です。

Peak Harmonic or Spurious Noise (SFDR : ピーク高調波またはスプリアス・ノイズ)

高調波またはスプリアス・ノイズは ADC 出力のスペクトル(DC を除いて $f_s/2$ まで)内で基本波の次に大きい成分の rms 値と基本波 rms 値との比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

Effective Number of Bits (ENOB : 有効ビット数)

ENOB は次式で定義されます：

$$\text{ENOB} = (\text{SINAD} - 1.76)/6.02 \text{ bits}$$

Noise Free Code Resolution (ノイズ・フリー・コード分解能)

ノイズ・フリー・コード分解能は、それに対するコードフリッカーが存在しない分解能のビット数です。N-ビットの ADC のノイズ・フリー・コード分解能は次の式で表されます：

$$\text{Noise Free Code Resolution (Bits)} = \log_2(2^N/\text{Peak-to-Peak Noise})$$

LSB 数で表したピーク to ピーク・ノイズは $V_{IN+} = V_{IN-} = 0 \text{ V}$ で測定されます。

Common-Mode Rejection Ratio (CMRR : コモン・モード除去比)

CMRR は周波数 f での ADC の出力 $\pm 250 \text{ mV}$ の電力と、周波数 f_s の同相電圧 V_{IN+} と V_{IN-} に加えられた $+250 \text{ mV}$ ピーク to ピークの正弦波の電力の比として次の式で定義されます：

$$\text{CMRR (dB)} = 10 \log(P_f/P_{f_s})$$

ここで、

P_f は周波数 f における ADC の出力波形の電力です。

P_{f_s} は周波数 f_s における ADC の出力波形の電力です。

Power Supply Rejection Ratio (PSRR : 電源電圧変動除去比)

電源変動はフルスケール変化に影響しますが、コンバータの直線性には影響を与えません。PSRR は、電源電圧の公称値からの変化で発生する規定されたフルスケール ($\pm 250 \text{ mV}$) 変化ポイントの最大変化を表します。

動作原理

回路説明

AD7405 絶縁型 $\Sigma \Delta$ 変調器は、アナログ入力信号を高速の(最高 20 MHz)シングルビット・データストリームに変換します。変調器からのシングルビット・データの平均時間間隔は入力信号に直接比例します。図 21 は、アナログ入力、電流検出抵抗またはシャント、及び、信号をデジタルフィルタで処理して N-ビット・ワードを出力するデジタル出力の間を絶縁するために AD7405 が使用される代表的な応用回路を示します。

アナログ入力

AD7405 の差動アナログ入力はスイッチド・キャパシタ回路で処理されます。この回路は、入力信号をシングルビット出力ストリームにデジタル化する 2 次の変調器段として設計されています。サンプリング・クロック (MCLKIN) 回路は、変換用クロック信号と出力データ・フレーミング・クロックの両方を供給しており、このクロック源は AD7405 の外部から供給されます。アナログ入力信号は、変調器によって連続的にサンプリングされ、内蔵リファレンス電圧と比較されます。デジタル・ストリームはアナログ入力を時間軸上で正確に表現するものとして、コンバータから出力されます(図 22 参照)。

差動信号が 0 V の場合、理想的には MDAT±出力ピン上に 1 と 0 が交互に現れるデータストリームが出力されます。この出力

は時間軸上で「High」の期間が 50%、「Low」の期間が 50%を占めます。差動信号が 250 mV の場合、「High」の期間が 89.06%を占める 1 と 0 のストリームが出力されます。差動信号が -250 mV の場合、「High」の期間が 10.94%を占める 1 と 0 のストリームが出力されます。

差動入力信号が 320 mV の場合、理想的にはすべて 1 のデータストリームが出力されます。差動入力信号が -320 mV の場合、理想的にはすべて 0 のデータストリームが出力されます。絶対フルスケール範囲は ± 320 mV であり、規定されたフルスケール性能範囲は、表 10 に示されているように ± 250 mV です。

表 10.アナログ入力範囲

Analog Input	Voltage Input (mV)
Positive Full-Scale Value	+320
Positive Specified Performance Input	+250
Zero	0
Negative Specified Performance Input	-250
Negative Full-Scale Value	-320

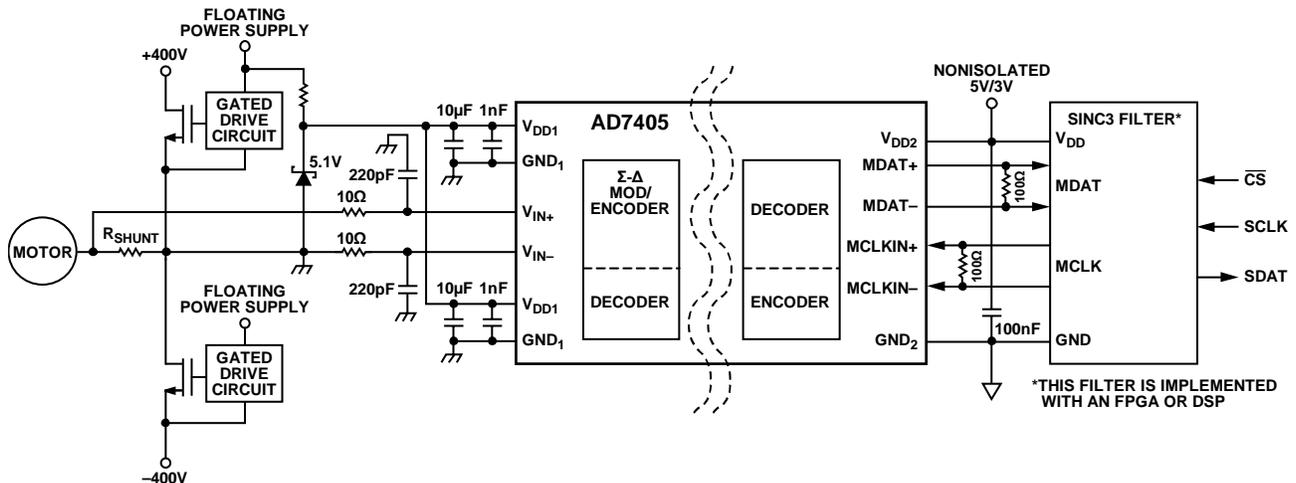


図 21. 代表的なアプリケーション回路

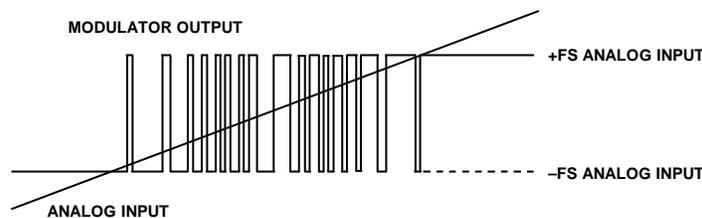


図 22. アナログ入力対変調器出力

元の入力波形を再現するためには、この出力はデジタルフィルタによってデシメートされなければなりません。このフィルタとしては2次の変調器であるAD7405より1次高い3次のフィルタである sinc 3 フィルタの使用が推奨されます。デシメーション・レートが 256 の場合、結果として得られる 16 ビット・ワードのサンプリング速度は、外部クロック周波数が 20 MHz であるとすれば、78.1 kSPS となります。フィルタの詳細情報については、「デジタルフィルタ」のセクションを参照してください。図 23 は、16 ビット出力に関する AD7405 の伝達関数を示します。

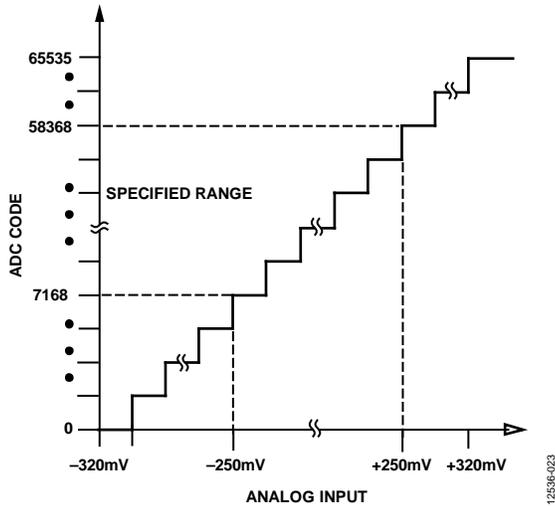


図 23. フィルタリング及びデシメーションが施された 16 ビット伝達関数

差動入力

変調器へのアナログ入力はスイッチド・キャパシタ回路になっています。アナログ信号は、高い直線性をもつサンプリング・キャパシタによって電荷量に変換されます。アナログ入力回路を簡略化した等価回路を図 24 に示します。アナログ入力を駆動する信号源は、MCLKIN の半サイクルごとにサンプリング・キ

ャパシタに電荷を供給し、次の半サイクル以内に要求される精度に電位を安定化させる必要があります。

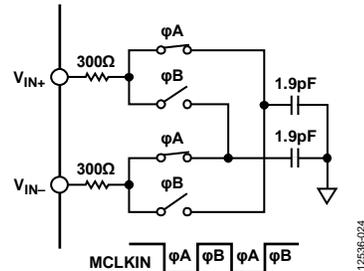


図 24. アナログ入力回路の等価回路

AD7405 は、このアナログ入力の差動電圧をサンプリングするため、各入力に存在する低コモン・モード・ノイズを除去でき、低雑音性能を実現することができます。

低電圧差動信号(LVDS)インターフェース

AD7405 はクロック入力と復調器出力の両方で LVDS インターフェースを使用しています。LVDS を使用する利点は、復調器とコントローラ間のインターフェースを強固にし、周囲環境からの電磁干渉 (EMI) に対する耐性を強めるのに有効であることです。LVDS はまた、高速デジタル信号の処理によって生ずる EMI 放射を抑えるためにも有効です。LVDS 信号は伝送線信号のように取り扱われるため、抵抗終端が施されなければなりません。差動終端抵抗の値は一般に 100 Ω が使用されます。終端抵抗はできるだけ受信端子に近い場所に配置してください。

アプリケーション情報

電流検出アプリケーション

AD7405は、シャント抵抗(R_{SHUNT})にかかる電圧をモニターするための電流検出アプリケーションに理想的なデバイスです。外付けシャント抵抗を流れる負荷電流により、AD7405の入力ピン間に電圧が発生します。AD7405は電流検出用抵抗からのアナログ入力とデジタル出力の間を電氣的に絶縁します。シャント抵抗値を適切に選択することにより、様々な電流領域をモニターすることが可能です。

R_{SHUNT} の選択

AD7405 と組み合わせて使用するシャント抵抗(R_{SHUNT})の値は、電圧、電流、及び電力に関する特定のアプリケーション要求条件によって決定されます。抵抗が小さいと消費電力が小さくなり、インダクタンスが小さいと電圧スパイクの誘導を防止でき、抵抗誤差が小さいと、電流変動が小さくなります。選択する最終値は、低消費電力と精度との間のトレードオフにより決定されます。高い値の抵抗を選択すると ADC のフル性能の入力範囲が使用可能となり、最大の SNR 性能を得ることができます。低い値の抵抗を選択すると消費電力が小さくなりますが、フル性能の入力範囲を使用することができません。しかし、AD7405 は、入力信号レベルが小さくとも、システム性能を維持しながら使用するシャント抵抗に小さい値を選択することができる優れた性能を備えています。

適切なシャント抵抗値を選択するためには、最初にシャント抵抗に流す電流値を決定します。3相誘導モーターのためのシャント電流は次の式で表されます：

$$I_{RMS} = \frac{P_w}{1.73 \times V \times EF \times PF}$$

ここで、

I_{RMS} はモーターの位相電流(A rms)、

P_w はモーターの電力(Watts)、

V はモーターの供給電圧(V ac)、

EF はモーターの効率(%)、

PF は電力効率(%)です。

シャントのピーク検出電流 I_{SENSE} を決定するためには、モーターの位相電流とシステムに生ずる可能性がある過負荷条件を考慮する必要があります。ピーク検出電流が既知の場合は、AD7405 の電圧範囲(250 mV)をピーク検出電流で除算して適切なシャント値を得ることができます。

シャント抵抗の消費電力が大きい場合、シャント抵抗値を減らし、ADC の入力電圧範囲より狭い範囲で動作させることもできます。図 25 に異なった差動入力信号振幅に対する AD7405 の SINAD 性能の特性と分解能の ENOB を示します。図 26 は DC 入力信号振幅に対する rms ノイズ性能を示します。AD7405 の低入力信号範囲での性能は、高レベルな性能と総合的なシステム効率を維持しながら、小さなシャント抵抗値を選択することを可能にしています。

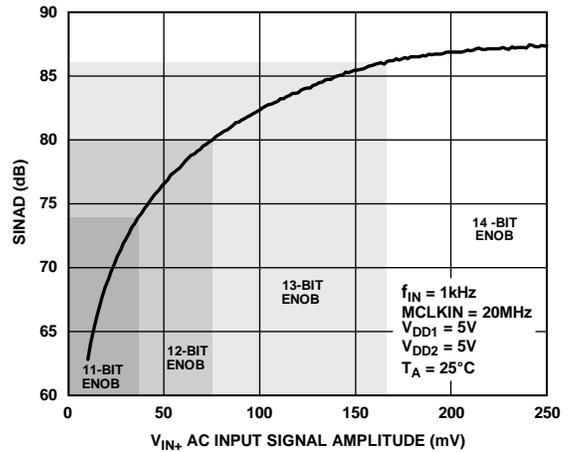


図 25. SINAD 対 V_{IN+} AC 入力信号振幅

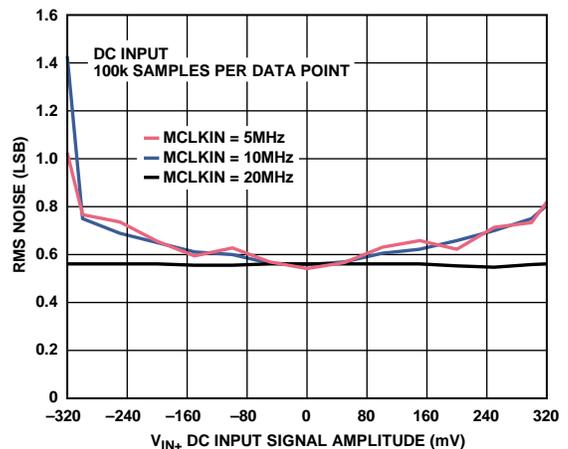


図 26. RMS ノイズ対 V_{IN+} DC 入力信号振幅

R_{SHUNT} は I^2R の電力損失を消費できなければなりません。抵抗の消費電力定格を超えると、抵抗値がドリフトするか、抵抗が壊れて結果的に断線が生じます。この断線により、AD7405 のピン間差動電圧が絶対最大定格を超えてしまうことがあります。 I_{SENSE} が大きな高周波成分を持つ場合には、低インダクタンスの抵抗を選択してください。

電圧検出用途

AD7405 は、絶縁された電圧をモニタリングするために使用することができます。たとえば、モーター制御の応用の場合、バス電圧を検出するために使用することができます。モニターする電圧が AD7405 の規定されたアナログ入力範囲を超える場合は、分圧回路を使用して、モニターする電圧を要求される範囲まで縮小することが可能です。

入力フィルタ

シャント抵抗の両端の電圧を直接測定する代表的使用例の場合、AD7405は簡単なRCローパス・フィルタを各入力に直接接続することができます。

最適性能を得るために差動入力を駆動する推奨回路構成を図27に示します。RCローパス・フィルタは両方のアナログ入力ピンに接続します。抵抗とコンデンサの推奨値は、それぞれ10Ωと220pFです。可能であれば、オフセットを最小化するために各アナログ入力ピン上のソース・インピーダンスを等しくしてください。

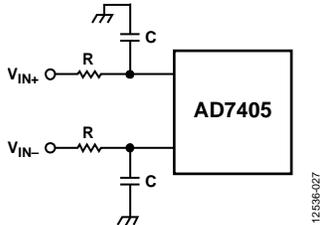


図 27. RC ローパス・フィルタ入力ネットワーク

AD7405の入力フィルタの構成は図27に示されたローパス・フィルタには限られません。図28に示すような差動RCフィルタ構成も優れた性能を発揮します。抵抗とコンデンサの推奨値は、それぞれ22Ωと47pFです。

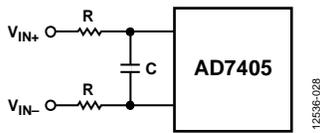


図 28. 差動 RC フィルタ・ネットワーク

図29は、異なった抵抗及びコンデンサの値に対して、図27と図28に示される入力フィルタ構成の代表的性能を比較した結果を示します。

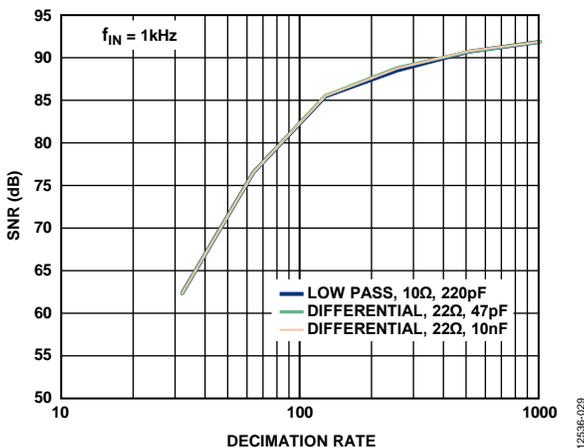


図 29. さまざまな抵抗及びコンデンサの値、さまざまなフィルタ構成の場合のSNR対デシメーション・レート特性

デジタルフィルタ

AD7405のMDAT出力は、連続したLVDSデジタル・ビットストリームです。元の入力信号の情報を再現するためには、この出力ビットストリームをデジタル・フィルタリングし、デシメートする必要があります。回路を簡単にするために、sincフィルタの使用が推奨されます。このフィルタとしては、2次の変調器であるAD7405より1次高い3次のフィルタであるsinc3フィルタの使用が推奨されます。選択されるフィルタのタイプ、デシメーション・レート、及び使用される変調器のクロックが、システム全体の分解能とスループット速度を決定します。図30に示されるように、デシメーション・レートが高いほど、システムの精度は高くなります。しかし、精度とスループット・レートはトレードオフの関係にあり、デシメーション・レートを上げるとスループットが下がります。与えられた帯域幅に対して、MCLKIN周波数を高くすると、より高いデシメーション・レートの使用が可能となり、その結果としてSNR性能も高められることに注意してください。

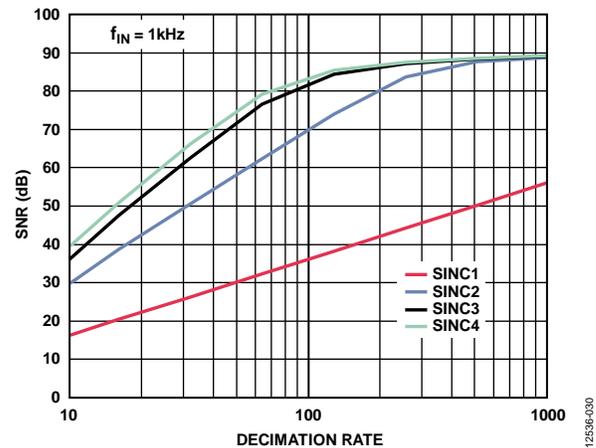


図 30. さまざまな Sinc フィルタの次数をパラメータとした SNR とデシメーション・レートの関係

AD7405ではsinc3フィルタの使用が推奨されます。このフィルタはフィールド・プログラマブル・ゲート・アレイ (FPGA) またはデジタル信号プロセッサ (DSP) を用いて構成することができます。

sincフィルタの伝達関数は式(1)で表されます。

$$H(z) = \left(\frac{1}{DR} \frac{(1 - Z^{-DR})}{(1 - Z^{-1})} \right)^N \quad (1)$$

ここでDRはデシメーション・レート、Nはsincフィルタの次数です。

sincフィルタのスループット・レートは、変調器のクロックと選択されたデシメーション・レートによって決定されます。

$$\text{Throughput} = \frac{MCLK}{DR} \quad (2)$$

ここでMCLKは変調器のクロック周波数です。

デシメーション・レートが増加するにしたがって、sincフィルタからのデータ出力のサイズも増加します。出力データのサイズは式(3)で表されます。16ビットの結果を返すために、上位16ビットが用いられます。

$$\text{Data size} = N \times \log_2 DR \quad (3)$$

sinc3 フィルタに対して、フィルタ伝達関数の式(1)からフィルタの-3dB 応答ポイントが導かれ、スループット・レートの0.262 倍が与えられます。3 次の sinc フィルタの特性を表 11 に示します。

表 11.20 MCLKIN が 20 MHz の場合の sinc3 フィルタの特性

Decimation Ratio (DR)	Throughput Rate (kHz)	Output Data Size (Bits)	Filter Response (kHz)
32	625	15	163.7
64	312.5	18	81.8
128	156.2	21	40.9
256	78.1	24	20.4
512	39.1	27	10.2

以下の Verilog コードは、Xilinx の Spartan-6 FPGA 上で sinc3 フィルタを構成する場合のプログラムの例を示します。

[注] データはクロックの立ち上がりエッジで読み出されます。データをクロックの立ち上がりエッジで読み出すことが推奨されます。コードは 32 から 4096 までのデシメーション・レートに合わせて設定することができます。

```

module dec256sinc24b
(
input mclk1, /* used to clk filter */
input reset, /* used to reset filter */
input mdata1, /* input data to be filtered */
output reg [15:0] DATA, /* filtered output */
output reg data_en,
input [15:0] dec_rate
);

```

/* Data is read on positive clk edge */

```

reg [36:0] ip_data1;
reg [36:0] acc1;
reg [36:0] acc2;
reg [36:0] acc3;
reg [36:0] acc3_d2;
reg [36:0] diff1;
reg [36:0] diff2;
reg [36:0] diff3;
reg [36:0] diff1_d;
reg [36:0] diff2_d;

```

```
reg [15:0] word_count;
```

```
reg word_clk;
reg enable;
```

```

/*Perform the Sinc action*/
always @ (mdata1)
if(mdata1==0)
    ip_data1 <= 37'd0;
    /* change 0 to a -1 for twos complement */
else

```

```

    ip_data1 <= 37'd1;
/*Accumulator (Integrator)

```

Perform the accumulation (IIR) at the speed of the modulator.

Z = one sample delay MCLKOUT = modulators conversion bit rate */

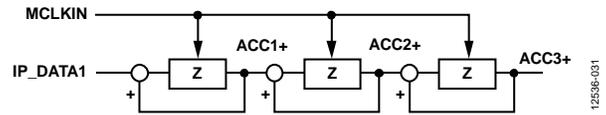


図 31. アキュムレータ

```

always @ (negedge mclk1, posedge reset)
begin
    if (reset)
    begin
        /* initialize acc registers on reset */
        acc1 <= 37'd0;
        acc2 <= 37'd0;
        acc3 <= 37'd0;
    end
    else
    begin
        /*perform accumulation process */
        acc1 <= acc1 + ip_data1;
        acc2 <= acc2 + acc1;
        acc3 <= acc3 + acc2;
    end
end

/*decimation stage (MCLKOUT/WORD_CLK) */
always @ (posedge mclk1, posedge reset)
begin
    if (reset)
        word_count <= 16'd0;

    else
    begin
        if ( word_count == dec_rate -
1 )
            word_count <= 16'd0;
        else
            word_count <= word_count
+ 16'b1;
    end
end

always @ ( posedge mclk1, posedge reset )
begin
    if ( reset )
        word_clk <= 1'b0;
    else
    begin
        if ( word_count == dec_rate/2 -
1 )
            word_clk <= 1'b1;
        else if ( word_count ==
dec_rate - 1 )
            word_clk <= 1'b0;
    end
end
end

```

```

/*Differentiator (including decimation
stage)
Perform the differentiation stage (FIR) at a
lower speed.
Z = one sample delay WORD_CLK = output word
rate */

```

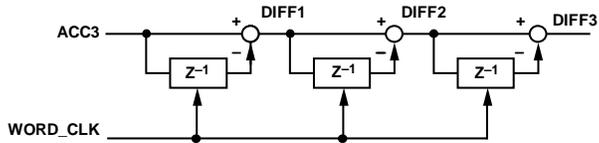


図 32. 微分回路

```

always @ (posedge word_clk, posedge reset)
begin

```

```

    if(reset)
    begin
        acc3_d2 <= 37'd0;
        diff1_d <= 37'd0;
        diff2_d <= 37'd0;
        diff1 <= 37'd0;
        diff2 <= 37'd0;
        diff3 <= 37'd0;

```

```

    end
    else
    begin

```

```

        diff1 <= acc3 - acc3_d2;
        diff2 <= diff1 - diff1_d;
        diff3 <= diff2 - diff2_d;
        acc3_d2 <= acc3;
        diff1_d <= diff1;
        diff2_d <= diff2;

```

```

    end

```

```

end

```

```

/* Clock the Sinc output into an output
register
WORD_CLK = output word rate */

```

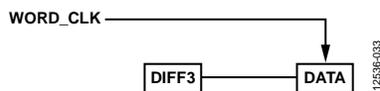


図 33. Sinc3 の出力をクロッキングして出力レジスタに移す。

```

always @ ( posedge word_clk )
begin

```

```

    case ( dec_rate )
        16'd32:begin
            DATA <= (diff3[15:0] ==
16'h8000) ? 16'hFFFF : {diff3[14:0], 1'b0};
        end
        16'd64:begin
            DATA <= (diff3[18:2] ==
17'h10000) ? 16'hFFFF : diff3[17:2];
        end

```

```

        16'd128:begin
            DATA <= (diff3[21:5] ==
17'h10000) ? 16'hFFFF : diff3[20:5];
        end
        16'd256:begin
            DATA <= (diff3[24:8] ==
17'h10000) ? 16'hFFFF : diff3[23:8];
        end
        16'd512:begin
            DATA <= (diff3[27:11] ==
17'h10000) ? 16'hFFFF : diff3[26:11];
        end
        16'd1024:begin
            DATA <= (diff3[30:14] ==
17'h10000) ? 16'hFFFF : diff3[29:14];
        end
        16'd2048:begin
            DATA <= (diff3[33:17] ==
17'h10000) ? 16'hFFFF : diff3[32:17];
        end
        16'd4096:begin
            DATA <= (diff3[36:20] ==
17'h10000) ? 16'hFFFF : diff3[35:20];
        end
        default:begin
            DATA <= (diff3[24:8] ==
17'h10000) ? 16'hFFFF : diff3[23:8];
        end
    endcase

```

```

end

```

```

/* Synchronize Data Output*/

```

```

always@ ( posedge mclk1, posedge reset )
begin

```

```

    if ( reset )
    begin
        data_en <= 1'b0;
        enable <= 1'b1;

```

```

    end
    else
    begin

```

```

        if ( (word_count == dec_rate/2
- 1) && enable )
        begin

```

```

            data_en <= 1'b1;
            enable <= 1'b0;

```

```

        end
        else if ( (word_count ==
dec_rate - 1) && ~enable )
        begin

```

```

            data_en <= 1'b0;
            enable <= 1'b1;

```

```

        end
        else

```

```

            data_en <= 1'b0;

```

```

        end

```

```

end

```

```

endmodule

```

グラウンドとレイアウト

V_{DD1} 電源は 10 μ F と 1nF の並列接続コンデンサにより GND₁ にデカップリングすることが推奨されます。ピン 1 とピン 7 は個別にデカップリングしてください。V_{DD2} 電源は 100 nF のコンデンサで GND₂ にデカップリングしてください。高いコモン・モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるようにしてください。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインしてください。等しい結合の実現に失敗すると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。デカップリング・コンデンサはできるだけ電源ピンに近い場所に配置してください。

歪みの影響を排除するために(特に高温での)、アナログ入力の直列抵抗を最小限に抑える必要があります。可能であれば、オフセットを最小化するために各アナログ入力ピン上のソース・インピーダンスを等しくしてください。オフセット・ドリフトを低減するために、プリント配線板(PCB)上のアナログ入力部のミスマッチと熱電対効果に注意してください。

絶縁部の寿命

すべての絶縁構造は、十分長い期間にわたって電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施して AD7405 内の絶縁構造の寿命を測定しています。アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速係数を求めました。これらの係数を使うと、実際の動作電圧での故障までの時間を計算することができます。表 8 に、バイポーラ AC 動作条件とアナログ・デバイセズの最大推奨動作電圧での 20 年のサービス寿命に対するピーク電圧と最大 VDE 認定動作電圧を示します。

これらのテストは AD7405 の絶縁部に連続的にかかる電圧で行っています。故障の発生頻度を加速させるために、通常の使用電圧を超える試験電圧が選択されました。これらのユニットの故障発生数と時間の関係が記録され、加速係数の計算に用いられました。次にこれらの加速係数は、通常の動作条件での故障時間を計算するために用いられました。表 8 に示す値は、次の二つの値のうち小さい方の値です：

- 少なくとも 20 年間連続使用可能な寿命を保証する値
- VDE に認定される動作電圧の最大値

絶縁障壁に印加される電圧波形によって AD7405 の寿命は変わることにご注意してください。iCoupler の絶縁構造は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかによって受けるストレスが異なります。図 34、図 35、及び図 36 にアイソレーション障壁に印加される電圧波形を示します。図 35、図 36、及び図 37 にアイソレーション障壁に印加される電圧波形を示します。

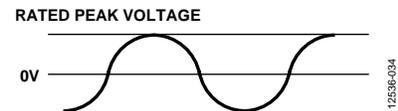


図 31. バイポーラ AC 波形、50 Hz または 60 Hz



図 32. ユニポーラ AC 波形、50 Hz または 60 Hz

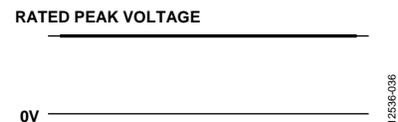
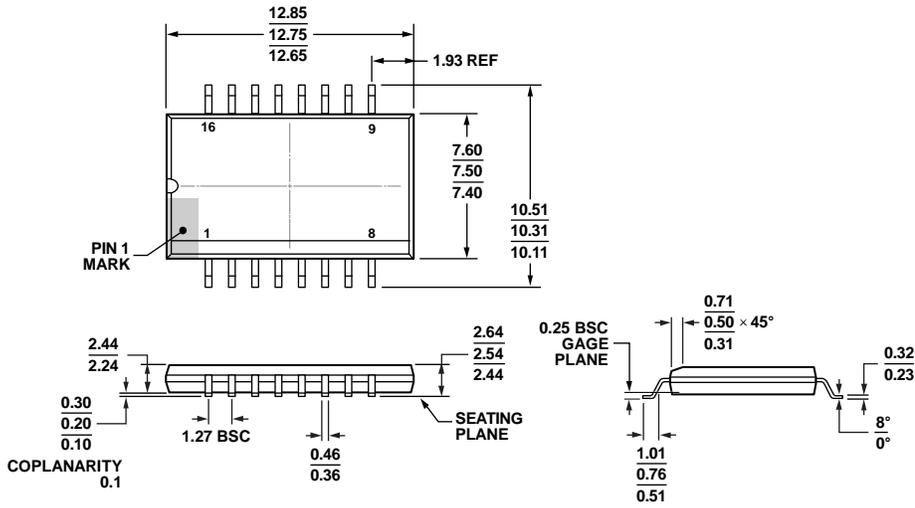


図 33. DC 波形

外形寸法



11-15-2011-A

図 37 沿面距離を増やした 16 ピンのワイド・ボディ SOIC パッケージ(RI-16-2)
寸法表示 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7405BRIZ	-40°C to +125°C	16-Lead Standard Small Outline Package, with Increased Creepage [SOIC_IC]	RI-16-2
AD7405BRIZ-RL	-40°C to +125°C	16-Lead Standard Small Outline Package, with Increased Creepage [SOIC_IC]	RI-16-2
AD7405BRIZ-RL7	-40°C to +125°C	16-Lead Standard Small Outline Package, with Increased Creepage [SOIC_IC]	RI-16-2

¹ Z = RoHS 適合部品