

### 特長

128ポジション  
ポテンシオメータの置換え  
10 k、50 k、100 k、1 M  
パワーシャットダウン機能：1  $\mu$ A未満  
3線式SPI互換のシリアル・データ入力  
+5 Vから+30 Vのシングル電源動作  
 $\pm$ 5 Vから $\pm$ 15 Vのデュアル電源動作  
中間スケールにプリセット

### アプリケーション

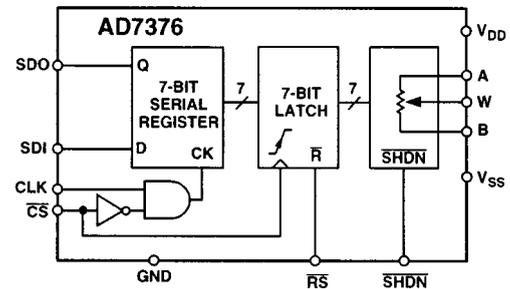
機械的なポテンシオメータの置換え  
計装：ゲイン調整、オフセット調整  
プログラム可能な電圧 電流変換  
プログラム可能なフィルタ、遅延回路、時定数設定回路  
ライン・インピーダンス整合  
電源調整

### 概要

AD7376は、128ポジションをデジタルで制御するシングル・チャンネルの可変抵抗(VR)デバイスです。このデバイスは、ポテンシオメータあるいは可変抵抗と同じ調整機能を実現します。こういった製品は、計測器やテスト装置用に最適化され、端末から端末までの抵抗値の選択が広いことから、高い電圧と帯域もしくは消費電力間の選択を組合せることができます。AD7376は、ワイパー・コンタクト付きの固定抵抗を備えています。このワイパー・コンタクトは、SPI互換のシリアル入力レジスタにロードされたデジタル・コードに対応するポイントで、固定抵抗を分割します。この固定抵抗の一端とワイパーの間の抵抗値は、VRラッチに入力されるデジタルデータに応じて直線的に変化します。これにより、A端子とワイパー間、あるいはB端子とワイパー間の抵抗値を完全にプログラムすることが可能になります。また、A端子とB端子の間の固定抵抗値には、10 k、50 k、100 k、および1 Mがあり、いずれの公称温度係数も、-300 ppm/°C となっています。

VRは、プログラムされた抵抗値を保持するためのVRラッチを独立に備えています。このVRラッチは、チップ内のシリアル・パラレル・シフト・レジスタの値によって更新され、このシフト・レジスタへは、標準的な3線シリアル入力デジタル・インターフェースから値をロードすることができます。シリアル・データ入力レジスタ(SDI)に取込まれるデータ・ワードは7データ・ビットで構成されています。 $\overline{\text{CS}}$ ストロブがロジックHIになっているときは、ロードされたデータ・ワードの最後の7ビットだけが7ビットのVRラッチに送られます。また複数のVRを使用するアプリケーションの場合でも、シリアル・レジスタの反対側にシリアル・データ出力ピン(SDO)が備わっているので、外付けのデコード・ロジックを追加することなく単純にデジィー・チェーン接続することができます。

### 機能ブロック



リセット( $\overline{\text{RS}}$ )ピンを使用すると、VRラッチに40 $\mu$ Aがロードされ、ワイパーを中間スケールのポイントに強制設定することができます。また、SHDNピンは、A端子上で抵抗の両端を開放した状態を設定し、さらにワイパーとB端子を短絡するので、消費電力が $\mu$ Wレベルのシャットダウン状態が得られます。 $V_{\text{DD}}$ への電源が供給されている限り、シャットダウン(SHDN)をロジックHIに戻せば、ラッチに保持されている設定値によって、シャットダウン以前の抵抗値に復帰します。またシャットダウン中もデジタル・インターフェースが生きているので、シャットダウン中にコードを変更すれば、デバイスがシャットダウンから復帰したとき、新しいワイパー・ポジションを設定することもできます。

AD7376は、表面実装パッケージ(SOL-16)と14ピンのプラスチックDIPパッケージで供給されます。また、非常に稠密な製品用に、薄型TSSOPパッケージも用意できます。すべての部品は、-40 から+85の拡張産業温度範囲にわたる動作が保証されています。なお、これよりも低い電源電圧(+3 V ~ +5 V)をお使いの場合は、AD8400/AD8402/AD8403をご確認ください。

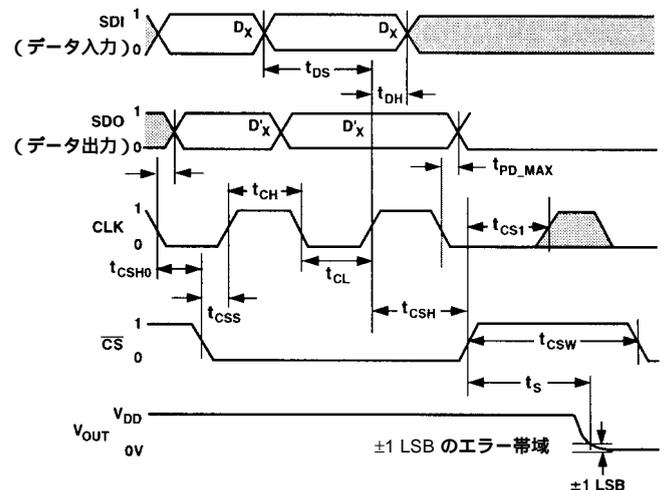


図1. 詳細なタイミング・チャート

$\overline{\text{CS}}$ がロジックHIになっているときは、シリアル入力レジスタに最後に取込まれた7ビットが7ビットのVRラッチに送られます。それ以外のデータ・ビットは無視されます。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

\* 特許番号 = 5495245

# AD7376 仕様

電気的特性(特に指定のない限り $V_{DD}/V_{SS} = \pm 15 V \pm 10\%$ または $\pm 5 V \pm 10\%$ 、 $V_A = +V_{DD}$ 、 $V_B = V_{SS}/0 V$ 、 $-40 < T_A < +85$  )

パラメータ	シンボル	条件	Min	Typ <sup>1</sup>	Max	単位
<b>DC特性、可変抵抗モード(仕様はすべてのVRに適用)</b>						
抵抗の微分非直線性 <sup>2</sup>	R-DNL	$R_{WB}$ 、 $V_A = NC$	-1	$\pm 0.25$	+1	LSB
抵抗の非直線性 <sup>2</sup>	R-INL	$R_{WB}$ 、 $V_A = NC$	-1	$\pm 0.5$	+1	LSB
抵抗誤差(公称値)	R	$T_A = +25$	-30		30	%
抵抗温度係数	$R_{AB}/T$	$V_{AB} = V_{DD}$ 、ワイパー = 無接続		-300		ppm/
ワイパー抵抗	$R_W$	$I_W = \pm 15 V/R$ (公称値)		120	200	
ワイパー抵抗	$R_W$	$I_W = \pm 5 V/R$ (公称値)		200		
<b>DC特性、ポテンショメータ分圧モード(仕様はすべてのVRに適用)</b>						
分解能	N		7			ビット
積分非直線性 <sup>3</sup>	INL		-1	$\pm 0.5$	+1	LSB
微分非直線性 <sup>3</sup>	DNL		-1	$\pm 0.1$	+1	LSB
分圧回路の温度係数	$V_W/T$	コード = 40 <sub>H</sub>		5		ppm/
フルスケール誤差	$V_{WFSE}$	コード = 7F <sub>H</sub>	-2	-0.5	+0	LSB
ゼロスケール誤差	$V_{WZSE}$	コード = 00 <sub>H</sub>	0	+0.5	+1	LSB
<b>抵抗端子</b>						
電圧範囲 <sup>4</sup>	$V_{A,B,W}$		$V_{SS}$		$V_{DD}$	V
容量 <sup>5</sup> A, B	$C_{A,B}$	f = 1 MHz、GNDに対して測定、コード = 40 <sub>H</sub>		45		pF
容量 <sup>5</sup> W	$C_W$	f = 1 MHz、GNDに対して測定、コード = 40 <sub>H</sub>		60		pF
シャットダウン電源電流 <sup>6</sup>	$I_{A,SD}$	$V_A = V_{DD}$ 、 $V_B = 0 V$ 、SHDN = 0		0.01	1	$\mu A$
シャットダウン・ワイパー抵抗	$R_{W,SD}$	$V_A = V_{DD}$ 、 $V_B = 0 V$ 、SHDN = 0、 $V_{DD} = +15 V$		170	400	
同相漏れ電流	$I_{CM}$	$V_A = V_B = V_W$		1		nA
<b>デジタル入力と出力</b>						
入力ロジックHI	$V_{IH}$	$V_{DD} = +5 V$ または $+15 V$	2.4			V
入力ロジックLO	$V_{IL}$	$V_{DD} = +5 V$ または $+15 V$			0.8	V
出力ロジックHI	$V_{OH}$	+5 Vに対し $R_L = 2.2 k$	4.9			V
出力ロジックLO <sup>7</sup>	$V_{OL}$	$I_{OL} = 1.6 mA$ 、 $V_{LOGIC} = +5 V$ 、 $V_{DD} = +15 V$			0.4	V
入力電流	$I_{IL}$	$V_{IN} = 0 V$ または $+15 V$			$\pm 1$	$\mu A$
入力容量 <sup>5</sup>	$C_{IL}$			5		pF
<b>電源</b>						
電源電圧範囲	$V_{DD}/V_{SS}$	デュアル電源電圧範囲	$\pm 4.5$		$\pm 16.5$	V
電源電圧範囲	$V_{DD}$	シングル電源電圧範囲、 $V_{SS} = 0$	4.5		28	V
電源電流	$I_{DD}$	$V_{IH} = +5 V$ または $V_{IL} = 0 V$ 、 $V_{DD} = +5 V$		0.0001	0.01	mA
電源電流	$I_{DD}$	$V_{IH} = +5 V$ または $V_{IL} = 0 V$ 、 $V_{DD} = +15 V$		0.75	2	mA
電源電流	$I_{SS}$	$V_{IH} = +5 V$ または $V_{IL} = 0 V$ 、 $V_{SS} = -5 V$ または $-15 V$		0.02	0.1	mA
消費電力 <sup>8</sup>	$P_{DISS}$	$V_{IH} = +5 V$ または $V_{IL} = 0 V$ 、 $V_{DD} = +15 V$ 、 $V_{SS} = -15 V$		11	30	mW
電源変動感度	PSS	$V_{DD} = +5 V \pm 10\%$ 、または $V_{SS} = -5 V \pm 10\%$		0.05	0.15	%/%
	PSS	$V_{DD} = +15 V \pm 10\%$ 、または $V_{SS} = -15 V \pm 10\%$		0.01	0.02	%/%
<b>ダイナミック特性<sup>5, 9, 10</sup></b>						
帯域幅 -3dB	BW_10K	$R_{AB} = 10k$ 、コード = 40 <sub>H</sub>		520		kHz
帯域幅 -3dB	BW_50K	$R_{AB} = 50k$ 、コード = 40 <sub>H</sub>		125		kHz
帯域幅 -3dB	BW_100K	$R_{AB} = 100k$ 、コード = 40 <sub>H</sub>		60		kHz
総合高調波歪み	THD <sub>W</sub>	$V_A = 1 V_{rms}$ 、 $V_B = 0 V$ 、f = 1 kHz		0.005		%
$V_W$ セトリング時間	$t_s$	$V_A = 10 V$ 、 $V_B = 0 V$ 、 $\pm 1LSB$ の誤差帯域		4		$\mu s$
抵抗ノイズ電圧	$e_{N,WB}$	$R_{WB} = 25 k$ 、f = 1 kHz、RS = 0		14		nV $\sqrt{Hz}$
<b>インターフェースのタイミング特性(すべての部品に適用<sup>5, 11</sup>)</b>						
入力クロック・パルス幅	$t_{CH}$ 、 $t_{CL}$	クロック・レベルHIまたはLO	120			ns
データ・セットアップ時間	$t_{DS}$		30			ns
データ・ホールド時間	$t_{DH}$		20			ns
CLKからSDOまでの伝播遅延 <sup>12</sup>	$t_{PD}$	$R_L = 2.2 k$ 、 $C_L < 20 pF$	10		100	ns
CSセットアップ時間	$t_{CSS}$		120			ns
CSのHIパルス幅	$t_{CSW}$		150			ns
リセット・パルス幅	$t_{RS}$		120			ns
CLK立上りからCS立上り までのホールド時間	$t_{CSH}$		120			ns
CS立上りからクロック立上り までのセットアップ	$t_{CS1}$		120			ns

- 注意**
- Typは、+25、 $V_{DD} = +15V$ 、 $V_{SS} = -15V$ の平均値です。
  - 抵抗位置非直線性誤差(R-INL)は、理論的な値に対する、最大抵抗から最小抵抗までのワイパー位置の測定値の偏差です。R-DNLは、連続したタップ位置間の理論値に対する相対的なステップ変動を指します。製品には単調性が保証されています。図27のテスト回路を参照してください。
  - INLとDNLは、RDACを電圧出力D/Aコンバータと類似の構成にして、 $V_W$ で測定します。 $V_A = V_{DD}$ かつ $V_B = 0V$ にします。 $\pm 1$  LSB以内とするDNL仕様の制限は、保証済み単調動作条件です。図26のテスト回路を参照してください。
  - 抵抗端子A、B、Wは、それぞれ極性が制限されていません。
  - 設計上保証されていますが、製品検査の対象ではありません。
  - A端子で測定されます。このA端子は、シャットダウン・モードで開放されます。
  - $V_{DD} = +5V$ で動作する50k  $\bar{P}$ バージョンについては $I_{OL} = 200\mu A$ になります。
  - $P_{DISS}$ は $I_{DD} \times V_{DD}$ で計算します。CMOSロジック・レベルの入力で消費電力を最小にすることができます。
  - 帯域幅、ノイズ、およびセトリグ時間は、選択した端子抵抗値に依存します。抵抗値が最小のとき、セトリグ時間が最短に、帯域幅が最大になります。最大の抵抗値では、全体的な消費電力が最小になります。
  - すべてのダイナミック特性は、 $V_{DD} = +15V$ 、 $V_{SS} = -15V$ を使用しています。
  - 測定値を図示したタイミング・チャートを参照してください。すべての入力コントロール電圧は、 $t_r = t_f = 1ns$ ( $V_{DD}$ の10%から90%)として規定し、1.6Vの電圧レベルから時間測定しています。スイッチング特性は、 $V_{DD} = +5V$ と $V_{DD} = +15V$ の両方で測定しています。
  - 伝播遅延は、 $V_{DD}$ 、 $R_L$ 、および $C_L$ の値に依存します。アプリケーションの項を参照してください。仕様は予告なしに変更される場合があります。

## 絶対最大定格(特に指定のない限り $T_A = +25$ )

$V_{DD} \sim GND$ .....	- 0.3 V、+ 30 V
$V_{SS} \sim GND$ .....	+ 0.3 V、- 16.5 V
$V_{DD} \sim V_{SS}$ .....	- 0.3 V、+ 44 V
$V_A, V_B, V_W \sim GND$ .....	$V_{SS}, V_{DD}$
$Ax - Bx, Ax - Wx, Bx - Wx$ .....	$\pm 20$ mA
デジタル入力電圧 $\sim GND$ .....	0 V、 $V_{DD} + 0.3$ V
デジタル出力電圧 $\sim GND$ .....	0 V、+ 30 V
動作温度範囲 .....	- 40 $\sim$ + 85
最大接合温度( $T_J$ MAX) .....	+ 150
保管温度範囲 .....	- 65 $\sim$ + 150
リード温度範囲(ハンダ付け, 10秒) .....	+ 300
パッケージ消費電力 .....	( $T_J$ MAX - $T_A$ )/ $J_A$
<b>熱抵抗</b> $J_A$	
P-DIP(N-14).....	92 /W
SOIC(SOL-16).....	120 /W
TSSOP-14 .....	240 /W

## オーダー・ガイド

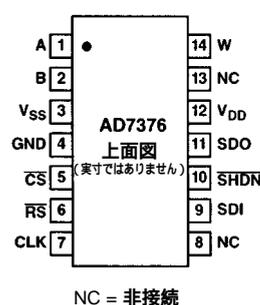
モデル	k	温度範囲	パッケージの種類	パッケージ・オプション
AD7376AN10	10	- 40 $\sim$ + 85	PDIP-14	N-14
AD7376AR10	10	- 40 $\sim$ + 85	SOL-16	R-16
AD7376ARU10	10	- 40 $\sim$ + 85	TSSOP-14	RU-14
AD7376AN50	50	- 40 $\sim$ + 85	PDIP-14	N-14
AD7376AR50	50	- 40 $\sim$ + 85	SOL-16	R-16
AD7376ARU50	50	- 40 $\sim$ + 85	TSSOP-14	RU-14
AD7376AN100	100	- 40 $\sim$ + 85	PDIP-14	N-14
AD7376AR100	100	- 40 $\sim$ + 85	SOL-16	R-16
AD7376ARU100	100	- 40 $\sim$ + 85	TSSOP-14	RU-14
AD7376AN1M	1,000	- 40 $\sim$ + 85	PDIP-14	N-14
AD7376AR1M	1,000	- 40 $\sim$ + 85	SOL-16	R-16
AD7376ARU1M	1,000	- 40 $\sim$ + 85	TSSOP-14	RU-14
<b>ダイのサイズ:</b> 101.6ミル $\times$ 127.6ミル、2.58 mm $\times$ 3.24 mm				
<b>トランジスタ数:</b> 840				

**注意**  
ESD(静電放電)の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に蓄積され、検知されることがなくそれが放電されることもあります。このAD7376は当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスに回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置を行うようお願いいたします。

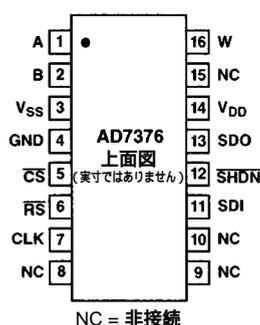


## ピン配置

PDIPおよびTSSOP-14



SOL-16



NC = 非接続

NC = 非接続

# AD7376 代表的な性能特性

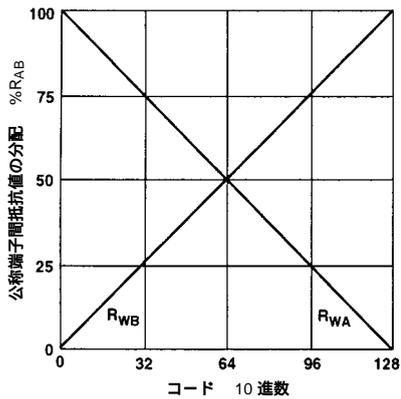


図2. ワイパーから端子までの抵抗の分配率とコードの関係

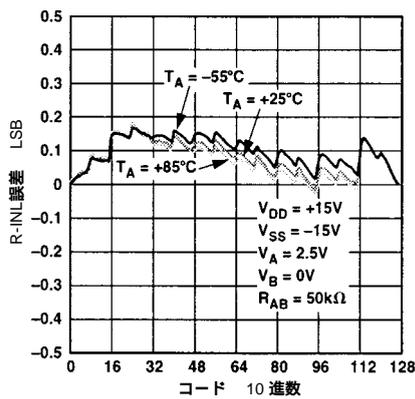


図3. 抵抗ステップ位置の非直線性誤差とコードの関係

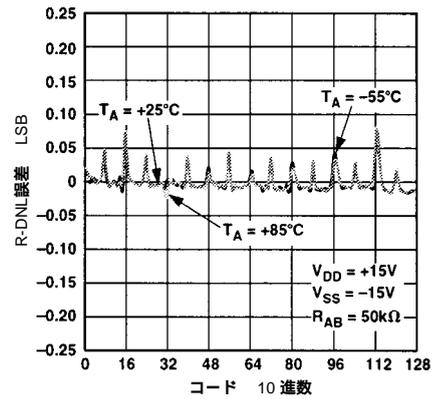


図4. 理論値に対する相対抵抗ステップ変動とコードの関係

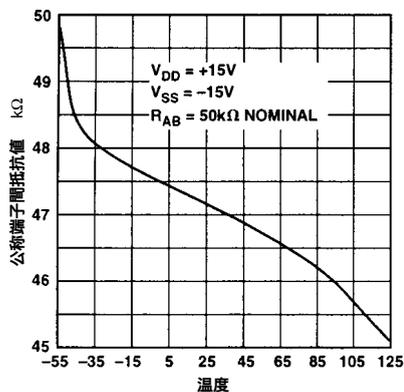


図5. 公称抵抗値と温度の関係

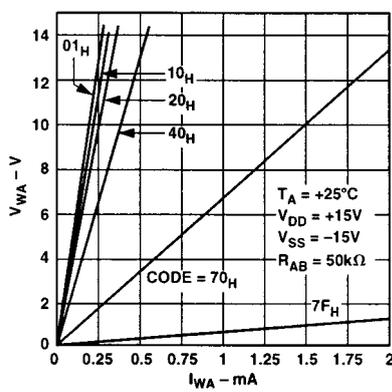


図6. 抵抗の線形性と導電電流の関係

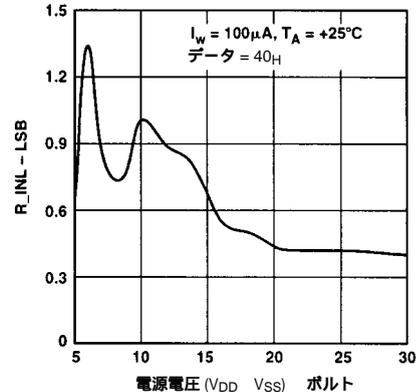


図7. 抵抗の非直線性誤差と電源電圧の関係

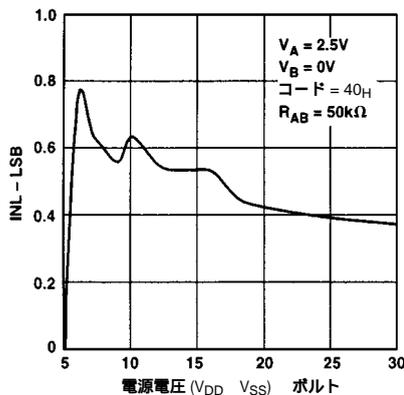


図8. ポテンショメータ分圧回路の非直線性誤差と電源電圧の関係

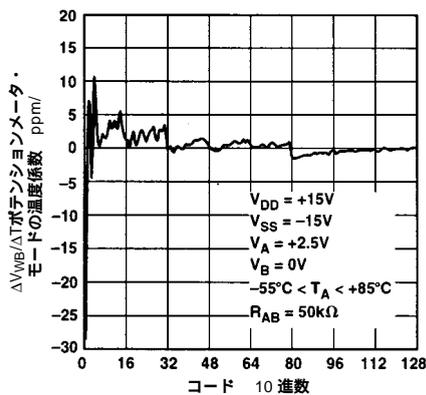


図9.  $V_{WB}/T$ ポテンショメータモードの温度係数

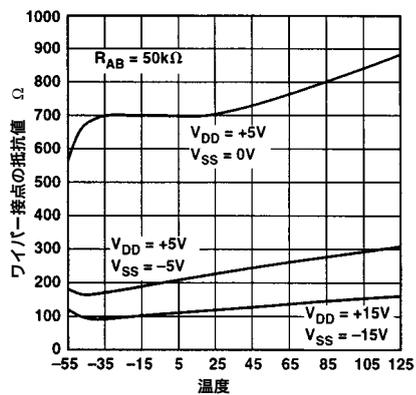


図10. ワイパー接点の抵抗値と温度の関係

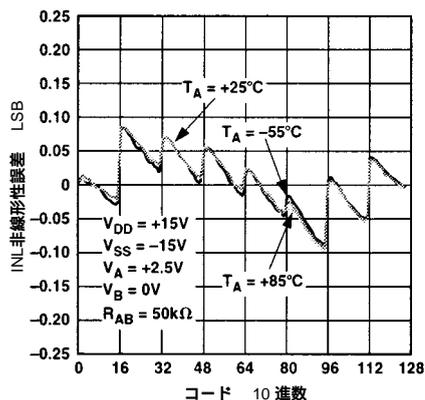


図11. ポテンショメータ分圧回路の非直線性誤差とコードの関係

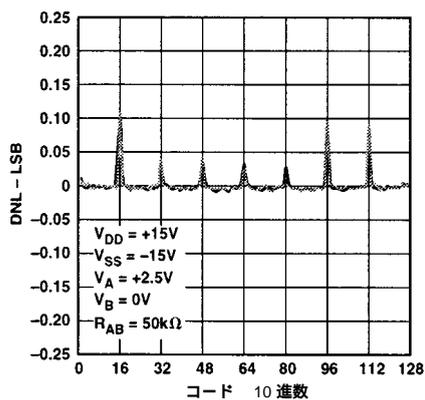


図12. ポテンショメータ分圧回路の微分非直線性誤差とコードの関係

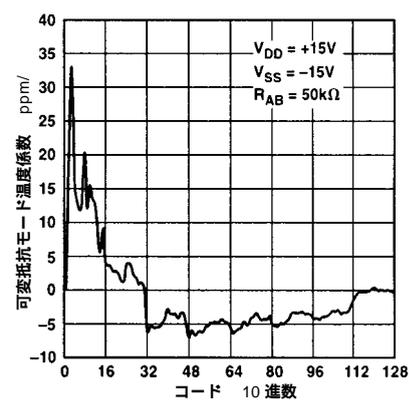


図13.  $R_{WB}/T$  可変抵抗モードの温度係数

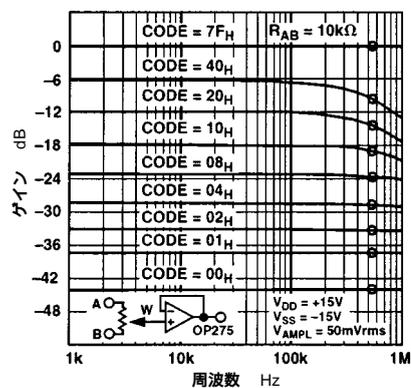


図14. 10k のゲインと周波数およびコードの関係

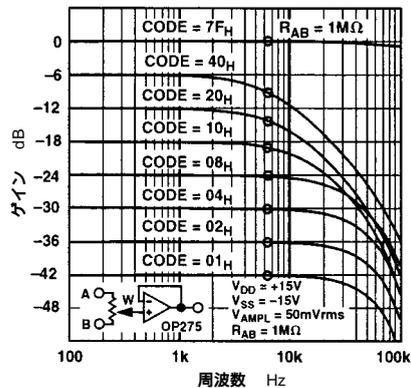


図15. 1M のゲインと周波数およびコードの関係

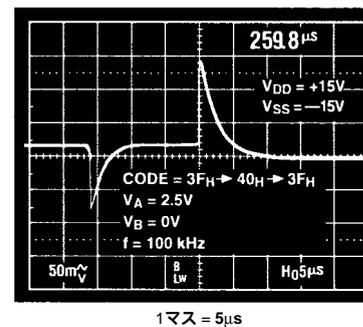


図16. 中間スケールのグリッチ

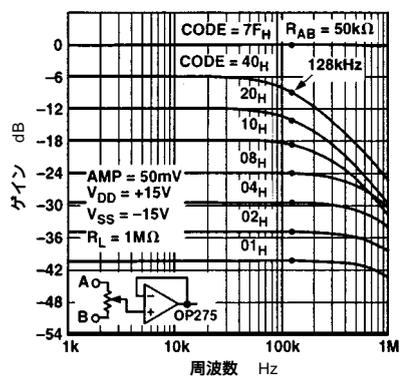


図17. 50k のゲインと周波数およびコードの関係

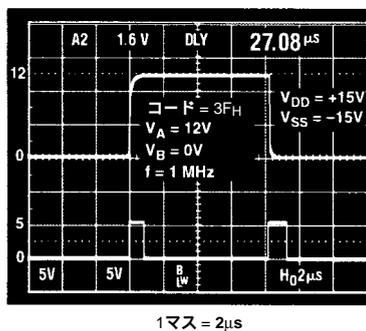


図18. 大信号セトリング

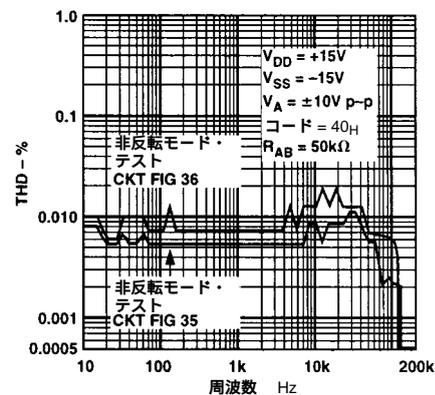


図19. ノイズを加えた総合高調波歪みと周波数の関係

# AD7376

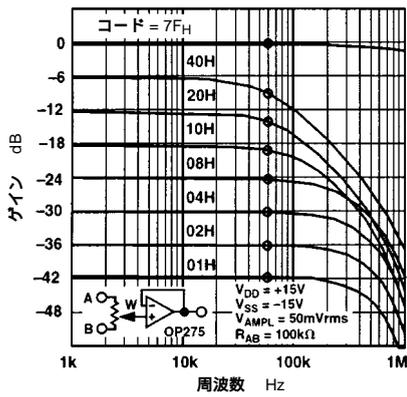


図20. 100 k のゲインと周波数およびコードの関係

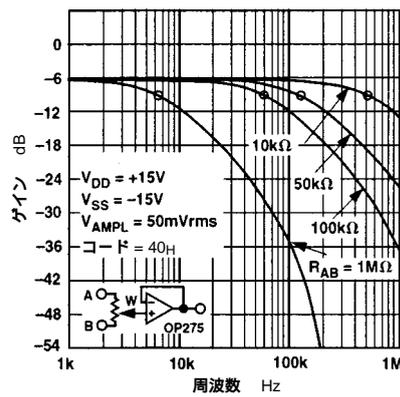


図21. -3dB帯域幅と公称抵抗値の関係

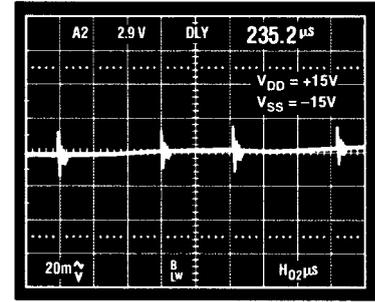


図22. クロックのフィードスルー

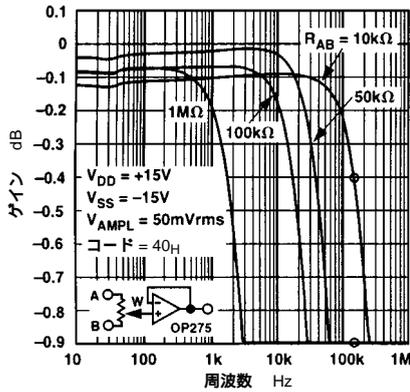


図23. ゲイン扁平率と周波数および公称抵抗値 $R_{AB}$ の関係

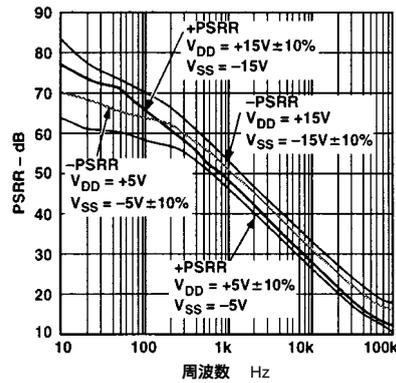


図24. 電源変動除去比と周波数の関係

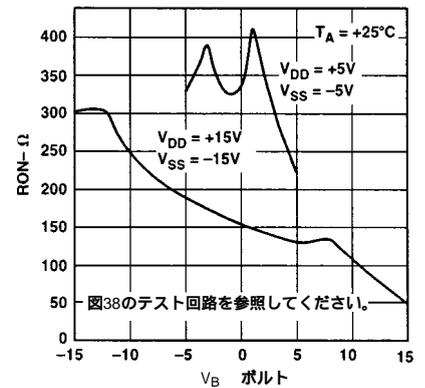


図25. 逐次増加するワイパー接点の抵抗と同相電圧の関係

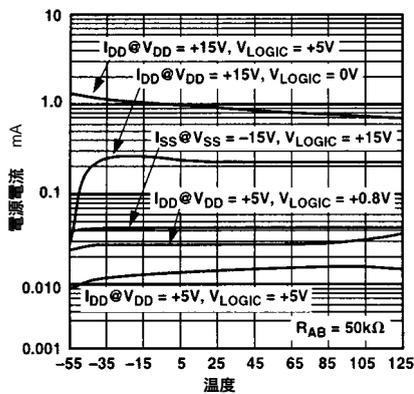


図26. 電源電流( $I_{DD}$ 、 $I_{SS}$ )と温度の関係

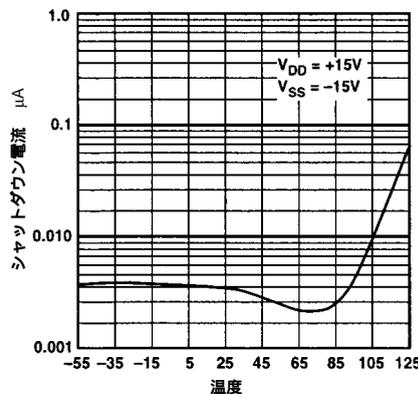


図27. シャットダウン電流( $I_{A,SD}$ )と温度の関係

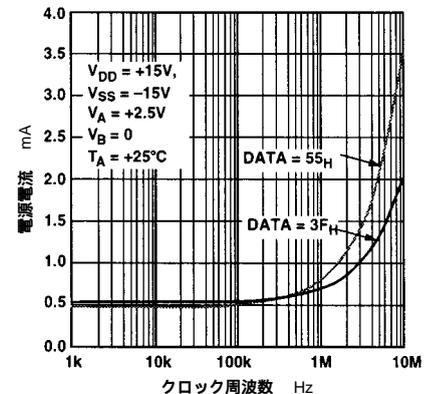


図28. 電源電流( $I_{DD}$ )と入力クロック周波数の関係

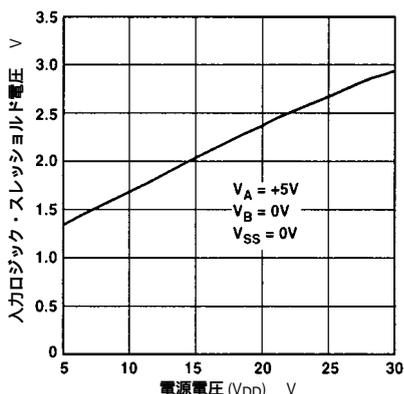


図29．入力ロジック・スレッシュホールド電圧と電源電圧( $V_{DD}$ )の関係

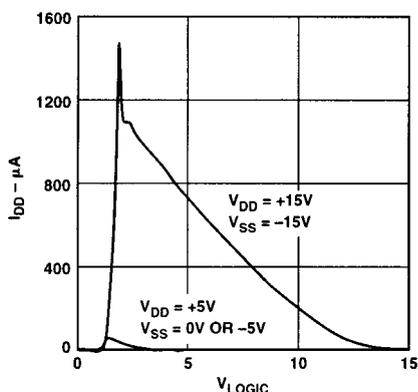


図30．電源電流( $I_{DD}$ )とロジック電圧の関係

### パラメトリック・テスト回路

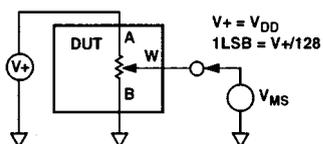


図31．ポテンショメータ分圧回路の非線形性誤差テスト回路 (INL, DNL)

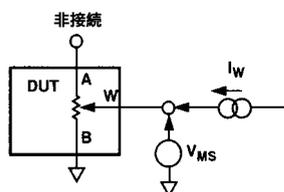


図32．抵抗位置の非線形性誤差 (可変抵抗器動作 ; R-INL、R-DNL)

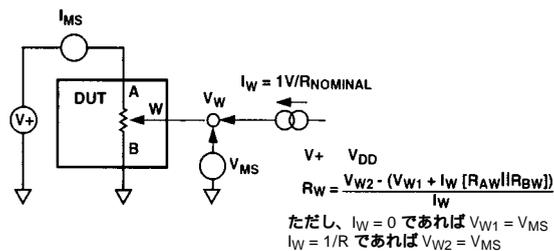


図33．ワイパー抵抗のテスト回路

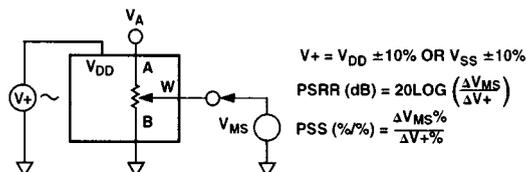


図34．電源感度テスト回路 (PSS, PSRR)

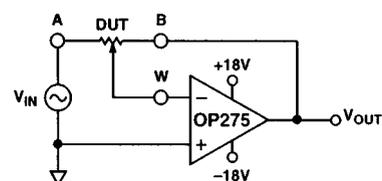


図35．反転プログラマブル・ゲイン・テスト回路

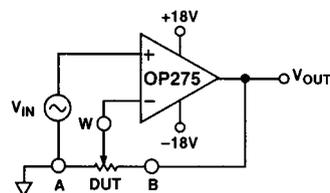


図36．非反転プログラマブル・ゲイン・テスト回路

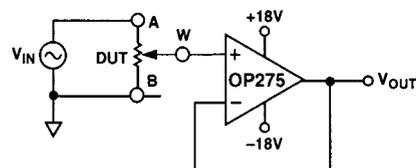


図37．ゲインの周波数特性テスト回路

# AD7376

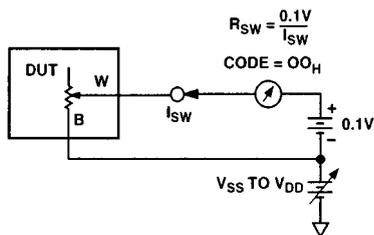


図38．逐次増加ON抵抗テスト回路

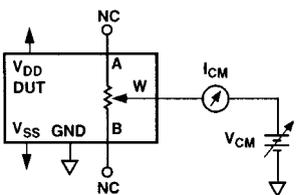


図39．同相漏れ電流テスト回路

## 動作

AD7376は、128ポジションをデジタルで制御するシングル・チャンネルの可変抵抗 (VR) デバイスです。VRの設定は、 $\overline{CS}$ がアクティブLOにドライブされている間に、7ビットのシリアル・データ・ワードをSDI(シリアル・データ入力)ピンに書込むことによつて変更することができます。 $\overline{CS}$ がHIに戻ると、最後の7ビットがRDACラッチに転送されて、新しいワイパー位置が設定されます。詳細なタイミングを図1に示しましたので参照してください。

AD7376は、 $\overline{RS}$ ピンをアサートすれば中間スケールにリセットされるので、パワーアップ時の初期状態を簡単に設定できます。この製品は、RDACを消費電力ゼロの状態にするシャットダウン・ピンSHDNを備えています。消費電力ゼロの状態では、A端子が開放され、W端子とB端子が短絡されて、わずかな漏れ電流を除いてはVR内に電流が流れなくなります。シャットダウン・モードの間は、VRラッチの設定を保持しているため、パワーダウンから通常の動作モードに戻ったときには、VRの設定がシャットダウン前の抵抗値に復帰します。

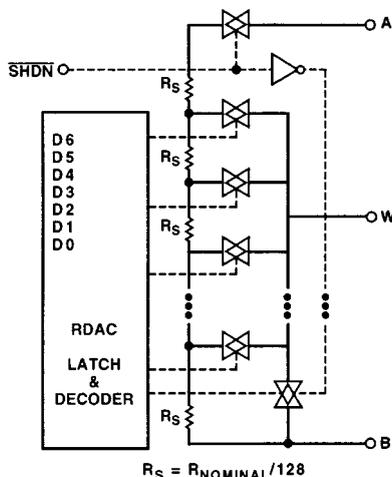


図40．AD7376の等価RDAC回路

## 可変抵抗のプログラミング

### 可変抵抗器動作

A端子とB端子の間の公称RDAC抵抗値には、10 k、50 k、100 k、および1 M が用意されています。10 k の場合は10、50 k の場合は50、100 k の場合は100、1 M の場合は1 M というように、部品番号の最後の数字が公称抵抗値を示しています。VRの公称抵抗 ( $R_{AB}$ ) にはワイパー端子からアクセスする128ポイントの接点とB端子接点とが備わっています。RDACラッチに収められた7ビット・データは、デコードされてこれらの128ポイントの1つを選択します。ワイパーの開始接続ポイントは、データ00<sub>H</sub>に対応するB端子です。B端子との接続では、ワイパー接続抵抗値が120 になります。2番目の接続ポイントは、データ01<sub>H</sub>に対応する(10 k 部品の場合) 198 ( $= R_{BA} [ \text{公称抵抗値} ] / 128 + R_W = 78 + 120$ ) の位置にある最初のタップ・ポイントになります。3番目の接続ポイントは、データ02<sub>H</sub>に対応する、 $156 + 120 = 276$  の位置にある次のタップ・ポイントです。このようにデータ値が増加するごとに、タップ・ポイントが1つずつ繰り上がり、抵抗値が段階的に増加します。最後のタップ・ポイントに対応する抵抗値は10041 です。ここで、ワイパーとB端子が直接接続されないことに注意が必要です。図40の簡略化した等価RDAC回路参照してください。

W端子とB端子の間のデジタル的にプログラムされる出力抵抗を決定する一般的な伝達式を次に表します。

$$R_{WB}(D) = (D) / 128 \times R_{BA} + R_W \quad (1)$$

ただし、Dは7ビットのVRラッチに収められた値、 $R_{BA}$ は端子間の公称抵抗値をそれぞれ示します。

一例として、 $V_B = 0$  VでA端子が開放の場合のVRラッチのコードと出力抵抗値の対応関係を次の表に示します(10k ポテンシオメータに適用)。

D(10進数)	$R_{WB}( )$	出力状態
127	10041	フルスケール
64	5120	中間スケール( $RS = 0$ の状態)
1	276	1 LSB
0	198	ゼロスケール(ワイパーの接触抵抗)

ここでゼロスケール状態に120 のワイパーの抵抗が含まれることに注意してください。この状態では、内蔵スイッチ接点の劣化や破壊を防止するために、W接点とB接点の間の電流を5 mA以下にしてください。

RDACは、それで置換えることができる機械的なポテンシオメータと同様に、完全に対象構成となっています。つまり、ワイパー端子WとA端子の間の抵抗値 $R_{WA}$ もデジタル・コントロールすることができます。これらの端子を使用する場合は、B端子をワイパーに接続しておく必要があります。 $R_{WA}$ の設定は、最大抵抗値から開始され、ラッチのロードするデータを増加するごとに抵抗値が段階的に減少します。この場合の一般的な伝達式を次に示します。

$$R_{WA}(D) = (128 - D) / 128 \times R_{BA} + R_W \quad (2)$$

ただし、Dは7ビットのVRラッチに収められた値、 $R_{BA}$ は端子間の公称抵抗値をそれぞれ表します。一例として、 $V_A = 0$  V、B端子がワイパー端子Wに短絡されている場合のRDACラッチのコードと出力抵抗値の対応関係を次の表に示します。

表

D(10進数)	$R_{WA}$ ( $\Omega$ )	出力状態
127	74	フルスケール
64	5035	中間スケール( $\overline{RS}=0$ の状態)
1	9996	1 LSB
0	10035	ゼロスケール

デバイスごとの $R_{BA}$ の値の標準的な分布は、ロットによって変動しますが、 $\pm 30\%$ の範囲に抑えられています。 $R_{BA}$ の温度変化係数は、 $-300 \text{ ppm/}^\circ\text{C}$  となっています。

### ポテンショメータ分圧回路のプログラミング

#### 電圧出力動作

デジタル・ポテンショメータは、所定の端子に印加された入力電圧に比例する出力電圧を容易に生成できます。たとえば、A端子を $+5 \text{ V}$ に接続し、B端子をアースに接続した場合は、 $0 \text{ V}$ から $+5 \text{ V} - 1 \text{ LSB}$ 相当電圧までの間で任意の電圧をワイパーから取出すことができます。1 LSB相当電圧は、端子AB間に印加された電圧をポテンショメータ分圧回路の分解能128で割った値となります。端子AB間の印加電圧を $V_{AB}$ とすると、アース電位を基準とする出力電圧 $V_W$ は次式で求められます。

$$V_W(D) = D/128 \times V_{AB} + V_B$$

分圧回路モードでのデジタル・ポテンショメータの動作は、温度の影響をあまり受けず、正確です。ここでは、出力電圧が内蔵された抵抗の絶対値ではなく、その比によって決定されるからです。したがって、温度ドリフトも $5 \text{ ppm/}^\circ\text{C}$  まで改善されます。

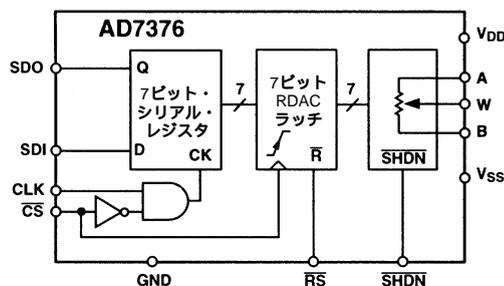


図41 . ブロック図

### デジタル・インターフェース

AD7376には、標準3線式シリアル入力コントロール・インターフェースが備わっています。3つの入力、クロック(CLK)、 $\overline{CS}$ 、およびシリアル・データ入力(SDI)です。CLKは、シリアル入力レジスタへの誤ったデータの取込みを防止するために立上りエッジが乱れていないことが重要です。標準的なロジック・ファミリーで十分な結果が得られます。製品評価に機械的なスイッチを使用する場合は、フリップ・フロップ等の適切な手段を使用して跳ね返りの影響を除去する必要があります。 $\overline{CS}$ がアクティブLOになっているとき

は、クロックの立上りエッジでシリアル・レジスタにデータがロードされます(表を参照してください)。ただし、7ビットのRDACラッチに転送されるのは、シリアル・レジスタに取込まれたデータのうち、最後の7ビットだけです(図41を参照してください)。残りのデータは無視されます。シリアル・データ出力ピン(SDOピン)には、オープン・ドレインのnチャンネルFETが接続されています。次のパッケージのSDIピンにデータを転送するためには、この出力にプルアップ抵抗が必要になります。言い換えると、これにより単一のプロセッサのシリアル・データ・ラインに複数のRDACをデジー・チェーン接続することができます。プルアップ抵抗を使用して次のデバイスのSDIピンを直列に接続する場合は、クロック周期を延ばさなければなりません。デジー・チェーンによりデータを確実に転送するためには、SDOとSDIが接続されるノードに存在する容量性負荷を考慮する必要があります。デジー・チェーンを使用する場合は、それぞれのシリアル・レジスタに対応するデータ・ビットがすべて取込まれるまで、つまり各データ・ビットが正しいデコーディング・ロケーションに収められるまで $\overline{CS}$ をLOに保持しておかなければなりません。2個のAD7376 RDACをデジー・チェーン接続する場合は、14ビットのデータ分となります。シャットダウン( $\overline{SHDN}$ )の間は、SDO出力がオフ(ロジックHI状態)になって、プルアップ抵抗による電力の消費が抑えられます。図42に示した等価SDO出力回路図を参考にしてください。

表 . 入力ロジック・コントロール真理値表

CLK	$\overline{CS}$	$\overline{RS}$	$\overline{SHDN}$	レジスタの動作
L	L	H	H	SR = イネーブル, SDOピン = イネーブル
P	L	H	H	シフトによりSDIピンからのデータを1ビット取込む。直前のデータの第7ビットをSDOからシフト・アウト。
X	P	H	H	SRデータを7ビットのRDACラッチにロード。
X	H	H	H	動作なし。
X	X	L	H	7ビットのRDACラッチを中間スケールに、ワイパーを中心にそれぞれセットし、SDOラッチをクリア。
X	H	P	H	7ビットのRDACラッチに $40_H$ をラッチ。
X	H	H	L	抵抗のA端子を開放、W端子とB端子を短絡、SDO出力トランジスタをオフ。

注意

P = 立上りエッジ、X = 無関係、SR = シフト・レジスタ。

# AD7376

仕様中のデータのセットアップ時間とホールド時間によって、必要なデータの有効時間が決定されます。最後にシリアル・レジスタに入力されたデータ・ワードの7ビットは、 $\overline{CS}$ がHIの間、保持されます。また、 $\overline{CS}$ がHIに戻るとき、その立上りエッジで7ビットのデータがVRラッチにラッチされます。

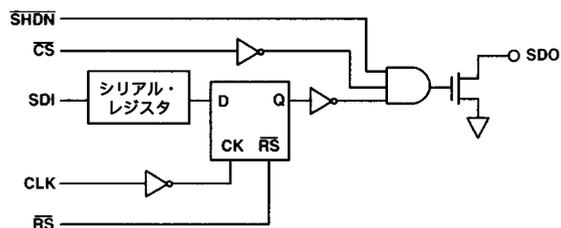


図42 . AD7376のSDO出力回路

すべてのデジタル入力は、図43に示すように、直列入力抵抗と並列ツェナーによるESD保護構造によって保護されています。この構造は、デジタル入力ピン $\overline{CS}$ 、SDI、SDO、 $\overline{RS}$ 、 $\overline{SHDN}$ 、CLKに適用されています。

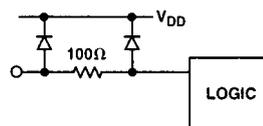


図43 . 等価ESD保護回路

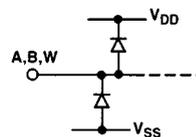
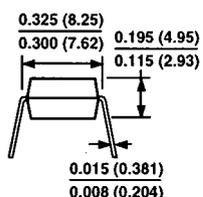
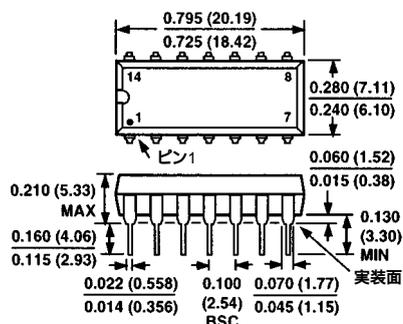


図44 . 等価ESD保護アナログ・ピン

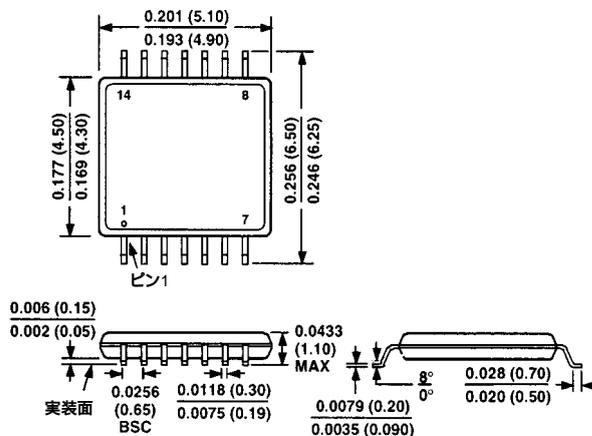
## 外形寸法

寸法はインチと(mm)で示します。

14ピン・プラスチックDIPパッケージ(N-14)



14ピンTSSOPパッケージ(RU-14)



16ピン・ワイド・ボディSOIC(R-16)

