

特長

12ビット SAR ADC

8 シングルエンド入力

チャンネル・シーケンサを内蔵

高速スループット: 1 MSPS

アナログ入力範囲: 0 V~2.5 V

12ビットの温度/デジタル・コンバータを内蔵

温度センサー精度: $\pm 1^{\circ}\text{C}$

温度範囲: $-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$

$V_{\text{DD}} = 2.8\text{ V}\sim 3.6\text{ V}$ で仕様を規定

ロジック電圧 V_{DRIVE} : 1.65 V~3.6 V

パワーダウン電流: 10 μA 以下

内部リファレンス電圧: 2.5 V

パワーオン・リセットを内蔵

高速シリアル・インターフェース SPI

20ピン LFCSP を採用

機能ブロック図

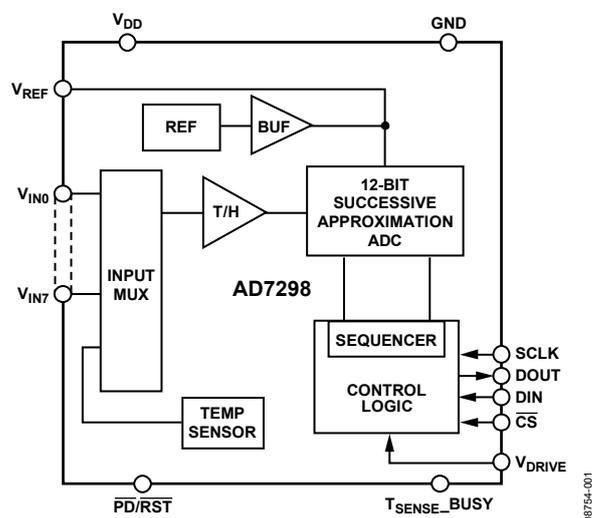


図 1.

概要

AD7298 は、温度センサーを内蔵した高速低消費電力 8 チャンネル 12 ビット逐次比較型 ADC です。このデバイスは 3.3 V 単電源で動作し、最大 1 MSPS のスループット・レートを持っています。30 MHz を超える入力周波数を処理できるローノイズ広帯域のトラック・アンド・ホールドも内蔵しています。

AD7298 は、予め設定しておいた、変換対象チャンネルのシーケンスを選択できるようにするプログラマブルなシーケンサを提供しています。このデバイスは 2.5 V リファレンス電圧を内蔵しており、外付けリファレンスを使うときにはこれをディスエーブルすることができます。

このデバイスは、高精度バンドギャップ温度センサーを内蔵しており、12 ビット ADC により温度を監視しデジタル化して分解能 0.25°C で出力します。このデバイスは、SPI インターフェース規格および DSP インターフェース規格と互換性を持つ 4 線式シリアル・インターフェースを提供しています。

AD7298 では高度なデザイン技術を使って、高いスループット・レートで非常に小さい消費電力を可能にしています。デバイスには、柔軟な消費電力/スループット・レート管理オプションもあります。このデバイスは 20 ピンの LFCSP パッケージを採用しています。

製品のハイライト

1. 様々なシステムでのシステム変数のモニタリングに最適です。このようなシステムとしては、通信制御、プロセス制御、工業用制御などがあります。
2. 低消費電力で 1 MSPS の高スループット・レート。
3. チャンネル・シーケンサ付きの 8 個のシングルエンド入力。ADC が繰り返し変換するチャンネルの連続シーケンスを選択可能。
4. 0.25°C 分解能の温度センサーを内蔵。

目次

特長.....	1	温度センサーの平均処理.....	14
概要.....	1	V _{DRIVE}	15
機能ブロック図.....	1	内蔵または外付けリファレンス電圧.....	15
製品のハイライト.....	1	コントロール・レジスタ.....	16
改訂履歴.....	2	動作モード.....	17
仕様.....	3	従来型のマルチチャンネル動作モード.....	17
タイミング仕様.....	5	繰り返し動作.....	18
絶対最大定格.....	6	パワーダウン・モード.....	19
ESDの注意.....	6	AD7298のパワーアップ.....	20
熱抵抗.....	6	リセット.....	20
ピン配置とピン機能説明.....	7	シリアル・インターフェース.....	21
代表的な性能特性.....	9	温度センサーの読出し.....	22
用語.....	12	レイアウトおよび構成.....	23
回路説明.....	13	電源のバイパスとグラウンド接続.....	23
コンバータの動作.....	13	温度のモニタ.....	23
アナログ入力.....	13	外形寸法.....	24
温度センサーの動作.....	14	オーダー・ガイド.....	24

改訂履歴

6/11—Rev. A to Rev. B

Changes to Internal Temperature Sensor, Accuracy Parameter in Table 1.....	3
--	---

1/11—Rev. 0 to Rev. A

Removed Input Impedance Parameter.....	3
Added Input Capacitance Parameter of 8 pF.....	3
Changes to Figure 11.....	10
Changed C1 Value to 8 pF in Analog Input Section.....	13
Changes to Figure 23.....	14
Changes to Ordering Guide.....	24

9/10—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.8\text{ V} \sim 3.6\text{ V}$; $V_{DRIVE} = 1.65\text{ V} \sim 3.6\text{ V}$; $f_{SAMPLE} = 1\text{ MSPS}$; $f_{SCLK} = 20\text{ MHz}$; $V_{REF} = 2.5\text{ V}$ 内部; $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Signal-to-Noise Ratio (SNR) ^{1,2}	70	72		dB	$f_{IN} = 50\text{ kHz}$ sine wave
Signal-to-Noise (and Distortion) Ratio (SINAD) ¹	70	71		dB	
Total Harmonic Distortion (THD) ¹		-82	-77	dB	
Spurious-Free Dynamic Range (SFDR)		-84	-77.5	dB	
Intermodulation Distortion (IMD)					$f_A = 40.1\text{ kHz}$, $f_B = 41.5\text{ kHz}$
Second-Order Terms		-84		dB	
Third-Order Terms		-93		dB	
Channel-to-Channel Isolation		-100		dB	$f_{IN} = 50\text{ kHz}$, $f_{NOISE} = 60\text{ kHz}$
SAMPLE AND HOLD					
Aperture Delay ³			12	ns	
Aperture Jitter ³		40		ps	
Full Power Bandwidth		30		MHz	@ 3 dB
		10		MHz	@ 0.1 dB
DC ACCURACY					
Resolution	12			Bits	
Integral Nonlinearity (INL) ¹		± 0.5	± 1	LSB	Guaranteed no missed codes to 12 bits
Differential Nonlinearity (DNL) ¹		± 0.5	± 0.99	LSB	
Offset Error ¹		± 2	± 4.5	LSB	
Offset Error Matching ¹		± 2.5	± 4.5	LSB	
Offset Temperature Drift		4		ppm/ $^\circ\text{C}$	
Gain Error ¹		± 1	± 4	LSB	
Gain Error Matching ¹		± 1	± 2.5	LSB	
Gain Temperature Drift		0.5		ppm/ $^\circ\text{C}$	
ANALOG INPUT					
Input Voltage Ranges	0		V_{REF}	V	
DC Leakage Current		± 0.01	± 1	μA	
Input Capacitance		32		pF	When in track
		8		pF	When in hold mode
REFERENCE INPUT/OUTPUT					
Reference Output Voltage ⁴	2.4925	2.5	2.5075	V	$\pm 0.3\%$ maximum @ 25°C
Long-Term Stability		150		ppm	For 1000 hours
Output Voltage Hysteresis		50		ppm	
Reference Input Voltage Range ⁵	1		2.5	V	External reference applied to Pin V_{REF}
DC Leakage Current		± 0.01	± 1	μA	
V_{REF} Output Impedance		1		Ω	
V_{REF} Temperature Coefficient		12	35	ppm/ $^\circ\text{C}$	
V_{REF} Noise		60		$\mu\text{V rms}$	Bandwidth = 10 MHz
LOGIC INPUTS					
Input High Voltage, V_{INH}	$0.7 \times V_{DRIVE}$			V	$V_{IN} = 0\text{ V}$ or V_{DRIVE}
Input Low Voltage, V_{INL}			$+0.3 \times V_{DRIVE}$	V	
Input Current, I_{IN}		± 0.01	± 1	μA	
Input Capacitance, C_{IN} ³		3		pF	
LOGIC OUTPUTS					
Output High Voltage, V_{OH}	$V_{DRIVE} - 0.3$			V	$V_{DRIVE} < 1.8$
	$V_{DRIVE} - 0.2$			V	$V_{DRIVE} \geq 1.8$
Output Low Voltage, V_{OL}			0.4	V	
Floating State Leakage Current		± 0.01	± 1	μA	
Floating State Output Capacitance ³		8		pF	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
INTERNAL TEMPERATURE SENSOR					
Operating Range	-40		+125		
Accuracy		±1	±2	°C	T _A = -40°C to +85°C
		±1	±3	°C	T _A = +85°C to +125°C
Resolution		0.25		°C	LSB size
CONVERSION RATE					
Conversion Time		1	t ₂ + 16 × t _{SCLK}	μs	For V _{IN0} to V _{IN7} , with one cycle latency
			100	μs	T _{SENSE} temperature sensor channel
Track-and-Hold Acquisition Time ³			100	ns	Full-scale step input
Throughput Rate			1	MSPS	f _{SCLK} = 20 MHz, for analog voltage conversions, one cycle latency
			10	KSPS	For the T _{SENSE} channel, one cycle latency
POWER REQUIREMENTS					
V _{DD}	2.8	3	3.6	V	Digital inputs = 0 V or V _{DRIVE}
V _{DRIVE}	1.65	3	3.6	V	
I _{TOTAL} ⁶					V _{DD} = 3.6 V, V _{DRIVE} = 3.6 V
Normal Mode (Operational)		5.8	6.3	mA	
Normal Mode (Static)		4.1	4.6	mA	
Partial Power-Down Mode		2.7	3.3	mA	
Full Power-Down Mode		1	1.6	μA	T _A = -40°C to +25°C
			10	μA	T _A = -40°C to +125°C
Power Dissipation ⁷					
Normal Mode (Operational)		17.4	18.9	mW	V _{DD} = 3 V, V _{DRIVE} = 3 V
			22.7	mW	
Normal Mode (Static)		14.8	16.6	mW	
Partial Power-Down Mode		9.8	11.9	mW	
Full Power-Down Mode		3.6	5.8	μW	T _A = -40°C to +25°C
			36	μW	T _A = -40°C to +125°C

¹用語のセクションを参照してください。

²デシベル値表示のすべての仕様はフルスケール入力 FSR を基準とし、特に指定がない限り、フルスケールより 0.5 dB 低い入力信号を使ってテスト。

³初期リリース時はサンプル・テストにより適合性を保証。

⁴25°C で規定された V_{REF} ピンです。

⁵外付け V_{REF} を使用する場合、温度センサー測定結果に補正係数が必要になることがあります(温度センサー平均処理のセクション参照)。

⁶I_{TOTAL} は V_{DD} と V_{DRIVE} に流入する合計電流。

⁷特に指定のない限り、消費電力は V_{DD} = V_{DRIVE} = 3.6 V で規定。

タイミング仕様

特に指定がない限り、 $V_{DD} = 2.8\text{ V} \sim 3.6\text{ V}$; $V_{DRIVE} = 1.65\text{ V} \sim 3.6\text{ V}$; $V_{REF} = 2.5\text{ V}$ 内部; $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は $t_r = t_f = 5\text{ ns}$ (V_{DRIVE} の 10% から 90%) で規定し、1.6V の電圧レベルからの時間とします。

表 2.

Parameter	Limit at T_{MIN} , T_{MAX}	Unit	Test Conditions/Comments
$t_{CONVERT}$	$t_2 + (16 \times t_{SCLK})$ 820	$\mu\text{s max}$ ns typ	Conversion time Each ADC channel V_{IN0} to V_{IN7} , $f_{SCLK} = 20\text{ MHz}$
f_{SCLK}^1	100 50 20	$\mu\text{s max}$ kHz min MHz max	Temperature sensor channel Frequency of external serial clock Frequency of external serial clock
t_{QUIET}	6	ns min	Minimum quiet time required between the end of serial read and the start of the next voltage conversion in repeat and nonrepeat mode.
t_2	10	ns min	\overline{CS} to SCLK setup time
t_3^1	15	ns max	Delay from CS (falling edge) until DOUT three-state disabled
t_4^1			Data access time after SCLK falling edge
	35	ns max	$V_{DRIVE} = 1.65\text{ V to }3\text{ V}$
	28	ns max	$V_{DRIVE} = 3\text{ V to }3.6\text{ V}$
t_5	$0.4 \times t_{SCLK}$	ns min	SCLK low pulse width
t_6	$0.4 \times t_{SCLK}$	ns min	SCLK high pulse width
t_7^1	14	ns min	SCLK to DOUT valid hold time
t_8^1	16/34	ns min/max	SCLK falling edge to DOUT high impedance
t_9	5	ns min	DIN setup time prior to SCLK falling edge
t_{10}	4	ns min	DIN hold time after SCLK falling edge
t_{11}	100	ns min	T_{SENSE_BUSY} falling edge to \overline{CS} falling edge
t_{12}^1	30	ns max	Delay from \overline{CS} rising edge to DOUT high impedance
$t_{POWER-UP_PARTIAL}$	1	$\mu\text{s max}$	Power-up time from partial power-down
$t_{POWER-UP}$	6	ms max	Internal reference power-up time from full power-down

¹ DOUT に負荷容量 15 pF を接続して規定。

絶対最大定格

表 3.

Parameter	Rating
V _{DD} to GND, GND1	-0.3 V to +5 V
V _{DRIVE} to GND, GND1	-0.3 V to +5 V
Analog Input Voltage to GND1	-0.3 V to 3 V
Digital Input Voltage to GND	-0.3 V to V _{DRIVE} + 0.3 V
Digital Output Voltage to GND	-0.3 V to V _{DRIVE} + 0.3 V
V _{REF} to GND1	-0.3 V to +3 V
GND1 to GND	-0.3 V to +0.3 V
Input Current to Any Pin Except Supplies	±10 mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Pb-Free Temperature, Soldering	
Reflow	260(+0)°C
ESD	3.5 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



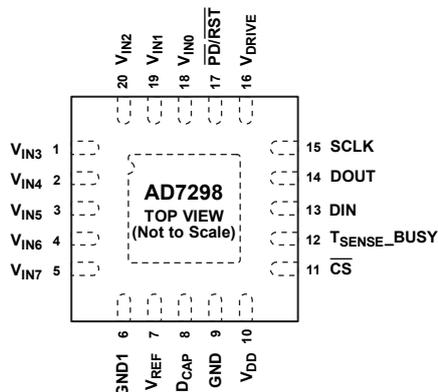
ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

熱抵抗

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
20-Lead LFCSP	52	6.5	°C/W

ピン配置とピン機能説明



NOTES
1. THE EXPOSED METAL PADDLE ON THE BOTTOM OF THE LFCSP PACKAGE SHOULD BE SOLDERED TO PCB GROUND FOR PROPER FUNCTIONALITY AND HEAT DISSIPATION.

08754-003

図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1 to 5, 18 to 20	V_{IN3} , V_{IN4} , V_{IN5} , V_{IN6} , V_{IN7} , V_{IN0} , V_{IN1} , V_{IN2}	アナログ入力。AD7298には8個のシングルエンド・アナログ入力があり、これらはマルチプレクスされて内蔵トラック・アンド・ホールドに入力されます。各入力には、0 V～2.5 Vのアナログ信号を入力することができます。未使用入力チャンネルはGND1に接続してノイズの混入を防止する必要があります。
6	GND1	グラウンド。AD7298の内蔵リファレンス回路のグラウンド基準ポイント。外部リファレンス信号とすべてのアナログ入力信号は、このGND1電圧を基準とする必要があります。DGN1ピンはシステムのGNDプレーンへ接続する必要があります。すべてのグラウンド・ピンは理想的には同電位である必要があり、過渡的なバイアスであっても電位差が0.3 Vを超えないようにする必要があります。VREFピンは10 μ Fのデカップリング・コンデンサでこのグラウンド・ピンへデカップリングする必要があります。
7	VREF	内蔵リファレンス電圧源/外付けリファレンス電圧源。公称内蔵リファレンス電圧は2.5 Vで、このピンに出力されます。出力にバッファが付いている場合、内蔵リファレンス電圧をこのピンから出力して、システムの他の部分に供給することができます。デカップリング・コンデンサをこのピンに接続して、リファレンス・バッファをデカップリングしてください。最適性能を得るためには、10 μ Fのデカップリング・コンデンサをこのピンとGND1の間に接続することが推奨されます。必要に応じて、内蔵リファレンス電圧をディスエーブルして、外付けリファレンス電圧をこの入力に接続することができます。外付けリファレンス電圧の入力電圧範囲は、2.0 V～2.5 Vです。
8	DCAP	デカップリング・コンデンサ・ピン。デカップリング・コンデンサ(推奨1 μ F)をこのピンに接続して、内蔵LDOをデカップリングします。
9	GND	グラウンド。AD7298のすべてのアナログ回路とデジタル回路のグラウンド基準ポイント。GNDピンはシステムのグラウンド・プレーンへ接続する必要があります。すべてのグラウンド・ピンは理想的には同電位である必要があり、過渡的なバイアスであっても電位差が0.3 Vを超えないようにする必要があります。DCAPピンとVDDピンはこのGNDピンへデカップリングする必要があります。
10	VDD	電源電圧2.8 V～3.6 V。この電源は、10 μ Fと100 nFのデカップリング・コンデンサでGNDへデカップリングする必要があります。
11	\overline{CS}	チップ・セレクト、アクティブ・ロー入力。このピンの立下がりエッジで、トラック・アンド・ホールドがホールド・モードになり、変換が開始されます。また、このピンにより、シリアル・データ転送のフレーミングが行われます。 \overline{CS} をロジック・ローにすると、出力バスがイネーブルされて、DOUTに変換結果が出力されます。
12	TSENSE_BUSY	ビジー出力。温度センサー変換が開始されるとこのピンがハイ・レベルへ変化し、変換が完了するまでハイ・レベルが維持されます。
13	DIN	データ入力。ロジック入力。AD7298のコントロール・レジスタに書込むデータはこのピンに入力され、SCLKの立下がりエッジでレジスタに入力されます。
14	DOUT	シリアル・データ出力。AD7298の変換結果がシリアル・データ・ストリームとしてこのピンから出力されます。ビットはSCLK入力の立下がりエッジで出力されます。AD7298からのデータ・ストリームでは、4ビットのアドレス・ビット(変換結果のチャンネルを指定)と、その後ろに12ビットの変換データがMSBファーストで続きます。出力コーディングは電圧チャンネルについてはストレート・バイナリ、温度センサー変換結果については2の補数です。
15	SCLK	シリアル・クロック、ロジック入力。シリアル・クロック入力は、AD7298からデータをアクセスする際にSCLKとして使います。

ピン番号	記号	説明
16	V _{DRIVE}	ロジック電源入力。このピンに入力された電圧により、インターフェースが動作する電圧が決定されます。このピンは GND へデカップリングする必要があります。このピンの電圧範囲は 1.65 V~3.6 V で、V _{DD} 電圧より低いこともありますが、V _{DD} 電圧より 0.3 V 以上高くなることはできません。
17	$\overline{\text{PD/RST}}$	パワーダウン・ピン。このピンはデバイスをフル・パワーダウン・モードにするため、動作が必要ない場合消費電力を削減することができます。このピンを最小 1 ns ~ 最大 100 ns 間ロー・レベルにドグルして、デバイスをリセットすることができます。この最大時間を超えると、デバイスはパワーダウン・モードになります。AD7298 をフル・パワーダウン・モードにする場合、アナログ入力を 0 V へ戻す必要があります。
EPAD	EPAD	正常な機能と熱放散のために、LFCSP パッケージ底面の露出金属パッドは PCB グラウンドへハンダ接続する必要があります。

代表的な性能特性

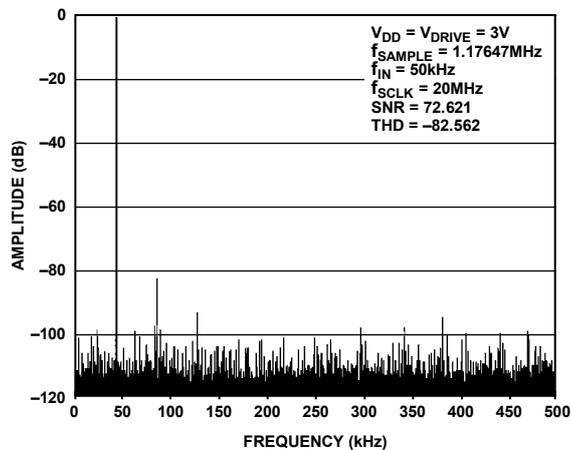


図 3.FFT

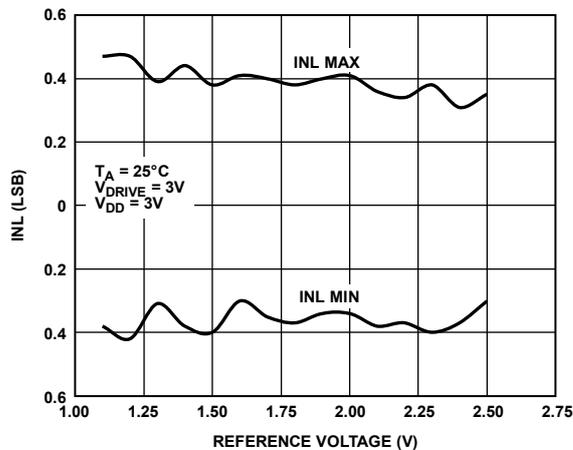


図 6. V_{REF} 対 INL

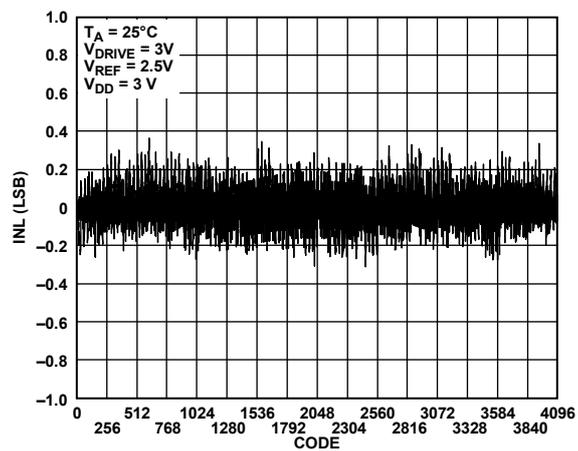


図 4. ADC INL

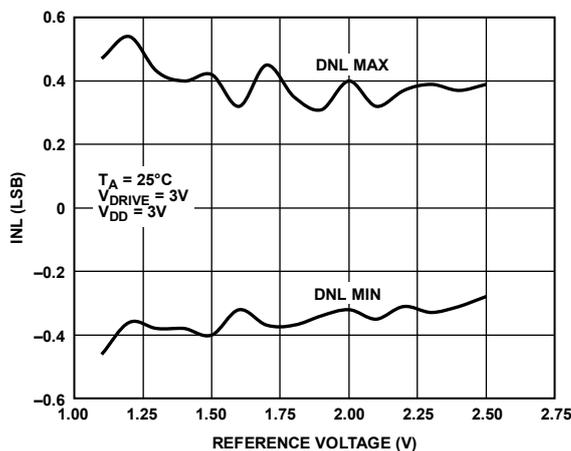


図 7. V_{REF} 対 DNL

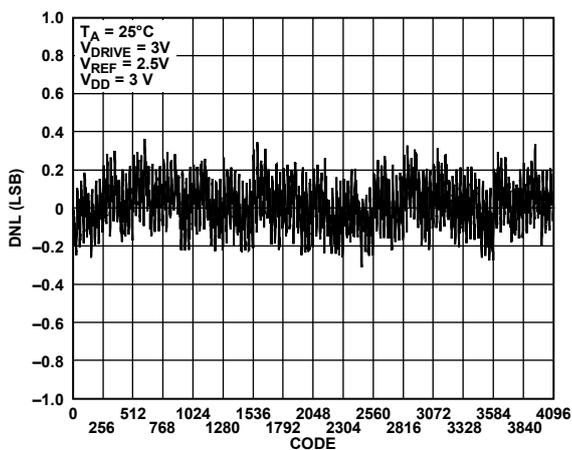


図 5. ADC DNL

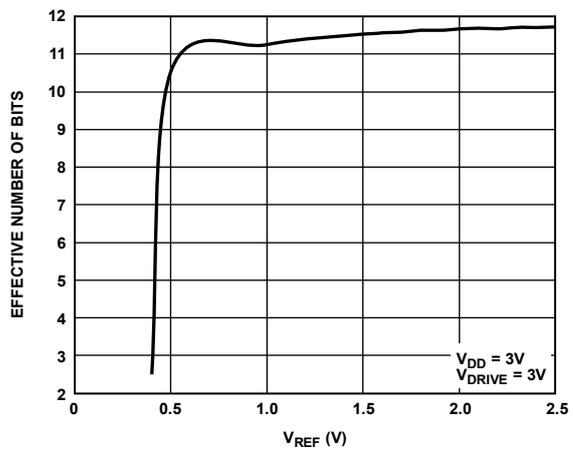


図 8. V_{REF} 対実効ビット数

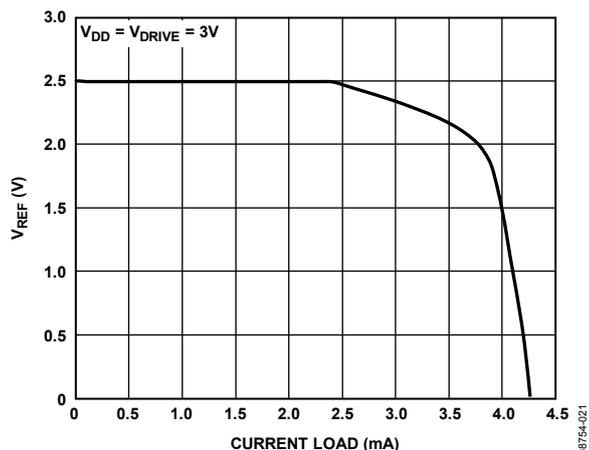


図 9. リファレンス電圧出力電流駆動対 V_{REF}

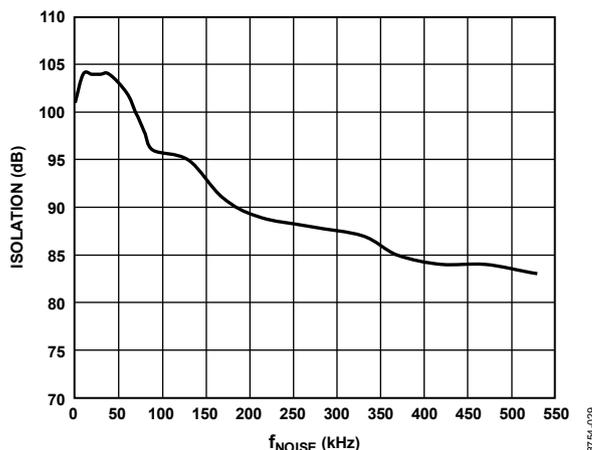


図 12. チャンネル間アイソレーション、 $f_{IN} = 50 \text{ kHz}$

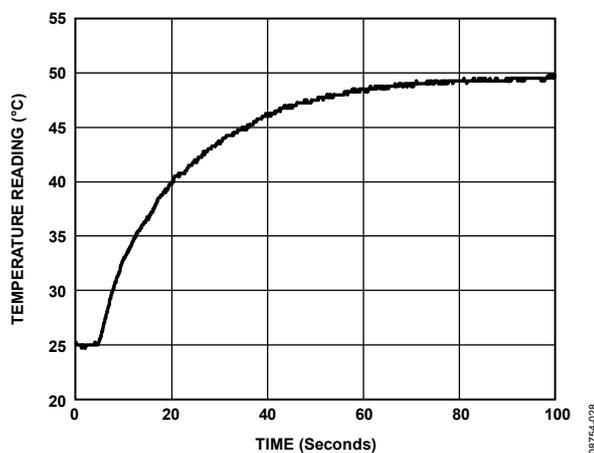


図 10. 室温→50°Cの熱衝撃に対する応答
攪拌油槽

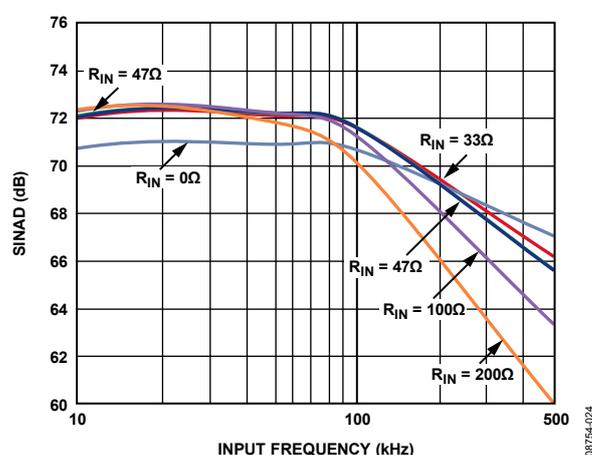


図 13. 種々のソース・インピーダンスでのアナログ入力周波数
対 SINAD

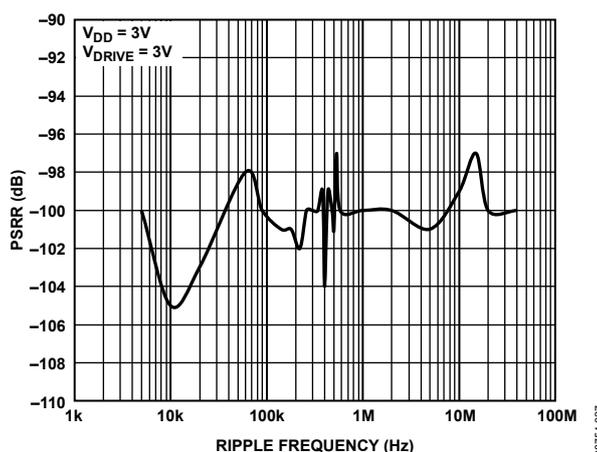


図 11. 電源リップル周波数対 PSRR
電源デカップリングなし

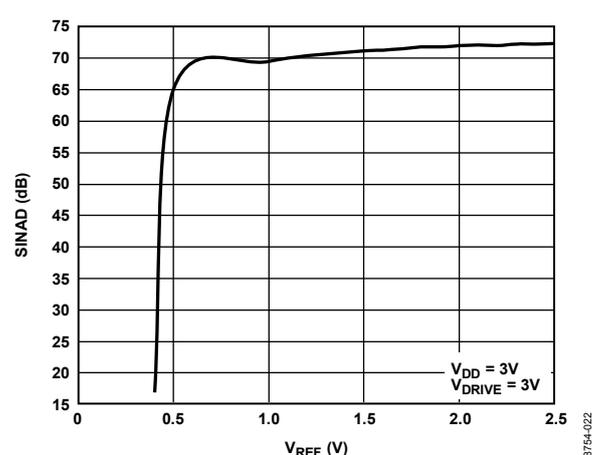


図 14. リファレンス電圧対 SINAD

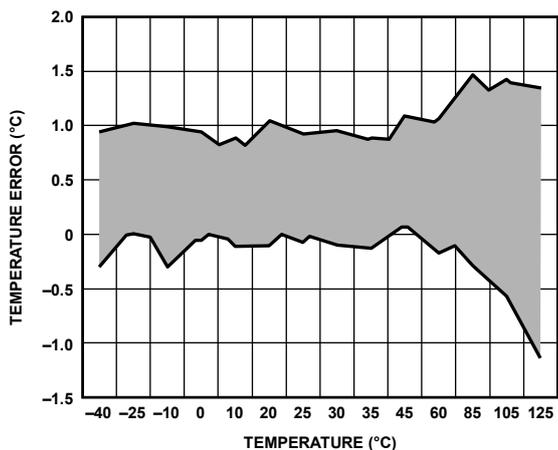


図 15. 温度精度、3 V

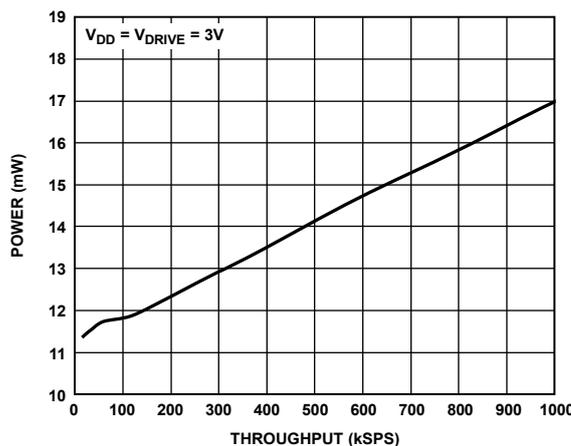


図 18. スループット対消費電力、通常モード、 $V_{DD} = 3V$

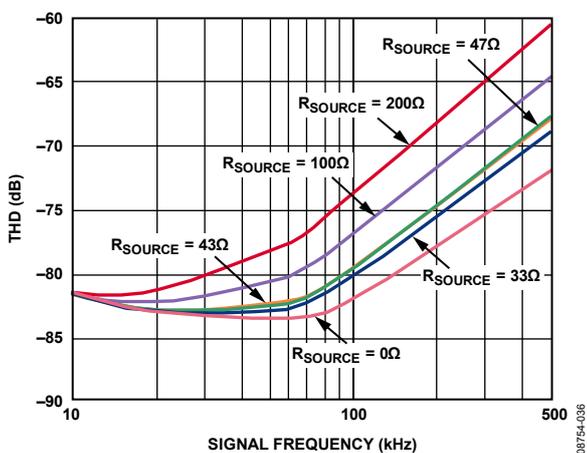


図 16. 種々のソース・インピーダンスに対するアナログ入力周波数対 THD

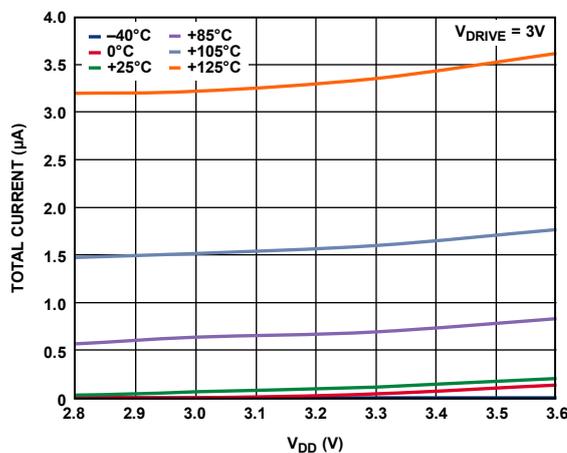


図 19. 様々な温度での電源電圧対フル・シャットダウン電流

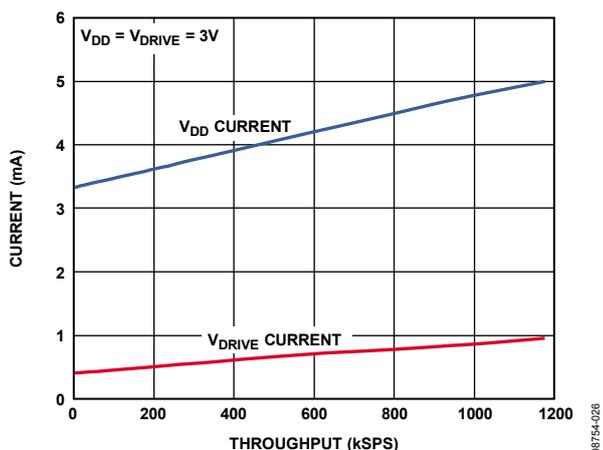


図 17. スループット・レート対アナログ入力電流

用語

信号対ノイズおよび歪み比(SINAD)

A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリング周波数($f_s/2$)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が多いほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02 N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、SINAD は 74 dB になります。

総合高調波歪み(THD)

高調波の rms 値総和と基本波の比です。AD7298 の場合、次式で与えられます。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波の rms 振幅で、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は 2 次～6 次高調波の rms 振幅です。

ピーク高調波またはスプリアス・ノイズ

ADC 出力スペクトル内の(DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

積分非直線性

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロスケール(最初のコード変化より 1 LSB 下のポイント)とフルスケール(最後のコード変化より 1 LSB 上のポイント)をいいます。

微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

オフセット誤差

理論値 $GND1 + 1 \text{ LSB}$ と最初のコード変化(00...000→00...001)との差をいいます。

オフセット誤差マッチ

2 つのチャンネル間のオフセット誤差の差。

ゲイン誤差

オフセット誤差調整後の最後のコード変化(111...110→111...111)と理論値($REF_{IN} - 1 \text{ LSB}$)との差をいいます。

ゲイン誤差のマッチング

2 つのチャンネル間のゲイン誤差の差。

トラック・アンド・ホールド・アクイジション・タイム

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アクイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の $\pm 1 \text{ LSB}$ 以内に出力が収まるために要する時間です。

電源除去比(PSRR)

電源変動除去比は、ADC 出力でのフルスケール周波数 f の電力と、ADC の V_{DD} 電源に加えられた周波数 f_s の 100 mV 正弦波の電力との比として定義されます。入力周波数は 5 kHz～25 MHz の範囲で変化します。

$$\text{PSRR (dB)} = 10 \log (P_f/P_{f_s})$$

ここで、

P_f は ADC 出力での周波数(f)の電力。

P_{f_s} は、ADC 出力での周波数 f_s の電力。

回路説明

AD7298 は、温度センサーを内蔵した高速の 8 チャンネル 12 ビット ADC です。このデバイスは 2.8 V ~ 3.6 V の電源で動作し、アナログ入力チャンネルあたり 1 MSPS のスループット・レートが可能です。

AD7298 は、トラック・アンド・ホールド ADC とシリアル・インターフェースを内蔵しており、20 ピン LFCSP を採用しています。AD7298 はチャンネル繰り返し機能付きのシングルエンド入力チャンネルを 8 個内蔵しているため、連続する各 \overline{CS} 立下がりエッジで ADC が変換を繰り返すチャンネルのシーケンスを選択することができます。シリアル・クロック入力は、デバイスからのデータ読出しに使用し、ADC に書込まれたデータの転送を制御し、さらに逐次比較型 ADC のクロック・ソースとしても使われます。AD7298 のアナログ入力範囲は 0 V ~ V_{REF} です。AD7298 は 1 サイクル遅延で動作します。これは、変換が実行された次のサイクルのシリアル転送で変換結果が得られることを意味します。

このデバイスは、高精度バンドギャップ温度センサーを内蔵しており、12 ビット ADC により温度を監視しデジタル化して分解能 0.25°C で出力します。AD7298 は、柔軟なパワー・マネジメント・オプションを提供しているため、与えられたスループット・レートに対して最適な消費電力性能を実現することができます。これらのオプションは、コントロール・レジスタのパーソナル・パワーダウン・ビット PPD を設定し、 $\overline{PD/RST}$ ピンを使って選択します。

コンバータの動作

AD7298 は、容量型 DAC を採用した 12 ビット逐次比較型 ADC です。図 20 と図 21 に、ADC の簡略化した回路図を示します。この ADC は、コントロール・ロジック、SAR、容量 DAC から構成されており、これらを使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。図 20 に、アキュイジション・フェーズにある ADC を示します。SW2 は閉じて、SW1 は位置 A にあり、コンパレータは平衡状態にあり、サンプリング・コンデンサは選択された V_{IN} チャンネル上の信号を取得します。

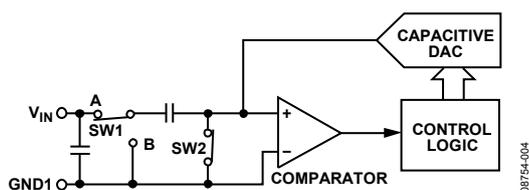


図 20.ADC アキュイジション・フェーズ

ADC が変換を開始すると(図 21)、SW2 が開いて、SW1 が位置 B に移動して、コンパレータが不平衡状態になります。コントロール・ロジックと容量 DAC を使って、一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。図 23 に、ADC の伝達関数を示します。

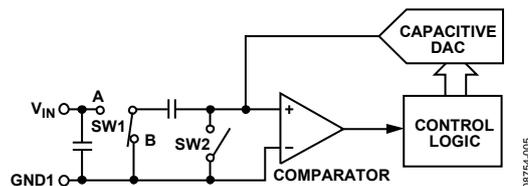


図 21.ADC 変換フェーズ

アナログ入力

図 22 に、AD7298 のアナログ入力構造の等価回路を示します。ダイオード D1 と D2 はアナログ入力に対して ESD 保護機能を提供します。アナログ入力信号が内部で発生した LDO 電圧 2.5 V (D_{CAP})より 300 mV 以上高くならないよう注意する必要があります。超えると、ダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は 10 mA です。図 22 に示すコンデンサ C1 は約 8 pF (typ)で、主にピン容量に起因します。抵抗 R1 は集中定数部品であり、スイッチ(トラック・アンド・ホールド・スイッチ)と入力マルチプレクサのオン抵抗から構成されます。合計抵抗は約 155 Ω (typ)です。コンデンサ C2 は ADC のサンプリング・コンデンサであり、容量は 34 pF (typ)です。

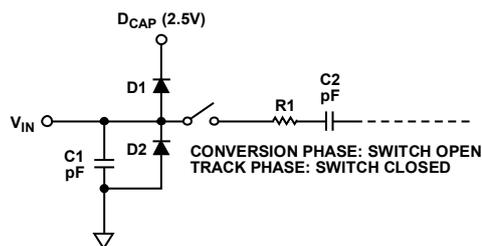


図 22.等価アナログ入力回路

AC アプリケーションの場合、該当するアナログ入力ピンに RC ローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することが推奨されます。高調波歪みと信号対ノイズ比が重要であるアプリケーションでは、アナログ入力を低インピーダンス・ソースで入力する必要があります。ソース・インピーダンスが大きいと、ADC の AC 性能が大きく影響を受けます。このために、入力バッファ・アンプの使用が必要になります。オペ・アンプの選択は、特定のアプリケーションの性能基準に依存します。

ADCの伝達関数

AD7298 の出力コーディングは、アナログ入力チャンネル変換結果についてはストレート・バイナリ、温度変換結果については 2 の補数です。デザイン上のコード変化は連続する LSB 値(1 LSB、2 LSB など)で発生します。AD7298 の LSB サイズは $V_{REF}/4096$ になります。図 23 に、ストレート・バイナリ・コーディングを出力する AD7298 の理論伝達特性を示します。

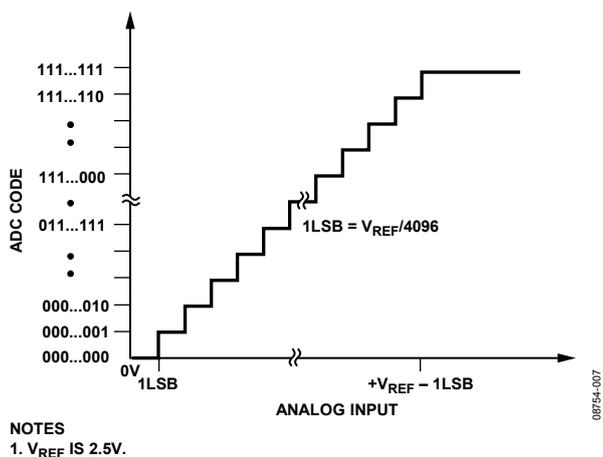


図 23. ストレート・バイナリ伝達特性

温度センサーの動作

AD7298 には 1 個のローカル温度センサーが内蔵されています。内蔵のバンド・ギャップ温度センサーは、AD7298 チップの温度を測定します。

AD7298 の温度センサー・モジュールでは 3 電流原理を採用しています (図 24 参照)。この原理では、ダイオードを 3 つの電流が流れ、順方向電圧降下が各ダイオードで測定され、直列抵抗による誤差がない温度の計算が可能になります。

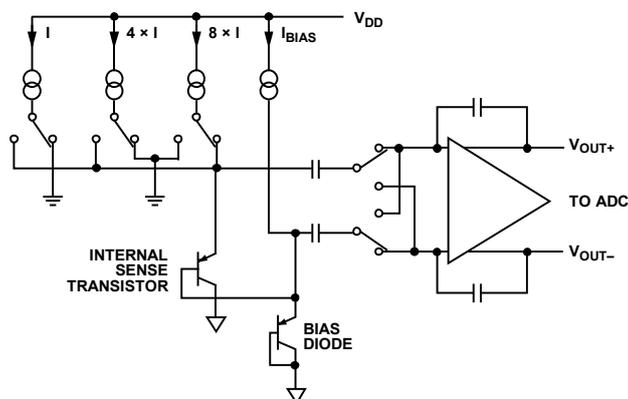


図 24. 内蔵温度センサーのトップ・レベル構造

温度変換は、積分とそれに続く変換の 2 つのフェーズで構成されています。積分は \overline{CS} の立下がりエッジで開始されます。温度の積分と変換に約 100 μs を要します。積分が完了すると、変換が自動的に開始されます。温度の積分が開始されると、 T_{SENSE} BUSY 信号がハイ・レベルになって、温度変換の進行中を表示し、変換が完了するまでハイ・レベルを維持します。

理論的には、温度測定回路は $-512^{\circ}\text{C} \sim +511^{\circ}\text{C}$ の温度を分解能 0.25°C で測定できますが、 T_A (AD7298 の規定温度範囲) の外側の温度は、デバイスの保証動作温度範囲外です。温度センサーは、コントロール・レジスタの T_{SENSE} ビットを設定して選択します。

温度センサーの平均処理

AD7298 は、温度測定精度を向上させる温度センサー平均処理機能を内蔵しています。温度センサー平均処理機能をイネーブ爾するときは、コントロール・レジスタの T_{SENSEAVG} ビットと T_{SENSE} ビットをイネーブ爾する必要があります。このモードでは、温度測定結果へのノイズの影響を小さくするため、温度を内部で平均処理します。温度は T_{SENSE} 変換が実行されるごとに測定され、移動平均法を使って T_{SENSE} リザルト・レジスタ内の変換結果を求めます。平均結果は次式で表されます。

$$T_{\text{SENSEAVG}} = \frac{7}{8}(\text{Previous_Average_Result}) + \frac{1}{8}(\text{Current_Result})$$

平均処理をイネーブ爾した場合に読出した T_{SENSE} 結果が、 T_{SENSEAVG} 結果(移動平均温度測定値)になります。

コントロール・レジスタ (ビット D1 とビット D5) で温度センサーと平均処理モードを選択した後に、AD7298 から得られた最初の T_{SENSE} 変換結果が、実際の最初の T_{SENSE} 変換結果になります。コントロール・レジスタに書き込みを行ったために T_{SENSEAVG} ビット値が変化した場合、平均処理機能がリセットされるため、次の T_{SENSE} 平均変換結果が現在の温度変換結果になります。 T_{SENSEAVG} ビットのステータスがコントロール・レジスタに対する連続書き込みで変化しない場合は、平均処理機能が再初期化されるため、累加平均の計算が続きます。

コントロール・レジスタの T_{SENSEAVG} ビットに 0 を設定することにより、この平均処理をディスエーブルすることができます。AD7298 のパワーアップ時デフォルトでは、平均処理機能はディスエーブルされています。温度チャンネルの合計測定時間は、100 μs (typ) です。

温度値フォーマット

ADC の 1 LSB は 0.25°C に対応します。ADC からの温度測定値は、正と負の温度測定値を表すために 12 ビットの 2 の補数フォーマットで格納されます。温度データ・フォーマットを表 6 に示します。

表 6. 温度データ・フォーマット

Temperature (°C)	Digital Output
-40	1111 0110 0000
-25	1111 1001 1100
-10	1111 1101 1000
-0.25	1111 1111 1111
0	0000 0000 0000
+0.25	0000 0000 0001
+10	0000 0010 1000
+25	0000 0110 0100
+50	0000 1100 1000
+75	0001 0010 1100
+100	0001 1001 0000
+105	0001 1010 0100
+125	0001 1111 0100

温度変換式は次のようになります。

$$\text{正の温度} = \text{ADC コード} / 4$$

$$\text{負の温度} = (4096 - \text{ADC コード}) / 4$$

上式は $V_{REF} = 2.5 \text{ V}$ の場合です。

外付けリファレンス電圧を使用する場合、温度センサーは 2 V ~ 2.5 V の外付けリファレンス電圧を必要とします。2.5 V より低い外付けリファレンス電圧を加える場合は、 V_{EXT_REF} を外付けリファレンス電圧値とした次式を使って温度変換結果を計算します。

$$\text{Temperature} = V_{EXT_REF} \left(\frac{\text{ADCCode}}{10} + 109.3 \right) - 273.15$$

V_{DRIVE}

AD7298 には V_{DRIVE} 機能もあります。 V_{DRIVE} は、シリアル・インターフェースの動作電圧を制御します。 V_{DRIVE} を使うと、ADC は 1.8 V と 3 V のプロセッサに容易にインターフェースすることができます。例えば、AD7298 が $V_{DD} = 3.3 \text{ V}$ で動作する場合、 V_{DRIVE} ピンは 1.8 V 電源に接続することができます。

このため、 $V_{DD} = 3.3 \text{ V}$ で AD7298 のダイナミックレンジを広げることができます、さらに 1.8 V のデジタル・デバイスとインターフェースさせることができます。 V_{DRIVE} は V_{DD} より 0.3 V 以上高くないよう注意する必要があります(絶対最大定格のセクション参照)。

内蔵または外付けリファレンス電圧

AD7298 は、2.5 V の内蔵リファレンス電圧または外付けリファレンス電圧で動作することができます。コントロール・レジスタの EXT_REF ビットを使って、内蔵リファレンス電圧の使用/不使用を指定します。コントロール・レジスタで EXT_REF ビットを選択すると、外付けリファレンス電圧を V_{REF} ピンに加えることができます。パワーアップ時、内蔵リファレンス電圧がイネーブルされます。AD7298 の適切なリファレンス・ソースとしては、AD780、AD1582、ADR431、REF193、ADR391 などがあります。

内蔵リファレンス電圧回路は、2.5 V のバンド・ギャップ・リファレンス電圧とリファレンス電圧・バッファから構成されています。AD7298 を内蔵リファレンス電圧モードで動作させるときは、2.5 V の内蔵リファレンス電圧が V_{REF} ピンから出力されるので、これを 10 μF のコンデンサで $GND1$ ヘドカップリングする必要があります。内蔵リファレンス電圧をシステム内の他の場所で使う前にバッファすることが推奨されます。

内蔵リファレンス電圧はコンバータがスタティックなとき、最大 2 mA の電流を供給することができます。リファレンス電圧バッファは、パワーアップのために 5.5 ms を要し、パワーアップ時に 10 μF のデカップリング・コンデンサが充電されます。

コントロール・レジスタ

AD7298 のコントロール・レジスタは、16 ビットの書込み専用レジスタです。データは、SCLK の立下がりエッジで、AD7298 の DIN ピンからロードされます。データは DIN ラインへ転送され、同時に変換結果がデバイスから読出されます。DIN ラインへ転送されるデータは、次の変換の AD7298 の設定に対応します。各データ転送に 16 シリアル・クロックが必要です。 \overline{CS} の立下がりエッジ後の、最初の 16 個の立下がりクロック・エッジで与えられた情報のみが、コントロール・レジスタへロードされます。MSB が、データ・ストリームの先頭ビットです。ビットの機能を表 7 と表 8 に示します。パワーアップ時のコントロール・レジスタのデフォルト値は全ビット 0 です。

表 7. コントロール・レジスタ・ビットの機能

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WRITE	REPEAT	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	T _{SENSE}	DONTC	DONTC	EXT_REF	T _{SENSE} AVG	PPD

表 8. コントロール・レジスタ・ビットの機能説明

Bit	Mnemonic	Description
D15	WRITE	The value written to this bit determines whether the subsequent 15 bits are loaded to the control register. If this bit is a 1, the following 15 bits are written to the control register; if it is a 0, then the remaining 15 bits are not loaded to the control register and it remains unchanged.
D14	REPEAT	This bit enables the repeated conversion of the selected sequence of channels.
D13 to D6	CH0 to CH7	These eight channel selection bits are loaded at the end of the current conversion and select which analog input channel is to be converted in the next serial transfer, or they may select the sequence of channels for conversion in the subsequent serial transfers. Each CHX bit corresponds to an analog input channel. A channel or sequence of channels is selected for conversion by writing a 1 to the appropriate CHX bit/bits. Channel address bits corresponding to the conversion result are output on DOUT prior to the 12 bits of data. The next channel to be converted is selected by the mux on the 14 th SCLK falling edge.
D4	T _{SENSE}	Writing a 1 to this bit enables the temperature conversion. When the temperature sensor is selected for conversion, the T _{SENSE} _BUSY pin goes high after the next CS falling edge to indicate that the conversion is in progress; the previous conversion result can be read while the temperature conversion is in progress. Once T _{SENSE} _BUSY goes low, CS can be brought low 100 ns later to read the T _{SENSE} conversion result.
4 to 3	DONTC	Don't care.
D2	EXT_REF	Writing a Logic 1 to this bit, enables the use of an external reference. The input voltage range for the external reference is 1 V to 2.5 V. The external reference should not exceed 2.5 V or the device performance is affected.
D1	T _{SENSE} AVG	Writing a 1 to this bit enables the temperature sensor averaging function. When averaging is enabled, the AD7298 internally computes a running average of the conversion results to determine the final T _{SENSE} result (see the Temperature Sensor Averaging section for more details). This mode reduces the influence of noise on the final T _{SENSE} result. Selecting this feature does not automatically select the T _{SENSE} for conversion. The T _{SENSE} bit must also be set to start a temperature sensor conversion.
D0	PPD	This partial power-down mode is selected by writing a 1 to this bit in the control register. In this mode, some of the internal analog circuitry is powered down. The AD7298 retains the information in the control register while in partial power-down mode. The part remains in this mode until a 0 is written to this bit.

表 9. チャンネル・アドレス・ビット

ADD3	ADD2	ADD1	ADD0	Analog Input Channel
0	0	0	0	V _{IN0}
0	0	0	1	V _{IN1}
0	0	1	0	V _{IN2}
0	0	1	1	V _{IN3}
0	1	0	0	V _{IN4}
0	1	0	1	V _{IN5}
0	1	1	0	V _{IN6}
0	1	1	1	V _{IN7}
1	0	0	0	T _{SENSE}
1	0	0	1	T _{SENSE} with averaging enabled

動作モード

AD7298 は、柔軟なパワー・マネジメント・オプションを提供するためにデザインされた複数の動作モードを持っています。これらのオプションは、所望のモードを選択するコントロール・レジスタ値を設定して選択することができます。

従来型のマルチチャンネル動作モード

AD7298 は、従来型のマルチチャンネル ADC として動作することができます。この場合、各シリアル転送で次の変換対象チャンネルを選択します。コントロール・レジスタへ書き込みを行って、入力チャンネルを設定/選択した後に、変換を開始する必要があります。従来型動作モードでは、 \overline{CS} 信号を使って、DIN ピン上のコンバータに対する最初の書き込みをフレーム化します。この動作モードでは、コントロール・レジスタの REPEAT ビットを 0 ロジック・レベルに設定するため、REPEAT 機能は使用しません。コントロール・レジスタへの最初の書き込みで DOUT ピンに出力されるデータは無効です。 \overline{CS} の最初の立下がりエッジでコントロール・レジスタへの書き込みが開始されてデバイスが設定されます。次に \overline{CS} の後続 (2 番目) の立下がりエッジで選択されたアナログ入力チャンネル (V_{IN0}) に対して変換が開始されます。 \overline{CS} の 3 番目の立下がりエッジで変換結果 (V_{IN2}) が読出

し可能になります。AD7298 は 1 サイクル遅延で動作するため、各変換に対応する変換結果は、変換が開始されたサイクルから 1 シリアル読出しサイクル遅れて得られます。

このデバイスは 1 サイクル遅延で動作するため、コントロール・レジスタで次の変換に対する設定を行います。次の変換は \overline{CS} の次の立下がりエッジで開始されますが、対応する変換結果の先頭ビットは、後続の立下がり \overline{CS} エッジまで出力されません (図 25 参照)。

コントロール・レジスタで複数のチャンネルを選択すると、AD7298 は選択されたすべてのチャンネルを \overline{CS} の立下がりエッジで昇順にシケンシャルに変換します。コントロール・レジスタで選択されたすべてのチャンネルが変換されると、AD7298 は変換を停止し、コントロール・レジスタに対して書き込みを行って、変換対象の次のチャンネルが選択されるのを待ちます。この動作を図 26 に示します。変換シーケンスが完了した場合、または選択されたチャンネルがない場合は、DOUT は全ビット 1 を返します。

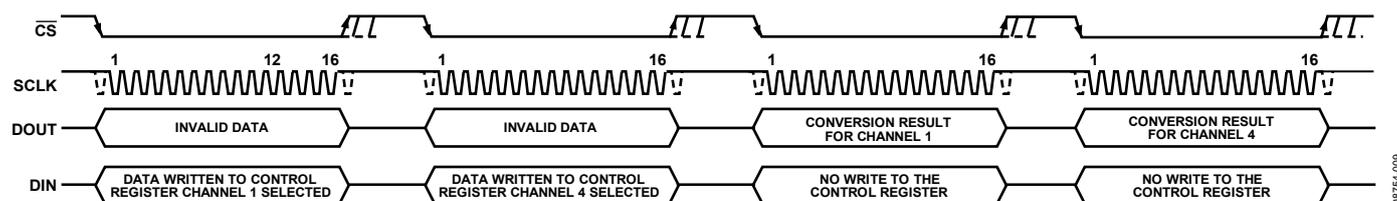


図 25. 変換の設定と AD7298 の読出し
変換対象として 1 チャンネルを選択

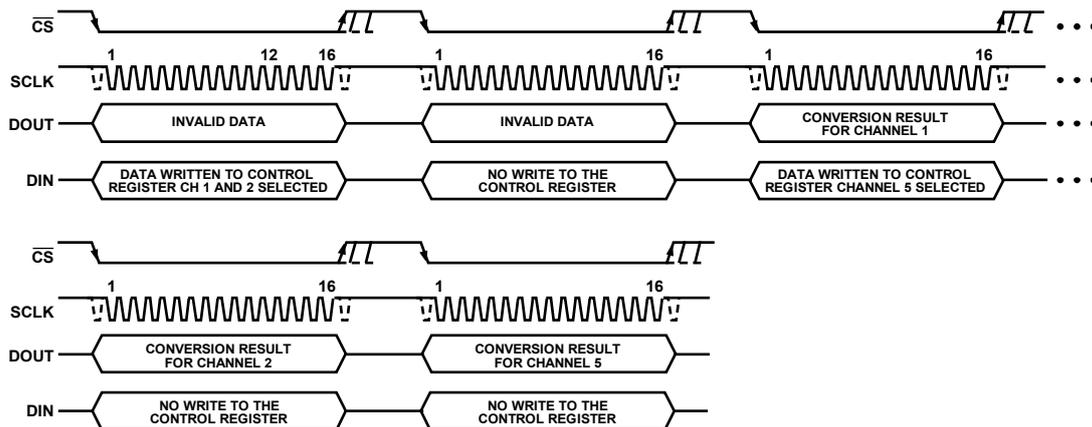


図 26. 変換の設定と AD7298 の読出し
変換対象として複数チャンネルを選択

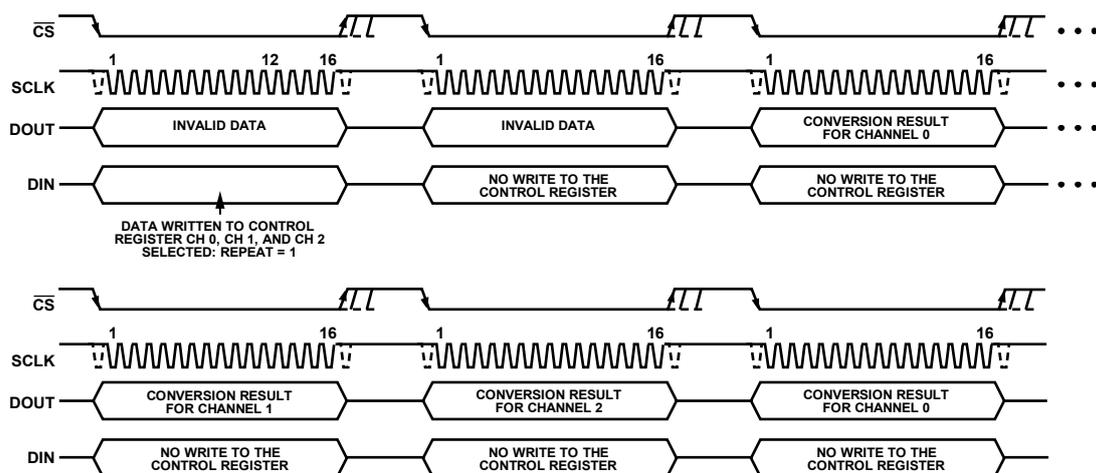


図 27.変換の設定と繰り返しモードでの読出し

繰り返し動作

コントロール・レジスタの REPEAT ビットを使うと、AD7298 で連続変換するチャンネルのシーケンスを選択することができます。コントロール・レジスタの REPEAT ビットをセットすると、AD7298 は選択したチャンネルを最小チャンネルから開始して昇順に繰り返して、コントロール・レジスタで選択したすべてのチャンネルを変換します。シーケンスが完了すると、AD7298 はコントロール・レジスタで選択した最初のチャンネルに戻り、シーケンスを繰り返します。

繰り返し動作モードでは選択したチャンネルの変換シーケンスが、AD7298 のコントロール・レジスタが再設定されるまで続きます。コントロール・レジスタで T_{SENSE} ビットを選択すると、シーケンス内の最後のアナログ入力チャンネルが変換された後に温度変換が可能になります。繰り返し動作が開始された後は、AD7298 の設定を変える必要がないかぎり、コントロール・レジスタへの書込みは不要です。コントロール・レジスタが偶発的に上書きされないように、または自動シーケンス動作が停止されないようにするため、WRITE ビットを 0 に設定するか、または DIN ラインをロー・レベルにする必要があります。

繰り返し動作モードでコントロール・レジスタへ書込みを行うと、選択したチャンネルに変更がなくとも、サイクルがリセットされます。このため、書込み動作後の AD7298 による次の変換は、シーケンス内で選択された最初のチャンネルになります。

チャンネルのシーケンスを選択するときは、変換対象の各アナログ入力に対応するチャンネル・ビットをハイ・レベルに設定する必要があります。例えば、REPEAT ビット = 1 の場合、CH0 = 1、CH1 = 1、CH2 = 1 とします。 V_{IN0} アナログ入力、コントロール・レジスタへの書込み後の \overline{CS} の最初の立下がりエッジで変換され、 V_{IN1} チャンネルが \overline{CS} の次の立下がりエッジで変換されて、 V_{IN0} の変換結果が読出し可能になります。書込み動作後の \overline{CS} の 3 番目の立下がりエッジで V_{IN2} の変換が開始され、 V_{IN1} の変換結果が読出し可能になります。AD7298 は 1 サイクル遅延で動作するため、各変換に対応する変換結果は、変換が開始されたサイクルから 1 シリアル読出しサイクル遅れて得られます。

この動作モードでは、コントロール・レジスタへの書込みなしに、または各シリアル転送でデバイスへの書込みを行うことなく、連続チャンネルの変換が可能になるため、デバイス動作が簡素化されます。図 27 に、チャンネルの特定シーケンスを連続変換するように AD7298 を設定する方法を示します。この繰り返しモードを終了して、マルチチャンネル ADC の従来型動作モードに戻るときは、次のシリアル書込みで REPEAT ビット = 0 を設定します。

パワーダウン・モード

AD7298 は、柔軟なパワー・マネジメント・オプションを提供するためにデザインされた多くの省電力モードを持っています。これらのオプションを選択して、様々なアプリケーションの要求に対して消費電力/スループット・レート比を最適化することができます。AD7298 のパワーダウン動作モードは、コントロール・レジスタのパワーダウン (PPD) ビットとデバイスの PD /RST ピンにより制御されます。最初に電源を AD7298 に加えるときは、デバイスを必要な動作モードにしておくように注意してください。

通常モード

このモードでは、AD7298 が常時フル・パワーオン状態にあるためパワーアップ時間を気にする必要がないので、最高スループット・レート性能を得ることができます。図 28 に、このモードでの AD7298 動作の全体的な動作図を示します。変換は \overline{CS} の立下がりエッジで開始され、トラック・アンド・ホールドはホールド・モードになります。シリアル・インターフェースのセクションで示すように、14 番目の SCLK 立下がりエッジで、トラック・アンド・ホールドはホールド・モードに戻り、アナログ入力を取り込みを開始します。データ転送の最初の 16 クロック・サイクル間に AD7298 に対して DIN ラインに出力されるデータがコントロール・レジスタへロードされます (WRITE ビット = 1 の場合)。変換中の書き込み転送で PPD ビットが 0 に設定されているかぎり、デバイスはその変換の終わりに通常モードでのフル・パワーアップを維持します。

通常モードでの動作を確実に続けるためには、各データ書き込み動作で PPD ビットに 0 をロードしておく必要があります。変換を完了して変換結果をアクセスするためには、シリアル・クロックで 16 サイクルが必要です。規定性能のためには、スループット・レートは 1 MSPS を超えることはできません。変換が完了して、 \overline{CS} がハイ・レベルに戻った後、少なくとも t_{QUIET} の静止時間が経過した後に、 \overline{CS} をロー・レベルに戻して、次の変換を開始させ、前の変換変換結果をアクセスする必要があります。

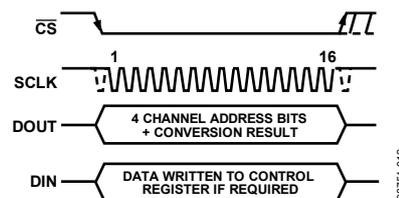


図 28.通常モード動作

パーシャル・パワーダウン・モード

このモードでは、AD7298 の一部の内部回路がパワーダウンします。16 SCLK クロック・サイクルを含む実行中のシリアル書き込み動作が完了した後に、 \overline{CS} の立上がりエッジで AD7298 はパーシャル・パワーダウンになります。パーシャル・パワーダウンを開始するときは、AD7298 からの直前の要求された読出し転送で、コントロール・レジスタの PPD ビットに 1 を設定する必要があります。パーシャル・パワーダウン・モードが開始されると、 \overline{CS} がロー・レベルにドグルされた場合、AD7298 は全ビット 1 を DOUT ピンに送信します。温度センサーの平均処理機能がコントロール・レジスタでイネーブルされている場合、デバイスがパーシャル・パワーダウン・モードになった後に平均処理がリセットされます。

AD7298 は、コントロール・レジスタのパワーダウン・ビット PPD がロジック・レベル・ゼロ (0)へ変更されるまでパーシャル・パワーダウンを続けます。AD7298 は、パワーダウン・ビットをディスエーブルするためのコントロール・レジスタへの書き込みの後の、 \overline{CS} の立上がりエッジでパワーアップを開始します。 t_{QUIET} が経過した後、コントロール・レジスタに対する、SCLK で 16 サイクルを要する書き込みを実行して、後続の変換に対する所望のチャンネル設定値を書込んでコントロール・レジスタ値を更新する必要があります。その後で、次の \overline{CS} の立下がりエッジで有効な変換が開始されます。

AD7298 は 1 サイクルの遅延を持つため、パーシャル・パワーダウン・モード終了後の最初の変換結果は、4 番目のシリアル転送で得られます(図 29 参照)。最初のサイクルでは、PPD ビットの更新が、2 番目のサイクルでは設定ビットとチャンネル ID ビットの更新が、3 番目のサイクルでは変換が、4 番目のサイクルでは DOUT 有効変換結果のアクセスが、それぞれ行われます。このモードを使用すると、デバイス全体の消費電力を削減することができます。

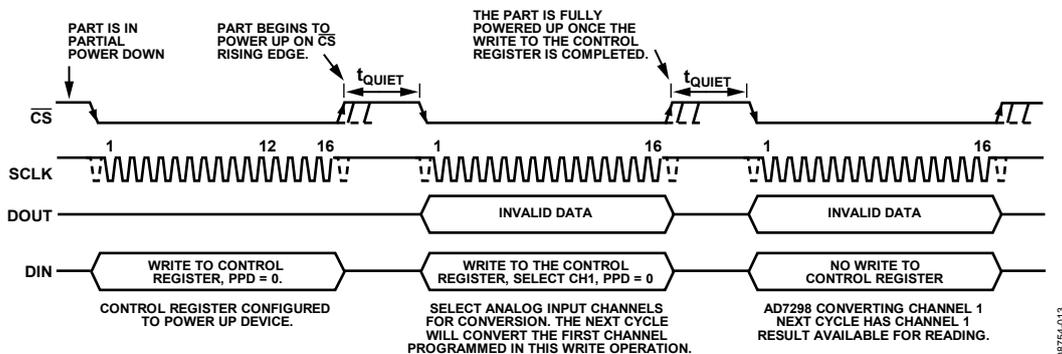


図 29.パーシャル・パワーダウン動作モード

フル・パワーダウン・モード

このモードでは、AD7298 のすべての内部回路がパワーダウンするため、コントロール・レジスタやその他の全内部レジスタの情報が失われます。温度センサーの平均処理機能がコントロール・レジスタ(T_{SENSE}AVG)でイネーブルされている場合、デバイスがパワーダウン・モードになった後に平均処理がリセットされます。

$\overline{\text{PD/RST}}$ ピンを 100 ns 以上ロー・レベルにすると、AD7298 はフル・パワーダウン・モードになります。AD7298 をフル・パワーダウン・モードにする場合、ADC 入力を 0 V へ戻す必要があります。 $\overline{\text{PD/RST}}$ ピンはクロックに非同期であるため、何時でもトリガすることができます。 $\overline{\text{PD/RST}}$ ピンをハイ・レベルに戻すと、デバイスは通常動作を開始します。

フル・パワーダウン機能を使って、AD7298 を低いスループット・レートで動作させて平均消費電力を削減することができます。 $t_{\text{POWER_UP}}$ が経過した後に、コントロール・レジスタを設定して有効な変換を開始させる必要があります。

AD7298 のパワーアップ

AD7298 はパワーオン・リセット回路を内蔵しています。この回路はコントロール・レジスタに全ビット 0 のデフォルト値を設定するため、内蔵リファレンス電圧がイネーブルされ、デバイスは通常の動作モードに設定されます。パワーアップ時、内蔵リファレンス電圧はデフォルトでイネーブルされるため、パワーアップに 6 ms (最大)を要します。

外付けリファレンス電圧を使用する場合には、内蔵リファレンス電圧のパワーアップを待つ必要はありません。AD7298 のデジタル・インターフェースは、初期パワーアップから 500 μs 後にフル機能します。このため、500 μs 後にコントロール・レジスタへ書き込みを行って、外付けリファレンス電圧モードへ切り替えることができます。その後、外付けリファレンス電圧を V_{REF} ピンに入力すると AD7298 は直ちに変換を行うことができます。

電源を最初に AD7298 に加えるとき、規定の 500 μs が経過した後に、コントロール・レジスタを設定して、変換対象のチャンネルを選択する必要があります。

リセット

AD7298 はリセット機能を内蔵しています。この機能を使って、デバイスをリセットし、コントロール・レジスタなどのすべての内部レジスタの値をデフォルト状態に設定することができます。

リセット動作を起動するときは、100 ns を超えない時間 $\overline{\text{PD/RST}}$ ピンをロー・レベルにする必要があります。 $\overline{\text{PD/RST}}$ ピンはクロックに非同期であるため、何時でもトリガすることができます。 $\overline{\text{PD/RST}}$ ピンを 100 ns 以上長くロー・レベルに維持すると、デバイスはフル・パワーダウン・モードになります。 $\overline{\text{PD/RST}}$ ピンを常に安定したロジック・レベルに維持しておくことは、通常動作のために不可欠です。

シリアル・インターフェース

図 30 に、AD7298 シリアル・インターフェースのタイミング図を示します。シリアル・クロックは変換クロックとして使用され、各変換中に AD7298 に入出力される情報の転送制御にも使用されます。

$\overline{\text{CS}}$ 信号が、データ転送と変換プロセスを開始させます。 $\overline{\text{CS}}$ の立下がりエッジでトラック・アンド・ホールドがホールド・モードになり、この時点でアナログ入力サンプルされ、バスがスリー・ステートから抜け出します。変換もこの時点で開始され、完了までに SCLK で 16 サイクルを要します。図 30 のポイント B に示すように、SCLK の 14 番目の立下がりエッジで、トラック・アンド・ホールドはトラック・モードに戻ります。SCLK の 16 番目の立下がりエッジまたは $\overline{\text{CS}}$ の立上がりエッジで、DOUT ラインがスリー・ステートに戻ります。

SCLK の 16 サイクルが経過する前に $\overline{\text{CS}}$ の立上がりエッジが発生すると、変換は中止されて、DOUT ラインがスリー・ステートに戻り、コントロール・レジスタは更新されません。その他の場合は 16 番目の SCLK 立下がりエッジで DOUT がスリー・ステートに戻ります。変換を完了して AD7298 の変換結果をアクセスするためには、シリアル・クロックで 16 サイクルが必要です。

AD7298 の場合、変換結果が対応するチャンネルを識別する 4 ビットのチャンネル・アドレス・ビット (ADD3~ADD0) が、12 ビットのデータの前に配置されます(表 9 参照)。

$\overline{\text{CS}}$ がロー・レベルになると、マイクロコントローラまたは DSP から読み込まれる先頭のアドレス・ビットが出力されます。次に残りのデータが、後続の SCLK 立下がりエッジで 2 番目のアドレス・ビットを先頭に出力されます。このようにして、シリアル・クロックの最初の立下がりエッジで読み出し用の先頭のアドレス・ビットが出力された後、2 番目のアドレス・ビットも出力されます。残りの 3 ビットのアドレス・ビットと 12 ビットのデータビットは、後続の SCLK の立下がりエッジで出力されます。前の(15 番目の)立下がりエッジで出力されていたデータ転送の最終ビットは、16 番目の立下がりエッジでの読み出し用に有効になります。

低速 SCLK を使うアプリケーションでは、SCLK 周波数に応じて SCLK の各立上がりエッジでデータを読み込むことができます。 $\overline{\text{CS}}$ の立下がりエッジの後の、SCLK の最初の立上がりエッジで最初のアドレス・ビットを出力し、SCLK の 15 番目の立上がりエッジで最後のデータビットを出力するようにすることができます。

コントロール・レジスタへの情報の書込みは、データ転送中の SCLK の最初の 16 個の立下がりエッジで行われます(MSB (= WRITE ビット)に 1 が設定されている場合)。AD7298 から読み出された 16 ビット・データ・ワードには、常に 4 ビットのチャンネル・アドレス・ビット(変換結果が対応するチャンネルを表示)があり、その後ろに 12 ビットの変換結果が続きます。

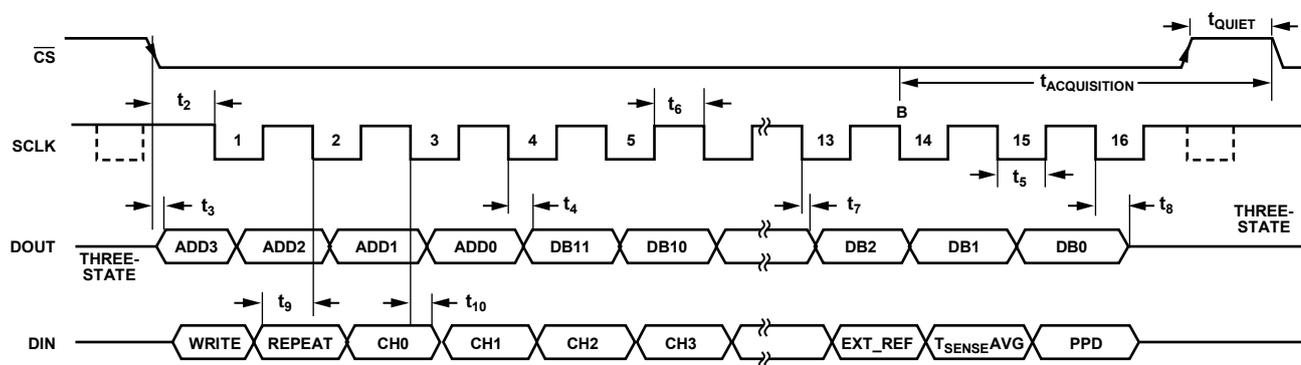


図 30.シリアル・インターフェースのタイミング図

温度センサーの読出し

温度センサー変換には、積分フェーズと変換フェーズの 2 つのフェーズがあります (温度センサーの動作 のセクション参照)。積分フェーズは \overline{CS} の立下がりエッジで開始され、完了すると、変換が自動的に内部で AD7298 により開始されます。温度変換/積分が開始されると、 T_{SENSE_BUSY} 信号がハイ・レベルになって、温度変換の進行中を表示し、変換が完了するまでハイ・レベルを維持します。

AD7298 での温度チャンネルの合計測定/変換時間は、最大 100 μs です。 T_{SENSE_BUSY} がロー・レベルになって温度変換が完了したことが表示された後、 \overline{CS} の次の立下がりエッジの前に 100 ns 経過する必要があります。 T_{SENSE_BUSY} の立下がりエッジと \overline{CS} の後続立下がりエッジとの間で最小 100 ns を確保できない場合は、次の変換結果は壊れますが、 \overline{CS} によりフレーム化された温度変換結果は影響を受けません。この制約は、次の変換に対して十分なアキュイジション・タイムを確保するためのものです。

T_{SENSE_BUSY} 信号がハイ・レベルになった後、前の変換結果の読出しをフレーム化するための \overline{CS} 立下がりエッジを与えるため、必要に応じてコントロール・レジスタを設定することができます (図 31 参照)。

前の変換結果を読出した後、 T_{SENSE_BUSY} 信号がハイ・レベルの間に発生する後続の \overline{CS} 立下がりエッジはすべて内部で AD7298 により無視されます。 T_{SENSE_BUSY} のハイ・レベルの間にさらに \overline{CS} の立下がりエッジが発生すると、AD7298 は全ビット 1 の無効なデジタル出力を発生します。あるいは、

T_{SENSE_BUSY} のハイ・レベルの間に \overline{CS} がハイ・レベルのままになると、DOUT バスはスリー・ステートを維持します。

T_{SENSE_BUSY} がハイ・レベルになった後の、最初の 16 SCLK サイクル中にコントロール・レジスタへ書込みを行うと、次の変換(T_{SENSE_BUSY} がロー・レベルになった後の、後続の \overline{CS} 立下がりエッジで開始される変換)に対するデバイスの設定が変更されます。 T_{SENSE_BUSY} がハイ・レベルになった後の最初の 16 SCLK サイクル間でのコントロール・レジスタに対する書込みで、デバイスをパーシャル・パワーダウンに設定すると、温度センサー変換が中止されて、デバイスは 16 番目の SCLK 立下がりエッジでパーシャル・パワーダウン・モードになります。

このため、 T_{SENSE_BUSY} のハイ・レベルの間に \overline{CS} 信号がトグルされる場合、コントロール・レジスタへの書込みを行わないようにすることが推奨されます。 \overline{CS} のトグル中の温度変換フェーズでは、WRITE ビットに 0 を設定しておくよう注意してください。

10 kHz より高い SCLK 周波数を使用する場合、温度変換の完了には 1 標準読出しサイクルより長い時間が必要です。この場合、 T_{SENSE_BUSY} 信号をモニタして、変換完了のタイミングと変換結果読出しのタイミングを知ることができます。

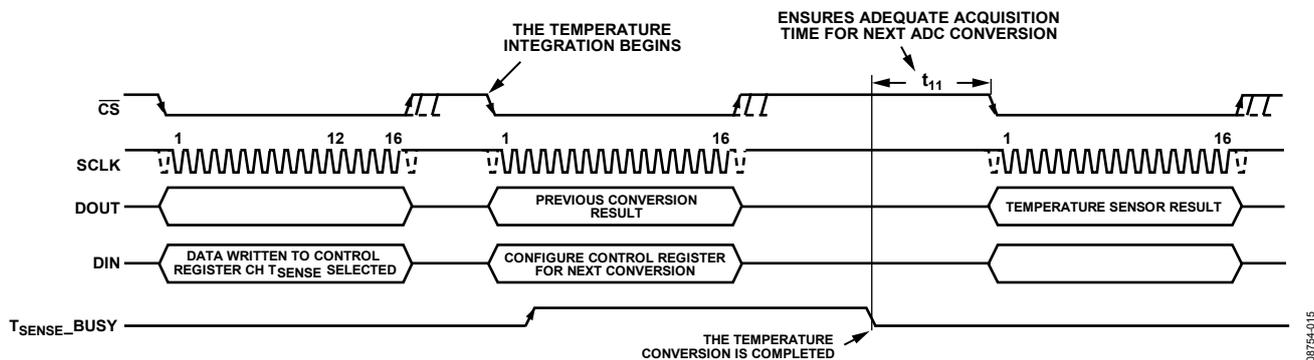


図 31. 温度センサー変換でのシリアル・インターフェース・タイミング図

レイアウトおよび構成

電源のバイパスとグラウンド接続

最適性能を得るためには、AD7298 を使用するプリント回路ボード(PCB)での電源とグラウンド・リターンのレイアウトに注意が必要です。AD7298 を実装する PCB プリント回路ボードは、アナログ部とデジタル部を分離して、それぞれ専用のボード領域を持つようにする必要があります。AD7298 は PCB のアナログ・セクションに配置する必要があります。

AD7298 の電源を 10 μF と 0.1 μF のコンデンサを使ってグラウンドへデカップリングする必要があります。コンデンサはデバイスのできるだけ近くに配置し、0.1 μF のコンデンサは理想的にはデバイスの近くに配置することが望まれます。0.1 μF コンデンサの実効直列抵抗(ESR)は小さく、かつ実効直列インダクタンス(ESL)は小さいことが重要です。一般的なセラミック型コンデンサが適しています。この 0.1 μF のコンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。10 μF のコンデンサはタンタルのビーズ型を使います。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を軽減させるようにします。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを使ってボード上の他の部分からシールドする必要があります。デジタル信号とアナログ信号の交差は、できるだけ回避する必要があります。ボードの反対

側のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。

最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンはハンダ面に配置するマイクロストリップ技術ですが、2 層ボードでは常に可能とはかぎりません。

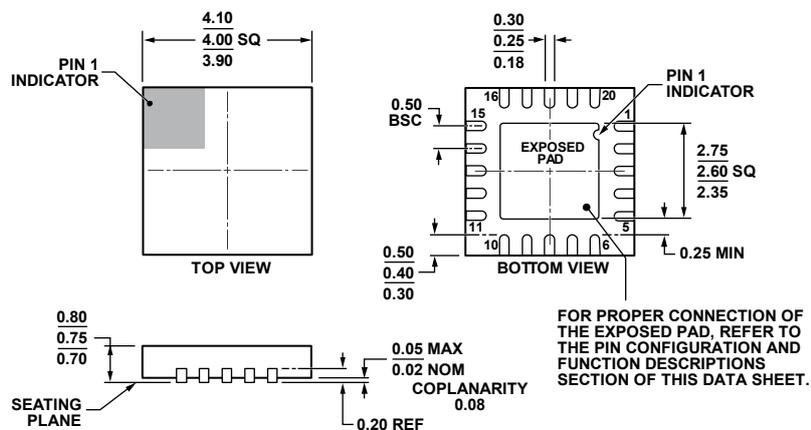
温度のモニタ

AD7298は、熱環境のモニタリングに最適です。このチップは、集積回路の近傍に影響を与える熱状態を正確に反映します。AD7298は、半導体チップ表面の温度を測定/変換します。

AD7298を使って熱源近くの温度を測定する場合、熱源とAD7298との間の熱抵抗を考慮する必要があります。熱抵抗が決定されると、熱源の温度をAD7298出力から計算することができます。

熱源からAD7298 チップの温度センサーへ伝わる熱の最大60%は、銅パターンとボンディング・パッドを経由して放散されます。AD7298のパッドでは、GND パッドが大部分の熱を放散させます。このため、熱源の温度を測定するときは、AD7298の GND パッドと熱源のGND の間の熱抵抗をできるだけ小さくすることが推奨されます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

0205698-B

図 32.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-20-8)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7298BCPZ	-40°C to +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-8
AD7298BCPZ-RL7	-40°C to +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-8
EVAL-AD7298SDZ		Evaluation Board	

¹ Z = RoHS 準拠製品。