

特長

変換時間 3 μ s の 12 ビット SAR ADC を内蔵

汎用のアナログ入力 $\times 4$

差動/シングルエンド

入力範囲: V_{REF} および $2 \times V_{REF}$

ハイサイド電流検出入力 $\times 2$

動作範囲: 5 V ~ 59.4 V

ゲイン誤差: 最大 0.5%

入力範囲: ± 200 mV

外付けダイオード温度センサー入力 $\times 2$

計測範囲: $-55^{\circ}\text{C} \sim +150^{\circ}\text{C}$

精度: $\pm 2^{\circ}\text{C}$

直列抵抗の相殺

内部温度センサー $\times 1$

精度: $\pm 2^{\circ}\text{C}$

内蔵の監視機能

各チャンネルの最小/最大レコーダ

警報スレッシュホールドが設定可能

ヒステリシスが設定可能

単調性の優れた 12 ビット 15 V DAC $\times 4$

5 V 振幅、0 V ~ 10 V のオフセット

セトリング・タイム: 8 μ s

シンク能力とソース能力: 10 mA

パワーオン・リセット (POR) 時に 0 V 出力

内部リファレンス電圧: 2.5 V

2 線式高速モード $I^2\text{C}$ インターフェース

温度範囲: $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$

64 ピン TQFP パッケージを採用

アプリケーション

携帯電話基地局

GSM、EDGE、UMTS、CDMA、TD-SCDMA、W-CDMA、
WiMAX

1 対多およびその他の RF 送信システム

12 V、24 V、48 V の車載アプリケーション

工業用制御

概要

AD7294 は、汎用の監視機能および電流、電圧、温度特性の制御に必要なすべての機能をシングル・チップ・ソリューションとして内蔵しています。このデバイスには、シャント抵抗の電流を監視する低電圧 (± 200 mV) アナログ入力検出アンプ、温度検出入力、変換時間 3 μ s の SAR A/D コンバータ (ADC) へマルチプレクス入力する 4 チャンネルの汎用アナログ入力の内蔵されています。D/A コンバータ (DAC) と ADC に供給される高精度なリファレンス電圧も内蔵しています。4 個の 12 ビット DAC は、電圧制御用の出力を提供します。AD7294 には、アラーム機能用のリミット・レジスタも内蔵されています。このデバイスは、電流検出入力および最大 15 V の DAC 出力電圧で 59.4 V の高電圧耐性を実現するためにアナログ・デバイセズの高電圧 DMOS 製造プロセスを採用してデザインされています。

AD7294 は、携帯電話基地局アプリケーションでパワー・アンプの精密制御に必要なすべての機能を提供する集積度の高いソリューションです。これらのタイプのアプリケーションで、この DAC はパワー・トランジスタのバイアス電流を制御するために 12 ビットの分解能を提供します。サーマル・ダイオード採用の温度センサーは、温度の影響を補償するために内蔵されています。この ADC は、ハイサイド電流と温度特性を監視します。これらすべての機能を 1 個の 64 ピン TQFP パッケージで提供し、 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ の温度範囲で動作します。

目次

特長.....	1	T _{SENSE1} リザルト・レジスタと T _{SENSE2} リザルト・レジスタ (0x02 と 0x03).....	27
アプリケーション.....	1	T _{SENSEINT} リザルト・レジスタ (0x04).....	27
概要.....	1	DAC _A 、DAC _B 、DAC _C 、DAC _D の各レジスタ (0x01~0x04)....	28
改訂履歴.....	2	警報ステータス・レジスタ A (0x05)、警報ステータス・レジ スタ B (0x06)、警報ステータス・レジスタ C (0x07).....	28
機能ブロック図.....	3	チャンネル・シーケンス・レジスタ (0x08).....	28
仕様.....	4	設定レジスタ (0x09).....	29
DAC 仕様.....	4	パワーダウン・レジスタ (0x0A).....	30
ADC 仕様.....	5	DATA _{HIGH} /DATA _{LOW} レジスタ: 0x0B, 0x0C (V _{IN0}); 0x0E, 0x0F (V _{IN1}); 0x11, 0x12 (V _{IN2}); 0x14, 0x15 (V _{IN3}).....	30
全体仕様.....	7	ヒステリシス・レジスタ: 0x0D (V _{IN0}), 0x10 (V _{IN1}), 0x13 (V _{IN2}), 0x16 (V _{IN3}).....	30
タイミング特性.....	8	T _{SENSE} オフセット・レジスタ (0x26 と 0x27).....	31
絶対最大定格.....	9	I ² C インターフェース.....	32
熱抵抗.....	9	一般的な I ² C のタイミング.....	32
ESD の注意.....	9	シリアル・バスのアドレス・バイト.....	33
ピン配置およびピン機能説明.....	10	インターフェース・プロトコル.....	33
代表的な性能特性.....	12	動作モード.....	37
用語.....	17	コマンド・モード.....	37
DAC 用語.....	17	自動サイクル・モード.....	38
ADC 用語.....	17	警報およびリミットの動作原理.....	39
動作原理.....	18	Alert_Flag ビット.....	39
ADC の概要.....	18	警報ステータス・レジスタ.....	39
ADC の伝達関数.....	18	DATA _{HIGH} と DATA _{LOW} の監視機能.....	39
アナログ入力.....	18	ヒステリシス.....	40
電流センサー.....	20	アプリケーション情報.....	41
アナログ・コンパレータ・ループ.....	21	基地局パワー・アンプの監視と制御.....	41
温度センサー.....	21	パワー・アンプのゲイン制御.....	42
DAC の動作.....	22	レイアウトおよび構成.....	43
ADC と DAC のリファレンス電圧.....	24	電源のバイパスとグラウンド接続.....	43
V _{DRIVE} 機能.....	24	外形寸法.....	44
レジスタの設定.....	25	オーダー・ガイド.....	44
アドレス・ポインタ・レジスタ.....	25		
コマンド・レジスタ (0x00).....	26		
リザルト・レジスタ (0x01).....	26		

改訂履歴

1/08—Revision 0: Initial Version

機能ブロック図

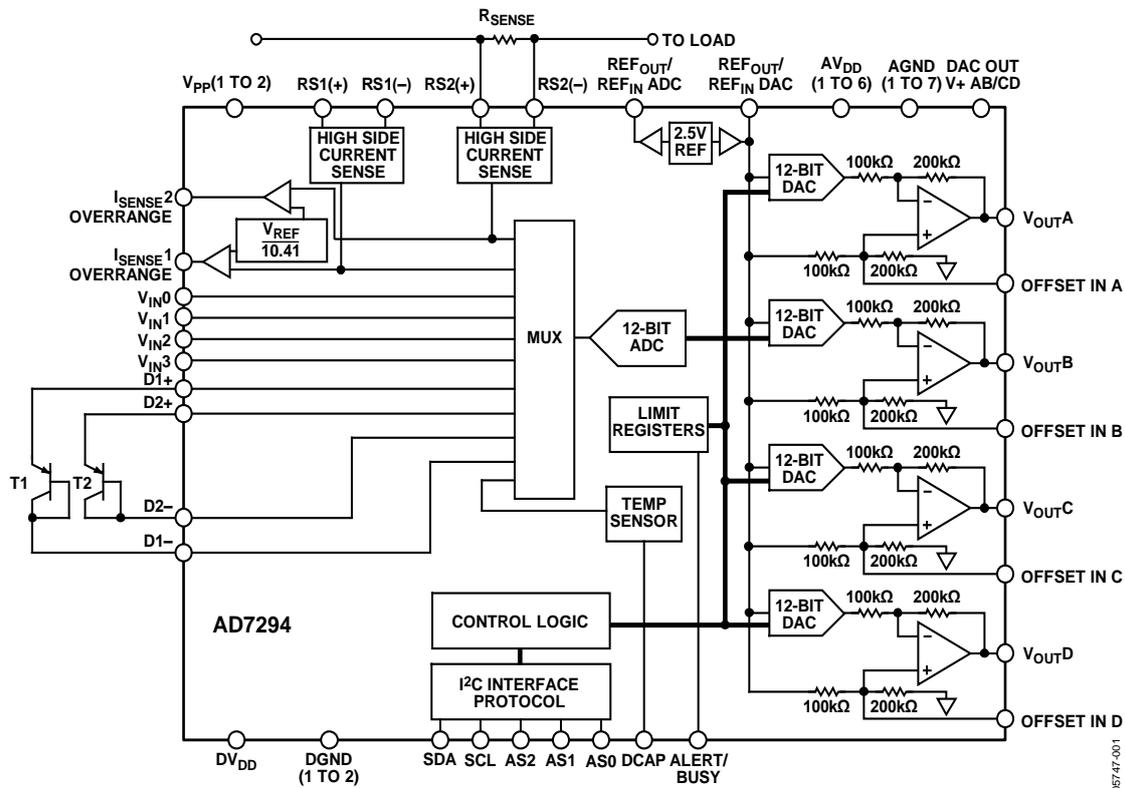


図 1.

05747-001

仕様

DAC 仕様

特に指定のない限り、 $AV_{DD} = DV_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ 、 2.5 V の内部リファレンス; $V_{DRIVE} = 2.7\text{ V} \sim 5.5\text{ V}$; $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。DAC OUTV+ AB および DAC OUTV+ CD = $4.5\text{ V} \sim 16.5\text{ V}$ 、OFFSET IN x はフローティングのため DAC 出力範囲 = $0\text{ V} \sim 5\text{ V}$ 。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ACCURACY					
Resolution	12			Bits	
Relative Accuracy (INL)		± 1	± 3	LSB	
Differential Nonlinearity (DNL)		± 0.3	± 1	LSB	Guaranteed monotonic
Zero-Scale Error		2.5	8	mV	
Full-Scale Error of DAC and Output Amplifier			15.5^1	mV	DAC OUTV+ = 5.0 V
Full-Scale Error of DAC		2		mV	DAC OUTV+ = 15.0 V
Offset Error			± 8.575	mV	Measured in the linear region, $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$
			± 2	mV	Measured in the linear region, $T_A = 25^\circ\text{C}$
Offset Error Temperature Coefficient		± 5		ppm/ $^\circ\text{C}$	
Gain Error		± 0.025	± 0.155	% FSR	
Gain Temperature Coefficient		± 5		ppm/ $^\circ\text{C}$	
DAC OUTPUT CHARACTERISTICS					
Output Voltage Span	0		$2 \times V_{REF}$	V	0 V to 5 V for a 2.5 V reference
Output Voltage Offset	0		10	V	The output voltage span can be positioned in the 0 V to 15 V range; if the OFFSET IN x is left floating, the offset pin = $2/3 \times V_{REF}$, giving an output of 0 V to $2 \times V_{REF}$
Offset Input pin range	0		5		$V_{OUT} = 3 V_{OFFSET} - 2 \times V_{REF} + V_{DAC}$, DAC HIGH-Z = 0 V
	1.667		5		$V_{OUT} = OFFSET\ IN\ x$, DAC HIGH-Z = V_{DRIVE}
DC Input Impedance ²		75		k Ω	100 k Ω to V_{REF} , and 200 k Ω to AGND, see Figure 47
Output Voltage Settling Time ²		8		μs	1/4 to 3/4 change within 1/2 LSB, measured from last SCL edge
Slew Rate ²		1.1		V/ μs	
Short-Circuit Current ²		40		mA	Full-scale current shorted to ground
Load Current ²		± 10		mA	Source and/or sink within 200 mV of supply
Capacitive Load Stability ²	10			nF	$R_L = \infty$
DC Output Impedance ²		1		Ω	
REFERENCE					
Reference Output Voltage	2.49	2.5	2.51	V	$\pm 0.4\%$ maximum @ 25°C , $AV_{DD} = DV_{DD} = 4.5\text{ V}$ to 5.5 V
Reference Input Voltage Range	0		$AV_{DD} - 2$	V	
Input Current		100	125	μA	$V_{REF} = 2.5\text{ V}$
Input Capacitance ²		20		pF	
V_{REF} Output Impedance ²		25		Ω	
Reference Temperature Coefficient		10	25	ppm/ $^\circ\text{C}$	

¹ この値は DAC 出力アンプが DAC OUTV+電源より 15.5 mV 低い電圧を出力できることを示します。高い DAC OUTV+電源電圧を使用する場合、DAC のフル・スケール誤差は無負荷で 2 mV (typ) です。

² 初期リリース時はサンプル・テストにより適合性を保証。出荷テストは行いません。

ADC 仕様

特に指定のない限り、 $V_{DD} = DV_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ (内部または外部)、 $V_{DRIVE} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{PP} = AV_{DD} \sim 59.4\text{ V}$ ； $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DC ACCURACY					
Resolution		12		Bits	
Integral Nonlinearity (INL) ¹		± 0.5	± 1	LSB	Differential mode
		± 0.5	± 1.5	LSB	Single-ended or pseudo differential mode
Differential Nonlinearity (DNL) ¹		± 0.5	± 0.99	LSB	Differential, single-ended, and pseudo differential modes
Single-Ended Mode					
Offset Error		± 1	± 7	LSB	
Offset Error Match		± 0.4		LSB	
Gain Error		± 0.5	± 2.5	LSB	
Gain Error Match		± 0.4		LSB	
Differential Mode					
Positive Gain Error			± 3	LSB	
Positive Gain Error Match		± 0.5		LSB	
Zero Code Error		± 3	± 10	LSB	
Zero Code Error Match		± 0.5		LSB	
Negative Gain Error			± 3	LSB	
Negative Gain Error Match		± 0.5		LSB	
CONVERSION RATE					
Conversion Time ²		3		μs	
Autocycle Update Rate ²		50		μs	
Throughput Rate			22.22	kSPS	$f_{SCL} = 400\text{ kHz}$
ANALOG INPUT³					
Single-Ended Input Range	0		V_{REF}	V	0 V to V_{REF} mode
	0		$2 \times V_{REF}$	V	0 V to $2 \times V_{REF}$ mode
Pseudo Differential Input Range: $V_{IN+} - V_{IN-}^4$	0		V_{REF}		0 V to V_{REF} mode
	0		$2 \times V_{REF}$		0 V to $2 \times V_{REF}$ mode
Fully Differential Input Range: $V_{IN+} - V_{IN-}$	$-V_{REF}$		$+V_{REF}$		0 V to V_{REF} mode
	$-2 \times V_{REF}$		$+2 \times V_{REF}$		0 V to $2 \times V_{REF}$ mode
Input Capacitance ²		30		pF	
DC Input Leakage Current			± 1	μA	
DYNAMIC PERFORMANCE					
Signal-to-Noise Ratio (SNR) ¹	72.5	73		dB	$f_{IN} = 10\text{ kHz}$ sine wave; differential mode
	71	72		dB	$f_{IN} = 10\text{ kHz}$ sine wave; single-ended and pseudo differential modes
Signal-to-Noise + Distortion (SINAD) Ratio ¹	69	71.5		dB	$f_{IN} = 10\text{ kHz}$ sine wave; differential mode
	71	72.5		dB	$f_{IN} = 10\text{ kHz}$ sine wave; single-ended and pseudo differential modes
Total Harmonic Distortion (THD) ¹		-81	-74	dB	$f_{IN} = 10\text{ kHz}$ sine wave; differential mode
		-79	-72	dB	$f_{IN} = 10\text{ kHz}$ sine wave; single-ended and pseudo differential modes
Spurious-Free Dynamic Range (SFDR) ¹		-91	-84.5	dB	$f_{IN} = 10\text{ kHz}$ sine wave; differential mode
		-93	-85.5	dB	$f_{IN} = 10\text{ kHz}$ sine wave; single-ended and pseudo differential modes
Channel-to-Channel Isolation ²		-90		dB	$f_{IN} = 10\text{ kHz}$ to 40 kHz
TEMPERATURE SENSOR—INTERNAL					
Operating Range	-40		+105	$^\circ\text{C}$	
Accuracy			± 2	$^\circ\text{C}$	Internal temperature sensor, $T_A = -30^\circ\text{C}$ to $+90^\circ\text{C}$
			± 2.5	$^\circ\text{C}$	Internal temperature sensor, $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$
Resolution		0.25		$^\circ\text{C}$	LSB size
Update Rate		5		ms	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
TEMPERATURE SENSOR—EXTERNAL					
Operating Range	-55		+150	°C	External transistor is 2N3906
Accuracy			±2	°C	Limited by external diode
Resolution		0.25		°C	$T_A = T_{DIODE} = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$
Low Level Output Current Source ²		8		μA	LSB size
Medium Level Output Current Source ²		32		μA	
High Level Output Current Source ²		128		μA	
Maximum Series Resistance (R_S) for External Diode ²			100	Ω	For $\pm 0.5^{\circ}\text{C}$ additional error, $C_P = 0$, see Figure 30
Maximum Parallel Capacitance (C_P) for External Diode ²			1	nF	$R_S = 0$, see Figure 29
CURRENT SENSE					
V_{PP} Supply Range	AV_{DD}		59.4	V	$V_{PP} = AV_{DD}$ to 59.4 V
Gain	12.4375	12.5	12.5625		Gain of 12.5 gives a gain error = 0.5% maximum; delivers ± 200 mV range with +2.5 V reference
RS(+)/RS(-) Input Bias Current		25	32	μA	
CMRR/PSRR ²		80		dB	Inputs shorted to V_{PP}
Offset Error		±50	±340	μV	
Offset Drift		1		μV/°C	
Amplifier Peak-To-Peak Noise ²		400		μV	Referred to input
V_{PP} Supply Current		0.18	0.22	mA	$V_{PP} = 59.4$ V
REFERENCE					
Reference Output Voltage	2.49		2.51	V	±0.2% maximum at 25°C only
Reference Input Voltage Range	0.1		4.1	V	For four uncommitted ADCs
	1		$AV_{DD} - 2$		For current sense
DC Leakage Current			±2	μA	
V_{REF} Output Impedance ²		25		Ω	
Input Capacitance ²		20		pF	
Reference Temperature Coefficient		10	25	ppm/°C	

¹ 詳細については、用語のセクションを参照してください。

² 初期リリース時はサンプル・テストにより適合性を保証。出荷テストは行いません。

³ V_{IN+} または V_{IN-} は、GND と V_{DD} の間に維持する必要があります。

⁴ 規定性能に対して $V_{IN-} = 0$ V。 V_{IN-} のフル入力範囲については、図 39 を参照してください。

全体仕様

特に指定のない限り、 $V_{DD} = DV_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ (内部または外部)、 $V_{DRIVE} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{PP} = AV_{DD} \sim 59.4\text{ V}$ 、DAC OUTV+ AB および DAC OUTV+ CD = $4.5\text{ V} \sim 16.5\text{ V}$; OFFSET IN x はフローティング(したがって DAC 出力範囲 = $0\text{ V} \sim 5\text{ V}$)、 $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS					
Input High Voltage, V_{IH}	$0.7 V_{DRIVE}$			V	SDA, SCL only
Input Low Voltage, V_{IL}			$0.3 V_{DRIVE}$	V	SDA, SCL only
Input Leakage Current, I_{IN}			± 1	μA	
Input Hysteresis, V_{HYST}	$0.05 V_{DRIVE}$			V	
Input Capacitance, C_{IN}		8		pF	
Glitch Rejection		50		ns	Input filtering suppresses noise spikes of less than 50 ns
I ² C [®] Address Pins Maximum External Capacitance if Floating			30	pF	Tristate input
DAC HIGH-Z Pin Leakage		10		μA	Input with pull-down resistor, $V_{IN} = 5.5\text{ V}$
		1		μA	Input with pull-down resistor, $V_{IN} = 0\text{ V}$
LOGIC OUTPUTS					
SDA, ALERT					SDA and ALERT/BUSY are open-drain outputs
Output Low Voltage, V_{OL}			0.4	V	$I_{SINK} = 3\text{ mA}$
			0.6	V	$I_{SINK} = 6\text{ mA}$
Floating-State Leakage Current			± 1	μA	
Floating-State Output Capacitance		8		pF	
I_{SENSE} OVERRANGE					
Output High Voltage, V_{OH}			$V_{DRIVE} - 0.2$	V	I _{SENSE} OVERRANGE is a push-pull output $I_{SOURCE} = 200\text{ }\mu\text{A}$ for push-pull outputs
Output Low Voltage, V_{OL}			0.2	V	$I_{SINK} = 200\text{ }\mu\text{A}$ for push-pull outputs
Overrange Setpoint	V_{FS}	$V_{FS} \times 1.2$		mV	$V_{FS} = \pm V_{REF} \text{ ADC}/12.5$
POWER REQUIREMENTS					
V_{PP}	AV_{DD}		59.4	V	
AV_{DD}	4.5		5.5	V	
V(+)	4.5		16.5	V	
DV_{DD}	4.5		5.5	V	Tie DV_{DD} to AV_{DD}
V_{DRIVE}	2.7		5.5	V	
I_{DD} Dynamic		5.3	6.5	mA	$AV_{DD} + DV_{DD} + V_{DRIVE}$, DAC outputs unloaded
DAC OUTV+ x, I_{DD}		0.6	0.9	mA	@ midscale output voltage, DAC outputs unloaded
Power Dissipation		70	92	mW	
Power-Down					
I_{DD}		0.5	1	μA	For each AV_{DD} and V_{DRIVE}
DI_{DD}		1	16.5	μA	
DAC OUTV+ x, I_{DD}		35	60	μA	
Power Dissipation			2.5	mW	

タイミング特性

I²C シリアル・インターフェース

特に指定のない限り、 $V_{DD} = DV_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ (内部または外部)、 $V_{DRIVE} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{PP} = AV_{DD} \sim 59.4\text{ V}$ 、DAC OUTV+ AB および DAC OUTV+ CD = $4.5\text{ V} \sim 16.5\text{ V}$; OFFSET IN x はフローティング(したがって DAC 出力範囲 = $0\text{ V} \sim 5\text{ V}$)、 $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。

表 4.

Parameter ¹	Limit at T _{MIN} , T _{MAX}	Unit	Description
f _{SCL}	400	kHz max	SCL clock frequency
t ₁	2.5	μs min	SCL cycle time
t ₂	0.6	μs min	t _{HIGH} , SCL high time
t ₃	1.3	μs min	t _{LOW} , SCL low time
t ₄	0.6	μs min	t _{HD,STA} , start/repeated start condition hold time
t ₅	100	ns min	t _{SU,DAT} , data setup time
t ₆ ²	0.9	μs max	t _{HD,DAT} , data hold time
	0	μs min	t _{HD,DAT} , data hold time
t ₇	0.6	μs min	t _{SU,STA} , setup time for repeated start
t ₈	0.6	μs min	t _{SU,STO} , stop condition setup time
t ₉	1.3	μs min	t _{BUF} , bus free time between a stop and a start condition
t ₁₀	300	ns max	t _R , rise time of SCL and SDA when receiving
	0	ns min	t _R , rise time of SCL and SDA when receiving (CMOS compatible)
t ₁₁	300	ns max	t _F , fall time of SDA when transmitting
	0	ns min	t _F , fall time of SDA when receiving (CMOS compatible)
	300	ns max	t _F , fall time of SCL and SDA when receiving
	$20 + 0.1C_b^3$	ns min	t _F , fall time of SCL and SDA when transmitting
C _b	400	pF max	Capacitive load for each bus line

¹ 図 2 を参照してください。

² SCL の立ち下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA 信号に対して最小 300 ns のホールド・タイムを保証する必要があります (SCL 信号の V_{IH min} を基準として)。

³ C_b は 1 本のバス・ラインの合計容量(pF)です。t_R と t_F は、 $0.3 \times DV_{DD}$ と $0.7 \times DV_{DD}$ との間で測定。

タイミングおよび回路図

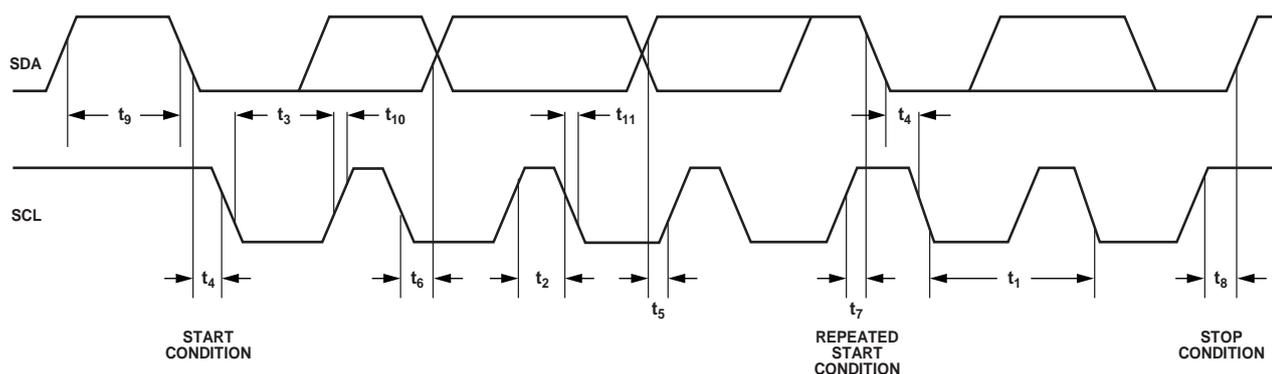


図 2.I2C 互換シリアル・インターフェースのタイミング図

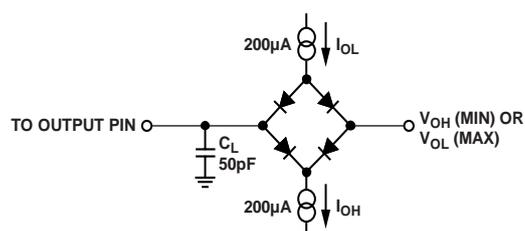


図 3. デジタル出力の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。¹

表 5.

Parameter	Rating
V_{PPX} to AGND	-0.3 V to +70 V
AV_{DDX} to AGND	-0.3 V to +7 V
DAC OUTV+ AB to AGND	-0.3 V to +17 V
DAC OUTV+ CD to AGND	-0.3 V to +17 V
DV_{DD} to DGND	-0.3 V to +7 V
V_{DRIVE} to OPGND	-0.3 V to +7 V
Digital Inputs to OPGND	-0.3 V to $V_{DRIVE} + 0.3$ V
SDA/SCL to OPGND	-0.3 V to +7 V
Digital Outputs to OPGND	-0.3 V to $V_{DRIVE} + 0.3$ V
RS(+)/RS(-) to V_{PPX}	$V_{PP} - 0.3$ V to $V_{PP} + 0.3$ V
REF _{OUT} /REF _{IN} ADC to AGND	-0.3 V to $AV_{DD} + 0.3$ V
REF _{OUT} /REF _{IN} DAC to AGND	-0.3 V to $AV_{DD} + 0.3$ V
OPGND to AGND	-0.3 V to +0.3 V
OPGND to DGND	-0.3 V to +0.3 V
AGND to DGND	-0.3 V to +0.3 V
V_{OUTX} to AGND	-0.3 V to DAC OUTV(+) + 0.3 V
Analog Inputs to AGND	-0.3 V to $AV_{DD} + 0.3$ V
Operating Temperature Range B Version	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J Max)	150°C
ESD Human Body Model	1 kV
Reflow Soldering Peak Temperature	230°C

¹最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

IPC 2221 工業規格に準拠するためには、高電圧ピンに絶縁保護コーティングを使用することが推奨されます。

熱抵抗

表 6.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
64-Lead TQFP	54	16	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

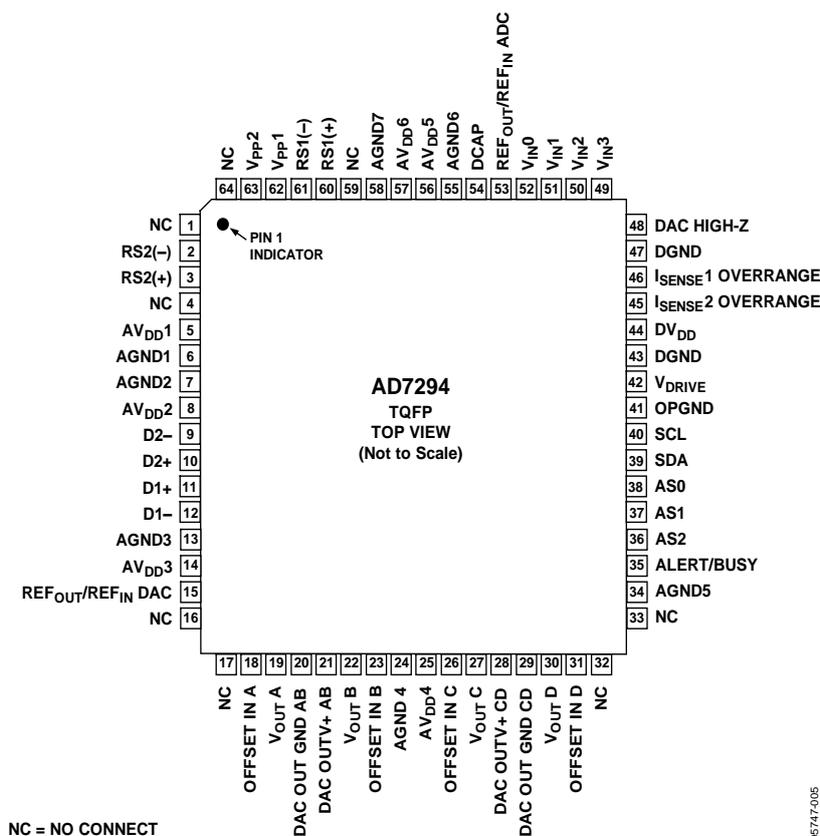


図 4. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
2、61	RS2(-)、RS1(-)	外付けシャント抵抗の接続。
3、60	RS2(+)、RS1(+)	外付けシャント抵抗の接続。
1、4、16、17、32、33、59、64	NC	未接続。これらのピンは接続しないでください。
5、8、14、25、56、57	AV _{DD1} ~AV _{DD6}	アナログ電源ピン。動作範囲は 4.5 V~5.5 V。これらのピンは、AD7294 内のすべてのアナログ回路へ電源電圧を供給します。AV _{DD} ピンと DV _{DD} ピンを接続して、すべての電源ピンが同電位になるようにする必要があります。各 AV _{DD} ピンごとに 10 μF のタンタル・コンデンサと 0.1 μF のセラミック・コンデンサを使って、AGND ヘドカップリングする必要があります。
6、7、13、24、34、55、58	AGND1~AGND7	アナログ・グラウンド。AD7294 のすべてのアナログ回路のグラウンド基準ポイント。すべてのアナログ入力信号と外付けリファレンス信号はこの AGND 電圧を基準とします。7本すべてのこれら AGND ピンをシステムの AGND プレーンへ接続してください。AGND5 は DAC のグラウンド基準ポイントであるため、DAC 出力から駆動される回路に対して星型グラウンドとしてこのピンを使用する必要があることに注意してください。AGND 電圧と DGND 電圧は理想的には同電位である必要があり、バイアスに過渡現象であっても、差が 0.3 V を超えないようにする必要があります。
9、12	D2(-)、D1(-)	温度センサー・アナログ入力。これらのピンは、外付け温度検出トランジスタに接続します。図 45 と図 46 を参照してください。
10、11	D2(+)、D1(+)	温度センサー・アナログ入力。これらのピンは、外付け温度検出トランジスタに接続します。図 45 と図 46 を参照してください。
15	REF _{OUT} /REF _{IN} DAC	DAC リファレンス電圧出力/入力ピン。REF _{OUT} /REF _{IN} DAC ピンは、4 チャンネルすべての DAC に共通です。パワーアップ時のこのピンのデフォルト設定は、外付けリファレンス (REF _{IN}) になっています。パワーダウン・レジスタに書き込みを行って内部リファレンス電圧をイネーブルしてください。表 27 を参照してください。デカップリング・コンデンサ (推奨 220 nF) をこのピンに接続して、リファレンス・バッファをデカップリングします。出力にバッファが付いている場合、内蔵リファレンス電圧をこのピンから出力して、システムの他の部分に供給することができます。AV _{DD} -2 V の最大外部リファレンス電圧を REF _{OUT} /REF _{IN} DAC ピンの REF _{OUT} 部分に加えることができます。

ピン番号	記号	説明
18、23、26、31	OFFSET IN A～ OFFSET IN D	DAC アナログ・オフセット入力ピン。これらのピンを使って、各 DAC チャンネルの出力範囲を設定します。DAC は 5 V の出力電圧範囲を持っています。これらのピンにオフセット電圧を加えることにより、0 V～5 V から 10 V～15 V の最大出力電圧までシフトすることができます。これらのピンはフローティングしておくことができます。この場合、100 nF のコンデンサを使って AGND ヘドカップリングしてください。
19、22、27、30	V _{OUT A} ～V _{OUT D}	チャンネル A～D のバッファ付きアナログ DAC 出力。各 DAC アナログ出力は、OFFSET IN x ピンを使ってオフセットを加えることができる出力アンプから駆動されます。DAC の最大出力電圧範囲は 5 V です。この出力範囲は 15 V の最大出力電圧レベル・シフトさせることができます。各出力は 10 mA のソースおよびシンク能力を持ち、10 nF 負荷を駆動できます。
20、29	DAC OUT GND AB、DAC OUT GND CD	アナログ・グラウンド。それぞれ、V _{OUT A} と V _{OUT B} 、および V _{OUT C} と V _{OUT D} の DAC 出力アンプに対するアナログ・グラウンド・ピン。
21、28	DAC OUTV+ AB、 DAC OUTV+ CD	アナログ電源。それぞれ、V _{OUT A} と V _{OUT B} 、および V _{OUT C} と V _{OUT D} の DAC 出力アンプに対するアナログ電源ピン。動作範囲は 4.5 V～16.5 V。
35	ALERT/BUSY	デジタル出力。設定レジスタで警報またはビジー出力機能として設定することができます。オープン・ドレイン出力。外付けのプルアップ抵抗が必要です。 警報として設定した場合、このピンは範囲外インジケータとして機能するため、変換結果が DATA _{HIGH} または DATA _{LOW} レジスタ値に違反したときアクティブになります。警報ステータス・レジスタのセクションを参照してください。 ビジー出力として設定した場合、このピンは変換進行中にアクティブになります。
38、37、36	AS0、AS1、AS2	デジタル・ロジック入力。これらの入力のロジック状態により、AD7294 の I ² C アドレスを指定します。詳細については、表 34 を参照。
39	SDA	デジタル入力/出力。シリアル・バス双方向データ。このオープン・ドレイン出力にはプルアップ抵抗が必要です。
40	SCL	I ² C バスのシリアル・クロック。I ² C モードでのデータ転送レートは、100 kHz と 400 kHz の動作モードと互換性を持っています。このオープン・ドレイン出力にはプルアップ抵抗が必要です。
41	OPGND	I ² C インターフェース専用のグラウンド・ピン。
42	VDRIVE	ロジック電源。このピンに入力された電圧が、インターフェースで使用する電圧を決定します。このピンは DGND ヘドカップリングしてください。このピンの電圧範囲は 2.7 V～5.5 V であるため、AV _{DD} と DV _{DD} の電圧レベルと異なることが可能ですが、0.3 V 以上異なることはできません。入力と出力のスレッシュホールドを設定するときは、このピンを I ² C バスがプルされる電源に接続してください。
43、47	DGND	デジタル・グラウンド。このピンは、すべてのデジタル回路のグラウンドです。
44	DVDD	ロジック電源。動作範囲は 4.5 V～5.5 V。これらのピンは、AD7294 内のすべてのデジタル回路へ電源電圧を供給します。AV _{DD} ピンと DV _{DD} ピンを接続して、すべての電源ピンが同電位になるようにする必要があります。10 μF のタンタル・コンデンサと 0.1 μF のセラミック・コンデンサを使ってこの電源を DGND ヘドカップリングしてください。
46、45	I _{SENSE1} OVERRANGE、 I _{SENSE2} OVERRANGE	コンパレータ故障出力。これらのピンは、ハイサイド電流検出アンプに接続されています。
48	DAC HIGH-Z	DAC 出力の高インピーダンス・コントロール。このピンをハイ・レベルに設定すると、DAC 出力が OFFSET IN x ピンの電圧レベルに設定されます。このピンには 1 MΩ の内部プルダウン抵抗が付いています。
49、50、51、52	V _{IN3} ～V _{IN0}	汎用 ADC アナログ入力。これらのピンは、4 チャンネルのシングルエンド入力または 2 チャンネルの差動アナログ入力対として設定することができます。詳細については、表 1 と表 13 を参照してください。
53	REF _{OUT} /REF _{IN} ADC	ADC リファレンス電圧入力/出力ピン。REF _{OUT} /REF _{IN} ADC ピンは、ADC のリファレンス電源を供給します。パワーアップ時のこのピンのデフォルト設定は、外付けリファレンス (REF _{IN}) になっています。パワーダウン・レジスタに書き込みを行って内部リファレンス電圧をイネーブルしてください。表 27 を参照してください。デカップリング・コンデンサ (推奨 220 nF) をこのピンに接続して、リファレンス・バッファをデカップリングしてください。出力にバッファが付いている場合、内蔵リファレンス電圧をこのピンから出力して、システムの他の部分に供給することができます。2.5 V の最大外部リファレンス電圧を REF _{OUT} /REF _{IN} ADC ピンの REF _{OUT} 部分に加えることができます。
54	DCAP	内部温度センサーの外付けデカップリング・コンデンサ入力。0.1 μF のコンデンサでこのピンを AGND ヘドカップリングしてください。通常動作での電圧は 3.7 V (typ) です。
62、63	V _{PP1} 、V _{PP2}	電流センサーの電源ピン。ハイサイド電流検出アンプの電源ピン。動作範囲は AV _{DD} ～59.4 V です。この電源は AGND ヘドカップリングしてください。電流検出のフィルタのセクションを参照してください。

代表的な性能特性

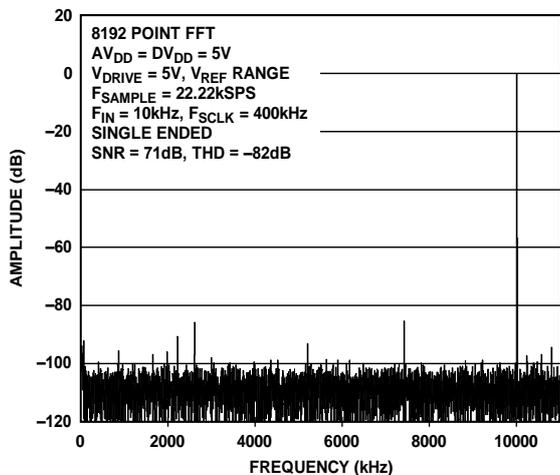


図 5.信号対ノイズ比、シングルエンド、VREF レンジ

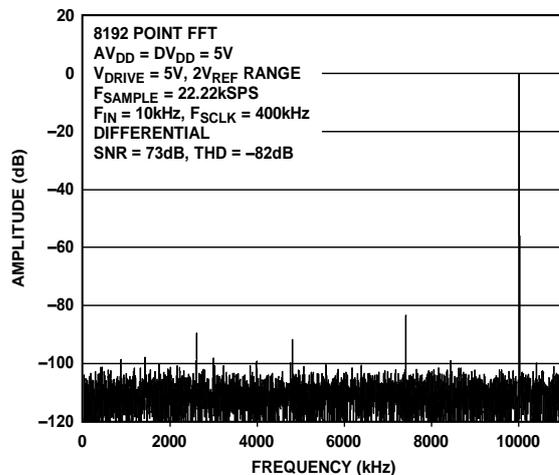


図 8.信号対ノイズ比、差動、2 × VREF レンジ

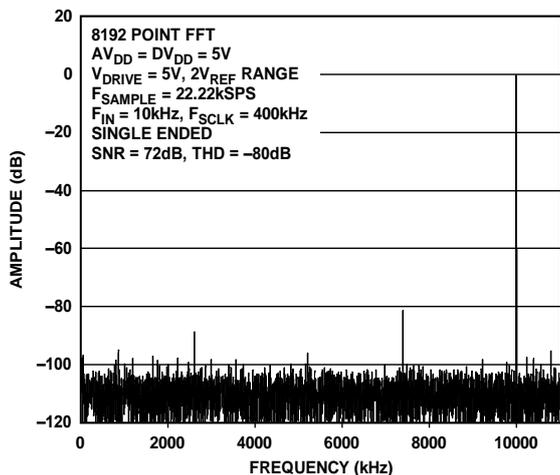


図 6.信号対ノイズ比、シングルエンド、2 × VREF レンジ

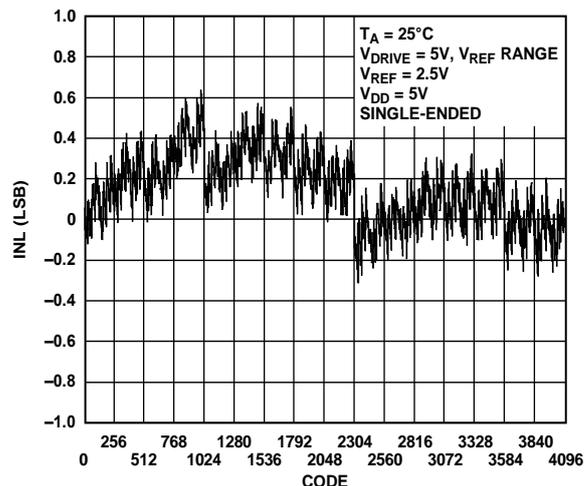


図 9.ADC INL、シングルエンド、VREF レンジ

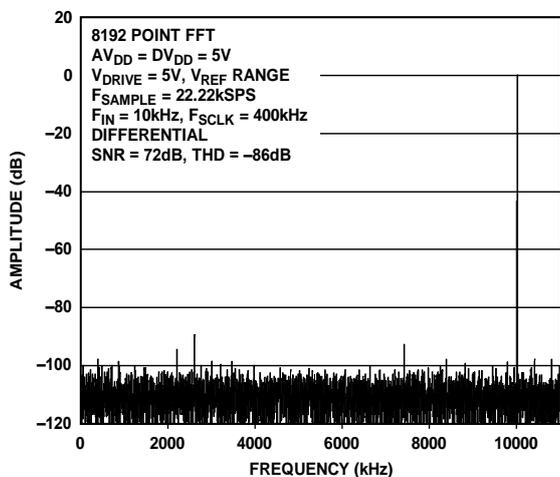


図 7.信号対ノイズ比、差動、VREF レンジ

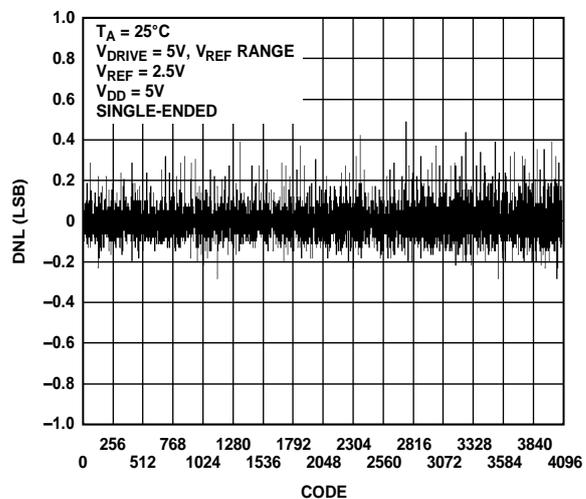


図 10.ADC DNL、シングルエンド、VREF レンジ

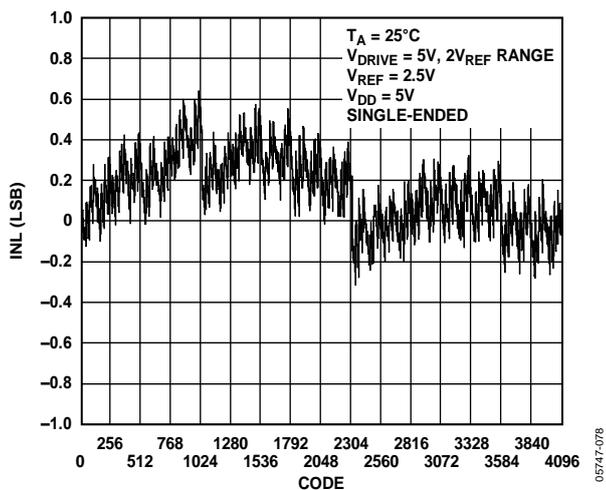


図 11.ADC INL、シングルエンド、 $2 \times V_{REF}$ レンジ

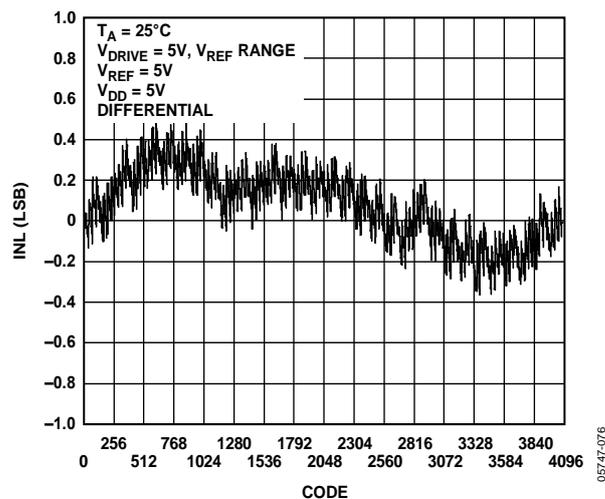


図 14.ADC INL、差動、 V_{REF} レンジ

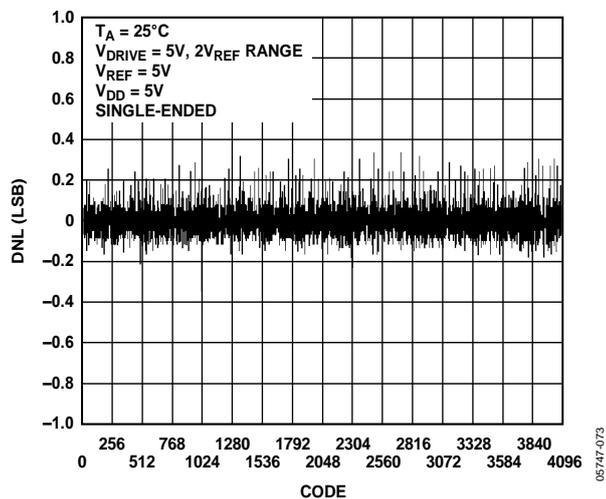


図 12.ADC DNL、シングルエンド、 $2 \times V_{REF}$ レンジ

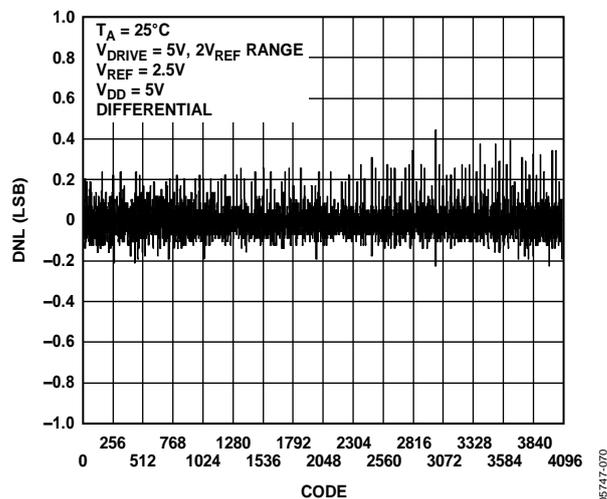


図 15.ADC DNL、差動、 $2 \times V_{REF}$ レンジ

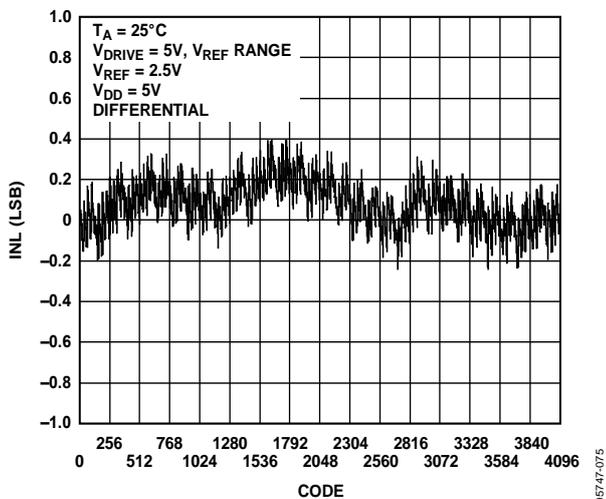


図 13.ADC INL、差動、 V_{REF} レンジ

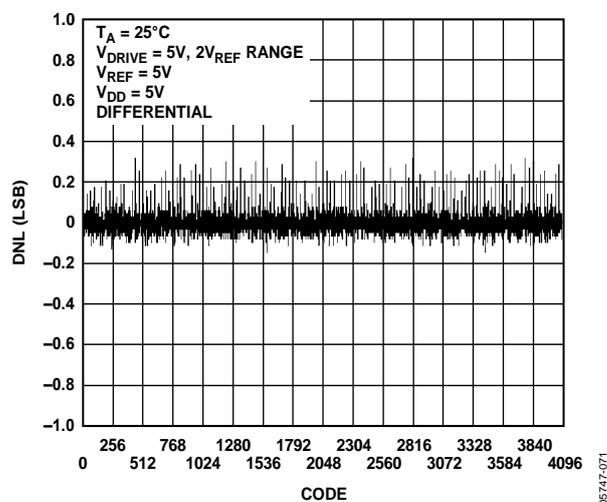


図 16.ADC DNL、差動、 $2 \times V_{REF}$ レンジ

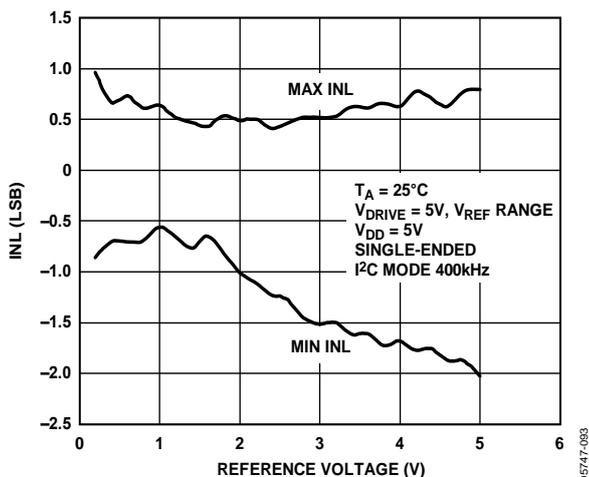


図 17.ADC INL 対リファレンス電圧

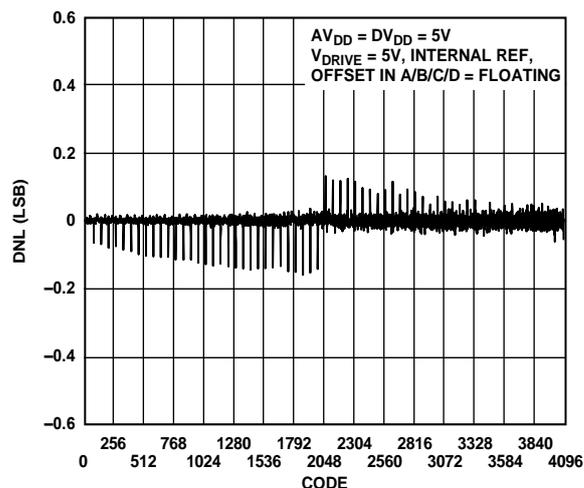


図 20.DAC DNL

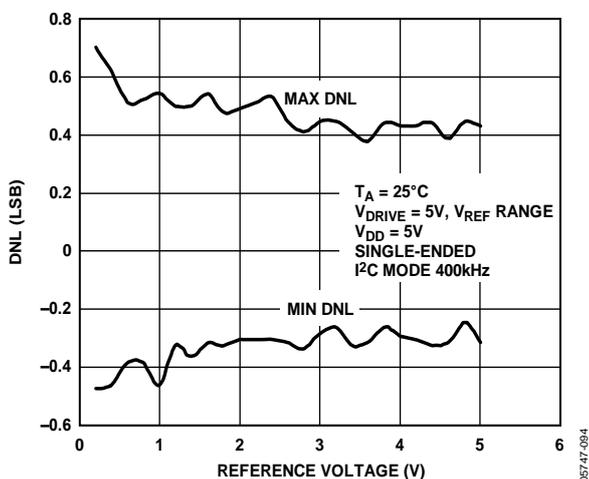


図 18.ADC DNL 対リファレンス電圧

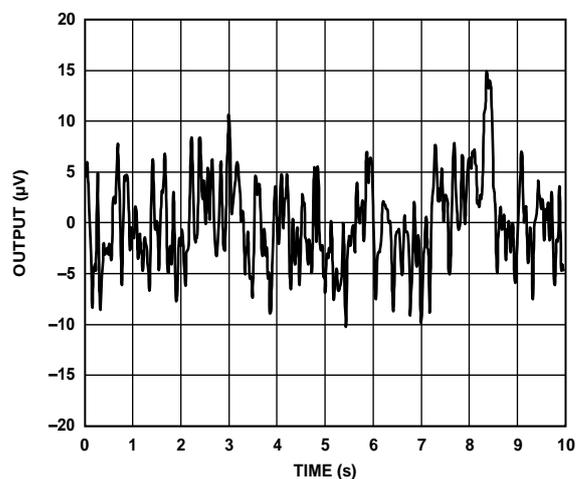


図 21.0.1 Hz~10 Hz の DAC 出力ノイズ (コード 800)

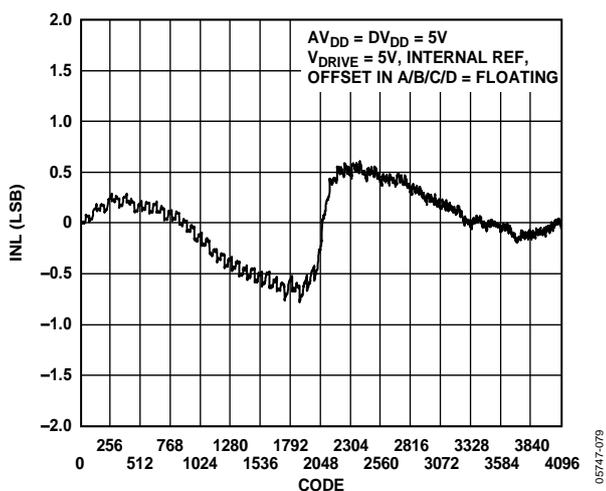


図 19.DAC INL

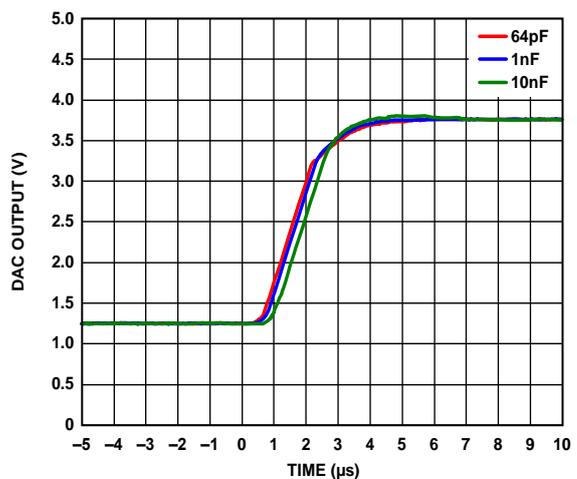


図 22. ¼から¾への出力電圧ステップに対するセトリング・タイム

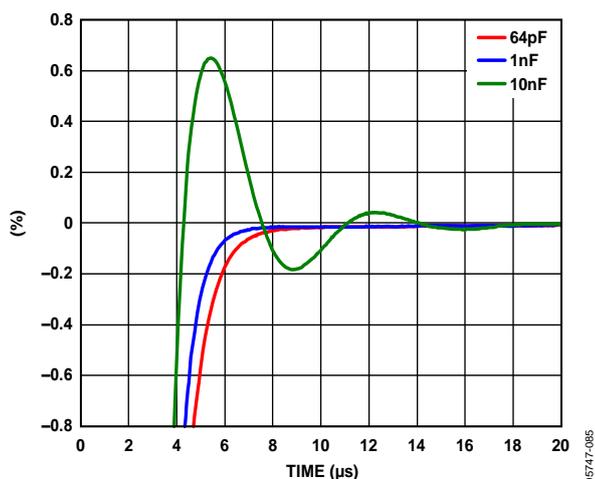


図 23. ¼から¼への出力電圧ステップに対するセトリング (拡大表示)

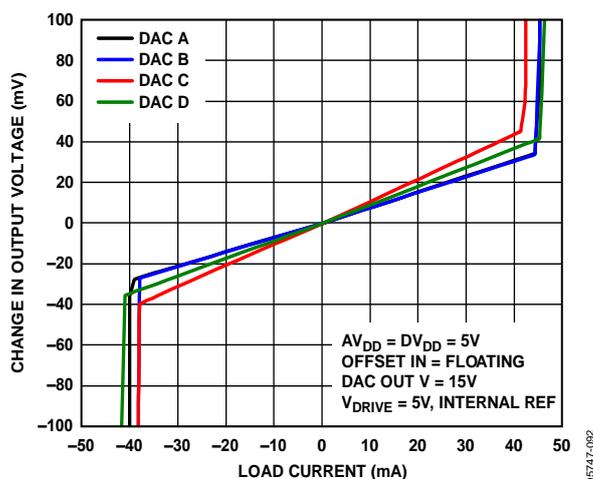


図 26. DAC 出力電圧対負荷電流、入力コード = x800

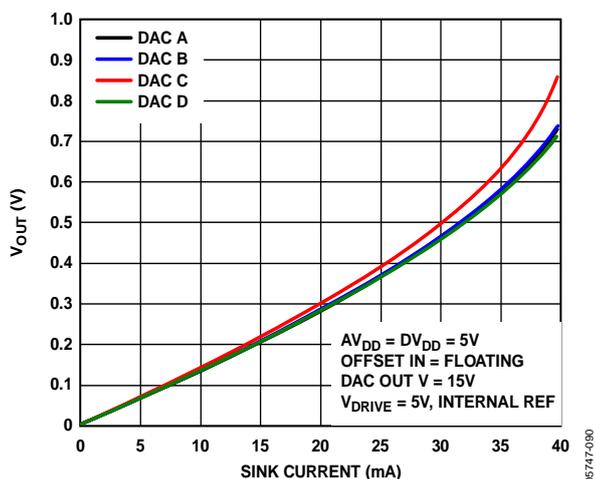


図 24. DAC シンク電流、入力コード = x000、(V_{OUT} = 0 V)

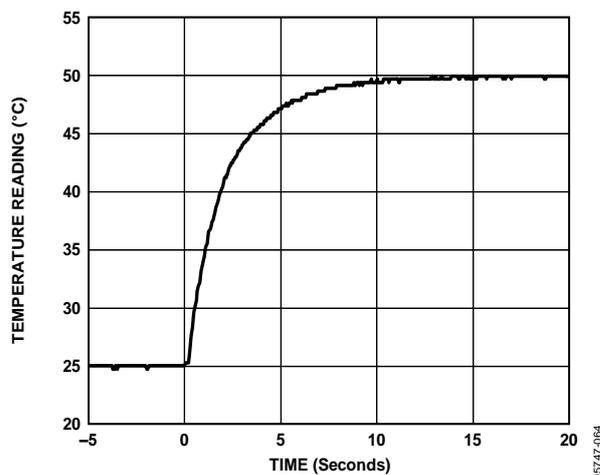


図 27. AD7294 の熱衝撃応答、2N3906 を使用 (2N3906 は攪拌オイル槽内に配置)

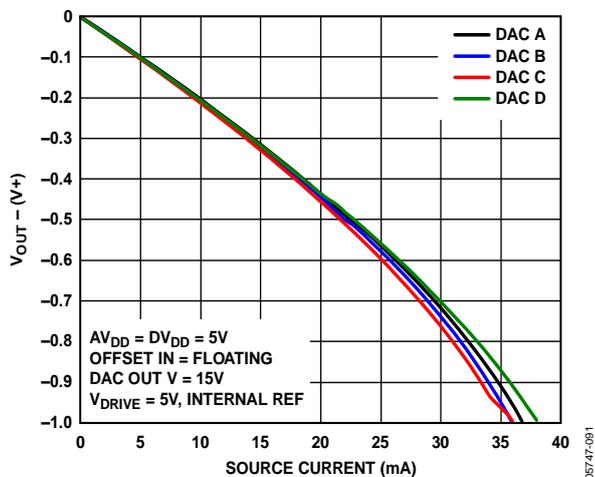


図 25. DAC ソース電流、入力コード = x000、(V_{OUT} = 0 V)

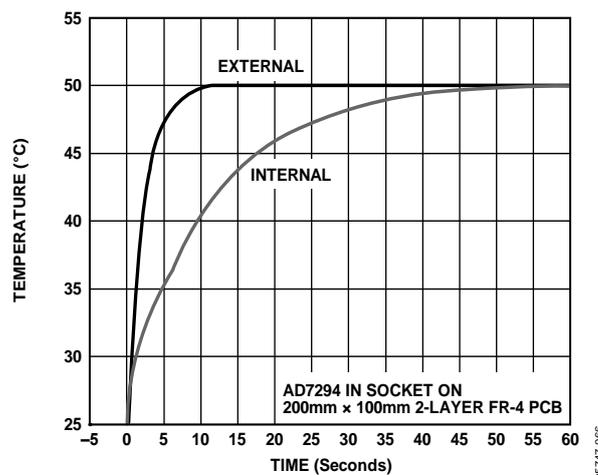


図 28. 室温から 50°C 攪拌オイル槽へ変化時の熱衝撃応答 (AD7294 と 2N3906 を攪拌オイル槽内に配置)

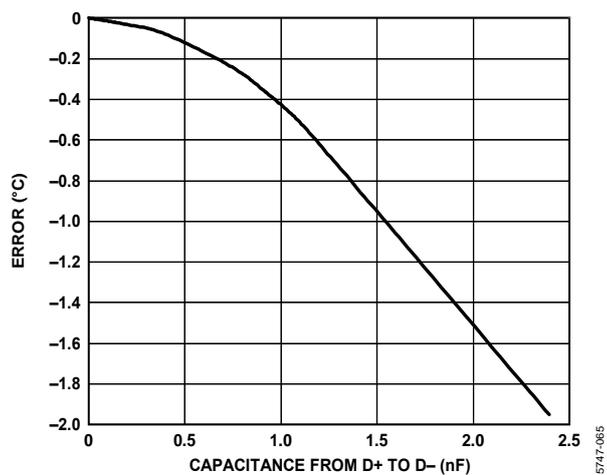


図 29.温度誤差対コンデンサ (D+とD-の間)

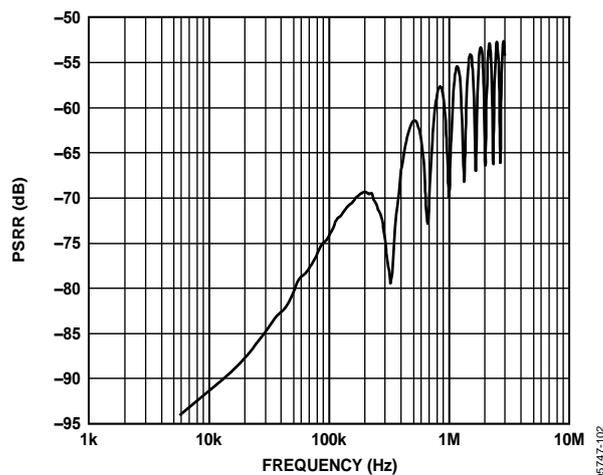


図 32. I_{SENSE} 電源除去比対電源リップル周波数
V_{PP} 電源デカップリング・コンデンサなし、500 mV リップル

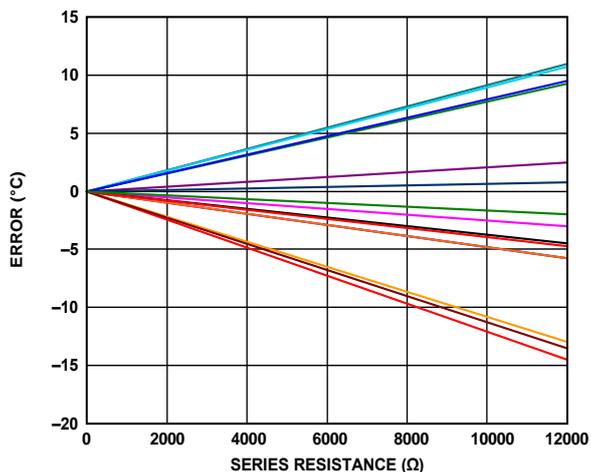


図 30.温度誤差対直列抵抗 (15 個の製品)

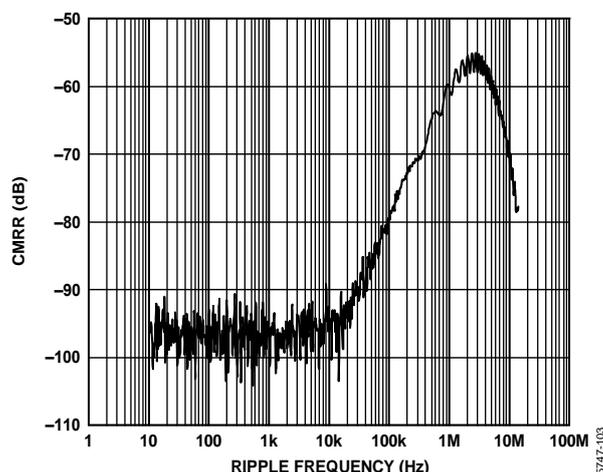


図 33. I_{SENSE} 同相モード除去比対リップル周波数
400 mV ピーク To ピーク・リップル

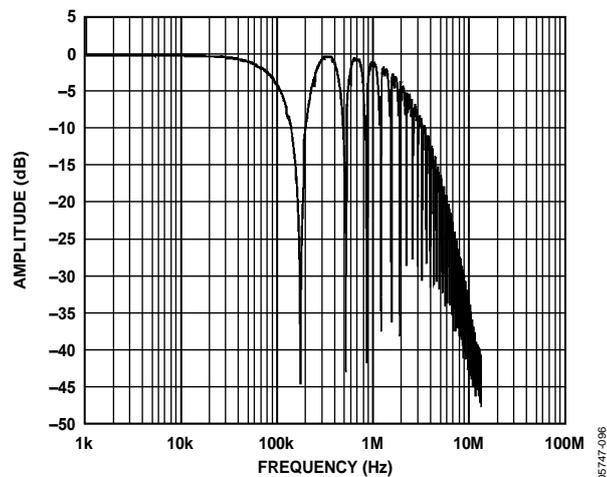


図 31. AD7294 内蔵ハイサイド電流センサーの周波数応答

用語

DAC 用語

相対精度

DAC の場合、相対精度すなわち積分非直線性(INL)は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。

微分非直線性

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 1 LSB の微分非直線性の仕様は、単調性を保証するものです。この DAC はデザインにより単調性を保証しています。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)を DAC レジスタにロードしたときの出力として測定されます。理論的には出力は 0V である必要があります。AD7294 では DAC 出力が 0V を下回ることができないため、ゼロ・コード誤差は常に正です。ゼロ・コード誤差は mV で表します。

フル・スケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)を DAC レジスタにロードしたときの出力として測定されます。理論的には出力は $V_{DD} - 1 \text{ LSB}$ である必要があります。フル・スケール誤差は mV で表します。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論値からの実際の DAC 伝達特性の傾きの差をフルスケール範囲のパーセント値で表したものです。

総合未調整誤差

総合未調整誤差は、種々の誤差を考慮した出力誤差を表します。

ゼロ・コード誤差ドリフト

ゼロ・コード誤差ドリフトは、温度変化によるゼロ・コード誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$ で表されます。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、温度変化によるゲイン誤差の変化を表し、(フルスケール範囲の ppm)/ $^\circ\text{C}$ で表示します。

ADC 用語

信号対ノイズおよび歪み比(SINAD)

A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプルング周波数($f_s/2$)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大

きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ + 歪み)比} = (6.02N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、SINAD は 74 dB になります。

総合高調波歪み(THD)

高調波の rms 値総和と基本波の比です。AD7294 の場合、次式で与えられます。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波の rms 振幅で、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は 2 次～6 次高調波の rms 振幅です。

ピーク高調波またはスプリアス・ノイズ

ADC 出力スペクトル内の(DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

積分非直線性

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード変化より 1 LSB 下のポイント)とフル・スケール(最後のコード変化より 1 LSB 上のポイント)をいいます。

微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

オフセット誤差

理論値 AGND + 1 LSB と最初のコード変化((00...0.000)から(00...0.001))との差をいいます。

オフセット誤差マッチ

2 つのチャンネル間のオフセット誤差の差。

ゲイン誤差

オフセット誤差調整後の最後のコード変化((111...110)から(111...111))と理論値(REF_{IN} - 1 LSB)との差をいいます。

ゲイン誤差のマッチング

2 つのチャンネル間のゲイン誤差の差。

動作原理

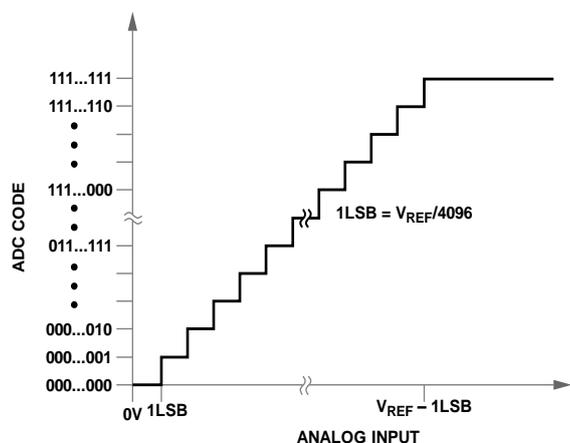
ADC の概要

The AD7294 は、9 チャンネルのマルチプレクサ、トラック&ホールド、逐次近似型 ADC を採用した容量 DAC を内蔵しています。シングルエンドまたは差動アナログ入力に設定して、デバイスのアナログ入力範囲は $0\text{ V} \sim V_{\text{REF}}$ 入力または $2 \times V_{\text{REF}}$ 入力に設定することができます。AD7294 は 2.5 V のリファレンス電圧を内蔵していますが、外付けリファレンス電圧を使う場合には、これをディスエーブルすることができます。ADC の内部リファレンス電圧をシステム内の他の場所で使う場合には、出力を先ずバッファする必要があります。

種々の監視信号や汎用入力信号をマルチプレクスして ADC へ入力することができます。AD7294 には、4 チャンネルの汎用アナログ入力 ($V_{\text{IN}0} \sim V_{\text{IN}3}$) があります。これらの 4 チャンネルでは、シングルエンド、差動、疑似差動モードで、種々のシステム信号を計測することができます。

ADC の伝達関数

コード変化は LSB の連続する整数倍値 (1 LSB, 2 LSB など) で発生します。シングルエンド・モードでは、 $0\text{ V} \sim V_{\text{REF}}$ の範囲を使う場合、LSB サイズは $V_{\text{REF}}/4096$ に、 $0\text{ V} \sim 2 \times V_{\text{REF}}$ の範囲を使う場合には、LSB サイズは $2 \times V_{\text{REF}}/4096$ になります。図 34 に、ストレート・バイナリ・コーディングを出力するときの ADC の理論伝達特性を示します。



NOTE
1. V_{REF} IS EITHER V_{REF} OR $2 \times V_{\text{REF}}$.

図 34. シングルエンドでの伝達特性

差動モードでは、LSB サイズは $0\text{ V} \sim V_{\text{REF}}$ 範囲を使用する場合は $2 \times V_{\text{REF}}/4096$ に、 $0\text{ V} \sim 2 \times V_{\text{REF}}$ 範囲を使用する場合は $4 \times V_{\text{REF}}/4096$ に、それぞれなります。図 35 に、2 の補数コーディングを出力するときの ADC の理論伝達特性を示します ($2 \times V_{\text{REF}}$ レンジ)。

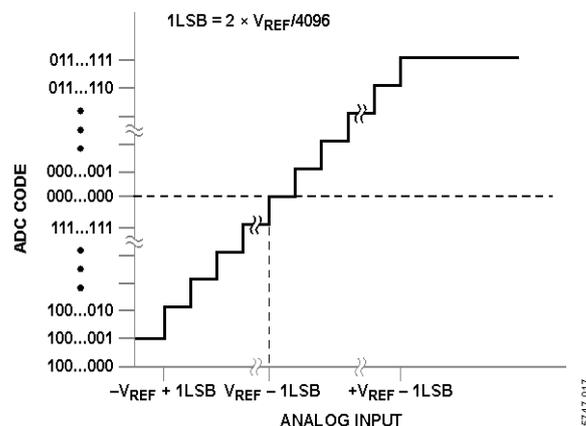


図 35. 差動伝達特性、 $V_{\text{REF}} \pm V_{\text{REF}}$ 入力範囲

シングルエンド・モードでは $V_{\text{IN}0} \sim V_{\text{IN}3}$ に対して、出力コードはストレート・バイナリになります。この場合、

$V_{\text{IN}} = 0\text{ V}$, $D_{\text{OUT}} = \text{x000}$, $V_{\text{IN}} = V_{\text{REF}} - 1\text{ LSB}$, $D_{\text{OUT}} = \text{xFFF}$.

差動モードでは、コードは 2 の補数になります。この場合、

$V_{\text{IN}+} - V_{\text{IN}-} = 0\text{ V}$, $D_{\text{OUT}} = \text{x00}$

$V_{\text{IN}+} - V_{\text{IN}-} = V_{\text{REF}} - 1\text{ LSB}$, $D_{\text{OUT}} = \text{x7FF}$

$V_{\text{IN}+} - V_{\text{IN}-} = -V_{\text{REF}}$, $D_{\text{OUT}} = \text{x800}$

チャンネル 5 とチャンネル 6 (電流センサー入力) は 2 の補数。この場合、

$V_{\text{IN}+} - V_{\text{IN}-} = 0\text{ mV}$, $D_{\text{OUT}} = \text{x000}$

$V_{\text{IN}+} - V_{\text{IN}-} = V_{\text{REF}}/12.5 - 1\text{ LSB}$, $D_{\text{OUT}} = \text{x7FF}$

$V_{\text{IN}+} - V_{\text{IN}-} = -V_{\text{REF}}/12.5$, $D_{\text{OUT}} = \text{x800}$

チャンネル 7 ~ チャンネル 9 (温度センサー入力) は、2 の補数になります (LSB = 0.25°C)。この場合、

$T_{\text{IN}} = 0^\circ\text{C}$, $D_{\text{OUT}} = \text{x000}$

$T_{\text{IN}} = +255.75^\circ\text{C}$, $D_{\text{OUT}} = \text{x7FF}$

$T_{\text{IN}} = -256^\circ\text{C}$, $D_{\text{OUT}} = \text{x800}$

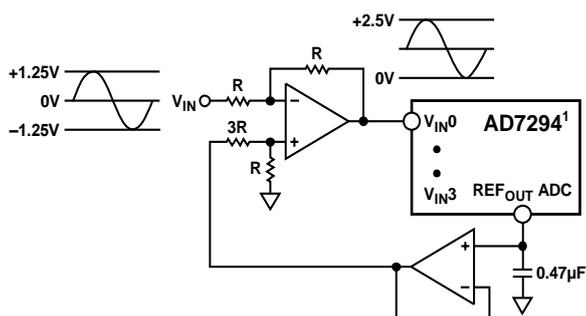
アナログ入力

AD7294 には合計 4 個のアナログ入力があります。設定レジスタ・セットアップに応じて、2 個のシングルエンド入力、2 個の疑似差動チャンネル、または 2 個のフル差動チャンネルに設定することができます。詳細については、レジスタの設定のセクションを参照してください。

シングルエンド・モード

AD7294 は、4 チャンネルのシングルエンド・アナログ入力を持つことができます。信号ソースが高インピーダンスを持つアプリケーションでは、アナログ入力をバッファした後に ADC へ入力することが推奨されます。アナログ入力範囲は、 $0\text{ V} \sim V_{\text{REF}}$ または $0\text{ V} \sim 2 \times V_{\text{REF}}$ に設定することができます。 $2 \times V_{\text{REF}}$ モードでは、入力が 1/2 倍された後に変換されます。ADC アナログ入力ピンの GND に対してこの電圧は、 AV_{DD} を超えることができないことに注意してください。

サンプルされるアナログ入力信号がバイポーラの場合には、ADC の内部リファレンス電圧を使ってこの信号に外部でバイアスを加えて、ADC 用に正しくフォーマットされるようにすることができます。図 36 に、ADC をシングルエンド・モードで動作させるときの代表的な接続図を示します。



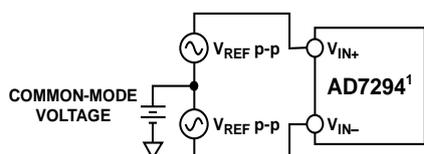
¹ADDITIONAL PINS OMITTED FOR CLARITY.

06747-018

図 36. シングルエンド・モードの接続図

差動モード

AD7294 は 2 つの差動アナログ入力対を持つことができます。差動信号はシングルエンド信号に比べて、デバイスの同相モード除去比に基づくノイズ耐性、歪性能の改善などの幾つかの利点を持っています。図 37 に、AD7294 のフル差動アナログ入力を定義します。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

06747-018

図 37. 差動入力の定義

差動信号の振幅は、各差動対の V_{IN+} ピンと V_{IN-} ピンに加えられた信号の差 ($V_{IN+} - V_{IN-}$) です。変換されたデータは、2 の補数フォーマットでリザルト・レジスタに格納されます。各振幅が V_{REF} (または選択した範囲に応じて $2 \times V_{REF}$) で、位相が 180° 異なる 2 つの信号で V_{IN0} と V_{IN1} を同時に駆動します。0 V ~ V_{REF} の範囲を選択した場合、差動信号の振幅は同相モード (V_{CM}) に無関係に、 $-V_{REF} \sim +V_{REF}$ のピーク to ピーク ($2 \times V_{REF}$) になります。

同相モードは 2 つの信号の平均です。

$$(V_{IN+} + V_{IN-})/2$$

したがって、同相モードは 2 つの入力の間となる電圧です。

このため各入力範囲は $V_{CM} \pm V_{REF}/2$ となります。この電圧は外部で設定する必要があり、その範囲はリファレンス値 V_{REF} により変化します。 V_{REF} 値が大きくなると、同相モード範囲は小さくなります。アンプで入力を駆動するときは、実際と同相モード範囲はアンプの出力電圧振幅で決定されます。

AD7294 の機能を保証するためには、同相モードはこの範囲内にある必要があります。

変換が行われると、同相モードが除去されて、2 の補数フォーマットのデジタル・コード $-2048 \sim +2047$ に対応する振幅 $-V_{REF} \sim +V_{REF}$ の実質的にノイズのない出力信号が得られます。

$2 \times V_{REF}$ の範囲を使う場合、入力信号振幅は $-2 \times V_{REF}$ ($V_{IN+} = 0$ V, $V_{IN-} = V_{REF}$) から $+2 \times V_{REF}$ ($V_{IN-} = 0$ V, $V_{IN+} = V_{REF}$) へ拡張されます。

差動入力の駆動

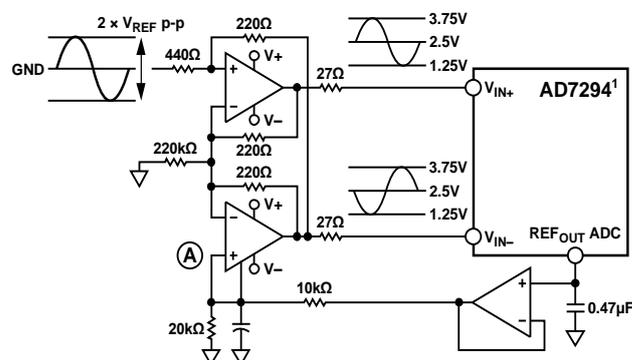
表 13 に示す $V_{IN0} \sim V_{IN3}$ で使用可能な差動モードでは、 V_{IN+} と V_{IN-} を位相が 180° 異なる 2 つの等しい信号で同時に駆動することが必要です。アナログ入力の中心となる同相モードは、外部で設定する必要があります。同相モードの範囲は、 V_{REF} 、電源、アナログ入力の駆動に使用するアンプによって決定されます。差動動作モード (AC 結合入力または DC 結合入力) は、広い周波数範囲で最適な THD 性能を提供します。すべてのアプリケーションが差動動作用に信号を予めコンデショニングしていないため、シングル・エンドから差動への変換が必要になることがあります。

オペアンプ対の使用

オペアンプ対を使って、差動信号を AD7294 のアナログ入力対の 1 つに直接接続することができます。図 38 に示す回路構成は、シングルエンドのバイポーラ入力信号を、デュアル・オペアンプを使って、差動ユニポーラ入力信号に変換する方法を示しています。

ポイント A に入力される電圧が同相モード電圧を設定します。図 38 に示すように、ポイント A はリファレンスに接続されますが、同相モード範囲内の任意の値をポイント A に入力して同相モードを設定することができます。AD7294 を差動駆動するこの構成で使用できる最適なデュアル・オペアンプとしては AD8022 があります。

オペアンプの選択は電源とシステム性能目標に依存するため、選ぶときには注意が必要です。図 38 に示すドライブ回路は、最適歪性能を必要とする DC 結合アプリケーション用に最適化されています。図 38 の差動オペアンプ・ドライブ回路は、グランド基準のシングルエンド信号 (バイポーラ) を変換/レベル・シフトして、ADC の V_{REF} レベルを中心とする差動信号へ変換するように構成されています。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

06747-023

図 38. シングルエンド・バイポーラ信号を差動ユニポーラ信号に変換するデュアル・オペアンプ回路

擬似差動モード

4チャンネルの汎用アナログ入力を、2つの擬似差動対に構成することができます。汎用入力 V_{IN0} と V_{IN1} および V_{IN2} と V_{IN3} が擬似差動対になります。このモードでは、 V_{IN+} が信号ソースに接続され、最大振幅 V_{REF} （または選択した範囲に応じて $2 \times V_{REF}$ ）を持つことができるため、デバイスのフル・ダイナミック・レンジを利用することができます。DC入力を V_{IN-} に接続します。この入力に加えられる電圧が、グラウンドからのオフセットまたは V_{IN-} 入力に対する擬似グラウンドを提供します。どのチャンネルを V_{IN+} にするかは、ADCチャンネル割り当てにより指定されます。擬似差動モードで動作するときは、差動モードを選択する必要があります。変換された擬似差動データは、2の補数フォーマットでリザルト・レジスタに格納されます。

擬似差動モードの式は、 V_{IN0} の場合、次のようになります。

$$V_{OUT} = 2(V_{IN+} - V_{IN-}) - V_{REF_ADC}$$

ここで、 V_{IN+} はシングルエンド信号、 V_{IN-} はDC電圧です。

擬似差動入力の利点は、アナログ入力信号のグラウンドをADCグラウンドから分離するため、DC同相モード電圧を相殺できることです。擬似差動モードでの V_{IN-} の代表的な電圧範囲を図39に示します。図40には、擬似差動モードの接続図を示します。

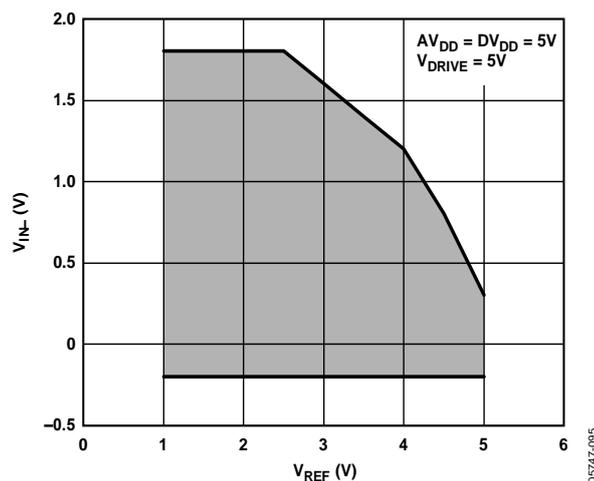


図 39. 擬似差動モードでの V_{IN-} 入力範囲対 V_{REF}

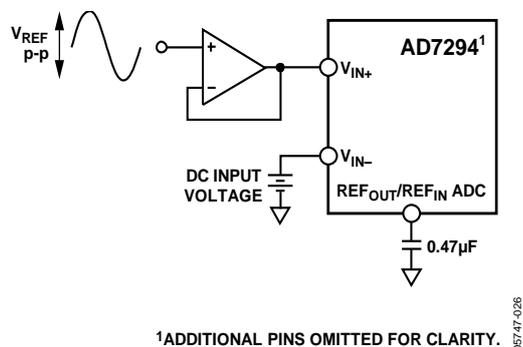


図 40. 擬似差動モードの接続図

電流センサー

2つの双方向ハイサイド電流検出アンプが内蔵されており、これらのアンプは、 $AV_{DD} \sim 59.4$ Vの高い同相モード電圧が存在する中で差動電流シャント電圧を正確に増幅することができます。各アンプには ± 200 mV差動を入力することができます。両電流

検出アンプは、12.5の固定ゲインを持ち、2.5 Vの内部リファレンス電圧を使っています。

各アンプの故障検出のためにアナログ・コンパレータも内蔵されています。スレッシュホールドは次のように決定されています。

1.2×フル・スケール電圧範囲

この限界値に到達すると、出力が専用ピンへラッチされます。該当するレジスタに書き込みが行われてこのラッチがクリアされるまで、この出力はハイ・レベルを維持します。

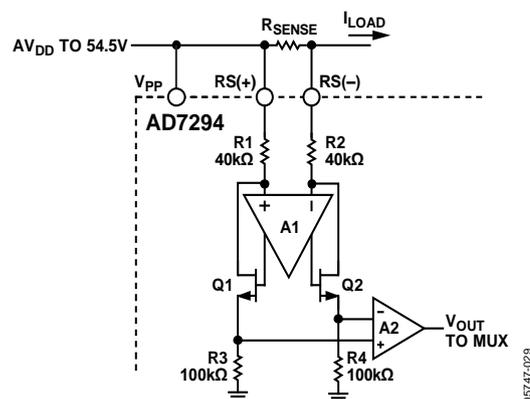


図 41. ハイサイド電流の検出

AD7294の電流検出機能は、差動アンプと計装アンプの2つのメイン・ブロックから構成されています。外付けシャント抵抗を流れる負荷電流により、AD7294の入力ピンに電圧が発生します。抵抗 $R1$ と $R2$ は、差動アンプ(A1)の入力ピンに接続されています。A1は、トランジスタ $Q1$ とトランジスタ $Q2$ を使って、 $R1$ と $R2$ の電流を調節することにより、入力ピン間に現れる電圧をゼロにします。同相モード帰還により、これらの電流の和が約 $50 \mu A$ に維持されます。AD7294への入力信号がゼロになると、 $R1$ と $R2$ の電流は等しくなります。差動信号が非ゼロのときは、一方の抵抗の電流が増えて、他方の抵抗の電流が減ります。この電流差は、入力信号の大きさと極性に比例します。

$Q1$ と $Q2$ を流れる差動電流は、 $R3$ と $R4$ により差動電圧へ変換されます。A2は計装アンプとして構成されており、この電圧をバッファして追加ゲインを提供します。このため、このピンでの ± 200 mVの入力電圧に対して、 ± 2.5 Vの出力振幅が発生します。

AD7294の電流センサーは、検出対象信号に存在するフリッカ・ノイズとオフセットを除去するようにデザインされています。これは、ユーザーからは見えないチョッピング技術を採用して実現されています。 V_{SENSE} 信号がまずAD7294により変換され、アンプへのアナログ入力切り替えられて、差動電圧がAD7294により再度変換されます。この2回の変換結果により、オフセットまたはノイズのデジタル的な除去が可能になっています。アンプ入力のスイッチより、このチョッピング技術が実現されています。この処理には、最終結果を得るまでに $6 \mu s$ を要します。

R_{SENSE} の選択

AD7294の電流検出アンプと組み合わせて使われる抵抗値は、アプリケーションでの電圧、電流、電源の条件によって決定されます。抵抗が小さいと消費電力が小さくなり、インダクタンスが小さいと電圧スパイクの誘導を防止でき、抵抗誤差が小さいと、電流変動が小さくなります。選択する最終値は、低消費電力と精度との間の妥協により決定されます。抵抗値が小さいほど消費電力が小さくなりますが、ADCのフル入力範囲を利用し

て最大の SNR 性能を実現するためには値抵抗を大きくする必要があります。

検出電流が既知の場合は、AD7294 電流センサー (200 mV) の電圧範囲を最大検出電流で除算して適切なシャント値を得ることができます。シャント抵抗の消費電力が大き過ぎる場合は、シャント抵抗を小さくできますが、ADC 入力範囲が小さくなります。小さい ADC 入力範囲を使うと、固定されているオフセット誤差に対して影響が大きくなるので、変換結果はノイズとオフセット誤差に敏感になります。

R_{SENSE} の消費電力は I^2R になります。抵抗の電力定格を超えると、抵抗値がドリフトするか、抵抗が壊れて断線が生じます。このために、AD7294 のピン間差動電圧が絶対最大定格を超えてしまうことがあります。推奨電流制限抵抗 RF1 と RF2 を使って、図 42 のように、AD7294 の電流センサーの保護機能を強化することができます。AD7294 は 30 mA の最大連続電流を処理できるため、1 k Ω の RF2 により AD7294 に対する十分な保護機能を提供することができます。

I_{SENSE} が大きな高周波成分を持つ場合には、低インダクタンスの抵抗を選択するように注意する必要があります。低インダクタンスの金属薄膜抵抗はこれらのアプリケーションに最適です。

電流検出のフィルタ

アプリケーションによっては、アンプの入力帯域幅を小さくするために外付けフィルタを必要とする場合があります (図 42 参照)。このフィルタの -3 dB 差動帯域幅は、次のようになります。

$$BW_{DM} = 1/(4\pi RC)$$

RS(+) 入力と RS(-) 入力の最大直列抵抗 (図 41 参照) は、RS(+) と RS(-) から V_{PP} に互いに逆向きに接続されている ESD 保護ダイオードがあるため、最大 1 k Ω に制限されることに注意してください。また、RF1 と RF2 が with R1 と R2 に直列である場合には (図 41 参照)、アンプのゲインに影響を与えることにも注意してください。RF1 と RF2 の間に不一致があると、オフセット誤差が発生します。

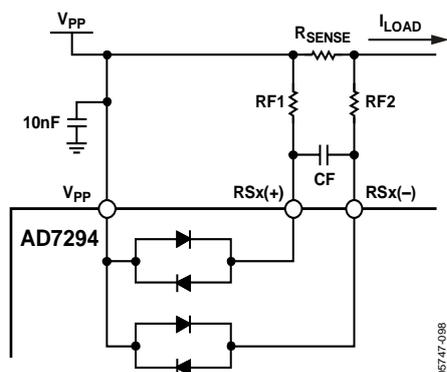


図 42. 電流検出フィルタ (RS_x は RS1 または RS2 を意味します)

ある種の RF アプリケーションに対しては、RF1 と RF2 の最適値は 1 k Ω で、CF1 は 1 μ F ~ 10 μ F の範囲です。CF2 は、 V_{PP} 電源のデカップリング・コンデンサです。この値はアプリケーションに依存しますが、初期の評価としては、1 nF ~ 100 nF の範囲の値が推奨されます。

ケルビン検出抵抗の接続

大きい電流の計測に小さい値の検出抵抗を使う場合、寄生直列抵抗の問題が生ずることがあります。リードの抵抗は定格抵抗の大きな部分を占めることがあるため、全抵抗値はリード長の関数になることがあります。この問題を回避するためには、ケルビン検出接続を使います。このタイプの接続は、抵抗と抵抗

両端の電圧降下を通過する電流パス分離します。図 43 に、AD7294 の RS(+) ピンと RS(-) ピンとの間で検出抵抗を接続する方法を示します。

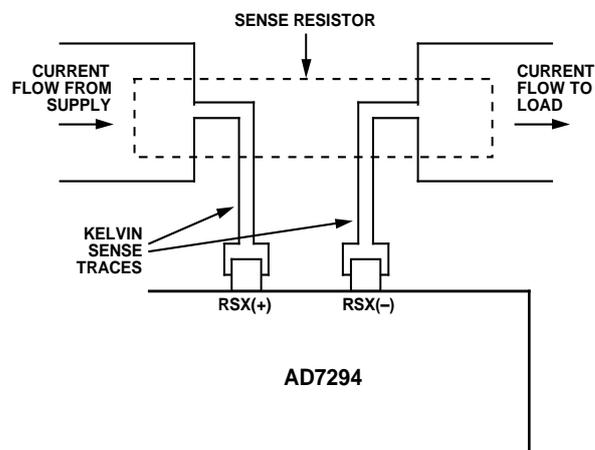


図 43. ケルビン検出の接続 (RS_x は RS1 または RS2 を意味します)

アナログ・コンパレータ・ループ

AD7294 には、独立にアナログ制御に使用される 2 つのセットポイント・コンパレータが内蔵されています。この回路を使うと、シャントの両端で検出された電圧が予め設定された ($V_{REF} \times 1.2$)/12.5 から増加したか否かを迅速に検出することができます。これが発生した場合には、 I_{SENSE} OVERRANGE ピンがハイ・レベルに設定されて、外付け回路を損傷しないように適切な対策が取れるようになっています。

セットポイントのスレッシュホールド・レベルは AD7294 内部で固定されており、電流検出アンプはこのレベルより上で飽和します。また、 A_{VDD} より低い電圧が R_{SENSE} ピンまたは V_{PP} ピンに加えられた場合にも、このコンパレータはトリガーされます。

温度センサー

AD7294 には 1 個のローカル温度センサーと 2 個のリモート温度センサーが内蔵されています。温度センサーは、3 つの温度入力を連続監視し、新しい読み出し値は 5 ms ごとに自動的に出力されます。

内蔵のバンド・ギャップ温度センサーは、システムの温度を計測します。ダイオードと 2 個のリモート温度センサーとの組み合わせを使って、クリティカルなボード部品の温度を監視します。

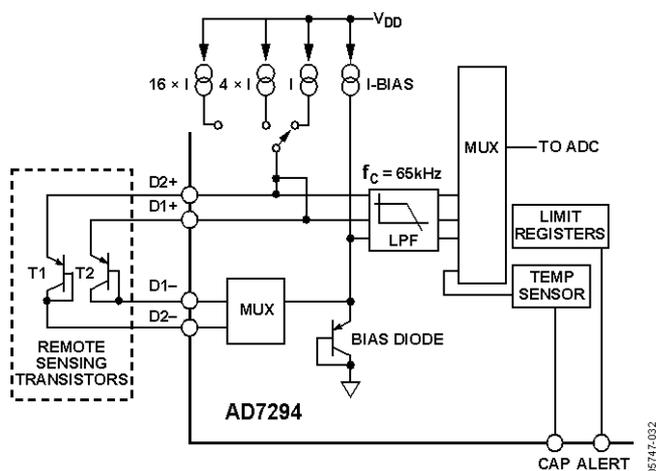


図 44.内部およびリモートの温度センサー

AD7294 の温度センサー・モジュールでは 3 電流原理を採用しています (図 44 参照)。この原理では、ダイオードを 3 つの電流が流れ、順方向電圧降下が各ダイオードで測定され、直列抵抗による誤差がない温度の計算が可能になります。

次に、各入力が数百マイクロ秒間積分されます。これはバックグラウンドで連続的に実行されるため、他のチャンネルで変換を行う必要はありません。積分が完了すると、信号が制御ロジックに渡されて変換が自動的に開始されます。ADC がコマンド・モードにある場合、次の変換が完了すると直ちに温度変換が実行されます。自動サイクル・モードでは、変換が現在のシーケンスの適切な位置に挿入されます。詳細については、レジスタの設定のセクションを参照してください。ADC がアイドルの場合には、変換は直ちに実行されます。

3 個のレジスタに、各温度チャンネルの直前の変換結果が格納されます。これは何時でも読み出すことができます。さらに、コマンド・モードでは、2 個の外部チャンネル・レジスタの一方または両方を出力シーケンスの一部として読み出すことができます。

リモート検出ダイオード

AD7294 は、ディスクリート・トランジスタ (2N3904 と 2N3906) と組み合わせて動作するようにデザインされています。別のトランジスタを使用する場合には、次の条件を満たすかぎり AD7294 は仕様通りに動作します。

理論係数

トランジスタの理論係数 n_T は、サーマル・ダイオードの理論動作からの乖離の度合を表します。AD7294 は、 $n_T = 1.008$ に調整されています。 n_T が 1.008 に等しくないトランジスタを使う場合は、次式を使って、温度 T (°C) で発生する誤差を計算します。

$$\Delta T = (n_T - 1.008) \times (273.15 \text{ K} + T)$$

これを計算に入れるときは、 ΔT 値をオフセット・レジスタに書き込むことができます。AD7294 は、温度計測値にこの値を自動的に加算または減算します。

ベース・エミッタ電圧

高温動作でのベース・エミッタ電圧が $8 \mu\text{A}$ で 0.25 V 以上のとき、および低温動作でのベース・エミッタ電圧が $128 \mu\text{A}$ で 0.95 V 以下のとき、AD7294 は仕様通りに動作します。

ベース抵抗

ベース抵抗は 100Ω 未満である必要があります。

h_{FE} の変動

h_{FE} の変動が小さい (約 50~150) トランジスタを使う必要があります。 h_{FE} の変動が小さいことは、 V_{BE} 特性の制御が難しいことを意味します。

RF アプリケーションに対しては、フィルタとして機能する Q の高いコンデンサを使うと、計測を正しく行うことに役立ちます。Johanson Technology 社の Q の高いコンデンサ 10 pF (リファレンス・コード 500R07S100JV4T) のようなコンデンサを、ベースとエミッタとの間に、外部デバイスにできるだけ近い場所に接続する必要があります。ただし、容量が大きいと、温度計測の精度に影響を与えるため、推奨最大コンデンサ値は 100 pF です。多くの場合、コンデンサは不要です。コンデンサの選択は、ノイズ周波数のレベルに依存します。

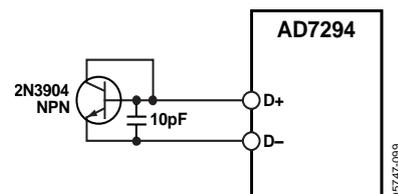


図 45.NPN トランジスタを使う温度測定

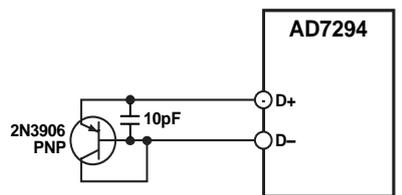


図 46.PNP トランジスタを使う温度測定

直列抵抗の相殺

AD7294 は、温度測定での寄生抵抗、ベース抵抗、コレクタ抵抗の影響を自動的に相殺させるようにデザインされています。このため、寄生抵抗のユーザによるキャラクタライゼーションなしでも、正確な変換結果が得られるようになっています。AD7294 は、ユーザからは見えない処理の中で 100Ω までの補償を行うことができます。

DAC の動作

AD7294 には 4 個の 12 ビット DAC が内蔵されており、これらを使うと 2.5 V の内部リファレンス電圧を使って 12 ビット分解能でデジタル制御を行うことができます。DAC コアは薄膜の 12 ビット・ストリング DAC であり、 5 V の出力振幅と高電圧出力ステージを駆動できる出力バッファを持っています。この DAC の出力振幅は、 2.5 V のリファレンス入力するとき $0 \text{ V} \sim 5 \text{ V}$ です。オフセット入力で制御される DAC の出力範囲は、 $0 \text{ V} \sim 15 \text{ V}$ の範囲に設定することができます。図 47 に、DAC アーキテクチャのブロック図を示します。

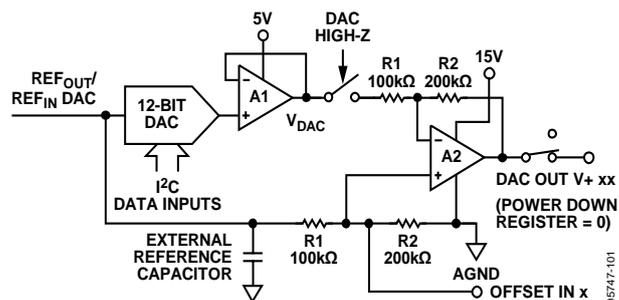


図 47.DAC アーキテクチャ

抵抗ストリング

抵抗ストリング構造を図 48 に示します。DAC は各値が R の 2^n 個の抵抗ストリングから構成されています。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。このアーキテクチャは、本来的に単調性、電圧出力、低グリッチです。また、すべての抵抗が同じ値であるためリニアでもあります。

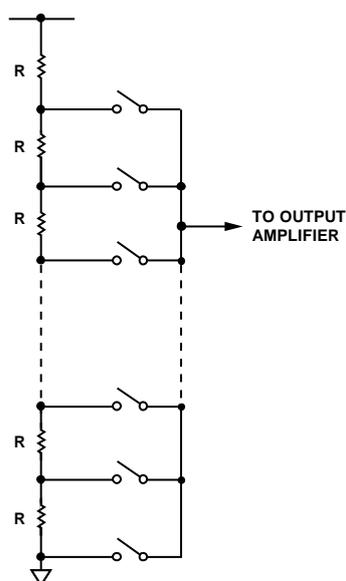


図 48. 抵抗ストリング構造

オフセット・ピンをオープンのままにすることができます。この場合、オペアンプ A2 の非反転入力電圧は抵抗分圧器により設定され、次のようになります。

$$V_{OUT} = 2V_{DAC}$$

出力アンプ

図 47 に示すように、A1 の機能は $0\text{ V} \sim V_{REF}$ の DAC 出力範囲をバッファすることです。2 つ目のアンプ A2 は、オフセットが $OFFSET\ IN\ x$ に加えられたとき、出力電圧 V_{OUT} が次式で与えられるように構成されています。

$$V_{OUT} = 3V_{OFFSET} - 2V_{DAC}$$

DAC ワードはチップ内でデジタル的に反転されます。

$$V_{OUT} = 3V_{OFFSET} + 2(V_{DAC} - V_{REF})$$

$$\text{かつ } V_{DAC} = \left[V_{REF} \times \left(\frac{D}{2^n} \right) \right]$$

ここで、

V_{DAC} は DAC 出力(デジタル反転前)。

D は DAC レジスタにロードされたバイナリ・コードの 10 進表示。

n は DAC のビット分解能。

オフセット機能の例を示します。

表 8. オフセット電圧機能の例

Offset Voltage	V_{OUT} with 0x000	V_{OUT} with 0xFFF
1.67 V	0 V	5 V - 1 LSB
3.33 V	5 V	10 V - 1 LSB
5.00 V	10 V	15 V - 1 LSB

これにより、2.5 V のリファレンスで 5 V の出力振幅になります。DAC をデジタル的に反転すると、オフセットを加えないときに、一般的な DAC としての回路動作が可能になります。オフセット・ピンを駆動しない場合には、ピンとグラウンドとの間に 100 nF のコンデンサを接続すると、DAC のセトリング・タイムとノイズの性能を向上させることができます。

DAC 出力の消費電力が大きくなることがあることに注意してください。内部温度センサーにより 150°C を上回るチップ温度が検出されると、サーマル・シャットダウン回路が DAC 出力を高インピーダンスに設定します。また、警報レジスタ C の温度上昇警報ビットもセットされます(警報およびリミットの動作原理のセクション参照)。温度センサーがパワーダウンしているときは、この機能がディスエーブルされることに注意してください。

高インピーダンス入力ピン

高インピーダンス・ピン (DAC HIGH-Z ピン) をハイ・レベルにすると (図 47 参照)、オフセット・ピンの電圧が DAC 出力電圧ピンに出力されます。もともと、内部アンプ A2 は電圧フォロアとして機能しています。この機能により、故障発生時に出力の高速変化が可能になっています。

ADC と DAC のリファレンス電圧

AD7294 には 2 つの独立した内部高性能 2.5 V リファレンス電圧があります。1 つは ADC 用、他の 1 つは 4 個の内蔵 DAC 用です。アプリケーションで外付けリファレンス電圧が必要な場合には、REF_{OUT}/REF_{IN} DAC ピンおよび/または REF_{OUT}/REF_{IN} ADC ピンに入力することができます。内部リファレンス電圧は外付け回路で使用する前にバッファする必要があります。REF_{OUT}/REF_{IN} DAC ピンと REF_{OUT}/REF_{IN} ADC ピンは 220 nF のコンデンサを使って AGND へデカップリングする必要があります。パワーアップ時、AD7294 は外付けリファレンス電圧を使用するように設定されます。内部リファレンス電圧をイネーブルするとき

は、パワーダウン・レジスタの D4 ビットと D5 ビットにゼロを書き込みます (詳細については、レジスタの設定のセクションを参照してください)。ADC と DAC の両リファレンス電圧は、220 nF のデカップリング・コンデンサを使用した場合、パワーアップして 12 ビット性能に整定するまでに最小 60 μs を要します。

また、AD7294 は外付けリファレンス電圧で動作することもできます。AD7294 の適切なリファレンス・ソースとしては、AD780、AD1582、ADR431、REF193、ADR391 などがあります。また、ADR441 のような出力調整機能を持つリファレンス電圧を選択すると、リファレンス電圧を公称値以外の電圧に設定することにより、システム誤差を調節することができます。

長時間ドリフトは、リファレンス電圧の時間的なドリフト性能を表します。小さい長時間ドリフト仕様を持つリファレンス電圧を使うと、ソリューション全体が製品寿命を通して安定します。外付けリファレンス電圧を使用する場合、小さい温度係数仕様を選択すると、周囲条件下でシステム出力電圧の温度依存性を小さくすることができます。

V_{DRIVE} 機能

AD7294 には、I²C インターフェースが動作する電圧を制御する V_{DRIVE} 機能もあります。V_{DRIVE} ピンは、I²C バスがプルされる電源に接続されています。このピンは、デジタル・ロジック・ピンと I_{SENSE} OVERRANGE ピンの入力と出力のスレッシュホールド・レベルを設定します。V_{DRIVE} を使うと、AD7294 を 3 V と 5 V のプロセッサへ容易にインターフェースさせることができます。例えば、AD7294 が V_{DD} = 5 V で動作する場合、V_{DRIVE} ピンは 3 V 電源に接続することができるため、低い電圧のデジタル・プロセッサで大きなダイナミック・レンジが可能になります。このため、AD7294 を V_{DD} = 5 V で 2 × V_{REF} の入力範囲で使うことができ、さらに 3 V のデジタル・デバイスとインターフェースさせることができます。このピンは、100 nF と 1 μF のコンデンサで DGND へデカップリングしてください。

レジスタの設定

AD7294 には、変換結果、変換の上下限、デバイスの設定制御情報を格納する内部レジスタがあります (図 49 参照)。

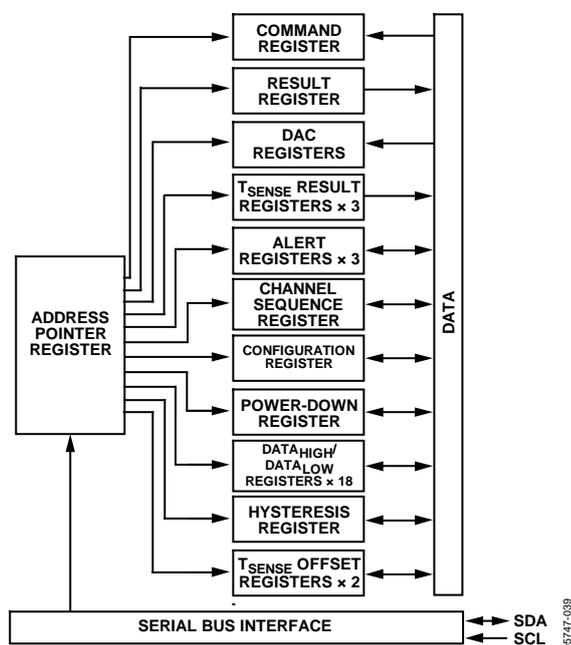


図 49.AD7294 のレジスタ構造

各データ・レジスタには、送信する際にアドレス・ポインタ・レジスタにより指定されるアドレスがあります。コマンド・レジスタは唯一の書き込み専用レジスタであり、残りのレジスタは読み書き可能なレジスタです。

アドレス・ポインタ・レジスタ

アドレス・ポインタ・レジスタは、8 ビット・レジスタであり、下位 6 ビットはポインタ・ビットとして使われています。このポインタ・ビットは、AD7294 のデータ・レジスタの 1 つを指定するアドレスを格納します (表 9 参照)。

表 9.AD7294 レジスタのアドレス

Address in Hex	Registers (R is Read/W is Write)
00	Command Register (W)
01	Result Register (R)/DAC _A Value (W)
02	T _{SENSE1} Result (R)/DAC _B Value (W)
03	T _{SENSE2} Result (R)/DAC _C Value (W)
04	T _{SENSEINT} Result (R)/DAC _D Value (W)
05	Alert Register A (R/W)
06	Alert Register B (R/W)
07	Alert Register C (R/W)
08	Channel Sequence Register (R/W)
09	Configuration Register (R/W)
0A	Power-Down Register (R/W)
0B	DATA _{LOW} Register V _{IN0} (R/W)
0C	DATA _{HIGH} Register V _{IN0} (R/W)
0D	Hysteresis Register V _{IN0} (R/W)
0E	DATA _{LOW} Register V _{IN1} (R/W)
0F	DATA _{HIGH} Register V _{IN1} (R/W)
10	Hysteresis Register V _{IN1} (R/W)
11	DATA _{LOW} Register, V _{IN2} (R/W)
12	DATA _{HIGH} Register V _{IN2} (R/W)
13	Hysteresis Register V _{IN2} (R/W)
14	DATA _{LOW} Register V _{IN3} (R/W)
15	DATA _{HIGH} Register V _{IN3} (R/W)
16	Hysteresis Register V _{IN3} (R/W)
17	DATA _{LOW} Register I _{SENSE1} (R/W)
18	DATA _{HIGH} Register I _{SENSE1} (R/W)
19	Hysteresis Register I _{SENSE1} (R/W)
1A	DATA _{LOW} Register I _{SENSE2} (R/W)
1B	DATA _{HIGH} Register I _{SENSE2} (R/W)
1C	Hysteresis Register I _{SENSE2} (R/W)
1D	DATA _{LOW} Register T _{SENSE1} (R/W)
1E	DATA _{HIGH} Register T _{SENSE1} (R/W)
1F	Hysteresis Register T _{SENSE1} (R/W)
20	DATA _{LOW} Register T _{SENSE2} (R/W)
21	DATA _{HIGH} Register T _{SENSE2} (R/W)
22	Hysteresis Register T _{SENSE2} (R/W)
23	DATA _{LOW} Register T _{SENSEINT} (R/W)
24	DATA _{HIGH} Register T _{SENSEINT} (R/W)
25	Hysteresis Register T _{SENSEINT} (R/W)
26	T _{SENSE1} Offset Register (R/W)
27	T _{SENSE2} Offset Register (R/W)
40	Factory Test Mode
41	Factory Test Mode

コマンド・レジスタ (0x00)

コマンド・レジスタに書き込みを行うと、デバイスはコマンド・モードになります。コマンド・モードでは、デバイスは後続の各読み出しで選択されたチャンネルを LSB (D0) から MSB (D7) へサイクルします(表 10 参照)。コマンド・レジスタ内のビットに 1 を書き込むと、変換するチャンネルが選択されます。パワーアップ時に、コマンド・レジスタのすべてのビットは 0 に設定されます。コマンド・レジスタ・バイト内で外部 T_{SENSE} チャンネルが選択されると、実際には変換が要求されません。直前の自動変換結果がシーケンスの中で出力されます(動作モードのセクション参照)。

自動サイクル・モードをイネーブルしたとき、コマンド・モードを使用することができます(詳細については、自動サイクル・モードを参照してください)。この場合、コマンド・モードがアクティブのときは自動変換シーケンスは停止し、コマンド・モードがストップ・ビットより終了するか、または 5 ms のアイドル時間後に終了すると、再開されます。

表 10. コマンド・レジスタ¹

MSB							LSB	
Bits	D7	D6	D5	D4	D3	D2	D1	D0
Channel	Read out last result from T_{SENSE2}	Read out last result from T_{SENSE1}	I_{SENSE2}	I_{SENSE1}	V_{IN3} (S.E.) or $V_{IN3} - V_{IN2}$ (DIFF)	V_{IN2} (S.E.) or $V_{IN2} - V_{IN3}$ (DIFF)	V_{IN1} (S.E.) or $V_{IN1} - V_{IN0}$ (DIFF)	V_{IN0} (S.E.) or $V_{IN0} - V_{IN1}$ (DIFF)

¹ S.E.はシングルエンドを、DIFFは差動を、それぞれ表します。

表 11. リザルト・レジスタ (最初の読み出し)

MSB							LSB
D15	D14	D13	D12	D11	D10	D9	D8
Alert_Flag	CH_{ID2}	CH_{ID1}	CH_{ID0}	B11	B10	B9	B8

表 12. リザルト・レジスタ (2回目の読み出し)

MSB							LSB
D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

リザルト・レジスタ (0x01)

リザルト・レジスタは 16 ビットの読み出し専用レジスタです。4 個の汎用 ADC 入力と 2 個の I_{SENSE} チャンネルの変換結果がリザルト・レジスタに格納されます。ビット D14~ビット D12 はチャンネル割り当てビットで、この各ビットは後続の変換結果に対応する ADC チャンネルを識別します(詳細については、ADC チャンネル割り当てのセクション参照)。ビット D11~ビット D0 には、最新の ADC 変換結果が格納されます。D15 は alert_flag ビットとして予約されています。表 11 には、AD7294 リザルト・レジスタから読み出される先頭バイトの内容を、表 12 には読み出される 2 回目のバイトの内容を、それぞれ示します。

ADC チャンネル割り当て

3 ビットのチャンネル・アドレスは、リザルト・レジスタ内の変換結果がどのチャンネルのものかを表示します。表 13 に、チャンネル ID ビットを示します (S.E. はシングルエンドを、DIFF は差動を、それぞれ表します)。

表 13.ADC チャンネル割り当て

Function	Channel ID		
	CH _{ID2}	CH _{ID1}	CH _{ID0}
V _{IN0} (S.E.) or V _{IN0} - V _{IN1} (DIFF)	0	0	0
V _{IN1} (S.E.) or V _{IN1} - V _{IN0} (DIFF)	0	0	1
V _{IN2} (S.E.) or V _{IN2} - V _{IN3} (DIFF)	0	1	0
V _{IN3} (S.E.) or V _{IN3} - V _{IN2} (DIFF)	0	1	1
I _{SENSE1}	1	0	0
I _{SENSE2}	1	0	1
T _{SENSE1}	1	1	0
T _{SENSE2}	1	1	1

T_{SENSE1} リザルト・レジスタと

T_{SENSE2} リザルト・レジスタ (0x02 と 0x03)

レジスタ T_{SENSE1} とレジスタ T_{SENSE2} は、16 ビットの読み出し専用レジスタです。MSB の D15 には alert_flag ビットが、ビット D14～ビット D12 には、3 ビットの ADC チャンネル割り当てビットが、それぞれ配置されています。D11 は、ダイオードの断線表示フラグ用に予約されています。ADC からの温度測定値は、11 ビットの 2 の補数フォーマットで D10～D0 に格納されます (表 14 と表 15 参照)。変換は、約 5 ms ごとに実行されます。

表 16.TSENSE データ・フォーマット

Input	D10 (MSB)	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0 (LSB)
Value (°C)	-256	+128	+64	+32	+16	+8	+4	+2	+1	+0.5	+0.25

表 14.T_{SENSE} レジスタ (最初の読み出し)

MSB						LSB	
D15	D14	D13	D12	D11	D10	D9	D8
Alert_Flag	CH _{ID2}	CH _{ID1}	CH _{ID0}	B11	B10	B9	B8

表 15.レジスタ (2 回目の読み出し)

MSB						LSB	
D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

T_{SENSEINT} リザルト・レジスタ (0x04)

T_{SENSEINT} レジスタは 16 ビットの読み出し専用レジスタで、内部温度センサーからの ADC データを格納します。このレジスタは T_{SENSE1} と T_{SENSE2} のリザルト・レジスタと同様に、ADC からの温度測定値を 11 ビットの 2 の補数フォーマットで D10～D0 に格納し、MSB は全体警報フラグとして使われます。ビット [D14:D11] は未使用で、ゼロに設定されています。変換は、約 5 ms ごとに実行されます。表 16 に示す温度データ・フォーマットは、内部温度センサー・データにも使用されます。

温度値フォーマット

ADC からの温度測定値は、11 ビットの 2 の補数フォーマットで D10～D0 に格納され、正と負の温度測定に対応することができます。温度データ・フォーマットを表 16 に示します。

DAC_A、DAC_B、DAC_C、DAC_Dの各レジスタ (0x01~0x04)

これらのレジスタ・アドレスに書き込みを行うと、それぞれ DAC_A、DAC_B、DAC_C、DAC_D 出力電圧コードが設定されます。書き込みリザルト・レジスタのビット[D11:D0]は、DAC_Aに渡されるデータ・ビットです。ビット D15~ビット D12 は無視されます。

表 17.DAC レジスタ (最初の書き込み)¹

MSB				LSB			
D15	D14	D13	D12	D11	D10	D9	D8
X	X	X	X	B11	B10	B9	B8

¹ X は don't care.

表 18.DAC レジスタ (2 回目の書き込み)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

表 19.警報ステータス・レジスタ A

Alert Bit	D7	D6	D5	D4	D3	D2	D1	D0
Function	V _{IN3} high alert	V _{IN3} low alert	V _{IN2} high alert	V _{IN2} low alert	V _{IN1} high alert	V _{IN1} low alert	V _{IN0} high alert	V _{IN0} low alert

表 20.警報ステータス・レジスタ B

Alert Bit	D7	D6	D5	D4	D3	D2	D1	D0
Function	Reserved	Reserved	I _{SENSE2} overrange	I _{SENSE1} overrange	I _{SENSE2} high alert	I _{SENSE2} low alert	I _{SENSE1} high alert	I _{SENSE1} low alert

表 21.警報ステータス・レジスタ C

Alert Bit	D7	D6	D5	D4	D3	D2	D1	D0
Function	Open-diode flag	Overtemp alert	T _{SENSEINT} high alert	T _{SENSEINT} low alert	T _{SENSE2} high alert	T _{SENSE2} low alert	T _{SENSE1} high alert	T _{SENSE1} low alert

表 22.チャンネル・シーケンス・レジスタ

Channel Bit	D7	D6	D5	D4	D3	D2	D1	D0
Function	Reserved	Reserved	I _{SENSE2}	I _{SENSE1}	V _{IN3}	V _{IN2}	V _{IN1}	V _{IN0}

警報ステータス・レジスタ A (0x05)、警報ステータス・レジスタ B (0x06)、警報ステータス・レジスタ C (0x07)

警報ステータス・レジスタ (A、B、C)は、8 ビットの読み書き可能レジスタで、警報情報を提供します。変換結果により ALERT/BUSY ピンがアクティブになった場合、またはリザルト・レジスタまたは T_{SENSE} レジスタの alert_flag ビットがアクティブになった場合、警報ステータス・レジスタを読み出すと詳しい情報を得ることができます。いずれの警報レジスタでも全値をクリアするときは、該当するレジスタにコード FF (全ビット 1)を書き込みます。あるいは、選択した警報レジスタ内の個々の警報ビットに書き込みを行うことにより、該当するビットに対応する警報をクリアすることができます。設定レジスタのビット D1 とビット D2 に 1 を書き込むと、すべての警報ステータス・レジスタのすべての値がクリアされます(

表 24 参照)。ただし、この動作の後に後続の変換に対して ALERT/BUSY ピンがイネーブルされます。詳細については、警報およびリミットの動作原理のセクションを参照してください。

チャンネル・シーケンス・レジスタ (0x08)

チャンネル・シーケンス・レジスタは 8 ビットの読み書き可能レジスタであり、このレジスタを使うと、自動サイクル・モードで行われる ADC 変換のシーケンスを制御することができます。表 22 に、チャンネル・シーケンス・レジスタの値を示します。詳細については、動作モード のセクションを参照してください。

設定レジスタ (0x09)

設定レジスタは 16 ビットの読み書き可能レジスタで、AD7294 の動作モードを設定します。設定レジスタのビット機能を

表 23 と

表 24 に示します。

サンプル遅延とビット・トライアル遅延

変換中は I²C バスを動作させないことが推奨されますが、たとえば自動サイクル・モードでの動作時には、これは不可能です。クリティカルなサンプル間隔を遅延させるとき、および I²C バスの動作中はビット・トライアルの発生を遅延させるときには、設定レジスタのビット D14 とビット D13 を使います。パワーアップ時にビット[D14:D13] とビット D11 がイネーブルされるため、ビット・トライアルおよびサンプル間隔遅延メカニズムが

使用されます。これらのビットの機能をディスエーブルするときは、設定レジスタの該当するビットに 1 を書き込みます。ビット D14 をイネーブルすると、I²C バス動作があるとビット・トライアルの発生が遅延されて、AD7294 の DC リニアリティ性能が維持されます。DC 性能より AC 性能の方がクリティカルなアプリケーションでは、この機能をディスエーブルすることにより、サンプリング・ポイントを固定して、グリッチ・ノイズを小さくすることができます。ビット・トライアル遅延が 1 μ s を超えると、変換は終了します。D13 をイネーブルすると、変換時間が変化することがあります。

デフォルトではビット D3 がイネーブルされ、AD7294 の I²C フィルタが 50 ns より細かいグリッチを除去します。この機能をディスエーブルすると、AD7294 は規定の SCL より高速で動作できますが、変換結果がノイズに弱くなるため、最適性能を得るためにはこの機能をイネーブルすることが推奨されます。

表 23. 設定レジスタのビット機能説明 D15～D8

Channel Bit	D15	D14	D13	D12	D11	D10	D9	D8
Function	Reserved	Enable noise-delayed sampling. Use to delay critical sample intervals from occurring when there is activity on the I ² C bus.	Enable noise-delayed bit trials. Use to delay critical bit trials from occurring when there is activity on the I ² C bus.	Enable autocycle mode	Enable pseudo differential mode for V _{IN3} /V _{IN4}	Enable pseudo differential mode for V _{IN1} /V _{IN2}	Enable differential mode for V _{IN3} /V _{IN4}	Enable differential mode for V _{IN1} /V _{IN2}

表 24. 設定レジスタのビット機能説明 D7～D0

Channel Bit	D7	D6	D5	D4	D3	D2	D1	D0
Function	Enable $2 \times V_{REF}$ range on V _{IN4}	Enable $2 \times V_{REF}$ range on V _{IN3}	Enable $2 \times V_{REF}$ range on V _{IN2}	Enable $2 \times V_{REF}$ range on V _{IN1}	Enable I ² C filters	Enable ALERT pin	Enable BUSY pin (D2 = 0), clear alerts (D2 = 1)	Sets polarity of ALERT pin (active high/active low)

表 25. ALERT/BUSY 機能の説明

D2	D1	ALERT/BUSY Pin Functions
0	0	Pin does not provide any interrupt signal.
0	1	Configures pin as a busy output.
1	0	Configures pin as an alert output.
1	1	Resets the ALERT/BUSY output pin, the alert_flag bit in the conversion result register, and the entire alert status register (if any is active). 1,1 is written to Bits[D2:D1] in the configuration register to reset the ALERT/BUSY pin, the alert_flag bit, and the alert status register. Following such a write, the contents of the configuration register read 1, 0 for Bit D2 and Bit D1, respectively, if read back.

表 26. ADC 入力モードの例

D11	D10	D9	D8	Description
0	0	0	0	All channels single-ended
0	0	0	1	Differential mode on V _{IN1} /V _{IN2}
0	1	0	1	Pseudo differential mode on V _{IN1} /V _{IN2}

パワーダウン・レジスタ (0x0A)

パワーダウン・レジスタは 8 ビットの読み書き可能レジスタで、AD7294 デバイスの種々の部分をパワーダウンさせます。パワーアップ時のパワーダウン・レジスタのデフォルト値は 0x30 です。パワーダウン・レジスタの内容を表 27 に示します。

表 27. パワーダウン・レジスタの説明

Bit	Function
D7	Power down the full chip
D6	Reserved
D5	Power down the ADC reference buffer (to allow external reference, 1 at power-up)
D4	Power down the DAC reference buffer (to allow external reference, 1 at power-up)
D3	Power down the temperature sensor
D2	Power down I _{SENSE2}
D1	Power down I _{SENSE1}
D0	DAC outputs set to high impedance (set automatically if die temperature >150°C)

通常の動作では、I²C スレーブ・アドレスの上位 2 ビットが内部 ROM により 11 に設定されます。ただし、フル・パワーダウン・モード (ビット D7 を 1 に設定するとパワーダウン) では、この ROM がスイッチ・オフされるため、スレーブ・アドレスの上位ビットは 00 になります。したがって、フル・パワーダウン状態から抜け出るときは、この変更されたスレーブ・アドレスを使って AD7294 へ書き込みを行うことが必要です。

パワーダウン・ビット D7 に 0 を書き込むと、スレーブ・アドレスの上位ビットは元の値 11 に戻ります。

DATA_{HIGH}/DATA_{LOW} レジスタ: 0x0B, 0x0C (V_{IN0}); 0x0E, 0x0F (V_{IN1}); 0x11, 0x12 (V_{IN2}); 0x14, 0x15 (V_{IN3})

チャンネルの DATA_{HIGH} レジスタと DATA_{LOW} レジスタは 16 ビットの読み書き可能レジスタです (表 29 と 表 30 参照)。全体警報は、MSB の D15 によりフラグ表示されます。このレジスタの D14~D12 は未使用で、0 に設定されています。残りの 12 ビットは、該当するチャンネルの上限と下限を設定します。シングルエンド・モードの場合、V_{IN0}~V_{IN3} のデフォルト値はバイナリ・フォーマットで 000 と FFF です。V_{IN0}~V_{IN3} での差動モードの場合、DATA_{HIGH} と DATA_{LOW} のデフォルト値は 2 の補数フォーマットで 7FF と 800 です。デバイスがシングルエンド・モードまたは差動モードに設定され、かつモードが変更された場合には、DATA_{HIGH} レジスタと DATA_{LOW} レジスタの限界値を設定し直す必要があります。

チャンネル 7 ~ チャンネル 9 (T_{SENSE1}, T_{SENSE2}, T_{SENSEINT}) の DATA_{HIGH} 値と DATA_{LOW} 値のデフォルトは、2 の補数 11 ビット・フォーマットを使うため 3FF と 400 になります。

表 28. DATA_{HIGH} レジスタと DATA_{LOW} レジスタのデフォルト値

ADC Channel	Single-Ended		Differential	
	DATA _{LO} w	DATA _{HIGH}	DATA _{LOW}	DATA _{HIGH}
V _{IN0}	000	FFF	800	7FF
V _{IN1}	000	FFF	800	7FF
V _{IN2}	000	FFF	800	7FF
V _{IN3}	000	FFF	800	7FF
I _{SENSE1}	N/A	N/A	800	7FF
I _{SENSE2}	N/A	N/A	800	7FF
T _{SENSE1}	N/A	N/A	400	3FF
T _{SENSE2}	N/A	N/A	400	3FF
T _{SENSEINT}	N/A	N/A	400	3FF

表 29. AD7294 DATA_{HIGH}/LOW レジスタ (最初の読み出し/書き込み)

MSB					LSB		
D15	D14	D13	D12	D11	D10	D9	D8
Alert_Flag	0	0	0	B11	B10	B9	B8

表 30. AD7294 DATA_{HIGH}/LOW レジスタ (2 回目の読み出し/書き込み)

MSB					LSB		
D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

ヒステリシス・レジスタ: 0x0D (V_{IN0}), 0x10 (V_{IN1}), 0x13 (V_{IN2}), 0x16 (V_{IN3})

各ヒステリシス・レジスタは 16 ビットの読み書き可能レジスタで、レジスタの下位 12 ビットが使用され、警報イベントの MSB を格納します。FFF をヒステリシス・レジスタに書き込むと、ヒステリシス・レジスタは最小/最大モードになります。詳細については、警報およびリミットの動作原理のセクションを参照してください。

表 31. ヒステリシス・レジスタ (最初の読み出し/書き込み)

MSB					LSB		
D15	D14	D13	D12	D11	D10	D9	D8
Alert_Flag	0	0	0	B11	B10	B9	B8

表 32. ヒステリシス・レジスタ (2 回目の読み出し/書き込み)

MSB					LSB		
D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

T_{SENSE} オフセット・レジスタ (0x26 と 0x27)

AD7294 には、リモート・チャンネル T_{SENSE1} とリモート・チャンネル T_{SENSE2} の両方に対して温度オフセットの 8 ビット 2 の補数レジスタがあります。このレジスタを使うと、温度にオフセットを加算または減算することができます。

T_{SENSE1} と T_{SENSE2} のオフセット・レジスタは 8 ビットの読み書き可能レジスタで、データを 2 の補数フォーマットで格納しています。このデータは、T_{SENSE1} 温度センサーと T_{SENSE2} 温度センサーから取得した温度測定値から減算されます。オフセットは、T_{SENSE} リザルト・レジスタに値が格納される前に適用されます。

T_{SENSE} リザルトは 2N3906 トランジスタの理論係数を採用しているため、オフセット・レジスタは様々な理論係数を使ってトランジスタを補償する際に使うことができます。異なる理論係数を持つ異なるトランジスタは、注目する領域で異なるオフセットを発生させるため、このレジスタを使って補償することができます。

表 33.T_{SENSE} オフセットのデータ・フォーマット

Input	MSB D7	D6	D5	D4	D3	D2	D1	LSB D0
Value (°C)	-32	+16	+8	+4	+2	+1	+0.5	+0.25

I²C インターフェース

一般的な I²C のタイミング

図 50 に、I²C 準拠のインターフェースを使った一般的な読出し動作と書き込み動作のタイミング図を示します。

I²C バスはオープン・ドレイン・ドライバを使っているため、バスを駆動するデバイスが存在しないときは、SCL と SDA はハイ・レベルになります。これはアイドル状態と呼ばれます。バスがアイドル状態のとき、スタート条件は、シリアル・クロック・ライン(SCL)がハイ・レベルの間にシリアル・データ・ライン(SDA)上に発生するハイ・レベルからロー・レベルへの変化として定義されますが、マスターはこのスタート条件を設定して、データ転送を起動します。このスタート条件は、アドレス/データ・ストリームが後ろに続くことを表示しています。マスター・デバイスは、クロックを発生します。

データは 9 個のクロック・パルスでシリアル・バスに出力され、トランスミッタからの 8 ビットのデータとその後にスレーブ・デバイスからのアクノリッジ・ビットが続きます。SDA ラインのデータは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。レシーバは、アクノリッジ・ビット中に SDA ラインをロー・レベルにして、先行バイトが正常に受信されたことを通知する必要があります。そうでない場合は、このトランザクションをキャンセルします。

マスターが送信する先頭バイトは、7 ビットのスレーブ・アドレスとそれに続くデータ方向ビットから構成されている必要があります。バス上の各デバイスは固有のスレーブ・アドレスを

持っているため、先頭バイトによりトランザクション時に 1 つのスレーブ・デバイスとの通信がセットアップされます。

トランザクションは、スレーブ・デバイスへの書き込み (データ方向ビット = 0) またはスレーブ・デバイスからのデータの読み出し (データ方向ビット = 1) に使うことができます。読み出しトランザクションの場合、スレーブ・デバイスに最初に書き込みを行って (別の書き込みトランザクションで)、その後でどのレジスタから読み出すかを通知する必要がある場合があります。読み出しと書き込みを 1 つのトランザクション内で行うことはできません。

トランザクションが完了すると、マスターはバスの制御を維持して、次のスタート・ビット (SCL のハイ・レベル中に SDA をハイ・レベルからロー・レベルへの変化させます) を発生することにより、新しいトランザクションを開始することができます。これは、繰り返しスタート (Sr) と呼ばれます。あるいは、SCL ラインを解放し続いて SDA ラインを解放することにより、バスを放棄することもできます。SCL のハイ・レベル中の、SDA のこのロー・レベルからハイ・レベルへの変化は、ストップ・ビット (P) と呼ばれ、I²C バスをアイドル状態にします (バスには電流が流れません)。

スレーブ・デバイスである AD7294 とのシンプルな書き込みトランザクションの例を図 50 に示します。この例では、AD7294 のレジスタ・ポインタが次の読み出しトランザクションのために、セットアップされています。

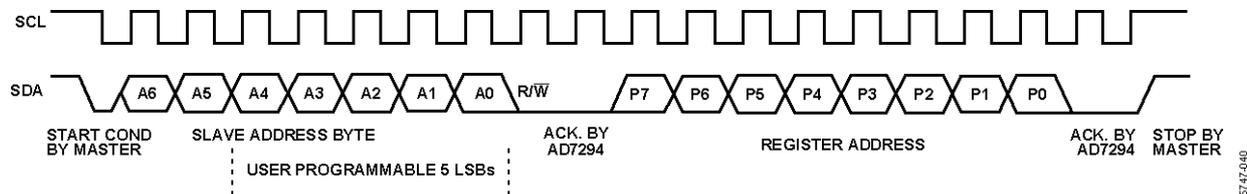


図 50. I²C の一般的なタイミング

シリアル・バスのアドレス・バイト

デバイスに書き込む先頭バイトは、スレーブ・アドレス・バイトです。すべての I²C 互換デバイスと同様に、AD7294 は 7 ビットのシリアル・アドレスを使っています。下位 5 ビットは 3 スリー・ステート入力ピンを使って、ユーザーが設定することができます(表 34 参照)。

表 34 で、H はピンを V_{DRIVE} に、L はピンを DGND に、それぞれ接続すること、NC はピンを解放のままにすることを意味します。解放の場合、ピンの漂遊容量は 30 pF 以下にしてフローティング状態を正しく検出できるようにする必要があります。このため PCB パターンはできるだけ短くする必要があります。

表 34. スリー・ステート入力ピンによるスレーブ・アドレスの設定

AS2	AS1	AS0	Slave Address (A6 to A0)
L	L	L	0x61
L	L	H	0x62
L	L	NC	0x63
L	H	L	0x64
L	H	H	0x65
L	H	NC	0x66
L	NC	L	0x67
L	NC	H	0x68
L	NC	NC	0x69
H	L	L	0x6A
H	L	H	0x6B
H	L	NC	0x6C
H	H	L	0x6D
H	H	H	0x6E
H	H	NC	0x6F
H	NC	L	0x70
H	NC	H	0x71
H	NC	NC	0x72
NC	L	L	0x73
NC	L	H	0x74
NC	L	NC	0x75
NC	H	L	0x76
NC	H	H	0x77
NC	H	NC	0x78
NC	NC	L	0x79
NC	NC	H	0x7A
NC	NC	NC	0x7B

インターフェース・プロトコル

AD7294 では次の I²C プロトコルを使用しています。

8 ビット・レジスタに対する 1 バイト・データの書き込み

警報レジスタ (0x05、0x06、0x07)、パワーダウン・レジスタ (0x0A)、チャンネル・シーケンス・レジスタ (0x08)、温度オフセット・レジスタ (0x26、0x27)、コマンド・レジスタ (0x00) は 8 ビット・レジスタです。したがって、各々に書き込めるデータは、1 バイトです。この動作では、マスター・デバイスが 1 バイトのデータをスレーブ・デバイスへ送信します(図 51)。レジスタへデータを書き込むときは、次のコマンド・シーケンスに従う必要があります。

1. マスタ・デバイスがスタート条件をアサートします。
2. マスターは 7 ビット・スレーブ・アドレス、その後ろにゼロに設定した方向ビットを送信して、書き込み動作であることを通知します。
3. アドレス指定されたスレーブ・デバイスは SDA 上でアクノリッジをアサートします。
4. マスターはレジスタ・アドレスを送信します。
5. スレーブは SDA 上でアクノリッジをアサートします。
6. マスターはデータ・バイトを送信します。
7. スレーブは SDA 上でアクノリッジをアサートします。
8. マスターはストップ条件をアサートしてトランザクションを終了します。

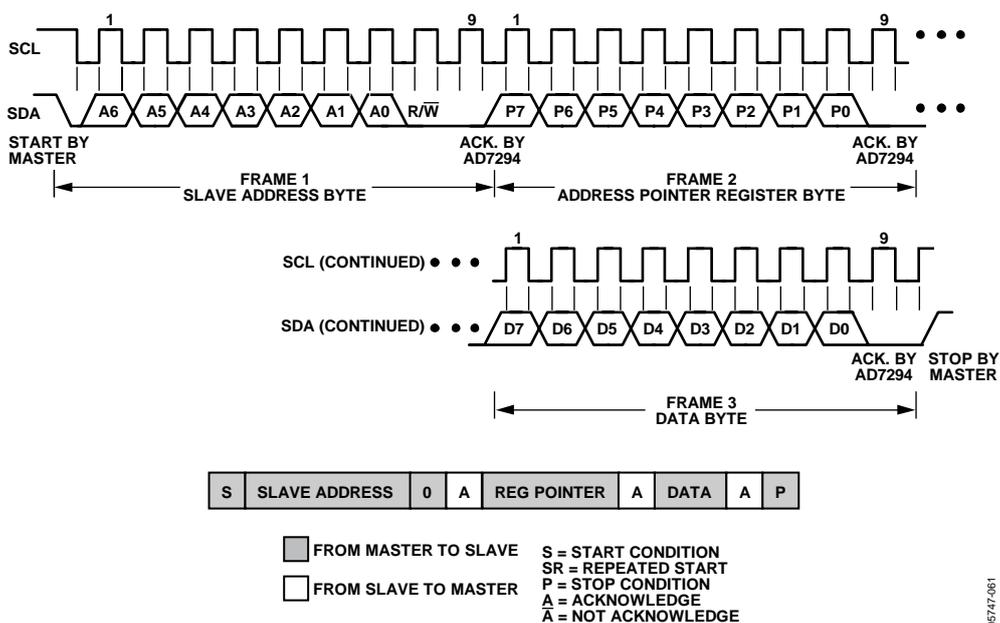


図 51.1 バイト書き込みシーケンス

動作モード

AD7294 には、コマンド・モードと自動サイクル・モードの、変換を開始する 2 つの動作モードがあります。

コマンド・モード

コマンド・モードでは、AD7294 ADC はオンデマンドで、シングル・チャンネルまたはチャンネルのシーケンスで、変換を行います。このモードを開始するときは、チャンネルの組み合わせをコマンド・レジスタ (0x00) へ書き込みます。最初の変換はこの書き込み動作の後に行われ、次の読み出し動作で結果を読み出せるようにします。この結果の読み出し動作中に、シーケンス内の次の変換が行われ、以下同様に続きます。

コマンド・モードを終了するときは、マスターは最終データ・バイトに対するアックノリッジを行いません。この動作により、AD7294 の送信が停止するため、マスターがバス上でストップ条件をアサートできるようになります。このため、コマンド・レジスタへの書き込みの後、読み出しモードを切り替える際には、ストップ (P) とそれに続くスタート (S) の代わりに繰り返しスタート (Sr) 信号を使うことが重要です。そうしないと、最初の変換の後にもコマンド・モードが続きます。

コマンド・レジスタへの書き込みの後、レジスタ・ポインタは前の値に戻ります。新しいポインタ値(一般に ADC リザルト・レジスタ 0x01)が必要な場合、コマンド・バイトの直後にそれを書き込むことができます。この追加の書き込み動作によって変換シーケンスが影響を受けることはありません。これは、最初の読み出し動作が開始されたときのみ、2 番目の変換が開始されるためです。

400 kHz の I²C クロックを使いこのモードで実現できる最大スループットは (400 kHz/18) = 22.2 kSPS です。

図 56 に、V_{IN0}、V_{IN1}、I_{SENSE1} などのチャンネル・シーケンスを変換するコマンド・モードを示します。

1. マスター・デバイスが SDA 上でスタート状態をアサートします。

2. マスターは、7 ビットのスレーブ・アドレス、それに続いて書き込みビット(ロー・レベル)を送信します。
3. アドレス指定されたスレーブ・デバイス (AD7294) は SDA 上でアックノリッジをアサートします。
4. マスターはコマンド・レジスタ・アドレス 0x00 を送信します。スレーブは SDA 上でアックノリッジをアサートします。
5. マスターは、V_{IN0}、V_{IN1}、I_{SENSE1} の各チャンネルを選択するデータ・バイト 0x13 を送信します。
6. スレーブは SDA 上でアックノリッジをアサートします。
7. マスターはリザルト・レジスタ・アドレス (0x01) を送信します。スレーブは SDA 上でアックノリッジをアサートします。
8. マスターは、7 ビットのスレーブ・アドレス、それに続いて書き込みビット(ハイ・レベル)を送信します。
9. スレーブは SDA 上でアックノリッジをアサートします。
10. マスターは、alert_flag ビット、チャンネル ID ビット、チャンネル V_{IN0} の変換結果の上位 4 ビットを含むデータ・バイトを受信します。マスターは SDA 上でアックノリッジをアサートします。
11. マスターは、チャンネル V_{IN0} の変換結果の下位 8 ビットを含む 2 番目のデータ・バイトを受信します。マスターは SDA 上でアックノリッジをアサートします。
12. チャンネル V_{IN1} とチャンネル I_{SENSE1} に対してポイント 10 とポイント 11 を繰り返します。
13. マスターが選択したすべてのチャンネルから変換結果を受信した後、スレーブは選択されたシーケンス内の最初のチャンネルを再度変換して出力します。ポイント 10 ~ ポイント 12 が繰り返されます。
14. マスターは SDA 上で NACK とストップ条件をアサートして、コマンド・モードを終了します。

読み出しが 5 ms 間ない場合には、AD7294 は自動的にコマンド・モードを終了させます。変換シーケンスを変更するときは、新しいシーケンスをコマンド・モードへ再書き込みします。

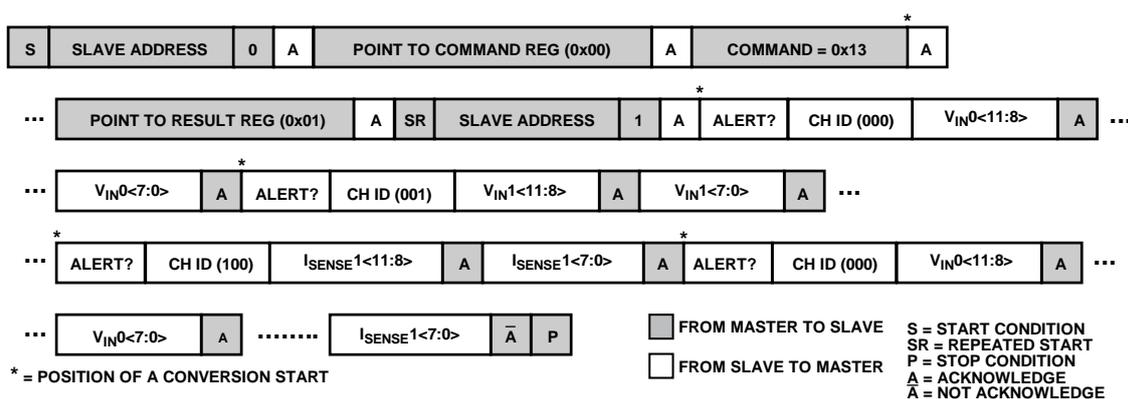


図 56. コマンド・モード動作

自動サイクル・モード

チャンネルのプログラマブルなシーケンスに対して連続的に変換を行うように AD7294 を設定することができるため、システム監視に最適な動作モードになっています。これらの変換は約 50 μ s ごとにバックグラウンドで行われ、マスターからは見えません。一般に、このモードは、範囲外状態を警報機能を使って検出するように設定したリミット・レジスタまたは特定のチャンネルの時間変動を記録する最小/最大レコーダ機能と組み合わせて、選択した複数のチャンネルを自動的に監視するときに使います。読み出しと書き込みは何時でも行うことができます

(ADC リザルト・レジスタ 0x01 には直前の変換結果が格納されています)。

パワーアップ時に、このモードはディスエーブルされます。このモードをイネーブルするときは、設定レジスタ (0x09) のビット D12 に書き込みを行って、チャンネル・シーケンス・レジスタ (0x08) 内で変換するチャンネルを選択します。

自動サイクル・モードがイネーブルされているときでも、コマンド・モードを使用することができます。この場合、コマンド・モードがアクティブのときは自動変換シーケンスは停止し、コマンド・モードがストップ・ビットより終了するか、または 5 ms のアイドル時間後に終了すると、再開されます。

警報およびリミットの動作原理

Alert_Flag ビット

alert_flag ビットは、変換結果が読み出し中か、他のチャンネルの変換結果が対応するリミット・レジスタの設定を超えているか否かを表示します。警報が発生し、alert_flag ビットが設定されると、マスターは警報ステータス・レジスタを読み出して警報が発生した場所の詳細な情報を取得することができます。

警報ステータス・レジスタ

警報ステータス・レジスタは、8 ビットの読み書き可能レジスタで、警報情報を提供します。変換結果により ALERT/BUSY ピンがアクティブになった場合、またはリザルト・レジスタまたは T_{SENSE} レジスタの alert_flag ビットがアクティブになった場合、警報ステータス・レジスタを読み出すと詳しい情報を得ることができます。警報レジスタの構造については、図 57 を参照してください。

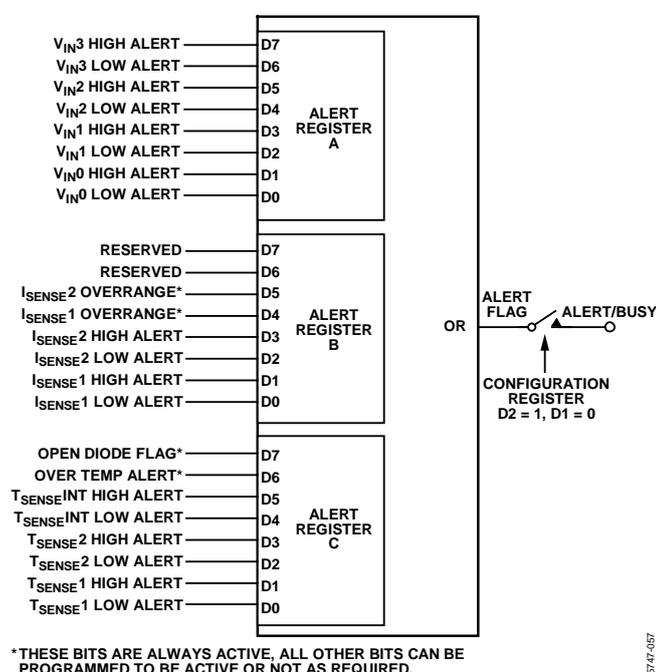


図 57. 警報レジスタの構造

レジスタ A (表 19 参照) は 4 チャンネルから構成されており、各チャンネルあたり 2 ステータス・ビットで、各々は $DATA_{HIGH}$ 限界値と $DATA_{LOW}$ 限界値に対応しています。このレジスタは、標準電圧入力である $V_{IN3} \sim V_{IN0}$ の警報イベント・データを格納しています。このレジスタ値を読み出すと、ステータスが 1 のビットで対応する限界値を超えたことが表示されます。すなわち、チャンネルが特定され、上限または下限のいずれで超過があったかが分かります。警報レジスタ値が読み出される前に別のチャンネルで 2 つ目の警報イベントが発生すると、2 つ目の警報イベントに対応するビットもセットされます。

レジスタ B (表 20 参照) は 3 チャンネルから構成されており、各チャンネルあたり 2 ステータス・ビットで、指定された $DATA_{HIGH}$ 限界値と $DATA_{LOW}$ 限界値を表しています。ビット [D3:D0] は、電流検出入力に対する上限値と下限値の警報に対応しています。ビット D4 とビット D5 は、 $V_{REF}/10.41$ の I_{SENSE1} OVERRANGE と I_{SENSE2} OVERRANGE を表しています。パワーアップ時に、最初に立ち上がる電源に応じて故障出力を発生さ

せることができます。D4 と D5 に 0 を書き込むことにより、パワーアップ時に初期化ルーチンの一部としてこれらのビットをクリアすることが推奨されます。

外付け温度センサーの $D1_{\pm}$ 入力ピンまたは $D2_{\pm}$ 入力ピンが断線した場合、AD7294 の内部回路が警報を発生することができます。外付け温度センサーのオープン・ダイオード・フラグが発生したとき、レジスタ C の上位ビット (表 21 参照) により警報を通知します。内部温度センサーが、AD7294 のチップ温度が 150°C を超えたことを検出すると、温度上昇警報ビット (レジスタ C のビット D6) がセットされ、DAC 出力が高インピーダンス状態に設定されます。レジスタ 6 の残りの 6 ビットは、 T_{SENSE1} 、 T_{SENSE2} 、 $T_{SENSEINT}$ の警報イベント・データを格納し、各チャンネルあたり 2 ステータス・ビットで、各々は $DATA_{HIGH}$ 限界値と $DATA_{LOW}$ 限界値に対応しています。

いずれの警報レジスタでも全値をクリアするときは、該当するレジスタにコード FF (全ビット 1) を書き込みます。あるいは、選択した警報レジスタ内の個々の警報ビットに書き込みを行うことにより、該当するビットに対応する警報をクリアすることができます。設定レジスタのビット D1 とビット D2 に 1 を書き込むと、すべての警報ステータス・レジスタのすべての値がクリアされます (

表 24 参照)。ただし、この動作の後に後続の変換に対して ALERT/BUSY ピンがイネーブルされます。

$DATA_{HIGH}$ と $DATA_{LOW}$ の監視機能

変換結果がユーザー設定の上限または下限を超えた場合、AD7294 は警報を発生します (設定に応じて、ALERT/BUSY ピンによるハードウェア的方法、alert_flag ビットによるソフトウェア的方法、または両方法によります)。

$DATA_{HIGH}$ レジスタは、ALERT/BUSY 出力ピンおよび/または変換リザルト・レジスタの alert_flag ビットをアクティブにする上限を格納しています。変換結果が $DATA_{HIGH}$ レジスタの値を超えると、警報が発生されます。 $DATA_{LOW}$ レジスタは、ALERT/BUSY 出力ピンおよび/または変換リザルト・レジスタの alert_flag ビットをアクティブにする下限を格納しています。変換結果が $DATA_{LOW}$ レジスタの値を下回ると、警報が発生されます。

監視される信号が範囲内に戻ると、すなわち変換結果が限界値の間に入ると、 $DATA_{HIGH}$ レジスタまたは $DATA_{LOW}$ レジスタに対応する警報が自動的にクリアされます。ヒステリシス・レジスタは、ALERT/BUSY ピン上でフリッカが発生するのを防止するために使えます。ヒステリシス機能がイネーブルされた場合、ALERT/BUSY 出力ピンと alert_flag ビットがリセットされるためには、変換結果は $DATA_{HIGH}$ レジスタ値より少なくとも N LSB 下の値、または $DATA_{LOW}$ レジスタ値の少なくとも N LSB 上まで戻る必要があります。この N の値は、そのチャンネルに対応する 12 ビット・ヒステリシス・レジスタから取得されます。ADC の最大出力コードに近いコード (すなわち $0x77D$) をヒステリシス・レジスタに設定すると、 $DATA_{HIGH}$ または $DATA_{LOW}$ の警報が AD7294 により自動的にクリアされないようにすることができます。

$T_{SENSE}DATA_{HIGH}$ 限界値レジスタまたは $T_{SENSE}DATA_{LOW}$ 限界値レジスタのビット D11 は、ダイオード断線フラグです。このビットが 0 に設定された場合、 $Dx+$ ピンと $Dx-$ ピンとの間で断線していること示します。いずれかの I_{SENSE} OVERRANGE ピンで発生した警報は、警報レジスタへ書き込みが行われてクリアされるまで、その状態が維持されます。パワーアップ時に $DATA_{HIGH}$ レジ

と $DATA_{LOW}$ レジスタの値は、デフォルト値にリセットされます (表 28 参照)。

ヒステリシス

ヒステリシス値は、限界値を超過した場合の ALERT/BUSY ピンおよび/または alert_flag ビットのリセット・ポイントを決定します。リミット・レジスタを使用する場合、ヒステリシス・レジスタがヒステリシス値 N を格納しています。リミット・レジスタの各対には、専用のヒステリシス・レジスタがあります。たとえば、 V_{IN0} の上位と下限で 8 LSB のヒステリシス値が必要な場合、16 ビット・ワード 0000 0000 0000 1000 を V_{IN0} のヒステリシス・レジスタに書き込む必要があります (表 9 参照)。パワーアップ時に、ヒステリシス・レジスタには非温度リザルト・レジスタの下位 8 ビットと T_{SENSE} レジスタの 8°C (下位 32 ビット) が格納されます。別のヒステリシス値が必要な場合には、その値を該当するチャンネルのヒステリシス・レジスタに書き込む必要があります。

各リミット・レジスタに対応してヒステリシス・レジスタを設ける利点は、各 ADC チャンネルに対応する警報ビットでチャタリングを防止することです。図 58 に、リミット・チェック動作を示します。

リミット・レジスタを使用する最小/最大変換結果の格納

特定のチャンネルのヒステリシス・レジスタに FFF を書き込むと、前述のようにそのチャンネルの $DATA_{HIGH}$ レジスタと $DATA_{LOW}$ レジスタはリミット・レジスタとして機能しなくなりますが、最大変換結果と最小変換結果の保持レジスタとして機能します。アプリケーションで警報信号が不要な場合にはこの機能は有用ですが、それでも最小変換値と最大変換値を監視することが必要とされます。パワーアップ時に、デフォルトでは各チャンネルの $DATA_{HIGH}$ レジスタ値は最大コードに、 $DATA_{LOW}$ レジスタ値は最小コードに、それぞれ設定されることに注意してください。

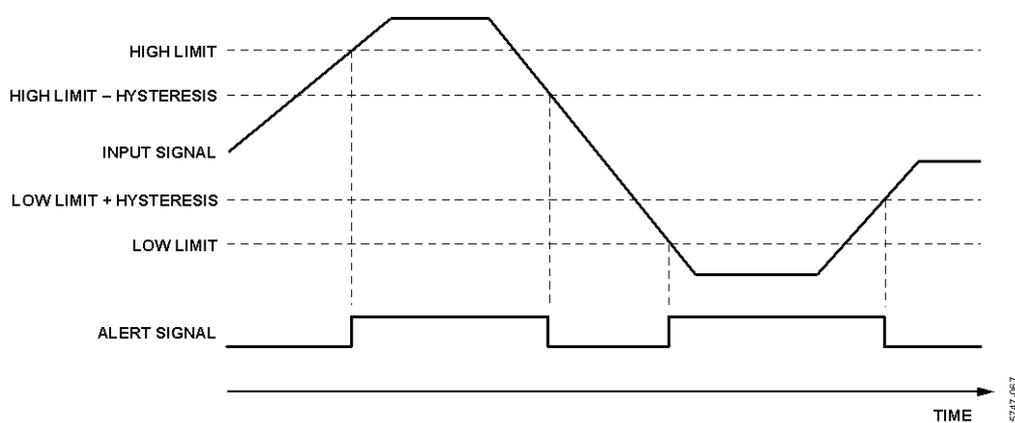


図 58. 限界値のチェック

アプリケーション情報

AD7294 は、汎用の監視機能および電流、電圧、温度特性の制御に必要なすべての機能を内蔵しています。このデバイスは 59.4 V の最大同相モード範囲を持つため、高い同相モード電圧が存在する中で電流検出が必要とされる工業用アプリケーションや車載アプリケーションで有用です。たとえば、このデバイスは携帯電話基地局のパワー・アンプの監視と制御に最適です。

基地局パワー・アンプの監視と制御

AD7294 をパワー・アンプ・シグナル・チェイン内で使用して、LDMOS トランジスタに対して最適なバイアス条件を実現します。バイアス条件に影響を与える主な要因は、温度、電源電圧、ゲート電圧ドリフト、一般的な処理パラメータです。パワー・アンプ構成の全体性能は、効率、ゲイン、直線性の間のトレードオフで決定されます。AD7294 の提供する高集積度により、シングル・チップでドレイン・バイアス電流をダイナミックに制御して、温度と時間に対して一定に維持することができるため、パワー・アンプの全体性能が大幅に向上されます。AD7294 はディスクリート部品 8 個分の機能を内蔵しているため、他のソリューションに比べて大幅なボード面積の節約が可能になります。

図 59 に、AD7294 の代表的なシステム接続図を示します。このデバイスは、2 個の最終ステージ・アンプの全体性能を監視/制御します。このアプリケーションではドライバ・ステージのゲイン制御と位相調整が採用されているため、AD7294 の 2 個の汎用出力を使って実現されています。両ハイサイド電流検出機能が、それぞれの最終ステージ・アンプの電流を測定します。コンパレータ出力 (I_{SENSE1} OVERRANGE ピンと I_{SENSE2} OVERRANGE ピン)は、LDMOS パワー FET の RF 入力にあるスイッチに対する制御信号になります。ハイサイド電流検出の測定値がセットポイントと比較して指定された限界値より大きい場合、コンパレータにより RF IN 信号がスイッチ・オフされます。

デバイスは送信電力 (Tx)と受信電力 (Rx)を測定することにより、ドライバと PA 信号をダイナミックに変更して性能を最適化することができます。このアプリケーションでは、アナログ・デバイセズの AD8317 または AD8362 のようなログ検出器/コンローラが必要です。

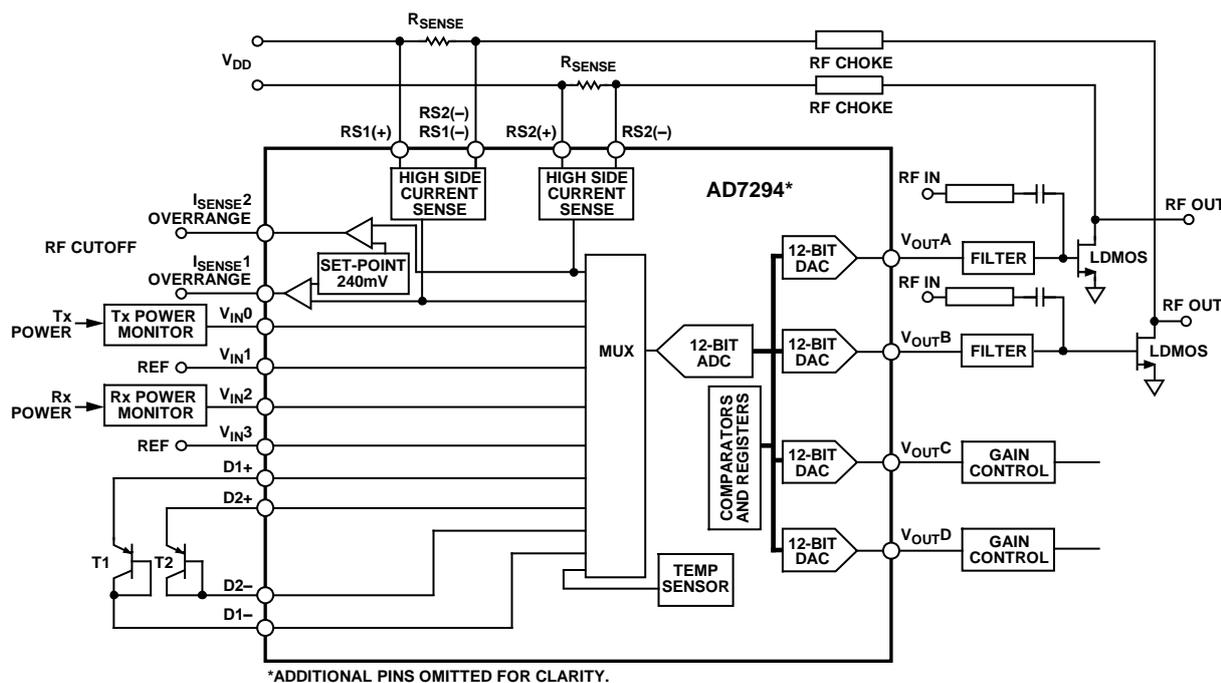


図 59. 代表的な HPA 監視/制御アプリケーション

05747-036

パワー・アンプのゲイン制御

ゲイン制御モードでは、所望の出力電力に dB 値で比例するセットポイント電圧が、AD8362 のようなパワー・ディテクタに加えられます。パワー・アンプ (PA) の出力電力のサンプルが、方向性カプラーと減衰器 (またはその他の方法) を介して、AD8362 に入力されます。VOUT は PA のゲイン制御ピンに接続されています (図 60 参照)。AD8362 は VOUT と RF 入力信号との間で規定された関係に基づいて、VOUT の電圧 (VOUT は誤差アンプ出力になります) を調節して、RF 入力でのレベルが入力された VSET に対応するようにします。AD7294 は AD8362 の出力を追跡する帰還ループを構成して、AD8362 の VSET 入力を調節します。

AD8362 の VOUT は、パワー・アンプのゲイン制御ピンに入力されます。この出力電力制御ループが安定するためには、グラウンド基準のコンデンサを CLPF ピンに接続する必要があります。このコンデンサが、ループがバランスしないときに発生する誤差信号 (実際には電流) を積分します。パワー・アンプの前に可変ゲイン・アンプ (VGA) または可変電圧減衰器 (VVA) を使用するシステムでは、必要なのは AD8362 だけです。このような場合には、一方のデバイス (VVA、PA) のゲインは固定され、V_{OUT} が他方の制御入力に供給されます。

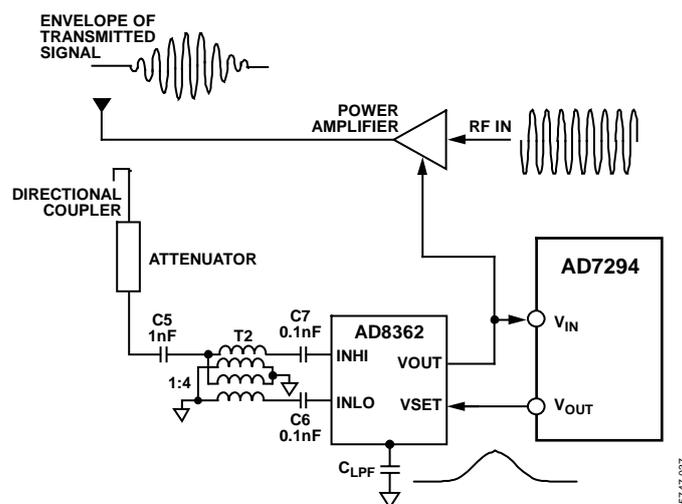


図 60. セットポイント・コントローラの動作

レイアウトおよび構成

電源のバイパスとグラウンド接続

最適性能を得るためには、AD7294 を使用するプリント回路ボード(PCB)での電源とグラウンド・リターンのレイアウトに注意が必要です。AD7294 を実装する PCB プリント回路ボードは、アナログ部とデジタル部を分離して、それぞれ専用のボード領域を持つようにする必要があります。AD7294 は PCB のアナログ・セクションに配置する必要があります。

AD7294 の電源を $10\ \mu\text{F}$ と $0.1\ \mu\text{F}$ のコンデンサを使ってグラウンドへデカップリングする必要があります。コンデンサはデバイスのできるだけ近くに配置し、 $0.1\ \mu\text{F}$ のコンデンサは理想的にはデバイスの近くに配置することが望めます。 $0.1\ \mu\text{F}$ コンデンサの実効直列抵抗(ESR)は小さく、かつ実効直列インダクタンス(ESL)は小さいことが重要です。一般的なセラミック型コンデンサが適しています。この $0.1\ \mu\text{F}$ のコンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。 $10\ \mu\text{F}$ コンデンサはタンタルのビーズ型を使います。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を軽減させるようにします。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを使ってボード上の他の部分からシールドする必要があります。デジタル信号とアナログ信号の交差は、できるだけ回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンはハンダ面に配置するマイクロストリップ技術ですが、2 層ボードでは常に可能とはかぎりません。

外付け温度センサーのレイアウト

パワーアンプのボードは電氣的なノイズの多い環境であり、アナログ入力をノイズから保護するよう注意する必要があります。特に、リモート・ダイオード・センサーからの非常に小さい電

圧を計測するときには注意が必要です。次の点に注意してください。

リモート検出ダイオードを AD7294 にできるだけ近づけて配置します。最悪のノイズ源を回避し、距離は 4~8 インチ離します。

D_+ と D_- のパターンは相互に近づけて、グラウンドに接続されたパターンを両側に並行させて配置します。可能な場合は、パターンの下にグラウンド・プレーンを配置します。

インダクタンスを小さくしてノイズの混入を小さくするためには、パターンを太くします。10 ミルのパターン最小幅と間隔が推奨されます(図 61 参照)。

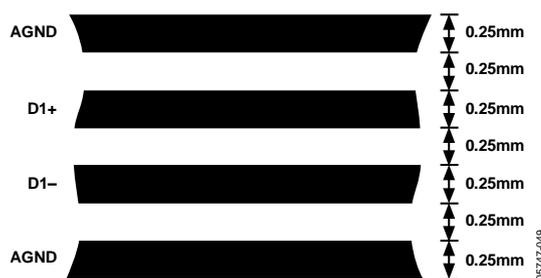


図 61. 信号パターンの配置

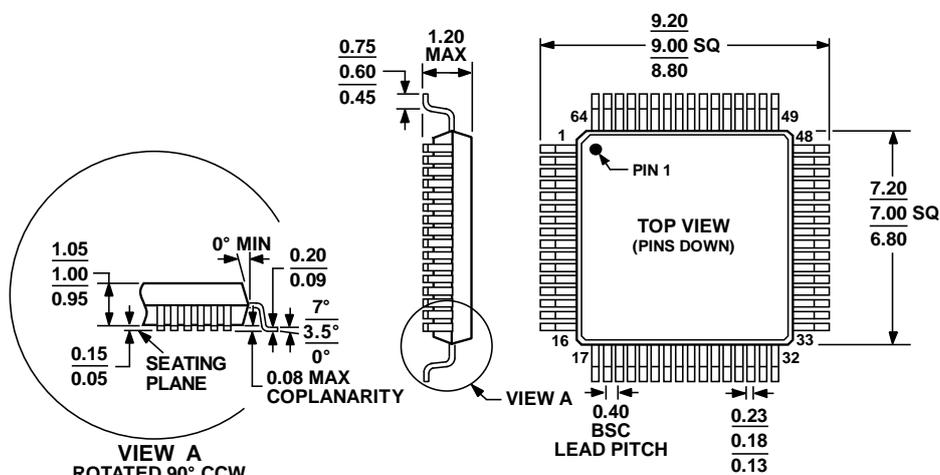
熱電対効果を持つ銅とハンダの接続点数を最小にします。銅とハンダの接続が使われている場所では、それらの接続点が D_{X+} と D_{X-} のパス内にあり、同じ温度であることを確認します。

ディスクリット・ダイオードのできるだけ近くで、ベースとエミッタの間に $10\ \text{pF}$ のコンデンサを接続してください。

リモート・センサーまでの距離が 20 cm を超える場合は、ツイストペア・ケーブルの使用をお奨めします。

この計測技術ではスイッチング電流源を使っているため、余分なケーブルおよび/またはフィルタ容量が計測に影響を与えることがあります。長いケーブルを使うときは、フィルタ・キャパシタを小さくするか、削除します。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-ABD

012108-A

図 62.64 ピン薄型プラスチック・クワッド・フラット・パッケージ [TQFP]
(SU-64-1)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7294BSUZ ¹	-40°C to +105°C	64-Lead Thin Plastic Quad Flat Package [TQFP]	SU-64-1
AD7294BSUZRL ¹	-40°C to +105°C	64-Lead Thin Plastic Quad Flat Package [TQFP]	SU-64-1

¹ Z = RoHS 準拠製品