

目次

特長	1	アドレス・ポインタ・レジスタ	15
機能ブロック図	1	コマンド・レジスタ (0x00)	17
概要	1	電圧変換リザルト・レジスタ (0X01)	18
製品のハイライト	1	T _{SENSE} 変換リザルト・レジスタ (0X02)	18
改訂履歴	2	T _{SENSE} 平均リザルト・レジスタ (0X03)	19
仕様	3	リミット・レジスタ (0X04~0X1E)	19
I ² C タイミング仕様	5	ヒステリシス・レジスタ	19
絶対最大定格	6	警報ステータス・レジスタ A と警報ステータス・レジスタ B (0X1F と 0X20)	20
熱抵抗	6	I ² C インターフェース	21
ESD の注意	6	シリアル・バスのアドレス・バイト	21
ピン配置およびピン機能説明	7	I ² C の一般的なタイミング	21
代表的な性能特性	8	AD7291 への書込み	22
用語	11	16 ビット・レジスタに対する 2 バイト・データの書込み	22
回路説明	12	複数のレジスタへの書込み	22
コンバータの動作	12	AD7291 からのデータの読出し	23
アナログ入力	12	16 ビット・レジスタからの 2 バイト・データの読出し	23
ADC の伝達関数	13	動作モード	24
温度センサーの動作	13	コマンド・モード	24
温度センサーの平均処理	13	自動サイクル・モード	26
V _{DRIVE}	14	外形寸法	27
内蔵または外付けリファレンス電圧	14	オーダー・ガイド	27
リセット	14		
内部レジスタ構造	15		

改訂履歴

8/11—Rev. 0 to Rev. A

Changes to Temperature Sensor—Internal, Accuracy Parameter, Table 2	3
---	---

1/11—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.8\text{ V} \sim 3.6\text{ V}$; $V_{DRIVE} = 1.65\text{ V} \sim 3.6\text{ V}$; $f_{SCL} = 400\text{ kHz}$ 、高速 SCLK モード; $V_{REF} = 2.5\text{ V}$ 内部/外部; $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 2.

Parameter	Min	Typ	Max	Unit ¹	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Signal-to-Noise Ratio (SNR) ²	70	71		dB	$f_{IN} = 1\text{ kHz}$ sine wave
Signal-to-Noise (+ Distortion) Ratio (SINAD) ²	70	71		dB	
Total Harmonic Distortion (THD) ²		-84	-78	dB	
Spurious-Free Dynamic Range (SFDR)		-85	-80	dB	
Intermodulation Distortion (IMD)					$f_A = 5.4\text{ kHz}$, $f_B = 4.6\text{ kHz}$
Second-Order Terms		-88		dB	
Third-Order Terms		-88		dB	
Channel-to-Channel Isolation		-100		dB	$f_{IN} = 10\text{ kHz}$
Full Power Bandwidth ³		30		MHz	At 3 dB
		10		MHz	At 0.1 dB
DC ACCURACY					
Resolution	12			Bits	
Integral Nonlinearity (INL) ²		± 0.5	± 1	LSB	Guaranteed no missed codes to 12 bits
Differential Nonlinearity (DNL) ²		± 0.5	± 0.99	LSB	
Offset Error ²		± 2	± 4.5	LSB	
Offset Error Matching ²		± 2.5	± 4.5	LSB	
Offset Temperature Drift		4		ppm/ $^\circ\text{C}$	
Gain Error ²		± 1	± 4	LSB	
Gain Error Matching ²		± 1	± 2.5	LSB	
Gain Temperature Drift		0.5		ppm/ $^\circ\text{C}$	
ANALOG INPUT					
Input Voltage Ranges	0		V_{REF}	V	
DC Leakage Current		± 0.01	± 1	μA	
Input Capacitance ³		34		pF	When in track
		8		pF	When in hold
REFERENCE INPUT/OUTPUT					
Reference Output Voltage ⁴	2.4925	2.5	2.5075	V	$\pm 0.3\%$ maximum at 25°C
Long-Term Stability		150		ppm	For 1000 hours
Output Voltage Hysteresis		50		ppm	
Reference Input Voltage Range ⁵	1		2.5	V	
DC Leakage Current		± 0.01	± 1	μA	External reference applied to Pin V_{REF}
V_{REF} Output Impedance		1		Ω	
Reference Temperature Coefficient		12	35	ppm/ $^\circ\text{C}$	
V_{REF} Noise ³		60		$\mu\text{V rms}$	Bandwidth = 10 MHz
LOGIC INPUTS (SDA, SCL)					
Input High Voltage, V_{INH}	$0.7 \times V_{DRIVE}$			V	
Input Low Voltage, V_{INL}			$0.3 \times V_{DRIVE}$	V	
Input Current, I_{IN}		± 0.01	± 1	μA	$V_{IN} = 0\text{ V}$ or V_{DRIVE}
Input Capacitance, C_{IN} ³		6		pF	
Input Hysteresis, V_{HYST}	$0.1 \times V_{DRIVE}$			V	

Parameter	Min	Typ	Max	Unit ¹	Test Conditions/Comments
LOGIC OUTPUTS					
Output High Voltage, V_{OH}	$V_{DRIVE} - 0.3$			V	$V_{DRIVE} < 1.8$
Output Low Voltage, V_{OL}	$V_{DRIVE} - 0.2$		0.4	V	$V_{DRIVE} \geq 1.8$
Floating State Leakage Current		± 0.01	± 1	μA	$I_{SINK} = 3 \text{ mA}$
Floating State Output Capacitance ³		8		pF	$I_{SINK} = 6 \text{ mA}$
TEMPERATURE SENSOR—INTERNAL					
Operating Range	-40		+125	$^{\circ}C$	
Accuracy		± 1	± 2	$^{\circ}C$	$T_A = -40^{\circ}C \text{ to } +85^{\circ}C$
		± 1	± 3	$^{\circ}C$	$T_A = 85^{\circ}C \text{ to } 125^{\circ}C$
Resolution		0.25		$^{\circ}C$	LSB size
CONVERSION RATE					
Conversion Time		3.2		μs	
Autocycle Update Rate ⁶		50		μs	
Throughput Rate			22.22	kSPS	$f_{SCL} = 400 \text{ kHz}$
POWER REQUIREMENTS					
V_{DD}	2.8	3	3.6	V	Digital inputs = 0 V or V_{DRIVE}
V_{DRIVE}	1.65	3	3.6	V	
I_{TOTAL} ^{7,8}					
Normal Mode (Operational)		2.9	3.5	mA	
Normal Mode (Static)		2.9	3.3	mA	
Full Power-Down Mode		0.3	1.6	μA	$T_A = -40^{\circ}C \text{ to } +25^{\circ}C$
		1.6	4.5	μA	$T_A = >25^{\circ}C \text{ to } 85^{\circ}C$
		4.9	12	μA	$T_A = >85^{\circ}C \text{ to } 125^{\circ}C$
Power Dissipation ⁸					
Normal Mode (Operational)		8.7	10.5	mW	$V_{DD} = 3 \text{ V}, V_{DRIVE} = 3 \text{ V}$
		10.4	12.6	mW	
Normal Mode (Static)		10.4	11.9	mW	
Full Power-Down Mode		1.1	5.8	μW	$T_A = -40^{\circ}C \text{ to } +25^{\circ}C$
		5.8	16.2	μW	$T_A = >25^{\circ}C \text{ to } 85^{\circ}C$
		17.6	43.2	μW	$T_A = >85^{\circ}C \text{ to } 125^{\circ}C$

¹ デシベル値表示のすべての仕様はフルスケール入力 FSR を基準とし、特に指定がない限り、フルスケールより 0.5 dB 低い入力信号を使ってテスト。

² 用語のセクションを参照してください。

³ 初期リリース時はサンプル・テストにより適合性を保証。

⁴ 25 $^{\circ}C$ で規定された V_{REF} ピンです。

⁵ 外付け V_{REF} を使用する場合、温度センサー測定結果に補正係数が必要になることがあります(温度センサー平均処理のセクション参照)。

⁶ 初期リリース時はサンプル・テストにより適合性を保証。出荷テストは行いません。

⁷ I_{TOTAL} は V_{DD} と V_{DRIVE} に流入する合計電流。

⁸ 特に指定のない限り、 I_{TOTAL} と消費電力は $V_{DD} = V_{DRIVE} = 3.6 \text{ V}$ で規定。

I²C タイミング仕様

初期キャラクタライゼーションにより保証。すべての値は入力フィルタをイネーブルして測定。C_B はバス・ラインの容量負荷、t_r と t_f は 0.3 × V_{DRIVE} と 0.7 × V_{DRIVE} の間で測定(図 2 参照)。特に指定がない限り、V_{DD} = 2.8 V ~ 3.6 V; V_{DRIVE} = 1.65 V ~ 3.6 V; V_{REF} = 2.5 V 内部/外部; T_A = -40°C ~ +125°C。

表 3.

Parameter	Conditions	Limit at T _{MIN} , T _{MAX}			Unit	Description
		Min	Typ	Max		
f _{SCL}	Standard mode			100	kHz	Serial clock frequency
	Fast mode			400	kHz	
t ₁	Standard mode	4			μs	t _{HIGH} , SCL high time
	Fast mode	0.6			μs	
t ₂	Standard mode	4.7			μs	t _{LOW} , SCL low time
	Fast mode	1.3			μs	
t ₃	Standard mode	250			ns	t _{SU,DAT} , data setup time
	Fast mode	100			ns	
t ₄ ¹	Standard mode	0		3.45	μs	t _{HD,DAT} , data hold time
	Fast mode	0		0.9	μs	
t ₅	Standard mode	4.7			μs	t _{SU,STA} , setup time for a repeated start condition
	Fast mode	0.6			μs	
t ₆	Standard mode	4			μs	t _{HD,STA} , hold time for a repeated start condition
	Fast mode	0.6			μs	
t ₇	Standard mode	4.7			μs	t _{BUF} , bus-free time between a stop and a start condition
	Fast mode	1.3			μs	
t ₈	Standard mode	4			μs	t _{SU,STO} , setup time for a stop condition
	Fast mode	0.6			μs	
t ₉	Standard mode			1000	ns	t _{RDA} , rise time of the SDA signal
	Fast mode	20 + 0.1 C _B		300	ns	
t ₁₀	Standard mode			300	ns	t _{FDA} , fall time of the SDA signal
	Fast mode	20 + 0.1 C _B		300	ns	
t ₁₁	Standard mode			1000	ns	t _{RCL} , rise time of the SCL signal
	Fast mode	20 + 0.1 C _B		300	ns	
t _{11A}	Standard mode			1000	ns	t _{RCL1} , rise time of the SCL signal after a repeated start condition and after an acknowledge bit
	Fast mode	20 + 0.1 C _B		300	ns	
t ₁₂	Standard mode			300	ns	t _{FCL} , fall time of the SCL signal
	Fast mode	20 + 0.1 C _B		300	ns	
t _{SP}	Fast mode	0		50	ns	Pulse width of the suppressed spike
t _{POWER-UP}				6	ms	Power-up and acquisition time

¹ SCL の立下がりエッジの不定領域をブリッジするため、デバイスは SDA のデータ・ホールド・タイムを持つ必要があります。

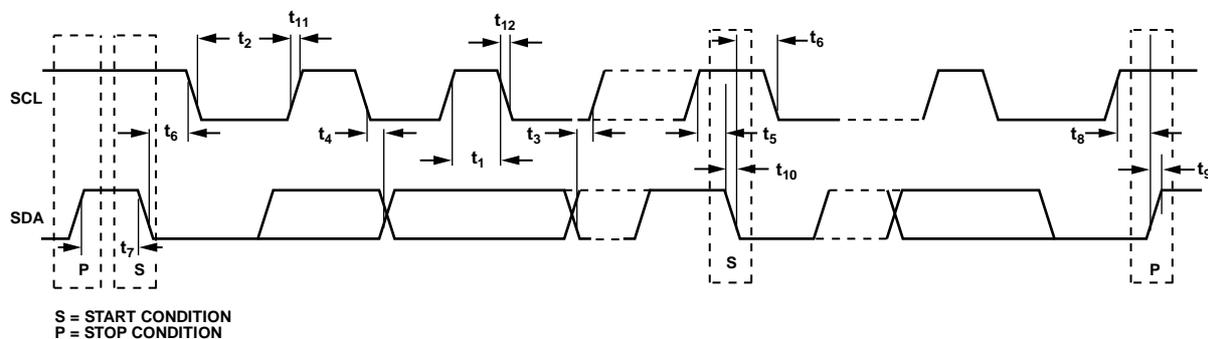


図 2.2 線式シリアル・インターフェースのタイミング図

2021-11-02

絶対最大定格

表 4.

Parameter	Rating
V _{DD} to GND1, GND	-0.3 V to +5 V
V _{DRIVE} to GND1, GND	-0.3 V to +5 V
Analog Input Voltage to GND1	-0.3 V to +3 V
Digital Input Voltage to GND1	-0.3 V to V _{DRIVE} + 0.3 V
Digital Output Voltage to GND1	-0.3 V to V _{DRIVE} + 0.3 V
V _{REF} to GND1	-0.3 V to +3 V
GND to GND1	-0.3 V to +0.3 V
Input Current to Any Pin Except Supplies ¹	±10 mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Pb-free Temperature, Soldering	
Reflow	260(+0)°C
ESD	2 kV

¹ 最大 100 mA までの過渡電流ではラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

表 5.熱抵抗

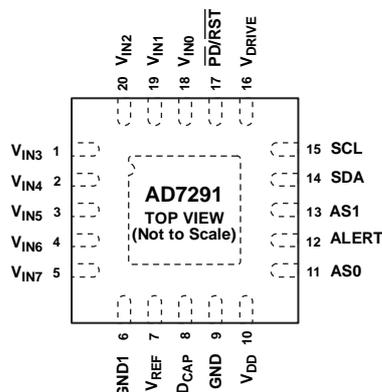
Package Type	θ_{JA}	θ_{JC}	Unit
20-Lead LFCSP	52	6.5	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. THE EXPOSED METAL PADDLE ON THE BOTTOM OF THE LFCSP PACKAGE SHOULD BE SOLDERED TO PCB GROUND FOR PROPER HEAT DISSIPATION AND PERFORMANCE.

08711-003

図 3. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1 to 5, 18 to 20	V_{IN3} , V_{IN4} , V_{IN5} , V_{IN6} , V_{IN7} , V_{IN0} , V_{IN1} , V_{IN2}	アナログ入力。AD7291には8個のシングルエンド・アナログ入力があり、これらはマルチプレクスされて内蔵トラック・アンド・ホールド・アンプに入力されます。各入力には、0 V~2.5 Vのアナログ信号を入力することができます。未使用入力チャンネルはGND1に接続してノイズの混入を防止する必要があります。
6	GND1	グラウンド。AD7291の内蔵リファレンス回路のグラウンド基準ポイント。全アナログ入力信号と外部リファレンス信号はこのGND電圧を基準とします。DGN1ピンはシステムのグラウンド・プレーンへ接続する必要があります。すべてのグラウンド・ピンは理想的には同電位である必要があり、過渡的なバイアスであっても電位差が0.3 Vを超えないようにする必要があります。VREFピンは10 μ Fのデカップリング・コンデンサでこのグラウンド・ピンへデカップリングする必要があります。
7	VREF	内蔵リファレンス電圧源/外付けリファレンス電圧源。公称内蔵リファレンス電圧は2.5 Vで、このピンに出力されます。出力にバッファが付いている場合、内蔵リファレンス電圧をこのピンから出力して、システムの他の部分に供給することができます。デカップリング・コンデンサをこのピンに接続して、リファレンス・バッファをデカップリングしてください。最適性能を得るためには、10 μ Fのデカップリング・コンデンサをこのピンとGND1の間に接続することが推奨されます。必要に応じて、内蔵リファレンス電圧をディスエーブルして、外付けリファレンス電圧をこの入力に接続することができます。外付けリファレンス電圧の入力電圧範囲は、2.0 V~2.5 Vです。
8	DCAP	デカップリング・コンデンサ・ピン。デカップリング・コンデンサ(推奨1 μ F)をこのピンに接続して、内蔵LDOをデカップリングします。
9	GND	グラウンド。AD7291のすべてのアナログ回路とデジタル回路のグラウンド基準ポイント。GNDピンはシステムのグラウンド・プレーンへ接続する必要があります。すべてのグラウンド・ピンは理想的には同電位である必要があり、過渡的なバイアスであっても電位差が0.3 Vを超えないようにする必要があります。DCAPピンとVDDピンはこのGNDピンへデカップリングする必要があります。
10	VDD	電源電圧2.8 V~3.6 V。この電源は、10 μ Fと100 nFのデカップリング・コンデンサでGNDへデカップリングする必要があります。
11, 13	AS0, AS1	ロジック入力。これらの入力のロジック状態により、AD7291のI ² Cアドレスを指定します。詳細については、表31を参照。デバイス・アドレスは、これらのピンに加えられる電圧に依存します。
12	ALERT	デジタル出力。警報として設定した場合、このピンは範囲外インジケータとして機能するため、変換結果がDATA _{HIGH} またはDATA _{LOW} レジスタ値に違反したときアクティブになります。リミット・レジスタ(0x04~0x1E)のセクションを参照してください。
14	SDA	デジタル入力/出力。シリアル・バス双方向データ。このオープン・ドレイン出力にはプルアップ抵抗が必要です。出力コーディングは電圧チャンネルについてはストレート・バイナリ、温度センサー変換結果については2の補数です。
15	SCL	デジタル入力。I ² Cバスのシリアル・クロック。この入力にはプルアップ抵抗が必要。I ² Cモードでのデータ転送レートは、100 kHzと400 kHzの動作モードと互換性を持っています。
16	VDRIVE	ロジック電源入力。このピンに入力された電圧により、インターフェースが動作する電圧が決定されます。このピンはGNDへデカップリングする必要があります。このピンの電圧範囲は1.65 V~3.6 Vで、VDD電圧より低いこともあります。VDD電圧より0.3 V以上高くなることはできません。
17	PD/RST	パワーダウン・ピン。このピンはデバイスをフル・パワーダウン・モードにするため、動作が必要ない場合消費電力を削減することができます。このピンを最小1 ns~最大100 ns間ロー・レベルにドグルして、デバイスをリセットすることができます。この最大時間を超えると、デバイスはパワーダウン・モードになります。デバイスをフル・パワーダウン・モードにする場合、アナログ入力を0 Vへ戻す必要があります。
EPAD	EPAD	エクスポーズド・パドル。正常な機能と熱放散のために、LFCSPパッケージ底面の露出金属パドルはPCBグラウンドへハンダ接続する必要があります。

代表的な性能特性

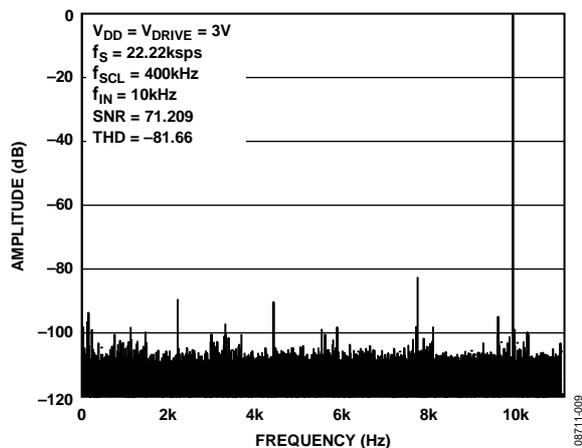


図 4. 代表的な FFT

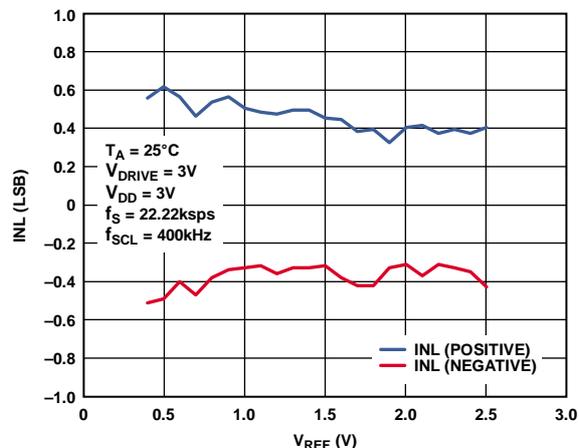
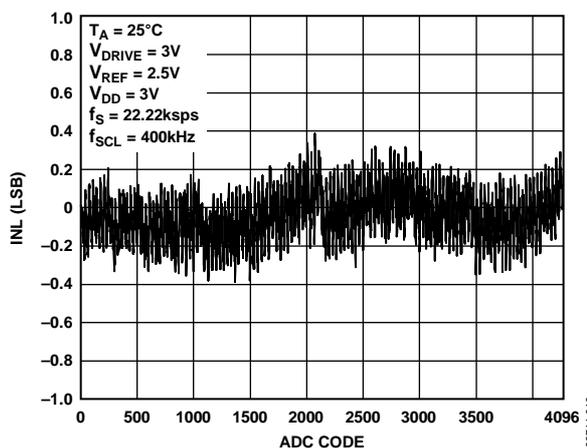
図 7. 外付け V_{REF} 対 INL

図 5. ADC INL

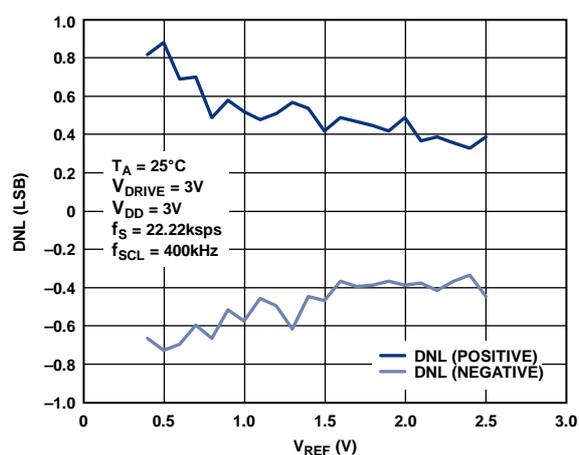
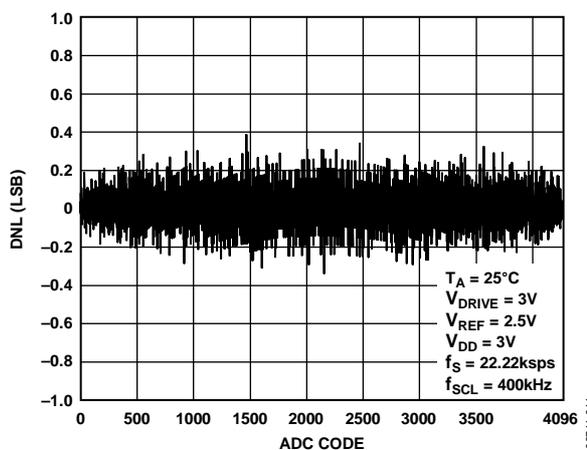
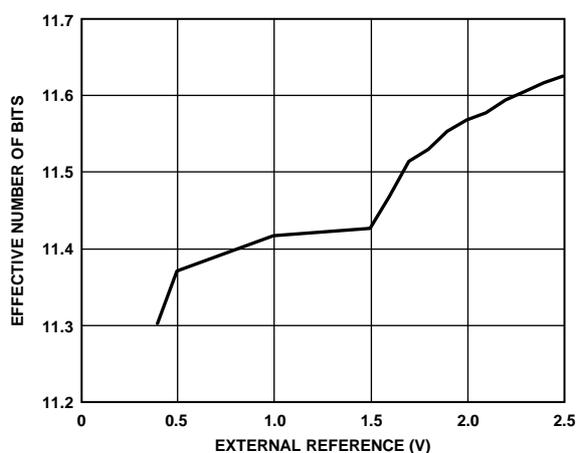
図 8. 外付け V_{REF} 対 DNL

図 6. ADC DNL

図 9. V_{REF} 対実効ビット数、 $f_{SCL} = 400\text{kHz}$

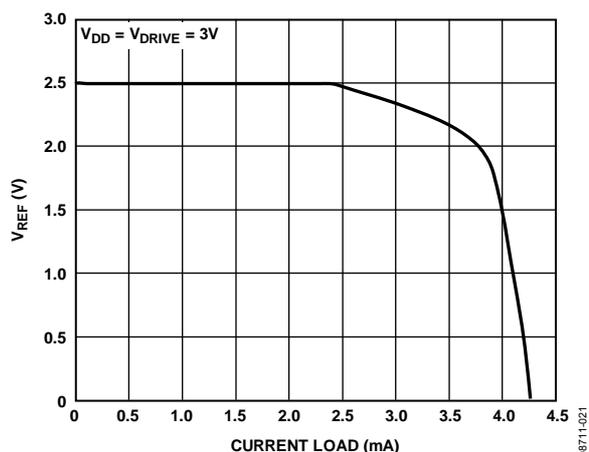


図 10. リファレンス出力駆動対 V_{REF}

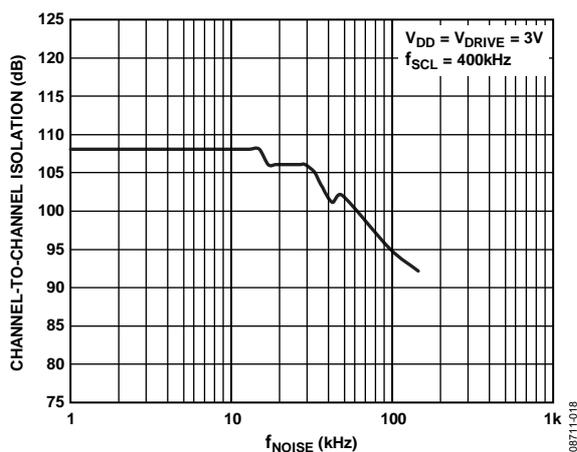


図 13. チャンネル間アイソレーション、 $f_{IN} = 10kHz$

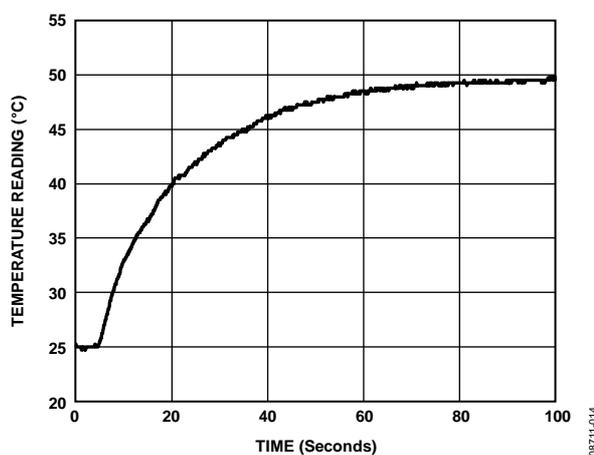


図 11. 室温→50 $^{\circ}C$ の熱衝撃に対する応答
攪拌油槽

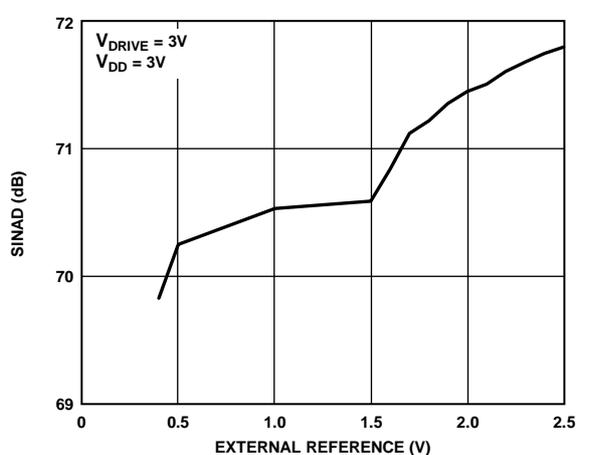


図 14. リファレンス電圧対 SINAD
 $f_{SCL} = 400kHz$ 、クロック・ストレッチなし

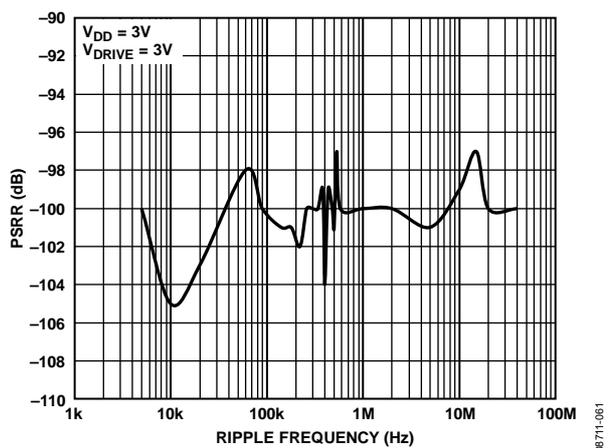


図 12. 電源リップル周波数対 PSRR
電源デカップリングなし

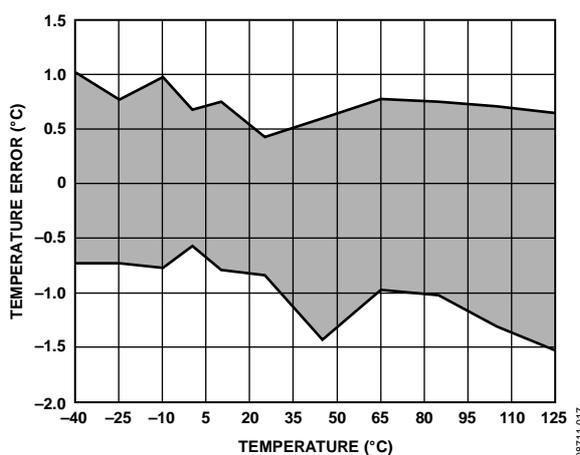


図 15. 温度精度、3V

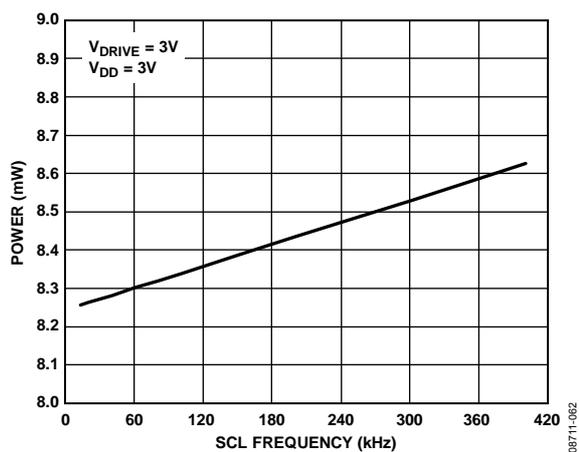


図 16.スループット対消費電力—ノーマル・モード

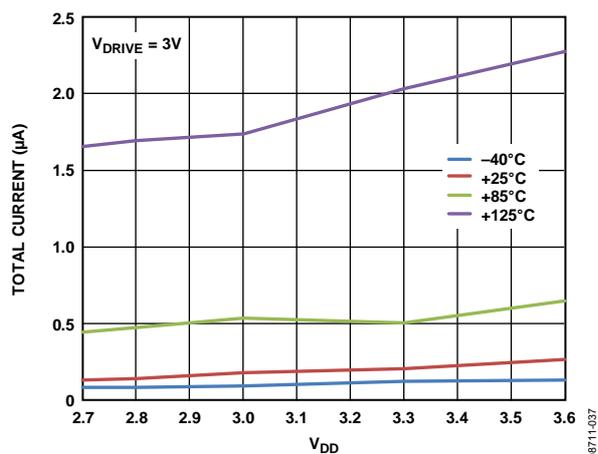


図 17.様々な温度での電源電圧対フル・シャットダウン電流

用語

信号対ノイズおよび歪み比(SINAD)

A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数($f_s/2$)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02 N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、SINAD は 74 dB になります。

総合高調波歪み(THD)

高調波の rms 値総和と基本波の比です。AD7291 の場合、次式で与えられます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅。

V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、2 次～6 次の高調波の rms 振幅。

ピーク高調波またはスプリアス・ノイズ

ADC 出力スペクトル内の(DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

相互変調歪み

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、様々な和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 m 、 $n=0$ 、1、2、3、... です。相互変調歪みの項とは、 m または n がゼロでない項をいいます。たとえば、2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7291 は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。この場合、2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に似ています。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

アパーチャ遅延

サンプリング・クロックの前縁エッジと ADC がサンプルを取得するポイントとの間の時間間隔の測定値。

アパーチャ・ジッタ

実際にサンプルが行われる実効的な時間のサンプル間での変動。

フル・パワー帯域幅

D/A 変換された再生基本波が 0.1 dB 低下する、またはフルスケール入力に対して 3 dB 低下する入力周波数を意味します。

電源除去比(PSRR)

電源除去比は、ADC 出力でのフルスケール周波数 f の電力と、ADC の V_{DD} 電源に加えられた周波数 f_s の 100 mV 正弦波の電力との比として定義されます。入力周波数は 5 kHz～25 MHz の範囲で変化します。

$$\text{PSRR (dB)} = 10 \log (P_f/P_{f_s})$$

ここで、

P_f は ADC 出力での周波数 f の電力。

P_{f_s} は、ADC 出力での周波数 f_s の電力。

積分非直線性

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロスケール(最初のコード変化より 1 LSB 下のポイント)とフルスケール(最後のコード変化より 1 LSB 上のポイント)をいいます。

微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

オフセット誤差

理論値 $GND + 1 \text{ LSB}$ と最初のコード変化(00...000→00...001)との差をいいます。

オフセット誤差マッチ

2 つのチャンネル間のオフセット誤差の差。

ゲイン誤差

オフセット誤差調整後の最後のコード変化(111...110→111...111)と理論値($V_{REF} - 1 \text{ LSB}$)との差をいいます。

ゲイン誤差のマッチング

2 つのチャンネル間のゲイン誤差の差。

トラック・アンド・ホールド・アキュイジション・タイム

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アキュイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の $\pm 1 \text{ LSB}$ 以内に出力が収まるために要する時間です。

回路説明

AD7291 は、8 チャンネル・マルチプレクサ、トラック・アンド・ホールド・アンプ、ADC、発振器、データ・レジスタ、温度センサー、I²C 互換シリアル・インターフェースを 20 ピン LFCSP に内蔵しています。このパッケージは、代替ソリューションに比べて大幅なスペース削減を提供します。このデバイスは、2.8 V~3.6 V の単電源で動作することができ、12 ビット分解能を提供します。AD7291 は、8 個のシングルエンド・アナログ入力と ± 12 ppm のリファレンス電圧を持っています。AD7291 のアナログ入力範囲は 0 V~V_{REF} です。AD7291 は、高精度バンドギャップ温度センサーを内蔵しており、12 ビット ADC により温度を監視しデジタル化して分解能 0.25°C で出力します。

AD7291 は通常、非変換時にはパワーダウン状態にあります。電源を最初に投入したとき、デバイスはパーシャル・パワーダウン状態にあります。変換の前にパワーアップを開始して、変換が完了すると、デバイスはパーシャル・パワーダウン・モードに戻ります。変換は、自動サイクル・モードまたはコマンド・モードを使って起動することができます。コマンド・モードではウェイクアップした後、アドレス書き込み機能中に変換が行われます。変換が完了すると、AD7291 はパーシャル・パワーダウン・モードに戻ります。

読出し開始時のコマンド・モードでは、AD7291 は完全にウェイクアップします。すなわち、全機能が動作して、そのアドレスの読出し中に変換が完了します。自動サイクル・モードでは、50 μ s 間隔で変換が行われます。すなわち、AD7291 はパーシャル・パワーダウン・モードから抜け出して、50 μ s 間隔でフルパワーアップします。この自動パーシャル・パワーダウン機能を使うと、デバイスは変換の間で消費電力を節約することができます。これは、I²C インターフェースを経由したすべての読出し動作または書き込み動作がデバイスのパーシャル・パワーダウン中に発生することを意味します。

コンバータの動作

AD7291 は、容量型 DAC を採用した 12 ビット逐次比較型 ADC です。図 18 と図 19 に、それぞれアキュイジション・フェーズと変換フェーズでの ADC の簡略化した回路図を示します。この ADC は、コントロール・ロジック、SAR、容量 DAC から構成されており、これらを使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。図 18 にアキュイジション・フェーズを示します。SW2 は閉じて、SW1 は位置 A にあり、コンパレータは平衡状態にあり、サンプリング・コンデンサは選択された V_{IN} チャンネル上の信号を取得します。

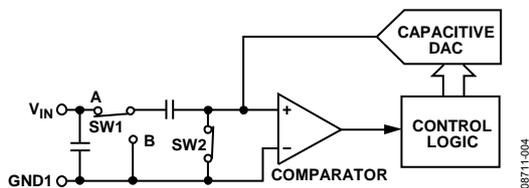


図 18.ADC アキュイジション・フェーズ

ADC が変換を開始すると(図 19)、SW2 が開いて、SW1 が位置 B に移動して、コンパレータが不平衡状態になります。コントロール・ロジックと容量 DAC を使って、一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。図 21 に、ADC の伝達関数を示します。

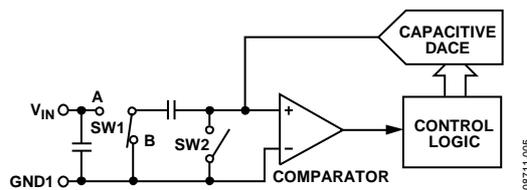


図 19.ADC 変換フェーズ

アナログ入力

図 20 に、AD7291 のアナログ入力構造の等価回路を示します。ダイオード D1 と D2 はアナログ入力に対して ESD 保護機能を提供します。アナログ入力信号が内部で発生した LDO 電圧 2.5 V (D_{CAP})より 300 mV 以上高くないよう注意する必要があります。超えると、ダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は 10 mA です。図 20 に示すコンデンサ C1 は約 8 pF (typ)で、主にピン容量に起因します。抵抗 R1 は集中定数部品であり、トラック・アンド・ホールド・スイッチと入力マルチプレクサのオン抵抗から構成されます。この合計抵抗は約 155 Ω (typ)です。コンデンサ C2 は ADC のサンプリング・コンデンサであり、容量は 34 pF (typ)です。

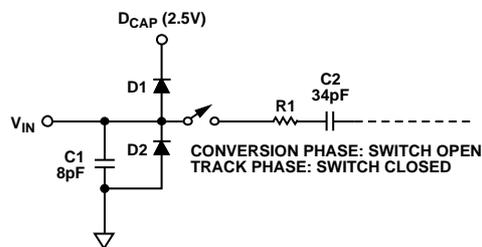
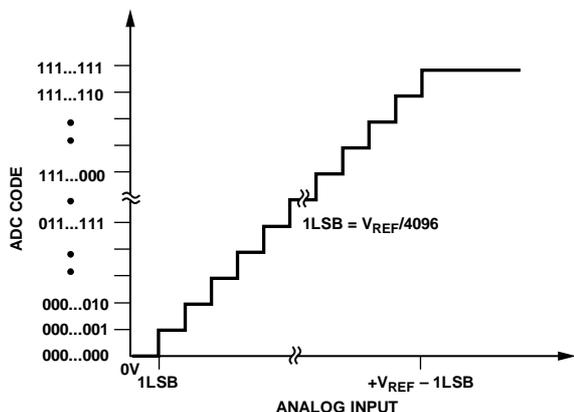


図 20.等価アナログ入力回路

AC アプリケーションの場合は、該当するアナログ入力ピンに RC ローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することが推奨されます。高調波歪みと信号対ノイズ比が重要であるアプリケーションでは、アナログ入力を低インピーダンス・ソースで入力する必要があります。ソース・インピーダンスが大きいと、ADC の AC 性能が大きく影響を受けます。このために、入力バッファ・アンプの使用が必要になります。オペ・アンプの選択は、特定のアプリケーションの性能基準に依存します。

ADC の伝達関数

AD7291 の出力コーディングは、アナログ入力チャンネル変換結果についてはストレート・バイナリ、温度変換結果については 2 の補数です。デザイン上のコード変化は連続する LSB 値(1 LSB、2 LSB など)で発生します。AD7291 の LSB サイズは $V_{REF}/4096$ になります。図 21 に、ストレート・バイナリ・コーディングを出力する AD7291 の理論伝達特性を示します。



NOTES
1. V_{REF} IS 2.5V.

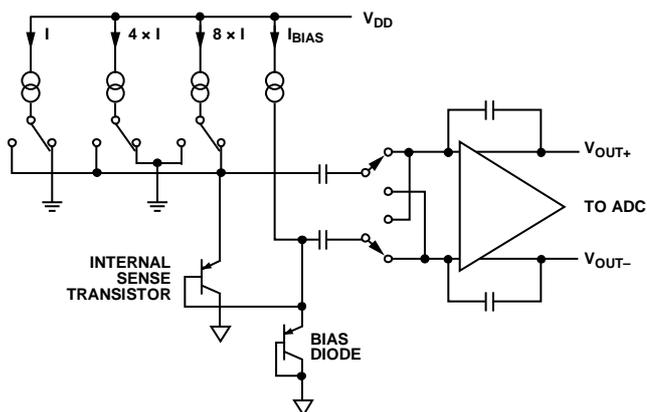
08711-007

図 21.ストレート・バイナリ伝達特性

温度センサーの動作

AD7291 には 1 個のローカル温度センサーが内蔵されています。内蔵のバンド・ギャップ温度センサーは、AD7291 チップの温度を計測します。

AD7291 の温度センサー・モジュールでは 3 電流原理を採用しています (図 22 参照)。この原理では、ダイオードを 3 つの電流が流れ、順方向電圧降下が各ダイオードで測定され、直列抵抗による誤差がない温度の計算が可能になります。



08711-008

図 22.内蔵温度センサーのトップ・レベル構造

次に、各入力が数百マイクロ秒間積分されます。これはバックグラウンドで連続的に実行されるため、他のチャンネルで変換を行う必要はありません。積分が完了すると、信号が制御ロジックに渡されて変換が自動的に開始されます。

ADC がコマンド・モードで電圧変換中の場合は、AD7291 は電圧変換の完了を待った後に温度センサーの変換を開始します。ADC で電圧変換していない場合は、温度変換は 5 ms 間隔で行われます。

自動サイクル・モードでは、変換が現在のシーケンスの適切な位置に挿入されます。ADC がアイドルの場合には、変換は直ちに実行されます。T_{SENSE} 変換リザルト・レジスタは、温度チャンネルの直前の変換結果を格納します。この値は何時でも読出すことができます。

理論的には、温度測定回路は -512°C ~ +511°C の温度を分解能 0.25°C で測定できますが、T_A (AD7291 の規定温度範囲)の外側の温度は、デバイスの保証動作温度範囲外です。温度センサーは、コマンド・レジスタの T_{SENSE} ビットを設定してイネーブルされます。

温度センサーの平均処理

AD7291 は、温度測定精度を向上させる温度センサー平均処理機能を内蔵しています。温度センサーをコマンド・レジスタの T_{SENSE} ビットでイネーブルすると、温度の平均処理機能がバックグラウンドで連続的に実行されます。温度は T_{SENSE} 変換が実行されるごとに測定され、移動平均法を使って T_{SENSE} 平均リザルト・レジスタ内に変換結果を求めます。平均結果は次式で表されます。

$$T_{SENSE\ AVG} = \frac{7}{8} (Previous_Average_Result) + \frac{1}{8} (Current_Result)$$

平均した変換結果は T_{SENSE} 平均リザルト・レジスタに求まり、このレジスタ値は T_{SENSE} 変換ごとに更新されます。

コマンド・レジスタ (ビット D7) で温度センサーを選択した後、AD7291 から得られた最初の T_{SENSE} 変換結果が、実際の最初の T_{SENSE} 変換結果で、この変換結果は次の T_{SENSE} 変換が完了して変換結果が更新されるまで有効です。

温度値フォーマット

ADC の 1 LSB は 0.25°C に対応します。ADC からの温度測定値は、正と負の温度測定値を表すために 12 ビットの 2 の補数フォーマットで格納されます。サンプル温度値を表 7 に示します。温度変換式は次のようになります。

$$\text{正の温度} = \text{ADC コード} / 4$$

$$\text{負の温度} = (4096 - \text{ADC コード}) / 4$$

上式は $V_{\text{REF}} = 2.5 \text{ V}$ の場合です。外付けリファレンス電圧を使用する場合、温度センサーは 2 V~2.5 V の外付けリファレンス電圧を必要とします。温度変換結果(°C)が次式で計算され、この式の $V_{\text{EXT_REF}}$ は外付けリファレンス電圧値です。

$$\text{Temperature} = V_{\text{EXT_REF}} \left(\frac{\text{ADCCode}}{10} + 109.3 \right) - 273.15$$

表 7. 温度データ・フォーマット

Temperature (°C)	Digital Output
-40	1111 0110 0000
-25	1111 1001 1100
-10	1111 1101 1000
-0.25	1111 1111 1111
0	0000 0000 0000
+0.25	0000 0000 0001
+10	0000 0010 1000
+25	0000 0110 0100
+50	0000 1100 1000
+75	0001 0010 1100
+100	0001 1001 0000
+105	0001 1010 0100
+125	0001 1111 0100

V_{DRIVE}

V_{DRIVE} は、シリアル・インターフェースの動作電圧を制御します。 V_{DRIVE} を使うと、ADC は 1.8 V と 3 V のプロセッサに容易にインターフェースすることができます。例えば、AD7291 が $V_{\text{DD}} = 3.3 \text{ V}$ で動作する場合、 V_{DRIVE} ピンは 1.8 V 電源に接続することができます。このため、 $V_{\text{DD}} = 3.3 \text{ V}$ で AD7291 のダイナミックレンジを広げることができ、さらに 1.8 V のデジタル・デバイスとインターフェースさせることができます。 V_{DRIVE} は V_{DD} より 0.3 V 以上高くならないよう注意する必要があります (絶対最大定格のセクション参照)。

内蔵または外付けリファレンス電圧

AD7291 は、2.5 V の内蔵リファレンス電圧または外付けリファレンス電圧で動作することができます。コマンド・レジスタの EXT_REF ビットを使って、内蔵リファレンス電圧の使用/不使用を指定します。コマンド・レジスタで EXT_REF ビットを選択すると、外付けリファレンス電圧を V_{REF} ピンに加えることができます。パワーアップ時、内蔵リファレンス電圧がイネーブルされます。AD7291 の適切なリファレンス・ソースとしては、[AD780](#)、[AD1582](#)、[ADR431](#)、[REF193](#)、[ADR391](#) などがあります。

内蔵リファレンス電圧回路は、2.5 V のバンド・ギャップ・リファレンス電圧とリファレンス電圧・バッファから構成されています。AD7291 を内蔵リファレンス電圧モードで動作させるときは、2.5 V の内蔵リファレンス電圧が V_{REF} ピンから出力されるので、これを 10 μF のコンデンサで GND1 ヘドカップリングする必要があります。内蔵リファレンス電圧をシステム内の他の場所で使う前にバッファすることが推奨されます。

内蔵リファレンス電圧はコンバータがスタティックなとき、最大 2 mA の電流を供給することができます。リファレンス電圧バッファは、パワーアップのために 5.5 ms を要し、パワーアップ時に 10 μF のデカップリング・コンデンサが充電されます。

リセット

AD7291 はリセット機能を内蔵しています。この機能を使って、デバイスをリセットし、コマンド・レジスタなどのすべての内部レジスタの値をデフォルト状態に設定することができます。リセット動作を起動するときは、 $\overline{\text{PD/RST}}$ ピンを 1 ns~100 ns 間ロー・レベルにする必要があります。これはクロックに非同期で行うことができるため、いつでもトリガすることができます。 $\overline{\text{PD/RST}}$ ピンを 100 ns 以上長くロー・レベルに維持すると、デバイスはフル・パワーダウン・モードになります。 $\overline{\text{PD/RST}}$ ピンを常に安定したロジック・レベルに維持しておくことは、通常動作のために不可欠です。

内部レジスタ構造

AD7294 には、変換結果、変換の上下限、デバイスの設定/制御情報を格納する 34 個の内部レジスタがあります (図 23 参照)。これらの内訳は、33 個のデータ・レジスタと 1 個のアドレス・ポインタ・レジスタです。

各データ・レジスタには、発信する際にアドレス・ポインタ・レジスタにより指定されるアドレスがあります。表 9 に、読出し、書込み、リード/ライト可能の区別を示します。

アドレス・ポインタ・レジスタ

アドレス・ポインタ・レジスタは各書込み動作の先頭データバイトが自動的に書込まれるレジスタであるため、このレジスタにはアドレスがなく、さらにその必要もありません。アドレス・ポインタ・レジスタは、8 ビット・レジスタであり、下位 6 ビットはポインタ・ビットとして使われています。このポインタ・ビットは、AD7291 のデータ・レジスタの 1 つを指定するアドレスを格納します。各書込みアドレスに続く最初のバイトはアドレス・ポインタ・レジスタのアドレスであり、内部データ・レジスタの 1 つのアドレスが格納されています。下位 6 ビットにより、後続データバイトの書込み対象となるデータ・レジスタが選択されます。このレジスタの下位 6 ビットだけがデータ・レジスタの選択に使われます。パワーアップ時、アドレス・ポインタ・レジスタ値は全ビット 0 で、コマンド・レジスタを指しています。

表 8. アドレス・ポインタ・レジスタ

D1	D0	P5	P4	P3	P2	P1	P0
0	0	Register select					

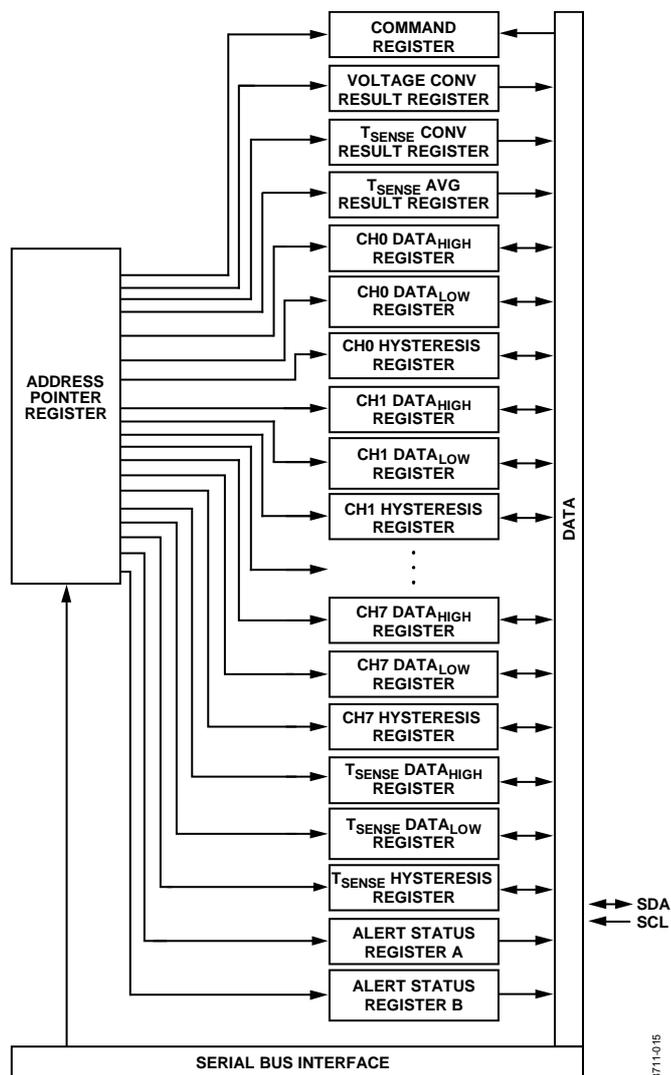


図 23. AD7291 のレジスタ構成

表 9.AD7291 のレジスタ・アドレス

Hex Code	P5	P4	P3	P2	P1	P0	Registers	Read/Write
0x00	0	0	0	0	0	0	Command register	Write.
0x01	0	0	0	0	0	1	Voltage conversion result register	Read.
0x02	0	0	0	0	1	0	T _{SENSE} conversion result register	Read.
0x03	0	0	0	0	1	1	T _{SENSE} average result register	Read.
0x04	0	0	0	1	0	0	CH0 DATA _{HIGH} register	Read/write.
0x05	0	0	0	1	0	1	CH0 DATA _{LOW} register	Read/write.
0x06	0	0	0	1	1	0	CH0 hysteresis register	Read/write.
0x07	0	0	0	1	1	1	CH1 DATA _{HIGH} register	Read/write.
0x08	0	0	1	0	0	0	CH1 DATA _{LOW} register	Read/write.
0x09	0	0	1	0	0	1	CH1 hysteresis register	Read/write.
0x0A	0	0	1	0	1	0	CH2 DATA _{HIGH} register	Read/write.
0x0B	0	0	1	0	1	1	CH2 DATA _{LOW} register	Read/write.
0x0C	0	0	1	1	0	0	CH2 hysteresis register	Read/write.
0x0D	0	0	1	1	0	1	CH3 DATA _{LOW} register	Read/write.
0x0E	0	0	1	1	1	0	CH3 DATA _{HIGH} register	Read/write.
0x0F	0	0	1	1	1	1	CH3 hysteresis register	Read/write.
0x10	0	1	0	0	0	0	CH4 DATA _{HIGH} register	Read/write.
0x11	0	1	0	0	0	1	CH4 DATA _{LOW} register	Read/write.
0x12	0	1	0	0	1	0	CH4 hysteresis register	Read/write.
0x13	0	1	0	0	1	1	CH5 DATA _{HIGH} register	Read/write.
0x14	0	1	0	1	0	0	CH5 DATA _{LOW} register	Read/write.
0x15	0	1	0	1	0	1	CH5 hysteresis register	Read/write.
0x16	0	1	0	1	1	0	CH6 DATA _{HIGH} register	Read/write.
0x17	0	1	0	1	1	1	CH6 DATA _{LOW} register	Read/write.
0x18	0	1	1	0	0	0	CH6 hysteresis register	Read/write.
0x19	0	1	1	0	0	1	CH7 DATA _{HIGH} register	Read/write.
0x1A	0	1	1	0	1	0	CH7 DATA _{LOW} register	Read/write.
0x1B	0	1	1	0	1	1	CH7 hysteresis register	Read/write.
0x1C	0	1	1	1	0	0	T _{SENSE} DATA _{HIGH} register	Read/write.
0x1D	0	1	1	1	0	1	T _{SENSE} DATA _{LOW} register	Read/write.
0x1E	0	1	1	1	1	0	T _{SENSE} hysteresis register	Read/write.
0x1F	0	1	1	1	1	1	Alert Status Register A	Read.
0x20	1	0	0	0	0	0	Alert Status Register B	Read.
0x3F	1	1	1	1	1	1	Factory test mode	The user should not access this register.

コマンド・レジスタ (0x00)

コマンド・レジスタは 16 ビット書込み専用レジスタで、AD7291 の動作モードの設定に使用します。ビットの機能を表 10 に示します。コマンド・レジスタへ書込むときは 2 バイト書込みが必要です。MSB は、データ・ストリームの先頭ビットです。パワーアップ時のコマンド・レジスタのデフォルト値は全ビット 0 です。

表 10. コマンド・レジスタ・ビットとパワーアップ時のデフォルト設定

Channel Bit	MSB								LSB
	D15 to DB8	D7	D6	D5	D4	D3	D2	D1	D0
Function	CH0 to CH7	TSENSE	Don't care	Noise-delayed bit trial and sampling	EXT_REF	Polarity of ALERT pin (active high/active low)	Clear alert	RESET	Autocycle mode
Setting	Enable = 1 Disable = 0	Enable = 1 Disable = 0	0	Enable = 1 Disable = 0	Enable = 1 Disable = 0	Active low = 1 Active high = 0	Enable = 1 Disable = 0	Enable = 1 Disable = 0	Enable = 1 Disable = 0

表 11. コマンド・レジスタ・ビットの機能説明

Bit	Mnemonic	Comment
D15 to D8	CH0 to CH7	These 8-channel address bits select the analog input channel(s) to be converted. A 1 in any of Bit D15 to Bit D8 selects a channel for conversion. If more than one channel bit is set to 1, the AD7291 sequences through the selected channels, starting with the lowest channel. All unused channels should be set to 0. A channel or sequence of channels for conversion must be selected in the command register, prior to initiating a conversion.
D7	TSENSE	This bit enables temperature conversions, which occur in the background at 5 ms intervals. The results can be read from the T _{SENSE} conversion result register (0x02) and the T _{SENSE} average result register (0x03). For details, refer to the Temperature Sensor Operation section.
D6	Don't care	
D5	Noise-delayed bit trial and sampling	When this function is enabled, it delays the critical sampling intervals and bit trials when there is activity on the I ² C bus, thus ensuring improved dc performance of the AD7291. When this feature is enabled, the conversion time may vary. This bit is disabled on power-up, and it is recommended to write a 1 to enable this feature for normal operation.
D4	EXT_REF	Writing a Logic 1 to this bit enables the use of an external reference. The input voltage range for the external reference is 2 V to 2.5 V. The external reference should not exceed 2.5 V or the device performance will be adversely affected. During power-up, the default configuration has the internal reference enabled.
D3	Polarity of ALERT pin	This bit determines the active polarity of the ALERT pin. The ALERT pin is configured for active low operation if this bit is set to 1 and active high if this bit is set to 0. The default configuration on power-up is active high (0).
D2	Clear alert	This bit clears the content of the alert status register. Once the content of both alert status registers is cleared, this bit should be reprogrammed to a Logic 0 to ensure that future alerts are detected.
D1	RESET	Setting this bit resets the contents of all internal registers in the AD7291 to their default states including the command register itself. This bit is automatically returned to 0 once the reset is completed to enable the internal registers to be reprogrammed.
D0	Autocycle mode	Writing a 1 to this bit enables the autocycle mode of operation. In this mode, the channels selected in Bit D15 to Bit D8 are continuously converted by the AD7291. This function is used in conjunction with the limit registers, which can be programmed to issue an alert if the conversion result exceeds the preset limit for any channel selected for conversion.

表 12. コマンド・レジスタのチャンネル選択ビット

D15	D14	D13	D12	D11	D10	D9	D8	Selected Analog Input Channel	Comments
0	0	0	0	0	0	0	0	No channel selected	If more than one channel is selected, the AD7291 converts the selected channels starting with the lowest channel in the sequence.
0	0	0	0	0	0	0	1	Convert on Channel 7 (V_{IN7})	
0	0	0	0	0	0	1	0	Convert on Channel 6 (V_{IN6})	
0	0	0	0	0	1	0	0	Convert on Channel 5 (V_{IN5})	
0	0	0	0	1	0	0	0	Convert on Channel 4 (V_{IN4})	
0	0	0	1	0	0	0	0	Convert on Channel 3 (V_{IN3})	
0	0	1	0	0	0	0	0	Convert on Channel 2 (V_{IN2})	
0	1	0	0	0	0	0	0	Convert on Channel 1 (V_{IN1})	
1	0	0	0	0	0	0	0	Convert on Channel 0 (V_{IN0})	

表 13. T_{SENSE} データ・フォーマット

Input	D11 (MSB)	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0 (LSB)
Value (°C)	-512	+256	+128	+64	+32	+16	+8	+4	+2	+1	+0.5	+0.25

サンプル遅延とビット判定遅延

理想的には、ADC の変換中に I^2C バス動作は発生しませんが、例えば自動サイクル・モード動作ではこれは不可能です。このため、コマンド・レジスタのビット D5 に 1 を書込んで、ノイズを遅延させたビット判定およびサンプリング機能をイネーブルすることが推奨されます。このメカニズムは、 I^2C バスが動作している間、クリティカルなサンプル区間とビット判定を遅延させます。これにより、各ビット判定区間のノイズが小さくなり、変換結果は外部ノイズの干渉を受けにくくなります。

パワーアップ時、ビット判定およびサンプル区間遅延メカニズムはイネーブルされていません。通常動作ではこの機能をイネーブルすることが推奨されます。この機能をイネーブルすると、AD7291 はビット判定を遅延させて、 I^2C バス上の動作の影響を軽減させます。インターフェース・ライン上で過度の動作がある場合、これらのビットをイネーブルすると、変換時間全体が長くなります。

また、AD7291 は 50 ns より狭いグリッチを除去する機能も採用しています。この機能により、デバイスのノイズ耐性が向上します。

電圧変換リザルト・レジスタ (0x01)

電圧変換リザルト・レジスタは 16 ビット読み出し専用レジスタで、ADC 変換結果をストレート・バイナリ・フォーマットで格納します。このレジスタの読み出しには、2 バイト読み出しが必要です。表 14 と表 15 に、AD7291 から読み出されるデータの最初と 2 番目のバイトの値を示します。AD7291 の各変換結果は、4 ビットのチャンネル・アドレス・ビット (表 14 と表 15 参照) と 12 ビットの変換結果から構成されます。ビット D15~ビット D12 は、後続の変換結果に対応する ADC チャンネルを識別するチャンネル・アドレス・ビットです。ビット D11~ビット D0 には、最新の ADC 変換結果が格納されます。

表 14. 変換リザルト・レジスタ (最初の読み出し)

MSB							
D15	D14	D13	D12	D11	D10	D9	D8
ADD3	ADD2	ADD1	ADD0	B11	B10	B9	B8

表 15. 変換リザルト・レジスタ (2 番目の読み出し)

LSB							
D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

表 16. チャンネル・アドレス・ビット for the リザルト・レジスタ

ADD2	ADD1	ADD0	Analog Input Channel
0	0	0	V_{IN0}
0	0	1	V_{IN1}
0	0	1	V_{IN2}
0	0	1	V_{IN3}
0	1	0	V_{IN4}
0	1	0	V_{IN5}
0	1	1	V_{IN6}
0	1	1	V_{IN7}
1	0	0	T_{SENSE}
1	0	0	T_{SENSE} average result

温度値フォーマット

ADC からの温度測定値は、正と負の温度測定値を表すために 11 ビットの 2 の補数フォーマット D11~D0 で格納されます。温度データ・フォーマットを表 13 に示します。

T_{SENSE} 変換リザルト・レジスタ (0x02)

T_{SENSE} リザルト・レジスタは 16 ビットの読み出し専用レジスタで、内蔵温度センサーからの ADC データを格納します。このレジスタは、ADC からの温度測定値を 12 ビットの 2 の補数フォーマットで D10~D0 に格納し、ビット D15~ビット D12 はチャンネル・アドレス・ビットの格納に使われます。変換は、約 5 ms ごとに実行されます。表 13 に示す温度データ・フォーマットは、内蔵温度センサーにも使用されます。

表 17. T_{SENSE} 変換リザルト・レジスタ (最初の読出し)

MSB

D15	D14	D13	D12	D11	D10	D9	D8
ADD3	ADD2	ADD1	ADD0	B11	B10	B9	B8

表 18. T_{SENSE} リザルト・レジスタ (2回目の読出し)

LSB

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

 T_{SENSE} 平均リザルト・レジスタ (0x03)

T_{SENSE} 平均リザルト・レジスタは 16 ビットの読出し専用レジスタで、内蔵温度センサーからの平均変換結果を格納します。このレジスタは、ADC からの平均温度測定値を 11 ビットの 2 の補数フォーマットで D10~D0 に格納し、ビット D15~ビット D12 はチャンネル・アドレス・ビットの格納に使われます。 T_{SENSE} 平均リザルト・レジスタは、 T_{SENSE} 変換が完了するごとに更新されます。平均処理をイネーブした後の最初の AD7291 からの平均変換結果は、最初の実際の T_{SENSE} 平均変換結果です。表 13 に示す温度データ・フォーマットは、内蔵温度センサーにも使用されます。詳細については、温度センサー平均処理のセクションを参照してください。

表 19. T_{SENSE} 平均リザルト・レジスタ (最初の読出し)

MSB

D15	D14	D13	D12	D11	D10	D9	D8
ADD3	ADD2	ADD1	ADD0	B11	B10	B9	B8

表 20. T_{SENSE} 平均リザルト・レジスタ (2回目の読出し)

LSB

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

リミット・レジスタ (0x04~0x1E)

AD7291 には 9 対のリミット・レジスタがあります。各対は、各アナログ入力チャンネルと内蔵温度センサーに対する変換の上限と下限を格納します。リミット・レジスタの各対には、対応するヒステリシス・レジスタがあります。27 個のレジスタはすべて 16 ビット幅で、レジスタの下位 12 ビットだけが AD7291 により使われます。これらのレジスタの上位 4 ビット D15~D12 の値は全ビット 0 である必要があります。パワーアップ時に、デフォルトでは各アナログ電圧チャンネルの $DATA_{HIGH}$ レジスタ値はフルスケール(0x0FFF)に、 $DATA_{LOW}$ レジスタ値はゼロスケール(0x0000)に、それぞれ設定されます。AD7291 の出力コーディングは、温度センサー変換結果については 2 の補数です。パワーアップ時の $DATA_{HIGH}$ レジスタと $DATA_{LOW}$ レジスタのデフォルト値は、それぞれ 0x07FF と 0x0800 です。変換結果がリミット・レジスタにより設定された上位または下限の外側になったとき、AD7291 はハードウェアから警報を発生します。

 $DATA_{HIGH}$ レジスタ

CH0~CH7 と内蔵温度センサーの $DATA_{HIGH}$ レジスタは、16 ビットのリード/ライト・レジスタで、各レジスタの下位 12 ビットのみが使用されています。ビット D15~ビット D12 は未使用で 0 に設定されています。このレジスタは、ALERT 出力を発生する上限を格納しています。変換リザルト・レジスタ値が $DATA_{HIGH}$ レジスタ値を超えると、そのチャンネルに対して ALERT が発生します。変換結果値が $DATA_{HIGH}$ レジスタ値より少なくとも N LSB 下回ると、ALERT 出力ピンがリセットされます。この N の値は、そのチャンネルに対応するヒステリシス・レジスタから取得されます。ALERT ピンは、コマンド・レジスタのビット D2 への書込みによってリセットすることもできます。

表 21. $DATA_{HIGH}$ レジスタ (最初の読出し/書込み)

MSB

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	B11	B10	B9	B8

表 22. $DATA_{HIGH}$ レジスタ (2回目の読出し/書込み)

LSB

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

 $DATA_{LOW}$ レジスタ

各チャンネルの $DATA_{LOW}$ レジスタは、16 ビットのリード/ライト・レジスタで、各レジスタの下位 12 ビットのみが使用されています。ビット D15~ビット D12 は未使用で 0 に設定されています。このレジスタは、ALERT 出力を発生する下限を格納しています。変換リザルト・レジスタ値が $DATA_{LOW}$ レジスタ値を下回ると、そのチャンネルに対して ALERT が発生します。変換結果値が $DATA_{LOW}$ レジスタ値より少なくとも N LSB 上回ると、ALERT 出力ピンがリセットされます。この N の値は、そのチャンネルに対応するヒステリシス・レジスタから取得されます。ALERT 出力ピンは、コマンド・レジスタのビット D2 への書込みによってリセットすることもできます。

表 23. $DATA_{LOW}$ レジスタ (最初の読出し/書込み)

MSB

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	B11	B10	B9	B8

表 24. $DATA_{LOW}$ レジスタ (2回目の読出し/書込み)

LSB

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

ヒステリシス・レジスタ

各アナログ入力チャンネルと内蔵温度センサーには、リード/ライト可能な専用の 16 ビット・ヒステリシス・レジスタがあります。下位 12 ビットだけが使用されています。ビット D15～ビット D12 は未使用で 0 に設定されています。リミット・レジスタを使用する場合、ヒステリシス・レジスタがヒステリシス値 N を格納しています。リミット・レジスタの各対には、専用のヒステリシス・レジスタがあります。ヒステリシス値は、限界値を超えた場合の ALERT ピンのリセット・ポイントを決定します。たとえば、チャンネル 0 の上限と下限で 8 LSB のヒステリシス値が必要な場合、16 ビット・ワード 0000 0000 0000 1000 を CH0 ヒステリシス・レジスタ(アドレス 0x06)に書込む必要があります(表 25 と表 26 参照)。パワーアップ時の、ヒステリシス・レジスタのデフォルト値は全ビット 0 (0x0000)です。ヒステリシス値が必要な場合は、値を該当するチャンネルのヒステリシス・レジスタに書込む必要があります。

表 25.ヒステリシス・レジスタ (最初の読出し/書込みバイト)

MSB

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	B11	B10	B9	B8

表 26.ヒステリシス・レジスタ (2 回目の読出し/書込みバイト)

LSB

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

表 27.警報ステータス・レジスタ A (最初の読出しバイト)

D15	D14	D13	D12	D11	D10	D9	D8
CH7 _{HIGH}	CH7 _{LOW}	CH6 _{HIGH}	CH6 _{LOW}	CH5 _{HIGH}	CH5 _{LOW}	CH4 _{HIGH}	CH4 _{LOW}

表 28.警報ステータス・レジスタ A (2 回目の読出しバイト)

D7	D6	D5	D4	D3	D2	D1	D0
CH3 _{HIGH}	CH3 _{LOW}	CH2 _{HIGH}	CH2 _{LOW}	CH1 _{HIGH}	CH1 _{LOW}	CH0 _{HIGH}	CH0 _{LOW}

表 29.警報ステータス・レジスタ B (最初の読出しバイト)

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0

表 30.警報ステータス・レジスタ B (2 回目の読出しバイト)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	TSENSE_AVG _{HIGH}	TSENSE_AVG _{LOW}	TSENSE _{HIGH}	TSENSE _{LOW}

警報ステータス・レジスタ A と警報ステータス・レジスタ B (0x1F と 0x20)

警報ステータス・レジスタは、16 ビットの読出し専用レジスタで、警報情報を提供します。リミット・レジスタ (0x04～0x1E) のセクションで説明したように、変換結果により ALERT ピンがアクティブになると、警報ステータス・レジスタを讀出して詳しい情報を得ることができます。AD7291 には 2 つの警報ステータス・レジスタがあり、警報ステータス・レジスタ A はアナログ電圧変換チャンネル (表 27 と表 28 参照)の警報を、警報ステータス・レジスタ B は内蔵温度センサーの警報を (表 29 と表 30 参照)、それぞれ格納しています。

両警報ステータス・レジスタは、各チャンネルあたり 2 ビットの状態・ビットで構成されており、各ビットは DATA_{HIGH} 上限値と DATA_{LOW} 下限値に対応しています。ステータス・ビット = 1 で、違反が生じた場所(すなわちチャンネル)と上限/下限のいずれを超えたかを表示します。最初の警報の受信と警報ステータス・レジスタの読出しの間に、2 回目の警報イベントが他のチャンネルで発生した場合、その警報イベントに対応するビットもセットされます。コマンド・レジスタのビット D2 ～ 1 を書込むと、全警報ステータス・レジスタ値がクリアされます。

例えば、警報ステータス・レジスタ A のビット D14 が 1 に設定された場合チャンネル 7 (レジスタ 0x1A)の下限で、ビット D11 が 1 に設定された場合チャンネル 5 (レジスタ 0x13)の上限で、それぞれ違反が生じたことを表します。

TSENSE_{HIGH} と TSENSE_AVG_{HIGH} の警報は、T_{SENSE} DATA_{HIGH} レジスタ (レジスタ 0x1C)との比較で決定されます。同様に、TSENSE_{LOW} と TSENSE_AVG_{LOW} の警報は、T_{SENSE} DATA_{LOW} レジスタ (レジスタ 0x1D)との比較で決定されます。

I²Cインターフェース

AD7291 の制御は、I²C 互換シリアル・バスを経由して行います。AD7291 はプロセッサのようなマスター・デバイスの制御の下で、このバスにスレーブ・デバイスとして接続されます。

シリアル・バスのアドレス・バイト

デバイスに書込む先頭バイトは、スレーブ・アドレス・バイトです。すべての I²C 互換デバイスと同様に、AD7291 は 7 ビットのシリアル・アドレスを使っています。このアドレスの上位 3 ビットは 010 に設定されます。下位 5 ビットは 3 スリー・スタート入力ピンを使って、ユーザが設定することができます(表 31 参照)。

表 31 で、H はピンを V_{DRIVE} に、L はピンを DGND に、それぞれ接続すること、NC はピンを解放のままにすることを意味します。解放の場合、ピンの漂遊容量は 30 pF 以下にしてフローティング状態を正しく検出できるようにする必要があります。このため PCB パターンはできるだけ短くする必要があります。

表 31.スリースタート入力ピンによるスレーブ・アドレスの設定

AS1	AS0	Slave Address (A6 to A0)	
		Binary	Hex
H	H	010 0000	0x20
H	NC	010 0010	0x22
H	L	010 0011	0x23
NC	H	010 1000	0x28
NC	NC	010 1010	0x2A
NC	L	010 1011	0x2B
L	H	010 1100	0x2C
L	NC	010 1110	0x2E
L	L	010 1111	0x2F

I²C の一般的なタイミング

図 24 に、I²C 準拠のインターフェースを使った一般的な読出し動作と書込み動作のタイミング図を示します。

バスを駆動するデバイスがないとき、SCL と SDA はハイ・レベルです。これはアイドル状態と呼ばれます。バスがアイドル状態のとき、スタート条件は、シリアル・クロック・ライン(SCL)がハイ・レベルの間にシリアル・データライン(SDA)上に発生するハイ・レベルからロー・レベルへの変化として定義されま

すが、マスターはこのスタート条件を設定して、データ転送を起動します。このスタート条件は、アドレス/データ・ストリームが後ろに続くことを表示しています。マスター・デバイスは、クロックを発生します。

データは 9 個のクロック・パルスでシリアル・バスに出力され、トランスマッタからの 8 ビットのデータとその後にスレーブ・デバイスからのアクノリッジ・ビットが続きます。SDA ラインのデータは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。レシーバは、アクノリッジ・ビット中に SDA ラインをロー・レベルにして、先行バイトが正常に受信されたことを通知する必要があります。そうでない場合は、このトランザクションをキャンセルします。

マスターが送信する先頭バイトは、7 ビットのスレーブ・アドレスとそれに続くデータ方向ビットから構成されている必要があります。バス上の各デバイスは固有のスレーブ・アドレスを持っているため、先頭バイトによりトランザクション時に 1 つのスレーブ・デバイスとの通信がセットアップされます。

トランザクションは、スレーブ・デバイスへの書込み(データ方向ビット = 0)またはスレーブ・デバイスからのデータの読出し(データ方向ビット = 1)に使うことができます。読出しトランザクションの場合、スレーブ・デバイスに最初に書込みを行って(別の書込みトランザクションで)、その後でどのレジスタから読出すかを通知する必要がある場合があります。読出しと書込みを 1 つのトランザクション内で行うことはできません。

トランザクションが完了すると、マスターはバスの制御を維持して、次のスタート・ビット (SCL のハイ・レベル中に SDA をハイ・レベルからロー・レベルへ変化させます)を発生することにより、新しいトランザクションを開始することができます。これは、繰り返しスタート (SR) と呼ばれます。あるいは、SCL ラインを解放し続いて SDA ラインを解放することにより、バスを放棄することもできます。SCL のハイ・レベル中の、SDA のこのロー・レベルからハイ・レベルへの変化は、ストップ・ビット (P) と呼ばれ、I²C バスをアイドル状態にします (バスには電流が流れません)。

スレーブ・デバイスである AD7291 とのシンプルな書込みトランザクションの例を図 24 に示します。この例では、AD7291 のレジスタ・ポインタが次の読出しトランザクションのために、セットアップされています。

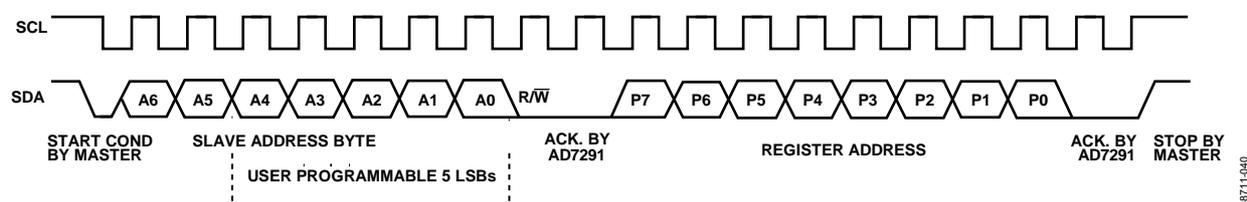


図 24. I²C の一般的なタイミング

動作モード

電源を最初に AD7291 に加えると、ADC はパーシャル・パワーダウン・モードでパワーアップし、変換がないときは通常このパーシャル・パワーダウン・モードを維持します。マスターが AD7291 をアドレス指定すると、AD7291 はパーシャル・パワーダウンから抜け出します。AD7291 には、コマンド・モードと自動サイクル・モードの、変換を開始する 2 つの動作モードがあります。

コマンド・モード

コマンド・モードでは、AD7291 はオンデマンドで 1 チャンネルまたはチャンネルのシーケンスを変換します。コマンド・レジスタに書き込みを行うと、デバイスはコマンド・モードになります。これはデフォルト動作モードで、コマンド・レジスタへの書き込み動作が発生したとき変換を自動的に選択させることができます。このモードを開始するときは、チャンネルの組み合わせをコマンド・レジスタ (レジスタ 0x00) へ書き込みます。この書き込み動作の後に再度 AD7291 をアドレス指定して、読出し動作が必要であることを知らせる必要があります。そうすると、電圧変換リザルト・レジスタまたは温度変換リザルト・レジスタからの読出しが行われます。最初の変換を行うためには、AD7291 に書込むアドレス・ポインタが電圧変換リザルト・レジスタまたは T_{SENSE} 変換リザルト・レジスタを指定する必要があります。最初の 4 ビットのチャンネル・アドレス・ビットを

読出す間に、変換が完了します。シーケンス内の次の変換は、リザルト・レジスタからの次の読出しが開始された後に実行されます。デバイスがファースト・モードで動作するとき、アクイジション時間と変換時間の合計は約 4.45 μs になります (アクイジション時間は 1.25 μs 、変換時間は 3.2 μs)。コマンド・モードでは、デバイスは後続の各読出しで、シーケンス内の選択されたチャンネルを最小選択チャンネルから最大選択チャンネルへ向かってサイクルします。

コマンド・モードを終了するときは、マスターは最終データバイトに対するアクノリッジを行いません。これにより AD7291 の送信が停止し、マスターはバスへストップ条件を出力できるようになります。AD7291 はストップ条件を受信すると、変換を停止してパーシャル・パワーダウン・モードになりますが、コマンド・レジスタ値は保持されます。デバイスが再度アドレス指定されて電圧変換レジスタからの読出しが開始されると、AD7291 は前に選択されたチャンネル・シーケンスで変換を開始します。変換シーケンスでは、シーケンス内の最初の選択されたチャンネルの変換が開始されます。すなわち、チャンネル 1、チャンネル 2、チャンネル 3 が選択されていて、チャンネル 1 の変換結果が読出されたときに、ストップ条件が発生したとすると、変換の再開で、チャンネル 1 が再変換されて、変換シーケンスが続きます。

自動サイクル・モード

チャンネルのプログラマブルなシーケンスに対して連続的に変換を行うように AD7291 を設定することができるため、システム監視に最適な動作モードになっています。このモードは、バッテリー電圧や温度のような信号をモニタリングして、限界値を超えたときにのみ警報を発生する用途に役立ちます。

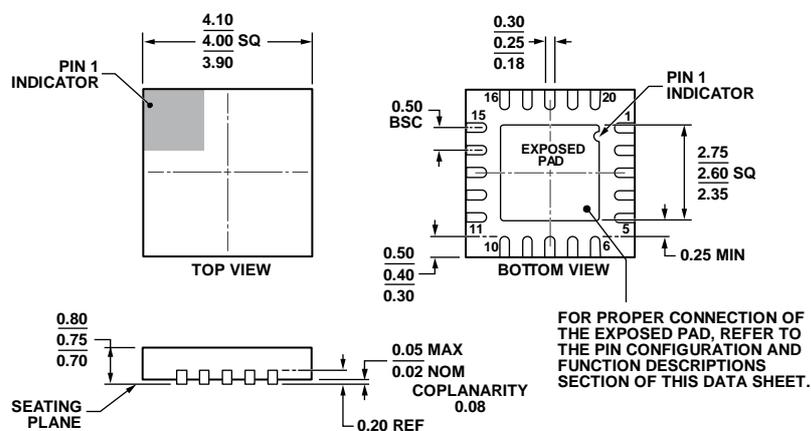
変換は約 50 μ s ごとにバックグラウンドで行われるため、マスターからは見えません。アキュイジション時間と変換時間の合計は、すべてのチャンネルで約 3.6 μ s です。一般に、このモードは、範囲外状態を警報機能を使って検出するように設定したリミット・レジスタまたは特定のチャンネルの時間変動を記録する最小/最大レコーダ機能と組み合わせて、選択した複数のチャンネルを自動的に監視するときに使います。読出しと書込みは何時でも行うことができます (ADC 電圧変換リザルト・レジスタ 0x01 には直前の変換結果が格納されています)。

パワーアップ時に、このモードはディスエーブルされます。このモードをイネーブルするときは、コマンド・レジスタ (0x00) のビット D0 に書込みを行い、対応するチャンネル・ビット (ビット D15～ビット D8) に書込みを行って変換するチャンネルを選択します。複数のチャンネル・ビットをコマンド・レジスタ

で設定すると、ADC は自動的にチャンネル・シーケンスを最小チャンネルから開始し、シーケンス内を上に向かってサイクルします。シーケンスが完了すると、ADC は最小チャンネルから再度変換を開始し、このモードが終了するまでシーケンスを繰り返します。1 つの変換が完了すると、変換結果がリミット・レジスタ値と比較され、警報ステータス・レジスタが自動的に更新されます。リミット・レジスタでの違反が検出されると、コマンド・レジスタのビット D3 で指定された極性で ALERT ピンがアサートされます。

自動サイクル・モードで動作中にコマンド・モード変換が必要となる場合は、自動サイクル・モードをディスエーブルした後に、コマンド・モードへ進む必要があります。これは、コマンド・レジスタのビット D0 に 1 を設定することにより行われます。コマンド・モードが完了したとき、コマンド・レジスタのビット D0 に 1 を設定することにより、自動サイクル・モードを再イネーブルすることができます。自動サイクル・モードでは、ストップ条件を受信しても AD7291 はパーシャル・パワーダウンにならないため、変換と警報モニタリングは機能し続けます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

029509-B

図 29.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-20-8)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7291BCPZ	-40°C to +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-8
AD7291BCPZ-RL7	-40°C to +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-8
EVAL-AD7291SDZ		Evaluation Board	

¹ Z = RoHS 準拠製品。