

この製品の英語データシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2011年10月12日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

英語データシートのリビジョンが改定された場合、これらの誤りが訂正される場合があります。あらかじめご承知おきください。

正誤表作成年月日： 2011年10月12日

製品名：AD7280A

対象となる英語データシートのリビジョン(Rev)：Rev.0

訂正箇所：

P.21

Figure 34 内

誤) SERIAL READ OPERATION PART2

正) INTERNAL ADC CONVERSIONS PART2

誤) SERIAL READ OPERATION PART3

正) INTERNAL ADC CONVERSIONS PART3

Figure 34 タイトル

誤) 図 34. 3つ使用した AD7280A チェーンについての ADC 変換と読み出し

正) 図 34. 3つ使用した AD7280A チェーンについての ADC 変換

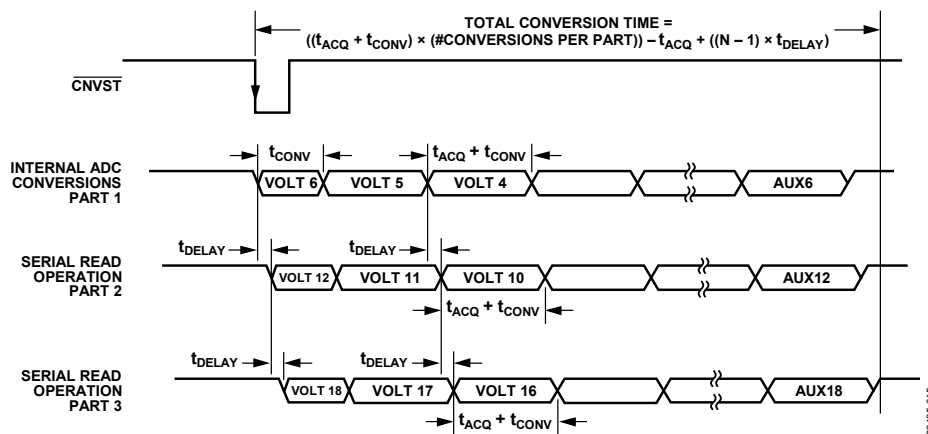


図 34. 3つ使用した AD7280A チェーンについての ADC 変換と読み出し

特長

- 12 ビット ADC、変換時間；1CH 当たり 1 μ s
- 6 アナログ入力チャンネル、同相電圧範囲；0.5 V ~ 27.5 V
- 6ADC 補助入力
- ± 1.6 mV セル電圧精度
- 電圧レギュレータ内蔵
- セル・バランスング・インターフェース
- デイジーチェーン・インターフェース
- 内蔵リファレンス； ± 3 ppm/ $^{\circ}$ C
- パワーダウン電流；1.8 μ A
- 高入力インピーダンス
- 警告機能付きシリアル・インターフェース
- 最大 48CH までを 1 SPI インターフェースで通信
- 読み出し/書き込みコマンドの CRC 保護
- チャンネル・シーケンスに必要なレジスタを内蔵
- V_{DD} 動作範囲:8 V~30 V
- 温度範囲：-40 $^{\circ}$ C~+105 $^{\circ}$ C
- 48 ピン LQFP
- 車載アプリケーション用に認定

アプリケーション

- リチウム・イオン・バッテリー・モニター
- 電気自動車やハイブリッド電気自動車
- 電源のバックアップ
- 電動工具

概要

AD7280A¹ はハイブリッド電気自動車、バッテリー・バックアップ、電動工具で使われる直列接続されたリチウム・イオン・バッテリーの汎用モニターに必要なすべての機能を内蔵しています。この製品はバッテリー管理用に 6セルまでのマルチプレクスされたセル電圧測定用チャンネルと補助 ADC 測定用チャンネルを備えています。 ± 3 ppm/ $^{\circ}$ C のリファレンスが内蔵されているので、セル電圧精度 ± 1.6 mV が得られます。ADC の分解能は 12 ビットで、7 μ s 以内に 48セルまでの変換を行う事が出来ます。

AD7280A は 1つの V_{DD} 電源で動作し、その電源電圧範囲は 8 V ~ 30 V (絶対最大定格は 33 V) です。この製品は V_{DD} 全体に渡る大きな同相信号に対応できる、6つの差動アナログ入力チャンネルを備えています。各チャンネルの入力信号範囲 (VIN(+)-VIN(-)) は 1 V ~ 5 V です。入力ピンは直列接続の 6セルを想定しています。さらにデバイスは温度測定あるいはシステム診断に使用可能な 6つの補助用 ADC 入力チャンネルを備えています。

¹特許申請中

機能ブロック図

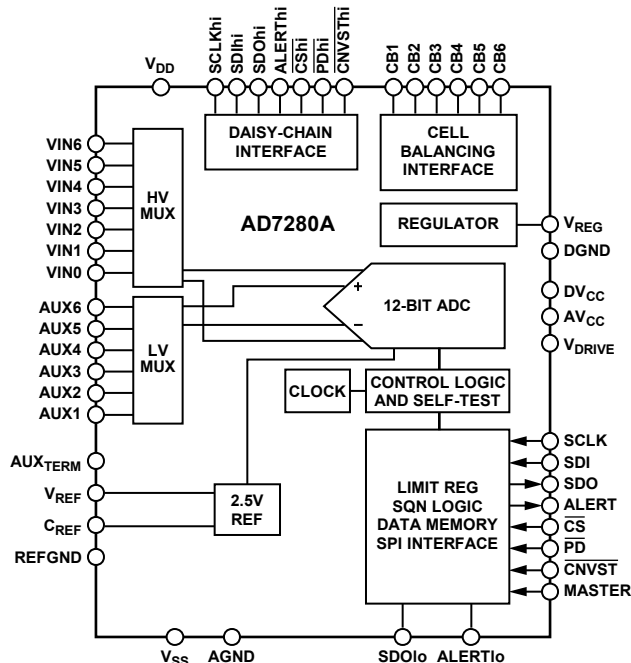


図 1.

AD7280A は内蔵レジスタを備えているので、アプリケーションの必要に応じてチャンネル測定シーケンスをプログラムする事ができます。

AD7280A はダイナミック警告機能も内蔵しており、セル電圧又は補助の ADC 入力ユーザ設定の上限と下限を超えているかどうかを検出する事ができます。AD7280A は各セルの放電用外部 FET をコントロールする目的で設計されたセル・バランスング・インターフェース出力を備えています。

AD7280A は内部で既知の電圧を ADC 入力に供給する自己テスト機能を内蔵しています。

デイジーチェーン・インターフェースにより各々のデバイス絶縁の必要なしに最大 8 個までのデバイスを直列接続できます。

AD7280A は 1 MSPS で変換中に通常動作で 6.9 mA を許容するわずか一本の電源ピンのみを必要とします。

これらすべての機能を 40 $^{\circ}$ C~+105 $^{\circ}$ C の温度範囲で動作する 48ピン LQFP パッケージひとつで提供します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	レジスタ・マップ	28
アプリケーション	1	セル電圧レジスタ	28
機能ブロック図	1	補助 ADC レジスタ	28
概要	1	自己テストレジスタ	28
改訂履歴	2	コントロール・レジスタ	28
仕様	3	セル過大電圧レジスタ	29
電源仕様	5	セル不足電圧レジスタ	30
タイミング仕様	6	AUXADC 過大電圧レジスタ	30
絶対最大定格	7	AUXADC 不足電圧レジスタ	30
熱抵抗	7	警告レジスタ	30
ESD の注意	7	セル・バランス・レジスタ	30
ピン配置と機能の説明	8	セル・バランス・タイマー・レジスタ	30
代表的な性能特性	11	PD タイマー・レジスタ	31
用語	14	リード・レジスタ	31
動作原理	15	$\overline{\text{CNVST}}$ コントロール・レジスタ	31
回路説明	15	シリアル・インターフェース	32
コンバータの動作	15	AD7280A への書き込み	32
アナログ入力構造	16	AD7280A からの読み出し	33
伝達関数	16	デジチェン・インターフェース	34
代表的な接続図	17	変換データ又はレジスタ・データを読み出す時の AD7280A をアドレッシング	34
リファレンス電圧	19	AD7280A を初期化する	34
セル電圧入力と補助 ADC 入力の変換	19	ライト・アクノレッジ	35
デジチェンで接続された複数の AD7280A のセル電 圧入力と補助 ADC 入力の変換	21	巡回冗長検査	35
変換ウインド	22	AD7280A とのインターフェースの例	38
自己テスト変換	22	変換と読み出しのルーチン	38
セル数が 6 電圧セル以下の時の接続	22	例	38
補助 ADC 入力	23	EMC ガイドライン	44
電源条件	23	回路とレイアウトのガイドライン	44
パワーダウン	24	ノイズの多い環境での動作	44
パワーアップ時間	25	ソフトウェア・フローチャート	45
セル・バランス出力	25	外形寸法	47
警告出力	27	オーダー・ガイド	47
		車載用製品	47

改訂履歴

4/11—Revision 0:初版

AD7280A

仕様

特に指定のない限り、 $V_{DD} = 8\text{ V} \sim 30\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $DV_{CC} = AV_{CC} = V_{REG}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DC 精度(VIN0 ~ VIN6) ¹					
分解能	12			ビット	ノーマス・コード
積分非直線性		±1		LSB	
微分非直線性		±0.8		LSB	
オフセット誤差		±1		LSB	
オフセット誤差のマッチング		1		LSB	
ゲイン誤差		±1		LSB	
ゲイン誤差のマッチング		1		LSB	
ADC 未調整誤差 ^{2,3}		±1.2		mV	
総合未調整誤差 ^{4,5}			±9	mV	V_{IN} 範囲 ⁶ = 1 V ~ 4.1 V、 $-10^\circ\text{C} \sim +85^\circ\text{C}$
			±10	mV	V_{IN} 範囲 ⁶ = 1 V ~ 4.1 V、 $-40^\circ\text{C} \sim +85^\circ\text{C}$
		±1.6	±14.5	mV	V_{IN} 範囲 ⁶ = 1 V ~ 4.1 V、 $-40^\circ\text{C} \sim +105^\circ\text{C}$
セル電圧入力(VIN0 ~ VIN6)					
疑似差動入力電圧					
VIN(x) - VIN(x - 1)	1		$2 \times V_{REF}$	V	
絶対入力電圧	V_{CM-} V_{REF}		V_{CM+} V_{REF}	V	
同相入力電圧	0.5		27.5	V	
スタティック・リーク電流 ⁷		±5	±70	nA	
ダイナミック・リーク電流 ⁷			±3	nA	100 ms 毎の $\overline{\text{CNVST}}$ パルス
入力容量		15		pF	
DC 精度(AUX1 TO AUX6) ^{1,8}					
分解能	12			Bits	ノーマス・コード
積分非直線性		±1		LSB	
微分非直線性		±0.8		LSB	
オフセット誤差		±2		LSB	
オフセット誤差のマッチング		2		LSB	
ゲイン誤差		±2		LSB	
ゲイン誤差のマッチング		2		LSB	
ADC 未調整誤差 ⁹		±1.2		mV	
総合未調整誤差 ¹⁰			±20	mV	$-40^\circ\text{C} \sim +85^\circ\text{C}$
		±1.6	±22	mV	$-40^\circ\text{C} \sim +105^\circ\text{C}$
補助 ADC 入力 (AUX1 ~ AUX6)					
入力電圧範囲	0		$2 \times V_{REF}$	V	
スタティック・リーク電流 ⁷		±15		nA	
ダイナミック・リーク電流 ⁷			±3	nA	100 ms 毎の $\overline{\text{CNVST}}$ パルス
入力容量		15		pF	
リファレンス					
リファレンス電圧	2.494	2.5	2.506	V	$-40^\circ\text{C} \sim +85^\circ\text{C}$
	2.494	2.5	2.509	V	$-40^\circ\text{C} \sim +105^\circ\text{C}$
リファレンス電圧の温度係数		±3	±15	ppm/°C	$-40^\circ\text{C} \sim +85^\circ\text{C}$
		±11		ppm/°C	$-40^\circ\text{C} \sim +105^\circ\text{C}$
出力電圧ヒステリシス		50		ppm	$-40^\circ\text{C} \sim +105^\circ\text{C}$
長時間ドリフト		150		ppm/1000 hours	
ライン・レギュレーション		±5		ppm/V	
ターンオン・セトリング・タイム ^{11,12}		5.5	10	ms	$V_{REG} = 1\ \mu\text{F}$, $V_{REF} = 1\ \mu\text{F}$, $C_{REF} = 100\ \text{nF}$

AD7280A

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
レギュレータ出力(V_{REG})					
入力電圧範囲	8		30	V	
出力電圧、 V_{REG}^{13}	4.9	5.2	5.5	V	5 mA 外部負荷
出力電流 ¹⁴			5	mA	
ライン・レギュレーション		0.5		mV/V	
負荷レギュレーション		2.5		mV/mA	
内部短絡保護制限		25		mA	10 Ω 短絡の場合
セル・バランス出力 ¹⁵					
出力ハイ・レベル電圧、 V_{OH}	$V_{REG} - 1$	5	$V_{REG} + 0.2$	V	$I_{SOURCE} = 415 \text{ nA}$
出力ロー・レベル電圧、 V_{OL}	0			V	
CB1 出力のランプアップ時間 ¹⁶		30		μs	負荷 80 pF
CB1 出力のランプダウン時間 ¹⁷		30		μs	負荷 80 pF
CB2~CB6 出力のランプアップ時間 ¹⁶		380		μs	負荷 80 pF
CB2 ~ CB6 出力のランプダウン時間 ¹⁷		30		μs	負荷 80 pF
ロジック入力					
入力ハイ・レベル電圧、 V_{INH}	2.4			V	
入力ロー・レベル電圧、 V_{INL}			0.4	V	
入力電流、 I_{IN}			± 10	μA	
入力容量、 C_{IN}		5		pF	
ロジック出力					
出力ハイ・レベル電圧、 V_{OH}	$V_{DRIVE} \times 0.9$			V	$I_{SOURCE} = 200 \mu\text{A}$
出力ロー・レベル電圧、 V_{OL}			0.4	V	$I_{SINK} = 200 \mu\text{A}$
フローティング状態リーク電流			± 10	μA	
フローティング状態出力容量		5		pF	
出力コーディング		ストレート・バイナリ			

¹ DC 精度の仕様で、セル電圧測定の LSB サイズは $(2 \times V_{REF} - 1 \text{ V})/4096$ です。補助 ADC 入力電圧測定の LSB サイズは $(2 \times V_{REF})/4096$ です。

² ADC 未調整誤差は ADC の INL 誤差と入力チャンネル (VIN0 ~ VIN6) のオフセット誤差、ゲイン誤差を含みます。

³ セル・バランスの最中の変換精度はセル・バランス回路が動作しているために低下します。ADC の未調整誤差は 4 倍増えます。

⁴ 総合未調整誤差はリファレンス誤差 (理想と実際のリファレンス電圧の差と 2.5 V リファレンスの温度係数) と同様に ADC の INL と入力チャンネル (VIN0 ~ VIN6) のゲイン誤差とオフセット誤差を含みます。

⁵ セル・バランスの間の変換精度はセル・バランス回路が動作しているために低下します。総合未調整誤差は 4 倍増えます。

⁶ フル・アナログ入力範囲 (すなわち $1 \text{ V} \sim 2 \times V_{REF}$) の場合、総合未調整誤差は 20% 増えます。

⁷ 変換中に入力ピンで測定される総電流はスタティック・リーク電流とダイナミック・リーク電流の合計です。用語セクションを参照。

⁸ コントロール・レジスタの D3 ビットを "0" に設定 (サーミスタ終端抵抗機能は使用しない)。

⁹ ADC 未調整誤差は ADC の INL と AUXx 入力チャンネルのゲイン誤差とオフセット誤差を含みます。

¹⁰ 総合未調整誤差はリファレンス誤差 (理想と実際のリファレンス電圧の差と 2.5 V リファレンスの温度係数) と同様に ADC の INL と AUXx 入力チャンネルのゲイン誤差とオフセット誤差を含みます。

¹¹ ターンオン・セトリング時間は PD 信号の立ち上がりエッジから変換結果が規定された精度に安定するまでの時間です。これはレギュレータとリファレンスをパワーアップするために必要な時間を含みます。リファレンスをパワーアップするために CNVST 入力の立ち上がりエッジも又必要になる事に注意してください。この立ち上がりエッジは PD の立ち上がりエッジの後に起こるようにする必要があります。

¹² 初期リリース時のサンプル・テストにより適合性を保証。

¹³ レギュレータ出力電圧は外部 5 mA 負荷に AD7280A の AV_{CC} 、 DV_{CC} 、と V_{DRIVE} の駆動に必要な電流を加えた電流を基に規定されています。

¹⁴ この仕様は外部使用可能な最大レギュレータ出力電流について述べています。

¹⁵ CBx 出力はバランスをとるセルの負端子を基準に 0V 又は V_{REG} に設定する事ができます。

¹⁶ CB1 ~ CB6 出力のランプアップ時間は CS コマンドの立ち上がりエッジから、CB 出力がバランスを取ろうとするセルの負端子を基準に $V_{REG} - 1 \text{ V}$ を超えるまでと定義されます。

¹⁷ CB1 ~ CB6 出力のランプダウン時間は CS コマンドの立ち上がりエッジから CB 出力がバランスを取ろうとするセルの負端子を基準に 50 mV 低くなるまでと定義されます。

AD7280A

電源仕様

特に指定のない限り、 $V_{DD} = 8\text{ V} \sim 30\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $DV_{CC} = AV_{CC} = V_{REG}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
電源条件					
V_{DD}	8		30	V	
マスター・デバイス					
I_{DD} (変換時)		5.6	7.3	mA	
I_{DD} (データ読み出し時)		5.3	7.0	mA	
I_{DD} (セル・バランスング時)		5.1	6.8	mA	
I_{DD} (ソフトウェア・パワーダウン)		2.5	2.9	mA	
I_{DD} (フル・パワーダウン・モード)		1.8	5	μA	
スレーブ・デバイス					
I_{DD} (変換時)		6.9	8.7	mA	
I_{DD} (データ読み出し時)		6.5	8.2	mA	
I_{DD} (セル・バランスング時)		6.4	8.0	mA	
I_{DD} (ソフトウェア・パワーダウン)		3.8	4.2	mA	
I_{DD} (フル・パワーダウン・モード)		1.8	5	μA	
消費電力					
マスター・デバイス					$V_{DD} = 30\text{ V}$
変換時		170	220	mW	
データ読み出し時		160	210	mW	
セル・バランスング時		155	205	mW	
ソフトウェア・パワーダウン		75	90	mW	
フル・パワーダウン・モード		54	150	μW	
スレーブ・デバイス					$V_{DD} = 30\text{ V}$
変換時		210	265	mW	
データ読み出し時		195	250	mW	
セル・バランスング時		192	240	mW	
ソフトウェア・パワーダウン		115	130	mW	
フル・パワーダウン・モード		54	150	μW	

AD7280A

タイミング仕様

特に指定のない限り、 $V_{DD} = 8V \sim 30V$ 、 $V_{SS} = 0V$ 、 $DV_{CC} = AV_{CC} = V_{REG}$ 、 $V_{DRIVE} = 2.7V \sim 5.5V$ 、 $T_A = -40^\circ C \sim +105^\circ C$ 。

表 3.

パラメータ ¹	Min	Typ	Max	単位	説明
t_{CONV}	425	560	695	ns	ADC 変換時間 -40°C~+85°C
	425		720	ns	-40°C~+105°C
t_{ACQ}					ADC のアキュイジション時間、コントロール・レジスタの[D6:D5]ビットを "00" に設定
	340	400	465	ns	-40°C~+85°C
	340		470	ns	-40°C~+105°C
t_{ACQ}					ADC のアキュイジション時間、コントロール・レジスタの[D6:D5]ビットを "01" に設定
	665	800	1010	ns	-40°C~+85°C
	665		1030	ns	-40°C~+105°C
t_{ACQ}					ADC のアキュイジション時間、コントロール・レジスタの[D6:D5]ビットを "10" に設定
	1005	1200	1460	ns	-40°C~+85°C
	1005		1510	ns	-40°C~+105°C
t_{ACQ}					ADC のアキュイジション時間、コントロール・レジスタの[D6:D5]ビットを "11" に設定
	1340	1600	1890	ns	-40°C~+85°C
	1340		1945	ns	-40°C~+105°C
t_{DELAY}		200	250	ns	デジチェーンの隣接した 2 つのデバイスの \overline{CNVST} の立下りエッジの間の伝搬遅延
t_{WAIT}	5			μs	変換の終了と変換結果の読み出し開始の間に必要な時間
f_{SCLK}			1	MHz	シリアル読み出しクロックの周波数
t_{QUIET}	200			ns	シリアル読み出しの終了と次の変換開始の間に必要な最小休止時間
t_1^2	0.4		50	μs	\overline{CNVST} のロー・パルス
t_2	10			ns	\overline{CS} の立下りエッジから SCLK の立ち上がりエッジまで
t_3			20	ns	\overline{CS} の立ち下がりエッジから SDO がスリーステート・ディセーブルになるまでの遅延
t_4	5			ns	SCLK 立ち下がりエッジ前の SDI セットアップ・タイム
t_5	4			ns	SCLK の立ち下がりエッジ後の SDI ホールド・タイム
t_6^3			28	ns	SCLK 立ち上がりエッジ後のデータ・アクセス時間
t_7	20			ns	SCLK からデータ有効までのホールド・タイム
t_8	$0.45 \times t_{SCLK}$			ns	SCLK のハイ・パルス幅
t_9	$0.45 \times t_{SCLK}$			ns	SCLK のロー・パルス幅
t_{10}^4	100			ns	\overline{CS} の立ち上がりエッジから SYNC の立ち上がりエッジまで
t_{11}			10	ns	\overline{CS} の立ち上がりエッジから SDO が高インピーダンスになるまで
t_{12}	3			μs	各 32 ビット書き込み/読み込みコマンドの間に必要な \overline{CS} ハイ・レベルの時間

¹ 初期リリース時のサンプル・テストにより適合性を保証。すべての入力信号は $t_R = t_F = 5 \text{ ns}$ (V_{DRIVE} の 10% から 90%) で規定され、1.6V の電圧レベルからの時間とします。与えられたすべてのタイミング仕様は 25 pF の負荷容量で規定。

² \overline{CNVST} ビンがゲートされない時、ソフトウェア・パワーダウン状態に入らない事を確実にするための最大許容 \overline{CNVST} ローパルス時間。

³ 出力が 0.4 V または 2.4 V を横切るために要する時間。

⁴ t_{10} は連続した SCLK を使用する時適用。設計上で保証します。

タイミング図

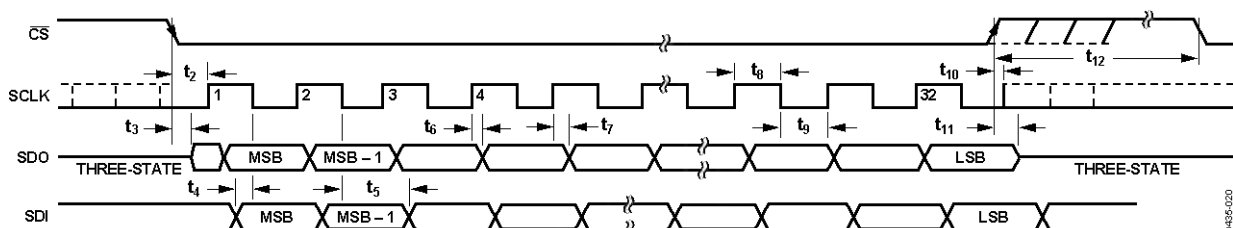


図 2. シリアル・インターフェースのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Rating
V_{DD} to V_{SS} , AGND	-0.3 V to +33 V
V_{SS} to AGND, DGND	-0.3 V to +0.3 V
VIN0 to VIN5 Voltage to V_{SS} , AGND	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V
VIN6 Voltage to V_{SS} , AGND	$V_{DD} - 0.3$ V to $V_{DD} + 1$ V
CB1 Output to V_{SS} , AGND	-0.3 V to $DV_{CC} + 0.3$ V
CBx Output to $VIN(x - 1)^1$	-0.3 V to $VIN(x - 1)^1 + 7$ V
AUX1 to AUX6 Voltage to V_{SS} , AGND	-0.3 V to $AV_{CC} + 0.3$ V
AUX _{TERM} Voltage to V_{SS} , AGND	-0.3 V to $AV_{CC} + 0.3$ V
AV_{CC} to V_{SS} , AGND, DGND	-0.3 V to +7 V
DV_{CC} to AV_{CC}	-0.3 V to +0.3 V
DV_{CC} to V_{SS} , DGND	-0.3 V to +7 V
V_{DRIVE} to V_{SS} , AGND	-0.3 V to +7 V
AGND to DGND	-0.3 V to +0.3 V
Digital Input Voltage to V_{SS} , DGND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output Voltage to V_{SS} , DGND	-0.3 V to $V_{DRIVE} + 0.3$ V
Input Current to Any Pin Except Supply Pins ²	± 10 mA
Operating Temperature Range	-40°C to $+105^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature	150°C
Pb-Free Temperature, Soldering Reflow	$260(+0)^\circ\text{C}$
ESD	2 kV

¹ $x = 2 \sim 6$ 。

² 最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、仕様に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に晒すとデバイスの信頼性に影響を与える可能性があります。

IPC 2221 工業規格に準拠するため、高電圧ピンに絶縁保護コーティングを使用することが推奨されます。

熱抵抗

θ_{JA} はワーストケース条件、つまり表面実装型パッケージの場合、デバイスを回路基板にハンダ付けした状態で規定されます。

表 5. 熱抵抗

パッケージ・タイプ	θ_{JA}	θ_{JC}	単位
48-Lead LQFP (ST-48)	76.2	17	$^\circ\text{C}/\text{W}$

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

AD7280A

ピン配置と機能の説明

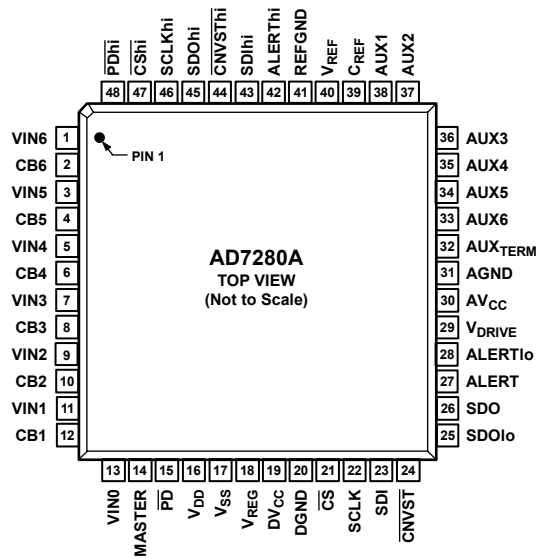


図 3. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 3, 5, 7, 9, 11, 13	VIN6 ~ VIN0	アナログ入力 6～アナログ入力 0。VIN0 を直列に接続されたバッテリー・セルの底部に接続する必要があります。VIN1 をセル 1 のトップに、VIN2 をセル 2 のトップに接続し、その他も同じように接続します (図 28. と図 29. を参照)。
2, 4, 6, 8, 10, 12	CB6 ~ CB1	セル・バランス出力 6～セル・バランス出力 1。これらのピンは、外付けセル・balancing用トランジスタのゲート駆動に使用できる電圧を出力します。各 CBx 出力はバランスをとろうとするバッテリー・セルの負端子の絶対的な電圧を基準に 0 V 又は 5 V の電圧出力を供給します。
14	MASTER	電圧入力。DSP/マイクロプロセッサに直接接続する AD7280A のマスター・ピンを 10 kΩ 抵抗を通して V _{DD} 電源ピンに接続してください。2 つ以上の AD7280A をデジチェーン接続するアプリケーションでは、デジチェーンの残りの AD7280A のマスター・ピンを 10 kΩ 抵抗を通して各々の V _{SS} 電源ピンに接続する必要があります。
15	$\overline{\text{PD}}$	パワーダウン入力。このピンは AD7280A をパワーダウンするために使用されます。AD7280A がマスターとして動作する時、 $\overline{\text{PD}}$ 入力は DSP/マイクロプロセッサから供給されます。AD7280A がデジチェーンのスレーブとして動作する時は、 $\overline{\text{PD}}$ 入力をデジチェーン接続のすぐ下の電位の AD7280A の PD _{hi} 出力に接続する必要があります。
16	V _{DD}	AD7280A の高電圧アナログ入力回路の正電源電圧。電源は最低電圧の 8V より大きい必要があります。V _{DD} は AD7280A がモニタする 4 セル、5 セル又は 6 セルのバッテリー・スタックの最高電位でセルから直接供給できます。V _{DD} と V _{SS} の間に印加できる最大電圧は 30V です。V _{DD} ピンには 10 μF と 100 nF のデカップリング・コンデンサを接続してください。
17	V _{SS}	AD7280A の高電圧アナログ入力回路の負電源電圧。この入力は AGND/DGND 電圧と同じ電位にする必要があります。
18	V _{REG}	アナログ電圧出力：5.2 V。内部的に生成された V _{REG} 電圧は ADC コア回路に電源を供給しますが、このピンから出力できますので、AD7280A の外部で利用できます。V _{REG} ピンにデカップリング用コンデンサ 1 μF と 100 nF を接続してください。
19	DV _{CC}	デジタル電源電圧：4.9 V ~ 5.5 V。理想的には DV _{CC} 電圧と AV _{CC} 電圧を同じ電位にする必要があります。最高の性能を得るために、DV _{CC} ピンと AV _{CC} ピンの電圧差が過度状態でも確実に 0.3 V を超えないように、それらを共に短絡する事をお勧めします。この電源は DGND に対してデカップリングする必要があります。DV _{CC} ピンにデカップリング用コンデンサ 100 nF を接続してください。DV _{CC} 電源ピンを V _{REG} 出力に接続する必要があります。
20	DGND	デジタル・グラウンド。AD7280A の全デジタル回路のグラウンド基準点。DGND 電圧と AGND 電圧は理想的には同電位である必要があり、例え過渡状態でも違いが 0.3 V 以上にならないようにする必要があります。

ピン番号	記号	説明
21	CS	チップ・セレクト入力。CS入力はSPIとデジチェーン・インターフェースの入力データと出力データをフレーム化するために使用されます。マスターのAD7280Aデバイスには、CS入力はDSP/マイクロプロセッサから供給されます。AD7280Aがデジチェーンでスレープとして動作する時は、この入力をデジチェーン接続のすぐ下の電位にあるAD7280AのCSHi出力に接続する必要があります。
22	SCLK	シリアル・データ入力。マスターのAD7280Aデバイスの場合、SCLK入力はDSP/マイクロプロセッサから供給されます。AD7280Aがデジチェーンでスレープとして動作する時は、この入力をデジチェーン接続のすぐ下の電位のAD7280AのSCLKhi出力に接続する必要があります。
23	SDI	シリアル・データ入力。内蔵レジスタに書き込むデータはこの入力ピンに供給され、SCLK入力の立下りエッジでAD7280Aに入力されます。マスターのAD7280Aデバイスの場合、SDIはSDIインターフェースのデータ入力です。AD7280Aがデジチェーンでスレープとして動作する時は、この入力はデジチェーン接続のすぐ下の電位のAD7280AのSDOhi出力からデータを受信します。
24	CNVST	変換開始入力。CNVSTの立ち下がりエッジで変換が開始されます。マスターAD7280Aについては、CNVSTパルスがDSP/マイクロプロセッサから供給されます；この入力をDV _{CC} に接続し、シリアル・インターフェースを使って変換を開始する事もできます。AD7280Aがデジチェーン接続のスレープとして動作する時は、この入力をデジチェーンのすぐ下の電位のAD7280AのCNVSThi出力に接続する必要があります。
25	SDOlo	デジチェーン・モードでのシリアル・データ出力。マスターのAD7280Aデバイスについては、この出力を直接又は1kΩプルダウン抵抗を通してV _{SS} に接続する必要があります。AD7280Aがデジチェーンでスレープとして動作する時は、この出力をデジチェーン接続のすぐ下の電位のAD7280AのSDIhi入力に接続する必要があります。
26	SDO	シリアル・データ出力。変換出力データ又はレジスタ出力データがシリアル・データ・ストリームとしてこのピンに供給されます。ビットはSCLK入力の立ち上がりエッジでクロック駆動により出力されます；データをアクセスするには32SCLKが必要です。マスターAD7280Aについては、SDO出力をDSP/マイクロプロセッサに接続する必要があります。デジチェーンのその他のAD7280AのSDO出力を、直接又は1kΩプルダウン抵抗を通してV _{SS} に接続する必要があります。
27	警告	デジタル出力。このフラグはセル入力又は補助ADC入力の過電圧又は不足電圧を表示します。マスターAD7280Aの警告出力はDSP/マイクロプロセッサに接続してください。デジチェーン接続の他のAD7280Aの警告出力は、直接又は1kΩプルダウン抵抗を通してV _{SS} に接続してください。
28	ALERTlo	デジチェーン・モードでの警告出力。マスターAD7280Aについては、その出力を直接又は1kΩプルダウン抵抗を通してV _{SS} に接続する必要があります。AD7280Aがデジチェーンでスレープとして動作する時は、この出力をデジチェーン接続のすぐ下の電位のAD7280AのALERThi入力に接続する必要があります。
29	V _{DRIVE}	ロジック電源入力。このピンに印加された電圧は、SPIインターフェースが動作する電圧を決めます。このピンをDGNDにデカップリングする必要があります。マスターのAD7280Aデバイスの場合、このピンの電圧範囲は2.7V～5.5Vです。V _{DRIVE} 電圧をAV _{CC} とDV _{CC} の電圧とは異なる電圧にすることはできますが、どちらからも0.3V以上超えないようにする必要があります。デジチェーン接続のその他のAD7280AのV _{DRIVE} はV _{REG} に接続する必要があります。
30	AV _{CC}	ADCコア回路のアナログ電源電圧：4.9V～5.5V。理想的にはAV _{CC} 電圧とDV _{CC} 電圧を同じ電位にする必要があります。最高の性能を得るために、AV _{CC} ピンとDV _{CC} ピンの電圧差が例え過度状態でも絶対に0.3Vを超えないように、それらをいっしょに短絡する事をお勧めします。この電源はAGNDにデカップリングする必要があります。AV _{CC} ピンに100nFのデカップリング用コンデンサを接続してください。AV _{CC} 電源ピンをV _{REG} 出力に接続する必要があります。
31	AGND	アナログ・グラウンド。このピンは全AD7280Aの全アナログ回路のグラウンド・リファレンス点です。この入力は直列に接続されたバッテリー・セルの底部と同じ電位にする必要があります。AGND電圧とDGND電圧は理想的には同電位である必要があり、たとえ過渡状態でも違いが0.3V以上にならないようにする必要があります。
32	AUX _{TERM}	サーミスタ終端抵抗入力。もしこの機能がアプリケーションで必要ない場合には、このピンを10kΩ抵抗を通してV _{REG} に接続する事をお勧めします。
33～38	AUX6～AUX1	補助、シングル・エンド5VADC入力。アプリケーション上でこれらのどの入力も必要ない場合には、このピンを10kΩ抵抗を通してV _{REG} に接続する事をお勧めします。
39	C _{REF}	リファレンス電圧コンデンサ。このピンにREFGNDに対する100nFのカップリング・コンデンサを接続する必要があります。
40	V _{REF}	リファレンス出力：2.5V。内部リファレンスはAD7280Aの外部使用にこのピンから出力可能です。このピンにはREFGNDに対して1μFのカップリング・コンデンサをお勧めします。
41	REFGND	リファレンス・グラウンド。このピンは内部バンドギャップ・リファレンス回路のグラウンド・リファレンス点です。REFGND電圧はAGND電圧と同じ電位である必要があります。
42	ALERThi	デジチェーン・モードでの警告入力。デジチェーン接続の各AD7280Aからの警告信号はチェーンの各AD7280AのALERTlo出力とALERThi入力を通して渡され、マスターAD7280Aの警告出力からDSP/マイクロプロセッサに供給されます。この入力をデジチェーン接続のすぐ上の電位の

AD7280A

ピン番号	記号	説明
43	SDIhi	AD7280AのALERTlo出力に接続する必要があります。スタックのもっとも高い電位に接続されているAD7280Aは警告入力(ALERThi)を必要としません。この場合、このピンを1kΩ抵抗を通してV _{DD} に接続してください。
44	$\overline{\text{CNVSThi}}$	デジチェーン・モードでのシリアル・データ入力。デジチェーン接続の各AD7280Aからのデータはチェーンの各AD7280AのSDOlo出力とSDIhi入力を通して渡され、マスターAD7280AのSDO出力からDSP/マイクロプロセッサに供給されます。この入力をデジチェーンのすぐ上の電位のAD7280AのSDOlo出力に接続する必要があります。スタックのもっとも高い電位に接続されているAD7280Aはデジチェーン・モードではシリアル・データ入力が必要としません;この場合、このピンを1kΩ抵抗を通してV _{DD} に接続する必要があります。
45	SDOhi	デジチェーン・モードでのシリアル・データ出力。DSP/マイクロプロセッサからマスターAD7280AのSDI入力へ供給されるシリアル・データ出力はSDI入力とSDOhi出力によって各AD7280Aに渡されます。この出力をデジチェーンのすぐ上の電位に接続されているAD7280AのSDI入力に接続する必要があります。スタックのもっとも高い電位に接続されているAD7280Aはデジチェーン・シリアル・データ出力(SDOhi)を必要としません;この場合、このピンをV _{DD} に接続する必要があります。
46	SCLKhi	デジチェーン・モードでのシリアル・クロック出力。DSP/マイクロプロセッサからマスターAD7280AのSCLK入力へ供給されるクロック信号はSCLK入力とSCLKhi出力によって各AD7280Aに渡されます。この出力をデジチェーンのすぐ上の電位に接続されているAD7280AのSCLK入力に接続する必要があります。スタックのもっとも高い電位に接続されているAD7280Aはデジチェーン・シリアル・クロック出力(SCLKhi)を必要としません;この場合には、このピンをV _{DD} に接続する必要があります。
47	$\overline{\text{CSHi}}$	デジチェーン・モードでのチップ・セレクト出力。DSP/マイクロプロセッサからマスターAD7280Aの $\overline{\text{CS}}$ 入力へ供給されるチップ・セレクト信号は $\overline{\text{CS}}$ 入力と $\overline{\text{CSHi}}$ 出力により各AD7280Aに渡されます。この出力をデジチェーンのすぐ上の電位に接続されているAD7280Aの $\overline{\text{CS}}$ 入力に接続する必要があります。スタックのもっとも高い電位に接続されているAD7280Aはデジチェーン・チップ・セレクト出力を必要としません;この場合、このピンをV _{DD} に接続する必要があります。
48	$\overline{\text{PDhi}}$	デジチェーン・モードでのパワーダウン出力。DSP/マイクロプロセッサからマスターAD7280Aの $\overline{\text{PD}}$ 入力へ供給されるパワーダウン信号は $\overline{\text{PD}}$ 入力と $\overline{\text{PDhi}}$ 出力により各AD7280Aに渡されます。この出力をデジチェーンのすぐ上の電位に接続されているAD7280Aの $\overline{\text{PD}}$ 入力に接続する必要があります。スタックのもっとも高い電位に接続されているAD7280Aはデジチェーン・パワーダウン出力を必要としません;この場合、このピンをV _{DD} に接続する必要があります。

代表的な性能特性

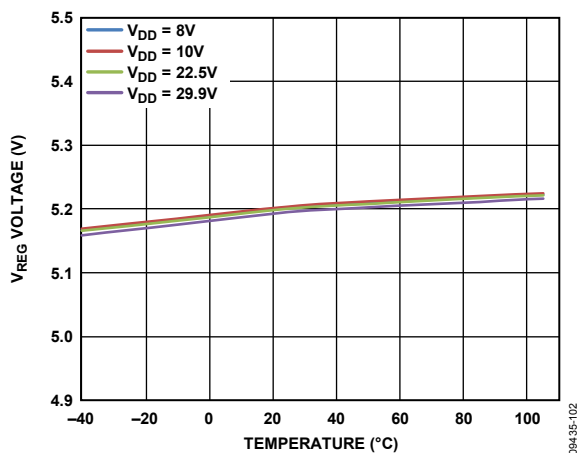


図 4.各種電源電圧の V_{REG} 対温度
 V_{REG} を AV_{CC} と DV_{CC} に接続

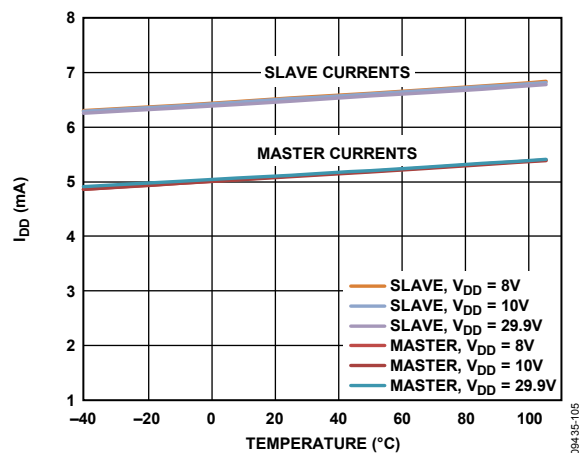


図 7.各種電源電圧におけるセル・バランスング時の I_{DD} 対温度

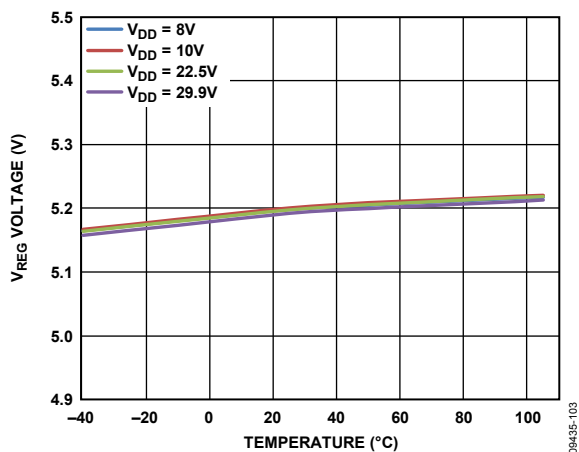


図 5.各種電源電圧の V_{REG} 対温度
 V_{REG} を AV_{CC} と DV_{CC} に接続、外部負荷 5 mA

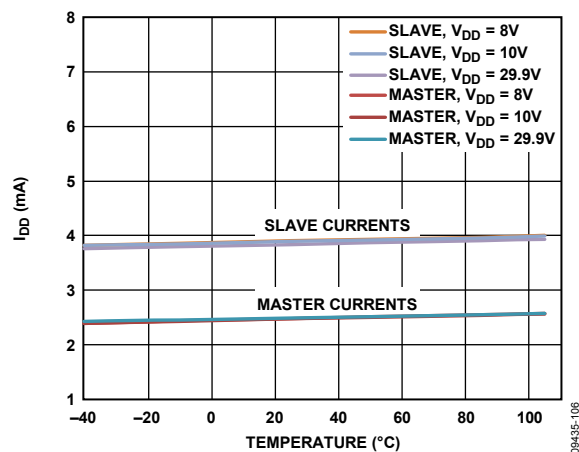


図 8.各種電源電圧におけるソフトウェア・パワーダウン時の I_{DD} 対温度

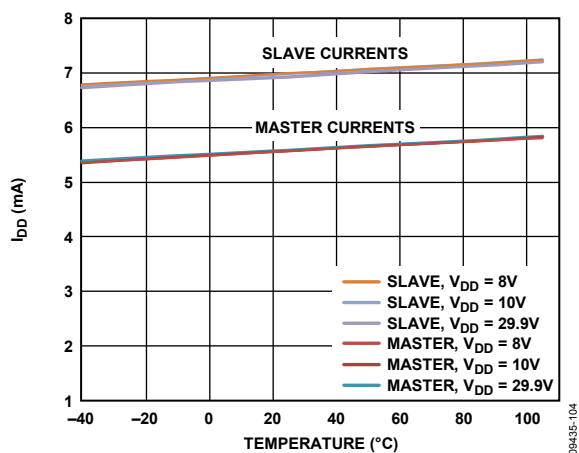


図 6.各種電源電圧における変換中の I_{DD} 対温度

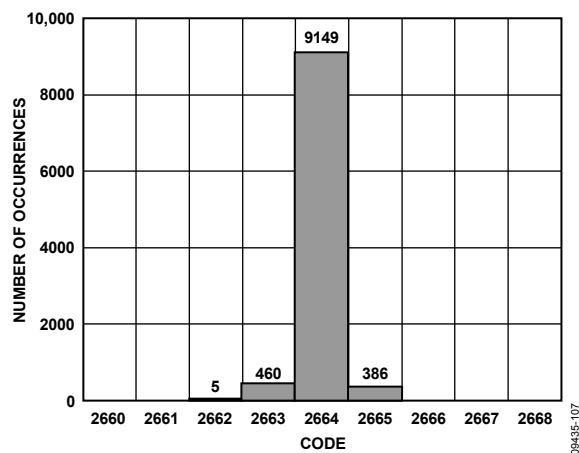


図 9.10,000 サンプルのコードのヒストグラム、
奇数セル電圧チャンネル

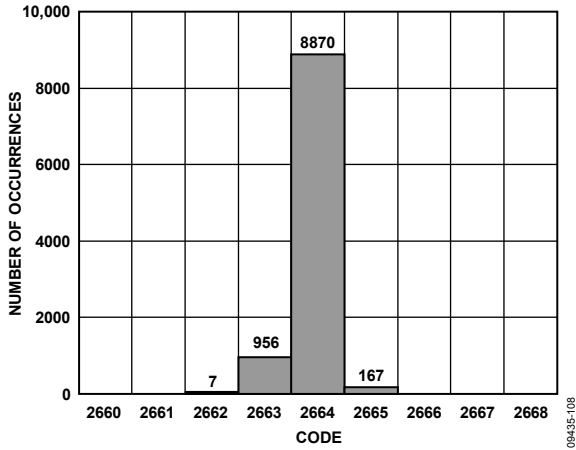


図 10. 10,000 サンプルのコードのヒストグラム、偶数セル電圧チャンネル

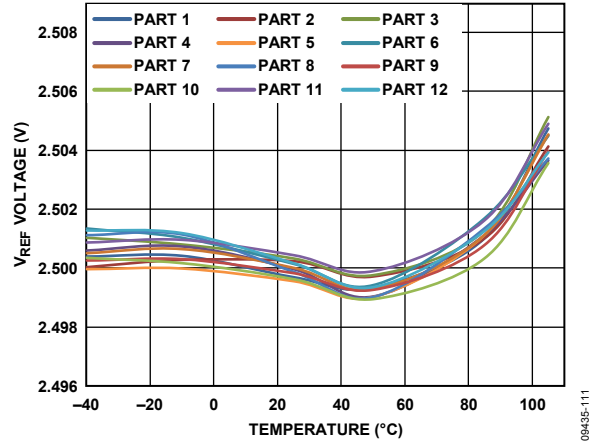


図 13. デバイス別の V_{REG} 対 温度

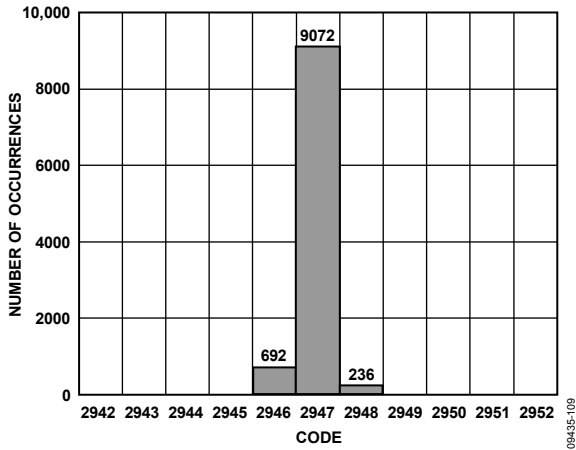


図 11. 10,000 サンプルのコードのヒストグラム、補助チャンネル

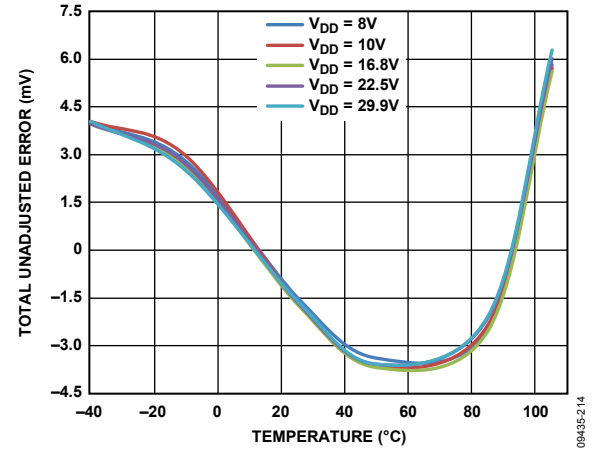


図 14. 各種電源電圧における偶数セル電圧チャンネルの合計未調整誤差 (絶対値) 対 温度

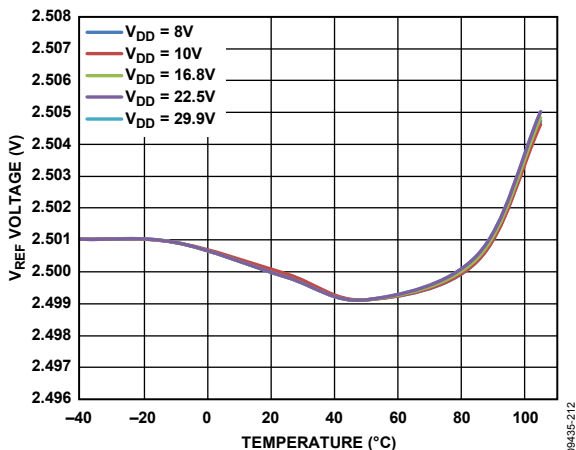


図 12. 各種電源電圧の V_{REG} 対 温度

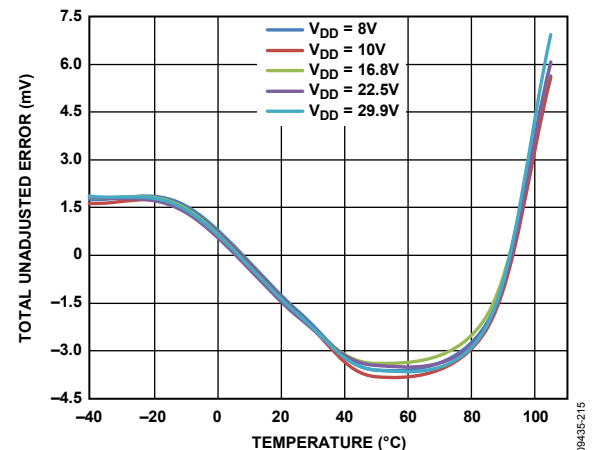


図 15. 各種電源電圧における奇数セル電圧チャンネルの総合未調整誤差 (絶対値) 対 温度

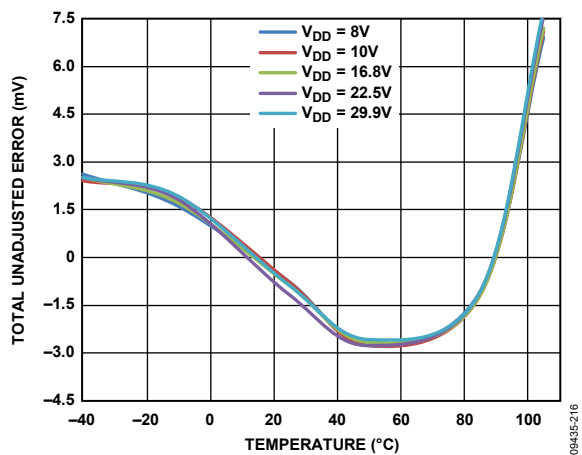


図 16. 各種電源電圧における補助チャンネルの総合未調整誤差 (絶対値) 対温度

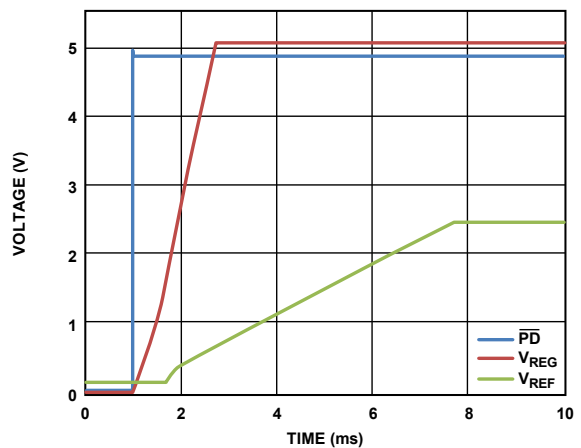


図 19. パワーアップ時間

V_{REG} ピンと V_{REF} ピンに 10 μ F コンデンサを接続

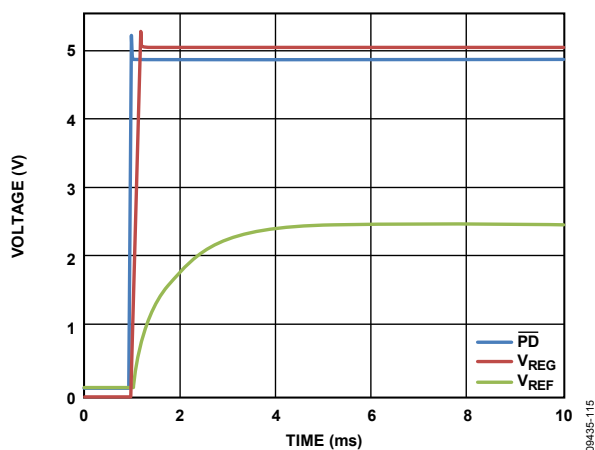


図 17. パワーアップ時間

V_{REG} ピンと V_{REF} ピンに 1 μ F コンデンサを接続

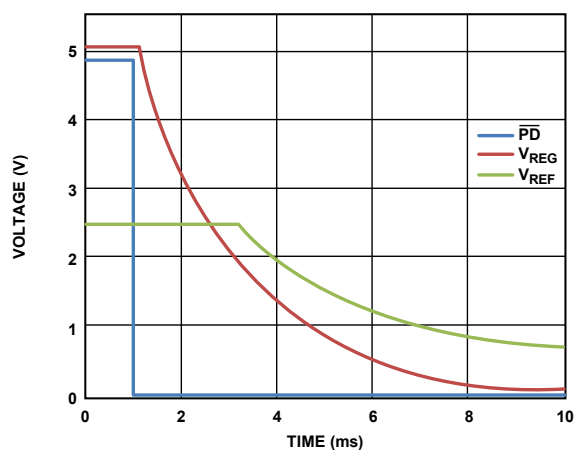


図 20. パワーダウン時間

V_{REG} ピンと V_{REF} ピンに 10 μ F コンデンサを接続

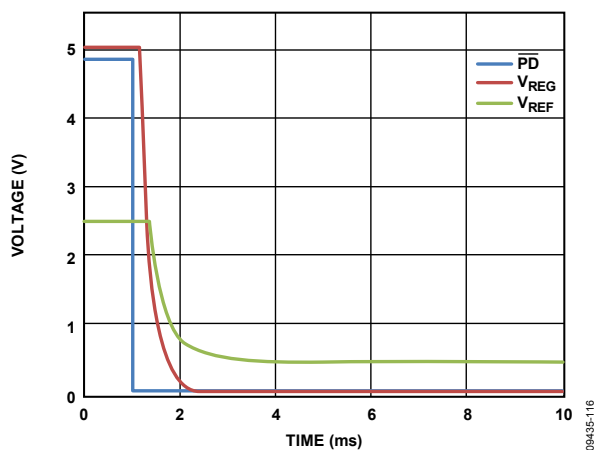


図 18. パワーダウン時間

V_{REG} ピンと V_{REF} ピンに 1 μ F コンデンサを接続

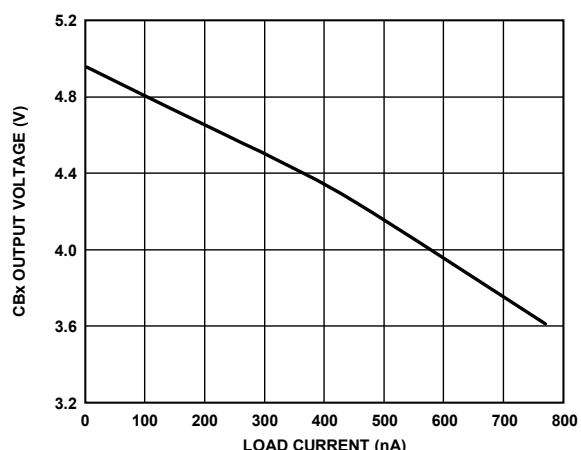


図 21. CBx 出力電圧 対 負荷電流

用語

微分非直線性(DNL)

DNL は ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差です。

積分非直線性(INL)

INL は ADC 伝達関数の両端を結ぶ直線からの最大偏差です。伝達関数の両端とは、ゼロ・スケール(最初のコード遷移より 1LSB 下の点)とフル・スケール(最後のコード遷移より 1LSB 上の点)を指します。

オフセット誤差

オフセット誤差はストレート・バイナリ出力コーディングに関する誤差です。オフセット誤差は、最初のコード遷移

("00...000" から "00...001") と理論値 (すなわち AUX1 ~ AUX6 の場合は AGND + 1LSB、そして VIN0 ~ VIN6 の場合は 1V + AGND + 1LSB) との偏差です。

オフセット誤差のマッチング

オフセット誤差のマッチングは 6 チャンネルの間のゼロ・コード誤差の差です。

ゲイン誤差

ゲイン誤差はストレート・バイナリ出力コーディングに関する誤差です。ゲイン誤差はオフセット誤差調整後の最後のコード遷移("111 ... 110" から "111 ... 111") と理論値 (すなわち $2 \times V_{REF} - 1 \text{LSB}$) との偏差です。

ゲイン誤差のマッチング

ゲイン誤差のマッチングは 6 チャンネルの間のゲイン誤差の差です。

ADC 未調整誤差

ADC 未調整誤差には ADC と測定チャンネルの INL 誤差、オフセット誤差、ゲイン誤差が含まれます。

総合未調整誤差(TUE)

TUE は出力コードの理論値からの最大偏差です。総合未調整誤差には INL 誤差、オフセット誤差、ゲイン誤差、リファレンス誤差が含まれます。リファレンス誤差には実際のリファレンス電圧と理想的なリファレンス電圧 (すなわち 2.5V) の差とリファレンス電圧温度係数が含まれます。

リファレンス電圧の温度係数

リファレンス電圧の温度係数は T_{MIN} と T_{MAX} 間で測定された最大/最小リファレンス出力電圧 (V_{REF}) から導き出されます。それは次の式を使い、ppm/°C で表されます。

$$TCV_{REF}(\text{ppm}/^{\circ}\text{C}) = \left(\frac{V_{REF}(\text{Max}) - V_{REF}(\text{Min})}{2.5\text{V} \times (T_{MAX} - T_{MIN})} \right) \times 10^6$$

ここで、

$V_{REF}(\text{Max})$ は $T_{MIN} \sim T_{MAX}$ 間の最大 V_{REF} です。

$V_{REF}(\text{Min})$ は $T_{MIN} \sim T_{MAX}$ 間の最小 V_{REF} です。

$T_{MAX} = +85^{\circ}\text{C}$ 又は $+105^{\circ}\text{C}$ 。

$T_{MIN} = -40^{\circ}\text{C}$ 。

出力電圧ヒステリシス

出力電圧ヒステリシス、又は温度ヒステリシスは デバイスの温度を T_{HYS+} 又は T_{HYS-} のいずれかに従って変化させた後のリファレンス出力電圧の絶対最大変化として定義されます。

$$T_{HYS+} = +25^{\circ}\text{C} \text{ to } T_{MAX} \text{ to } +25^{\circ}\text{C}$$

$$T_{HYS-} = +25^{\circ}\text{C} \text{ to } T_{MIN} \text{ to } +25^{\circ}\text{C}$$

出力電圧ヒステリシスは次の式を使って計算され、ppm で表されます:

$$V_{HYS}(\text{ppm}) = \left(\frac{V_{REF}(25^{\circ}\text{C}) - V_{REF}(T_{HYS})}{V_{REF}(25^{\circ}\text{C})} \right) \times 10^6$$

ここで:

$$V_{REF}(25^{\circ}\text{C}) = V_{REF} \text{ at } 25^{\circ}\text{C}.$$

$V_{REF}(T_{HYS})$ は T_{HYS+} 又は T_{HYS-} での V_{REF} の最大変化です。

スタティック・リーク電流

スタティック・リーク電流はデバイスがスタティック時 (すなわち変換してない時) にセル電圧入力そして/又は補助 ADC 入力で測定される電流です。

ダイナミック・リーク電流

ダイナミック・リーク電流はデバイスが変換している時にセル電圧入力そして/又は補助 ADC 入力で測定される電流で、スタティック・リーク電流を減算します。ダイナミック・リーク電流は 10 Hz の変換開始パルス周波数 (すなわち 100 ms 毎) で仕様化されています。変換レートが異なる場合のダイナミック・リーク電流は次の式を使って計算する事ができます。

$$I_{DYN(B)} = \left(\frac{I_{DYN(A)} \times f_{CNVST(B)}}{f_{CNVST(A)}} \right)$$

ここで:

$I_{DYN(A)}$ は変換開始周波数 ($f_{CNVST(A)}$) でのダイナミック・リーク電流です (表 1 を参照)。

$I_{DYN(B)}$ は希望の変換開始周波数 ($f_{CNVST(B)}$) でのダイナミック・リーク電流です。

動作原理

回路説明

AD7280A は 4 個、5 個又は 6 個を直列に接続したリチウム・イオン(Li-Ion)バッテリー・セルの電圧と温度をモニターできるリチウムイオン・バッテリー・モニタリング用のチップです。

AD7280A には又セル・バランスに必要な外部トランジスタを制御するために使用できるインターフェースがあります。

AD7280A に必要な電源の V_{DD} と V_{SS} はその AD7280A がモニターするバッテリー・セルから取ります。ADC や内部インターフェース回路に必要な電源を供給するために内部 V_{REG} 電圧が生成されます。この V_{REG} 電圧はこのピンから出力するので、AD7280A の外部で使用することができます。

AD7280A は高電圧入力マルチプレクサ、低電圧入力マルチプレクサと SAR ADC で構成されます。高電圧マルチプレクサにより 4 個、5 個又は 6 個を直列接続した Li-Ion バッテリー・セルを測定することができます。低電圧マルチプレクサと、外部サーミスタとの組み合わせで、各バッテリー・セルの温度を測定できる 6 種類のシングル・エンド補助 ADC 入力があります。補助 ADC 入力は又アプリケーションで外部診断に使用する事もできます。全 12 チャンネル (すなわち 6 セル電圧チャンネルと 6 補助 ADC チャンネル) の変換を 1 つの \overline{CNVST} パルスで開始することができます。あるいは \overline{CS} の立ち上がりエッジによって変換を開始することができます。各変換結果はそれぞれの結果レジスタ (表 13 を参照) に格納されます。

各個別のセル電圧測定と補助 ADC 測定にはデータを取得して変換を完了するまで最小 $1 \mu s$ 必要です。AD7280A のアナログ入力に接続される外付け部品によっては、さらにアキュイジション時間が必要となる場合があります。コントロール・レジスタを使ってより高速のアキュイジション時間を選ぶ事ができます。AD7280A は又変換結果の平均化を選択することができますが、この選択はコントロール・レジスタによって行われます。この平均化の選択により、各セル電圧と各補助 ADC 測定値の 2 個、4 個又は 8 個の平均をとる事ができます。平均化された変換結果は結果レジスタに格納されます。パワーアップ時、平均化レジスタは "0" にセット (すなわち 1 チャンネルあたり一回の変換) され、デフォルトのアキュイジションと変換を合わせた時間は $1 \mu s$ です。

セル電圧と補助 ADC の変換結果は 4 線シリアル・ペリフェラル・インターフェース (SPI) を介して読みだされます。SPI は又内部レジスタへの書き込みと内部レジスタからの読み出しにも使用されます。

AD7280A は電圧の変換結果又は補助 ADC の変換結果が、ユーザによって選択された最大/最小電圧しきい値を超えたらトリガーされる警告機能を備えています。警告モードとしきい値レベルは内部レジスタに書きこむ事により選択されます。

AD7280A にはセル・バランス回路の一部の外部トランジスタを制御するために使用できる 6 つのアナログ電圧出力があります。各セル・バランス出力は外付けセル・バランス・トランジスタのゲートに印加する事ができる $0 V$ 又は $5 V$ 電圧 (各セルの下の電位を基準) を出力します。

AD7280A はデジタイゼーション・インターフェースを備えています。個々の AD7280A デバイスは 6 セルのセル電圧と温度をモニターすることができます。より多くのセルのセル電圧と温度のモニターするために AD7280A チェーンを使う事ができます。チェーン接続の各 AD7280A からの変換データは 1 つの SPI インターフェースを介してシステム・コントローラへ送られます。同じようにコントロール・データを SPI 経由でチェーン接続された上位電位の各個別の AD7280A に渡す事ができます。

AD7280A は $2.5V$ リファレンスを内蔵しています。リファレンス電圧は AD7280A の外部で使用することができます。

AD7280A には、シリアル・インターフェースが駆動する電圧を制御する V_{DRIVE} 機能もあります。 V_{DRIVE} を使うと、ADC は $3 V$ と $5 V$ の両方のプロセッサに容易にインターフェースすることができます。たとえば、推奨回路では、AD7280A は電源 $5 V$ で駆動されます; しかし V_{DRIVE} ピンに $3 V$ 電源を供給することができるので、低い電圧のデジタル・プロセッサに対して十分なダイナミック・レンジを得る事ができます。

コンバータの動作

AD7280A の変換経路は高電圧入力マルチプレクサ又は低電圧入力マルチプレクサと SAR ADC で構成されています。高電圧マルチプレクサは変換するアナログ入力 ($VIN0 \sim VIN6$) のペアを選択します。各セルの電圧は隣接した 2 つのアナログ入力 (すなわち $VIN1 - VIN0$ 、 $VIN2 - VIN1$ など) を変換することにより測定されます (図 22 と 図 23 を参照)。低電圧マルチプレクサは変換する補助 ADC 入力 ($AUX1 \sim AUX6$) を選択します。各セル電圧入力と補助 ADC 入力の交換結果は設定した変換シーケンスが完了してから t_{WAIT} 後にアクセスすることができます。

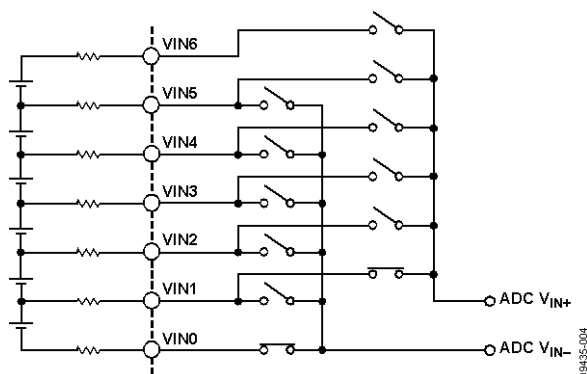


図 22. $VIN1 \sim VIN0$ をサンプリングしている時の Mux 回路

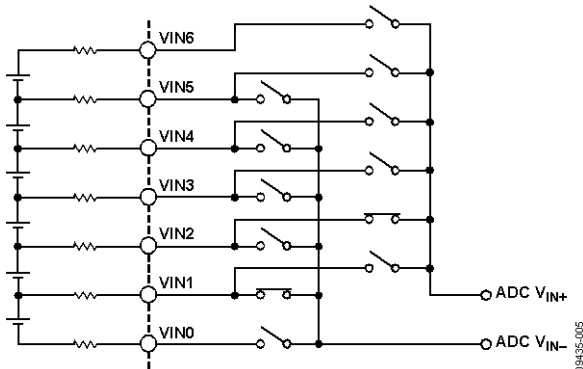


図 23. VIN2 ~ VIN1 をサンプリングしている時の Mux 回路

ADC は逐次比較型レジスタ A/D コンバータ(SAR ADC)です。コンバータは、コンパレータ、SAR、コントロール・ロジック、2 個の容量型 DAC から構成されています。図 24.に、コンバータの簡略化した回路図を示します。アキュイジション・フェーズの間は、SW1、SW2、SW3 のスイッチが閉じます。サンプリング・コンデンサ・アレイはこのフェーズの間に入力信号を取り込みます。

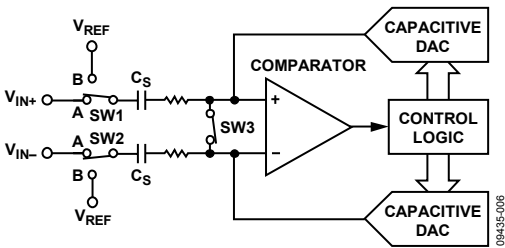


図 24. ADC のアキュイジション・フェーズ時の ADC 回路

ADC が変換を開始すると、SW3 が開いて、SW1 と SW2 が位置 B に移動して、コンパレータが不平衡状態になります(図 25.を参照)。コントロール・ロジックと容量 DAC を使って、一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。次にこの出力コードは変換された入力に対応するレジスタに保存されます。

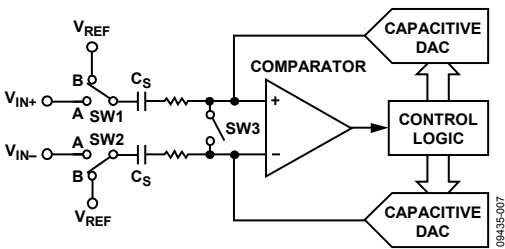


図 25. ADC の変換フェーズ中の ADC 回路構成

アナログ入力構造

図 26.に、AD7280A のアナログ入力構造の等価回路を示します。ダイオードは ESD 保護の役目をします。抵抗は入力マルチプレクサのオン抵抗、内部パターン抵抗、他の内部スイッチで構成される集中定数成分です。これらの抵抗の値は約 300 Ω typ です。コンデンサ C1 はピン容量、ESD ダイオード、スイッチ容量で構成される集中定数成分です。総合集中定数容量の C1 と C2 は約 15 pF です。

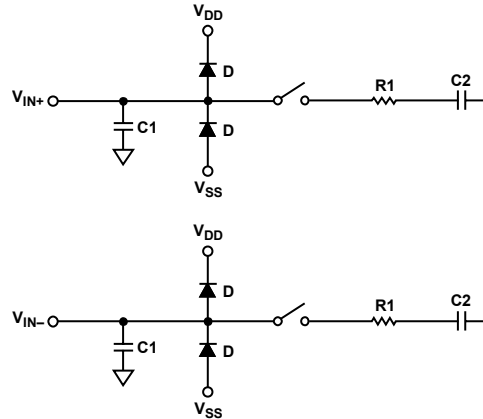


図 26. 等価アナログ入力回路

伝達関数

AD7280A の出力コーディングはストレート・バイナリです。設計上のコード変化は LSB の連続する整数の LSB 値(1 LSB、2 LSB など)で起こります。LSB の大きさはセル電圧又は補助 ADC 入力のどちらが測定されるかによって変わります。電圧入力のアナログ入力範囲は 1 V ~ 5 V で、補助 ADC 入力のアナログ入力範囲は 0 V ~ 5 V です。理想的な伝達特性を図 27.に示します。

表 7.各アナログ入力範囲の LSB の大きさ

選択された入力	入力範囲	フルスケール範囲	LSB の大きさ
セル電圧	1 V ~ 5 V	4 V/4096	976 μV
補助 ADC 入力	0 V ~ 5 V	5 V/4096	1.22 mV

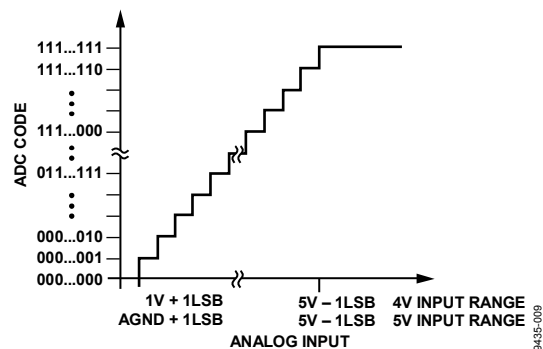


図 27.理想的な伝達特性

代表的な接続図

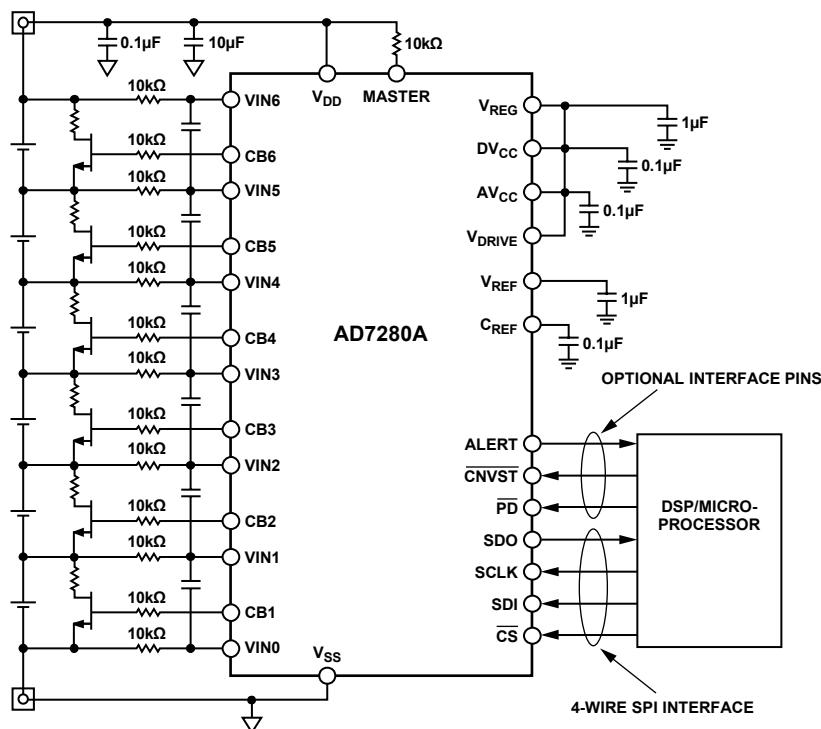


図 28. 6 バッテリー・セルの AD7280A 回路構成図

AD7280A は 4 個、5 個 又は 6 個を直列に接続したバッテリー・セルをモニターするために使用する事ができます。6 セル・バッテリー・モニタリング・アプリケーションの代表的な回路を図 28. に示します。しかしリチウムイオン・バッテリー・アプリケーションでは希望の出力電圧を得るために、多数のセルを必要とします。より多くのバッテリー・スタックをモニターする AD7280A チェーンの推奨回路を図 29. に示します。AD7280A のデジタイズ・インターフェースにより各個別の AD7280A はそのすぐ上と下の AD7280A と通信する事ができます。デジタイズ・インターフェースにより、各 AD7280A 間ごとの絶縁デバイスなしに AD7280A をバッテリー管理チップに電氣的に接続する事ができます。

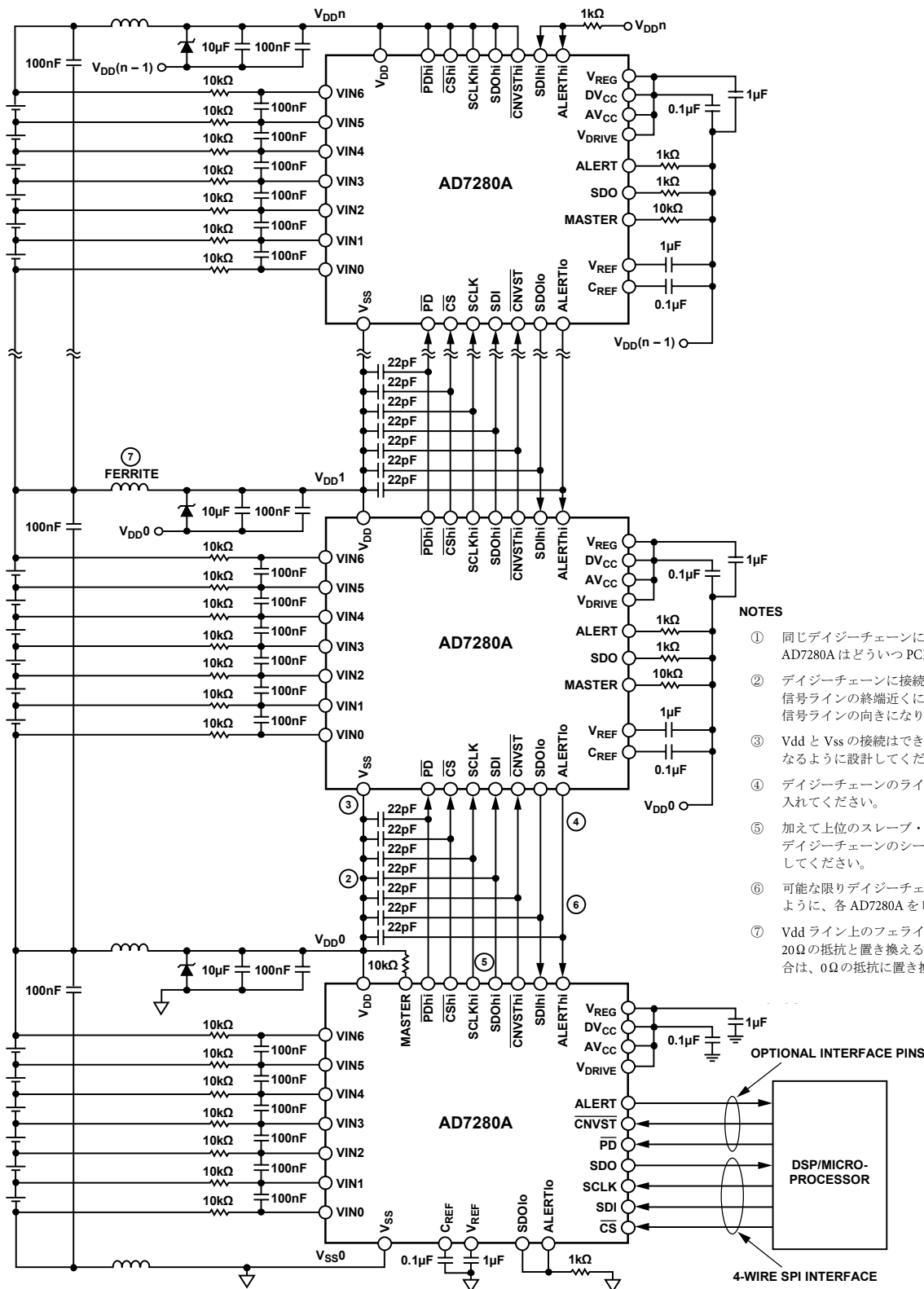
図 29. に示すように、各 AD7280A の上下電源の間にツェナー・ダイオードを接続する事をお勧めします。このツェナーダイオードはデジタイズ・インターフェースの AD7280A をバッテリー・スタックに最初に接続する間、各 AD7280A の上下電源に渡る過電圧を防ぎます。このツェナー・ダイオードには 30 V の電圧定格をお勧めしますが、アプリケーションに応じて低い値も使用できます。

入力に直列の抵抗 10 kΩ と隣接した差動入力間に接続されたコンデンサ 100nF の組み合わせはローパス・フィルタとしての役割を果たします。抵抗 10 kΩ はアナログ入力に過電圧、不足電圧（たとえばいずれかのセル電圧入力の間違って VDD 又は VSS に短絡した場合）が起こった場合にこれらの入力を保護します。この抵抗は又デジタイズ・チェーンの AD7280A をバッテリー・パックに最初に接続する間、各 AD7280A を保護します。デジタイズ・インターフェースに関するさらに詳しい情報はデジタイズ・インターフェースのセクションを参照してください。

安全のためバッテリー・スタックの直列接続を開放するように設計された回路を含むようなアプリケーションでは、ブレイクポイントより上の AD7280A とバッテリー管理チップとの間に追加の絶縁が必要です。

外付けセル・バランス回路の推奨回路を図 28. に示します。この回路では又セル・バランス出力と直列に 10 kΩ 抵抗を接続しています。この抵抗はセル・バランス出力の保護用で、これらの入力に過電圧、不足電圧が起こった場合の備えです。詳細については、セル・バランス出力のセクションを参照してください。

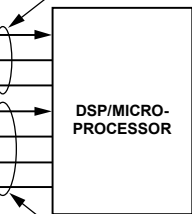
AD7280A



NOTES

- ① 同じデージーチェーンに接続されているすべてのAD7280AはどいつPCB上に実装すること。
- ② デージーチェーンに接続する22pFは、可能な限り各信号ラインの終端近くに実装してください。基準は信号ラインの向きになります。
- ③ VddとVssの接続はできる限り低インピーダンスになるように設計してください。
- ④ デージーチェーンのラインはPCBの内部レイヤーに入れてください。
- ⑤ 加えて上位のスレーブ・デバイスのVssプレーンをデージーチェーンのシールドになるように引き延ばしてください。
- ⑥ 可能な限りデージーチェーンのラインが最短になるように、各AD7280Aをレイアウトしてください。
- ⑦ Vddライン上のフェライト・ビーズは、Vss0以外は20Ωの抵抗と置き換えることが可能です。Vss0の場合は、0Ωの抵抗に置き換えてください。

OPTIONAL INTERFACE PINS



4-WIRE SPI INTERFACE

図 29. AD7280A デージーチェーン回路構成

リファレンス電圧

内部リファレンスは 2.5V になるように温度補正されています。リファレンスは又標準ドリフトが $\pm 3 \text{ ppm}/^\circ\text{C}_{\text{typ}}$ になるように調整されています。図 30. に示すように内部リファレンス回路は、1.2 V バンドギャップ・リファレンスとリファレンス・バッファで構成されています。2.5 V リファレンスは V_{REF} ピンから出力されます。 V_{REF} ピンは $1 \mu\text{F}$ 以上のセラミック・コンデンサで REFGND に対してデカップリングする必要があります。 C_{REF} ピンは $0.1 \mu\text{F}$ 以上のセラミック・コンデンサで REFGND へデカップリングする必要があります。2.5 V リファレンスは $10 \text{ k}\Omega$ までの外付け負荷を駆動することができます。

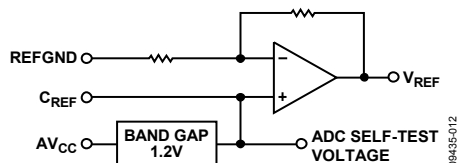


図 30. AD7280A の内蔵リファレンス

セル電圧入力と補助 ADC 入力の変換

AD7280A の変換は $\overline{\text{CNVST}}$ 入力又はシリアル・インターフェースを使って開始することができます (変換開始フォーマットのセクションを参照) 1 つの変換コマンドが AD7280A の選択したすべてのチャンネルの変換を開始します。コンバータの動作セクションで述べたように、各々のバッテリー・セルの電圧は 2 つの隣接したアナログ入力の差を変換する事により測定されます。変換開始コマンドに従って変換される初めのセルはセル 6 で、これは V_{IN6} と V_{IN5} の差の電圧です。最初の変換が終わった時点で、AD7280A は内部の変換終了信号 (EOC) を発生します。この内部 EOC は測定する次のセル電圧入力をマルチプレクサによって選択します (すなわち V_{IN5} と V_{IN4} の差)。新しい入力を取り込まれ、2 番目の内部変換開始信号が生成され、それが変換を開始します。このプロセスは選択したすべての電圧入力と補助 ADC 入力に変換されるまで繰り返されます。

変換シーケンス (すなわちセル電圧入力と補助 ADC 入力に変換される順番) を図 31. と図 32. に示します。セル電圧入力は逆順 (すなわちセル 6 の次はセル 5 というように) に変換されます。しかし補助 ADC 入力は数字順 (すなわち AUX1 の次に AUX2 というように) で変換されます。たとえば変換する入力に 12 入力全部が選択された場合、セル 1 (つまり $V_{\text{IN1}} \sim V_{\text{IN0}}$) の変換の後に AUX1 入力の変換が行われます。

選択された全部の変換が完了した時、次の変換要求に備えて、 V_{IN6} 電圧入力と V_{IN5} 電圧入力が再びマルチプレクサによって選択され、セル 6 両端の電圧が取り込まれます。これはマルチプレクサのデフォルト状態です。

変換するセル電圧入力と補助 ADC 入力はコントロール・レジスタの [D15:D14] ビットにより選択されます。4 つのオプションがあります (表 8 を参照)。

表 8. セル電圧と補助 ADC 入力の選択

[D15:D14] ビット	電圧入力	補助 ADC 入力
00	6~1	1~6
01	6~1	1, 3, and 5
10	6~1	None
11	ADC 自己テスト	None

各電圧入力と補助 ADC 入力の変換にはセル電圧又は補助 ADC 入力電圧を取り込んで変換するのに最小 $1 \mu\text{s}$ が必要です。例えば [D15:D14] ビットを "00" に設定すると、 $\overline{\text{CNVST}}$ の立下りエッジが一連の 12 変換をトリガーします。1 個の AD7280A の選択されたすべての測定を変換するには最小 $12 \mu\text{s}$ が必要です。もし補助 ADC 入力変換が全く必要ない場合には、[D15:D14] ビットを "10" に設定します。この場合、変換要求は一連の 6 変換をトリガーし、変換に必要な最小時間は $6 \mu\text{s}$ になります。

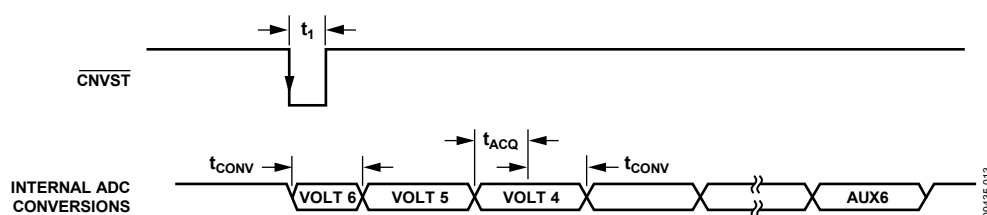


図 31. AD7280A の ADC 変換

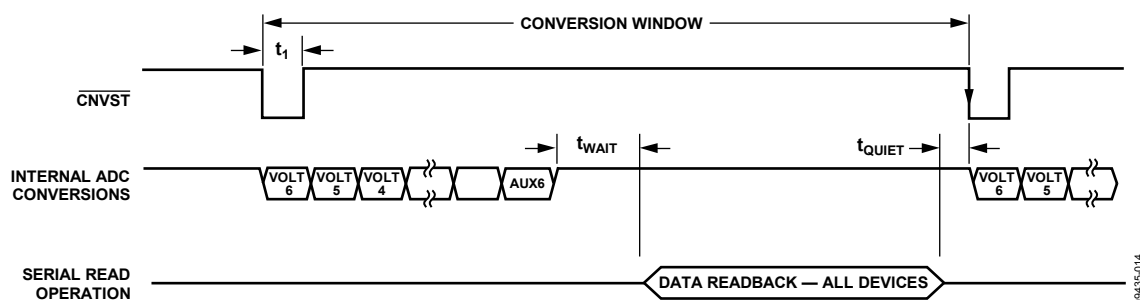


図 32. AD7280A の ADC 変換と読み出し

[D15:D14]ビットを変更した後は、変換を開始する前に 90 μ s 必要となる事に注意してください。この時間は選択した変換を変更するためのコントロール・レジスタへの書き込みと最初の変換開始との間に必要とされます。 \overline{CS} ピンの立ち上がりエッジで開始される変換の場合は、コントロール・レジスタに対して2つの別々の書き込みコマンドが必要です。一番目のコマンドはAD7280Aの希望のアクイジション時間を設定します; 90 μ sの遅延後の2番目のコマンドは \overline{CS} の立ち上がりエッジで変換を開始します。

要求したすべての変換が完了した後、SPIとデジタイゼーション・インターフェースを使って、1個のデバイス又はデジタイゼーションの全デバイスからの結果を読み出す事ができます。詳細については、シリアル・インターフェースのセクションとデジタイゼーション・インターフェースのセクションを参照してください。

図32.に示すように、変換完了と読み出し開始の間にウェイト時間 (t_{WAIT}) が必要です。この時間は他のすべてのAD7280Aの動作に使用される高速変換クロックと低速クロックを同期させるために必要となります。 t_{WAIT} の最小値は5 μ sです。

アクイジション時間

入力信号を取り込むために要する時間は、サンプリング・コンデンサがどのくらい早く充電するかに依存します。これはつまり、入力インピーダンスとアナログ入力に接続されるすべての外付け部品に依存する事になります。最初のパワーアップ時のAD7280Aのデフォルトのアクイジション時間は400 nsです。アナログ入力に外付けする部品の選択に柔軟性を持たせるために、この時間を400 nsのステップで1.6 μ sまで増やす事ができます。コントロール・レジスタの[D6:D5]ビットに書き込む事によりアクイジション時間を選択できます (表9を参照)。

表9.アナログ入力のアクイジション時間

[D6:D5]ビット	アクイジション時間
00	400 ns
01	800 ns
10	1.2 μ s
11	1.6 μ s

必要とされるアクイジション時間は次式で計算されます：

$$t_{ACQ} = 10 \times ((R_{SOURCE} + R) \times C)$$

ここで：

R_{SOURCE} は外付けコンデンサ(100 nF)と入力ピン間のアナログ入力での追加のすべてのソース・インピーダンスを含む必要があります。それはバッテリー・セルと外付けコンデンサ間の追加のどのソース・インピーダンス (例えば 10 k Ω 直列抵抗) も含みません。

Rはトラック & ホールド・アンプから入力を見た抵抗で300 Ω です。

Cはサンプリング・コンデンサで、その値は15 pFです。

変換の平均化

AD7280Aには各セル入力の取り込みと変換を繰り返し、それらの平均化した変換結果を各々のレジスタに保存するオプションがあります。平均化された変換結果は標準的な変換結果と同じ方法でSPIインターフェースを使って読み出す事ができます。AD7280Aはコントロール・レジスタの[D10:D9]ビットを使って、1回、2回、4回又は8回の変換の平均化を設定できます。パワーアップ時のデフォルトでは1チャンネル当たり1回の変換 (すなわち平均化なし) です。

コントロール・レジスタにより2回,4回,8回のいずれかの平均化を選択すると、それに伴う追加のアクイジションと変換が完了できるように、高電圧入力マルチプレクサと低電圧入力マルチプレクサのコントロール・シーケンスが再設定されます。それぞれのケースで、次のチャンネルの一連の取り込みと変換が始まる前に、各チャンネルで希望の数の変換が完了します。例えば2回の変換の平均を指定した場合、新しい順番は電圧チャンネル6、電圧チャンネル6、電圧チャンネル5、電圧チャンネル5、電圧チャンネル4などのようになります。

高電圧マルチプレクサが再設定された時は、どの変換でも開始する前に90 μ s必要とされる事にも注意してください。この時間は平均化を選択するためのコントロールへの書き込みと初めの変換開始との間に必要です。 \overline{CS} ピンの立ち上がりエッジで開始する変換の場合は、コントロール・レジスタに対して2つの別々の書き込みコマンドが必要です。一番目のコマンドは希望の平均化の設定を行います。そして90 μ sの遅延後の2番目のコマンドは \overline{CS} の立ち上がりエッジで変換を開始します。

推奨するアナログ入力の外付け部品回路

アクイジション時間セクションで述べたように、AD7280Aのアクイジション時間はコントロール・レジスタの[D6:D5]ビットのステータスによって選択されます。これはアナログ入力に接続する外付け部品の選択に柔軟性をもたらします。AD7280Aのアナログ入力に外付け部品を接続する推奨回路を図33.に示します。

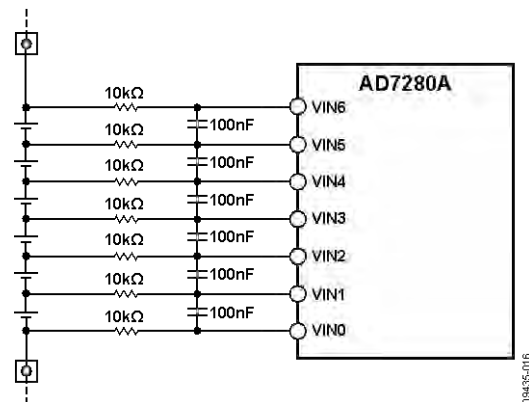


図33.外付け直列抵抗とシャント・キャパシタンス

入力に直列の 10 kΩ 抵抗はアナログ入力に過電圧又は不足電圧が加わった場合に、これらの入力を保護します。差動入力両端に接続されている 100 nF コンデンサは 10 kΩ との組み合わせでローパス・フィルタの役割を果たします。ローパス・フィルタのカットオフ周波数は 80 Hz です。これらの外付け部品を使った場合、デフォルトのアクイジション時間 400 ns を使用する事ができ、この場合の取り込み時間と変換時間の合計は 1 μs です。

デジチェーン接続の AD7280A のセル電圧入力と補助 ADC 入力を変換

AD7280A には個々に絶縁する事なしに 8 個のデバイスまでスタックする事ができるデジチェーン・インターフェースが内蔵されています。デジチェーン・インターフェースの特徴の 1 つはデジチェーンに接続されている全デバイスの変換を 1 つの変換開始コマンドで開始できる事です。変換開始コマンドはデジチェーンを順にマスター・デバイスから上位の各 AD7280A に転送されます。図 34. に示すように、各 AD7280A 間の遅延時間は t_{DELAY} です。

マスター AD7280A の変換開始とチェーンの最後のデバイス AD7280A の間の最大遅延は t_{DELAY} にデジチェーンのスレーブ AD7280A の数を乗算する事によって求められます。セル電圧入力の変換と補助 ADC 入力の変換の合計変換時間は次の式を使って計算できます：

$$\text{Total Conversion Time} = ((t_{ACQ} + t_{CONV}) \times (\text{Number of Conversions per Part})) - t_{ACQ} + ((N - 1) \times t_{DELAY})$$

ここで：

t_{ACQ} は AD7280A のアナログ入力のアクイジション時間です (表 9 を参照)。

t_{CONV} は表 3 に規定されているように、AD7280A の変換時間です。

1 デバイスあたりの変換数は変換に選んだ入力チャンネルの数 (表 8 にリストしたように 6、9 又は 12) に各入力で選んだ平均化の数 (1、2、4 又は 8) を乗算した値です。

N はデジチェーンに接続した AD7280A の数です。

t_{CONV} は表 3 に規定されているように、変換開始コマンドを転送する時間の隣接する AD7280A 間での遅延時間です。

AD7280A の 3 つの可能な設定について計算した合計変換時間を表 10 に示します。

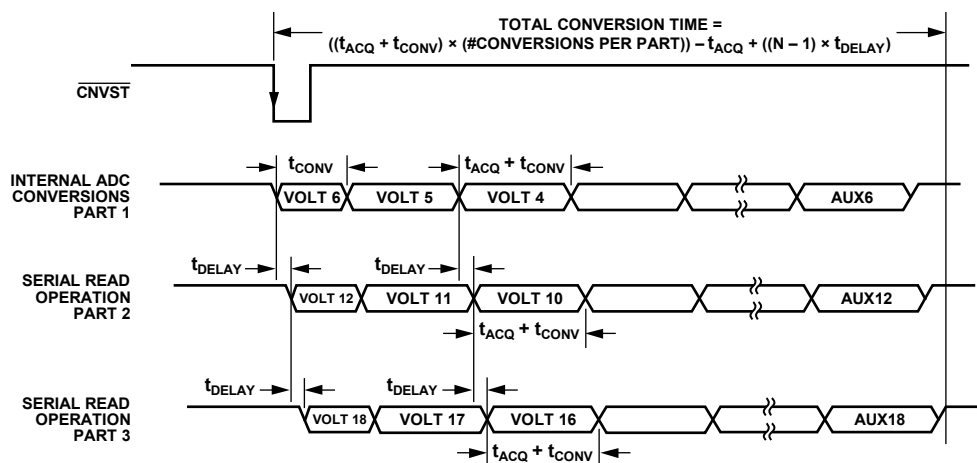


図 34. 3 つ使用した AD7280A チェーンについての ADC 変換と読み出し

表 10. 3 種類の AD7280A の設定例について計算した変換時間、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$

[D15:D14] ビット	[D10:D9] ビット	[D6:D5] ビット	コンフィギュレーション	1 デバイス毎の変換時間	48 チャンネル・スタック毎の合計変換時間
00	00	00	12 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 465$ ns; average = 0	13.46 μs	15.2 μs
		01	12 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 1.01$ μs; average = 0	19.45 μs	21.2 μs
		10	12 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 1.46$ μs; average = 0	24.4 μs	26.15 μs
		11	12 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 1.89$ μs; average = 0	29.13 μs	30.9 μs
10	00	00	6 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 465$ ns; average = 0	6.5 μs	8.23 μs
		01	6 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 1.01$ μs; average = 0	9.22 μs	10.97 μs
		10	6 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 1.46$ μs; average = 0	11.47 μs	13.22 μs
		11	6 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 1.89$ μs; average = 0	13.62 μs	15.37 μs
00	11	00	12 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 465$ ns; average = 8	110.9 μs	112.65 μs
		01	12 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 1.01$ μs; average = 8	162.67 μs	164.42 μs
		10	12 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 1.46$ μs; average = 8	205.42 μs	207.17 μs
		11	12 channels; $t_{CONV} = 695$ ns; $t_{ACQ} = 1.89$ μs; average = 8	246.27 μs	248.02 μs

変換ウインド

セル電圧入力と補助 ADC 入力の変換セクションで述べたように、AD7280A は選択したセル電圧入力と補助 ADC 入力を規定された順番で変換します。(図 31.を参照) 回路説明セクションで述べたように、AD7280A は高電圧入力マルチプレクサ、低電圧入力マルチプレクサと SAR ADC で構成されています。6 つのセル電圧チャンネルは高電圧マルチプレクサによって順に ADC に入力します。次に 6 つの補助 ADC チャンネルの変換をすることができる低電圧マルチプレクサにコントロールが渡されます。全ての選択された変換が完了したら、コントロールが高電圧マルチプレクサに戻され、AD7280A は次の有効な変換開始コマンドの受信に備えます。

AD7280A の変換ウインドには選択されたチャンネルの実際の変換時間 (表 10 を参照) と共に、コントロールを高電圧マルチプレクサに戻し、VIN6~VIN5 間のセル電圧の取り込み開始を設定する追加の時間も含まれます。変換ウインドは連続した 2 つの変換開始コマンドの間で要求される最小時間を規定します。

AD7280A の変換ウインドは次式を使って計算することができます。

$$\text{Conversion Window} = \text{Total Conversion Time} + 80 \mu\text{s}$$

ここでセル電圧入力と補助 ADC 入力の変換セクションで述べたように、単一デバイスの場合又はデバイス・チェーンの場合について合計変換時間を計算することができます。

自己テスト変換

AD7280A で (ADC とリファレンス・バッファの動作を検証できる) 自己テスト変換を開始することができます。自己テスト変換は内蔵 1.2V バンドギャップ・リファレンス電圧で行われ、変換の電圧範囲は 0V~5V です。自己テスト変換を単一 AD7280A か又はデジチェーン接続の全 AD7280A について同時に開始することができます。

変換結果をシリアル・インターフェースセクションに規定された読み出しプロトコルを使って読み出すことができます。自己テスト変換結果は標準的にコード 970 とコード 990 の間で変動します。

自己テスト変換は又警告出力セクションで述べたように、警告出力の動作を検証するために使用する事もできます。

6 電圧セル以下の数の接続

AD7280A にはバッテリー・セル電圧測定用に 6 つの入力チャンネルがあります。また、AD7280A は電圧測定数が 6 つ以下のアプリケーションにも使用可能です。これらのアプリケーションでは、各々のセル電圧の合計が常に必ず最小 V_{DD} 電源電圧以上になっているように注意が必要です。この理由から、各 AD7280A に接続するバッテリー・セルの推奨最小数は 4 になります。VIN6 入力の電圧が常に V_{DD} 電源ピンの電圧より大きいか等しくなるように注意する必要があります。例えば、5 個のバッテリー・セルを AD7280A に接続するアプリケーションでは、セル 5 のセル電圧を VIN6 と VIN5 の両端に印加し、VIN4 と VIN5 入力を共に短絡する必要があります。図 35.に 4 セル・バッテリー・モーター・アプリケーションでの AD7280A に対するバッテリー接続の例を示します。

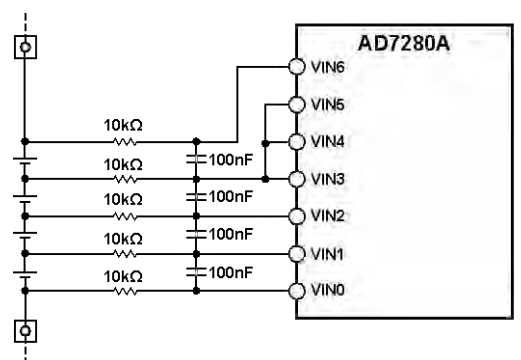


図 35.4 セル・アプリケーションの代表的な接続

ユーザのアプリケーションで必要となるセル電圧測定の数に関わらず、AD7280A は 6 個すべてのセル電圧入力チャンネルの電圧を取り込み、変換します。6 個すべての電圧チャンネルの変換データは SPI/デジチェーン・インターフェースを使用して DSP/マイクロプロセッサに供給されます。ユーザはアプリケーション上必要のない変換データは無視する必要があります。

デジチェーン接続の各デバイスから単一セル電圧変換結果を読み出す事もできます。これは、希望の変換結果を読み出す各デバイスのリード・レジスタを設定する事により行うことができます (AD7280A とのインターフェースの例セクションの例 4 を参照)。しかし前に述べたように、6 個すべてのセル電圧チャンネルは変換されます。デバイスをこのモードで使用する時、全体の変換サンプル・レートを、コントロール・レジスタの [D15:D14] ビットで選択するチャンネル数に必要な変換ウインドによって制限する必要があります。

警告機能を使用する時、短絡されたチャンネルが間違っ警告出力をトリガーしないように、ユーザは警告レジスタを設定する必要があります。(警告出力のセクションを参照)

補助 ADC 入力

AD7280A は 6 個のシングル・エンド・アナログ入力 (AUX1 ~ AUX6) を ADC に供給しますが、これらの入力をサーミスタ温度測定回路の電圧出力を変換するために使用することができます。温度測定が必要ないか又は個別のセル温度の測定が必要ない場合は、補助 ADC 入力を他の任意の 0 V ~ 5 V 入力信号の変換に使用することができます。

AD7280A は補助 ADC 入力チャンネルの変換について、6 チャンネルすべてを実行するか、3 チャンネル (AUX1、AUX3、AUX5) のみを実行するか又は全く変換しないかのいずれかに設定できます。変換の数はコントロール・レジスタの [D15:D14] ビットを使って設定します。DSP/マイクロプロセッサの読み出しに応じて AD7280A が供給する変換結果の数はコントロール・レジスタの [D13:D12] ビットで設定されます。デジタイズチェーン接続の各デバイスから単一の補助 ADC の変換結果を読み出す事もできます。これは、希望の変換結果を読み出す各デバイスのリード・レジスタを設定する事により行う事ができます (AD7280A とのインターフェースの例のセクションの例 4 を参照)。このモードでデバイスを使用する場合は、全体の変換サンプル・レートを、コントロール・レジスタの [D15:D14] ビットで選択するチャンネル数に必要な変換ウインドによって制限する必要があります。

警告機能が使用されるが 1 チャンネルか 2 チャンネルの補助 ADC 入力しか必要でないアプリケーションでは、始めコントロール・レジスタの [D15:D12] ビットを "0101" に設定する事によって 3 つのみの補助 ADC 変換が行われ、読み出されるように AD7280A を設定する必要があります。警告レジスタの [D1:D0] ビットに書き込む事によりチャンネル AUX5 とチャンネル AUX3 を警告ディテクタから取り除く事ができます (警告出力セクションの表 12 を参照してください)

サーミスタ終端入力

各々のセル温度の測定にサーミスタ回路を使用する場合、各補助 ADC 入力測定にサーミスタ入力を終端するために各サーミスタ終端ピン、AUX_{TERM} を使用する事ができます。これにより必要な終端抵抗を 6 つの抵抗から 1 つに削減できます。AUX_{TERM} 入力を使用する時には、コントロール・レジスタの D3 ビットを "1" に設定する必要があります。

セトリグ時間に対する要求から、AD7280A のアキュイジション時間がその最高の値すなわち 1.6 μ s (すなわち [D6:D5] ビットを "11" に設定) に設定されている時のみ、サーミスタ終端抵抗オプションが使用できます。アキュイジション時間はコントロール・レジスタの [D6:D5] ビットを設定する事により設定されます (表 9 を参照)。

図 36. に示すように、終端抵抗は V_{SS} と AUX_{TERM} との間に接続します。サーミスタ入力をサーミスタ回路の高電圧または低電圧に終端するために AUX_{TERM} 入力を使用することができます。

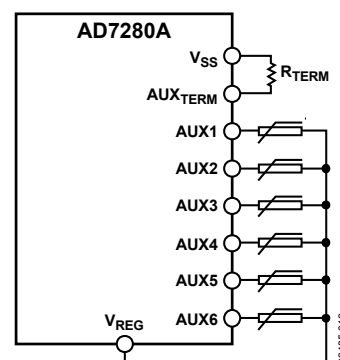


図 36. サーミスタ終端抵抗を使用する標準的な回路

電源条件

AD7280A が通常動作 (すなわちパワーダウン・モードではない時) で消費する電流はデバイスが動作しているモードによって異なります。3 つの異なる動作モードを次のように述べる事ができます:

- 電圧入力と補助 ADC 入力の変換
- AD7280A の設定とデータ読み出し
- セル・バランスング

AD7280A は電圧入力そして/又は補助 ADC 入力をデジタル出力に変換している間にその最大レベルの電流を消費します。AD7280A の設定によっては、変換時間を 6 μ s 程度に少なくできます。AD7280A が変換中に必要とする標準的な電流は 6.9 mA です。(表 2 を参照)

AD7280A チェーンを設定する時、又は AD7280A チェーンから電圧変換結果そして/又は補助 ADC 変換結果を読み出す時に、各 AD7280A が必要とする電流は 6.5 mA_{typ} です (表 2 を参照)。48 個のリチウムイオン・セルから電圧変換結果を読み出すために必要な時間は使用するインターフェース・クロック (すなわち、SCLK、しかしそれは 1.54ms 程度に低くする事ができます) の速度に依存します。

セル・バランス出力がスイッチ・オンの時、AD7280A によって消費される標準的な電流は 6.4 mA です (表 2 を参照)。セル・バランス出力がスイッチ・オンしている時間の長さはユーザが指定します。

AD7280A が前述のどの動作モードにも使用されない時には、パワーダウンセクションで述べるようにデバイスをパワーダウンする事を推奨します。パワーダウンする事によりチェーンの各 AD7280A で流れる電流を大幅に減らす事ができ、リチウムイオン・セルの不必要な流出を防ぎ、フル・バッテリー・スタック全体のデバイス間の電流マッチングに役立ちます。

パワーダウン

AD7280A には 2 つのパワーダウンのオプションがあります。

- フル・パワーダウン(ハードウェア)
- ソフトウェア・パワーダウン

フル・パワーダウン(ハードウェア)

$\overline{\text{PD}}$ ピンをロー・レベルにする事により AD7280A をパワーダウン・モード (最大消費電流が $5 \mu\text{A}$ のみ) にする事ができます。PD ピンの立下りエッジによりすべてのアナログ回路とデジタル回路がパワーダウンします。

AD7280A には $\overline{\text{PD}}$ ピンにデジタル遅延フィルタが内蔵されています。このフィルタはハードウェアの $\overline{\text{PD}}$ ピンに加わるノイズ又はグリッジによりパワーダウンが開始されないように保護します。PD ピンが約 $130 \mu\text{s}$ の間ロー・レベルを保つまでハードウェア・パワーダウンは開始しません。同様に、PD ピンが約 $130 \mu\text{s}$ の間ハイ・レベルを保たなければ AD7280A はパワーダウン・モードから抜け出ません。デジタル遅延フィルタは初めのパワーアップ時には適応されません。パワー・オン要求は $\overline{\text{PD}}$ の立ち上がりエッジ後約 $5 \mu\text{s}$ で AD7280A に受け入れられます。

AD7280A をフル・パワーダウン・モードにした時、 AV_{CC} と DV_{CC} は 0 V に下がらなければなりません。そしていかなる外部的な方法によってもハイ・レベルにならないようにしなければなりません。補助 ADC 入力が入部 ESD 保護用ダイオードの順方向バイアスよりも大きい場合、 AV_{CC} と DV_{CC} が意図せずにハイ・レベルに維持される可能性があります。このため、デバイスをフル・パワーモードにする時には、補助 ADC 入力を 0 V に戻す事を推奨します。

さらに、デバイスをフル・パワーダウン・モードにする時は、AD7280A マスター・デバイスの全デジタル入力は 0 V に戻っていないければなりません (図 37 を参照)。しかし、もし外部 V_{DRIVE} 電源が使用されている場合 (すなわち V_{DRIVE} が V_{REG} に接続されていない場合) は、 CNVST ラインのみがロー・レベルに戻っていないければなりません (図 38 を参照)。

AD7280A をフル・パワーダウン・モードにする時、 V_{REG} ピンと V_{REF} ピンが $1 \mu\text{F}$ でデカップリングされている場合は、デバイスを最小 2 ms の間フル・パワーダウンを維持しなければなりません。これにより確実に V_{REG} と V_{REF} のデカップリング用コンデンサの電荷が十分に放電し、AD7280A の電源を復帰する時、内部パワー・オン・リセット回路が駆動できるようになります。

この時間は $\overline{\text{PD}}$ ピンの立下りエッジから測定されます。図 18 は AD7280A がパワーダウンした時の V_{REG} ピンと V_{REF} ピンの電圧のグラフを示します (これらのピンのデカップリング用コンデンサは $1 \mu\text{F}$)。図 20 は同じようなグラフですが V_{REG} ピンと V_{REF} ピンのデカップリング用コンデンサは $10 \mu\text{F}$ です。

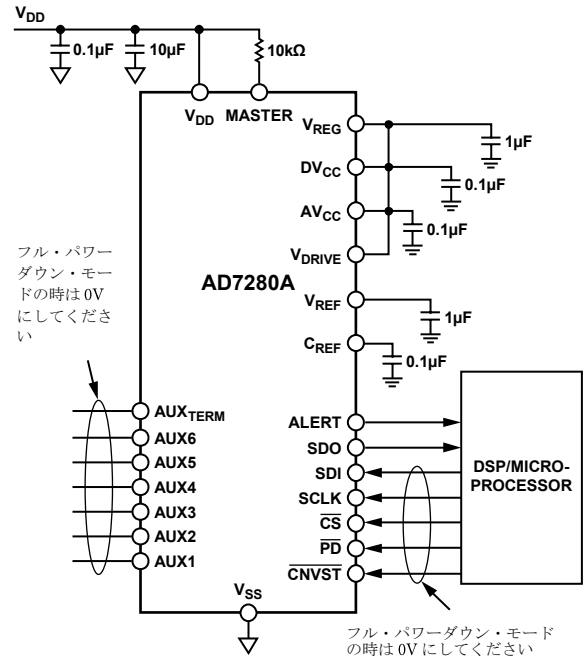


図 37. V_{DRIVE} の電源を V_{REG} から供給

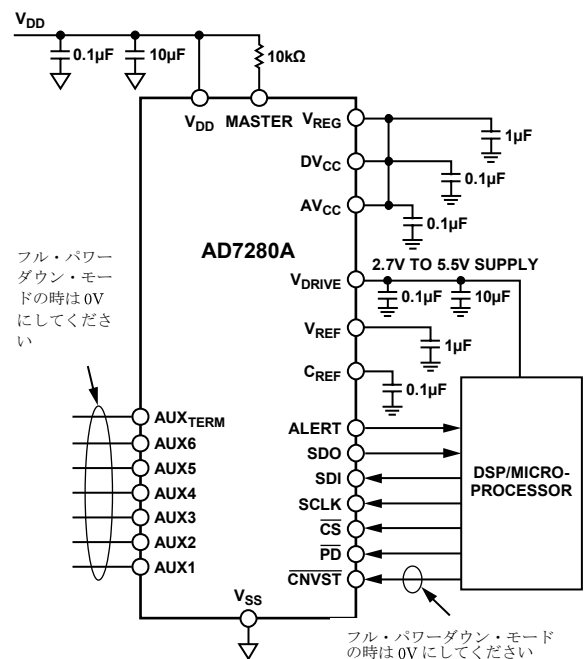


図 38. V_{DRIVE} の電源を DSP/マイクロプロセッサから供給

ソフトウェア・パワーダウン

シリアル・インターフェースを通してコントロール・レジスタの D8 ビットを設定する事により、AD7280A をソフトウェア・パワーダウン・モード（消費電流は 3.8mA）にする事ができます。ソフトウェア・パワーダウンを行う前に CNVST ピンをゲート・アウトする必要があります（CNVST コントロールレジスタのセクションを参照）。AD7280A をシリアル・インターフェースを通してパワーダウンした時、レギュレータ回路、リファレンス回路そしてデジタイゼーション回路はパワーアップされたままですが、残りのアナログ回路とデジタル回路はパワーダウンします。この場合、デバイス（又はデバイス・チェーン）をパワー・オンする信号を間違えなく得られるようにする必要があります。

パワーダウン・タイマー

PD タイマー・レジスタを使う事により AD7280A が自動的にパワーダウンするまでの時間を設定する事ができます。このタイマーは PD 入力の立下りエッジ（又はコントロール・レジスタの D8 ビットの設定）と AD7280A がパワーダウンする間の時間遅延として機能します。PD タイマーは 0 分から 36.9 分までの値に設定できます。分解能は 71.5 秒です。ユーザは初めに希望の遅延時間を指定するために PD タイマー・レジスタに書き込む必要があります。後続のどの PD 入力の立下りエッジでも又はコントロール・レジスタの D8 ビットを設定する事により PD タイマーがスタートします。設定された時間が経過した時、AD7280A は PD ピンの状態をチェックします。PD ピンがロー・レベルの場合、AD7280A はパワーダウンします。PD ピンがハイ・レベルの場合、デバイスはパワーダウンせず通常通り動作を続けます。パワーアップ時、PD タイマー・レジスタのデフォルト値は "0x00" です。

もしカウンタがスタートした後に PD タイマー・レジスタが書き込まれた場合、カウンタは "0" にリセットされます。次に（ユーザからさらに入力がなければ）カウンタは自動的に再スタートします。そして PD タイマー・レジスタの新しい値に対してカウントします。PD タイマー・レジスタの新しい時間が "0" の場合、デバイスは PD ピンの状態をチェックし、PD ピンがロー・レベルであればパワーダウンします。PD タイマーが動作している時には（例えば PD ピンの立下りエッジにより）、次の PD ピンの立ち上がりエッジは動作中の PD タイマーをディスエーブルしない事に注意してください。動作中の PD タイマーが終了するまで PD ピンをロー・レベルに保つ事をお勧めします。

パワーアップ時間

パワーダウンセクションで述べたように、AD7280A のフル・パワーダウン（PD 入力のアクティブ・ロー）はすべてのアナログ回路とデジタル回路をパワーダウンします。ハードウェア・パワーダウンからの推奨パワーアップ時間は（内部リファレンスが 1 μ F コンデンサでデカップリングされている時）5.5 ms です。パワーアップ時間 5.5 ms が経過するまで変換を開始させない事をお勧めします。なぜならその間の変換は不正確なデータになる可能性があるからです。

ソフトウェア・パワーダウンはレギュレータ、1.2 V バンドギャップ・リファレンス、デジタイゼーション回路を除き、AD7280A のすべてのアナログ回路とデジタル回路をパワーダウンします。ソフトウェア・パワーダウンからの推奨パワーアップ時間は（V_{REF} ピンが 1 μ F コンデンサでデカップリングされている場合）1 ms です。

セル・バランス出力

AD7280A はセル・バランス回路の一部である外部トランジスタのゲート駆動に使用できる 6 つのセル・バランス電圧を出力します。各 CBx 出力はバランスをとるバッテリー・セル

の負端子の絶対的な電圧を基準に 0V 又は 5V を出力するように設定する事ができます。例えば、CB6 出力は VIN5 アナログ入力電圧を基準に 0V 又は 5V を出力します。6 つの CBx 出力はセル・バランス・レジスタに書き込む事により設定されます。パワーアップ時のセル・バランス・レジスタのデフォルト値は "0x00" です。

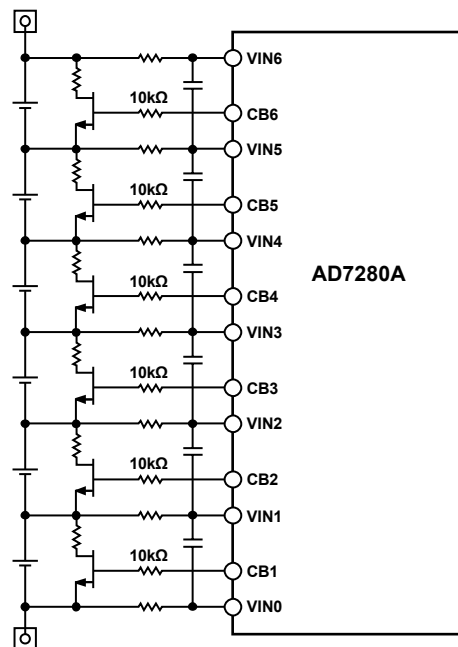


図 39.セル・バランス回路

パワーダウン・タイマーセクションに説明されているように、AD7280A はパワーダウン・タイマーを設定する事ができます。このタイマーを使う事により AD7280A がパワーダウンする前のセット時間の中にセル・バランスを行う事ができます。パワーダウン・タイマーはセル・バランス・タイマーとは無関係です。パワーダウン・タイマーが設定されていない場合（すなわち PD タイマー・レジスタがデフォルト値 "0x00" の場合）、PD ピンの立下りエッジは CBx 出力をオフにして、AD7280A をパワーダウンします。パワーダウン・タイマーがセットされている場合、設定したパワーダウン・タイマーが経過し、AD7280A がパワーダウンした時、CBx 出力はパワーダウンします。

2 個以上の AD7280A デバイスをデジタイゼーション接続するアプリケーションでは、AD7280A の CBx 出力と外部セル・バランス・トランジスタのゲートとの間に直列抵抗を接続する事をお勧めします。モニター回路をバッテリー・スタックに最初に接続する間に、外部セル・バランス・トランジスタが破損する事故に備え、AD7280A を保護するためにこれらの抵抗をお勧めします。モニター回路をバッテリー・スタックに最初に接続する間のこれらの外部トランジスタの保護に関して又検討しなければならぬ内容もあります。

外部トランジスタに対する損傷がどのように起こるかの例に接続の順番がありますが、最初にシステム・グラウンド（デジチェーン接続のマスターAD7280Aのグラウンド電源）に接続し、次にセル・バランス・トランジスタの V_{GS} を十分に超えるような高い電位（例えば40V）で任意のバッテリー・セルに接続する場合があります。もしこれら2つの接続がシステムで初めてのバッテリー接続ならば、AD7280Aの V_{INx} ピンの1つに直列抵抗を通して40Vが印加される結果になります。40Vのバッテリー接続は又セル・バランス・トランジスタの1つのソース入力に直接印加されます。しかしAD7280Aの V_{DD} ピンには電源が供給されていないので、すべての CBx 出力は0Vです。この場合外部トランジスタの V_{GS} の両端に40Vの逆電圧が加わる結果になり、デバイスを破壊させる可能性があります。

セル・バランス・タイマー

AD7280Aには各 CBx 出力のオン時間を設定できる6つのセル・バランス・タイマー・レジスタがあります。 CBx タイマーは0分から36.9分までの値に設定できます。 CBx タイマーの分解能は71.5秒です。 CBx タイマー・レジスタの値"0x00"は、タイマーが駆動しない事を意味します。 CBx タイマー・レジスタにプログラムされる非ゼロ値は使用目的に CBx タイマーを設定しますが、 CBx 出力と CBx タイマーはセル・バランス・レジスタが書き込まれるまで駆動しません。個々にプログラムされた CBx 時間の終了時に、それぞれの CBx 出力はバランスを取っているバッテリー・セルの負端子の絶対的な電圧を基準にそのデフォルト状態の0V出力に戻ります。この時間に又、セル・バランス・レジスタはリセットされ、 CBx タイマー・レジスタはそれらの設定値を保ち続けます。パワーアップ時、 CBx タイマー・レジスタのデフォルト値は"0x00"です。

セル・バランス・タイマー機能を使用する時は、各セル・バランス出力のタイマーが1つの CB カウンタで動作する事に注意してください。非ゼロ値が任意の CBx タイマー・レジスタにプログラムされる時、このカウンタはセル・バランス・レジスタに非ゼロ値を書き込む事により駆動されます。カウンタの現在の値は4.5秒間隔(71.5秒/16)で各 CBx タイマー・レジスタに設定された値と比較されます。カウンタの値が CBx タイマー・レジスタの値に到達した時、その CBx タイマー・レジスタに対応するセル・バランス出力がオフになります。セル・バランス・レジスタが CBx タイマー・レジスタより優先順位が高い事に注意してください。たとえそれぞれの CBx タイマー・レジスタに設定された値が終了していても、セル・バランス・レジスタに書き込む事により CBx 出力をオフにする事が出来ます。

アクティブな CBx タイマー・レジスタ（対応する CB 出力がオンになっている）にゼロ値又は非ゼロ値を書き込む事により、セル・バランス・カウンタがリセットされ、自動的に再スタートします。 CBx タイマーを"0"で上書きする事によりカウンタが再スタートしますが、タイマー値が現在"0"であるため、対応する CB 出力はオフになる事に注意してください。非アクティブな CBx タイマー・レジスタ（対応する CB 出力はオンに切り替わっていない）へのいかなる書き込みもセル・バランス・カウンタには影響ありません。

セル・バランス・タイマーの設定

CB カウンタをアクティブにする前に希望の CBx タイマー値を個々の CBx タイマー・レジスタに設定する事をお勧めします。カウンタが動作中に CBx 値を変更する事は可能です;しかしセル・バランス・タイマーのセクションで述べたようにア

クティブな CBx タイマー・レジスタへの書き込みはカウンタをリセットします。

セル・バランス・タイマー例 1

次の一連のステップで214.5秒の値を $CB1$ と $CB2$ のタイマー・レジスタにプログラムします。

1. $CB1$ タイマー・レジスタと $CB2$ タイマー・レジスタの[D4:D3]ビットをハイ・レベルに設定する。
2. セル・バランス・レジスタの[D3:D2]ビットをハイ・レベルに設定する。
3. 60秒間待機する。
4. $CB3$ タイマー・レジスタの[D4:D3]ビットをハイ・レベルに設定する。
5. セル・バランス・レジスタの[D4:D2]ビットをハイ・レベルに設定する。

この例では、 $CB1$ 出力と $CB2$ 出力はオンになり、セル・バランス・カウンタが起動します。60秒の待機後、214.5秒の値が $CB3$ タイマー・レジスタに書き込まれ、 $CB3$ 出力がオンになり、 $CB1$ と $CB2$ の出力はオン状態を維持します。この例では3つのすべての CB 出力が同時にオフになります。(214.5秒)これは $CB3$ タイマー・レジスタをプログラムし、 $CB3$ 出力を選択する前に CB カウンタがすでにアクティブになっていたからです。

セル・バランス・タイマー例 2

この例では、セル・バランス・タイマー例1のセクションで述べた同じ一連のステップに従ってください。しかし待機ステップを60秒から214.5秒以上の任意の値に増やしてください。

初めのステップは $CB1$ と $CB2$ タイマーをセットアップし、 $CB1$ 出力と $CB2$ 出力をアクティブにします。しかし、ここで待機状態は $CB1$ と $CB2$ のタイマーに設定した時間より長くなるので、 $CB1$ と $CB2$ のタイマーは $CB3$ を設定するための追加の書き込みをする前に終了します。 $CB1$ 出力と $CB2$ 出力はオフになり、"0"がセル・バランス・レジスタの[D3:D2]ビットに書き込まれ、 $CB3$ タイマーをプログラムして $CB3$ 出力をオンするコマンドを受信する前に CB カウンタが"0x00"にリセットされます。

この例ではセル・バランス・レジスタへの2番目の書き込み（ $CB1$, $CB2$ と $CB3$ 出力を選択する）は CB カウンタの新しい起動と考えられます。 $CB1$, $CB2$ と $CB3$ 出力はオンになり、もしAD7280Aにそれ以上のコマンドが書き込まれなければ、3つのすべての出力は CB カウンタのこの2番目の起動後214.5分経つとオフになります。

警告出力

次のどれかの異常が発生したかどうかを表示するために、AD7280Aの警告出力を使うことができます。

- セル 過大電圧
- セル 不足電圧
- 補助 ADC 過大電圧
- 補助 ADC 不足電圧

各々の変換が完了した後、セル電圧と補助 ADC の測定結果は警告しきい値と比較されます。警告しきい値はセル過大電圧、セル不足電圧、AUX ADC 過大電圧そして AUX ADC 不足電圧の各レジスタに書き込む事により設定します。警告出力は、セル電圧の結果そして/又は補助 ADC の結果が設定した警告しきい値の外になると発生します。

警告レジスタに書き込む事により警告出力をスタティック出力又はダイナミック出力のいずれかに設定できます。スタティック警告出力はハイ・レベル信号ですが、セル電圧又は補助 ADC 入力の変換に過大電圧又は不足電圧のイベントが生じた時にはロー・レベルになります。ダイナミック警告は矩形波で、周波数は 100 Hz、1 kHz 又は 10 kHz に設定できます。警告出力をデジタイゼーションの一部として使用する事ができます。この場合チェーンのトップの AD7280A (すなわち DSP/マイクロプロセッサからもっとも遠い) を最初の警告出力が発生するように設定し、チェーンの他のすべてのデバイスを警告信号が通過するように設定する必要があります。もし変換結果が (最初の警告信号を発生するデバイスか又はチェーンの任意のデバイスのいずれかで) 設定したしきい値の外になった場合、警告状態が発生した事を示すために警告信号がロー・レベルになります。(DSP/マイクロプロセッサに接続されている) マスターの AD7280A は、デジタイゼーションの最後にチェーンから警告信号を受け取り、それを標準デジタル電圧形式で DSP/マイクロプロセッサに送ります。警告レジスタのコンフィギュレーション設定を表 11 と表 12 に示します。

表 11. 警告レジスタ設定, [D7:D4] ビット¹

[D7:D6] ビット	[D5:D4] ビット	動作
00	XX	警告信号の発生又は送信は無し (デフォルト)
01	XX	デジタイゼーションを下に渡されるスタティック (ハイ・レベル) 警告信号を発生
10	00	デジタイゼーションの下に渡される 100 Hz 矩形波警告信号を発生
10	01	デジタイゼーションの下に渡される 1 kHz 矩形波警告信号を発生
10	10	デジタイゼーションの下に渡される 10 kHz 矩形波警告信号を発生
10	11	予約済み
11	XX	デジタイゼーションでより高い電位の AD7280A から警告信号を渡す

¹ X は don't care.

表 12. 警告レジスタ設定, [D3:D0] ビット¹

[D3:D2] ビット	[D1:D0] ビット	動作
00	XX	警告検出に 6 電圧チャンネルすべてを含む (デフォルト)
01	XX	VIN5 を警告検出から取り除く
10	XX	VIN5 と VIN4 を警告検出から取り除く
11	XX	予約済み
XX	00	警告検出に変換を選択したすべての AUX ADC を含む ² (デフォルト)
XX	01	AUX5 を警告検出から取り除く
XX	10	AUX5 と AUX3 を警告検出から取り除く ³
XX	11	予約済み

¹ X は don't care.

² コントロール・レジスタで 6 補助 ADC チャンネルの変換を選択した場合は、警告検出に 6 補助 ADC チャンネルを含みます; コントロール・レジスタで 3 つの補助 ADC チャンネルの変換を選択した場合は、警告検出に 3 つの補助 ADC チャンネルを含みます。

³ 警告検出から AUX5 又は AUX5 と AUX3 を取り除くためには、コントロール・レジスタで 3 つの補助 ADC 入力チャンネルのみの変換を選択する必要があります。

あるアプリケーションでは 6 つの電圧測定を必要としません。(6 電圧セル以下の数の接続のセクションを参照)。図 35 に示すように、AD7280A で使用しないチャンネルはその下のチャンネルに短絡する事をお勧めします。このようなアプリケーションで警告出力が間違っただけトリガーされるのを防ぐために、AD7280A では 2 電圧チャンネルまでを選択して、過大電圧/不足電圧検出回路を取り除く事ができます。この選択は警告レジスタの [D3:D2] ビットを使って設定されます。ユーザは又検出回路から補助 ADC チャンネルの全部又は選択したチャンネルを取り除く事ができます。これはコントロール・レジスタの [D15:D14] ビットとの組み合わせで、警告レジスタの [D1:D0] ビットによって設定されます。

警告出力の動作は自己テストの変換を開始する事により検証できます。自己テストの変換はバンドギャップ・リファレンス電圧 1.2 V を変換しますが、もしセル不足電圧のしきい値が 1.2 V よりも高ければ警告出力をトリガーします。警告出力をテストするために、自己テストの変換を DSP/マイクロプロセッサから最も遠い AD7280A で開始する必要があります。

又警告出力の動作は、既知の入力電圧のあたりで、しきい値を上げたり、下げたりして警告状態をトリガーする事により検証できます。デジタイゼーション接続の AD7280A の各デバイスの警告動作は、例えばそのデバイスのセル過大電圧のしきい値をセルの入力電圧の値よりも下げる事により検証できます。デジタイゼーション接続の全デバイスの変換を開始すると、警告信号はそのデバイスに渡された時、ロー・レベルになります。次にそのデバイスの該当するしきい値を前の値に戻し、デジタイゼーション接続の次のデバイスで同じ事を繰り返します。

レジスタ・マップ

表 13.

レジスタ名	レジスタ・アドレス	レジスタ・データ	リード/ライト・レジスタ
セル電圧 1	0x00	D11 to D0	Read only
セル電圧 2	0x01	D11 to D0	Read only
セル電圧 3	0x02	D11 to D0	Read only
セル電圧 4	0x03	D11 to D0	Read only
セル電圧 5	0x04	D11 to D0	Read only
セル電圧 6	0x05	D11 to D0	Read only
補助 ADC 1	0x06	D11 to D0	Read only
補助 ADC 2	0x07	D11 to D0	Read only
補助 ADC 3	0x08	D11 to D0	Read only
補助 ADC 4	0x09	D11 to D0	Read only
補助 ADC 5	0x0A	D11 to D0	Read only
補助 ADC 6	0x0B	D11 to D0	Read only
自己テスト	0x0C	D11 to D0	Read only
コントロール	0x0D	D15 to D8	Read/write
	0x0E	D7 to D0	Read/write
セル 過大電圧	0x0F	D7 to D0	Read/write
セル 不足電圧	0x10	D7 to D0	Read/write
補助 ADC 過大電圧	0x11	D7 to D0	Read/write
補助 ADC 不足電圧	0x12	D7 to D0	Read/write
警告	0x13	D7 to D0	Read/write
セル バランス	0x14	D7 to D0	Read/write
CB1 タイマー	0x15	D7 to D0	Read/write
CB2 タイマー	0x16	D7 to D0	Read/write
CB3 タイマー	0x17	D7 to D0	Read/write
CB4 タイマー	0x18	D7 to D0	Read/write
CB5 タイマー	0x19	D7 to D0	Read/write
CB6 タイマー	0x1A	D7 to D0	Read/write
PD タイマー	0x1B	D7 to D0	Read/write
リード	0x1C	D7 to D0	Read/write
CNVST コントロール	0x1D	D7 to D0	Read/write

セル電圧レジスタ

セル電圧レジスタは各セル入力からの変換結果を保存します。変換結果のフォーマットは 12 ビット・ストレート・バイナリです。

補助 ADC 入力

補助 ADC レジスタは各補助 ADC 入力からの変換結果を保存します。変換結果のフォーマットは 12 ビット・ストレート・バイナリです。

自己テスト・レジスタ

自己テスト・レジスタは ADC 自己テストの変換結果を保存します。変換結果のフォーマットは 12 ビット・ストレート・バイナリです。

コントロール・レジスタ

コントロール・レジスタは AD7280A を設定するために使用される 16 ビット・レジスタです。表 14 はコントロール・レジスタの各ビットの機能の説明です。

表 14. コントロール・レジスタの設定

ビット数	説明
[D15:D14]	変換する入力の選択 00 = 6 セル電圧と 6 補助 ADC (デフォルト) 01 = 6 セル電圧と AUX1、AUX3、AUX5 10 = 6 セル電圧のみ 11 = ADC 自己テスト
[D13:D12]	変換結果の読み出し 00 = 6 電圧と 6 補助 ADC (デフォルト) 01 = 6 電圧と AUX1、AUX3、AUX5 10 = 6 セル電圧のみ 11 = 読み出し動作なし
D11	変換開始フォーマット 0 = $\overline{\text{CNVST}}$ 入力の立下りエッジ (デフォルト) 1 = $\overline{\text{CS}}$ の立ち上がりエッジ
[D10:D9]	変換の平均化 00 = 1 回の変換のみ (デフォルト) 01 = 2 回の平均 10 = 4 回の平均 11 = 8 回の平均
D8	パワーダウン・フォーマット 0 = $\overline{\text{PD}}$ 入力の立下りエッジ (デフォルト) 1 = ソフトウェア・パワーダウン
D7	ソフトウェア・リセット 0 = リセットを解除する (デフォルト) 1 = AD7280 をリセット
[D6:D5]	アクイジション時間の設定 00 = 400 ns (デフォルト) 01 = 800 ns 10 = 1.2 μs 11 = 1.6 μs
D4	予約済み; 1 にセット
D3	サーミスタ終端抵抗 0 = 機能は使用されない (デフォルト) 1 = 終端抵抗を接続する
D2	デバイス・アドレスのロック 0 = 新しいデバイス・アドレスにロックしない; デバイス・アドレス "0x00" で動作し続ける (デフォルト) 1 = デバイスは送られてくる新しいデバイス・アドレスにロックする
D1	デバイス・アドレスのインクリメント 0 = データをデジチェーンの上に転送する時、デバイス・アドレスをインクリメントしない 1 = データをデジチェーンの上に転送する時、デバイス・アドレスをインクリメントする (デフォルト)
D0	デジチェーン・レジスタ・リードバック 0 = 機能は使用されない; レジスタは 1 つのレジスタ読み出しモードで読み出される 1 = デジチェーンをレジスタ読み出しに設定 (デフォルト)

変換する入力の選択

変換開始コマンドの後に、どのセル電圧入力と補助 ADC 入力を変換するかを、コントロール・レジスタの[D15:D14]ビットで選択します。パワーアップ時の D15 と D14 のデフォルト値は"00"です。

変換結果の読み出し

どのセル電圧変換結果と補助 ADC 変換結果を、読み出しのためにシリアル・データ出力ピン又はデジタイゼーション・データ出力ピンに供給するかをコントロール・レジスタの[D13:D12]ビットで決めます。パワーアップ時の D13 と D12 のデフォルト値は"00"です。

変換開始フォーマット

AD7280A の変換はハードウェア CNVST ピンを使うか又はソフトウェア変換開始コマンドを発行する事により開始する事ができます。コントロール・レジスタの D11 ビットは変換が CNVST 入力の立下りエッジで開始されるか、CS 入力の立ち上がりで開始されるかを決めます。パワーアップ時のデフォルト・フォーマットは、CNVST ピンすなわち"0"です。変換開始に CS 入力の立ち上がりエッジを使用した時、変換開始に従って D11 ビットは"0"にリセットされます。

変換の平均化

コントロール・レジスタの[D10:D9]ビットによって各入力で行われる変換の数が決定され、平均化された結果は該当する結果レジスタに保存されます。ユーザは 1 回の変換のみか又は 2 回、4 回又は 8 回の変換の平均かを選択できます。パワーアップ時の[D10:D9]ビットのデフォルト値は"00" (すなわち 1 回変換のみ) です。

パワーダウン・フォーマット

コントロール・レジスタの D8 ビットをセットすると、AD7280A がソフトウェア・パワーダウンになります。詳細については、パワーダウンのセクションを参照してください。パワーアップ時の D8 ビットのデフォルト値は"0"です。

ソフトウェア・リセット

コントロール・レジスタの D7 ビットにより AD7280A のソフトウェア・リセットを開始する事ができます。リセット動作を実行するには 2 つの書き込みコマンドが必要です。AD7280A をリセットするには D7 ビットをハイ・レベルに設定する必要があります。次に AD7280A をリセットから抜け出させるには D7 ビットをロー・レベルに設定する必要があります。ソフトウェア・リセットはコントロール・レジスタの下位バイト (アドレス 0x0E) を除いて、すべてのユーザ設定可能なレジスタをそれらのデフォルト値にリセットします。ソフトウェア・リセットを実行する時、[D6:D0] ビットが間違っても上書きされないように注意が必要です。

アキュイジション時間の設定

コントロール・レジスタの[D6:D5]ビットは ADC のアキュイジション時間を決めます。詳細については、アキュイジション時間のセクションを参照してください。アキュイジション時間のデフォルト値は 400 ns、すなわち"00"です。

サーミスタ終端抵抗

AUX_{TERM} ピンに 1 つのサーミスタ終端抵抗を接続する事を希望する場合は、コントロール・レジスタの D3 ビットをセットする必要があります。セトリング時間に対する要求により、AD7280A のアキュイジション時間をその最高の値、1.6 μ s (すなわち[D6:D5] ビットを"11"にセット) に設定した時のみにサーミスタ終端抵抗オプションを利用できます。D3 のデフォルト値は"0"です。

デバイス・アドレスのロック

コントロール・レジスタの D2 ビットを D1 ビットと共に使用して、デジタイゼーション接続の各 AD7280A の個別のデバイス・アドレスを指定し、そのデバイスにロックする事ができます。D1 ビットはデジタイゼーションの各 AD7280A に書き込みコマンドの形で送られる個々のデバイス・アドレスを生成するために使用されます。D2 ビットがハイ・レベルの時、AD7280A はそのデバイスに送られたデバイス・アドレスにロックします。この新しいデバイス・アドレスはその後のすべて CRC 計算に使用されます。D2 ビットがロー・レベルの時、AD7280A のデバイス・アドレスはロックされません。この場合、CRC の計算には 0x00 のデバイス・アドレスが使用されます。D2 のデフォルト値は"0"です。

デバイス・アドレスのインクリメント

コントロール・レジスタの D1 ビットは、書き込みコマンドをデジタイゼーションの上に転送する時、AD7280A が書き込みコマンドの一部として受け取るデバイス・アドレスを AD7280A がインクリメントするかどうかを決めます。D1 ビットが"1"に設定されている時、デバイス・アドレスはコマンドがチェーンを上を渡されるとインクリメントされます。この動作モードは初期のパワーアップ時とハードウェアのパワーダウンから抜け出る時に使用され、デジタイゼーション・スタックの各 AD7280A の個別のデバイス・アドレスを指定します。D1 がロー・レベルの時は、コマンドがチェーンの上に渡されてもデバイス・アドレスは変化しません。D1 のデフォルト値は"1"です。

デジタイゼーション・レジスタの読み出し

コントロール・レジスタの D0 ビットはデジタイゼーション接続の各 AD7280A から個々のレジスタの読み出しを可能にします。D0 ビットがハイ・レベルの時、クロックが十分あれば、リード・レジスタによって識別されたレジスタ・アドレスに保存されているデータを各 AD7280A から順に出力させる事ができます。このデータはデジタイゼーションの下に渡され DSP/マイクロプロセッサによって読み出されます。D0 ビットがロー・レベルの時、デジタイゼーションの読み出しはディスエーブルです。デジタイゼーション・インターフェースセクションと AD7280A とのインターフェースの例のセクションを参照してください。D0 のデフォルト値は"1"です。

セル過大電圧レジスタ

セル過大電圧レジスタは AD7280A の高電圧しきい値を決めます。過大電圧しきい値を超えるセル電圧変換結果は、警告出力をトリガーします。AD7280A を使えば、過大電圧しきい値を 1 V から 5 V までの値に設定する事ができます。過電圧しきい値の分解能は 8 ビット (すなわち 16 mV) です。パワーアップ時の過大電圧しきい値のデフォルト値は"0xFF" (5 V) です。

AD7280A

セル不足電圧レジスタ

セル不足電圧レジスタは AD7280A の低電圧しきい値を決めます。不足電圧しきい値より低いセル電圧変換結果は、警告出力をトリガーします。AD7280A を使えば、不足電圧しきい値を 1 V から 5 V までの値に設定することができます。不足電圧しきい値の分解能は 8 ビット (すなわち 16 mV) です。パワーアップ時の不足電圧しきい値のデフォルト値は"0x00" (1 V)です。

AUXADC 過大電圧レジスタ

AUX ADC 過大電圧レジスタは AD7280A の補助 ADC 入力の高電圧しきい値を決めます。このしきい値を超える変換結果は、警告出力をトリガーします。AD7280A を使えば、しきい値を 0 V から 5 V までの値に設定することができます。分解能は 8 ビット (すなわち 19 mV) です。パワーアップ時の補助 ADC の過大電圧しきい値のデフォルト値は"0xFF" (5 V)です。

AUXADC 不足電圧レジスタ

AUX ADC 不足電圧レジスタは AD7280A の補助 ADC 入力の低電圧しきい値を決めます。このしきい値より低い変換結果は、警告出力をトリガーします。AD7280A を使えば、しきい値を 0 V から 5 V までの値に設定することができます。分解能は 8 ビット (すなわち 19 mV) です。パワーアップ時の不足電圧しきい値のデフォルト値は"0x00" (0 V)です。

警告レジスタ

警告レジスタは警告機能の設定をします。警告を、スタティック信号又はダイナミック信号として設定することができます。

- スタティック信号はハイ・レベル信号ですが、セル又は補助 ADC で過大電圧又は不足電圧が生じた時はその事を表示するためにロー・レベルになります。
- ダイナミック信号は矩形波で、その矩形波の周波数は 100 Hz、1 kHz、又は 10 kHz に設定できます。

複数の AD7280A がデジーチェーン・モードで動作している場合、スタティック警告又はダイナミック警告の選択はチェーンのもっとも高い電位の AD7280A でのみ行われます。デジーチェーンの残りの AD7280A の警告レジスタはチェーンを通じて警告信号を渡すように設定する必要があります。各デバイスはチェーンを通じてスタティック又はダイナミック警告信号を渡すか又はセル又は補助 ADC で過大電圧又は不足電圧が生じた事を表示するために信号をロー・レベルにします。

警告レジスタ設定の詳細については表 11 と表 12 を参照してください。パワーアップ時の警告レジスタのデフォルト値は"0x00"です。

セル・バランス・レジスタ

セル・バランス・レジスタは 6 セル・バランス出力のステータスを決めます。6 つの CBx 出力はセル・バランス・レジスタの[D7:D2] ビットに書き込む事により設定されます。セル・バランス・レジスタはソフトウェア・リセットによって又はハードウェア・パワーダウン後にリセットされます。パワーアップ時のセル・バランス・レジスタのデフォルト値は"0x00"です。

表 15.セル・バランス・レジスタの設定

ビット数	説明
D7	CB6 出力を設定する 0 = 出力 オフ 1 = 出力 オン
D6	CB5 出力を設定する 0 = 出力 オフ 1 = 出力 オン
D5	CB4 出力を設定する 0 = 出力 オフ 1 = 出力 オン
D4	CB3 出力を設定する 0 = 出力 オフ 1 = 出力 オン
D3	CB2 出力を設定する 0 = 出力 オフ 1 = 出力 オン
D2	CB1 出力を設定する 0 = 出力 オフ 1 = 出力 オン
[D1:D0]	予約済み; 0 にセット

セル・バランス・タイマー・レジスタ

CBx タイマー・レジスタにより、各セル・バランス出力のために個々の時間を設定することができます。AD7280A を使えば、CBx タイマーを 0 分から 36.9 分までの値に設定することができます。CBx タイマーの分解能は 71.5 秒です。パワーアップ時の CBx タイマー・レジスタのデフォルト値は"0x00"です。CBx タイマー値を"0x00"にセットした時、CBx タイマーはアクティブになりません; すなわち CBx 出力はすべてセル・バランス・レジスタのみによってコントロールされます。詳細については、セル・バランシング出力のセクションを参照してください。

表 16.CBx タイマー・レジスタの設定

ビット数	説明
[D7:D3]	CB タイマーを 0 分から 36.9 分までの間の値に設定する 5 ビットバイナリー・コード
[D2:D0]	予約済み; "000"にセット

PD タイマー・レジスタ

PD タイマー・レジスタにより AD7280A が自動的にパワーダウンするまでのセット時間を設定できます。AD7280A により PD タイマーを 0 分から 36.9 分までの間の値に設定する事ができます。PD タイマーの分解能は 71.5 秒です。CBx タイマーといっしょに PD タイマーを使用する時、PD タイマーに設定する値は CBx タイマーに設定する値より少なくとも 71.5 秒長い必要があります。なぜなら PD タイマーは CBx タイマーより優先するからです。パワーアップ時、PD タイマー・レジスタのデフォルト値は"0x00"です。

表 17.PD タイマー・レジスタの設定

ビット数	説明
[D7:D3]	PD タイマーを 0 分から 36.9 分までの間の値に設定する 5 ビット・バイナリ・コード
[D2:D0]	予約済み ; 000 にセット

リード・レジスタ

リード・レジスタはコントロール・レジスタの[D13:D12]ビットと D0 ビットとの組み合わせで、AD7280A の読み出し動作を規定します。単一 AD7280A 又は AD7280A デバイス・チェーンから 1 つのレジスタを読み出すには、最初に希望のレジスタ・アドレスをリード・レジスタに書き込む必要があります。単一の AD7280A 又は AD7280A デバイス・チェーンから一連の変換結果を読み出すためには、アドレス"0x00"をリード・レジスタに書き込む必要があります。パワーアップ時のリード・レジスタのデフォルト値は"0x00"です。

表 18.リード・レジスタの設定

ビット数	説明
[D7:D2]	読み出すレジスタの 6 ビット・バイナリ・アドレス
[D1:D0]	予約済み ; 00 にセット

CNVST コントロール・レジスタ

CNVST コントロール・レジスタにより CNVST ピンからの入力信号をゲートできます。

CNVST コントロール・レジスタの D0 ビットにより CNVST ピンの外部ノイズやグリッジに関係なく、内部 CNVST 信号をハイ・レベルに保つ事ができます。この設定はノイズのある環境下で使用する事ができ、誤った変換開始を防ぎます。ソフトウェア変換開始を行うために CS の立ち上がりエッジを使用する時、D0 ビットをハイ・レベルに設定して CNVST ピンをゲート・アウトする事をお勧めします (変換開始フォーマットのセクションを参照)

CNVST コントロール・レジスタの D1 ビットにより単一 CNVST パルスのみ通す CNVST ゲートのウインドを開く事ができます。ウインドは CNVST ピンの立下りエッジの後に自動的に閉まります。この機能を使用するためには、各変換開始要求の直前に CNVST コントロールレジスタの [D1:D0] ビットに"10"を書き込む必要があります。

パワーアップ時の CNVST コントロールレジスタのデフォルト値は"0x00"です。

表 19.CNVST コントロール・レジスタの設定

[D7:D2] ビット	D1 ビット	D0 ビット	説明
000000	0	0	CNVST 入力はゲートされない(デフォルト).
000000	X	1	CNVST 入力はゲートされる.
000000	1	0	単一 CNVST パルスを許可追加の CNVST パルスはゲートされる

シリアル・インターフェース

AD7280A のシリアル・インターフェースは Mode 1 SPI 準拠です (すなわち、クロック極性(CPOL)は"0"でクロック位相(CPHA)は"1"です)。インターフェースは4個の信号から構成されています: CS、SCLK、SDI、SDO。SDI ラインは内蔵レジスタにデータを転送する時に、SDO ラインは内蔵レジスタと変換結果レジスタからデータを読み出す時に、それぞれ使います。SCLK はデバイスのシリアル・クロック入力であり、すべてのデータ転送(SDI、又はSDO)は、この SCLK 信号に基づいて行われます。データは、SCLK の立ち上がりエッジで AD7280A に入力されます。データは、SCLK の立ち上がりエッジで AD7280A から出力されます。CS 入力はデバイスに又はデバイスから転送されるシリアル・データをフレーム化するために使用されます。

AD7280A は 32 ビットデータ転送のみ可能で、AD7280A が確実に各CSの立下りエッジで自動的に DSP/マイクロプロセッサに再同期するようにCSの立ち上がりエッジでカウンタをリセットします。個別の 8 ビット又は 16 ビットワードを使用して 32 ビットコマンドを構成する事ができますが、32 ビット・コマンドの集りを正しく構成するためには単一の 32 ビット幅の CS フレームが必要です。

又コントロール・レジスタの上位バイトに書き込む事により、変換シーケンスを開始するためにCSの立ち上がりエッジを使用する事もできます。図 2. に、AD7298A のシリアル・インターフェースの詳しいタイミング図を示します。デジタイゼーション・インターフェースの詳細については、デジタイゼーション・インターフェースセクションを参照してください。

AD7280A への書き込み

バッテリー・モニター・アプリケーションで、AD7280A を 8 個までデジタイゼーション接続でき、48 個までの各リチウムイオン・セル電圧をモニターする事ができます。従って各書き込み動作は、書き込むデータだけでなく、デバイス・アドレス、レジスタ・アドレスを含まなければなりません。デジタイゼーション接続のすべての AD7280A をアドレス指定する時は、追加の識別マーク・ビットも必要になります。AD7280A の SPI インターフェース (とデジタイゼーション・インターフェースとの組み合わせ) により、1 つの 32 ビット書き込みサイクルで直列接続した 8 個の AD7280A の任意のレジスタを更新する事ができます。32 ビット書き込みシーケンスを表 20 に示します。AD7280A は又各書き込みコマンドに 8 ビット CRC を含む事を要求します。

デバイス・アドレス

デバイス・アドレスは 5 ビット・アドレスで、これによりバッテリー・モニタリング・スタックの中で個々の AD7280A を独自に認識する事ができます。初めのパワーアップで、各 AD7280A はデフォルトのアドレス"0x00"に設定されます。簡単な一連のコマンドにより、各 AD7280A はスタックの中のその個別のデバイス・アドレスを認識する事ができます。(AD7280A を初期化するセクションを参照)

表 20. 32 ビット・ライト・サイクル

デバイス・アドレス ¹	レジスタ・アドレス	レジスタ・データ	アドレス・オール・パーツ	予約済み (0 ビット)	8 ビット CRC	ビット・パターン (010)
D31 to D27	D26 to D21	D20 to D13	D12	D11	D10 to D3	D2 to D0

¹ デバイス・アドレスは LSB ファーストで設定されます。たとえばスタックの 2 番目のデバイス (すなわち最初のスレーブ・デバイス) をアドレス指定する場合、AD7280A へのビット入力のシーケンスは 10000 となります。レジスタ・アドレス、データ・ビットそして CRC ビットは MSB ファースト入力です。

そこで、このデバイス・アドレスを AD7280A にロックでき、一連の読み込みと書き込みコマンドで使用する事ができます。デバイス・アドレスは逆順 (すなわち LSB ファースト) で AD7280A スタックに書き込み又は AD7280A スタックから読み出しされます。

レジスタ・アドレス

AD7280A のレジスタ・マップを表 13 に示します。各レジスタ・アドレスは 6 ビット長で AD7280A の内蔵レジスタへの書き込み時又は内蔵レジスタからの読み出し時に使用されます。

レジスタ・データ

書き込みコマンドを AD7280A デバイス・スタックの 1 つ AD7280A に対して発行する時、書き込むデータは 8 ビットワードです。表 13 に示すように、全ての読み出し/書き込みレジスタは 8 ビット長です。各レジスタの正しい設定についての詳しい情報はレジスタ・マップのセクションを参照してください。

アドレス・オール・パーツ

AD7280A は個別の AD7280A に対する書き込みコマンドと同様に、デジタイゼーション接続の全デバイスに対して同時に書き込みコマンドを発行できます。デジタイゼーション接続の全デバイスに対する書き込みは、書き込みコマンドの D12 ビットを"1"にセットする事によって行われます。ライト・オール・コマンドを発行する時には、デバイス・アドレスを"0x00"に設定する必要があります。このデバイス・アドレスは又ライト・オール・コマンドと共に送信の 8 ビット CRC を計算するために使用されます。

8 ビット CRC

AD7280A は個別デバイス又は一連の AD7280A に対するすべての書き込みコマンドに 8 ビット巡回冗長検査(CRC)を含みます。書き込みコマンドに無効な CRC が含まれていると、それを受信した AD7280A はコマンドを実行しません。書き込みコマンドの CRC は書き込みコマンドの[D31:D11] ビットを基に計算されます。これらのビットにはデバイス・アドレス、レジスタ・アドレス、書き込まれるデータ、アドレス・オール・パーツ・ビットと D11 ビットが含まれます。CRC に関するさらに詳しい情報は巡回冗長検査のセクションを参照してください。

ビット・パターン(010)

AD7280A の 32 ビット書き込みコマンドの[D2:D0]ビットに必要な固定ビット・パターンは 2 つ目の検証を提供します。AD7280A が受け取る各書き込みコマンドについて、このビット・パターンの正しい位置が検証されます。AD7280A は受信した書き込みコマンドに誤ったビット・パターンがあるとコマンドを実行しません。

AD7280A からの読み出し

AD7280A には 2 つのタイプの読み出し動作があります。

- 変換結果の読み出し
- レジスタ・データの読み出し

変換結果の読み出し動作から戻されたデータは、12 ビット変換データに加え、デバイス・アドレス、チャンネル・アドレス、ライト・アクノレッジ・ビット、8 ビット CRC 情報を含みます。表 21 に変換結果読み出しの 32 ビット読み出しサイクルを示します。

レジスタ・データ読み出し動作から戻されたデータは 8 ビット・レジスタ・データに加え、デバイス・アドレス、レジスタ・アドレス、ライト・アクノレッジ・ビット、8 ビット CRC 情報を含みます。表 22 にレジスタ・データ読み出しの 32 ビット読み出しサイクルを示します。

AD7280A の SPI インターフェース（とデジチェーン・インターフェースとの組み合わせ）により 8 個の AD7280A スタックの任意の AD7280A の変換結果を $N \times 8 \times 32$ ビット読み出しサイクルを使って読み出す事ができます。ここで N はそのデバイスで行なわれる変換の数（すなわち 12, 9, 又は 6）として定義されます。（表 8 を参照してください）。

デバイス・アドレス

デバイス・アドレスは AD7280A への書き込みセクションに述べられています。デジチェーン読み出しモードを使用してデバイスからレジスタ又は変換データを読み出す時は、特定のアドレスへ書き込みをするように SDI ラインが設定されていなければなりません。つまり、SDI ラインはアイドル・ハイ又はアイドル・ローにはならないようにする必要があり、アドレス・オール・パーツ・ビットは"0"に設定する必要があります。アドレスは AD7280A デバイス・チェーンのトップ・デバイス又はチェーンのトップ・デバイスのアドレスより高い値のアドレスでなければなりません。可能な最も高いアドレス（アドレス 0x1F）を書き込み、アドレス・オール・パーツ・ビットを"0"に設定する事をお勧めします。32 ビット書き込みコマンドは 0xF800030A です。

チャンネル・アドレス

チャンネル・アドレスにより各々の電圧入力、補助入力の結果を独自に識別できます。各チャンネル・アドレスは 4 ビット幅です。各チャンネルのアドレスをレジスタ・マップに示します（表 13 を参照）。

表 21. 変換結果の 32 ビット読み出しサイクル

デバイス・アドレス ¹	チャンネル・アドレス	変換データ	ライト・アクノレッジ	8 ビット CRC	予約済み (0 ビット)
D31 to D27	D26 to D23	D22 to D11	D10	D9 to D2	D1 to D0

¹ デバイス・アドレスは LSB ファーストで設定されます。たとえばスタックの 2 番目のデバイス（すなわち最初のスレーブ・デバイス）をアドレス指定する場合、AD7280A へのビット入力のシーケンスは 10000 となります。レジスタ・アドレス、チャンネル・アドレス、データ・ビット、CRC ビットは MSB ファースト入力です。

表 22. レジスタ・データの 32 ビット読み出しサイクル

デバイス・アドレス ¹	レジスタ・アドレス	レジスタ・データ	予約済み (0 ビット)	ライト・アクノレッジ	8 ビット CRC	予約済み (0 ビット)
D31 to D27	D26 to D21	D20 to D13	D12 to D11	D10	D9 to D2	D1 to D0

¹ デバイス・アドレスは LSB ファーストで設定されます。たとえばスタックの 2 番目のデバイス（すなわち最初のスレーブ・デバイス）をアドレス指定する場合、AD7280A へのビット入力のシーケンスは 10000 となります。レジスタ・アドレス、データ・ビット、CRC ビットは MSB ファースト入力です。

レジスタ・アドレス

AD7280A のレジスタ・マップを表 13 に示します。各レジスタ・アドレスは 6 ビット長で、AD7280A の内蔵レジスタへの書き込み時又は内蔵レジスタからの読み出し時に使用されます。

レジスタ・データ

レジスタ・データは前の書き込みコマンドで要求された 8 ビット・レジスタ・データです。

変換データ

変換データはセル電圧入力、補助 ADC 入力又は ADC 自己テスト変換の 12 ビット変換結果です。

ライト・アクノレッジ・ビット

AD7280A への書き込みセクションで述べたように、8 ビット CRC が AD7280A に送信される書き込みコマンドに含まれます。CRC は [D31:D11] ビットに基づいて計算されます。デバイスで書き込みコマンドが実行される前に CRC 検査を行います。

AD7280A は同じ CRC アルゴリズムを使用して CRC を計算し、それを送信された書き込みコマンドの中の AD7280A が受信した CRC と比較します。もし 2 つの CRC 値が一致したら、コマンドは実行され、デバイスからの次のデータ送信の中のライト・アクノレッジ・ビットがセットされます。もし転送された CRC と計算した CRC が一致しない場合、書き込みコマンドは実行されずにライト・アクノレッジ・ビットは"0"に設定されます。ライト・アクノレッジ・ビットの使用の例についてはライト・アクノレッジのセクションを参照してください。

8 ビット CRC

AD7280A はデバイスからのすべてのデータ読み出しに 8 ビット巡回冗長検査(CRC)を含みます。AD7280A から変換データを読み出す時、8 ビット CRC はデバイス・アドレス、チャンネル・アドレス、変換データ、ライト・アクノレッジ・ビットを含みます。AD7280A からレジスタ・データを読み出す時、8 ビット CRC はデバイス・アドレス、レジスタ・アドレス、レジスタ・データ、2 つの予約済み"0"ビット、ライト・アクノレッジ・ビットを含みます。両方のケースで、CRC は 32 ビット読み出しサイクルの [D31:D10] ビットを基に生成され、同じ読み出しサイクルの [D9:D2] ビットを使って送信されます。CRC に関するさらに詳しい情報については巡回冗長検査のセクションを参照してください。

デイジーチェーン・インターフェース

バッテリー・モニター・アプリケーションで、AD7280A を 8 個までデイジーチェーン接続でき、48 個までの各リチウムイオン・セル電圧をモニターする事ができます。各 AD7280A は 6 個までのリチウムイオン・セルをモニターする事ができ、その電源は 6 個のリチウムイオン・セルのトップ電圧とボトム電圧から供給されます。その結果、各 AD7280A の電源電圧はチェーン接続の隣の AD7280A から最大 30 V まオフセットします。このため、標準のシリアル・インターフェースのデイジーチェーン方法は使用できません。

AD7280A は標準 SPI インターフェースから分離したデイジーチェーン・インターフェースを内蔵しています。このデイジーチェーン・インターフェースによりチェーン接続の AD7280A はその隣接の AD7280A とデータのやり取りができます。

シリアル・インターフェースセクションに説明されているように、SPI インターフェースは 4 個の信号から構成されています： \overline{CS} 、SCLK、SDI、SDO。これらのピンに加え、3 つのオプションのインターフェース・ピンがあります。ALERT、 \overline{CNVST} 、 \overline{PD} 。デイジーチェーンの隣のデバイスとの通信を可能にするため、これら 7 つのインターフェース信号はデイジーチェーン・インターフェースでミラーになっています。例えば、各 AD7280A のシリアル・クロックは SCLK ピンで受信され、SCLKhi ピンを使って、デイジーチェーンのその上のデバイスに渡されます。

デイジーチェーンを上にデータを渡す \overline{CS} ピン、SCLK ピン、SDI ピン、 \overline{CNVST} ピンそして \overline{PD} ピンは AD7280A がマスター・デバイスとして構成される時は、これらのピンは 3 V 又は 5 V ロジック・インターフェース・ピンとして動作します；AD7280A がスレープ・デバイスとして構成される時、これらのピンはデイジーチェーン・インターフェース・ピンとして動作します。

SDO ピンと ALERT ピンは、AD7280A がマスター・デバイスとして設定される時、3 V 又は 5 V ロジック・インターフェース・ピンとして動作します。これらのピンは、AD7280A がスレープ・デバイスとして設定される時にはトライステートになります。2 つの追加のピン (SDOlo と ALERTlo) はデイジーチェーンを下にデータを渡す事が要求されます。

シリアル・インターフェースセクションで述べたように、8 個の AD7280A スタックの任意のレジスタに書き込むために必要となる 32 ビット書き込みサイクルは 1 つだけです。バッテリー・スタックをモニターしている全チャンネルから変換データを読み出すには、 $N \times 8 \times 32$ ビット読み出しサイクルが必要です。ここで N はそのデバイスで行われる変換の数 (すなわち 12, 9, 又は 6) として定義されます。デイジーチェーン・インターフェースの正常動作を確実にする推奨 SCLK 周波数は 1 MHz です。1 MHz SCLK で、48 チャンネルの電圧変換を読み出すためには約 1.54ms かかります。

スタック構成の AD7280A デバイスの中の 1 つのデバイスからの読み出す場合、(デイジーチェーン・レジスタ・リードバックはディスエーブルです；コントロール・レジスタの D0 ビット=0)、AD7280A のチェーンの上位のデバイスからレジスタ・データを読み出すために、SCLK 周波数は 1 MHz 以下である必要があります。これはデイジーチェーンの隣接する 2 つのデバイス間での伝搬遅延に起因します。(表 3 の t_{DELAY} を参照) もしデバイスがデイジーチェーン・モードでレジスタ・データ又は変換データを読み出していればこの遅延は起こりません；すなわちデイジーチェーン・モードであれば常に 1 MHz の最大 SCLK を使う事ができます。

変換データ又はレジスタ・データを読み出している間に AD7280A をアドレス指定する

SPI インターフェースはデータの読み出しとデータの書き込みを同時に行えます。：デバイスは 1 つのコマンドで読み出している時、同じ読み出し/書き込みサイクルで SDO ピンにデータを出します。デイジーチェーン・リードバック・モードを使用して AD7280A からレジスタ・データと変換データの両方を読み出す時、SDI ラインはアイドル・ハイあるいはアイドル・ローであってははいけません；SDI ラインをデイジーチェーンで使用されているトップ・デバイス又はデイジーチェーンで使用されているトップ・デバイスより高いアドレスのデバイスにアドレス指定し、書き込むように設定する必要があります。いずれの場合も、アドレス・オール・パーツ・ビット (書き込みコマンドの D12 ビット) を "0" に設定し、有効な CRC を入れる必要があります。可能なもっとも高いアドレス (すなわち 0x1F) に書き込み、アドレス・オール・パーツ・ビットを "0" にセットする事を推奨します。32 ビット書き込みコマンドは 0xF800030A です。

AD7280A を初期化する

初めのパワーアップ時とパワーダウンから抜け出る時、すべての AD7280A はデバイス・アドレスがデフォルト値の "0x00" になります。デイジーチェーン接続の各 AD7280A がチェーンの中での個別の位置を識別できるようにするには、次のコマンド・シーケンスに従う必要があります。次のシーケンスにより、デイジーチェーン・リードバックを使って、チェーンの全デバイスのデバイス・アドレスを設定し、確認する事ができます。又、これらのコマンドの一部を使用して読み出しの確認なしに、デバイス・アドレスを設定する事もできます。

1. チェーンの全てのデバイスに 1 つのコマンドを送り、ロック・デバイス・アドレス・ビット (D2) をアサートし、インクリメント・デバイス・アドレス・ビット (D1) のアサート解除を行い、デイジーチェーン・レジスタ・リードバック・ビット (D0) をアサートします。32 ビット書き込みコマンドは 0x01C2B6E2 です。
2. 2 番目のコマンドをチェーンの全デバイスに送り、全デバイスのリード・レジスタにコントロール・レジスタの下位バイトのアドレス (0x0E) を書き込みます。32 ビット書き込みコマンドは 0x038716CA です。
3. チェーン接続の全 AD7280A がそれらの個別のデバイス・アドレスを受信して、ロックした事を確認するために、全デバイスからデイジーチェーン・レジスタ・リードを要求する必要があります。これは、デイジーチェーン接続の各デバイスのコントロール・レジスタの下位バイトが読み出されるまで、 \overline{CS} でフレーム化した 32 SCLK のセットを供給し続ける事により行う事ができます。ユーザはすべてのデバイス・アドレスが順番になっている事を確認する必要があります。32 ビット書き込みコマンドは 0xF800030A です。
4. コントロール・レジスタのデータがデイジーチェーンの全デバイスから読み出されるまで、このコマンドを繰り返す必要があります。

ライト・アクノレッジ

AD7280A が受信するすべての書き込みコマンドについて、デバイスは受信したデータの[D31:D11]ビットの CRC 計算を内部で行い、DSP/マイクロプロセッサから送られてくる CRC に対してこの CRC を検証します。もし内部で生成された CRC と、DSP/マイクロプロセッサから受信した CRC の間に違いがあれば、AD7280A は書き込み動作を行いません。又シリアル・インターフェースセクションに述べたように、AD7280A は書き込みコマンドのビット・パターン"010"の正しい位置を検証します。もし期待する"010"パターンと DSP/マイクロプロセッサから受信したパターンに違いがあれば、AD7280A は書き込み動作を行いません。

もし次の \overline{CS} パルスによってフレーム化された 32 SCLK サイクルが AD7280A に供給されたならば、SDO の D10 (ライト・アクノレッジ・ビット) がデバイスに対する最後の書き込みが成功したかどうかをプロセッサに知らせます (書き込みが成功した場合、ライト・アクノレッジがセットされます)。読み出しサイクルの 8 ビット CRC にライト・アクノレッジ・ビットが含まれます。ライト・アクノレッジ・ビットが正しく AD7280A デバイス・チェーンの下に渡されるように、リード・レジスタに"0x00"以外の任意の値をロードする必要がありますに注意してください。

次に示すのはスタック構成の AD7280A デバイスに書き込みを行い設定する時、ライト・アクノレッジ・ビットをどのように使用する事ができるかの例です。この例では 8 個の AD7280A スタックの全デバイスに、コントロール・レジスタの上位バイトを設定します。

1. リード・レジスタに"0x0E"をロードするために"ライト・オール"コマンドを実行する。(コントロール・レジスタの下位バイトをアドレス指定する)
2. コントロール・レジスタの上位バイト (アドレス 0x0D) を希望の値に設定するために"ライト・オール"コマンドを実行する。
3. マスター・デバイスに各 \overline{CS} によってフレーム化された追加の 8 セットの 32 SCLK を印加する。各 32 SCLK フレームはデバイス・アドレス・ビット (D31 to D27) を"0x1F"に設定する必要があります。32 ビット書き込みコマンドは 0xF800030A です。最初の 32 SCLK フレームでマスター・デバイスから読み出されたデータはマスター・デバイスへのコントロール・レジスタの上位バイトの書き込みに対するライト・アクノレッジを含みます。2 番目の 32 SCLK フレームで読み出されたデータはスタックの初めのスレーブ・デバイスへのコントロール・レジスタ上位バイトの書き込みに対するライト・アクノレッジ・ビットを含みます。以下同様です。

1 つのレジスタに書き込む時、デジチェーンのスレーブ AD7280A からライト・アクノレッジを読み出すためには、チェーンのより下のデバイスのコントロール・レジスタの [D13:D12] ビットを"1"に設定する必要があります (これらのデバイスについては読み出し動作無し)。

例えばチェーン接続のデバイス 1 のレジスタに書き込んだ後に、そのデバイス 1 からライト・アクノレッジ・ビットを読み出すためには、デバイス 0 (マスター・デバイス) の読み出し動作をオフにしなければなりません。又、このモードで、チェーンでマスター・デバイスより高位のデバイスからライト・アクノレッジ・ビットを読み出す時、SCLK 周波数は 1 MHz よりも低くなければなりません。

巡回冗長検査

AD7280A 32 ビット SPI インターフェースは読み出しサイクルと書き込みサイクルに 8 ビット巡回冗長検査(CRC)を含みます。CRC は AD7280A との通信の間のデータの変化を検出するために使用できます。巡回冗長検査の原理は送信データを固定の多項式で割算する事です。次にこの数学的な操作の余りをデータに添付して通信の一部を形成します。受信側で、受信したデータについて同じ数学的な操作を行う必要があります。この操作は受信したデータがもともと送信されたデータと同じである事を確認します。

CRC ビットを計算するために AD7280A によって使用される多項式は $x^8 + x^5 + x^3 + x^2 + x + 1$ です。この CRC 多項式は 22 ビットまでのデータの計算に対するハミング距離は 4 です。割算は図 40.に示すようにデジタル回路を使用して実行されます。

書き込み動作の CRC

AD7280A へ書き込みを行う場合、CRC は DSP/マイクロプロセッサで計算し、書き込みコマンドの一部として送信しなければなりません。CRC は書き込みコマンドの[D31:D11]ビット (すなわちデバイス・アドレス、レジスタ・アドレス、書き込むデータ、アドレス・オール・パーツ・ビットと予約済み"0"入力ビットの D11 ビット) について計算する必要があります。データは CRC 多項式で除算され、除算の後の 8 ビットの余りが CRC ビット (CRC_7 to CRC_0) になります。

もしユーザが (アドレス・オール・パーツ・ビットの D12 をアサートする事により) スタック構成の AD7280A の全デバイスをアドレス指定している場合、CRC はデバイス・アドレス"0x00"を使用して計算する必要があります。デバイスに書き込むデータは"0x00"のデバイス・アドレスを持っていないなければなりません。AD7280A は受信データの[D31:D11]ビットについて同じ CRC 計算を行い、この CRC を DSP/マイクロプロセッサによって送信される CRC に対して検証します。

AD7280A 内部で生成された CRC と、DSP/マイクロプロセッサから受信した CRC の間に違いがあれば、AD7280A は書き込み動作を行いません。スタック構成の AD7280A によってコマンドが受信され、実行された事をユーザが確認できるように、ライト・アクノレッジ・ビットも 32 ビット読み込みサイクルに含まれます。ライト・アクノレッジ・ビットに関するさらに詳しい情報はライト・アクノレッジのセクションを参照してください。

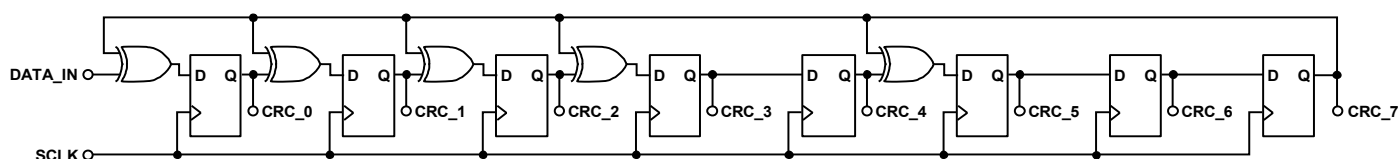


図 40.CRC の回路構成

読み出し動作の CRC

AD7280A からの読み出しのために、8 ビット CRC は 32 ビット読み出しサイクルの[D31:D10]ビットを基に AD7280A によって生成され、同じ読み出しサイクルの[D9:D2]ビットを使って送信されます。受信したデータは CRC 多項式で除算され、除算の後の 8 ビットの余りが CRC ビット (CRC_7 to CRC_0) になります。ユーザは AD7280A が送信したデータに変化がない事を確認するために、計算した CRC ビットと AD7280A から受信した CRC を比較する事ができます。

デジチェーン接続で動作している時、各 AD7280A はデジチェーン接続でその上のデバイスから変換データ又はレジスタ・データを受け取り、受信データについて CRC 計算を実施します。もし内部で生成された CRC と、デジチェーンのその上のデバイスから受け取った CRC の間に違いがあった場合、AD7280A は受信した CRC を内部的に生成された CRC の反転で置き換えます。

CRC 擬似コード

CRC の計算に次の擬似コードを使用する事ができます。初めに次の変数を宣言する必要があります；

- Num_Bits は CRC 結果を計算するために使用されるデータ・ビットの数です：AD7280A へのデータ書き込みに 21、そして AD7280A からのデータ読み込みに 22。
- i は整数の変数です。
- xor_1, xor_2, xor_3, xor_4, and xor_5 は整数の変数です。これらの XOR ゲートの出力は回路構成で一番左の XOR ゲートからスタートします (図 40.を参照)
- data_in は CRC を計算するために使用するデータ・ビットを表します：書き込み動作には[D31:D11]ビット、そして読み出し動作には[D31:D10]ビットこのデータは最初の XOR ゲートに入力します。
- CRC_0, CRC_1, CRC_2, CRC_3, CRC_4, CRC_5, CRC_6, and CRC_7 は整数の変数です。シフトレジスタの出力は回路構成の一番左のシフトレジスタから開始します (図 40.を参照)。

”data_in”を除き、他のすべての変数を”0”に初期化する必要があります。図 40.に示すように次のコードは CRC 計算を実施します。

```
for (i=Num_Bits; i>=0; i--)
{
  xor_5 = CRC_4 ^ CRC_7;
  xor_4 = CRC_2 ^ CRC_7;
  xor_3 = CRC_1 ^ CRC_7;
  xor_2 = CRC_0 ^ CRC_7;
  xor_1 = data_in[i] ^ CRC_7;

  CRC_7 = CRC_6;
  CRC_6 = CRC_5;
  CRC_5 = xor_5;
  CRC_4 = CRC_3;
  CRC_3 = xor_4;
  CRC_2 = xor_3;
  CRC_1 = xor_2;
  CRC_0 = xor_1;
}
```

CRC の計算例 1

この例は マスターデバイス(Device 0)のコントロール・レジスタの上位バイトに対する (CRC 計算を含んだ) 32 ビット書き込みコマンドがどのように組み立てられるかを示します。書き込むデータは”0x0C”です。

CRC は[D31:D11]ビット (すなわちデバイス・アドレス、レジスタ・アドレス、レジスタに書き込むデータ、アドレス・オール・パーツ・ビット、予約済みビット) に基づいて DSP/マイクロプロセッサで計算されます。

- デバイス・アドレス : 00000 (0x00)
- レジスタ・アドレス 001101 (0x0D)
- データ : 00001100 (0x0C)
- アドレス・オール・パーツ・ビット : 0 (0x0)
- 予約済みビット : 0 (0x0)

従って、CRC アルゴリズムへのデータ入力は 000000011010000110000 (0x003430)になります。

計算した後の”CRC_7 to CRC_0”の値は”01010001”(0x51)になります。従って、このシリアル書き込みで AD7280A に送られるデータは”0000 0001 1010 0001 1000 0010 1000 1010” (0x01A1828A)となります。

CRC の計算例 2

この例は Device 1 のコントロール・レジスタの上位バイトに対する (CRC 計算を含んだ) 32 ビット書き込みコマンドがどのように組み立てられるかを示します。書き込むデータは”0x0C”です。

CRC は[D31:D11]ビット (すなわちデバイス・アドレス、レジスタ・アドレス、レジスタに書き込むデータ、アドレス・オール・パーツ・ビット、予約済みビット) に基づいて DSP/マイクロプロセッサで計算されます。

- デバイス・アドレス (LSB ファーストで書き込まれる) : 10000 (0x10)
- レジスタ・アドレス 001101 (0x0D)
- データ : 00001100 (0x0C)
- アドレス・オール・パーツ・ビット : 0 (0x0)
- 予約済みビット : 0 (0x0)

従って、CRC アルゴリズムへのデータ入力は 100000011010000110000 (0x103430)になります。

計算した後の”CRC_7 to CRC_0”の値は 01110100 (0x74) になります。従って、このシリアル書き込みで AD7280A に送られるデータは”1000 0001 1010 0001 1000 0011 1010 0010” (0x81A183A2)となります。

CRC の計算例 3

この例はマスターデバイス（すなわち Device 0）のコントロール・レジスタの下位バイトからの 32 ビットレジスタ読み出しの内訳を示します。

CRC は[D31:D10]ビット（すなわちデバイス・アドレス、レジスタ・アドレス、レジスタ・データ、2つの予約済み"0"ビット、ライト・アクノレッジ・ビット）に基づいて AD7280A で計算されます。計算された CRC は[D31:D10]ビットと [D1:D0]ビットと共に DSP/マイクロプロセッサに送られます。

AD7280A から受信したデータを次に示します。

0000 0001 1100 0010 1000 0110 0110 1000 (0x01C28668)。

- デバイス・アドレス : 00000 (0x00)
- レジスタ・アドレス 001110 (0x0E)
- レジスタ・データ : 00010100 (0x14)
- 予約済み"0" : 0 (0x0)
- ライト・アクノレッジ : 1 (0x1)
- CRC : 10011010 (0x9A)
- 予約済み"0" : 0 (0x0)

CRC ビットは再び DSP/マイクロプロセッサで、AD7280A から読み出されたデータの[D31:D10]ビットに基づいて計算されます。従って、CRC アルゴリズムへのデータ入力は 0000000111000010100001 (0x0070A1)になります。

計算した後の"CRC_7 to CRC_0"の値は"10011010" (0x9A)になります。この結果は AD7280A から送られた CRC に一致します；従ってこのデータ通信は有効です。

CRC の計算例 4

この例は Device 1 のセル電圧 3 の変換結果レジスタからの 32 ビット・レジスタ読み出しの内訳を示します。

CRC は[D31:D10]ビット（すなわちデバイス・アドレス、チャンネル・アドレス、変換データ、ライト・アクノレッジ・ビット）に基づいて AD7280A で計算されます。計算された CRC は[D31:D10]ビットと [D1:D0]ビットと共に DSP/マイクロプロセッサに送られます。

AD7280A から受信したデータを次に示します。

1000 0001 0100 1100 1101 0101 0001 1000 (0x814CD518)。

- デバイス・アドレス (LSB ファーストで読み出し) : 10000 (0x10)
- チャンネル・アドレス : 0010 (0x2)
- 変換データ : 100110011010 (0x99A)
- ライト・アクノレッジ : 1 (0x1)
- CRC : 01000110 (0x46)
- 予約済み"0" : 0 (0x0)

CRC ビットは再び DSP/マイクロプロセッサで、AD7280A から読み出されたデータの[D31:D10]ビットに基づいて計算されます。従って、CRC アルゴリズムへのデータ入力は 100000010100110011010101 (0x205335)になります。

計算した後の"CRC_7 to CRC_0"の値は"01000110" (0x46)になります。この結果は AD7280A から送られた CRC に一致します；従ってこのデータ通信は有効です。

AD7280A とのインターフェースの例

AD7280A は複数の読み出しオプションに対応しています。ユーザは下記の結果を読み出す事ができます。

- チェーン接続の全デバイスについて完了した全ての変換
- チェーン接続の全デバイスの個別のレジスタ
- チェーン接続の中で選択したデバイスの個別のレジスタ

各ケースで、正しいデータが出力するようにそのデバイスを設定するために、初めに選択したデバイスのリード・レジスタに書き込む必要があります。個別のレジスタを読み出す時、選択したデバイスのリード・レジスタにそのレジスタのアドレスを書き込む必要があります。任意のデバイス又は全デバイスから変換結果を読み出す時は、選択したデバイスのリード・レジスタに、アドレス "0x00" を書き込む必要があります。

リード・レジスタに書き込まれたアドレスが "0x00" の時、読み出す変換結果はコントロール・レジスタの [D13:D12] ビットを設定することにより選択できます (表 14 を参照) これらのビットを使って 4 種類の異なる読み出しオプションの中から 1 つを選ぶ事ができます：

- 12 個の変換結果を読み出す： 6 電圧と 6 補助。
- 9 個の変換結果を読み出す： 6 電圧と 3 補助。
- 6 個の変換結果を読み出す： 6 電圧結果のみ。
- このデバイスの読み出し動作をオフにする。

デジタイズチェーン接続の 1 つの AD7280A から個別のレジスタを読み出すためには次のステップに従ってください：

1. チェーン接続のその他のすべてのデバイスについて、コントロール・レジスタの [D13:D12] ビットを "11" に設定して、"読み出し動作無し" を選択します。
2. 対象のデバイスに関しては、読み出し動作をオンするためにコントロール・レジスタの [D13:D12] ビットを設定します。

32 ビット書き込みサイクルに関しては、初めにデジタイズチェーン接続の全 AD7280A の読み出し動作をオフにする事がより効率的である事に注意してください。これはチェーン接続の全デバイスをアドレス指定する書き込みコマンドの D12 ビットを使う事により 1 回の書き込みサイクルで達成されます。次にユーザは個別のデバイスをアドレス指定し、読み出し動作をオンするために、そのデバイスのコントロール・レジスタの [D13:D12] ビットを設定します。

変換と読み出しのルーチン

デジタイズチェーン接続の任意の又はすべての AD7280A から変換データを読み出す時、AD7280A から帰ってくる変換結果はそのデバイスで最後に行われた変換のセットです。ユーザは読み出し動作の一部として、各デバイスで変換を行う数を選択する コントロール・レジスタ の [D15:D14] ビットを設定して、CNVST ピン又は CS の立ち上がりエッジを使い変換を開始する事をお勧めします。この方法により、ユーザは 32 ビット書き込み/読み出し動作の最も効率的な数で、簡単な変換と読み出しルーチンを実行できます。

下記はこのルーチン (デジタイズチェーン接続の AD7280A の全デバイスの変換と読み出しを行う) の一般的な例です。

1. デジタイズチェーン接続の全デバイスのリード・レジスタに "0x00" を書き込む。"0x00" はこのレジスタのデフォルト値であることに注意してください。
2. 全デバイスのコントロール・レジスタに書き込む。希望する変換を選択するために [D15:D14] ビットを設定する。読み出しを希望する変換結果を選択するために [D13:D12] ビットを設定する。
3. CNVST の立下りエッジ又は CS の立ち上がりエッジで変換を開始する (変換開始フォーマットを選ぶためにコントロール・レジスタの D11 ビットを設定する)。
4. 各変換の完了と t_{WAIT} に十分な時間を取る。セル電圧入力と補助 ADC 入力の変換のセクションを参照。
5. 各変換結果を読み出すために 32 SCLK をフレーム化する CS ローパルスを印加する。

例

リチウムイオン・バッテリー・スタックに接続した AD7280A の電圧入力そして/又は補助 ADC 入力をモニターする AD7280A デバイス・チェーンを施すアプリケーションで下記の変換そして/又は読み出しルーチンの例を使用する事ができます。

例 1:最初のパワーアップとパワーダウンから抜け出る時にデジチェーン接続の全デバイスを初期化する。

例 1 は標準的なデバイスの初期化ルーチンを示します。

1. 全デバイス・アドレスを初期化するために、チェーンの全デバイスについて、コントロール・レジスタの D2 ビットと D0 ビットを"1"に設定し、コントロール・レジスタの D1 を"0"に設定する。32 ビット書き込みコマンドは"0x01C2B6E2"です (表 23 を参照、Write 1)。
2. コントロール・レジスタの下位バイトに対応するレジスタ・アドレスを全デバイスのリード・レジスタに書き込む。32 ビット書き込みコマンドは"0x038716CA"です (表 23 を参照、Write 2)。
3. チェーンの各デバイスを読み出すために 32 SCLK をフレーム化するCSローパルスを供給シリアル・インターフェースセクションで述べたように、すべての変換の読み出しは同時に 32 ビットコマンド 0xF800030A を書き込みます。(表 23 を参照、Write 3)。この読み出しはデジチェーン接続の全 AD7280A がそれら個別のデバイス・アドレスを受信し、ロックした事を検証するために使用されます。すべてのデバイス・アドレスが順番になっている事を確認する。

例 2:全デバイス、全電圧入力、全補助 ADC 入力の変換と読み出し

この例では、デジチェーン接続の全 AD7280A はそれらの正しいデバイス・アドレスに初期化されていると仮定します。

1. 全デバイスのリード・レジスタにレジスタ・アドレス"0x00"を書き込む。全デバイスに書き込むコマンドの CRC を計算する時、デバイス・アドレス"0x00"を使用する。32 ビット書き込みコマンドは"0x38011CA"です (表 24 を参照、Write 1)。
"0x00"はパワーアップ時とソフトウェア・リセット後のリード・レジスタのデフォルト値であることに注意してください;従って、この書き込み動作は必要ないかもしれません。
2. 全デバイスについて、コントロール・レジスタの [D15:D12] ビットを"0"に設定する。32 ビット書き込みコマンドは"0x01A0131A"です (表 24 を参照、Write 2)。
これはパワーアップ時とソフトウェア・リセット後のコントロール・レジスタの [D15:D12] ビットのデフォルト値であることに注意してください;従って、この書き込み動作は必要ないかもしれません。
3. CNVSTピンを使用して変換を開始できるように、全デバイスのCNVSTコントロール・レジスタを"0x02"に設定する。32 ビット書き込みコマンドは"0x03A0546A"です (表 24 を参照、Write 3)。
4. CNVSTの立ち下がりがエッジで変換を開始する。
5. 各変換の完了と t_{WAIT}に十分な時間を取る。すべての変換の完了の後に、各変換結果を読み出すために 32 SCLK をフレーム化するCSローパルスを供給する。シリアル・インターフェースセクションに述べたように、32 ビット書き込みコマンドは"0xF800030A"です (表 24 を参照、Write 4)。

表 23.例 1:デジチェーンの全 AD7280A デバイスを初期化する。

書き込みコマンド	デバイス・アドレス	レジスタ・アドレス	データ	ライト・オール	D11	8 ビット CRC	D2 to D0	32 ビット書き込みコマンド
Write 1	00000	001110	00010101	1	0	11011100	010	0x01C2B6E2
Write 2	00000	011100	00111000	1	0	11011001	010	0x038716CA
Write 3	11111	000000	00000000	0	0	01100001	010	0xF800030A

表 24.例 2:全 AD7280A デバイスからの全電圧入力と全補助 ADC 入力を変換し読み出す

書き込みコマンド	デバイス・アドレス	レジスタ・アドレス	データ	ライト・オール	D11	8 ビット CRC	D2 to D0	32 ビット書き込みコマンド
Write 1	00000	011100	00000000	1	0	00111001	010	0x038011CA
Write 2	00000	001101	00000000	1	0	01100011	010	0x01A0131A
Write 3	00000	011101	00000010	1	0	10000101	010	0x03A0546A
Write 4	11111	000000	00000000	0	0	01100001	010	0xF800030A

AD7280A

例 3:全デバイス、全電圧、1 デバイスあたり 3 つの補助 ADC 入力の変換と読み出し

この例では、デジチェーン接続の全 AD7280A はそれらの正しいデバイス・アドレスに初期化されていると仮定します。

1. 全デバイスのリード・レジスタにレジスタ・アドレス"0x00"を書き込む。全デバイスに書き込むコマンドの CRC を計算する時、デバイス・アドレス"0x00"を使用する。32 ビット書き込みコマンドは 0x38011CA です (表 25 を参照、Write 1)。
"0x00"はパワーアップ時とソフトウェア・リセット後のリード・レジスタのデフォルト値であることに注意してください; 従って、この書き込み動作は必要ないかもしれません。
2. 全デバイスについて、コントロール・レジスタの D15 ビットと D13 ビットを"0"に設定する。全デバイスについて、コントロール・レジスタの D14 ビットと D12 ビットを"1"に設定する。32 ビット書き込みコマンドは"0x01AA1062"です (表 25 を参照、Write 2)。

3. CNVSTピンを使用して変換が開始できるように、全デバイスについてCNVSTコントロール・レジスタを"0x02"に設定する。32 ビット書き込みコマンドは"0x03A0546A"です (表 25 を参照、Write 3)。
4. CNVSTの立ち下がりエッジで変換を開始する。
5. 各変換の完了と t_{WAIT}に十分な時間を取る。すべての変換の完了後に、各変換結果を読み出すために 32 SCLK をフレーム化するCSローパルスを供給する。シリアル・インターフェースセクションに述べたように、32 ビット書き込みコマンドは"0xF800030A"です (表 25 を参照、Write 4)。

表 25.例 3:全 AD7280A からの全電圧入力と 3 つの補助 ADC 入力を変換し読み出す

書き込みコマンド	デバイス・アドレス	レジスタ・アドレス	データ	ライト・オール	D11	8 ビット CRC	D2 to D0	32 ビット書き込みコマンド
Write 1	00000	011100	00000000	1	0	00111001	010	0x038011CA
Write 2	00000	001101	01010000	1	0	00001100	010	0x01AA1062
Write 3	00000	011101	00000010	1	0	10000101	010	0x03A0546A
Write 4	11111	000000	00000000	0	0	01100001	010	0xF800030A

例 4: 1 デバイスから 1 つの電圧入力又は 1 つの補助 ADC 入力結果を変換し、読み出す

この例では、デジタイゼーション接続の全 AD7280A はそれらの正しいデバイス・アドレスに初期化されていると仮定します。

- 読み出す電圧入力又は補助 ADC 入力の結果に対応するレジスタ・アドレスを読み出すデバイスのリード・レジスタに書き込む必要があります（レジスタ・アドレスについては表 13 を参照してください）。この例では、スタック構成のデバイス 3 からセル電圧 6 レジスタの結果を読み出します。32 ビット書き込みコマンドは "0xC382865A" です（表 26 を参照、Write 1）。
- 全デバイスについて、コントロール・レジスタの [D13:D12] ビットを "1" に設定する。この設定は全デバイスの読み出し動作をオフにします。32 ビット書き込みコマンドは "0x01B617EA" です（表 26 を参照、Write 2）。
- 希望の電圧が読み出されるように、読み出すデバイスのコントロール・レジスタの [D13:D12] ビットを設定する。自己テスト変換を除き、1 つのチャンネルについて変換する事はできません；6、9 又は 12 の変換が完了しなければなりません。この例ではスタック構成のデバイス 3 から電圧変換を読み出します；従ってデバイス 3 のコントロール・レジスタの D14 ビットと D12 ビットを "0" に設定し、D15 ビットと D13 ビットを "1" に設定する必要があります。32 ビット書き込みコマンドは "0xC1B400FA" です（表 26 を参照、Write 3）。

- そのデバイスの $\overline{\text{CNVST}}$ ピンを使用して変換が開始できるように、デバイス 3 の $\overline{\text{CNVST}}$ コントロール・レジスタを "0x02" に設定する。32 ビット書き込みコマンドは "0xC3A0417A" です（表 26 を参照、Write 4）。
- $\overline{\text{CNVST}}$ の立ち下がりエッジで変換を開始する。
- すべての実行されるすべての変換と t_{WAIT} に十分な時間を取る。
- 全デバイスの $\overline{\text{CNVST}}$ 信号をゲートするために $\overline{\text{CNVST}}$ コントロール・レジスタを設定する。32 ビット書き込みコマンドは "0x03A0340A" です（表 26 を参照、Write 5）。この書き込みは $\overline{\text{CNVST}}$ ピンのノイズ又はグリッジで意図しない変換が始まるのを防ぎます。この書き込みは又デジタイゼーション接続の全デバイスの内蔵出力レジスタを更新します。
- 希望の電圧又は補助 ADC の結果を読み出すための 32 SCLK をフレーム化する $\overline{\text{CS}}$ ローパルスを提供する。シリアル・インターフェースセクションに述べたように、このフレームは同時に 32 ビット・コマンド "0xF800030A" を書き込みます。（表 26 を参照、Write 6）。

AD7280A スタックの 1 つのデバイスから読み出す時、デジタイゼーション接続のマスター・デバイスより上位のデバイスからレジスタのデータを読み出すためには、SCLK 周波数が 1 MHz より低くなければいけない事に注意してください。

表 26. 例 4: 1 つの AD7280A デバイスから 1 つの電圧又は補助 ADC の結果を変換し読み出す

書き込みコマンド	デバイス・アドレス	レジスタ・アドレス	データ	ライト・オール	D11	8 ビット CRC	D2 to D0	32 ビット書き込みコマンド
Write 1	11000	011100	00010100	0	0	11001011	010	0xC382865A
Write 2	00000	001101	10110000	1	0	11111101	010	0x01B617EA
Write 3	11000	001101	10100000	0	0	00011111	010	0xC1B400FA
Write 4	11000	011101	00000010	0	0	10000111	010	0xC3A0417A
Write 5	00000	011101	00000001	1	0	10000001	010	0x03A0340A
Write 6	11111	000000	00000000	0	0	01100001	010	0xF800030A

AD7280A

例 5:全デバイスの1つのコンフィギュレーション・レジスタに書き込む

この例では、デジチェーン接続の全 AD7280A はそれらの正しいデバイス・アドレスに初期化されていると仮定します。

1. 全デバイスについて、コントロール・レジスタの D0 ビットを"1"に設定する。この書き込みは全デバイスについてデジチェーン・レジスタ読み出し動作を可能にします。32 ビット書き込みコマンドは"0x01C2B6E2"です (表 27 を参照、Write 1)。
2. 読み出すコンフィギュレーション・レジスタに対応するレジスタ・アドレスを、全デバイスのリード・レジスタに書き込む必要があります (レジスタ・アドレスについては表 13 を参照してください)。この例では、全デバイスからセル・バランス・レジスタが読み出されます。32 ビット書き込みコマンドは"0x038A12B2"です (表 27 を参照、Write 2)。
3. スタック接続の各デバイスが全デバイスから希望のレジスタ内容を読み出すために 32 SCLK をフレーム化する CS ローパルスを提供する。シリアル・インターフェースセクションに述べたように、このフレームは同時に 32 ビット・コマンド"0xF800030A"を書き込む必要があります。(表 27 を参照、Write 3)。

例 6:1つのデバイスから1つのコンフィギュレーション・レジスタを読み出す

この例では、デジチェーン接続の全 AD7280A はそれらの正しいデバイス・アドレスに初期化されていると仮定します。

1. 全デバイスについて、コントロール・レジスタの [D13:D12] ビットを"1"に設定する。この設定は全デバイスの読み出し動作をオフにします。32 ビット書き込みコマンドは"0x01A6151A"です (表 28 を参照、Write 1)。
2. 読み出すデバイスのコントロール・レジスタの [D13:D12] ビットを"0"に設定する。この例では、スタックの Device 1 から読み出す事になっています。32 ビット書き込みコマンドは"0x81A00222"です (表 28 を参照、Write 2)。
3. 読み出すコンフィギュレーション・レジスタに対応するレジスタ・アドレスを読み出すデバイスのリード・レジスタに書き込む必要があります (レジスタ・アドレスについては表 13 を参照してください)。この例では、スタック構成のデバイス 1 から警告レジスタを読み出します。32 ビット書き込みコマンドは"0x8389800A"です (表 28 を参照、Write 3)。
4. 希望のレジスタの内容を読み出すための 32 SCLK をフレーム化する CS ローパルスを提供する。シリアル・インターフェースセクションに述べたように、このフレームは同時に 32 ビット・コマンド"0xF800030A"を書き込みます。(表 28 を参照、Write 4)。AD7280A スタックの 1 つのデバイスから読み出す時、デジチェーン接続でマスター・デバイスより上位のデバイスからレジスタのデータを読み出すためには、SCLK 周波数は 1 MHz より低くなければなりません。

表 27.例 5:全 AD7280A デバイスから1つのコンフィギュレーション・レジスタを読み出す

書き込みコマンド	デバイス・アドレス	レジスタ・アドレス	データ	ライト・オール	D11	8 ビット CRC	D2 to D0	32 ビット書き込みコマンド
Write 1	00000	001110	00010101	1	0	11011100	010	0x01C2B6E2
Write 2	00000	011100	01010000	1	0	01010110	010	0x038A12B2
Write 3	11111	000000	00000000	0	0	01100001	010	0xF800030A

表 28.例 6:1つの AD7280A デバイスから1つのコンフィギュレーション・レジスタを読み出す

書き込みコマンド	デバイス・アドレス	レジスタ・アドレス	データ	ライト・オール	D11	8 ビット CRC	D2 to D0	32 ビット書き込みコマンド
Write 1	00000	001101	00110000	1	0	10100011	010	0x01A6151A
Write 2	10000	001101	00000000	0	0	01000100	010	0x81A00222
Write 3	10000	011100	01001100	0	0	00000001	010	0x8389800A
Write 4	11111	000000	00000000	0	0	01100001	010	0xF800030A

例 7:全デバイスの自己テスト変換

例 7 はデジタイゼーション接続の全デバイスの自己テスト変換ルーチンを示します。

- 自己テスト変換を選択するために、全デバイスについて、コントロール・レジスタの[D15:D14]ビットを"1"に設定し、コントロール・レジスタの[D13:D12]ビットを"0"に設定する。32 ビット書き込みコマンドは"0x01B81092"です (表 29 を参照、Write 1)。
- 全デバイスについて、コントロール・レジスタの D0 ビットを"1"に設定する。この設定は全デバイスについてデジタイゼーション・レジスタ読み出し動作を可能にします。32 ビット書き込みコマンドは"0x01C2B6E2"です (表 29 を参照、Write 2)。
- 自己テスト変換に対応するレジスタ・アドレスを、全デバイスのリード・レジスタに書き込む必要があります (レジスタ・アドレスについては表 13 を参照してください)。32 ビット書き込みコマンドは"0x038617CA"です (表 29 を参照、Write 3)。
- CNVSTピンを使用して変換を開始できるように、全デバイスについてCNVSTコントロール・レジスタを"0x02"に設定する。32 ビット書き込みコマンドは"0x03A0546A"です (表 29 を参照、Write 4)。
- CNVSTの立ち下がりエッジで変換を開始する。
- 自己テスト変換の完了と t_{WAIT} に十分な時間を取る。

- 全デバイスのCNVST信号をゲートするためにCNVSTコントロール・レジスタを設定する必要があります。32 ビット書き込みコマンドは"0x03A0340A"です (表 29 を参照、Write 5)。この書き込みはCNVSTピンのノイズ又はグリッジで意図しない変換が始まるのを防ぎます。この書き込みは又デジタイゼーション接続の全デバイスの内蔵出力レジスタを更新します。
- 希望の電圧を読み出す 32 SCLK をフレーム化するCSローパルスを提供する。シリアル・インターフェースセクションに述べたように、このフレームは同時に 32 ビット・コマンド"0xF800030A"を書き込みます。(表 29 を参照、Write 6)。

例 8:全デバイスのソフトウェア・リセット

例 8 はデジタイゼーション接続の全デバイスのソフトウェア・リセット・ルーチンを示します。

- AD7280A をソフトウェア・リセットするために全デバイスのコントロール・レジスタの D7 ビットを"1"に設定する。32 ビット書き込みコマンドは"0x01D2B412"です (表 30 を参照、Write 1)。
- AD7280A をソフトウェア・リセットから抜け出させるために、全デバイスについて、コントロール・レジスタの D7 ビットを"0"に設定する。32 ビット書き込みコマンドは"0x01C2B6E2"です (表 30 を参照、Write 2)。

表 29.例 7:全 AD7280A デバイスの自己テスト変換

書き込みコマンド	デバイス・アドレス	レジスタ・アドレス	データ	ライト・オール	D11	8 ビット CRC	D2 to D0	32 ビット書き込みコマンド
Write 1	00000	001101	11000000	1	0	00010010	010	0x01B81092
Write 2	00000	001110	00010101	1	0	11011100	010	0x01C2B6E2
Write 3	00000	011100	00110000	1	0	11111001	010	0x038617CA
Write 4	00000	011101	00000010	1	0	10000101	010	0x03A0546A
Write 5	00000	011101	00000001	1	0	10000001	010	0x03A0340A
Write 6	11111	000000	00000000	0	0	01100001	010	0xF800030A

表 30.例 8:全 AD7280A デバイスのソフトウェア・リセット

書き込みコマンド	デバイス・アドレス	レジスタ・アドレス	データ	ライト・オール	D11	8 ビット CRC	D2 to D0	32 ビット書き込みコマンド
Write 1	00000	001110	10010101	1	0	10000010	010	0x01D2B412
Write 2	00000	001110	00010101	1	0	11011100	010	0x01C2B6E2

EMC ガイドライン

回路とレイアウトのガイドライン

ノイズが多い環境下（例えば 電磁干渉が生じた時）で AD7280A チェーンの性能を最適化するためには、次の回路とレイアウトのガイドラインが必要です（図 29 を参照）。

1. デイジーチェーン接続の全 AD7280A は物理的に一枚のプリント回路基板(PCB)に配置する必要があります。PCB 間でのデイジーチェーン接続はお勧めしません。分離されたデイジーチェーンには各々の PCB を使用する事ができます。しかしこの場合、PCB 間の通信は SPI 又は CAN のような通信プロトコルを介して行われます。
2. 各デイジーチェーン接続にはそれぞれ 22 μ F のコンデンサを接続する必要があります。コンデンサはデータがデイジーチェーンを進む方向により、上位デバイスの V_{SS} ピンか又は下位デバイスの V_{DD} に終端する必要があります。PD、CS、SCLK、SDI、CNVST のデイジーチェーン接続はデータをチェーンの上方に渡します。これらのピンの 22 pF コンデンサはチェーンの上位デバイスの V_{SS} に終端する必要があります。SDO_{lo} と ALERT_{lo} のデイジーチェーン接続はデータをチェーンの下方に渡します。これらのピンの 22 pF コンデンサはチェーンの下位デバイスの V_{DD} ピンに終端する必要があります。
3. 下位のデバイスの V_{DD} ピンを、直接の低インピーダンスのパターンで上位デバイスの V_{SS} ピンに接続してください。AD7280A のデイジーチェーン接続は隣接の AD7280A の V_{DD}/V_{SS} 電圧で動作します。電源間での低インピーダンス経路を確実にする事によりデイジーチェーン通信の性能が最適化されます。
4. アプリケーション PCB には最低 4 層必要です。AD7280A デイジーチェーン接続の配線は PCB の内部層を使用してください。
5. AD7280A デイジーチェーン接続をチェーンの上位デバイスの V_{SS} に接続された V_{SS} 電源プレーンで上と下をシールドする必要があります。シールドは V_{SS} や上位デバイスのデイジーチェーン・ロー・ピン (15 ピン、17 ピン、そして 21 ピン ~ 28 ピン) から拡張され、V_{DD} ピンへの低インピーダンス・パターンと共に、下位デバイスのデイジーチェーン・ハイ・ピン (42 ピン ~ 48 ピン) を覆う必要があります。このシールドはノイズの多い環境で動作する時、デイジーチェーン接続に対する最大の保護になります。
6. PCB 上でデイジーチェーン接続の長さを最小にするために、AD7280A デバイスを互いにできるだけ近くに配置する必要があります。
7. AD7280A の V_{DD}/V_{SS} ピンに入るノイズを最小にするために、バッテリーから来る V_{DD} と V_{SS} の電源パターンにフェライト・ビーズを挿入する必要があります。これらのビーズは PCB のバッテリー・セル接続と各々の電源ピンとの間の PCB パターンに挿入する事ができます。

これらのフェライト・ビーズを小さな値の抵抗に置き換える事ができます。使用できる抵抗の最大値は 20 Ω です。マスター・チップへ行く V_{SS} ラインには抵抗があってはけません。バッテリー・セル・コネクタから V_{SS} ピンへは直接接続してください。

アナログ・デバイス社は又下記の事を推奨します：

- AD7280A がモニターする 6 個の個別のセル全体に渡る 100 nF コンデンサの接続。このコンデンサを PCB のバッテリー・セル・コネクタのできるだけ近くに接続する必要があります。
- デバイスのすべての未使用のピンの正しい終端。未使用ピンの正しい終端についての詳細は、ピン配置と機能の説明セクションに記載されています。

ノイズの多い環境での動作

AD7280A がノイズの多い環境（例えば電磁干渉が生じた時）で動作する時は、SPI 又はデイジーチェーンの入力と出力でグリッジが起こる可能性があります。そのようなグリッジが AD7280A の動作に与える可能性のある影響を制限するために、各デイジーチェーン入力がデバイス内に供給される前にフィルタを通します。PD ピンのフィルタは 130 μ s 幅です（詳細はパワーダウンのセクションを参照してください）。その他のデイジーチェーン入力 (CS、SCLK、SDI、CNVST、SDI_{hi}、ALERT_{hi}) は 150 ns 幅です。どのピンでもこれらの値より幅の広いグリッジがあると AD7280A に影響を与える可能性があります。

SCLK と CS ピンに生じるグリッジは AD7280A が DSP/マイクロプロセッサと同期がとれなくなる結果を招く可能性があります。しかし、そのような同期喪失はグリッジが生じた間の 32 ビットワードだけに影響を与えます。シリアル・インターフェースセクションで述べたように、デバイスが確実に再度同期をとるように、AD7280A のインターフェースは CS の立ち上がりエッジでリセットされます。

SDI ピン 又は SDO_{hi} ピンで生じるグリッジは、AD7280A チェーンへ書き込む又は AD7280A チェーンから読み出す 32 ビット・ワードのいずれかのビットの状態を変化させる可能性があります。このイベントが起こった時、AD7280A 又は DSP/マイクロプロセッサが受信した 8 ビット CRC は、送信された 32 ビットワードに基づいて計算された CRC に一致しません。

ALERT_{hi} ピンに生じるグリッジは、マスター・デバイスから出力する時に警告信号に現れます。警告応答のソフトウェア又はハードウェアを設計する時には、このようなグリッジがシステムで適切に取り扱われるように注意が必要です。

CNVST ピンで生じるグリッジは変換開始要求と認識される可能性があります。もしこれが読み出し動作中に生じた場合、AD7280A から間違ったデータが読み出される可能性があります。

変換結果を読み出している最中に AD7280A が 2 番目の変換開始信号を受け取った場合、デバイス、又はデバイス・チェーンから読みだされるデータは壊れている可能性があります。データの破壊は 2 番目の変換開始信号が導入された時点で生じます。2 番目の変換開始信号の前のすべてのデータ読み出しは正しいですが、2 番目の変換開始信号後のデータ読み出しは壊れている可能性があります。

データの破壊は変換結果に限らない事に注意してください。デバイス・アドレス、チャンネル・アドレス、CRC データも壊れ

ている可能性があります。変換開始信号をゲートするために CNVST コントロール・レジスタを使用する必要があります。これは CNVST ピンで生じたグリッジが、AD7280A の内部回路に直接侵入するのを防ぎます。

ソフトウェア・フローチャート

ノイズの多い環境で AD7280A を駆動する場合の検討すべき一連の推奨ステップのソフトウェア・フローチャートは図 41. を参照してください。

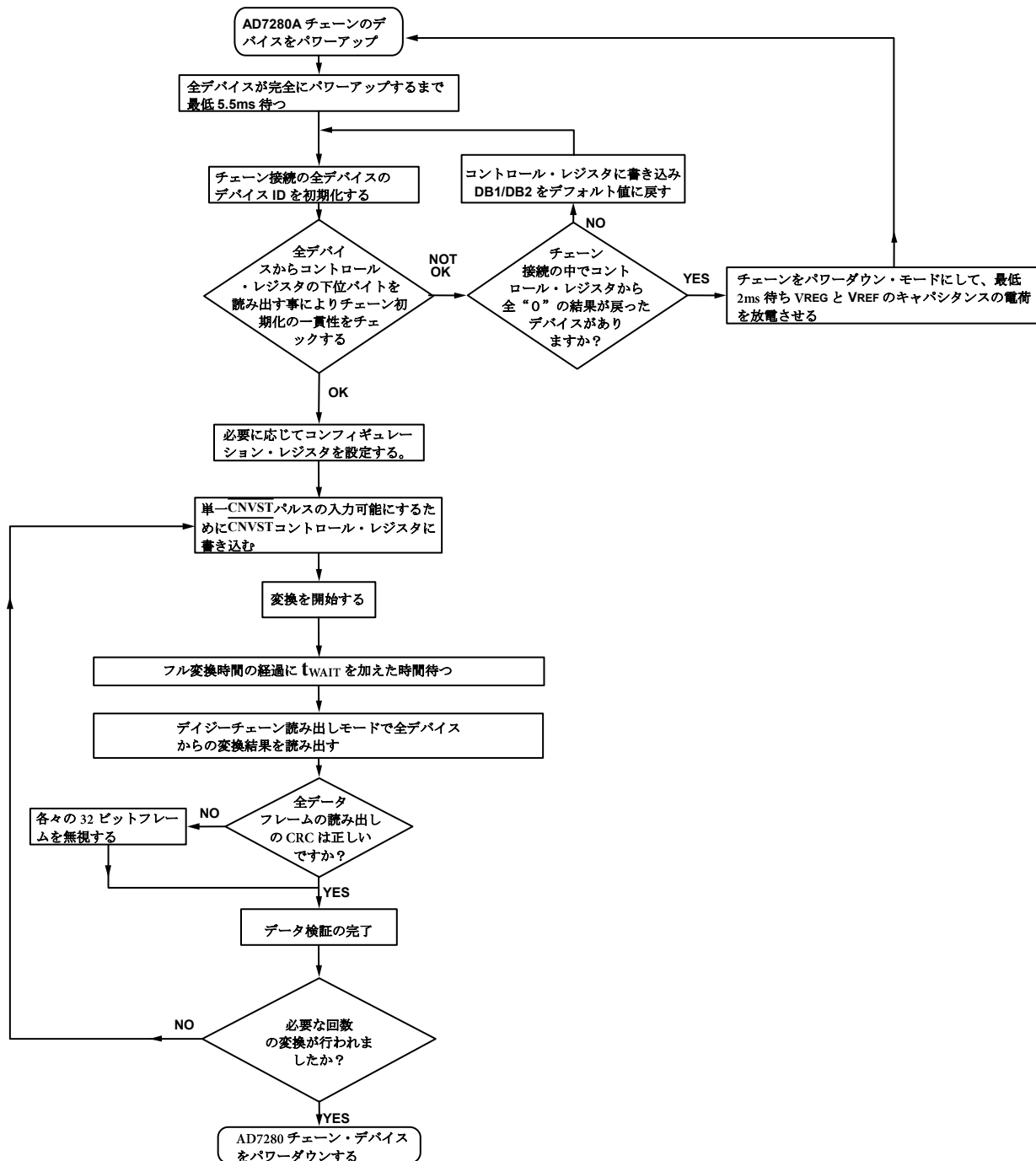


図 41. ノイズの多い環境下で動作させる時のための推奨ソフトウェア・フローチャート

外形寸法

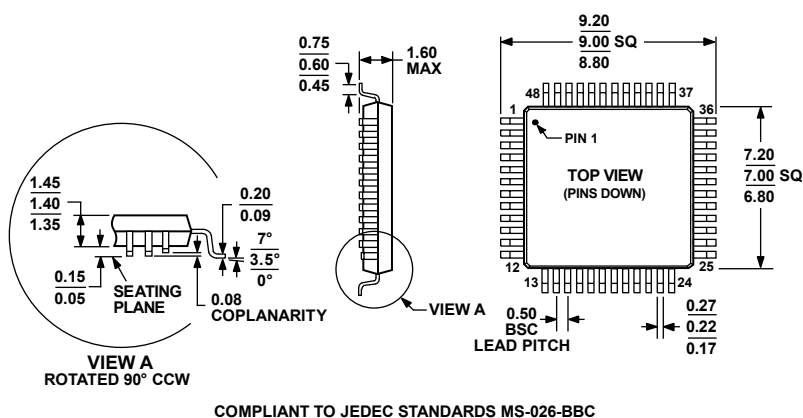


図 42.48 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP] (ST-48) 寸法: mm

オーダー・ガイド

Model ^{1,2}	Temperature Range	Package Description	Package Option
AD7280ABSTZ	-40°C to +105°C	48-Lead LQFP	ST-48
AD7280ABSTZ-RL	-40°C to +105°C	48-Lead LQFP	ST-48
AD7280AWBSTZ	-40°C to +105°C	48-Lead LQFP	ST-48
AD7280AWBSTZ-RL	-40°C to +105°C	48-Lead LQFP	ST-48

¹ Z = RoHS 準拠製品² W = 車載用に認定

車載用製品

AD7280AW モデルの製造は車載用アプリケーションの品質、信頼性要求に対応するために管理されています。これらの車載用モデルの仕様は民生用モデルと異なる場合があります；従って設計者はこのデータシートの仕様セクションを注意深く確認する必要があります。記載されている車載グレード製品のみ車載アプリケーションに使用可能です。特定の製品に関する注文方法とこれらモデルの車載用信頼性レポートの取得に関しては最寄りのアナログ・デバイセズ社の代理店にお問い合わせください。

AD7280A

NOTES

ノート