

特長

- デュアル12ビット、3チャンネルA/Dコンバータ
- スループット・レート：2MSPS
- $V_{DD}=2.7\sim 5.25V$ で仕様規定
- 消費電力：
 - 3V電源、1.5MSPS：9mW
 - 5V電源、2MSPS：27mW
- ピンの設定が可能なアナログ入力
 - 12チャンネル・シングルエンド入力
 - 6チャンネル完全差動入力
 - 6チャンネル疑似差動入力
- 入力周波数50kHzでS/N比70dB
- 正確なオンチップ・リファレンス：2.5V
 - 25°C：±0.2% (max)、20ppm/°C (max)
- 読み出し速度437.5ns、32MHz SCLKのデュアル変換
- 高速シリアル・インターフェース
 - SPI®/QSPI™/MICROWIRE™/DSP互換
- 動作温度：-40～+125°C
- シャットダウン・モード：1μA (max)
- 32ピンのLFCSP/TQFPパッケージ
- 1MSPSバージョン (AD7265)

概要

AD7266¹は、2.7～5.25V単電源で動作するデュアル12ビット、高速、低消費電力の逐次比較型A/Dコンバータ (SAR ADC) で、最大2MSPSのスループット・レートを提供します。デバイスは2個のADCを備えており、それぞれ前段に3チャンネルのマルチプレクサと、30MHz超の入力周波数を処理できる低ノイズの広帯域トラック&ホールド・アンプを接続しています。

変換処理とデータ・アクイジションには、マイクロプロセッサやDSPとのインターフェースがとりやすい標準的な制御入力を使用します。入力信号はCSの立下がりエッジでサンプリングし、変換もこのポイントで開始します。変換時間はSCLKの周波数によって決まり、デバイスに関連したパイプライン遅延はありません。

AD7266は、先進的な設計技法によって高スループット・レートできわめて低い消費電力を実現しました。5V電源、2MSPSスループット・レートでの消費電力は、最大6.2mAです。また、無負荷静止電流の消費量が非常に小さいため、ノーマル・モードの動作時には電源/スループット・レートをフレキシブルに管理できます。

アナログ入力レンジは、ストレート・バイナリまたは2の補数出力コーディングで、 $0V\sim V_{REF}$ (または $2\times V_{REF}$) を選択できます。2.5Vのリファレンスを内蔵していますが、外部リファレンスを使用したい場合はオーバードライブできます。外部リファレンスのレンジは $100mV\sim V_{DD}$ です。

¹ 米国の特許番号6,681,332で保護されています。

機能ブロック図

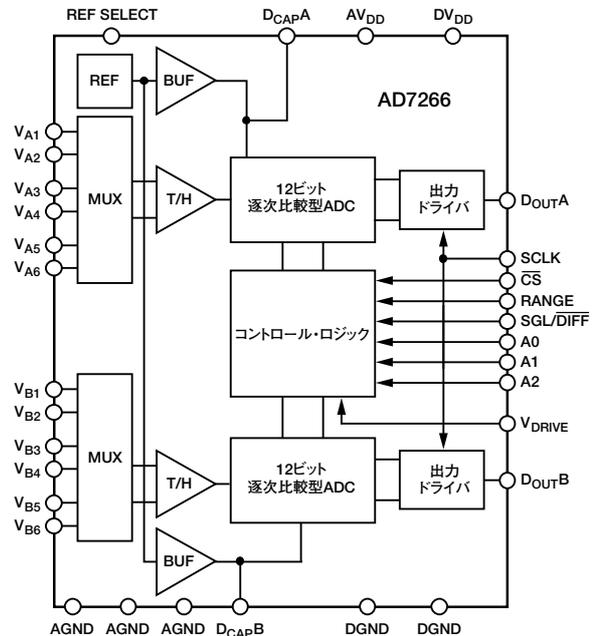


図1

AD7266は、32ピンのLFCSPまたはTQFPパッケージで提供されています。

製品のハイライト

- 2チャンネルのサンプリングと変換を同時に実行できる2つのADC (全機能内蔵)
各ADCは、3つの完全/疑似差動ペアまたは6つのシングルエンド・チャンネルを備えています。両チャンネルの変換結果は、別々のデータラインで同時に使用できます。シリアル・ポートが1つしか使用できないときは、1つのデータラインで連続して使用できます。
- 低消費電力、高スループット
3Vの電源動作の場合、11.4mWの消費電力 (max) で1.5MSPSのスループット・レートを提供します。
- $0V\sim V_{REF}$ (標準) と $2\times V_{REF}$ の入力レンジを提供
- パイプライン遅延なし
デバイスは標準的な2つの逐次比較型ADCを備えており、CS入力によるサンプリング瞬間の正確な制御とワンショット変換制御を提供します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

AD7266

目次

仕様	3	ノーマル・モード	19
タイミング特性	5	パーシャル・パワーダウン・モード	19
絶対最大定格	6	フルパワーダウン・モード	20
ESDに関する注意	6	パワーアップ時間	21
ピン配置と機能の説明	7	消費電力とスループット・レートの関係	21
代表的な性能特性	9	シリアル・インターフェース	22
用語の定義	11	マイクロプロセッサのインターフェース	23
動作原理	13	AD7266とADSP218xとのインターフェース	23
回路の説明	13	AD7266とADSP-BF53xとのインターフェース	24
コンバータの動作	13	AD7266とTMS320C541とのインターフェース	24
アナログ入力構造	13	AD7266とDSP563xxとのインターフェース	26
アナログ入力の選択	14	アプリケーション情報	26
アナログ入力の選択	17	グラウンディングとレイアウト	26
出力コーディング	17	チップ・スケール・パッケージのPCボード設計	
伝達関数	18	ガイドライン	26
デジタル入力	18	AD7266の性能評価	26
V _{DRIVE}	18	外形寸法	27
動作モード	19	オーダー・ガイド	28

改訂履歴

2005年4月ーリビジョン0：初版

仕様

特に指定のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $V_{DD} = 2.7 \sim 3.6V$ 、 $f_{SCLK} = 24MHz$ 、 $f_S = 1.5MSPS$ 、 $V_{DRIVE} = 2.7 \sim 3.6V$ 、 $V_{DD} = 4.75 \sim 5.25V$ 、 $f_{SCLK} = 32MHz$ 、 $f_S = 2MSPS$ 、 $V_{DRIVE} = 2.7 \sim 5.25V$ 、内部リファレンスまたは外部リファレンス = $2.5V \pm 1\%$ で仕様規定。¹

表1

パラメータ	仕様	単位	テスト条件/備考
ダイナミック性能			
信号対ノイズ比 (S/N比) ²	71 69	dB (min) dB (min)	$f_{IN} = 50kHz$ のサイン波 (差動モード) $f_{IN} = 50kHz$ のサイン波 (シングルエンド/疑似差動モード)
信号/ノイズ&歪み (SINAD) ²	70 68	dB (min) dB (min)	$f_{IN} = 50kHz$ のサイン波 (差動モード) $f_{IN} = 50kHz$ のサイン波 (シングルエンド/疑似差動モード)
全高調波歪み (THD) ²	-77 -73	dB (max) dB (max)	$f_{IN} = 50kHz$ のサイン波 (差動モード) $f_{IN} = 50kHz$ のサイン波 (シングルエンド/疑似差動モード)
スプリアス・フリー・ダイナミックレンジ (SFDR) ²	-75	dB (max)	$f_{IN} = 50kHz$ のサイン波
相互変調歪み (IMD) ²			$f_{IN} = 50kHz$ のサイン波 $f_a = 30kHz$ 、 $f_b = 50kHz$
2次項	-88	dB (typ)	
3次項	-88	dB (typ)	
チャンネル間絶縁	-88	dB (typ)	
サンプル&ホールド			
アパーチャ遅延 ³	11	ns (max)	
アパーチャ・ジッタ ³	50	ps (typ)	
アパーチャ遅延マッチング ³	200	ps (max)	
フルパワー帯域幅	33/26 3.5/3	MHz (typ) MHz (typ)	@3dB、 $V_{DD} = 5V / V_{DD} = 3V$ @0.1dB、 $V_{DD} = 5V / V_{DD} = 3V$
DC精度			
分解能	12	ビット	
積分非直線性 (INL) ²	± 1 ± 1.5	LSB (max) LSB (max)	± 0.5 LSB (typ): 差動モード ± 0.5 LSB (typ): シングルエンド・モード、疑似差動モード
微分非直線性 (DNL) ^{2, 4}	± 0.99 $-0.99 / +1.5$	LSB (max) LSB (max)	差動モード シングルエンド・モード、疑似差動モード
ストレート・バイナリ出力コーディング			
オフセット誤差	± 7	LSB (max)	± 2 LSB (typ)
オフセット誤差マッチ	± 2	LSB (typ)	
ゲイン誤差	± 2.5	LSB (max)	
ゲイン誤差マッチ	± 0.5	LSB (typ)	
2の補数出力コーディング			
正のゲイン誤差	± 2	LSB (max)	
正のゲイン誤差マッチ	± 0.5	LSB (typ)	
ゼロコード誤差	± 5	LSB (max)	
ゼロコード誤差マッチ	± 1	LSB (typ)	
負のゲイン誤差	± 2	LSB (max)	
負のゲイン誤差マッチ	± 0.5	LSB (typ)	
アナログ入力 ⁵			
シングルエンド入力レンジ	$0V \sim V_{REF}$ $0V \sim 2 \times V_{REF}$	V V	RANGEピン: ロー RANGEピン: ハイ
疑似差動入力レンジ: $V_{IN+} - V_{IN-}$ ⁶	$0V \sim V_{REF}$ $2 \times V_{REF}$	V V	RANGEピン: ロー RANGEピン: ハイ
完全差動入力レンジ: V_{IN+} および V_{IN-}	$V_{CM} \pm V_{REF}/2$ $V_{CM} \pm V_{REF}$	V V	V_{CM} = 同相電圧 ⁷ = $V_{REF}/2$ $V_{CM} = V_{REF}$

AD7266

パラメータ	仕様	単位	テスト条件/備考
DCリーク電流 入力容量	±1 45 10	μA (max) pF (typ) pF (typ)	トラック時 ホールド時
リファレンス入出力 リファレンス出力電圧 ⁸ リファレンス入力電圧範囲 DCリーク電流 入力容量 D _{CAP} A、D _{CAP} B出力インピーダンス リファレンス温度係数 V _{REF} ノイズ	2.5 0.1/V _{DD} ±2 25 10 20 10 20	V (min/max) V (min/max) μA (max) pF (typ) Ω (typ) ppm/°C (max) ppm/°C (typ) μV _{RMS} (typ)	25°Cで±0.2% (max) 「代表的な性能特性」を参照 外部リファレンスをD _{CAP} Aピンまたは D _{CAP} Bピンに接続
ロジック入力 入力ハイレベル電圧 (V _{INH}) 入力ローレベル電圧 (V _{INL}) 入力電流 (I _{IN}) 入力容量 (C _{IN}) ³	2.8 0.4 ±15 5	V (min) V (max) nA (typ) pF (typ)	V _{IN} =0VまたはV _{DRIVE}
ロジック出力 出力ハイレベル電圧 (V _{OH}) 出力ローレベル電圧 (V _{OL}) フロート状態リーク電流 フロート状態出力容量 ³ 出力コーディング	V _{DRIVE} -0.2 0.4 ±1 7 ストレート (自然) バイナリ 2の補数	V (min) V (max) μA (max) pF (typ)	SGL/DIFF=1 (0V~V _{REF} のレンジを 選択) SGL/DIFF=0、SGL/DIFF=1 (0V~ 2×V _{REF} のレンジを選択)
変換レート 変換時間 トラック&ホールド・アクイジション時間 ³ スループット・レート	14 90 110 2	SCLK cycles ns (max) ns (max) MSPS (max)	SCLK=32MHzの場合、437.5ns フルスケール・ステップ入力、 V _{DD} =5V フルスケール・ステップ入力、 V _{DD} =3V
電源条件 V _{DD} V _{DRIVE} I _{DD} ノーマル・モード (スタティック) 動作時、f _s =2MSPS f _s =1.5MSPS パーシャル・パワーダウン・モード フルパワーダウン・モード (V _{DD}) 消費電力 ノーマル・モード (動作時) パーシャル・パワーダウン (スタティック) フルパワーダウン (スタティック)	2.7/5.25 2.7/5.25 2.3 6.4 4 500 1 2.8 33.6 2.625 5.25	V (min/max) V (min/max) mA (max) mA (max) mA (max) μA (max) μA (max) μA (max) mW (max) mW (max) μW (max)	デジタルI/P=0VまたはV _{DRIVE} V _{DD} =5.25V V _{DD} =5.25V、5.7mA (typ) V _{DD} =3.6V、3.4mA (typ) スタティック TA=-40~+85°C TA>+85~125°C V _{DD} =5.25V V _{DD} =5.25V V _{DD} =5.25V、TA=-40~+85°C

¹ 温度範囲は-40~+125°Cです。

² 「用語の定義」を参照してください。

³ 量産開始時にサンプル・テストを実施して適合性を確認しています。

⁴ 12ビットでノー・ミスコード保証

⁵ V_{IN-}、V_{IN+}は、GND/V_{DD}内の値とします。

⁶ 仕様規定された性能を得るにはV_{IN-}=0Vとします。V_{IN-}ピンのフル入力レンジについては、図28、図29を参照してください。

⁷ 全同相電圧範囲については、図24、図25を参照してください。

⁸ D_{CAP}Aピン、D_{CAP}Bピンにかかる電圧

タイミング特性

特に指定のない限り、 $AV_{DD}=DV_{DD}=2.7\sim 5.25V$ 、 $V_{DRIVE}=2.7\sim 5.25V$ 、内部または外部リファレンス $=2.5V$ 、 $T_A=T_{MAX}\sim T_{MIN}$ で仕様規定。¹

表2

パラメータ	T_{MIN} 、 T_{MAX} での制限値	単位	説明
f_{SCLK}^2	1	MHz (min)	$T_A = -40\sim +85^\circ C$
	4	MHz (min)	$T_A > +85\sim +125^\circ C$
	32	MHz (max)	
$t_{CONVERT}$	$14 \times t_{SCLK}$	ns (max)	$t_{SCLK} = 1/f_{SCLK}$
	437.5	ns (max)	$f_{SCLK} = 32MHz$ 、 $V_{DD} = 5V$ 、 $F_{SAMPLE} = 2MSPS$
	583.3	ns (max)	$f_{SCLK} = 24MHz$ 、 $V_{DD} = 3V$ 、 $F_{SAMPLE} = 1.5MSPS$
t_{QUIET}	30	ns (min)	シリアル・リード終了時から \overline{CS} の次の立下がりエッジまでの最小時間
t_2	15/20	ns (min)	$V_{DD} = 5V/3V$ 、 \overline{CS} からSCLKまでのセットアップ時間 ($T_A = -40\sim +85^\circ C$)
	20/30	ns (min)	$V_{DD} = 5V/3V$ 、 \overline{CS} からSCLKまでのセットアップ時間 ($T_A > +85\sim +125^\circ C$)
t_3	15	ns (max)	\overline{CS} から D_{OUTA} および D_{OUTB} のスリーステート状態がディスプレイにされるまでの遅延時間
t_4^3	36	ns (max)	SCLKの立下がりエッジの後のデータ・アクセス時間 ($V_{DD} = 3V$)
	27	ns (max)	SCLKの立下がりエッジの後のデータ・アクセス時間 ($V_{DD} = 5V$)
t_5	$0.45 t_{SCLK}$	ns (min)	SCLKのロー・パルス幅
t_6	$0.45 t_{SCLK}$	ns (min)	SCLKのハイ・パルス幅
t_7	10	ns (min)	SCLKからデータ有効までのホールド時間 ($V_{DD} = 3V$)
	5	ns (min)	SCLKからデータ有効までのホールド時間 ($V_{DD} = 5V$)
t_8	15	ns (max)	\overline{CS} の立上がりエッジから D_{OUTA} および D_{OUTB} が高インピーダンスになるまでの時間
t_9	30	ns (min)	\overline{CS} の立上がりエッジから立下がりエッジまでのパルス幅
t_{10}	5	ns (min)	SCLKの立下がりエッジから D_{OUTA} および D_{OUTB} が高インピーダンスになるまでの時間
	35	ns (max)	SCLKの立下がりエッジから D_{OUTA} および D_{OUTB} が高インピーダンスになるまでの時間

¹ 量産開始時にサンプル・テストを実施して適合性を確認しています。入力信号はすべて、 $t_r=t_f=5ns$ (V_{DD} の10~90%)で仕様規定され、電圧レベル1.6Vから計時したものです。タイミング仕様はすべて、負荷容量25pFの場合です。負荷容量がこの値より大きい場合は、デジタル・バッファまたはラッチを使用してください。「シリアル・インターフェース」と図41、図42を参照してください。

² 仕様規定された性能の最小SCLK。SCLK周波数が低下しても、通常は性能仕様が適用されます。

³ 出力が0.4Vまたは2.4Vを超えるまでに必要な時間

AD7266

絶対最大定格

表3

パラメータ	定格値
AGNDに対するVDD	-0.3~+7V
DGNDに対するDV _{DD}	-0.3~+7V
DGNDに対するV _{DRIVE}	-0.3V~DV _{DD}
AGNDに対するV _{DRIVE}	-0.3V~AV _{DD}
DV _{DD} に対するAV _{DD}	-0.3~+0.3V
DGNDに対するAGND	-0.3~+0.3V
AGNDに対するアナログ入力電圧	-0.3V~AV _{DD} +0.3V
DGNDに対するデジタル入力電圧	-0.3~+7V
GNDに対するデジタル出力電圧	-0.3V~V _{DRIVE} +0.3V
AGNDに対するV _{REF}	-0.3V~AV _{DD} +0.3V
ピンへの入力電流(電源ピンを除く) ¹	±10mA
動作温度範囲	-40~+125°C
保存温度範囲	-65~+150°C
ジャンクション温度	150°C
LFCSP/TQFPパッケージ	
θ _{JA} 熱インピーダンス	108.2°C/W (LFCSP) 55°C/W (TQFP)
θ _{JC} 熱インピーダンス	32.71°C/W (LFCSP)
リード・ピン温度、ハンダ処理	
リフロー温度(10~30秒)	255°C
ESD	1.5kV

¹ 100mAまでの過渡電流はラッチアップの原因とはなりません。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明

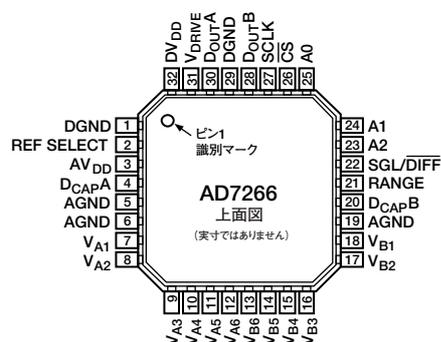


図2. ピン配置 (CP-32-3)

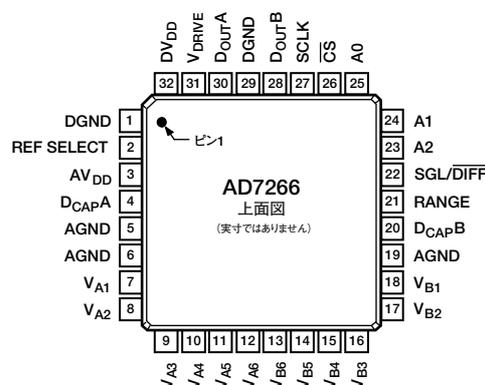


図3. ピン配置 (SU-32-2)

表4. ピン機能の説明

ピン番号	記号	機能
4、20	D_{CAPA} 、 D_{CAPB}	デカップリング・コンデンサ・ピン。デカップリング・コンデンサ (470nFを推奨) をこのピンに接続して各ADCでリファレンス・バッファをデカップリングします。出力がバッファされている場合は、オンチップのリファレンスをこれらのピンからシステムの他の部分に提供できます。外部リファレンスのレンジは、選択したアナログ入力レンジによって決まります。
7～12	$V_{A1} \sim V_{A6}$	ADC Aのアナログ入力。6つのシングルエンド・チャンネルまたは3つの完全差動アナログ入力チャンネル・ペアとして設定できます。表5を参照してください。
18～13	$V_{B1} \sim V_{B6}$	ADC Bのアナログ入力。6つのシングルエンド・チャンネルまたは3つの完全差動アナログ入力チャンネル・ペアとして設定できます。表5を参照してください。
27	SCLK	シリアル・クロック (ロジック入力)。このシリアル・クロック入力ピンは、AD7266からデータにアクセスするためのクロックを提供します。このクロックは変換処理用のクロック・ソースとしても使用できます。
5、6、19	AGND	アナログ・グラウンド。AD7266の全アナログ回路のグラウンド・リファレンス・ポイントです。すべてのアナログ入力信号と外部リファレンス信号は、このAGNDを基準にする必要があります。この3つのAGNDピンはすべて、システムのAGNDプレーンに接続します。AGNDとDGNDは同じ電位にするのが理想であり、一時的であっても電位差が0.3Vを超えないようにしてください。
32	DV _{DD}	デジタル電源電圧2.7～5.25V。AD7266の全デジタル回路用の電源電圧です。DV _{DD} とAV _{DD} は同じ電位にするのが理想であり、一時的であっても電位差が0.3Vを超えないようにしてください。この電源はDGNDにデカップリングします。
31	V _{DRIVE}	ロジック電源入力。このピンに供給される電圧によって、インターフェースの動作時に使用する電圧が決まります。このピンはDGNDにデカップリングします。このピンの電圧はAV _{DD} やDV _{DD} の電圧と異なる場合がありますが、いずれの場合も電位差が0.3Vを超えないようにしてください。
1、29	DGND	デジタル・グラウンド。AD7266の全デジタル回路のグラウンド・リファレンス・ポイントです。DGNDとAGNDは同じ電位にするのが理想であり、一時的であっても電位差が0.3Vを超えないようにしてください。
3	AV _{DD}	アナログ電源電圧2.7～5.25V。AD7266の全アナログ回路専用の電源電圧です。AV _{DD} とDV _{DD} は同じ電位にするのが理想であり、一時的であっても電位差が0.3Vを超えないようにしてください。この電源はAGNDにデカップリングします。
26	\overline{CS}	チップ・セレクト (アクティブ・ローのロジック入力)。AD7266での変換の開始とシリアル・データ転送のフレーム化を実行します。
30、28	D_{OUTA} 、 D_{OUTB}	シリアル・データ出力。データ出力は、各ピンにシリアル・データ・ストリームとして供給されます。ビットはSCLK入力の立下がりエッジでクロック出力され、データへのアクセスには14SCLKが必要となります。2つのADCで同時に変換処理が行われると、両方のピンで同時にデータが出力されます。データ・ストリームは、2個の先行ゼロと後続の12ビットの変換データからなり、データはMSBファーストで提供されます。 \overline{CS} が14SCLKサイクルを超えて16SCLKサイクルの間ローであれば、12ビットのデータの後に2個のゼロが付きます。 \overline{CS} が D_{OUTA} または D_{OUTB} でさらに16SCLKの間ローであれば、他方のADCからのデータがその D_{OUT} ピンに送信されます。このように、2つのADCで同時変換されたデータは、1個のシリアル・ポートのみを使って、 D_{OUTA} または D_{OUTB} にシリアル形式で出力できます。「シリアル・インターフェース」を参照してください。

AD7266

ピン番号	記号	機能
21	RANGE	アナログ入力レンジの選択（ロジック入力）。このピンの極性により、アナログ入力チャンネルの入力レンジが決まります。このピンをロジック・ローに接続している場合は、アナログ入力レンジが $0V \sim V_{REF}$ となります。 \overline{CS} がローになるときにこのピンがロジック・ハイに接続されている場合は、アナログ入力レンジが $2 \times V_{REF}$ となります。詳細については、「アナログ入力の選択」を参照してください。
25～23	A0～A2	マルチプレクサ・セレクト（ロジック入力）。ADC AとADC Bにチャンネル1、ADC AとADC Bにチャンネル2など、同時に変換処理を行うための2つのチャンネルを選択できます。選択するチャンネル・ペアは、2つのシングルエンド・チャンネルまたは2つの差動チャンネル・ペアとなります。マルチプレクサを正しく設定して変換処理を行うには、これらのピンのロジック状態をアクイジション時間（ \overline{CS} の立下がりエッジ）の前に設定する必要があります。詳細については、「アナログ入力の選択」を参照してください。マルチプレクサ・アドレス・デコーディングについては、表5を参照してください。
22	SGL/ \overline{DIFF}	ロジック入力。アナログ入力の設定を差動ペアとシングルエンドのいずれにするかを選択します。ロジック・ローで差動動作、ロジック・ハイでシングルエンド動作を選択します。詳細については、「アナログ入力の選択」を参照してください。
2	REF SELECT	内部／外部リファレンスの選択（ロジック入力）。このピンがGNDに接続している場合は、オンチップの2.5VリファレンスをADC AとADC Bのリファレンス・ソースとして使用します。また D_{CAPA} ピンと D_{CAPB} ピンは、デカップリング・コンデンサに接続する必要があります。REF SELECTピンがロジック・ハイに接続している場合は、 D_{CAPA} ピンや D_{CAPB} ピンを使って外部リファレンスをAD7266に供給できます。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ で仕様規定。

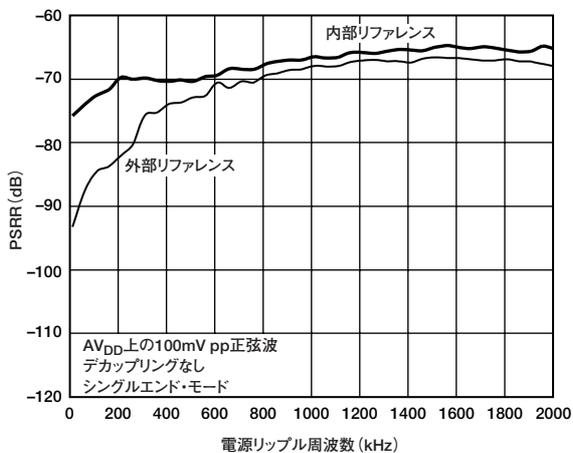


図4. 電源デカップリングがない場合の電源リップル周波数対PSRR

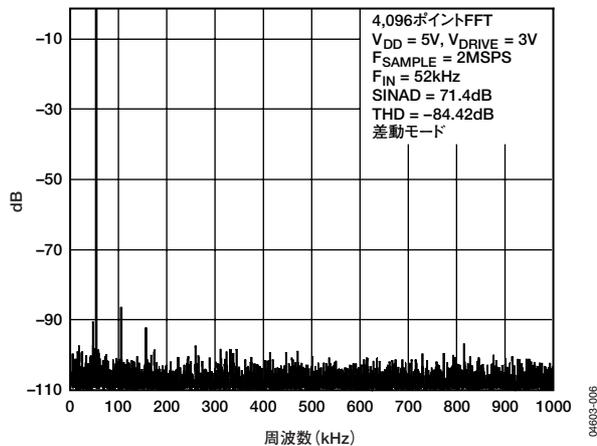


図7. FFT

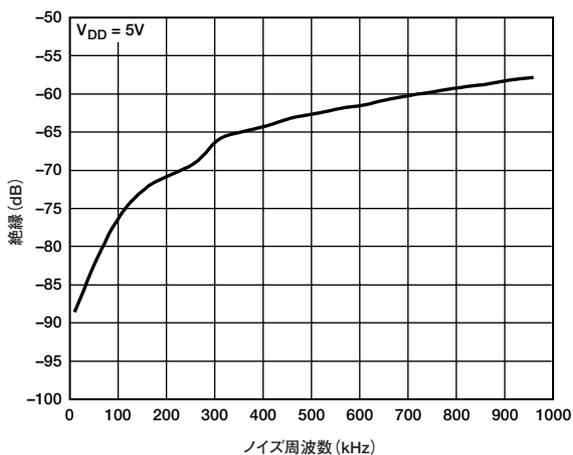


図5. チャンネル間絶縁

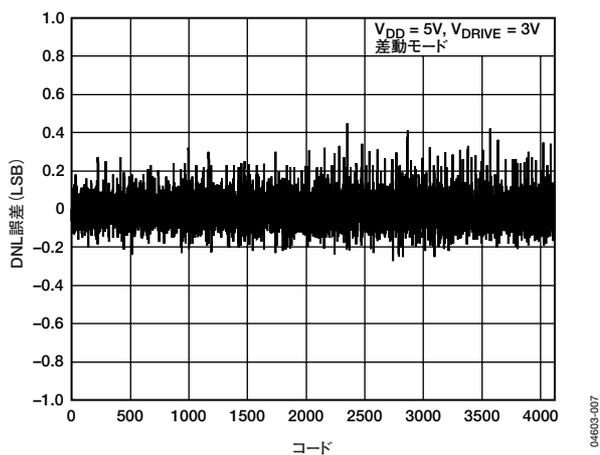


図8. 代表的なDNL

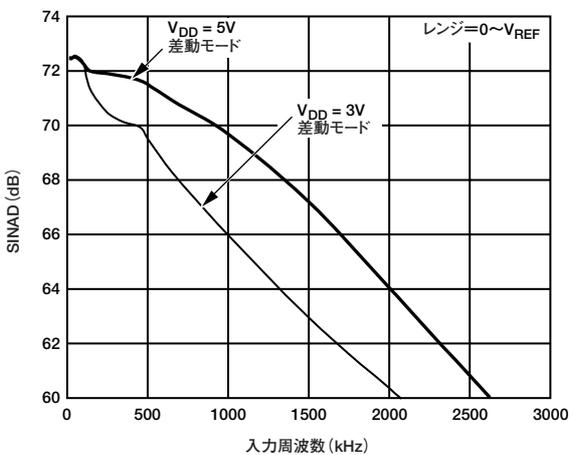


図6. 各種電源電圧のアナログ入力周波数対SINAD

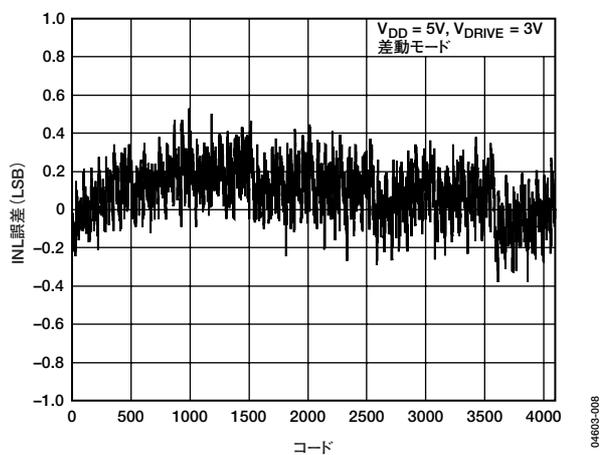


図9. 代表的なINL

AD7266

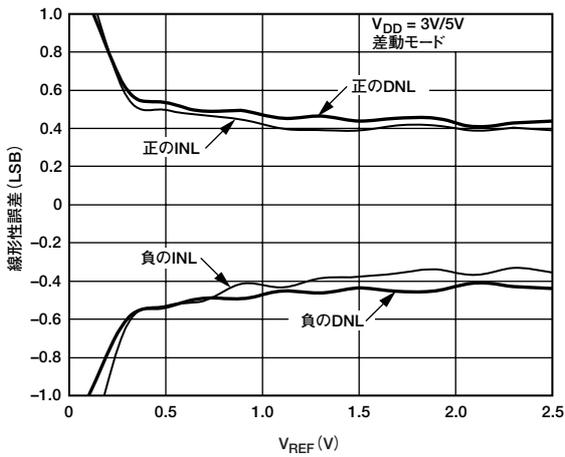


図10. V_{REF} 対 DNL

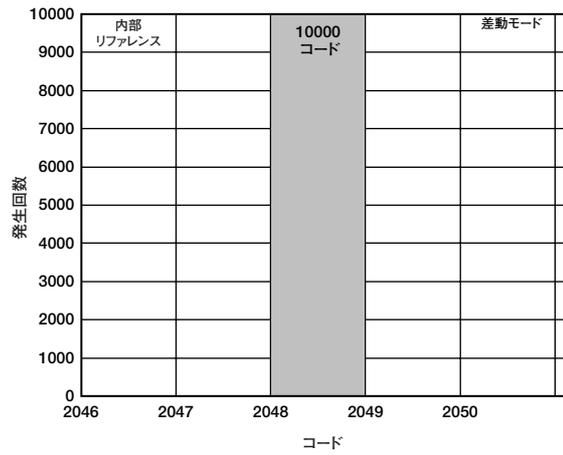


図13. 差動モードにおける10kサンプルのコードのヒストグラム

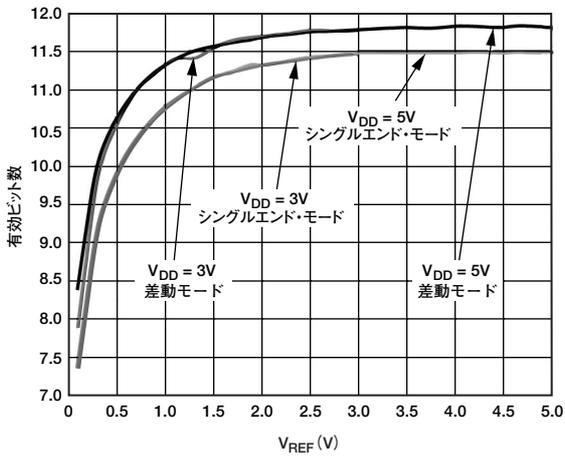


図11. V_{REF} 対 ENOB

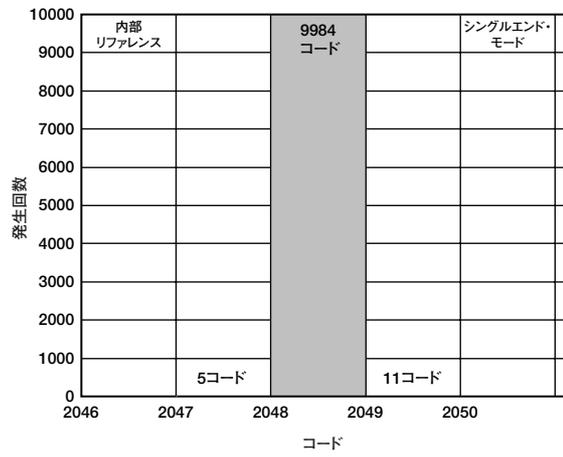


図14. シングルエンド・モードにおける10kサンプルのコードのヒストグラム

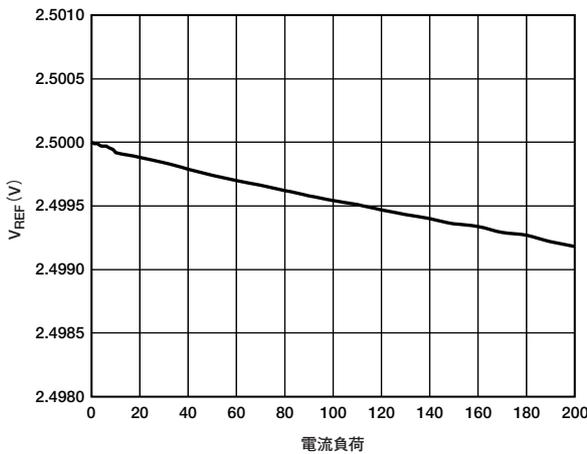


図12. リファレンス出力電流ドライブ 対 V_{REF}

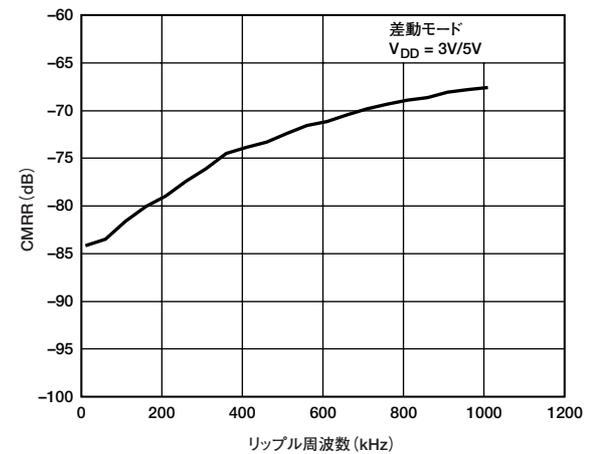


図15. 同相リップル周波数 対 CMRR

用語の定義

微分非直線性 (DNL)

ADCの隣接する2つのコード間における1LSB変化の測定値と理論値の差です。

積分非直線性 (INL)

ADC伝達関数の両端を結ぶ直線からの最大偏差です。伝達関数の両端とは、ゼロスケール（最初のコード遷移より1LSB下のポイント）とフルスケール（最後のコード遷移より1LSB上のポイント）を指します。

オフセット誤差

ストレート・バイナリ出力コーディングに関する誤差です。理論値（AGND+1LSB）と最初のコード遷移（00...000から00...001）の差です。

オフセット誤差マッチ

12チャンネル全体でのオフセット誤差の差異です。

ゲイン誤差

ストレート・バイナリ出力コーディングに関する誤差です。オフセット誤差調整後の理論値（ $V_{REF}-1LSB$ ）と最後のコード遷移（111...110から111...111）の差です。リファレンス誤差は含みません。

ゲイン誤差マッチ

12チャンネル全体でのゲイン誤差の差異です。

ゼロ・コード誤差

2の補数による出力コーディングを使用する場合（ $2 \times V_{REF}$ の入力レンジにおいて V_{REF} ポイントで $-V_{REF}$ から $+V_{REF}$ のバイアスが与えられた場合など）に適用します。理想的な V_{IN} 電圧（ V_{REF} ）からのミッドスケール遷移（すべて1からすべて0）の偏差です。

ゼロ・コード誤差マッチ

12チャンネル全体でのゼロ・コード誤差の差異です。

正のゲイン誤差

2の補数による出力コーディングを使用する場合（ $2 \times V_{REF}$ の入力レンジにおいて V_{REF} ポイントで $-V_{REF}$ から $+V_{REF}$ のバイアスが与えられた場合など）に適用します。ゼロ・コード誤差調整後の理論値すなわち $+V_{REF}-1LSB$ からの最後のコード遷移（011...110から011...111）の偏差です。

トラック&ホールド・アクイジション時間

トラック&ホールド・アンプは、変換終了後にトラック・モードに戻ります。トラック&ホールド・アクイジション時間は、変換終了後トラック&ホールド・アンプが最終値の $\pm 1/2LSB$ 以内に収まるまでに要する時間です。

信号/ノイズ&歪み (SINAD)

A/Dコンバータの出力で測定した信号対ノイズ+歪みの比です。信号は基本波のrms振幅で表し、ノイズは1/2サンプリング周波数（ $f_s/2$ ）までの基本波以外の波形の和（直流成分を除く）で表します。この比はデジタル化プロセスの量子化レベル数に左右され、レベル数が多いほど量子化ノイズは小さくなります。サイン波を入力した場合の理想的なNビット・コンバータに対する信号/ノイズ&歪みの理論値は次式で得られます。

$$\text{信号/ノイズ\&歪み} = (6.02N + 1.76) \text{ dB}$$

したがって、12ビットのコンバータの場合、74dBになります。

全高調波歪み (THD)

高調波のrms値総和と基本波の比です。AD7266の場合、次のように定義されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波のrms振幅、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、2次～6次高調波のrms振幅です

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、ADCの出力スペクトル内の2番目に大きい成分（直流成分を除いて $f_s/2$ まで）のrms値と、基本波のrms値との比と定義されます。通常、この仕様値はスペクトル内の最大高調波によって決まりますが、高調波がノイズ・フロアに埋もれているADCの場合は、ノイズ・ピークによって決まります。

チャンネル間絶縁

チャンネル間のクロストークのレベルの測定値です。この値を測定するには、10kHzのフルスケール（ $2 \times V_{REF}$ ）のサイン波信号を未指定の全入力チャンネルに印加し、50kHzの信号を与えた指定済みのチャンネルで、その信号がどれだけ減衰するかを調べます（ $0V \sim V_{REF}$ ）。得られた結果は、AD7266の全12チャンネルでの最悪の値となります。

相互変調歪み

非直線性を持つアクティブ・デバイスに2つの周波数 f_a 、 f_b を含むサイン波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ （ $m, n = 0, 1, 2, 3, \dots$ ）を持つ歪み成分が発生します。相互変調歪みの項とは、 m と n がいずれも非ゼロの項をいいます。たとえば、2次項が（ $f_a + f_b$ ）と（ $f_a - f_b$ ）を含み、3次項が（ $2f_a + f_b$ ）、（ $2f_a - f_b$ ）、（ $f_a + 2f_b$ ）、（ $f_a - 2f_b$ ）を含む場合です。

AD7266

AD7266は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF標準を用いてテストしています。この場合、2次項は通常、元のサイン波から離れた周波数に設定し、3次項は入力周波数に近い周波数に設定します。そのため、2次項、3次項は別々に指定されます。相互変調歪みの計算はTHDの仕様に従います。すなわち、dBで表した個々の歪み成分のrms総和の、基本波の和のrms振幅に対する比になります。

同相ノイズ除去比 (CMRR)

周波数 f_s の同相電圧 V_{IN+} および V_{IN-} に与えられる100mVppサイン波の電力に対する、ADC出力のフルスケール周波数 f の電力の比で、次式で表されます。

$$CMRR(\text{dB}) = 10\log(Pf/Pf_s)$$

Pf はADC出力の周波数 f の電力、 Pf_s はADC出力の周波数 f_s の電力です。

電源電圧変動除去比 (PSRR)

電源の変動はフルスケールの遷移に影響を与えますが、コンバータの直線性には影響を与えません。この除去比は、電源電圧の公称値から変動に起因するフルスケール遷移点への最大変化量をいいます (図4を参照)。

動作原理

回路の説明

AD7266は、2.7～5.25V電源で動作するデュアル12ビット、高速、低消費電力の単電源ADCです。スループット・レートは、5V電源、32MHzのクロックで2MSPS、3V電源では1.5MSPSです。

AD7266は、オンチップの差動トラック&ホールド・アンプ2個、逐次比較型ADC2個、2本のデータ出力ピンを持つシリアル・インターフェース1個を備えています。32ピンのLFCSPまたはTQFPパッケージに収容しているため、他のソリューションに比べスペースを格段に節約できます。シリアル・クロック入力はデバイスからのデータへのアクセスのみではなく、個々の逐次比較型ADCのクロック・ソースも提供します。デバイスのアナログ入力レンジは、 $0V \sim V_{REF}$ 入力または $2 \times V_{REF}$ 入力を選択でき、シングルエンド入力または差動アナログ入力で構成できます。内蔵の2.5Vリファレンスは、外部リファレンスを使用する場合にオーバードライブできます。システムの他の場所で内部リファレンスを使用する場合は、最初に出力をバッファする必要があります。

AD7266には、変換処理の合間の消費電力を節約するためのパワーダウン・オプションもあります。パワーダウン機能は、標準のシリアル・インターフェースによって実行できます（「動作モード」を参照）。

コンバータの動作

AD7266は2つの逐次比較型ADCを搭載しており、各コンバータは2つの容量性DACを中心にしています。図16と図17は、1つのADCのアクイジションと変換を簡略化して表しています。ADCは、1つのコントロール・ロジック（SAR）と2つの容量性DACを備えています。図16（アクイジション）では、SW3は閉じ、SW1とSW2はA側にあります。コンパレータは平衡状態にあり、サンプリング・コンデンサ・アレイは入力の差動信号を取得します。

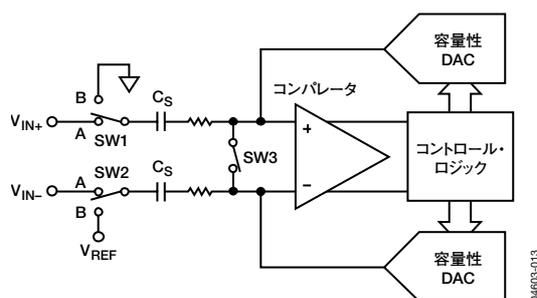


図16. アクイジション時のADC

ADCが変換処理を開始すると（図17）、SW3が開き、SW1とSW2がB側に移動して、コンパレータが不平衡状態になります。変換処理が始まると、両方の入力は非接続の状態になります。コントロール・ロジックと電荷再配分式DACは、サンプリング・コンデンサ・アレイからの固定の電荷量を加算/減算し、コンパレータを平衡状態に戻すことができます。コンパレータが平衡状態に戻ると、変換処理は終了します。コントロール・ロジックはADC出力コードを生成します。 V_{IN+} と V_{IN-} ピンの駆動源の出力インピーダンスは、整合する必要があります。2つの入力のセトリング時間が異なるとエラーが生じます。

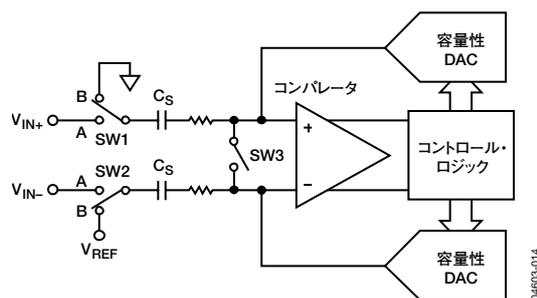


図17. 変換時のADC

アナログ入力構造

図18は、差動/疑似差動モードにおけるAD7266のアナログ入力構造と等価の回路を示しています。シングルエンド・モードでは、 V_{IN-} は内部的にAGNDに接続されます。4つのダイオードは、アナログ入力に対してESD保護として作用します。アナログ入力信号は電源レールを300mV以上超えないようにしてください。それ以上になると4つのダイオードが順方向にバイアスされ、基板に電流が流れ始めます。ダイオードは10mAまでの電流を安全に流しますが、それを超えるとデバイスに回復不能な損傷を与えます。

図18のコンデンサC1は通常4pFですが、主にピンの容量に影響されます。抵抗はスイッチのオン抵抗の集合からなるコンポーネントです。抵抗の代表値は約100Ωです。コンデンサC2はADCのサンプリング・コンデンサであり、代表的な容量は45pFです。

交流アプリケーションでは、アナログ入力ピンにRCローパス・フィルタ（最適値は47Ωと10pF）を設けてアナログ入力信号から高周波数成分を除去することを推奨します。高調波歪みやS/N比が問題となるアプリケーションでは、アナログ入力を低インピーダンスのソースで駆動します。高インピーダンスのソースの場合、ADCの交流特性に大きく影響するため、入力バッファ・アンプが必要になる場合もあります。オペアンプを使用するかどうかは、それぞれのアプリケーションの性質に依存します。

AD7266

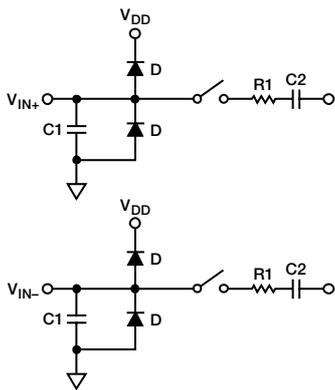


図18. 等価のアナログ入力回路（変換時一スイッチ開、トラック時一スイッチ閉）

アナログ入力を駆動するアンプがないときは、ソース・インピーダンスを低い値に制限します。ソース・インピーダンスの最大値は、全高調波歪み（THD）の許容量に依存します。ソース・インピーダンスが増加するにつれてTHDも増大し、性能は劣化します。図19は、シングルエンド・モードにおける各種ソース・インピーダンスのアナログ入力信号周波数に対するTHDのグラフです。図20は、差動モードにおける各種ソース・インピーダンスのアナログ入力信号周波数に対するTHDのグラフです。

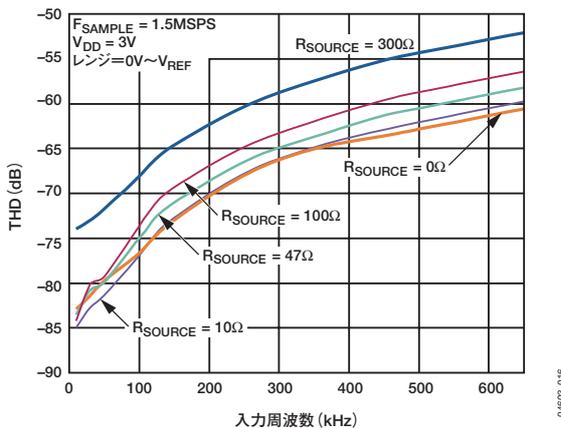


図19. 各種ソース・インピーダンスでのアナログ入力周波数対THD（シングルエンド・モード）

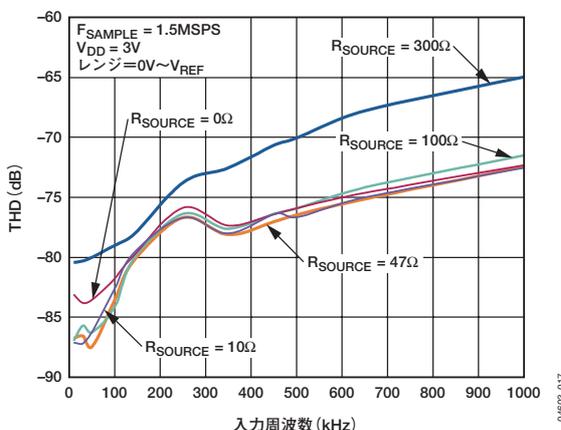


図20. 各種ソース・インピーダンスでのアナログ入力周波数対THD（差動モード）

図21は、2MSPSのサンプリングに関する各種電源でのアナログ入力周波数とTHDの関係を示しています。この場合のソース・インピーダンスは47Ωです。

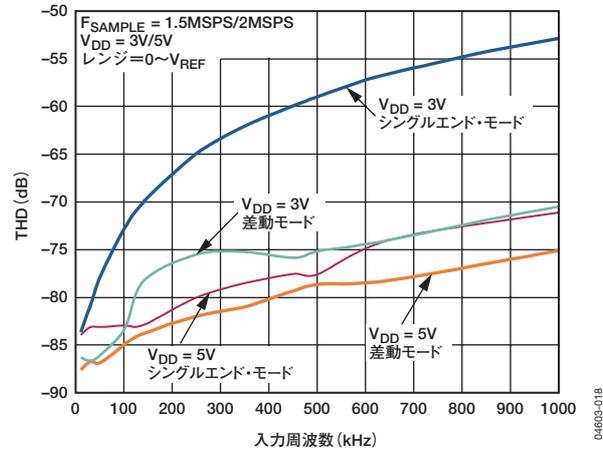


図21. 各種電源電圧でのアナログ入力周波数 対 THD

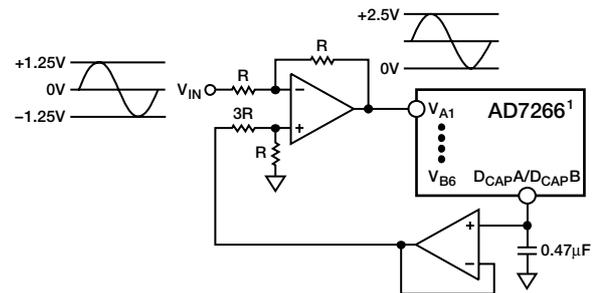
アナログ入力

AD7266は、全部で12のアナログ入力を備えています。各オンチップADCの6つのアナログ入力は、6つのシングルエンド・チャンネル、3つの疑似差動チャンネル、または3つの完全差動チャンネルとして構成できます。これらの選択については、「アナログ入力の選択」に示しています。

シングルエンド・モード

AD7266では、全部で12のシングルエンド・アナログ入力チャンネルを利用できます。信号源が高インピーダンスとなるアプリケーションでは、アナログ入力をADCに印加する前にバッファすることを推奨します。アナログ入力レンジは、0～VREFまたは0～2×VREFに設定できます。

サンプリングするアナログ入力信号がバイポーラ信号の場合は、ADCの内部リファレンスを使ってこの信号を外部バイアスし、ADCに適合させます。図22はADCをシングルエンド・モードで使用するときの典型的な接続図を示しています。



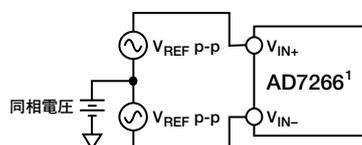
¹ わかりやすくするために、他のピンは省略しています。

図22. シングルエンド・モードの接続図

差動モード

AD7266では、全部で6つの差動アナログ入力ペアを利用できます。

差動信号は、デバイスの同相ノイズ除去による耐ノイズ性や歪み性能の改善などの点で、シングルエンド信号よりも優れています。図24は、AD7266の完全差動アナログ入力を示します。



¹ わかりやすくするために、他のピンは省略しています。

04603-020

図23. 差動入力

差動信号の振幅は、各差動ペアの V_{IN+} および V_{IN-} に入力する信号間の差 ($V_{IN+} - V_{IN-}$) です。 V_{REF} (選択したレンジによっては $2 \times V_{REF}$) の振幅を持つ位相差180度の2つの信号を用いて、 V_{IN+} と V_{IN-} を同時に駆動する必要があります。したがって、差動信号の振幅は (0~ V_{REF} のレンジを選択した場合)、コモン・モード (CM) とは関わりなく $-V_{REF} \sim +V_{REF}$ ピーク to ピーク ($2 \times V_{REF}$) となります。

コモン・モードは2つの信号の平均です。

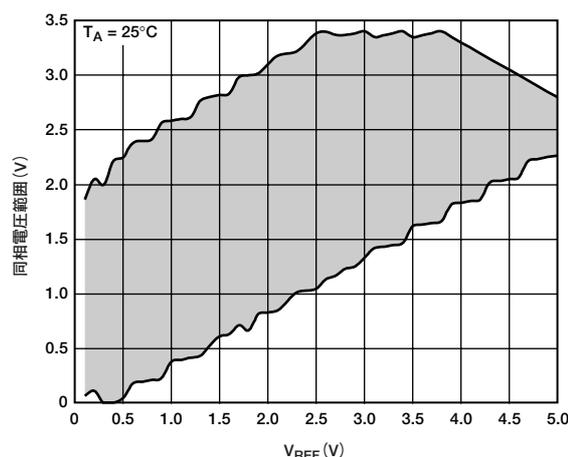
$$(V_{IN+} + V_{IN-})/2$$

つまり2つの入力の中心電圧です。

このため、各入力のレンジは $CM \pm V_{REF}/2$ となります。この電圧は外部で設定しますが、レンジはリファレンス値 (V_{REF}) に応じて変化します。 V_{REF} の値が大きくなると、同相電圧範囲は小さくなります。アンプで入力を駆動するときは、実際と同相電圧範囲はアンプの出力電圧振幅によって決まります。

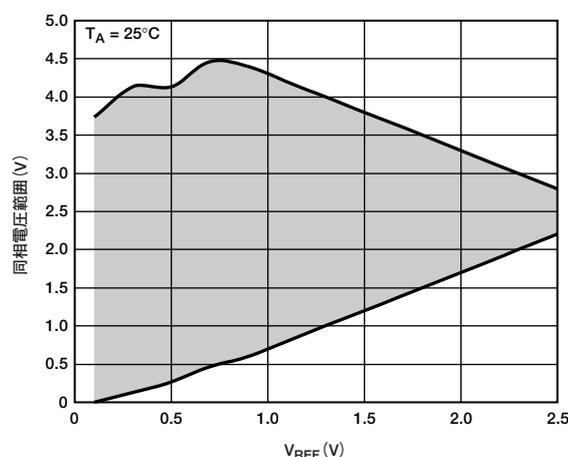
図24と図25は、5V電源時に同相電圧範囲が V_{REF} によって変化する通常の様子を示しています。この場合は、それぞれ0~ V_{REF} または0~ $2 \times V_{REF}$ のレンジを使用しています。コモン・モードがこのレンジ内になればAD7266の機能は保証されません。

変換が行われると、コモン・モードが除去されて、 $-V_{REF} \sim +V_{REF}$ の振幅のほとんどノイズのない信号が得られます。この振幅は、デジタル・コード0~4096に対応します。 $2 \times V_{REF}$ のレンジを使用すると、入力信号の振幅が変換処理後 $-2V_{REF} \sim +2V_{REF}$ まで拡張されます。



04603-021

図24. V_{REF} 対 入力同相電圧範囲 (0~ V_{REF} のレンジ、 $V_{DD}=5V$)



04603-022

図25. V_{REF} 対 入力同相電圧範囲 ($2 \times V_{REF}$ のレンジ、 $V_{DD}=5V$)

差動入力の駆動

差動動作では、振幅の等しい位相差180度の2つの信号で、 V_{IN+} と V_{IN-} を同時に駆動する必要があります。コモン・モードは外部で設定する必要があり、そのレンジは、 V_{REF} 、電源、アナログ入力の駆動に使用するアンプによって決まります。AC、DC いずれの入力でも、差動動作モードは広い周波数レンジにわたって最適なTHD性能を提供します。アプリケーションによっては信号を差動動作作用にあらかじめ調整していないものもあるため、シングルエンドから差動への変換が必要になることもあります。

オペアンプ・ペアの使用

オペアンプ・ペアを使って、差動信号をAD7266のアナログ入力ペアの1つに直接接続できます。図26と図27の回路構成はそれぞれ、バイポーラ入力信号とユニポーラ入力信号について、デュアル・オペアンプを使ってシングルエンド信号を差動信号に変換する方法を示しています。

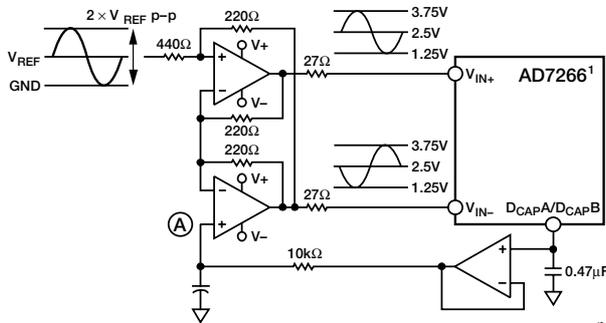
AD7266

ポイントAに入力する電圧が同相電圧を設定します。この2つの図では、同相電圧が何らかの方法でリファレンスに接続されていますが、同相電圧範囲内の任意の値をここに入力してコモン・モードを設定できます。AD8022は、この構成でAD7266を差動駆動する用途に最適なデュアル・オペアンプです。

必要な電源とシステムの性能目標によって使用するオペアンプが異なるため、オペアンプの選択には注意が必要です。図26と図27のドライバ回路は、最高の歪み性能を必要とするDC結合アプリケーション用に最適化されています。

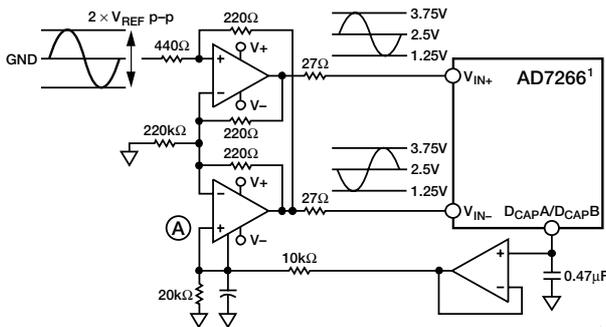
図26の回路構成では、ユニポーラのシングルエンド信号を差動信号に変換します。

図27の差動オペアンプ・ドライバ回路は、シングルエンドのグラウンド・リファレンス信号（バイポーラ）を、ADCの V_{REF} レベルを中心とする差動信号に変換し、レベル・シフトするように構成しています。



1わかりやすくするために、他のピンは省略しています。04603-023

図26. シングルエンド・ユニポーラ信号を差動信号に変換するデュアル・オペアンプ回路



1わかりやすくするために、他のピンは省略しています。04603-024

図27. シングルエンド・バイポーラ信号を差動ユニポーラ信号に変換するデュアル・オペアンプ回路

疑似差動モード

AD7266では、全部で6つの疑似差動ペアを利用できます。このモードでは、振幅が必ず V_{REF} （選択したレンジによっては $2 \times V_{REF}$ ）である信号ソースに V_{IN+} を接続するので、デバイスの全ダイナミック・レンジを利用できます。DC入力 V_{IN-} に印加されます。この入力に印加される電圧からは、グラウンドからのオフセットまたは V_{IN+} 入力の疑似グラウンドが得られます。疑似差動入力の利点は、アナログ信号入力グラウンドとADCのグラウンドを区別するため、DC同相電圧の除去が可能になるという点です。図28と図29は、疑似差動モード時の V_{IN-} ピンの典型的な電圧範囲を示しています。図30は、疑似差動モードの接続図を示しています。

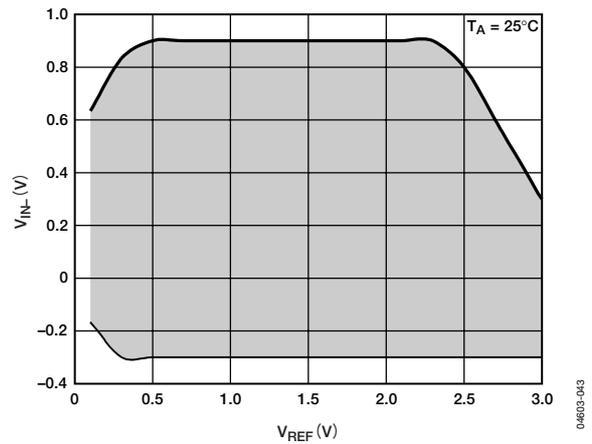


図28. V_{REF} 対 V_{IN-} 入力電圧範囲 ($V_{DD}=3V$ 、疑似差動モード)

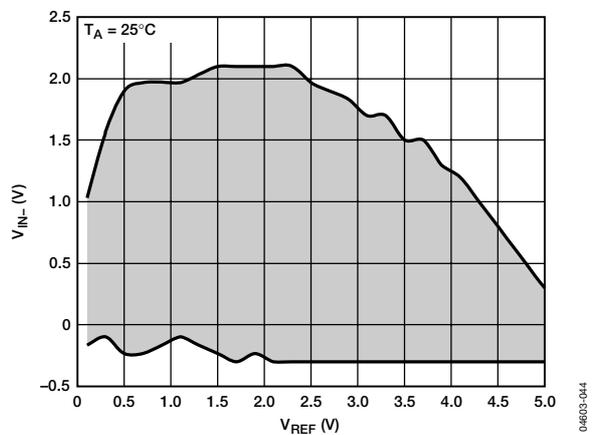
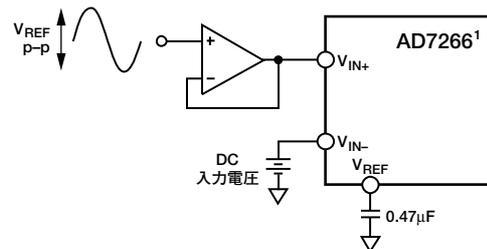


図29. V_{REF} 対 V_{IN-} 入力電圧範囲 ($V_{DD}=5V$ 、疑似差動モード)



1わかりやすくするために、他のピンは省略しています。04603-025

図30. 疑似差動モードの接続図

アナログ入力の選択

AD7266のアナログ入力は、図31に示すように、SGL/DIFFによってシングルエンドまたは完全差動として構成できます。このピンをロジック・ローに接続している場合は、各オンチップADCへのアナログ入力チャンネルが3つの完全差動ペアとして設定され、ロジック・ハイに接続している場合は、6つのシングルエンド・アナログ入力として設定されます。このピンのロジック・レベルは、アキュイジション時間の前に設定し、変換終了後にトラック&ホールドがトラック・モードに戻るまでそのままの状態にしておきます。トラック&ホールドは、 \overline{CS} 立下がりエッジ後のSCLKの13番目の立上がりエッジでトラック・モードに戻ります（図41を参照）。このピンのレベルが変わるとAD7266がそれを認識するため、アキュイジションや変換の間は同じロジック・レベルを維持し、処理中の変換に支障をきたすことはありません。

たとえば、図31ではSGL/DIFFピンがアキュイジション中と変換中の両方でロジック・ハイに設定されているため、アナログ入力はその変換（サンプリング・ポイントA）時にシングルエンドとして構成されています。SGL/DIFFのロジック・レベルは、トラック&ホールドがトラック・モードに戻った後にローレベルに変わります。ただし、この変化は次のサンプリング瞬間のポイントBのアキュイジション時間の前に起きています。したがって、アナログ入力はその変換の間、差動構成になります。

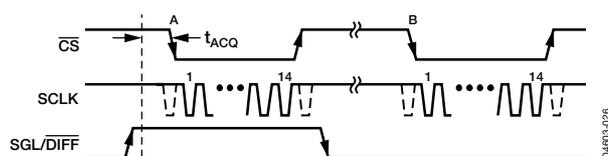


図31. 差動構成/シングルエンド構成の選択

同時変換のために使用するチャンネルは、マルチプレクサ・アドレス入力ピンA0～A2によって選択します。これらのピンのロジック状態も、アキュイジション時間の前に設定する必要があります。ただし、モードが変化しなくても、このロジック状態は変換処理中に変化する場合があります。たとえば、モードが完全差動から疑似差動に変化する場合は、アキュイジションがこの時点から再開されます。選択した入力チャンネルは、表5のようにデコードされます。

AD7266のアナログ入力レンジは、RANGEピンによって $0V \sim V_{REF}$ または $0V \sim 2 \times V_{REF}$ を選択できます。この選択は、RANGEピンのロジック状態を \overline{CS} の立下がりエッジ前の t_{acq} 時に設定して、SGL/DIFFピンの場合と同様の方法で行います。これが終わったら、SCLKの3番目の立下がりエッジの後にこのピンのロジック・レベルを変更できます。このピンがロジック・ローに接続されている場合のアナログ入力レンジは $0V \sim V_{REF}$ 、ロジック・ハイに接続されている場合のアナログ入力レンジは $0V \sim 2 \times V_{REF}$ となります。

表5. アナログ入力のタイプとチャンネルの選択

SGL/DIFF	A2	A1	A0	ADC A		ADC B		備考
				V _{IN+}	V _{IN-}	V _{IN+}	V _{IN-}	
1	0	0	0	V _{A1}	AGND	V _{B1}	AGND	シングルエンド
1	0	0	1	V _{A2}	AGND	V _{B2}	AGND	シングルエンド
1	0	1	0	V _{A3}	AGND	V _{B3}	AGND	シングルエンド
1	0	1	1	V _{A4}	AGND	V _{B4}	AGND	シングルエンド
1	1	0	0	V _{A5}	AGND	V _{B5}	AGND	シングルエンド
1	1	0	1	V _{A6}	AGND	V _{B6}	AGND	シングルエンド
0	0	0	0	V _{A1}	V _{A2}	V _{B1}	V _{B2}	完全差動
0	0	0	1	V _{A1}	V _{A2}	V _{B1}	V _{B2}	疑似差動
0	0	1	0	V _{A3}	V _{A4}	V _{B3}	V _{B4}	完全差動
0	0	1	1	V _{A3}	V _{A4}	V _{B3}	V _{B4}	疑似差動
0	1	0	0	V _{A5}	V _{A6}	V _{B5}	V _{B6}	完全差動
0	1	0	1	V _{A5}	V _{A6}	V _{B5}	V _{B6}	疑似差動

出力コーディング

AD7266の出力コーディングは、変換処理のために選択するアナログ入力構成に応じて、2の補数またはストレート・バイナリに設定できます。表6は、個々のアナログ入力構成に使用する出力コーディング方式を示しています。

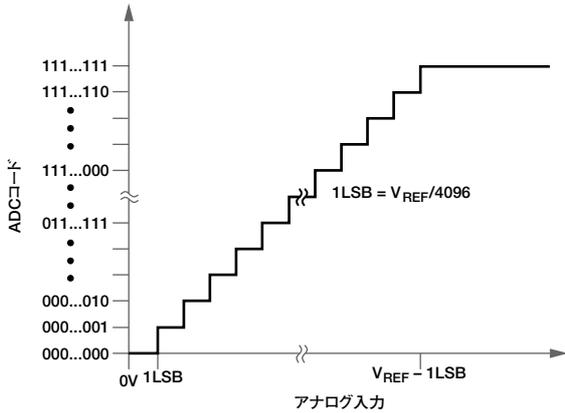
表6. AD7266出力コーディング

SGL/DIFF	レンジ	出力コーディング
DIFF	$0V \sim V_{REF}$	2の補数
DIFF	$0V \sim 2 \times V_{REF}$	2の補数
SGL	$0V \sim V_{REF}$	ストレート・バイナリ
SGL	$0V \sim 2 \times V_{REF}$	2の補数
PSEUDO DIFF	$0V \sim V_{REF}$	ストレート・バイナリ
PSEUDO DIFF	$0V \sim 2 \times V_{REF}$	2の補数

AD7266

伝達関数

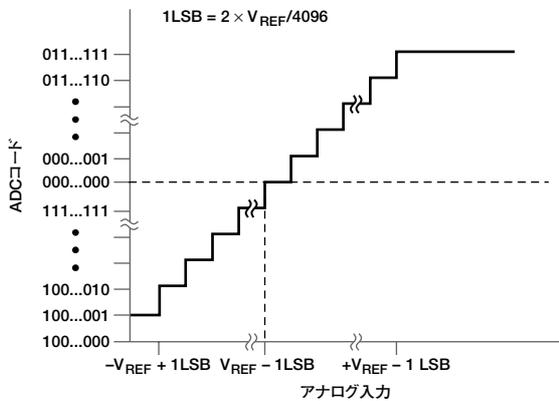
設計上のコード遷移は、連続するLSB整数値 (1LSB、2LSB…) で発生します。シングルエンド・モードでは、 $0V \sim V_{REF}$ レンジの場合のLSBサイズは $V_{REF}/4096$ 、 $0V \sim 2 \times V_{REF}$ レンジの場合のLSBサイズは $2 \times V_{REF}/4096$ です。差動モードでは、 $0V \sim V_{REF}$ レンジの場合のLSBサイズは $2 \times V_{REF}/4096$ 、 $0V \sim 2 \times V_{REF}$ レンジの場合のLSBサイズは $4 \times V_{REF}/4096$ です。図32はストレート・バイナリ・コーディング方式で出力するときのAD7266の理想的な伝達特性、図33は2の補数方式で出力するときのAD7266の理想的な伝達特性を示しています ($2 \times V_{REF}$ レンジを選択している場合)。



注
1. V_{REF} は V_{REF} または $2 \times V_{REF}$

04603-027

図32. ストレート・バイナリ方式の伝達特性



04603-028

図33. 入力レンジが $V_{REF} \pm V_{REF}$ の場合の2の補数方式の伝達特性

デジタル入力

AD7266に対するデジタル入力は、アナログ入力を制限する最大定格の制限を受けません。印可されるデジタル入力は7Vに達することもあり、アナログ入力のように $V_{DD} + 0.3V$ までという制限はありません。詳細は「絶対最大定格」を参照してください。SCLK、RANGE、A0~A2、 \overline{CS} ピンへの入力が $V_{DD} + 0.3V$ までに制限されないため、電源シーケンスの問題が起きないという利点もあります。 V_{DD} よりも前にデジタル入力の1つに印加した場合でも、ラッチアップの危険はありません。アナログ入力では、 V_{DD} より前に0.3Vより大きい信号を印加すると、ラッチアップの危険があります。

V_{DRIVE}

AD7266には、シリアル・インターフェースの動作電圧を制御する V_{DRIVE} 機能もあります。 V_{DRIVE} により、ADCは3Vと5Vのプロセッサの両方に簡単にインターフェースできます。たとえば、AD7266が5Vの V_{DD} で動作している場合に、 V_{DRIVE} ピンに3Vの電源を供給でき、低電圧デジタル・プロセッサで大きなダイナミック・レンジが得られます。したがって、AD7266は5Vの V_{DD} と $2 \times V_{REF}$ の入力レンジで使用でき、その上に3Vのデジタル・デバイスとインターフェースできます。

動作モード

AD7266の動作モードは、変換時に \overline{CS} 信号の（ロジック）状態を制御して選択します。動作モードには、ノーマル・モード、パーシャル・パワーダウン・モード、フルパワーダウン・モードの3つがあります。変換開始後 \overline{CS} をハイレベルにするポイントによって、AD7266が用いるパワーダウン・モードが決まります。また、すでにパワーダウン・モードになっている場合も、 \overline{CS} によってノーマル動作に戻るか、パワーダウン・モードにとどまるかを制御します。この3つの動作モードによって、柔軟なパワーマネジメント・オプションが得られ、さまざまなアプリケーションの要求に最適な消費電力／スループット・レート比を実現できます。

ノーマル・モード

最高のスループット・レートを必要とするアプリケーション用のモードです。AD7266は常時フルパワー状態なので、パワーアップ時間を気にする必要はありません。図34はこのモードでのAD7266の一般的な動作図を示します。

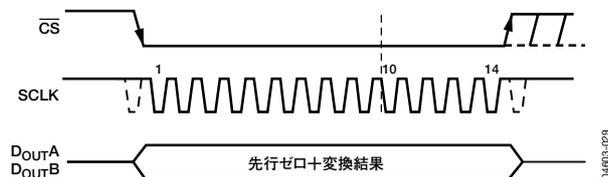


図34. ノーマル・モード動作

変換は \overline{CS} の立下がりエッジで開始します（「シリアル・インターフェース」を参照）。デバイスを常時パワーアップしておくには、 \overline{CS} の立下がりエッジの後、10以上のSCLK立下がりエッジが経過するまで \overline{CS} をローレベルに維持します。10番目のSCLK立下がりエッジの後から14番目のSCLK立下がりエッジの前までに \overline{CS} をハイレベルにすると、デバイスがパワーアップ状態のまま変換が終了し、 D_{OUTA} と D_{OUTB} がスリーステートに戻ります。変換が完了して変換結果にアクセスするには、14SCLKが必要です。 D_{OUT} ラインは14SCLKサイクルが経過した時点ではなく \overline{CS} が再度ハイレベルになった時点でスリーステート状態に戻ります。 \overline{CS} がその後2SCLKサイクルの間ローレベルであれば（16SCLKバーストしか得られない場合など）、2個のゼロがデータの後にクロック出力されます。 \overline{CS} がさらに14（または16）SCLKサイクルの間ローレベルであれば、図42に示すように、もう一方のオンチップADCの処理結果にも同じ D_{OUT} ラインからアクセスできます（「シリアル・インターフェース」を参照）。

32SCLKサイクルが経過すると、 D_{OUT} ラインは32番目の立下がりエッジでスリーステートに戻ります。 \overline{CS} がこの前にハイレベルになれば、 D_{OUT} ラインはその時点でスリーステートに戻ります。32SCLKを経過した後、 \overline{CS} をアイドルのローレベルにしておき、次の変換の前までに再度ハイレベルにできます（これによって、 \overline{CS} を効果的にアイドルのローレベルにできます）。この場合も、結果のデュアル読出しが終了するとバスがスリーステートに戻ります。

データ転送が完了して、 D_{OUTA} と D_{OUTB} がスリーステートに戻った後は、静止時間 t_{QUIET} 経過後に \overline{CS} を再度ローレベルにして、次の変換を開始できます（必要なアクイジション時間が確保されているものとします）。

パーシャル・パワーダウン・モード

比較的遅いスループット・レートを使用するアプリケーション用のモードです。各変換の間にADCをパワーダウンするか、高スループット・レートで連続して変換を実行し、一連の変換と変換の間の比較的長い時間にわたってADCをパワーダウンします。パーシャル・パワーダウン・モードでは、オンチップのリファレンスとトリファレンス・バッファを除くすべてのアナログ回路がパワーダウンします。

このモードにするには、図35に示すように、SCLKの2番目の立下がりエッジの後からSCLKの10番目の立下がりエッジの前までの任意の時点で \overline{CS} をハイレベルにして変換プロセスを中断します。SCLKのこのウィンドウ内で \overline{CS} をハイレベルにすると、デバイスがパーシャル・パワーダウン状態になり、 \overline{CS} の立下がりエッジで開始した変換が終了して、 D_{OUTA} と D_{OUTB} がスリーステートに戻ります。SCLKの2番目の立下がりエッジの前に \overline{CS} がハイレベルになっても、デバイスはノーマル・モードのまま、パワーダウンせず、 \overline{CS} ラインのグリッチによる偶発的なパワーダウンは起きません。

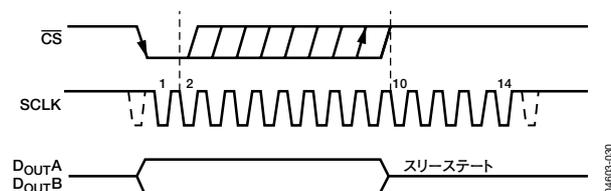


図35. パーシャル・パワーダウン・モードへの移行

パーシャル・パワーダウン・モードを終了してAD7266を再度パワーアップするには、ダミー変換を実行します。 \overline{CS} の立下がりエッジでパワーアップを開始し、 \overline{CS} がローレベルの間パワーアップを続け、SCLKの10番目の立下がりエッジで終了します。デバイスは約1 μ s後に完全にパワーアップし、図36に示すように、次の変換から有効なデータが得られます。SCLKの2番目の立下がりエッジの前に \overline{CS} がハイレベルになっても、AD7266はパーシャル・パワーダウン・モードに戻り、 \overline{CS} ラインのグリッチによる偶発的なパワーアップは起きません。デバイスは \overline{CS} の立下がりエッジでパワーアップを開始することもあります。が、 \overline{CS} の立上がりエッジで再びパワーダウンします。AD7266がパーシャル・パワーダウン・モード状態のとき、 \overline{CS} がSCLKの2番目の立下がりエッジと10番目の立下がりエッジの間にハイレベルになると、フルパワーダウン・モードに移行します。

AD7266

フルパワーダウン・モード

パーシャル・パワーダウン・モードの場合より遅いスループット・レートを使用するアプリケーション用のモードです。フルパワーダウンからのパワーアップは、パーシャル・パワーダウンからのパワーアップよりもかなり長い時間を要します。このモードは、一連の変換を比較的速いスループット・レートで実行した後、長時間の非アクティブ状態すなわちパワーダウン状態が発生するアプリケーションに適しています。AD7266がフルパワーダウン・モードのときは、すべてのアナログ回路がパワーダウンしています。フルパワーダウン・モードへは、パーシャル・パワーダウン・モードの場合と同様の方法で移行しますが、図35に示すタイミング・シーケンスを2回実行する必要があります。変換プロセスの中断もパーシャル・パワーダウン・モードの場合と同様で、SCLKの2番目の立下がりエッジの後からSCLKの10番目の立下がりエッジの前までの任意の時点でCSをハイレベルにして中断します。デバイスは、この時点で

でパーシャル・パワーダウン・モードになります。フルパワーダウン・モードにするには、図37に示すように、同じ方法で次の変換サイクルを中断する必要があります。SCLKのこのウィンドウ内でCSをハイレベルにすると、デバイスが完全にパワーダウン状態になります。

CSがすでにハイレベルになっている場合、パワーダウン・モードに入るために14SCLKサイクル待つ必要はありません。

フルパワーダウン・モードを終了してAD7266をパワーアップする場合は、パーシャル・パワーダウンからパワーアップするときと同様、ダミー変換を実行します。デバイスはCSの立下がりエッジでパワーアップを開始し、CSがローレベルの間パワーアップを続け、10番目のSCLKの立下がりエッジで終了します。図38に示すように、必要なパワーアップ時間が経過したら、変換を開始できます。AD7266に関するパワーアップ時間については、「パワーアップ時間」を参照してください。

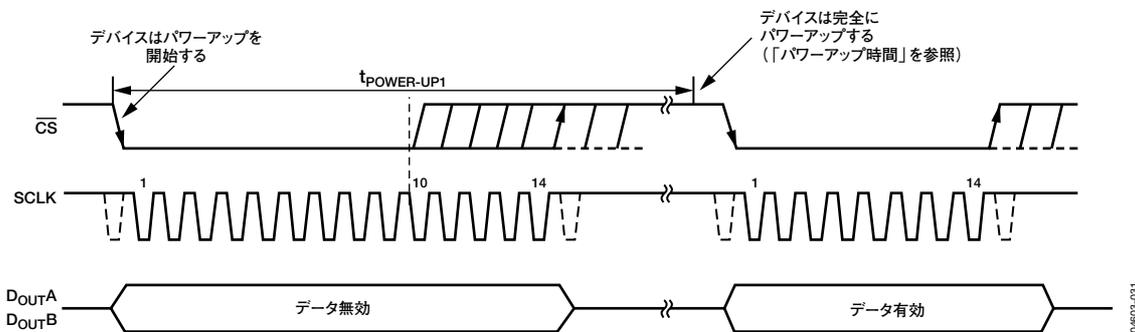


図36. パーシャル・パワーダウン・モードの終了

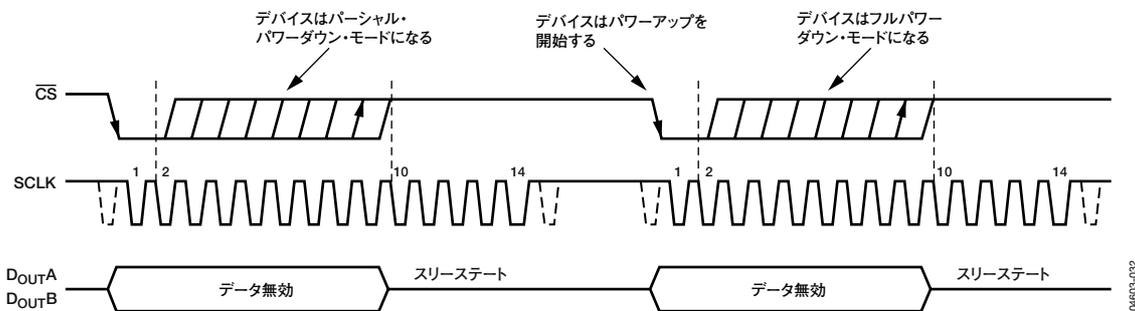


図37. フルパワーダウン・モードの開始

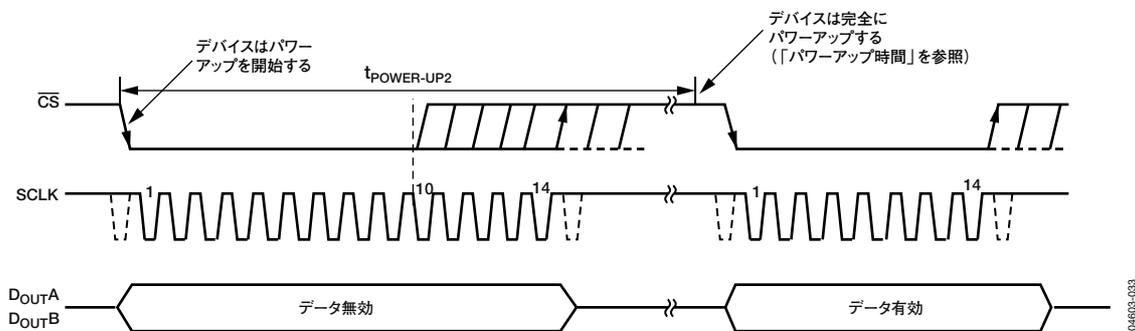


図38. フルパワーダウン・モードの終了

パワーアップ時間

詳述したように、AD7266にはパーシャル・パワーダウン・モードとフルパワーダウン・モードがあります。ここでは、このいずれかのモードから移行するために必要なパワーアップ時間を取り上げます。ここで説明するパワーアップ時間は、 D_{CAPA} ピンと D_{CAPB} ピンに推奨コンデンサを接続した場合の時間です。

フルパワーダウンからパワーアップするには、 \overline{CS} の立下がりエッジから約1.5msが必要です(図38の $t_{POWER-UP2}$)。パーシャル・パワーダウンからパワーアップする場合は、それよりかなり短い時間で十分です。パーシャル・パワーダウンからのパワーアップ時間は通常1 μ sです。しかし、内部リファレンスを使用している場合、このパワーアップ時間が当てはまるのは、AD7266が67 μ s以上パーシャル・パワーダウン状態を維持している場合です。

最初にAD7266に電源を供給するとき、パワーダウン・モードかノーマル・モードのいずれかでADCがパワーアップします。このため、デバイスが完全にパワーアップしてから有効な変換を開始するように、1ダミー・サイクル経過してから使用することを推奨します。また、電源供給後ただちにデバイスをパーシャル・パワーダウン・モードで運用したい場合は、ダミー・サイクルを2回を実行する必要があります。最初のダミー・サイクルで、SCLKの10番目の立下がりエッジの後まで \overline{CS} をローレベルに維持します(図34を参照)。2番目のサイクルで、SCLKの2番目の立下がりエッジの後からSCLKの10番目の立下がりエッジの前までの間に \overline{CS} をハイレベルにします(図35を参照)。また、電源が供給されているときにデバイスをフルパワーダウン・モードにする場合は、ダミー・サイクルを3回実行する必要があります。最初のダミー・サイクルで、SCLKの10番目の立下がりエッジの後まで \overline{CS} をローレベルに維持します(図34を参照)。2番目と3番目のダミー・サイクルで、デバイスをフルパワーダウン状態にします(図37を参照)。

AD7266に電源供給後開始後、外部リファレンスをパワーアップして、さまざまなリファレンス・バッファ・デカップリング・コンデンサをフル充電するには、十分な時間を確保する必要があります。

消費電力とスループット・レートの関係

AD7266の消費電力は、スループット・レートに応じて変わります。非常に遅いスループット・レートと最高速のSCLK周波数を使用している場合は、さまざまなパワーダウン・オプションを使って消費電力を大幅に節減できます。しかし、AD7266の静止電流は十分に小さく、パワーダウン・オプションを使用しなくてもサンプリング・レートに応じて消費電力が大きく変動します。これは、固定のSCLK値を使用している場合にも、

SCLKがサンプリング・レートに比例している場合にもあてはまります。図39と図40は、ノーマル・モードのときの消費電力とスループット・レートの関係を示しています。SCLKは固定最大周波数とサンプリング・レートに比例する周波数で、電源はそれぞれ $V_{DD}=3V$ 、 $V_{DD}=5V$ です。いずれも内部リファレンスを使用しています。

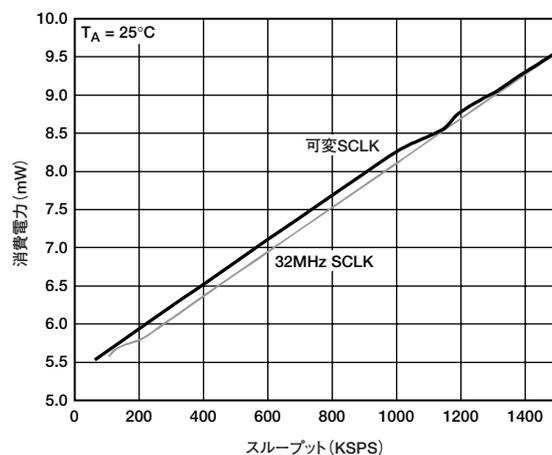


図39. スループット対消費電力 ($V_{DD}=3V$ 、ノーマル・モード)

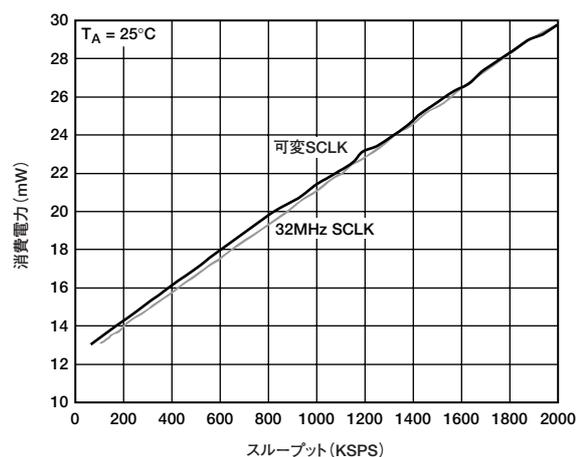


図40. スループット対消費電力 ($V_{DD}=5V$ 、ノーマル・モード)

AD7266

シリアル・インターフェース

図41は、AD7266に対するシリアル・インターフェースの詳細なタイミング図を示しています。シリアル・クロックは変換クロックとして動作し、変換中はAD7266からの情報転送を制御します。

\overline{CS} 信号は、データ転送と変換プロセスを開始します。トラック&ホールドは \overline{CS} の立下がりエッジでトラック・モードとなり、この時点でアナログ入力がサンプリングされて、バスはスリーステート状態から抜けます。この時点で変換も開始され、処理を完了するのに14SCLK以上が必要となります。SCLKの13個の立下がりエッジが経過すると、トラック&ホールドはSCLKの次の立上がりエッジ（図41のポイントB）でトラックに戻ります。16SCLK転送の場合は、最後のLSBに2個の後続ゼロが付きます。 \overline{CS} の立上がりエッジで変換が終了し、 D_{OUTA} と D_{OUTB} がスリーステート状態に戻ります。 \overline{CS} がハイレベルにならず、 D_{OUTA} に対しさらに14（または16）SCLKサイクルの間ローレベルであれば、変換Bのデータが D_{OUTA} から出力されます（2個の後続ゼロが付きます）。

同様に、 D_{OUTB} に対して \overline{CS} がさらに14（または16）SCLKサイクルの間ローレベルであれば、変換Aのデータが D_{OUTB} から出力されます。図42は、 D_{OUTA} の場合を示します。この場合、使用されている D_{OUT} ラインは、SCLKの32番目の立下がりエッジと \overline{CS} の立上がりエッジのいずれかが発生した時点でスリーステートに戻ります。

変換処理を実行して、いずれか一方のデータラインの変換データにアクセスするには、14SCLK以上が必要です。 \overline{CS} がローレベルになると、マイクロコントローラまたはDSPは先行ゼロを読み込みます。次に、残りのデータが2番目の先行ゼロからSCLKの次の立下がりエッジでクロック出力されます。したがって、シリアル・クロックの最初の立下がりエッジでは、最初の先行ゼロが付き、2番目の先行ゼロのクロック出力も行われます。その後、12ビットの結果が出力されます。前の（13番目の）立下がりエッジでクロック出力されていたデータ転送の最終ビットは14番目の立下がりエッジで有効になります。低速のSCLKを使用するアプリケーションでは、SCLKの周波数に依存する各SCLK立上がりエッジでデータを読み込むことができます。つまり、 \overline{CS} の立下がりエッジ後の最初のSCLK立上がりエッジで2番目の先行ゼロを、13番目のSCLK立上がりエッジでDB0を読み出すことができます。

注：高速SCLK値、すなわち短いSCLK期間の場合に適正な t_2 時間を確保するために、最初のSCLK立下がりエッジの前にSCLKの立上がりエッジを発生させることができます。このSCLK立上がりエッジはタイミング上の問題なので、あまり気にする必要はありません。SCLKの立下がりエッジが \overline{CS} の立下がりエッジと一致する場合、このSCLK立下がりエッジはAD7266で認識されず、SCLKの次の立下がりエッジが \overline{CS} の立下がりエッジ後に登録される最初のエッジとなります。

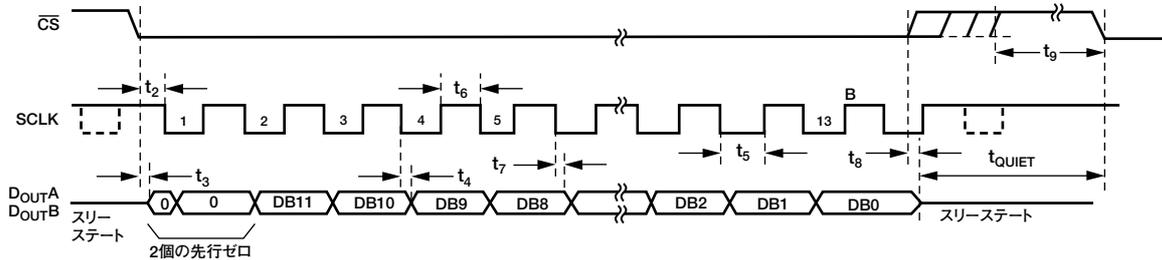


図41. シリアル・インターフェースのタイミング図

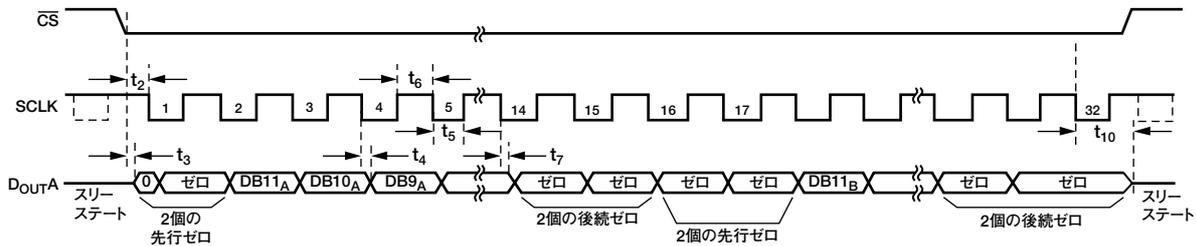


図42. 1本の D_{OUT} ラインでの2つのADCのデータ読出し（32SCLKの場合）

マイクロプロセッサのインターフェース

AD7266のシリアル・インターフェースを使用すれば、さまざまなマイクロプロセッサを直接接続できます。ここでは、いくつかの一般的なマイクロコントローラやDSPのシリアル・インターフェース・プロトコルを使ってAD7266をインターフェースする方法について説明します。

AD7266とADSP218xとのインターフェース

DSPのADSP218xファミリーは、グルー・ロジックなしで直接AD7266にインターフェースします。AD7266のV_{DRIVE}ピンは、ADSP218xと同じ電源電圧を使用します。このためADCはそのシリアル・インターフェースより高い電源電圧で動作でき、必要に応じてADSP218xの場合より高い電圧で動作できます。ここでは、ADSP218xの2つのシリアル・ポートに接続されたAD7266のD_{OUT}AとD_{OUT}Bの例を示します。制御レジスタSPORT0とSPORT1を表7と表8のように設定します。

表7. SPORT0制御レジスタの設定

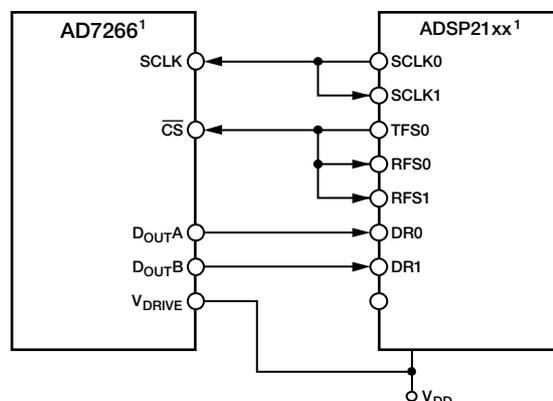
設定	説明
TFSW=RFSW=1 INVRFS=INVTFS=1 DTYPE=00 SLEN=1111	オルタネート・フレーミング アクティブ・ローのフレーム信号 右側正規化データ 16ビットのデータワード (14ビットのデータワードの場合は1101に設定)
ISCLK=1 TFSR=RFSR=1 IRFS=0 ITFS=1	内部シリアル・クロック ワードごとのフレーム

表8. SPORT1制御レジスタの設定

設定	説明
TFSW=RFSW=1 INVRFS=INVTFS=1 DTYPE=00 SLEN=1111	オルタネート・フレーミング アクティブ・ローのフレーム信号 右側正規化データ 16ビットのデータワード (14ビットのデータワードの場合は1101に設定)
ISCLK=0 TFSR=RFSR=1 IRFS=0 ITFS=1	外部シリアル・クロック ワードごとのフレーム

パワーダウン・モードにするときは、SLENを1001に設定して8ビットのSCLKバーストを発生させます。

接続図を図43に示します。ADSP-218xは、SPORT0のTFS0、RFS0とSPORT1のRFS1と一緒に接続しています。TFS0は出力に、RFS0とRFS1は入力に設定します。DSPをオルタネート・フレーミング・モードで動作させ、SPORT制御レジスタを上記のように設定します。TFSで生成されるフレーム同期化信号をCSに接続し、通常の信号処理アプリケーション同様、等間隔サンプリングを行ってください。ただし、この例ではタイマ割込みを使ってADCのサンプリング・レートを制御するため、状況によって等間隔サンプリングにならないことがあります。



1 わかりやすくするために、他のピンは省略しています。

04630-036

図43. AD7266とADSP218xとのインターフェース

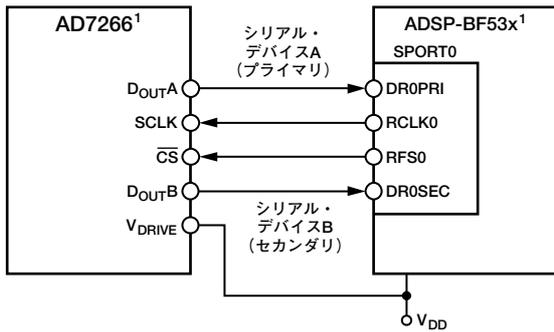
タイマ・レジスタには、必要なサンプリング間隔で割込みが発生するような値を書き込みます。割込みを受け付けると、TFS/DT (ADC制御ワード)と一緒に値を転送します。TFSは、RFS、すなわちデータの読出しを制御します。シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSと一緒に送信する命令が与えられると (AX0=TX0)、SCLKの状態がチェックされます。SCLKがハイレベル、ローレベル、ハイレベルに変化するのを待ってから、DSPが送信を開始します。送信命令がSCLKの立上がりエッジまたはその近くで発生するようにタイマとSCLKの値が設定されていれば、データの送信が行われるか、次のクロック・エッジまで待つこととなります。

たとえば、ADSP2111のマスター・クロック周波数は16MHzです。SCLKDIVレジスタに値3を書き込むと、2MHzのSCLKが得られ、1SCLK周期と8マスター・クロック周期が等しくなります。タイマ・レジスタに値803を書き込むと、割込みと割込みの間とその後の送信命令と送信命令の間に、100.5回のSCLKが発生します。この場合、送信命令がSCLKのエッジで発生するため、不等間隔のサンプリングになります。割込みと割込みの間のSCLKの数が整数Nの場合は、DSPは等間隔サンプリングを実行します。

AD7266とADSP-BF53xとのインターフェース

DSPのADSP-BF53xファミリーは、グルー・ロジックなしで直接AD7266にインターフェースします。Blackfin® DSPのシリアル・ポートで2次受信レジスタを利用できる場合は、1個のシリアル・ポートのみで両方のD_{OUT}ピンから同時に読出しを行うことができます。図44は、AD7266のD_{OUT}AピンとD_{OUT}Bピンが、ADSPの-BF53xのシリアル・ポートに接続していることを示しています。SPORT0受信構成1レジスタとSPORT0受信構成2レジスタを表9と表10のように設定します。

AD7266



¹わかりやすくするために、他のピンは省略しています。

図44. AD7266とADSP-BF53xとのインターフェース

表9. SPORT0受信構成1レジスタ (SPORT0_RCR1)

設定	説明
RCKFE=1	RSCLKの立下がりエッジでのサンプル・データ
LRFS=1	アクティブ・ローのフレーム信号
RFSR=1	ワードごとのフレーム
IRFS=1	内部RFSを使用
RLSBIT=0	MSBファースト受信
RDTYPE=00	ゼロで充填
IRCLK=1	内部受信クロック
RSPEN=1	受信イネーブル
SLEN=1111	16ビットのデータワード (14ビットのデータワードの場合は1101に設定)
TFSR=RFSR=1	

表10. SPORT0受信構成2レジスタ (SPORT0_RCR2)

設定	説明
RXSE=1	セカンダリ側イネーブル
SLEN=1111	16ビットのデータワード (14ビットのデータワードの場合は1101に設定)

パワーダウン・モードにするときは、SLENを1001に設定して8ビットのSCLKバーストを発生させます。

AD7266とTMS320C541とのインターフェース

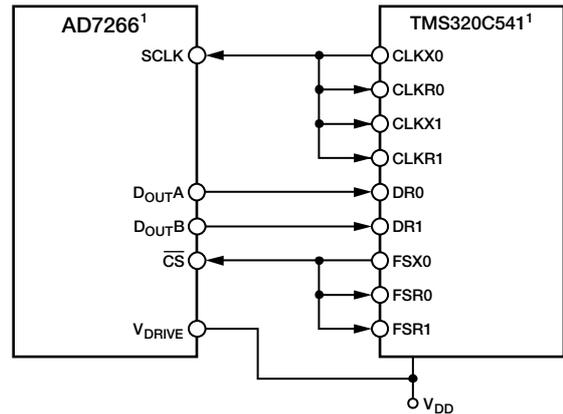
TMS320C541のシリアル・インターフェースでは、連続したシリアル・クロックとフレーム同期信号を使って、データ転送動作をAD7266などの周辺機器と同期させます。CS入力を使えば、グルー・ロジックなしでTMS320C541とAD7266のインターフェースを容易にとることができます。TMS320C541のシリアル・ポートを内部CLKX0 (シリアル・ポート0のTxシリアル・クロック)とFSX0 (シリアル・ポート0からのTxフレーム同期)を使うバースト・モードで動作するように設定します。シリアル・ポート制御レジスタ (SPC) は、次のように設定しておきます。

表11. シリアル・ポート制御レジスタの設定

SPC	FO	FSM	MCM	TXM
SPC0	0	1	1	1
SPC1	0	1	0	0

AD7266でパワーダウン・モードを実行するには、フォーマット・ビットFOを「1」に設定してワード長を8ビットに設定します。

図45に接続図を示します。信号処理アプリケーションでは、TMS320C541からのフレーム同期信号で等間隔サンプリングを実行する必要があります。AD7266のV_{DRIVE}ピンはTMS320C541と同じ電源電圧を使用します。このためADCはそのシリアル・インターフェースより高い電圧で動作でき、必要に応じてADSP218xの場合より高い電圧で動作できます。



¹わかりやすくするために、他のピンは省略しています。

図45. AD7266とTMS320C541とのインターフェース

AD7266とDSP563xxとのインターフェース

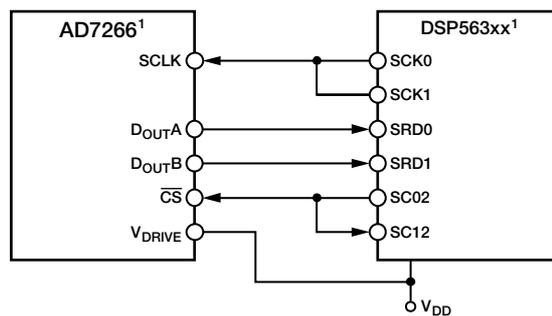
図46の接続図は、AD7266と、モトローラ社のDSPファミリーDSP563xxのESSI (同期シリアル・インターフェース) との接続方法を示します。2個のオンチップESSIはそれぞれ同期モードで動作し (CRBレジスタのSYNビット=1)、TxとRxに対する1ワードのフレーム同期を内部で発生します (CRBのFSL1ビット=0かつFSL0ビット=0)。

ESSIの標準動作を選択するには、CRBのMOD=0にします。CRAでWL1ビット=1かつWL0ビット=0に設定して、ワード長を16に設定します。

AD7266をパワーダウン・モードにする場合、CRAでWL1ビット=0かつWL0ビット=0に設定してワード長を8ビットに変更できます。フレーム同期信号を負の極性にするために、CRBのFSPビットは1に設定します。信号処理アプリケーションでは、DSP563xxからのフレーム同期信号で等間隔サンプリングを実行する必要があります。

図46の例では、シリアル・クロックはESSI0から入力されるため、SCK0ピンを出力に設定し (SCKD=1)、SCK1は入力に設定します (SCKD=0)。フレーム同期信号はESSI0でSC02から入力されるため、SCD2=1とし、ESSI1ではSCD2=0とします。

したがって、SC12は入力に設定されます。AD7266のV_{DRIVE}ピンはDSP563xxと同じ電源電圧を使用します。このためADCはそのシリアル・インターフェースより高い電圧で動作でき、必要に応じてDSP563xxの場合より高い電圧で動作できます。



¹わかりやすくするために、他のピンは省略しています。

図46. AD7266とDSP563xxとのインターフェース

04603-039

AD7266

アプリケーション情報

グラウンディングとレイアウト

AD7266のアナログ電源とデジタル電源は独立しており、デバイスのデジタル領域とアナログ領域間のカップリングを最小限に抑えるため別々に配列しています。AD7266を実装するPCボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。これによって、分離が簡単にできるグラウンド・プレーンを使用できるようにします。

グラウンド・プレーンに最適なシールド効果を施すために、通常はエッチング部分を最小化する技術を使用します。AD7266の3個のAGNDピンはすべて、AGNDプレーンに電流をシンクします。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点のみで接続してください。複数のデバイスでAGNDとDGNDとの接続を必要とするようなシステムでAD7266を使用する場合も1点のみで接続し、AD7266のグラウンド・ピンにできるだけ近い場所に星型グラウンド・ポイントを構成してください。

チップにノイズが混入しないよう、デバイスの真下にデジタル・ラインを通さないようにしてください。ただし、アナログ・グラウンド・プレーンはAD7266の下に配置したほうがノイズ混入を防止できます。AD7266の電源ラインをできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減します。

クロックなどの高速のスイッチング信号をデジタル・グラウンドでシールドして、ボードの他の部分にノイズが拡散しないようにします。また、クロック信号がアナログ入力付近を通らないようにします。デジタル信号とアナログ信号は交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置します。これにより、ボードを通過するフィードスルーの影響を低減できます。マイクロストリップ配線が理想的ですが、両面ボードで使用できるとは限りません。本技術では、ボードの部品面をグラウンド・プレーン専用にして、信号をハンダ面に配線します。

デカップリングを正しく行うことも重要です。すべてのアナログ電源とGNDの間に10 μ Fのタンタル・コンデンサと0.1 μ Fのコンデンサを並列接続してデカップリングします。デカップリング部品を使って最大の効果をあげるためには、デバイスにできるだけ近く、理想的にはデバイスに直に配置します。0.1 μ Fのコンデンサは、一般的なセラミック・タイプまたは表面実装タイプのように、有効直列抵抗 (ESR) や有効直列インダクタンス (ESI) の低いものを使用します。この低ESR、低ESIのコンデンサは、高周波数でのグラウンドへの低インピーダンス・パスを提供して、内部ロジック・スイッチングによる過渡電流を処理します。

チップ・スケール・パッケージのPCボード設計ガイドライン

チップ・スケール・パッケージ (CP-32-3) のランドは矩形です。PCボードのパッドは、パッケージのランドより長さ0.1mm、幅0.05mm大きくし、パッドの一部を露出させます。ランドはパッドの中央に配置して、ハンダ結合部の広さを最大にします。

チップ・スケール・パッケージの底にはサーマル・パッドがあります。PCボード上のサーマル・パッドは、パッケージのパッド以上の大きさにします。PCボードでは、サーマル・パッドとパッド・パターンの内部エッジとの間に0.25mm以上のクリアランスを設けて短絡を防止します。パッケージの熱性能を改善するために、PCボードで熱ビアを使用します。熱ビアは、1.2mmピッチのグリッドでサーマル・パッドに組み込みます。ビアの直径は0.3~0.33mmの任意の値とし、ビア・バレルには1オンスの銅をメッキしてそのビアを接続します。PCボードのサーマル・パッドは、AGNDに接続する必要があります。

AD7266の性能評価

AD7266の推奨レイアウトは、評価用ボードの説明書に記載しています。評価用ボード・パッケージには、組立て・テスト済みの評価用ボード、説明書、評価用ボード・コントローラを介してPCからボードを制御するためのソフトウェアが含まれています。評価用ボード・コントローラは、AD7266評価用ボードのほか、多くのアナログ・デバイセズの評価用ボード (末尾にCB識別子が付くもの) と組み合わせて使用して、AD7266のAC性能とDC性能をデモ/評価できます。

ソフトウェアを使って、AD7266のACテスト (高速フーリエ変換) とDCテスト (コードのヒストグラム) を行うことができます。ソフトウェアと説明書を含むCDは、評価用ボードに同梱しています。

外形寸法

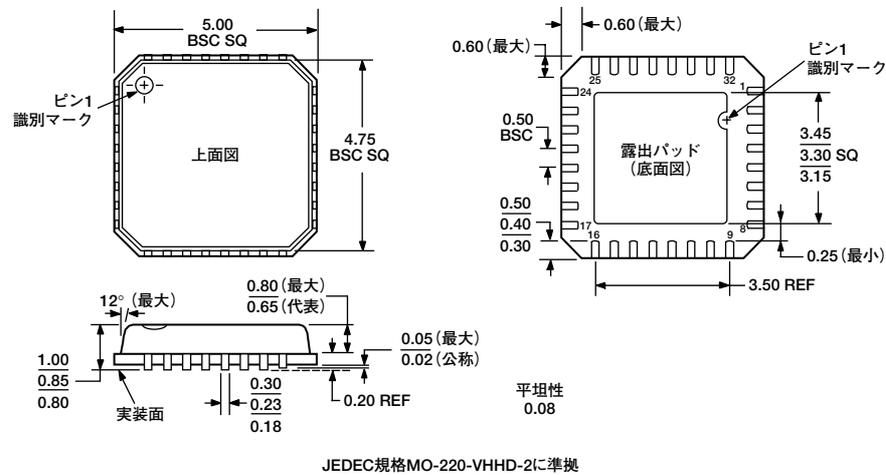


図47. 32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
(CP-32-3)

単位寸法：mm

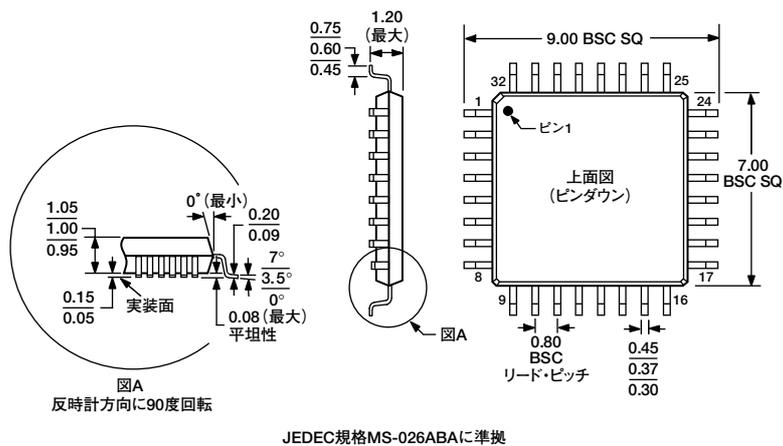


図48. 32ピン薄型クワッド・フラット・パッケージ [TQFP]
(SU-32-2)

単位寸法：mm

AD7266

オーダー・ガイド

AD7266製品	温度範囲	パッケージ	パッケージ・オプション
AD7266BCP	-40～+125℃	リード・フレーム・チップ・スケール・パッケージ	CP-32-3
AD7266BCPZ ¹	-40～+125℃	リード・フレーム・チップ・スケール・パッケージ	CP-32-3
AD7266BCPZ-Reel ¹	-40～+125℃	リード・フレーム・チップ・スケール・パッケージ	CP-32-3
AD7266BCPZ-Reel ¹	-40～+125℃	リード・フレーム・チップ・スケール・パッケージ	CP-32-3
AD7266BSUZ ¹	-40～+125℃	薄型クワッド・フラット・パッケージ	SU-32-2
AD7266BSUZ-Reel ¹	-40～+125℃	薄型クワッド・フラット・パッケージ	SU-32-2
AD7266BSUZ-Reel ¹	-40～+125℃	薄型クワッド・フラット・パッケージ	SU-32-2
EVAL-AD7266CB ²		評価用ボード	
EVAL-CONTROL BRD ²		コントロール・ボード	

¹ Z=鉛フリー製品

² スタンドアロンの評価用ボードとして、またはEVAL-CONTROLボードと組み合わせて、評価/デモに使用できます。

³ CBの識別子が末尾に付いたすべてのアナログ・デバイセズの評価用ボードに対して、PCを介した制御や通信を行うフル機能ユニットです。評価用キットを完成させるには、各ADCの評価用ボード（EVAL-AD7266CDなど）、EVAL-CONTROL BRD2、12Vのトランスをご注文いただく必要があります。詳細については、必要な評価用ボードのテクニカル・ノートを参照してください。