

この製品のデータシートを補完する資料です。本文と合わせてお読みください。

この Appendix は、2013 年 11 月 25 日現在、アナログ・デバイセズ株式会社で確認した内容を記したものです。

なお、英語のデータシート本文改版時に、これらの内容が追加される場合があります。

正誤表作成年月日： 2013 年 11 月 25 日

製品名： AD7190

対象となるデータシートのリビジョン(Rev)：

和文データシート Rev.B、英文データシート RevC

補完内容：

AD7190 のリファレンスは、外部からの入力になっています。そのためレシオメトリック測定の動作も可能になっています。レシオメトリック動作の場合、励起信号源をリファレンス入力信号として使うことが、データシートの Fig18 (図 17: 和文) や Fig32 (図 31: 和文) で示されるように可能ですが、この際はリファレンス入力にバッファ・アンプを付加することを推奨します。外部配線のインピーダンスによりサンプリング回路に誤差を発生する可能性があり、バッファ・アンプによりリファレンス入力端子でのインピーダンスを下げる必要があります。

特徴

RMS ノイズ: 8.5 nV @ 4.7 Hz (ゲイン = 128)
 ノイズ・フリー・ビット: 16 ビット @ 2.4 kHz (ゲイン = 128)
 ノイズ・フリー・ビット: 最大 22.5 ビット (ゲイン = 1)
 オフセット・ドリフト: 5 nV/°C
 ゲイン・ドリフト: 1 ppm/°C
 経時変化を規定
 2チャンネル差動入力/4チャンネル疑似差動入力
 自動チャンネル・シーケンサ
 プログラマブル・ゲイン (1 ~ 128)
 出力データ・レート: 4.7 Hz ~ 4.8 kHz
 内部クロック又は外部クロック
 50 Hz と 60 Hz を同時除去
 4 汎用デジタル出力
 電源
 AV_{DD}: 4.75 V ~ 5.25 V
 DV_{DD}: 2.7 V ~ 5.25 V
 電流: 6 mA
 温度範囲: -40°C ~ +105°C
 インターフェース
 3 線式シリアル
 SPI, QSPI™, MICROWIRE™, DSP と互換性あり
 SCLK にシュミット・トリガーを内蔵

アプリケーション

重量計
 ストレインゲージ・トランスデューサ
 圧力計測
 温度計測

クロマトグラフィ
 PLC/DCS アナログ入力モジュール
 データ・アクワイジション
 医療及び科学計測機器

概要

AD7190 は高精度測定アプリケーション向けの低ノイズ全機能完備アナログ・フロント・エンドです。この製品には低ノイズ 24 ビットシグマ・デルタ ($\Sigma\Delta$) A/D コンバータ (ADC) が内蔵されています。

低ノイズ増幅段も内蔵されているので、小振幅の信号を直接 ADC に直接インターフェースできます。入力は 2 チャンネルの差動入力構成、又は 4 チャンネルの疑似差動入力構成にすることができます。内蔵のチャンネル・シーケンサを使用する事により、複数のチャンネルをイネーブルにし、それらイネーブル・チャンネルを順次変換することができます。この機能によりデバイスとの通信を簡素化できます。A/D コンバータのクロック源として、内蔵 4.92MHz クロックを使用する事もできます。外部クロックあるいはクリスタルを使うこともできます。出力データ・レートは、4.7Hz~4.8kHz の間で変更可能です。この製品は 2 つのデジタル・フィルタの選択が可能です。このフィルタの選択は、設定した出力データ・レートでの rms ノイズ/ノイズ・フリー分解能、セトリングタイム、50Hz/60Hz 除去特性に影響します。全ての変換が安定する必要があるアプリケーションのために、AD7190 は zero latency の特長を備えています。

この製品はアナログ用電源 5V、デジタル用電源 2.7V~5.25V で動作します。消費電流は 6mA です。パッケージは 24 ピン TSSOP です。

機能ブロック図

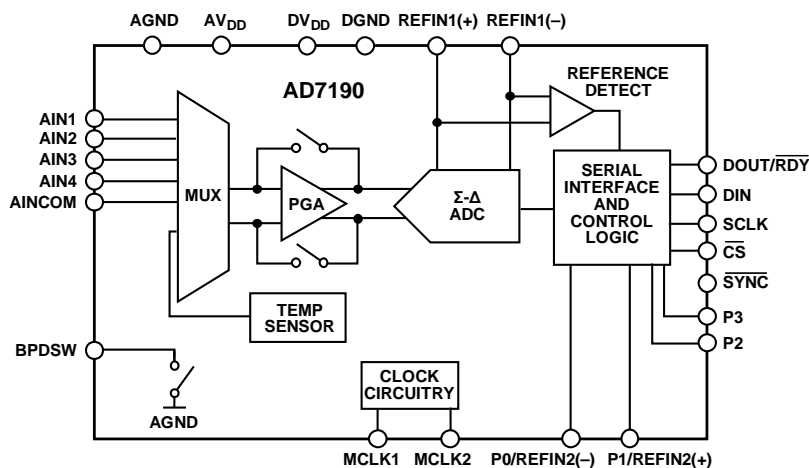


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特徴.....	1
アプリケーション.....	1
概要.....	1
機能ブロック図.....	1
改定履歴.....	2
仕様.....	3
タイミング特性.....	7
回路とタイミング図.....	7
絶対最大定格.....	9
熱抵抗.....	9
ESD の注意.....	9
ピン配置と機能説明.....	10
標準的な性能特性.....	12
RMS ノイズと分解能.....	15
Sinc ⁴ チョップ・ディスエーブル.....	15
Sinc ³ チョップ・ディスエーブル.....	16
Sinc ⁴ チョップ・イネーブル.....	17
Sinc ³ チョップ・イネーブル.....	18
内蔵レジスタ.....	19
コミュニケーション・レジスタ.....	19
ステータス・レジスタ.....	20
モード・レジスタ.....	20
コンフィギュレーション・レジスタ.....	22
データ・レジスタ.....	24
ID レジスタ.....	24
GPOCON レジスタ.....	24

改定履歴

5/09—REV. A TO REV. B

Changes to Table 3.....	9
-------------------------	---

5/09—Rev. 0 to Rev. A

Changes to Table 1.....	3
Changes to Table 3 and Table 4.....	9
Changes to Table 5.....	10
Changes to Table 6 and Table 7.....	15
Changes to Status Register Section.....	20
Changes to Table 17.....	21
Changes to Table 19.....	23
Changes to Table 20.....	24
Added ID Register Section.....	24

オフセット・レジスタ.....	25
フルスケール・レジスタ.....	25
ADC 回路情報.....	26
概要.....	26
フィルタ、出力データレート、セトリング時間.....	33
アナログ入力チャンネル.....	33
PGA.....	33
バイポーラ/ユニポーラ 構成.....	33
データ出力コーディング.....	33
クロック.....	36
バーンアウト電流.....	34
リファレンス.....	37
リファレンス検出.....	34
リセット.....	37
システム同期.....	35
温度センサー.....	35
ブリッジ・パワーダウン・スイッチ.....	35
ロジック出力.....	35
イネーブル・パリティ.....	36
キャリブレーション.....	36
グラウンディングとレイアウト.....	37
アプリケーション情報.....	38
重力計.....	38
外形寸法.....	39
オーダー・ガイド.....	39

Changes to Table 21.....	25
Changes to Filter, Output Data Rate, Settling Time Section.....	26
Changes to Continuous Conversion Mode Section.....	31
Changes to Analog Input Channel and Bipolar/Unipolar Configuration Sections.....	33
Changes to Burnout Currents, Reference, Reference Detect, and Reset Sections.....	34
Changes to Temperature Sensor Section.....	35
Changes to Calibration Section.....	36
Changes to Grounding and Layout Section.....	37
Changes to Weigh Scales Section.....	38
Changes to Ordering Guide.....	39

10/08—Revision 0—Initial Version

仕様

特に指定のない限り、 $AV_{DD} = 4.75\text{ V} \sim 5.25\text{ V}$, $DV_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$, $AGND = DGND = 0\text{ V}$, $REFINx(+)=AV_{DD}$, $REFINx(-)=AGND$, $MCLK = 4.92\text{ MHz}$, $T_A = T_{MIN} \sim T_{MAX}$.

表 1.

パラメータ	AD7190B	単位	テスト条件/備考 ¹
ADC			
出力データ・レート	4.7 to 4800	Hz nom	チョップ・ディスエーブル.
	1.17 to 1200	Hz nom	チョップ・イネーブル, sinc ⁴ フィルタ.
	1.56 to 1600	Hz nom	チョップ・イネーブル, sinc ³ フィルタ.
ノー・ミス・コード ²	24	ビット min	FS > 1, sinc ⁴ フィルタ ³ .
	24	ビット min	FS > 4, sinc ³ フィルタ ³ .
分解能	RMS ノイズと分解能		
RMS ノイズと出力データ・レート	RMS ノイズと分解能		
積分非直線性	±5	ppm of FSR max	±1 ppm typical, ゲイン = 1.
	±15	ppm of FSR max	±5 ppm typical, ゲイン > 1.
オフセット誤差 ^{4,5}	±75/ゲイン	μV typ	チョップ・ディスエーブル.
	±0.5	μV typ	チョップ・イネーブル.
オフセット誤差ドリフト 対温度 ⁵	±100/ゲイン	nV/°C typ	ゲイン = 1 ~ 16. チョップ・ディスエーブル.
	±5	nV/°C typ	ゲイン = 32 ~ 128. チョップ・ディスエーブル.
	±5	nV/°C typ	チョップ・イネーブル.
オフセット誤差対時間	25	nV/1000 hours typ	ゲイン ≥ 32.
ゲイン誤差 ⁴	±0.005	% max	±0.001 % typical, ゲイン = 1, $AV_{DD} = 5\text{ V}$ ⁶ .
	±0.0075	% typ	ゲイン > 1, 内部フルスケール・キャリブレーション後
ゲイン・ドリフト対温度	±1	ppm/°C typ	
ゲイン・ドリフト対時間	10	ppm/1000 hours typ	ゲイン = 1.
電源除去比	95	dB typ	ゲイン = 1, $V_{IN} = 1\text{ V}$.
	100	dB min	ゲイン > 1, $V_{IN} = 1\text{ V}/\text{ゲイン}$. 110 dB typical.
同相除去比			
@ DC	100	dB min	ゲイン = 1, $V_{IN} = 1\text{ V}$ ² .
	110	dB min	ゲイン > 1, $V_{IN} = 1\text{ V}/\text{ゲイン}$.
@ 50 Hz, 60 Hz ²	120	dB min	10 Hz 出力データ・レート, $50 \pm 1\text{ Hz}$, $60 \pm 1\text{ Hz}$.
@ 50 Hz, 60 Hz ²	120	dB min	$50 \pm 1\text{ Hz}$ (50 Hz 出力データ・レート), $60 \pm 1\text{ Hz}$ (60 Hz 出力データ・レート).
ノーマル・モード除去比 ²			
Sinc ⁴ フィルタ			
内部クロック			
@ 50 Hz, 60 Hz	100	dB min	10 Hz 出力データ・レート, $50 \pm 1\text{ Hz}$, $60 \pm 1\text{ Hz}$.
	74	dB min	50 Hz 出力データ・レート, REJ60 ⁷ = 1, $50 \pm 1\text{ Hz}$, $60 \pm 1\text{ Hz}$.
@ 50 Hz	96	dB min	50 Hz 出力データ・レート, $50 \pm 1\text{ Hz}$.
@ 60 Hz	97	dB min	60 Hz 出力データ・レート, $60 \pm 1\text{ Hz}$.

パラメータ	AD7190B	単位	テスト条件/備考 ¹
外部クロック @ 50 Hz, 60 Hz	120 82	dB min dB min	10 Hz 出力データ・レート, 50 ± 1 Hz, 60 ± 1 Hz. 50 Hz 出力データ・レート, REJ60 ⁷ = 1, 50 ± 1 Hz, 60 ± 1 Hz.
@ 50 Hz	120	dB min	50 Hz 出力データ・レート, 50 ± 1 Hz.
@ 60 Hz	120	dB min	60 Hz 出力データ・レート, 60 ± 1 Hz.
Sinc ³ Filter 内部クロック @ 50 Hz, 60 Hz	75 60	dB min dB min	10 Hz 出力データ・レート, 50 ± 1 Hz, 60 ± 1 Hz. 50 Hz 出力データ・レート, REJ60 = 1, 50 ± 1 Hz, 60 ± 1 Hz.
@ 50 Hz	70	dB min	50 Hz 出力データ・レート, 50 ± 1 Hz.
@ 60 Hz	70	dB min	60 Hz 出力データ・レート, 60 ± 1 Hz.
出力クロック @ 50 Hz, 60 Hz	100 67	dB min dB min	10 Hz 出力データ・レート, 50 ± 1 Hz, 60 ± 1 Hz. 50 Hz 出力データ・レート, REJ60 ⁷ = 1, 50 ± 1 Hz, 60 ± 1 Hz.
@ 50 Hz	95	dB min	50 Hz 出力データ・レート, 50 ± 1 Hz.
@ 60 Hz	95	dB min	60 Hz 出力データ・レート, 60 ± 1 Hz.
アナログ入力 差動入力電圧範囲	±V _{REF} /ゲイン ±(AV _{DD} - 1.25 V)/ゲイン	V nom V min/max	V _{REF} = REFINx(+) - REFINx(-), ゲイン = 1 ~ 128. ゲイン > 1.
AIN 電圧絶対限界値 Voltage ² 無バッファ・モード	AGND - 50 mV AV _{DD} + 50 mV	V min V max	
バッファ・モード	AGND + 250 mV AV _{DD} - 250 mV	V min V max	
アナログ入力電流 バッファ・モード 入力電流 ²	±2 ±3	nA max nA max	ゲイン = 1. ゲイン > 1.
入力電流ドリフト 無バッファ・モード 入力電流	±5	pA/°C typ	ゲイン = 1, 入力電流は入力電圧の大きさよって変動。
入力電流ドリフト	±1 ±0.05 ±1.6	µA/V typ nA/V/°C typ nA/V/°C typ	. 外部クロック。 内部クロック。
リファレンス入力 REFIN 電圧 リファレンス電圧範囲 ²	AV _{DD} 1 AV _{DD}	V nom V min V max	REFIN = REFINx(+) - REFINx(-). ゲイン > 1 の時、差動入力は ±(AV _{DD} - 1.25 V)/ゲイン 以内とする。
REFIN 電圧絶対限界値 ²	AGND - 50 mV AV _{DD} + 50 mV	V min V max	
平均リファレンス入力電流	7	µA/V typ	
平均リファレンス入力電流ドリフト	±0.03	nA/V/°C typ	外部クロック
	1.3	nA/V/°C typ	内部クロック

パラメータ	AD7190B	単位	テスト条件/備考 ¹
ノーマル・モード除去比 ²	アナログ入力に対しても同様		
同相除去比	95	dB typ	
リファレンス検出レベル	0.3	V min	
	0.6	V max	
温度センサー			
精度	±2	°C typ	ユーザーの 25°C でのキャリブレーション後に適用。
感度	2815	Codes/°C typ	バイポーラ・モード。
ブリッジ・パワーダウン・スイッチ			
R _{ON}	10	Ω max	
許容可能な電流 ²	30	mA max	連続電流。
バーンアウト電流			
AIN 電流	500	nA nom	アナログ入力にはバッファが接続されている。チョップ・ディスエーブル。
デジタル出力(P0 to P3)			
出力ハイレベル電圧, V _{OH} ²	4	V min	AV _{DD} = 5V, I _{SOURCE} = 200 μA.
出力ローレベル電圧, V _{OL} ²	0.4	V max	AV _{DD} = 5V, I _{SINK} = 800 μA.
フローティング状態リーク電流	±100	nA max	
フローティング状態出力容量	10	pF typ	
内部/外部クロック			
内部クロック			
周波数	4.92 ± 4%	MHz min/max	
デュティ・サイクル	50:50	% typ	
外部クロック/クリスタル ²			
周波数	4.9152	MHz nom	
	2.4576/5.12	MHz min/max	
入力ロー・レベル電圧, V _{INL}	0.8	V max	DV _{DD} = 5 V.
	0.4	V max	DV _{DD} = 3 V.
入力ハイ・レベル電圧, V _{INH}	2.5	V min	DV _{DD} = 3 V.
	3.5	V min	DV _{DD} = 5 V.
入力電流	±10	μA max	
ロジック入力			
入力ハイ・レベル電圧, V _{INH} ²	2	V min	
入力ロー・レベル電圧, V _{INL} ²	0.8	V max	
ヒステリシス ²	0.1/0.25	V min/V max	
入力電流	±10	μA max	
ロジック出力(DOUT/RDY)			
出力ハイ・レベル電圧, V _{OH} ²	DV _{DD} - 0.6	V min	DV _{DD} = 3 V, I _{SOURCE} = 100 μA.
出力ロー・レベル電圧, V _{OL} ²	0.4	V max	DV _{DD} = 3 V, I _{SINK} = 100 μA.
出力ハイレベル電圧, V _{OH} ²	4	V min	DV _{DD} = 5 V, I _{SOURCE} = 200 μA.
出力ローレベル電圧, V _{OL} ²	0.4	V max	DV _{DD} = 5 V, I _{SINK} = 1.6 mA.
フローティング状態リーク電流	±10	μA max	
フローティング状態出力容量	10	pF typ	
データ出力コーディング	オフセット・バイナリ		
システム・キャリブレーション ²			
フルスケール・キャリブレーション・リミット	1.05 × FS	V max	
ゼロスケール・キャリブレーション・リミット	-1.05 × FS	V min	
入力スパン	0.8 × FS	V min	
	2.1 × FS	V max	

パラメータ	AD7190B	単位	テスト条件/備考 ¹
電源条件 ⁸			
電源電圧			
AV _{DD} – AGND	4.75/5.25	V min/max	
DV _{DD} – DGND	2.7/5.25	V min/max	
電源電流			
AI _{DD} 電流	1	mA max	0.85 mA typical, ゲイン = 1, バッファ・オフ.
	1.3	mA max	1.1 mA typical, ゲイン = 1, バッファ・オン
	4.5	mA max	3.5 mA typical, ゲイン = 8, バッファ・オフ.
	4.75	mA max	4 mA typical, ゲイン = 8, b バッファ・オン
	6.2	mA max	5 mA typical, ゲイン = 16 ~ 128, バッファ・オフ.
	6.75	mA max	5.5 mA typical, ゲイン = 16 ~ 128, バッファ・オン
DI _{DD} 電流	0.4	mA max	0.35 mA typical, DV _{DD} = 3 V.
	0.6	mA max	0.5 mA typical, DV _{DD} = 5 V.
	1.5	mA typ	外部クリスタル使用
I _{DD} (パワーダウン・モード)	2	μA max	

¹ 温度範囲: T_{MIN} = -40°C, T_{MAX} = +105°C。

² これらの仕様は出荷テストを行っていませんが、量産開始時の特性評価データにより保証しています。

³ FS = モード・レジスタの FS9 ビット ~ FS0 ビットの 10 進数同等値。

⁴ システム又は内部ゼロスケール・キャリブレーション後、オフセット誤差は設定したゲインと選択した出力データ・レートの条件でノイズの大きさのレベルになります。システム・フルスケール・キャリブレーションにより、ゲイン誤差は設定したゲインと選択した出力データ・レートの条件でノイズの大きさのレベルに減少します。

⁵ アナログ入力は差動モードの構成です。

⁶ 工場出荷時のキャリブレーション条件で適用されます。(AV_{DD} = 5 V, ゲイン = 1, T_A = 25°C)。

⁷ REJ60 はモード・レジスタの中の 1 ビットです。出力データ・レートが 50Hz に設定された時に REJ60 を“1”に設定すると、ノッチが 60Hz になり 50 Hz/60 Hz の同時除去が可能となります。

⁸ デジタル入力は DV_{DD} 又は DGND に等しい。

タイミング特性^{1,2}

特に指定のない限り、 $AV_{DD} = 4.75\text{ V} \sim 5.25\text{ V}$, $DV_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$, $AGND = DGND = 0\text{ V}$, Input Logic 0 = 0 V, Input Logic 1 = DV_{DD} 。

表 2.

パラメータ	T_{MIN} , T_{MAX} での限界値 (B Version)	単位	条件/備考 ^{1,2}
t_3	100	ns min	SCLK のハイレベル・パルス幅
t_4	100	ns min	SCLK のローレベル・パルス幅
読み出し動作			
t_1	0	ns min	\overline{CS} 立下りエッジから $DOUT/\overline{RDY}$ アクティブまでの時間
	60	ns max	$DV_{DD} = 4.75\text{ V} \sim 5.25\text{ V}$
	80	ns max	$DV_{DD} = 2.7\text{ V} \sim 3.6\text{ V}$
t_2^3	0	ns min	SCLK のアクティブ・エッジからデータ有効までの遅延 ⁴
	60	ns max	$DV_{DD} = 4.75\text{ V} \sim 5.25\text{ V}$
	80	ns max	$DV_{DD} = 2.7\text{ V} \sim 3.6\text{ V}$
$t_5^{5,6}$	10	ns min	\overline{CS} のインアクティブ・エッジからバス解放までの時間
	80	ns max	
t_6	0	ns min	SCLK のインアクティブ・エッジから \overline{CS} のインアクティブ・エッジまでの時間
t_7	10	ns min	SCLK のインアクティブ・エッジから $DOUT/\overline{RDY}$ のハイレベルまでの時間
書き込み動作			
t_8	0	ns min	\overline{CS} 立下りエッジから SCLK のアクティブ・エッジまでのセットアップ・タイム ⁴
t_9	30	ns min	データ有効から SCLK エッジまでのセットアップ・タイム
t_{10}	25	ns min	データ有効から SCLK エッジまでのホールド・タイム
t_{11}	0	ns min	\overline{CS} 立ち上がりエッジから SCLK エッジまでのホールド・タイム

¹量産開始時のサンプル・テストにより適合性を保証。すべての入力信号は $tR = tF = 5\text{ ns}$ (DV_{DD} の 10~90%) で規定し、電圧レベル 1.6V からの時間とします。

²図 3 と図 4 を参照。

³これらの値は図 2 に示す負荷回路で測定し、出力が V_{OL} または V_{OH} の限界値と交差するまでに必要な時間と定義します。

⁴SCLK のアクティブ・エッジは、SCLK の立ち下がりエッジの事です。

⁵これらの値は、図 2 の負荷回路でデータ出力が 0.5V 変化するのに要する時間の測定値から導出。この測定値は 50pF コンデンサの充放電の影響を受けない値として

推測されているため、タイミング特性で使用する時間はデバイスの真のバス開放時間であり、外部バスの負荷容量とは無関係です。

⁶データ・レジスタを読み出した後、RDY はハイレベルに戻ります。シングル変換モードおよび連続変換モードでは、RDY がハイレベルの間、必要なら同一データを再度読み出すことができますが、2回目の読み出しは次の出力更新に近いところで生じないように注意しなければなりません。連続読み出しモードでは、デジタル・ワードは 1 回しか読み出すことができません。

回路とタイミング・ダイアグラム

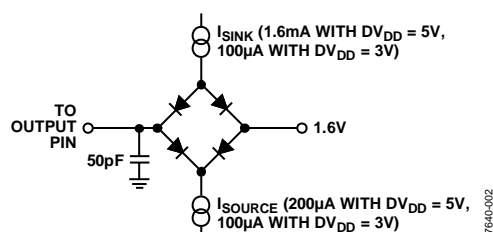
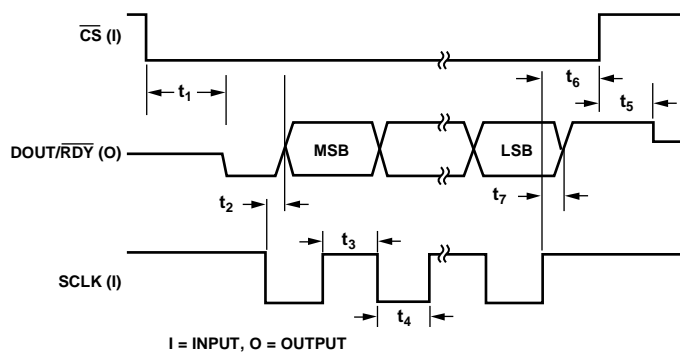
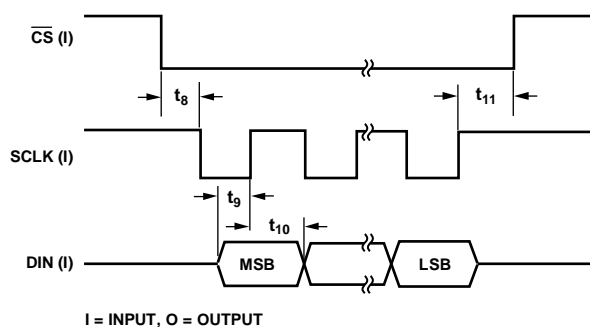


図 2. タイミング特性のための負荷回路



07640-003

図 3. 読み出しサイクルのタイミング図



07640-004

図 4. 書き込みサイクルタイミング図

絶対最大定格

他に指定のない限り、 $T_A = 25^\circ\text{C}$.

表 3.

Parameter	Rating
AV_{DD} to AGND	-0.3 V to +6.5 V
DV_{DD} to AGND	-0.3 V to +6.5 V
AGND to DGND	-0.3 V to +0.3 V
Analog Input Voltage to AGND	-0.3 V to $AV_{DD} + 0.3$ V
Reference Input Voltage to AGND	-0.3 V to $AV_{DD} + 0.3$ V
Digital Input Voltage to DGND	-0.3 V to $DV_{DD} + 0.3$ V
Digital Output Voltage to DGND	-0.3 V to $DV_{DD} + 0.3$ V
AIN/Digital Input Current	10 mA
Operating Temperature Range	-40°C to $+105^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Maximum Junction Temperature	150°C
Lead Temperature, Soldering Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。この定格はストレスについてのみを規定するものです；デバイスの動作機能についてはこの定格あるいはこの仕様の動作部分に記載する規定値以上のいかなる条件についても定めたものではありません。デバイスを長時間絶対最大定格の状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} はワーストケース条件、すなわち表面実装型パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
24-Lead TSSOP	128	42	$^\circ\text{C}/\text{W}$

ESD CAUTION



ESD (静電放電) の影響を受けやすいデバイスです。
 充電したデバイスや回路基板が検知されないまま放電する事があります。本製品は当社独自の ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

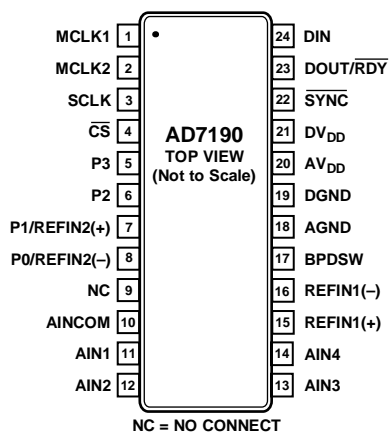


図 5. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	MCLK1	このデバイスのマスター・クロックがクリスタルを使って外部から供給される場合、クリスタルは MCLK1 と MCLK2 に接続されます。
2	MCLK2	このデバイスのマスター・クロック信号。AD7190 は 4.92 MHz クロックを内蔵しています。この内部クロックは MCLK2 ピンから出力することができます。AD7190 のクロックはクリスタル又は外部クロックの形で外部からも供給可能です。クリスタルを MCLK1 と MCLK2 間に接続する事もできますし、あるいは又 MCLK2 ピンに CMOS コンパチブルのクロックを印加し、MCLK1 ピンを無接続にする事もできます。
3	SCLK	シリアル・クロック入力。このシリアル・クロック入力は ADC の入出力データ転送に使用します。SCLK にはシュミット・トリガー入力が入蔵されているため、光絶縁アプリケーションのインターフェースに適しています。全データを連続したパルス・トレインとして転送する場合、シリアル・クロックを連続して使用できます。一方、ADC との間でデータをもっと小さいバッチで転送する場合、シリアル・クロックを不連続クロックとして用いることもできます。
4	$\overline{\text{CS}}$	チップ・セレクト入力。アクティブ・ローのロジック入力であり、ADC の選択に使います。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスが接続されているシステムで ADC を選択するときに使うことができます。また、デバイスとの通信のフレーム同期信号として使うこともできます。ADC を 3 線式モードで使うときは、 $\overline{\text{CS}}$ をローレベルにハードウェア接続し、デバイスとのインターフェースに SCLK、DIN、DOUT を使います。
5	P3	デジタル出力ピン。このピンは AV _{DD} と AGND の電圧を基準とした汎用出力ビットとして機能します。
6	P2	デジタル出力ピン。このピンは AV _{DD} と AGND 間の電圧を基準とした汎用出力ビットとして機能します。
7	P1/REFIN2(+)	デジタル出力ピン/正リファレンス入力。このピンは AV _{DD} と AGND の電圧を基準とした汎用出力ビットとして機能します。REFSEL = 1 の時、このピンは REFIN2(+) として機能します。外部リファレンスは REFIN2(+) と REFIN2(-) の間に印加する事ができます。REFIN2(+) は AV _{DD} ~ AGND + 1 V 間の任意の値にする事ができます。公称リファレンス電圧(REFIN2(+) - REFIN2(-))は AV _{DD} ですが、この製品はリファレンス電圧が 1 V ~ AV _{DD} の間で動作します。
8	P0/REFIN2(-)	デジタル出力ピン/負リファレンス入力。このピンは AV _{DD} と AGND 間の電圧を基準とした汎用出力ビットとして機能します。REFSEL = 1 の時、このピンは REFIN2(-) として機能します。このリファレンス入力は AGND ~ AV _{DD} - 1 V の間の任意の値に設定できます。
9	NC	無接続。このピンは AGND に接続する必要があります。
10	AINCOM	疑似差動動作構成の時、アナログ入力 AIN1 ~ AIN4 はこの入力を基準とします。
11	AIN1	アナログ入力。このピンを AIN2 と共に使用し、フル差動入力ペアの正側入力として使用したり、又は AINCOM と共に使用し、疑似差動入力とする事ができます。
12	AIN2	アナログ入力。このピンを AIN1 と共に使用し、フル差動入力ペアの負側入力として使用したり、又は AINCOM と共に使用し、疑似差動入力とする事ができます。

ピン番号	記号	説明
13	AIN3	アナログ入力。このピンを AIN4 と共に使用し、フル差動入力ペアの正側入力として使用したり、又は AINCOM と共に使用し、疑似差動入力とする事ができます。
14	AIN4	アナログ入力。このピンを AIN3 と共に使用し、フル差動入力ペアの負側入力として使用したり、又は AINCOM と共に使用し、疑似差動入力とする事ができます。
15	REFIN1(+)	正側リファレンス入力。外部リファレンスはREFIN1(+) と REFIN1(-)の間に印加できます。REFIN1 (+) はAVDD~GND+1Vの任意の値に設定できます。公称リファレンス電圧 (REFIN1 (+) - REFIN1 (-)) はAVDDですが、この製品は1V~AVDDのリファレンス電圧で動作します。
16	REFIN1(-)	負側リファレンス入力。このリファレンス入力の範囲は、AGND~AVDD-1Vです。
17	BPDSW	AGND に対するスイッチ・パワーダウン・スイッチ。
18	AGND	アナログ・グラウンド基準ポイント。
19	DGND	デジタル・グラウンド基準ポイント。
20	AV _{DD}	アナログ電源電圧, 4.75 V ~ 5.25 V。 AV _{DD} は DV _{DD} からは独立しています。
21	DV _{DD}	デジタル電源電圧, 2.7 V ~ 5.25 V。 DV _{DD} は AV _{DD} からは独立しています。
22	SYNC	複数の AD7190 デバイスを使用する時、デジタル・フィルタやアナログ変調器を同期させるためのロジック入力です。 SYNC がローレベルの間、デジタル・フィルタのノード、フィルタ・コントロール・ロジック、キャリブレーション・コントロール・ロジックはリセットされ、アナログ変調器はそのリセット状態に維持されます。 SYNC はデジタル・インターフェースに影響しません。しかし SYNC がローレベルの時には、RDYをハイレベル状態にリセットします。 SYNC は内部で DV _{DD} に対してプルアップ抵抗が接続されています。
23	DOUT/RDY	シリアル・データ出力/データ・レディ出力。 DOUT/RDYには、2つの機能があります。 ADCの出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとして機能します。出力シフト・レジスタには、任意の内蔵データ・レジスタまたはコントロール・レジスタからデータを格納できます。その他に、DOUT/RDYはデータ・レディ・ピンとして機能し、ローレベルになる事により変換の完了を示します。変換後にデータの読み出しがない場合には、次の更新が行われる前に DOUT/RDYはハイレベルになります。 DOUT/RDYの立ち下がりエッジはプロセッサに対する割り込みとして使用でき、データが有効であることを示します。外部シリアル・クロックにより、DOUT/RDYピンを使ってデータを読み出すことができます。CSがローレベルの時、データ・ワード情報/コントロール・ワード情報はSCLKの立ち下がりエッジでDOUT/RDYピンに出力され、それらの情報はSCLKの立ち上がりエッジで有効になります。
24	DIN	ADCの入力シフト・レジスタに対するシリアル・データ入力。このシフト・レジスタのデータは、ADC内部のコントロール・レジスタに転送されます。なおこの際コミュニケーション・レジスタのレジスタ選択ビットを使って適切なレジスタを指定します。

標準的な性能特性

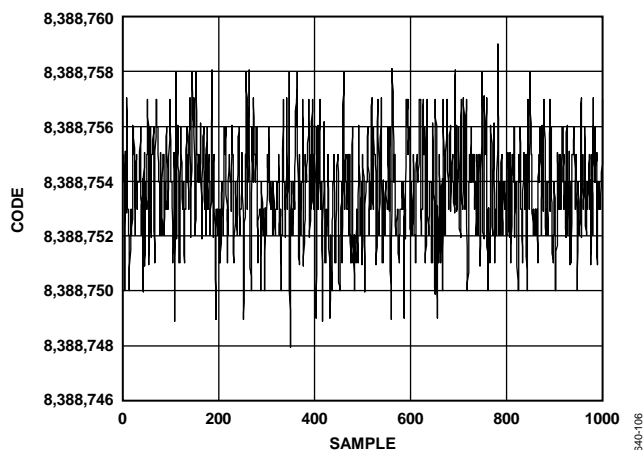


図 6. ノイズ ($V_{REF} = 5\text{ V}$, 出力データ・レート = 4.7 Hz, ゲイン = 128, チョップ・ディスエーブル, Sinc^4 フィルタ)

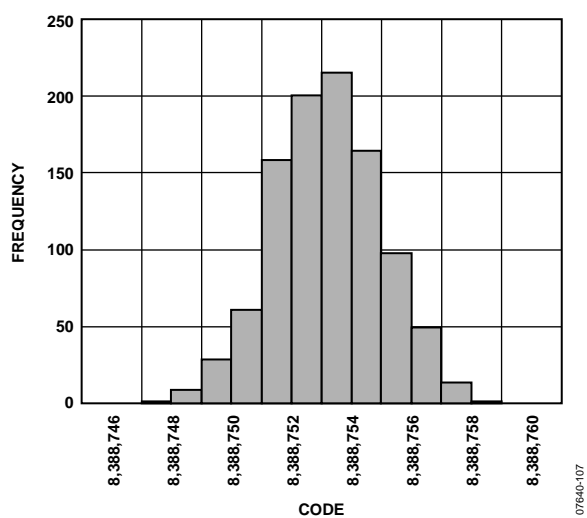


図 7. ノイズ分布ヒストグラム ($V_{REF} = 5\text{ V}$, 出力データ・レート = 4.7 Hz, ゲイン = 128, Chop チョップ・ディスエーブル, Sinc^4 フィルタ)

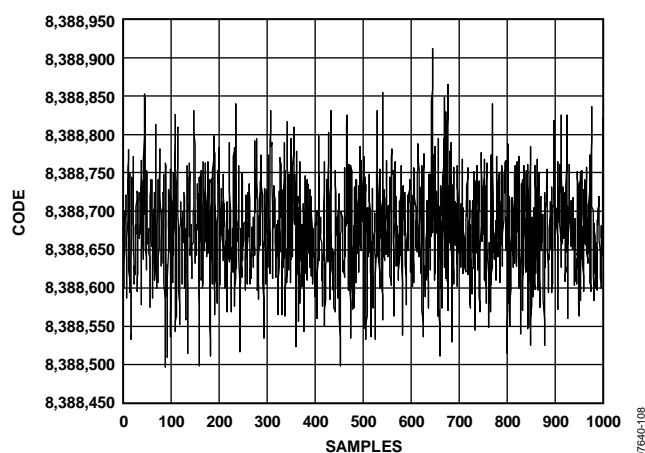


図 8. ノイズ ($V_{REF} = 5\text{ V}$, 出力データ・レート = 4800 Hz, ゲイン = 128, チョップ・ディスエーブル, Sinc^4 フィルタ)

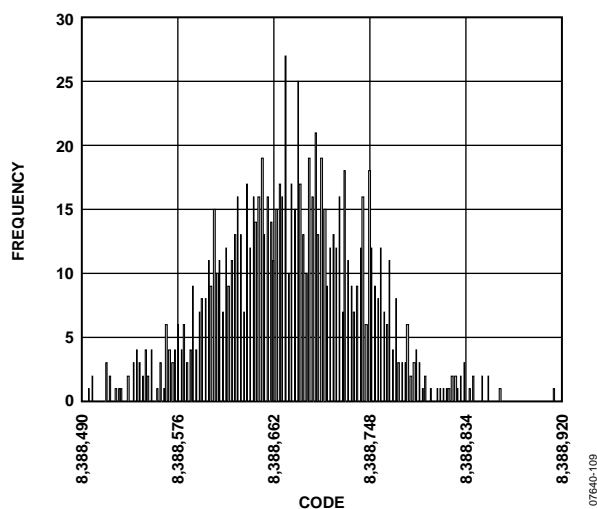


図 9. ノイズ分布ヒストグラム ($V_{REF} = 5\text{ V}$, 出力データ・レート = 4800 Hz, ゲイン = 128, チョップ・ディスエーブル, Sinc^4 フィルタ)

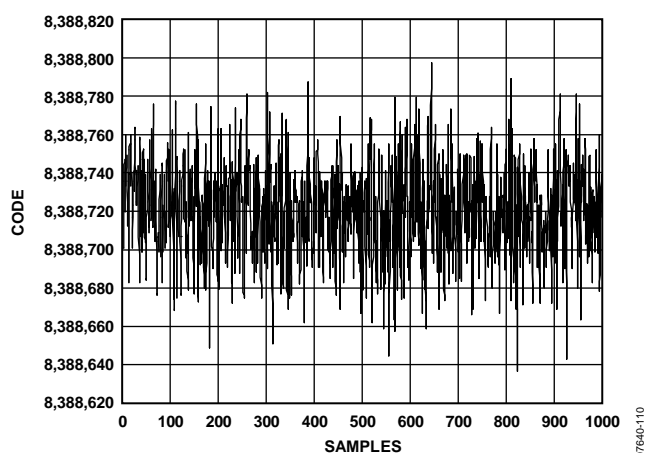
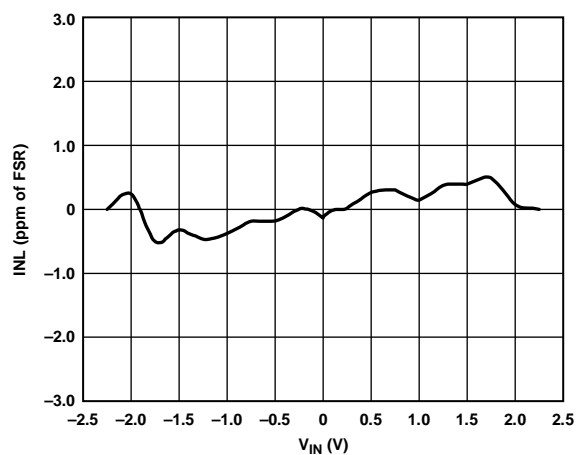


図 9. ノイズ ($V_{REF} = 5\text{ V}$, 出力データ・レート = 4800 Hz, ゲイン = 1, チョップ・ディスエーブル, Sinc⁴ フィルタ)



11. INL (ゲイン = 1)

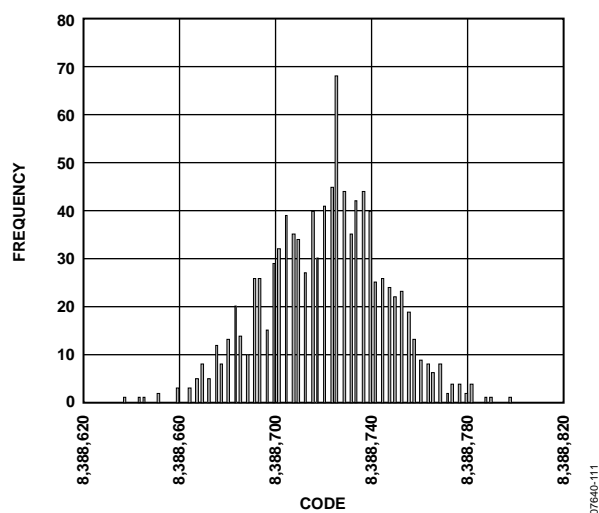


図 10. ノイズ分布ヒストグラム ($V_{REF} = 5\text{ V}$, 出力データ・レート = 4800 Hz, ゲイン = 1, チョップ・ディスエーブル, Sinc⁴ フィルタ)

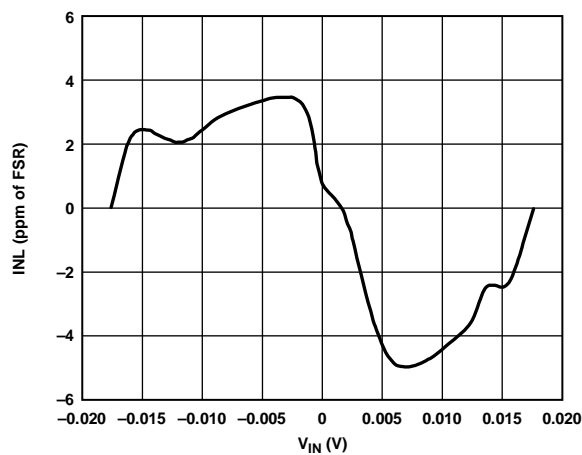


図 12. INL (ゲイン = 128)

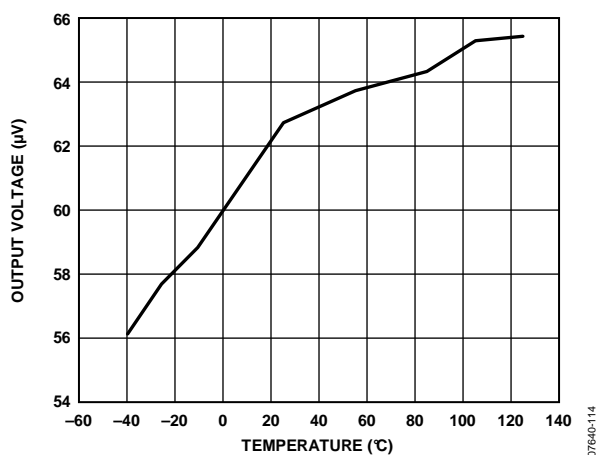


図 13. オフセット誤差 (ゲイン = 1, チョップ・ディスエーブル)

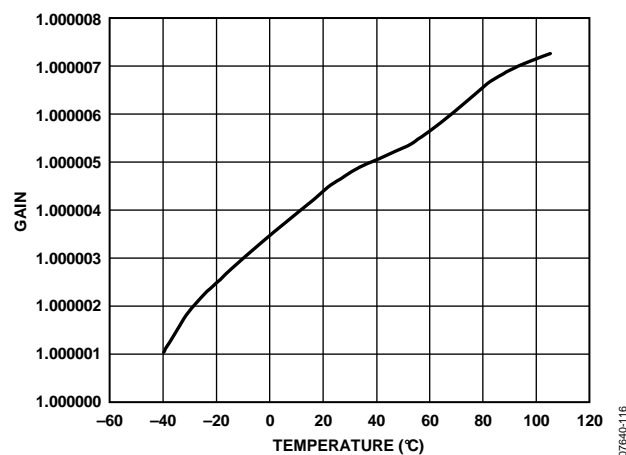


図 15. ゲイン誤差 (ゲイン = 1, チョップ・ディスエーブル)

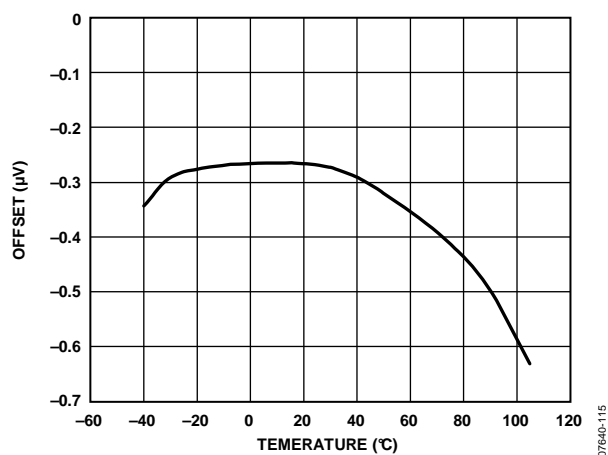


図 14. オフセット誤差 (ゲイン = 128, チョップ・ディスエーブル)

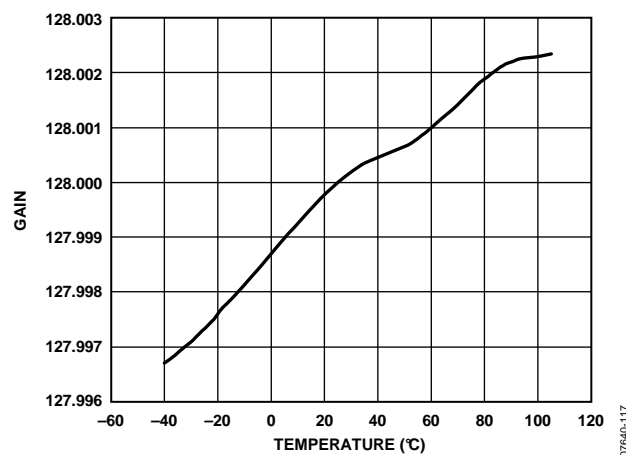


図 16. ゲイン誤差 (ゲイン = 128, チョップ・ディスエーブル)

RMS ノイズと分解能

AD7190 は2つのフィルタ・タイプから選択できます； sinc^4 と sinc^3 。さらに AD7190 はチョップ・イネーブル又はチョップ・デイスエーブルの条件で動作します。

下記の表は sinc^4 フィルタと sinc^3 フィルタについて、チョップ・デイスエーブルとチョップ・イネーブルの場合の AD7190 の rms ノイズを、各種出力データ・レート、ゲイン設定について示します。これらの値は外部 5V リファレンスを使用し、バイポーラ入力範囲に設定した時の値です。又これらの値は標準

値で、差動入力電圧 0V とし、ADC が1つのチャンネルを連続して変換をしている時に測定したものです。実効分解能も示してあります。出力ピーク to ピーク (p-p) 分解能又はノイズ・フリー分解能も括弧内に表示されています。重要な事は、実効分解能が rms ノイズを使って計算されている事に対して、P-P 分解能がピーク to ピークノイズを基に計算されていることです。P-P 分解能はコード・フリッカーがない場合の分解能です。これらの値は標準値でほぼ $\frac{1}{2}$ LSB 近く に丸め処理されています。

SINC⁴ チョップ・デイスエーブル

表 6. RMS ノイズ (nV) 対 ゲイン と出力データ・レート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
1023	4.7	852.5	250	38	21	12	10	8.5
640	7.5	533	310	45	25	16	12	10.5
480	10	400	330	50	30	18	14	11.5
96	50	80	900	125	78	45	33	28
80	60	66.7	970	140	88	52	36	31
32	150	26.7	1460	215	125	75	55	48
16	300	13.3	1900	285	170	100	75	67
5	960	4.17	3000	480	280	175	140	121
2	2400	1.67	5000	780	440	280	220	198
1	4800	0.83	14,300	1920	1000	550	380	295

表 7. 実効分解能 (ピーク to ピーク分解能) 対 ゲイン と出力データ・レート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1 ¹	Gain of 8 ¹	Gain of 16 ¹	Gain of 32 ¹	Gain of 64 ¹	Gain of 128 ¹
1023	4.7	852.5	24 (22.5)	24 (22)	24 (22)	24 (22)	24 (21)	23 (20.5)
640	7.5	533	24 (22)	24 (22)	24 (22)	24 (21.5)	23.5 (21)	23 (20)
480	10	400	24 (22)	24 (22)	24 (21.5)	24 (21.5)	23.5 (20.5)	22.5 (20)
96	50	80	23.5 (20.5)	23.5 (20.5)	23 (20)	22.5 (20)	22 (19.5)	21.5 (18.5)
80	60	66.7	23.5 (20.5)	23 (20.5)	22.5 (20)	22.5 (20)	22 (19.5)	21.5 (18.5)
32	150	26.7	22.5 (20)	22.5 (19.5)	22.5 (19.5)	22 (19.5)	21.5 (18.5)	20.5 (18)
16	300	13.3	22.5 (19.5)	22 (19.5)	22 (19)	21.5 (19)	21 (18.5)	20 (17.5)
5	960	4.17	21.5 (19)	21.5 (18.5)	21 (18.5)	21 (18)	20 (17.5)	19.5 (16.5)
2	2400	1.67	21 (18)	20.5 (18)	20.5 (17.5)	20 (17.5)	19.5 (16.5)	18.5 (16)
1	4800	0.83	19.5 (16.5)	19.5 (16.5)	19.5 (16.5)	19 (16.5)	18.5 (16)	18 (15.5)

¹出力ピーク to ピーク (p-p) 分解能は括弧内に表示されています。

SINC³ チョップ・ディスエーブル

表 8. RMS ノイズ (nV) 対 ゲインと出力データ・レート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
1023	4.7	639.4	270	42	23	13.5	10.5	9
640	7.5	400	320	50	27	17	13	11.5
480	10	300	350	60	35	19	15	12.5
96	50	60	1000	134	86	50	35	29
80	60	50	1050	145	95	55	40	32
32	150	20	1500	225	130	80	58	50
16	300	10	1950	308	175	110	83	73
5	960	3.125	4000	590	330	200	150	133
2	2400	1.25	56,600	7000	3500	1800	900	490
1	4800	0.625	442,000	55,000	28,000	14,000	7000	3450

表 9. 実効分解能 (ピーク to ピーク分解能) 対 ゲインと出力データ・レート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1 ¹	Gain of 8 ¹	Gain of 16 ¹	Gain of 32 ¹	Gain of 64 ¹	Gain of 128 ¹
1023	4.7	639.4	24 (22.5)	24 (22)	24 (22)	24 (21.5)	24 (21)	23 (20.5)
640	7.5	400	24 (22)	24 (22)	24 (21.5)	24 (21.5)	23.5 (21)	22.5 (20)
480	10	300	24 (22)	24 (21.5)	24 (21.5)	24 (21)	23.5 (20.5)	22.5 (20)
96	50	60	23.5 (20.5)	23 (20.5)	23 (20)	22.5 (20)	22 (19.5)	21.5 (18.5)
80	60	50	23 (20.5)	23 (20.5)	22.5 (20)	22.5 (19.5)	22 (19)	21 (18.5)
32	150	20	22.5 (20)	22.5 (19.5)	22 (19.5)	22 (19)	21.5 (18.5)	20.5 (18)
16	300	10	22.5 (19.5)	22 (19)	22 (19)	21.5 (18.5)	21 (18)	20 (17.5)
5	960	3.125	21.5 (18.5)	21 (18.5)	21 (18)	20.5 (18)	20 (17.5)	19 (16.5)
2	2400	1.25	17.5 (14.5)	17.5 (14.5)	17.5 (14.5)	17.5 (14.5)	17.5 (14.5)	17.5 (14.5)
1	4800	0.625	14.5 (11.5)	14.5 (11.5)	14.5 (11.5)	14.5 (11.5)	14.5 (11.5)	14.5 (11.5)

¹ 出力ピーク to ピーク (p-p) 分解能は括弧内に表示されています。

SINC⁴ チョップ・イネーブル

表 10. RMS ノイズ(nV) 対 ゲインと出力データ・レート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
1023	1.175	1702	177	27	15	8.5	7	6
640	1.875	1067	219	32	18	11.5	8.5	7.5
480	2.5	800	234	36	21	13	10	8.5
96	12.5	160	637	89	55	32	24	20
80	15	133	686	99	63	37	26	22
32	37.5	53	1033	152	89	53	39	34
16	75	26.7	1343	202	120	71	53	48
5	240	8.33	2121	340	198	124	99	86
2	600	3.33	3536	552	311	198	156	140
1	1200	1.67	10,200	1360	707	389	26	209

表 11. 実効分解能(ピーク to ピーク分解能) 対 ゲインと出力データ・レート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1 ¹	Gain of 8 ¹	Gain of 16 ¹	Gain of 32 ¹	Gain of 64 ¹	Gain of 128 ¹
1023	1.175	1702	24 (23)	24 (22.5)	24 (22.5)	24 (22.5)	24 (21.5)	23.5 (21)
640	1.875	1067	24 (22.5)	24 (22.5)	24 (22.5)	24 (22)	24 (21.5)	23.5 (20.5)
480	2.5	800	24 (22.5)	24 (22.5)	24 (22)	24 (22)	24 (21)	23 (20.5)
96	12.5	160	24 (21)	24 (21)	23.5 (20.5)	23 (20.5)	22.5 (20)	22 (19)
80	15	133	24 (21)	23.5 (21)	23.5 (20.5)	23 (20.5)	22.5 (20)	22 (19)
32	37.5	53	23 (20.5)	23 (20)	23 (20)	22.5 (20)	22 (19)	21 (18.5)
16	75	26.7	23 (20)	22.5 (20)	22.5 (19.5)	22 (19.5)	21.5 (19)	20.5 (18)
5	240	8.33	22 (19.5)	22 (19)	21.5 (19)	21.5 (18.5)	20.5 (18)	20 (17)
2	600	3.33	21.5 (18.5)	21 (18.5)	21 (18)	20.5 (18)	20 (17)	19 (16.5)
1	1200	1.67	20 (17)	20 (17)	20 (17)	19.5 (17)	19 (16.5)	18.5 (16)

¹出力ピーク to ピーク(p-p) 分解能は括弧内に表示されています。

SINC³ チョップ・イネーブル

表 12. RMS ノイズ (nV) 対 ゲインと出力データ・レート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
1023	1.56	1282	191	30	16.5	10	8	6.5
640	2.5	800	226	36	19	12	9	8.5
480	3.33	600	248	43	25	14	11	9
96	16.6	120	708	95	61	36	25	21
80	20	100	743	103	68	39	29	23
32	50	40	1061	159	92	57	41	36
16	100	20	1380	218	124	78	59	52
5	320	6.25	2829	418	234	142	106	94
2	800	2.5	40,100	4950	2475	1273	637	347
1	1600	1.25	312,550	38,540	19,800	9900	4950	2440

表 13. 実効分解能(ピーク to ピーク分解能) 対 ゲインと出力データ・レート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1 ¹	Gain of 8 ¹	Gain of 16 ¹	Gain of 32 ¹	Gain of 64 ¹	Gain of 128 ¹
1023	1.56	1282	24 (23)	24 (22.5)	24 (22.5)	24 (22)	24 (21.5)	23.5 (21)
640	2.5	800	24 (22.5)	24 (22.5)	24 (22)	24 (22)	24 (21.5)	23 (20.5)
480	3.33	600	24 (22.5)	24 (22)	24 (22)	24 (21.5)	24 (21)	23 (20.5)
96	16.6	120	24 (21)	23.5 (21)	23.5 (20.5)	23 (20.5)	22.5 (20)	22 (19)
80	20	100	23.5 (21)	23.5 (21)	23 (20.5)	23 (20)	22.5 (19.5)	21.5 (19)
32	50	40	23 (20.5)	23 (20)	22.5 (20)	22.5 (19.5)	22 (19)	21 (18.5)
16	100	20	23 (20)	22.5 (19.5)	22.5 (19.5)	22 (19)	21.5 (18.5)	20.5 (18)
5	320	6.25	22 (19)	21.5 (19)	21.5 (18.5)	21 (18.5)	20.5 (18)	19.5 (17)
2	800	2.5	18 (15)	18 (15)	18 (15)	18 (15)	18 (15)	18 (15)
1	1600	1.25	15 (12)	15 (12.5)	15 (12)	15 (12)	15 (12)	15 (12)

¹ 出力ピーク to ピーク (p-p) 分解能は括弧内に表示されています。

内蔵レジスタ

多くの内蔵レジスタを使ってADCを制御および設定しますが、その詳細を次の項で説明します。説明の中では、特に注記がない限り、「セット」はロジック“1”状態を、「クリア」はロジック“0”状態を意味します。

コミュニケーション・レジスタ

(RS2, RS1, RS0 = 0, 0, 0)

コミュニケーション・レジスタは8ビットの書き込み専用レジスタです。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始されます。コミュニケーション・レジスタに書き込まれたデータにより、次の動作が読み出しか書き込みかが指定され、対象となるレジスタも指定されます。読み出し動作または書き込み動作では、選択されたレジスタへの次の読み出し又は書き込み動作が完了すると、

インターフェースはコミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。これはインターフェースのデフォルト状態であり、パワーアップ時またはリセット後にADCはこのデフォルト状態になり、コミュニケーション・レジスタに対する書き込み動作を待ちます。インターフェース・シーケンスが失われた状況では、DINをシリアル・クロック40サイクル以上の間、ハイレベルに維持する書き込み動作をすると、デバイスがリセットされて、ADCはこのデフォルト状態に戻ります。表14に、コミュニケーション・レジスタのビット指定を示します。CR0～CR7はビット位置を表し、“CR”はコミュニケーション・レジスタに割り当てられたビットであることを意味します。CR7はデータ・ストリームの先頭ビットです。括弧内の値は、そのビットのパワーオン/リセット時のデフォルト状態を表します。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
WEN(0)	R/W(0)	RS2(0)	RS1(0)	RS0(0)	CREAD(0)	0(0)	0(0)

表 14. コミュニケーション・レジスタ・ビット指定

ビット位置	ビット名	説明
CR7	WEN	ライト・イネーブル・ビット。コミュニケーション・レジスタへの書き込み動作を実行するには、このビットに“0”を書き込みます。最初のビットに“1”を書き込むと、レジスタ内の後続ビットに対するクロック駆動が停止され、このビットに“0”が書き込まれるまで、このビット位置にとどまります。WENビットに“0”を書き込むと、次の7ビットがコミュニケーション・レジスタにロードされます。
CR6	R/W	このビットの“0”は、次の動作が指定したレジスタへの書き込みであることを表します。このビットが“1”の場合は、次の動作が指定したレジスタからの読み出しであることを表します。
CR5 to CR3	RS2 to RS0	レジスタ・アドレス・ビット。これらのアドレス・ビットを使用して、シリアル・インターフェース通信時にADCのどのレジスタを選択するかを指定します。表 15を参照。
CR2	CREAD	データ・レジスタの連続読み出し。このビットが“1”に設定されると（かつデータ・レジスタが選択されると）、シリアル・インターフェースはデータ・レジスタの連続読み出しに設定されます；すなわちRDYピンがローレベルになった（変換が完了した事を示す）後に、SCLKパルスが入力された時、データ・レジスタの内容が自動的にDOUTピンに出力されます。次のデータ読み出しのために、コミュニケーション・レジスタに書き込みを行う必要はありません。連続読み出しをイネーブルする時は、コミュニケーション・レジスタに命令01011100を書き込みます。連続読み出しをディスエーブルする時は、RDYピンがローレベルの間に、命令01011000をコミュニケーション・レジスタに書き込みます。連続読み出しがイネーブルの間は、連続読み出しの終了命令を受信できるように、ADCはDINラインの動作をモニターします。さらに、40個の連続した“1”がDINに確認されると、リセットが実行されます。したがって、デバイスに命令が書き込まれるまで、DINをローレベルに維持しておく必要があります。
CR1 to CR0		正常動作のために、これらのビットはロジック“0”に設定する必要があります。

表 15. レジスタの選択

RS2	RS1	RS0	レジスタ	レジスタ・サイズ
0	0	0	書き込み動作時のコミュニケーション・レジスタ	8 bits
0	0	0	読み出し動作時のステータス・レジスタ	8 bits
0	0	1	モード・レジスタ	24 bits
0	1	0	コンフィギュレーション・レジスタ	24 bits
0	1	1	データ・レジスタ/データ・レジスタ+ステータス情報	24 bits/32 bits
1	0	0	IDレジスタ	8 bits
1	0	1	GPOCONレジスタ	8 bits
1	1	0	オフセット・レジスタ	24 bits
1	1	1	フルスケール・レジスタ	24 bits

ステータス・レジスタ

(RS2, RS1, RS0 = 0, 0, 0; パワーオン/リセット = 0x80)

ステータス・レジスタは8ビットの読み出し専用レジスタです。ADCのステータス・レジスタにアクセスするときは、コミュニケーション・レジスタに書き込みを行い、読み出すべき次の動作を選択し、ビットRS2、RS1とRS0に”0”をロードします。表16に、ステータス・レジスタのビット配置を示します。SR0～SR7はビット位置を表し、“SR”は各ビットがステータス・レジスタに割り当てられたビットであることを意味します。SR7はデータ・ストリームの先頭ビットです。括弧内の値は、そのビットのパワーオン/リセット時のデフォルト状態を表します。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
RDY(1)	ERR(0)	NOREF(0)	Parity(0)	0(0)	CHD2(0)	CHD1(0)	CHD0(0)

表 16. ステータス・レジスタ・ビット指定

ビット位置	ビット名	説明
SR7	RDY	ADCのレディ・ビット。データがADCのデータ・レジスタに書き込まれると、クリアされます。ADCデータ・レジスタの読み出し完了後、又はデータ・レジスタが次の変換結果に更新される一定期間前に、変換データの読み出し禁止期間であることを示すために、RDYビットが自動的にセットされます。デバイスがパワーダウン・モード、又はアイドル・モード、又はSYNCがローレベルの時も、RDYビットがセットされます。 変換の完了はDOUT/RDY端子によっても示されます。このDOUT/RDY端子をステータス・レジスタの代わりに使って、ADCの変換データをモニターすることもできます。
SR6	ERR	ADCエラー・ビット。このビットは、RDYビットと同時に書き込まれます。ADCデータ・レジスタに書き込まれた変換結果が全ビット“0”または全ビット“1”に固定されていることを示すために、このエラー・ビットがセットされます。エラー原因としては、オーバーレンジ又はアンダーレンジ又はリファレンス電圧の欠如などがあります。変換を開始させる書き込み動作でクリアされます。
SR5	NOREF	ノー外部リファレンスビット。このビットは選択したリファレンス(REFIN1 又は REFIN2)が規定のスレッシュホールド以下の電圧になるとセットされます。セットされた時、変換結果はすべて“1”に固定されます。このビットは有効なリファレンスが、選択したリファレンス・ピンに印加された事示すためクリアされます。コンフィギュレーション・レジスタの REFDET ビットを“1”に設定することにより NOREF ビットはイネーブルになります。
SR4	Parity	データ・レジスタのパリティチェック。モード・レジスタの ENPAR ビットをセットすると、データ・レジスタの“1”の数が奇数の時、パリティ・ビットがセットされます。データ・レジスタの“1”の数が偶数であれば、パリティ・ビットはクリアされます。パリティチェックを使用する時には、モード・レジスタの DAT_STA ビットをセットする必要があります。DAT_STA ビットをセットすると、ステータス・レジスタの内容は読み出す各データ・レジスタのデータとともに転送されます。
SR3	0	このビットは“0”にセットされます。
SR2 to SR0	CHD2 to CHD0	これらのビットはデータ・レジスタの内容に対応するチャンネルを明示します。これらのビットは現在変換中のチャンネルを示しませんが、データ・レジスタにある変換結果が格納された時にどのチャンネルが選択されていたかを明示します。

モード・レジスタ

(RS2, RS1, RS0 = 0, 0, 1; Power-On/Reset = 0x080060)

- モード・レジスタは24ビット・レジスタで、データの読み出し、又は書き込みが可能です。このレジスタは動作モード、出力データ・レート、クロック源の選択に使用します。表17に、モード・レジスタのビット指定を示します。MR0～MR23はビット位置を表し、“MR”はモード・レジスタに割り当てられたビットであることを意味します。MR23はデータ・ストリームの先頭ビットです。括弧内の値は、そのビットのパワーオン/リセット時のデフォルト状態を示します。どのモード・レジスタへの書き込みも、変調器とフィルタをリセットし、RDYビットをセットします。

MR23	MR22	MR21	MR20	MR19	MR18	MR17	MR16
MD2(0)	MD1(0)	MD0(0)	DAT_STA(0)	CLK1(1)	CLK0(0)	0	0
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8
Sinc3(0)	0	ENPAR(0)	0	Single(0)	REJ60(0)	FS9(0)	FS8(0)
MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
FS7(0)	FS6(1)	FS5(1)	FS4(0)	FS3(0)	FS2(0)	FS1(0)	FS0(0)

表 17. モード・レジスタビット指定

ビット位置	ビット名	説明		
MR23 to MR21	MD2 to MD0	モード選択ビット。これらのビットは AD7190 の動作モードを選択します。(表 18 を参照) (
MR20	DAT_STA	このビットは各データ・レジスタの読み出しデータ後に、ステータス・レジスタ内容を送信する事をイネーブルにします。DAT_STA をセットすると、ステータス・レジスタの内容が読み出される各データ・レジスタの内容とともに送信されます。この機能は複数のチャンネルが選ばれた時役に立ちます。なぜならステータス・レジスタは各データ・レジスタの値が対応するチャンネルを識別するからです。		
MR19 to MR18	CLK1 to CLK0	これらのビットは AD7190 のクロック源を選択するのに使用されます。内蔵 4.92 MHz クロック又は外部クロックが使用可能です。外部クロックが使用できる事により、複数の AD7190 デバイスを同期させる事が可能になります。AD7190 を精度のよい外部クロックで駆動すると 50 Hz/60 Hz 除去も改善されます。		
		CLK1	CLK0	ADC クロック源
		0	0	外部クリスタル。MCLK1 から MCLK2 へ外部クロックが接続されます。
		0	1	外部クロック。外部クロックが MCLK2 ピンに印加されます。
		1	0	内部 4.92 MHz クロック。MCLK2 ピンはトライステート。
1	1	内部 4.92 MHz クロック。内部クロックは MCLK2 から出力可能。		
MR17 to MR16		正常動作のためにこれらのビットはロジック"0"に設定する必要があります。		
MR15	SINC3	Sinc ³ フィルタ選択ビット。このビットをクリアすると、sinc ⁴ フィルタが使用されます (デフォルト値)。このビットをセットすると sinc ³ フィルタが使用されます。チョップがディスエーブルの時、sinc ⁴ フィルタに対する sinc ³ フィルタの利点はそのセトリング時間がより短い事です。設定した出力データ・レートを f _{ADC} とすると、sinc ³ フィルタのセトリング時間が 3/f _{ADC} であるのに対して、sinc ⁴ フィルタのセトリング時間は 4/f _{ADC} です。sinc ⁴ フィルタはノッチがより深いのでより優れた 50 Hz/60 Hz 除去性能が得られます。低い出力データ・レートでは、両方のフィルタともほぼ同じような rms ノイズとノー・ミス・コードが得られます。高い出力データ・レート (5 以下の FS 値) では、sinc ⁴ フィルタの方が sinc ³ フィルタより優れた rms ノイズとノー・ミス・コードの性能が得られます。		
MR14		正常動作のためにこのビットはロジック"0"に設定する必要があります。		
MR13	ENPAR	イネーブル・パリティビット。ENPAR をセットすると、データ・レジスタのパリティチェックがイネーブルになります。パリティチェックを使用する時には、モード・レジスタの DAT_STA ビットをセットする必要があります。DAT_STA ビットをセットした時、ステータス・レジスタの内容は読み出す各データ・レジスタのデータとともに転送されます。		
MR12		正常動作のためにこのビットはロジック"0"に設定する必要があります。		
MR11	Single	1 サイクル変換イネーブルビット。このビットをセットすると、AD7190 が zero latency ADC として機能するように、1 変換サイクル以内で安定します。複数のアナログ入力チャンネルがイネーブルの時や、シングル変換モードが選択された時はこのビットは影響しません。		
MR10	REJ60	sinc フィルタの最初のノッチが 50 Hz にある時、このビットはノッチを 60 Hz でイネーブルにします。REJ60 をセットすると、sinc フィルタの最初のノッチが 50 Hz の時、フィルタノッチは 60 Hz に生じます。このことにより 50 Hz/60 Hz の同時除去が可能になります。		
MR9 to MR0	FS9 to FS0	フィルタ出力データ・レート選択ビット。これらのビットにより設定された 10 ビットのデータはフィルタのカットオフ周波数、フィルタの最初のノッチの位置、出力データ・レートを決定します。デバイスの出力ノイズ (そして実効分解能) も選択するゲインとの兼ね合いで決定します。(表 6 ~ 表 13 を参照) チョップがディスエーブルで、連続変換モードが選択されている時、出力データ・レートは次式で表せます。 $\text{出力データ・レート} = (\text{fmod}/64)/\text{FS}$ ここで FS は FS0 ビット ~ FS9 ビットからなるコードの 10 進数同等値で、1 ~ 1023 の範囲です。又 fmod は変調器の周波数で、MCLK/16 に等しくなります。MCLK = 公称値 4.92 MHz とすると、出力データ・レートは 4.69 Hz ~ 4.8 kHz になります。チョップ・ディスエーブルとし、1 チャンネルを変換している時、フィルタの最初のノッチ周波数は出力データ・レートに等しくなります。チョップがイネーブルの時、出力データ・レートは次のように表せます。 $\text{出力データ・レート} = (\text{fmod}/64)/(N \times \text{FS})$ ここで FS は FS0 ビット ~ FS9 ビットからなるコードの 10 進数同等値で、1 ~ 1023 の範囲です。又 fmod は変調器の周波数で、MCLK/16 に等しくなります。MCLK = 公称値 4.92 MHz とすると、出力データ・レートは 4.69/N Hz ~ 4.8/N kHz です。ここで N は sinc フィルタの次数です。sinc フィルタの初めのノッチ周波数は N x 出力データ・レートに等しくなります。チョッピングにより、(出力データ・レート/2) の奇数整数倍でノッチが生じます。		

表 18. 動作モード

MD2	MD1	MD0	モード
0	0	0	連続変換モード（デフォルト）。連続変換モードでは、ADCは連続的に変換を実行し、その結果をデータ・レジスタに格納します。変換が終了するとDOUT/ RDYピンとステータス・レジスタのRDYビットがローレベルになります。これらの変換結果はコミュニケーション・レジスタのCREAD ビットを"1"に設定する（連続読み出しをイネーブルにする）ことにより読み出す事ができます。連続読み出しがイネーブルの状態、SCLKパルスが印加された時、変換データが自動的にDOUTライン上に出力されます。あるいは、コミュニケーション・レジスタへの書き込み動作によって、ADCが各々の変換結果を出力するように命令することもできます。パワーオン、リセット、又はADCの再設定の後、最初の有効な変換結果を得るには、フィルタのための十分なセトリング時間が必要です。後続する変換結果は（フィルタの選択に依存しますが）選択した出力データ・レートで出力します。
0	0	1	シングル変換モード。シングル変換モードを選択すると、ADCはパワーアップ後に選択されたチャンネルを1回のみ変換を実行します。内部発振器がパワーアップして安定するまでの所要時間は1msです。この後、ADCは変換を実行しますが、変換にはフィルタの十分なセトリング時間が必要です。変換結果はデータ・レジスタに格納され、RDYがローレベルになると、ADCはパワーダウン・モードに戻ります。データを読み出すか、次の変換が実行されるまで、変換結果はデータ・レジスタに保持され、RDYはアクティブ（ローレベル）の状態を維持します。
0	1	0	アイドル・モード。アイドル・モードでは、例えば変調器のクロックの供給が続けられても、ADC フィルタと変調器はリセット状態を保持します。
0	1	1	パワーダウン・モード。パワーダウン・モードではブリッジ・パワーダウン・スイッチを除く AD7190 のすべての回路はパワーダウンします。回路の安定化のために AD7190 の電源を立ち上げる前に、センサーの電源を立ち上げる必要がある場合のために、ブリッジ・パワーダウン・スイッチはアクティブの状態を保ちます。外部クリスタルを選択した時は、それもアクティブの状態に保ちます。
1	0	0	内部ゼロスケール・キャリブレーション。入力自動的に内部で短絡されます。RDYはキャリブレーション開始時にハイレベルになり、キャリブレーション終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したオフセット係数は、選択されたチャンネルのオフセット・レジスタに格納されます。
1	0	1	内部フルスケール・キャリブレーション。このキャリブレーションを行うためにフルスケール入力電圧は自動的に入力に接続されます。RDYはキャリブレーション開始時にハイレベルになり、キャリブレーション終了時にローレベルに戻ります。キャリブレーションの後、ADCはアイドル・モードになります。計測したフルスケール係数は、選択されたチャンネルのフルスケール・レジスタに格納されます。特定のチャンネルのゲインを変更する場合は、その都度フルスケール誤差を最小にするために、フルスケール・キャリブレーションが必要です。
1	1	0	システム・ゼロスケール・キャリブレーション。このモードでは、コンフィギュレーション・レジスタのCH7~CH0 ビットで選択したチャンネル入力ピンにシステム・ゼロスケール入力を接続する必要があります。RDYはキャリブレーション開始時にハイレベルになり、キャリブレーション終了時にローレベルに戻ります。キャリブレーションの後、ADCはアイドル・モードになります。計測したオフセット係数は、選択されたチャンネルのオフセット・レジスタに格納されます。特定のチャンネルのゲインを変更する場合は、その都度システム・ゼロスケール・キャリブレーションが必要です。
1	1	1	システム・フルスケール・キャリブレーション。このモードでは、コンフィギュレーション・レジスタのCH7~CH0ビットで選択したチャンネル入力ピンにシステム・フルスケール入力を接続する必要があります。RDYはキャリブレーション開始時にハイレベルになり、キャリブレーション終了時にローレベルに戻ります。キャリブレーションの後、ADCはアイドル・モードになります。計測したフルスケール係数は、選択されたチャンネルのフルスケール・レジスタに格納されます。特定のチャンネルのゲインを変更する場合は、その都度フルスケール・キャリブレーションが必要です。

コンフィギュレーション・レジスタ

(RS2, RS1, RS0 = 0, 1, 0; Power-On/Reset = 0x000117)

コンフィギュレーション・レジスタは、データの読み出し/書き込みが可能な24ビットのレジスタです。このレジスタを使用して、ADCのユニポーラ/バイポーラ・モードの設定、バッファのイネーブル/ディスエーブル、バーンアウト電流のイネーブル/ディスエーブル、ゲインの選択、アナログ入力チャンネルの選択を行います。表19に、コンフィギュレーション・レジスタのビット指定を示します。CON0~CON23はビット位置を表し、“CON”は各ビットがコンフィギュレーション・レジスタに割り当てられていることを意味します。CON23はデータ・ストリームの先頭ビットです。括弧内の値は、そのビットのパワーオン時またはリセット後のデフォルト状態を示します。

CON23	CON22	CON21	CON20	CON19	CON18	CON17	CON16
Chop(0)	0(0)	0(0)	REFSEL(0)	0(0)	0(0)	0(0)	(0)
CON15	CON14	CON13	CON12	CON11	CON10	CON9	CON8
CH7(0)	CH6(0)	CH5(0)	CH4(0)	CH3(0)	CH2(0)	CH1(0)	CH0(1)
CON7	CON6	CON5	CON4	CON3	CON2	CON1	CON0
Burn(0)	REFDET(0)	0(0)	BUF(1)	U/B (0)	G2(1)	G1(1)	G0(1)

表 19. コンフィギュレーション・レジスタ・ビット指定

ビット位置	ビット名	説明																																													
CON23	Chop	チョップ・イネーブル・ビット。チョップビットをクリアすると、チョップはディスエーブルになります。チョップビットをセットすると、チョップはイネーブルになります。チョップがイネーブルの時には、ADC のオフセット、オフセット・ドリフトは継続的に最小化されます。しかしこの事により ADC の変換時間、セトリング時間は増えます。例えば FS = 96 (10 進数) で sinc ⁴ フィルタが選択されている時、チョップ・イネーブルの場合の変換時間は 80 ms で、セトリング時間は 160 ms になります。チョップ・ディスエーブルの場合は、変換レートをもっと高くすることができます。FS ワード = 96 (10 進数) で sinc ⁴ フィルタが選択されている時、チョップ・ディスエーブルの場合の変換時間は 20 ms で、セトリング時間は 80 ms です。しかし低いゲインではオフセットやオフセット・ドリフトを低減するために定期的にキャリブレーションを行う必要があるかもしれません。																																													
CON22, CON21		正常動作のためにこれらのビットはロジック"0"に設定する必要があります。																																													
CON20	REFSEL	リファレンス選択ビット。このビットを使用して ADC のリファレンス源を選択します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>REFSEL</th> <th>リファレンス電圧</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>REFIN1(+) と REFIN1(-)間に加えられる外部リファレンス。</td> </tr> <tr> <td>1</td> <td>P1/REFIN2(+) ピンと P0/REFIN2(-)ピン間に加えられる外部リファレンス。</td> </tr> </tbody> </table>	REFSEL	リファレンス電圧	0	REFIN1(+) と REFIN1(-)間に加えられる外部リファレンス。	1	P1/REFIN2(+) ピンと P0/REFIN2(-)ピン間に加えられる外部リファレンス。																																							
REFSEL	リファレンス電圧																																														
0	REFIN1(+) と REFIN1(-)間に加えられる外部リファレンス。																																														
1	P1/REFIN2(+) ピンと P0/REFIN2(-)ピン間に加えられる外部リファレンス。																																														
CON19 to CON16		正常動作のためにこれらのビットはロジック"0"に設定する必要があります。																																													
CON15 to CON8	CH7 to CH0	チャンネル選択ビット。このビットは AD7190 のイネーブルにするチャンネルを選択するのに使用します。表 20 を参照。複数のチャンネルを選択可能で、AD7190 は自動的にそれらのチャンネルに対して順次走査します。各チャンネルでの変換には十分なセトリング時間が必要です。																																													
CON7	Burn	このビットを"1"にセットすると、信号パスの 500 nA 電流源がイネーブルになります。burn = 0 の時にはバーンアウト電流はディスエーブルになります。バーンアウト電流はバッファがアクティブでチョップがディスエーブルの時のみイネーブルにする事ができます。																																													
CON6	REFDET	リファレンス検出機能をイネーブルにします。このビットをセットするとステータス・レジスタの NOREF ビットは ADC に使用されている外部リファレンスが断線又は最大 0.6 V 以下の時を示します。リファレンス検出回路は ADC がアクティブの時のみ動作します。																																													
CON5		正常動作のためにこれらのビットはロジック"0"に設定する必要があります。																																													
CON4	BUF	アナログ入力段のバッファをイネーブルにします。クリアすると、アナログ入力は無バッファになりデバイスの電源消費を低減します。このビットをセットすると、アナログ入力にバッファが接続されるので、前段に信号源インピーダンスを接続しても、システムにゲイン誤差を生じる事はありません。バッファをディスエーブルにするとアナログ入力ピンの電圧は AGND より 50 mV 下から AV _{DD} より 50 mV 上まで入力できるでしょう。バッファをイネーブルにすると、多少ヘッドルームが必要となり、入力ピンの電圧は各電源レールより 250 mV 狭い範囲までに制限されます。																																													
CON3	U/B	極性選択ビット。このビットをセットすると、ユニポーラ動作が選ばれます。このビットをクリアすると、バイポーラ動作が選ばれます。																																													
CON2 to CON0	G2 to G0	ゲイン選択ビット。下記に示すような ADC の入力範囲を選択するために、ユーザーが書き込みます。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>G2</th> <th>G1</th> <th>G0</th> <th>Gain</th> <th>ADC 入力範囲 (5 V リファレンス, バイポーラ・モード)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>±5 V</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Reserved</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Reserved</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>8</td> <td>±625 mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>16</td> <td>±312.5 mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>32</td> <td>±156.2 mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>64</td> <td>±78.125 mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>128</td> <td>±39.06 mV</td> </tr> </tbody> </table>	G2	G1	G0	Gain	ADC 入力範囲 (5 V リファレンス, バイポーラ・モード)	0	0	0	1	±5 V	0	0	1	Reserved		0	1	0	Reserved		0	1	1	8	±625 mV	1	0	0	16	±312.5 mV	1	0	1	32	±156.2 mV	1	1	0	64	±78.125 mV	1	1	1	128	±39.06 mV
G2	G1	G0	Gain	ADC 入力範囲 (5 V リファレンス, バイポーラ・モード)																																											
0	0	0	1	±5 V																																											
0	0	1	Reserved																																												
0	1	0	Reserved																																												
0	1	1	8	±625 mV																																											
1	0	0	16	±312.5 mV																																											
1	0	1	32	±156.2 mV																																											
1	1	0	64	±78.125 mV																																											
1	1	1	128	±39.06 mV																																											

表 20. チャンネル選択

コンフィギュレーション・レジスタのチャンネル・イネーブル・ビット								Channel Enabled		ステータス・レジスタ CHD[2:0] ビット	キャリブレーション・レジスタ・ペア
CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0	正側入力 AIN(+)	負側入力 AIN(-)		
1	1	1	1	1	1	1	1	AIN1 AIN3	AIN2 AIN4 温度センサー	000 001 010	0 1 None
								AIN2 AIN1 AIN2 AIN3 AIN4	AIN2 AINCOM AINCOM AINCOM AINCOM	011 100 101 110 111	0 0 1 2 3

データ・レジスタ

(RS2, RS1, RS0 = 0, 1, 1; パワーオン/リセット = 0x000000)

ADCからの変換結果がこのデータ・レジスタに格納されます。読み出し専用のレジスタです。このレジスタからの読み出しが完了すると、RDYピン/ビットがセットされます。モード・レジスタのDAT_STA ビットを"1"にセットすると、ステータス・レジスタの内容が各24ビットの変換結果に付加されます。これは複数のアナログ入力チャンネルがイネーブルの時必要です。なぜならステータス・レジスタの3つのLSB(CHD2 ~ CHD0)で、どのチャンネルの変換結果かを識別できるからです。

ID レジスタ

RS2, RS1, RS0 = 1, 0, 0; パワーオン/リセット = 0xX4

AD7190の識別番号がIDレジスタに格納されます。これは読み出し専用レジスタです。

GPOCON レジスタ

(RS2, RS1, RS0 = 1, 0, 1; パワーオン/リセット = 0x00)

GPOCON レジスタは8ビットレジスタで、データの読み出し/書き込み可能です。このレジスタは汎用デジタル出力をイネーブルにするのに使用されます。

表 21 に GPOCON レジスタのビット指定を示します。GP0 ~ GP7 はビット位置を表します。"GP"はビットが GPOCON レジスタに割り当てられている事を示しています。GP7 はデータ・ストリームの先頭ビットです。括弧内の数字はそのビットのパワーオン時又はリセット後のデフォルト状態を示します。

GP7	GP6	GP5	GP4	GP3	GP2	GP1	GP0
0(0)	BPDSW(0)	GP32EN(0)	GP10EN(0)	P3DAT(0)	P2DAT(0)	P1DAT(0)	P0DAT(0)

表 21. レジスタ・ビット指定

Bit Location	Bit Name	Description
GP7	0	正常動作のために、このビットはロジック"0"に設定する必要があります。
GP 6	BPDSW	ブリッジ・パワーダウン・スイッチ・コントロール・ビット。このビットをセットするとブリッジ・パワーダウン・スイッチ"BPDSW"が閉じ AGND に接続されます。このスイッチの吸い込み電流は 30 mA までです。このビットをクリアすると、ブリッジ・パワーダウン・スイッチが開きます。ADC がパワーダウン・モードの時は、ブリッジ・パワーダウン・スイッチはアクティブの状態を維持します。
GP5	GP32EN	デジタル出力 P3 と デジタル出力 P2 のイネーブル。GP32EN をセットすると、デジタル出力 P3 と P2 がアクティブになります。GP32EN をクリアすると、P3 と P2 ピンはトライステートになり、P3DAT と P2DAT ビットが無視されます。
GP4	GP10EN	デジタル出力 P1 と デジタル出力 P0 のイネーブル。GP10EN をセットすると、デジタル出力 P1 と P0 がアクティブになります。GP10EN をクリアすると、P1 と P0 ピンはトライステートになり、P1DAT と P0DAT ビットが無視されます。コンフィギュレーション・レジスタの REFSEL ビットを"1"に設定すると、P1 と P0 ピンはリファレンス入力 REFIN2 として使用できます。
GP3	P3DAT	デジタル出力 P3。GP32EN をセットした時、P3DAT ビットは汎用出力ピン P3 の値を設定します。P3DAT がハイレベルの時、P3 出力ピンはハイレベルになります。P3DAT がローレベルの時、P3 出力ピンはローレベルになります。GPOCON レジスタを読み出す時、GP32EN をセットしていれば、P3DAT ビットは P3 ピンの状態を反映します。
GP2	P2DAT	デジタル出力 P2。GP32EN をセットした時、P2DAT ビットは汎用出力ピン P2 の値を設定します。P2DAT がハイレベルの時、P2 出力ピンはハイレベルになります。P2DAT がローレベルの時、P2 出力ピンはローレベルになります。GPOCON レジスタを読み出す時、GP32EN をセットしていれば、P2DAT ビットは P2 ピンの状態を反映します。
GP1	P1DAT	デジタル出力 P1。GP10EN をセットした時、P1DAT ビットは汎用出力ピン P1 の値を設定します。P1DAT がハイレベルの時、P1 出力ピンはハイレベルになります。P1DAT がローレベルの時、P1 出力ピンはローレベルになります。GPOCON レジスタを読み出す時、GP10EN をセットしていれば、P1DAT ビットは P1 ピンの状態を反映します。
GP0	P0DAT	デジタル出力 P0。GP10EN をセットした時、P0DAT ビットは汎用出力ピン P0 の値を設定します。P0DAT がハイレベルの時、P0 出力ピンはハイレベルになります。P0DAT がローレベルの時、P0 出力ピンはローレベルになります。GPOCON レジスタを読み出す時、GP10EN をセットしていれば、P0DAT ビットは P0 ピンの状態を反映します。

オフセット・レジスタ

(RS2, RS1, RS0 = 1, 1, 0; パワーオン/リセット = 0x800000)

オフセット・レジスタはADCのオフセット・キャリブレーション係数を格納します。オフセット・レジスタのパワーオン・リセット時の値は0x800000です。AD7190には4つのオフセット・レジスタがあります；従って各チャンネルには専用のオフセット・レジスタを持ちます。これら各々のレジスタは24ビットの読み出し/書き込みレジスタです。このレジスタとそれに対応するフルスケール・レジスタによって、1組のレジスタ・ペアを構成します。ユーザーが内部またはシステムのゼロスケール・キャリブレーションを開始すると、パワーオン・リセット値が自動的に上書きされます。オフセット・レジスタに書き込むときは、AD7190をアイドル・モード又はパワーダウン・モードに設定する必要があります。

フルスケール・レジスタ

(RS2, RS1, RS0 = 1, 1, 1; パワーオン/リセット = 0x5XXXX0)

フルスケール・レジスタは24ビットのレジスタで、ADCのフルスケール・キャリブレーション係数を格納します。AD7190は4個のフルスケール・レジスタを内蔵しています；従って各チャンネルには専用のフルスケール・レジスタがあります。フルスケール・レジスタは読み出し/書き込みレジスタですが、このレジスタに書き込みを行う際は、ADCをパワーダウン・モードまたはアイドル・モードにする必要があります。このレジスタにはパワーオン時に、工場出荷時校正のフルスケール・キャリブレーション係数（キャリブレーションはゲイン=1で実施）が設定されます。このため、デバイスによってデフォルト係数が異なります。内部の又はシステムのフルスケール・キャリブレーションを開始するか、又はフルスケール・レジスタに書き込みを行うと、デフォルト値が自動的に上書きされます。

ADC 回路情報

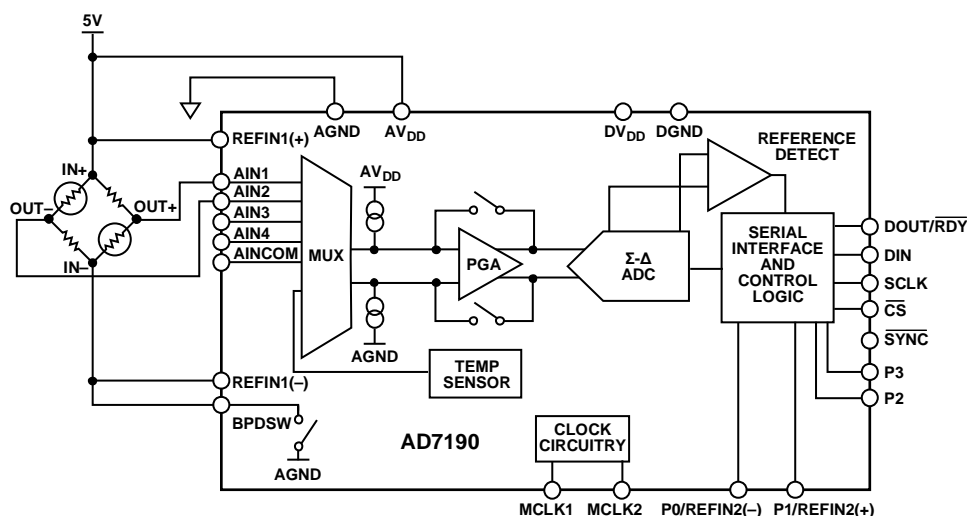


図 17. 基本的な接続図

概要

AD7190 は Σ - Δ 変調器、バッファ、PGA、デジタル・フィルタを内蔵した超低ノイズ ADC であり、圧力計、重量計、ストレインゲージなどのアプリケーションのように広いダイナミックレンジの信号を計測する目的で開発されました。

この製品は 2 チャンネル差動入力、または 4 チャンネル擬似差動入力のいずれかの構成にすることができ、さらにその入力にバッファを接続するか未接続にするかも設定できます。図 17 にこの製品の動作に必要な基本的な接続を示します。

フィルタ、出力データ、セトリングタイム

Σ - Δ ADC は変調器とその後段のデジタル・フィルタで構成されています。AD7190 には 2 種類のフィルタがあります： sinc^3 フィルタと sinc^4 フィルタ。フィルタはモード・レジスタの SINC3 ビットを使用して選択します。SINC3 を“0”に設定する（デフォルト値）と sinc^4 フィルタが選択されます。SINC3 を“1”に設定すると sinc^3 が選択されます。

出力データ・レートが低い (<1 kHz) 時には、ノイズ・フリー分解能について 2 つのタイプのフィルタは似たような特性ですが、出力データ・レートが高い場合、 sinc^4 フィルタの方が、より優れたノイズ・フリー分解能が得られます。

sinc^4 フィルタは又 50 Hz と 60 Hz の除去が優れています。ノッチの位置はフィルタの次数には影響されませんが、高次なフィルタほどより広いノッチになり、ノッチ周辺の帯域 (± 1 Hz) でより優れた除去比が得られます。さらに阻止帯域減衰もより優れております。 sinc^3 フィルタの利点は同じ出力データ・レートに対してより短いセトリング時間で済む事です。

チョップ・ディスエーブル

出力データ・レート (ADC が連続して変換している時、変換結果が 1 つのチャンネルに出力されるレート) は次のように表されます。

$$f_{\text{ADC}} = f_{\text{CLK}} / (1024 \times \text{FS}[9:0])$$

ここで:

f_{ADC} は出力データ・レートです。

f_{CLK} = マスター・クロック (公称 4.92 MHz).

FS[9:0] はモード・レジスタの中の FS9 ビット ~ FS0 ビットの 10 進数同等値です。

出力データ・レートは 4.7 Hz ~ 4800 Hz の範囲で設定できます；すなわち FS[9:0] は 1 ~ 1023 の間の値になります。

前の公式は sinc^3 フィルタと sinc^4 フィルタの両方に有効です。

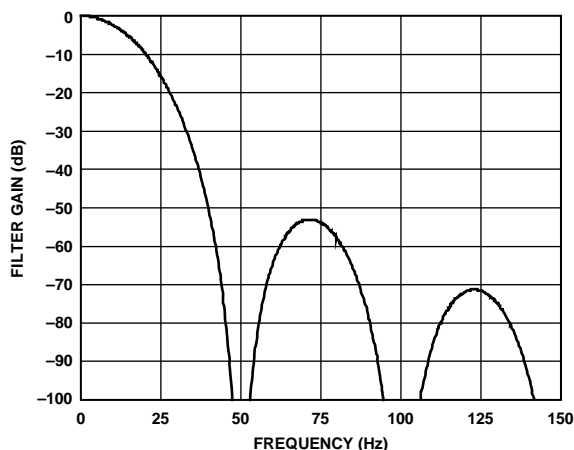
sinc^4 フィルタのセトリング時間は次のように表されます。

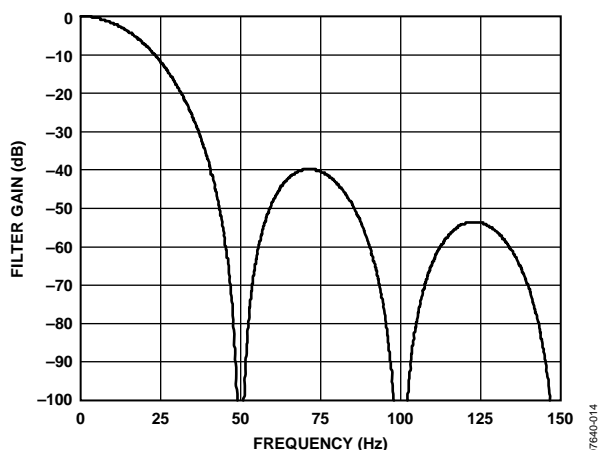
$$t_{\text{SETTLE}} = 4/f_{\text{ADC}}$$

sinc^3 フィルタのセトリング時間は次のように表されます。

$$t_{\text{SETTLE}} = 3/f_{\text{ADC}}$$

図 18 と 図 19 は出力データ・レート 50 Hz とした場合の sinc^4 フィルタと sinc^3 フィルタそれぞれの周波数応答を示します。

図 18. Sinc⁴ フィルタ応答 (50 Hz 出力データ・レート)

図 19. Sinc³フィルタ応答 (50 Hz 出力データ・レート)

sinc⁴フィルタについてはマスター・クロックが安定していると仮定して、50 Hz (±1 Hz)除去は 120 dB 以上あります。一方 sinc³フィルタの 50 Hz (±1 Hz)除去は 100 dB です。sinc⁴フィルタの阻止帯域の減衰度は標準 53 dB ですが、sinc³フィルタの阻止帯域の減衰度は 40 dB です。

sinc⁴フィルタの 3 dB 周波数は次のように表されます。

$$f_{3dB} = 0.23 \times f_{ADC}$$

そして sinc³フィルタの 3 dB 周波数は次のように表されます。

$$f_{3dB} = 0.272 \times f_{ADC}$$

チョップ・イネーブル

チョップをイネーブルにすると ADC のオフセットとオフセット・ドリフトを最小限に抑えられます。チョップがイネーブルになると、アナログ入力ピンは連続的に切り替わります。それ故アナログ入力ピンが一方に接続されている時、有効な変換結果が出力されるまでには、sinc フィルタのセトリング時間がかかります。次にアナログ入力ピンは反転し次の有効な変換結果が得られます。次にこれら続けて行われる変換が平均化されるので、オフセットが最小限に抑えられます。このアナログ入力ピンの連続した切り替わりと連続した変換結果の平均化を行う事によりオフセット・ドリフトも最小限にすることができます。

チョッピングは ADC のデータ・レートとセトリング時間に影響を及ぼします。sinc⁴フィルタの場合、出力データ・レートは次のように表されます。

$$f_{ADC} = f_{CLK} / (4 \times 1024 \times FS[9:0])$$

sinc³フィルタの場合、出力データ・レートは次のように表されます。

$$f_{ADC} = f_{CLK} / (3 \times 1024 \times FS[9:0])$$

ここで:

f_{ADC} は出力データ・レート。

f_{CLK} = マスター・クロック (4.92 MHz nominal).

FS[9:0]はモード・レジスタの FS9 ビット～ FS0 ビットの 10 進数同等値です。

FS[9:0]の値は 1 ~ 1023 の範囲で変化します。従って sinc⁴フィルタの出力データ・レートは 1.173 Hz ~ 1200 Hz に、又 sinc³フィルタの出力データ・レートは 1.56 Hz ~ 1600 Hz になります。sinc³フィルタ又は sinc⁴フィルタのセトリング時間は次のように表されます。

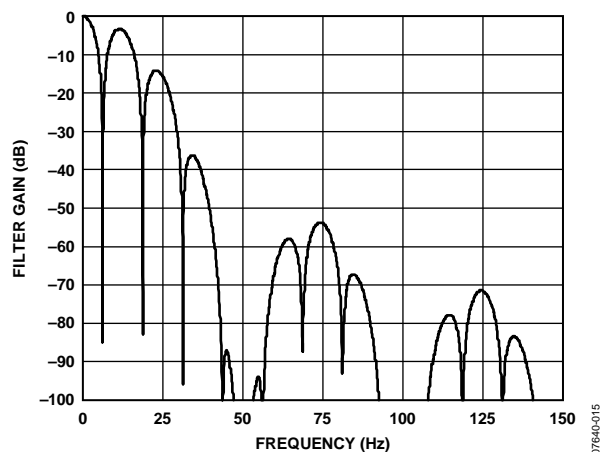
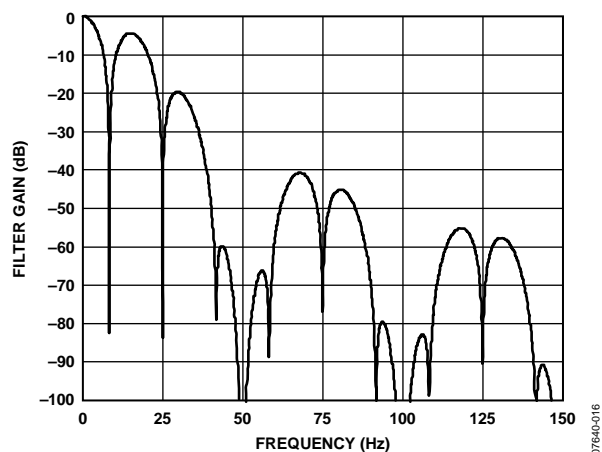
$$t_{SETTLE} = 2/f_{ADC}$$

それ故チョップ・イネーブルにすると、チップ・ディスエーブルに比べ、決められた出力データ・レートに対してはセトリング時間が短くなります。しかし決められた FS[9:0]値に対してはチョップ・イネーブルの方がチョップ・ディスエーブルに比べ出力データ・レートは低くなります。

sinc³フィルタ又は sinc⁴フィルタのいずれのカットオフ周波数 f_{3dB} も次のように表せます。

$$f_{3dB} = 0.24 \times f_{ADC}$$

図 20 と 図 21 はチョップ・イネーブルの時の sinc⁴フィルタと sinc³フィルタ各々のフィルタ応答を示します。図に示すように阻止帯域減衰はチョップ・ディスエーブル・モードに比べ小さくなります。

図 20. Sinc⁴フィルタ応答 (出力データ・レート= 12.5 Hz, チョップ・イネーブル)図 21. Sinc³フィルタ応答 (出力データ・レート= 16.6 Hz, チョップ・イネーブル)

50 Hz/60 Hz 除去

ノーマル・モード除去はデジタル・フィルタの主な機能の一つです。チョップ・ディスエーブルの場合 50 Hz 除去は出力データ・レートを 50 Hz に設定した時に得られます。又 60 Hz 除去は出力データ・レートを 60 Hz に設定した時に得られます。50 Hz/60 Hz 同時除去は出力データ・レートを 10 Hz に設定した時に得られます。又 50 Hz/60 Hz 同時除去はモード・レジスタの REJ60 ビットを使っても行えます。出力データ・レートを 50 Hz に設定し REJ60W ビットを“1”に設定すれば、ノッチは 50 Hz と 60 Hz の両方に生じます。

図 22 と 図 23 は出力データ・レートが 50 Hz に設定され、REJ60 が“1”に設定された時の sinc^4 フィルタと sinc^3 フィルタ各々の周波数応答を示します。

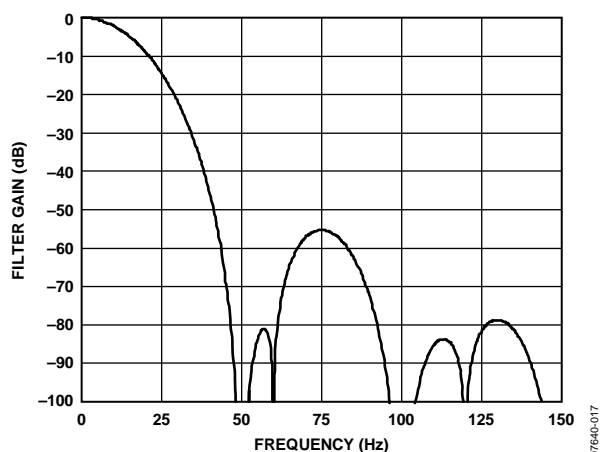


図 22. sinc^4 フィルタ応答(50 Hz 出力データ・レート, REJ60 = 1)

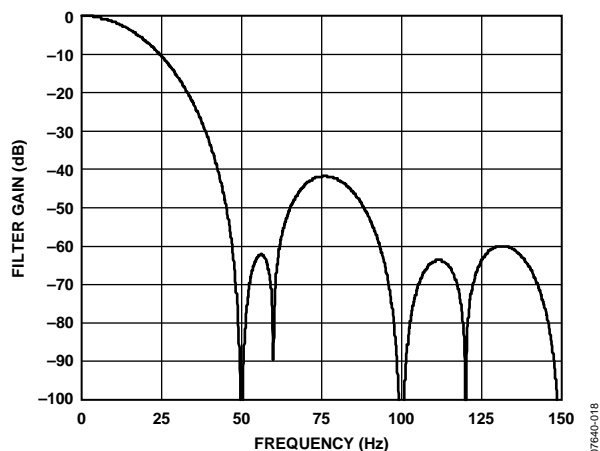


図 23. sinc^3 フィルタ応答(50 Hz 出力データ・レート, REJ60 = 1)

前述したように、 sinc^4 フィルタは sinc^3 フィルタより優れた 50 Hz/60 Hz 除去比が得られます。さらに sinc^4 フィルタはより優れた阻止帯域減衰が得られます。

チョップがイネーブルの時、50 Hz と 60 Hz の除去を成し遂げるにはより低い出力データ・レートを使用する必要があります。REJ60 を“1”に設定し、 sinc^4 フィルタを選択した時、出力データ・レートを 12.5 Hz にすることにより 50 Hz/60 Hz 同時除去が可能です。一方 sinc^3 フィルタを使用する時は、出力データ・レートを 16.7 Hz にすることにより、50 Hz/60 Hz 同時除去が可能となります。図 24 と 図 25 に REJ60 を“1”に設定した時の両方の出力データ・レートについてフィルタ応答を示します。

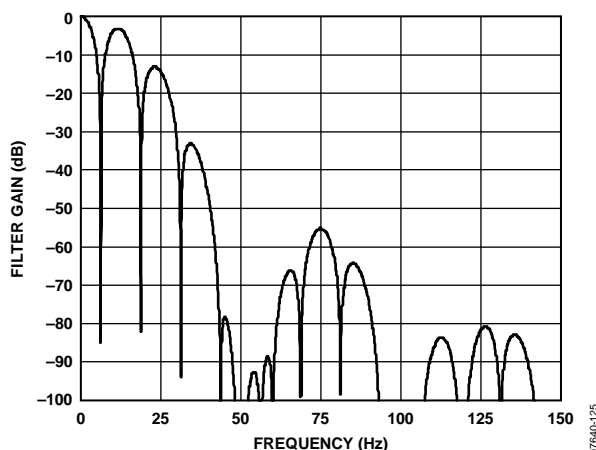


図 24. sinc^4 フィルタ応答(12.5 Hz 出力データ・レート, チョップ・イネーブル, REJ60 = 1)

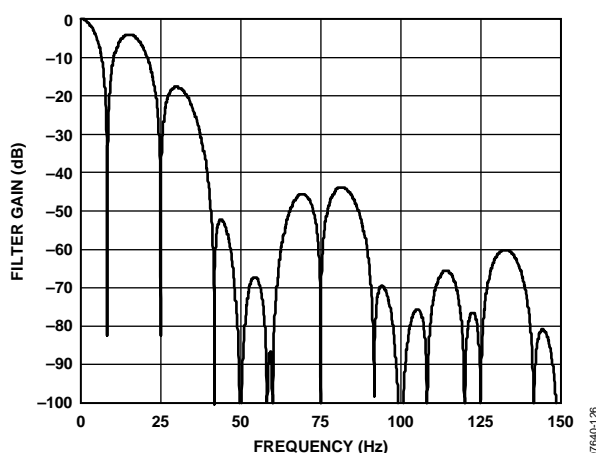


図 25. sinc^3 フィルタ応答(16.7 Hz 出力データ・レート, チョップ・イネーブル, REJ60 = 1)

Zero Latency

Zero latency はモード・レジスタの SINGLE ビットを“1”に設定する事によりイネーブルになります。zero latency では各変換に完全なセトリング時間分の時間を必要とします。それゆえ

$$f_{\text{ADC}} = 1/t_{\text{SETTLE}}$$

Zero latency はイネーブルに設定した入力チャンネルの数に関係なく出力データ・レートが一定である事を意味します；従って出力データ・レートに対するチャンネル変化の影響を考慮する必要がありません。zero latency の欠点は決められた出力データ・レートに対して nonzero latency モードと比べ、ノイズが増大する事です。例えば zero latency がイネーブルではない時、出力データ・レートが 50 Hz で、ゲインを 128 に設定した場合、ノイズ・フリー分解能は 18.5 ビットです。zero latency をイネーブルにすると、出力データ・レートが 50 Hz の時、ADC の分解能は 17.5 ビットピーク to ピークです。フィルタ応答も変わります。図 19 は出力データ・レートが 50 Hz (zero latency がディスエーブル) の時の sinc^4 フィルタのフィルタ応答です。図 26 は zero latency がイネーブルで、出力データ・レートが 50 Hz (sinc^4 フィルタ) の時のフィルタ応答です；50 Hz 除去はもはや達成できません。zero latency がイネーブルの時、50 Hz 除去をするには 12.5 Hz の出力データ・レートで動作させる必要があります。出力データ・レートが 12.5 Hz に等しい時、50 Hz/60 Hz 同時除去を可能にするために、モード・レジスタの REJ60 ビットをセットする事ができます。阻止帯域減衰もかなり減少します。(nonzero latency モードの場合 53 dB であるのに比べ 3 dB です)。

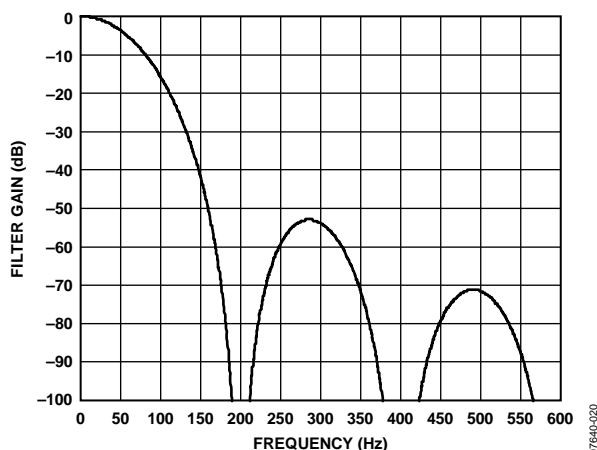


図 26. Sinc⁴ フィルタ応答(50 Hz 出力データ・レート, Zero Latency)

チャンネル・シーケンサ

AD7190 にはマルチチャンネル・アプリケーションにおいてデバイスとの通信を簡素化できるチャンネル・シーケンサが内蔵されています。又チャンネル・シーケンサは、SPI インターフェース経由で命令を待つのではなく、適切なレートでチャンネルを切り替えるので、デバイスのチャンネル・スループットを最適化します。

必要なチャンネルをイネーブルにするには、コンフィギュレーション・レジスタの CH0 ビット～CH7 ビット を使用します。連続変換モードでは各イネーブルのチャンネルを順に選択し、そのチャンネルの変換を実行します。各チャンネルの有効な変換結果が出力可能になると、RDY ピンがローレベルになります。複数のチャンネルがイネーブルの時は、各変換結果に対応するチャンネルを識別できるように、ステータス・レジスタの内容を 24 ビットワードに付加する必要があります。ステータス・レジスタの値を変換結果に付加するには、モード・レジスタの DAT_STA ビットを“1”に設定する必要があります。

複数のチャンネルがイネーブルの時、チャンネルが切り替わるごとに有効な変換結果が得られるようにセトリング時間分の時間を完全に取らなければなりません。AD7190 ではこのことが配慮されています：チャンネルが選択されると変調器、フィルタはリセットされ、RDY はハイレベルになります。そして AD7190 は最初の変換結果を発生するためにセトリング時間分を完全にとります。有効な変換結果が出力可能になると、RDY のみがローレベルになります。次に The AD7190 は次のイネーブル・チャンネルを選択し、そのチャンネルを変換します。ここでユーザーは ADC が次のチャンネルの変換を実行している間、データ・レジスタを読み出すことができます。

すべてのイネーブル・チャンネルから有効変換結果を読み出すのに必要な時間は次のように表せます。

$$t_{\text{SETTLE}} \times \text{イネーブル・チャンネルの数}$$

例えば sinc⁴ フィルタを選択し、チョップがディスエーブルで zero latency がディスエーブルの場合、1 チャンネルの変換の変換結果が得られるまでに要する時間は $1/f_{\text{ADC}}$ です。ここで f_{ADC} は出力データ・レートです。

セトリング時間は次のように表せます。

$$t_{\text{SETTLE}} = 4/f_{\text{ADC}}$$

N チャンネルをサンプリングするのに必要な時間は次のように表せます。

$$4/(f_{\text{ADC}} \times N)$$

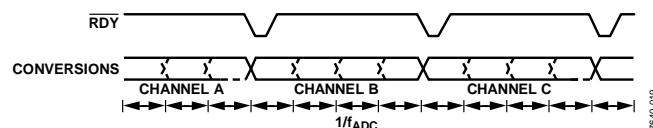


図 27. チャンネル・シーケンサ

デジタル・インターフェース

“内蔵レジスタ”の項で説明したように、AD7190 のプログラム機能は一連の内蔵レジスタを用いて制御します。データはデバイスのシリアル・インターフェースを介してレジスタに書き込まれ、レジスタからの読み出しもこのインターフェースを経由して行われます。デバイスとのすべての通信は、必ずコミュニケーション・レジスタへの書き込みから開始します。パワーオンまたはリセット後、デバイスはコミュニケーション・レジスタへの書き込みを待ちます。このレジスタに書き込まれたデータから、次の動作が読み出し動作か、書き込み動作か、又どのレジスタに対してこの書き込み/読み出し動作を行うかが決まります。したがって、他のすべてのレジスタへの書き込みアクセスは、コミュニケーション・レジスタへの書き込み動作で開始され、その後を選択したレジスタに対する書き込みが続きます。他のすべてレジスタからの読み出し動作（連続読み出しモードを選択する場合を除きます）についても、コミュニケーション・レジスタへの書き込み動作で開始され、その後を選択したレジスタからの読み出し動作に続きます。

AD7190 のシリアル・インターフェースには、 $\overline{\text{CS}}$ 、DIN、SCLK、DOUT/RDY の 4 本の信号があります。DIN 線は内蔵レジスタへデータを転送する時に使用し、DOUT/RDY は内蔵レジスタからデータを読み出す時に使用します。SCLK はデバイスのシリアル・クロック入力であり、すべてのデータ転送（DIN または DOUT/RDY 上）は SCLK 信号を基準にして実行されます。

DOUT/RDY ピンはデータ・レディ信号としても機能し、新しいデータ・ワードが出力レジスタから供給可能になるとローレベルになります。データ・レジスタからの読み出し動作が完了すると、DOUT/RDY ピンはハイレベルにリセットされます。このピンはデータ・レジスタの更新前にもハイレベルになり、デバイスからの読み出しができないことを表示して、レジスタの更新中にデータ読み出しが行われないようにしています。 $\overline{\text{CS}}$ はデバイスの選択に使用します。複数の部品がシリアル・バスに接続されるシステムでは、 $\overline{\text{CS}}$ を使用して AD7190 をデコードできます。

図3と図4に、AD7190 の $\overline{\text{CS}}$ を使用してデコードする、インターフェース接続タイミング図を示します。図3には AD7190 の出力シフト・レジスタからの読み出し動作のタイミングを示します。又図4には入力シフト・レジスタへの書き込み動作のタイミング図を示します。最初の読み出しの後、DOUT/RDY 線がハイレベルに戻っても、データ・レジスタから同じワードを複数回読み出すことができます。ただし、次の出力更新が実行される前に、読み出し動作を完了させる必要があります。連続読み出しモードの場合は、データ・レジスタからの読み出しは1回のみです。

$\overline{\text{CS}}$ をローレベルに固定して、シリアル・インターフェースを 3 線式モードで動作させることもできます。この場合、SCLK、DIN、DOUT/RDY の各線を使用して AD7190 との通信を行います。RDY ビット又はピンを使用して変換の終了をモニターすることができます。この方法は、マイクロコントローラとのインターフェースに適しています。

デコーディング信号として $\overline{\text{CS}}$ が必要な場合は、ポート・ピンから信号を生成できます。マイクロコントローラとのインターフェースでは、データ転送が終了し、次のデータ転送を開始する

までの間は、SCLKをハイレベルのアイドル状態にしておくことを推奨します。

AD7190は、 \overline{CS} をフレーム同期信号として使用することも可能です。この方法は、DSPとのインターフェースに便利です。DSPでは、通常 \overline{CS} はSCLKの立下がりエッジの後で発生するため、DSPとのインターフェース時には、先頭ビット (MSB) は実質的に \overline{CS} を使ってクロック駆動されます。タイミング数に従う限り、データ転送の終了から次の転送開始までの間、SCLKは連続的に動作することができます。

シリアル・インターフェースをリセットするときは、DIN入力に1を続けて書き込みます。少なくとも40サイクルのシリアル・クロックの間、ロジック“1”をAD7190のDIN線に書き込むと、シリアル・インターフェースがリセットされます。これにより、ソフトウェア・エラーやシステム内で発生するグリッチが原因でインターフェースが機能しなくなっても、インターフェースを確実に既知の状態にリセットできます。リセットによりインターフェースはコミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。又この動作によりすべてのレジスタのデータ内容が各々のパワーオン時の値にリセットされます。リセット後は、シリアル・インターフェースにアドレスを指定する前に、500 μ sの期間持たなければなりません。

AD7190は、連続変換またはシングル変換に設定することができます。図29～図31を参照してください。

シングル変換モード

シングル変換モードでは、変換後、AD7190はパワーダウン・モードになります。モード・レジスタのMD2、MD1、MD0をそれぞれ0、0、1に設定する事によりシングル変換が開始すると、AD7190がパワーアップし、シングル変換を実行し、パワーダ

ウン・モードに戻ります。内蔵の発振器はパワーアップするのに約1 ms必要とします。

変換の完了を示すために $\overline{DOUT/RDY}$ がローレベルになります。データ・レジスタからデータ・ワードを読み出すと $\overline{DOUT/RDY}$ がハイレベルになります。もし \overline{CS} がローレベルの場合、次の変換が開始し完了するまで $\overline{DOUT/RDY}$ はハイレベルを維持します。

例え $\overline{DOUT/RDY}$ がハイレベルになっても、データ・レジスタの内容は必要に応じて数回読み出すことができます。

複数のチャンネルがイネーブルの場合、ADCはイネーブルになっている複数のチャンネルを順に走査し、各チャンネルの変換を行います。変換が開始すると $\overline{DOUT/RDY}$ がハイレベルになり、有効な変換結果が出力可能になるまでハイレベルを維持します。変換結果が出力可能となると、すぐに $\overline{DOUT/RDY}$ がローレベルになります。その後ADCは次のチャンネルを選び変換を開始します。次の変換が実行されている間、現在の変換結果を読み出せます。次の変換が完了するとすぐにデータ・レジスタが更新されます；それゆえ変換結果を読み出す時間は制限されます。ADCは各選択されたチャンネルのシングル変換を完了すると、パワーダウン・モードに戻ります。

モード・レジスタのDAT_STAビットを“1”に設定すると、ステータス・レジスタの内容はデータ読み出しが実行されるごとに変換結果とともに出力されます。ステータス・レジスタの3つのLSBは変換結果がどのチャンネルに対応しているかを示します。

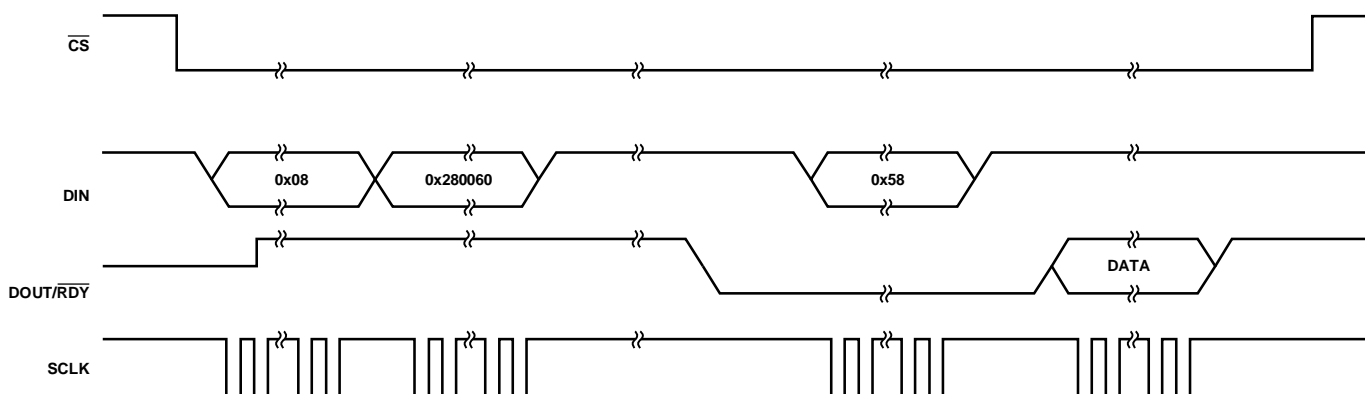


図 28. シングル変換

120-0940-02

連続変換モード

連続変換はパワーアップ時のデフォルト・モードです。AD7190は連続的に変換を行い、変換が完了するごとに、ステータス・レジスタのRDYピンがローレベルになります。CSがローレベルの場合には、変換が完了した時にDOUT/RDY線もローレベルになります。変換結果を読み出す時は、コミュニケーション・レジスタに書き込みを行う事により、次の動作がデータ・レジスタからの読み出しであることを指定します。データ・レジスタからデータ・ワードが読み出されると、OUT/RDYはハイレベルになります。このレジスタは必要に応じて何回も読み出すことが可能ですが、次の変換の完了時にデータ・レジスタへのアクセスを行わないように注意する必要があります。もしこの時点でアクセスすると、新しい変換ワードが失われてしまいます。

複数のチャンネルがイネーブルの時には、ADCはイネーブルのチャンネルを通して連続してループし、1ループあたり各チャンネルごとに1回の変換を実行します。各変換結果が出力されるとすぐにデータ・レジスタは更新されます。各々の変換結果が出力される度にDOUT/RDYピンがパルス駆動でローレベルになります。従ってADCが次のイネーブル・チャンネルの変換を行っている間、変換結果を読み出す事ができます。

モード・レジスタのDAT_STAビットを“1”に設定すると、ステータス・レジスタの内容はデータ読み出しが行われるごとに変換結果とともに出力されます。ステータス・レジスタは変換結果がどのチャンネルに対応しているか示します。

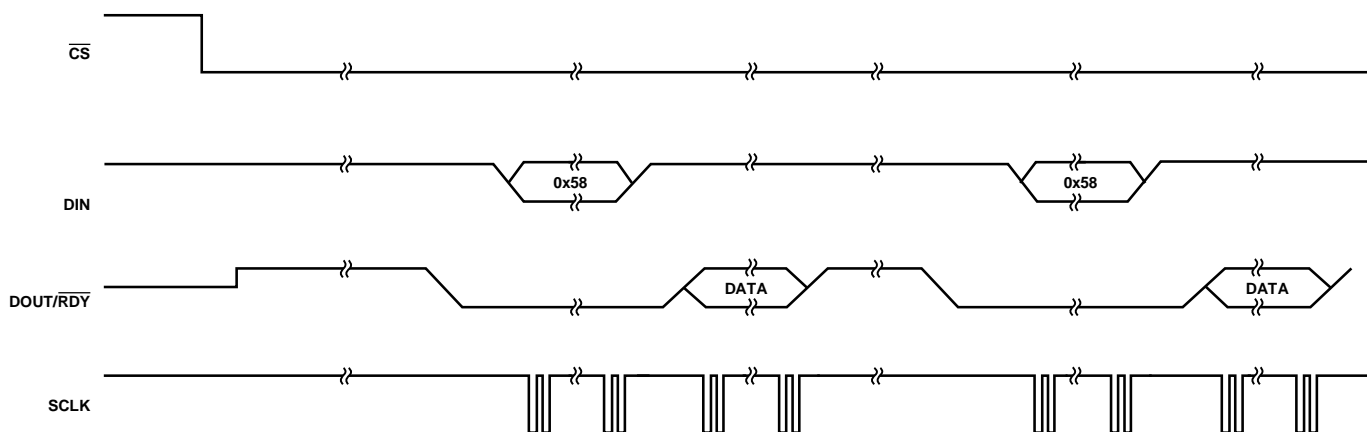


図 29. 連続変換

連続読み出し

データにアクセスするために、変換が完了するごとにコミュニケーション・レジスタに書き込みを行う代わりに、変換結果が自動的にDOUT/RDY線に出力するように、AD7190を設定することができます。コミュニケーション・レジスタに01011100を書き込むと、適切なSCLKサイクル数をADCに入力するだけで、変換が完了した時、変換ワードが自動的にDOUT/RDY線に出力されます。ADCは連続変換モードに設定する必要があります。変換が完了してDOUT/RDYがローレベルになったとき、十分なSCLKサイクル数をADCに入力しなければなりません；そこでデータ変換の結果がDOUT/RDY線に出力されます。変換結果を読み出すと、次の変換結果が出力されるまでDOUT/RDYはハイレベルに戻ります。このモードでは、データは1回しか読み出すことができません。また、次の変換が完了する前にデータ・ワードの読み出しが完了する事を確認する必要があります。次の変換の完了前に変換結果を読み出さなかった場合、またはワードを読み出すための、AD7190に入力するシリアル・クロック数が不十分だった場合には、次の変換の完了時にシリアル出力レジスタがリセットされ、新しい変換結果が出力シリアル・レジスタに格納されます。

連続読み出しモードを終了するためには、RDYピンがローレベルの間に、コミュニケーション・レジスタに命令01011000を書き込む必要があります。連続読み出しモードの間は、連続読み出しモードを終了させる命令を受信できるように、ADCはDINラインの動作をモニターします。そこで、40個の連続する"1"がDINに現れると、リセットが起こります。したがって、連続読み出しモードでは、デバイスに命令が書き込まれるまで、DINをローレベルにしておく必要があります。

複数のチャンネルがイネーブルの時、ADCはイネーブルになっているチャンネルを連続して順に走査し、各チャンネルが選択されるごとに、一回の変換を行います。変換結果が出力されると、DOUT/RDYはパルス駆動でローレベルになります。十分なSCLKパルスが印加されれば、データは自動的にDOUT/RDYピンに出力します。

モード・レジスタのDAT_STAビットを"1"に設定すると、ステータス・レジスタの内容はデータ読み出しが行われるごとに変換結果とともに出力されます。ステータス・レジスタは変換結果がどのチャンネルに対応しているかを示します。

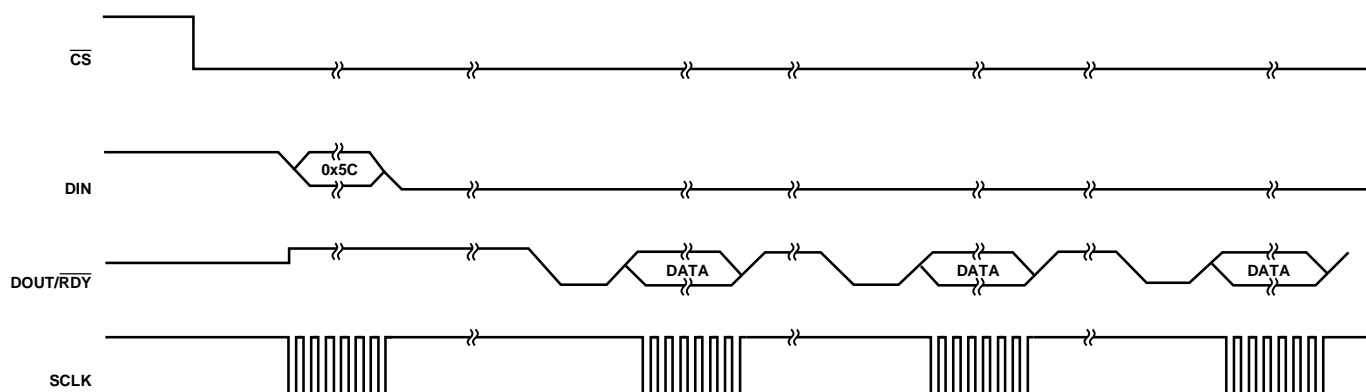


図 30. 連続読み出し

回路説明

アナログ入力チャンネル

AD7190には2チャンネル差動アナログ入力と、4チャンネル擬似差動アナログ入力があります。又その入力を受けるバッファを使用するか未使用にするかを設定できます。バッファ・モードに(コンフィギュレーション・レジスタのBUFビットを"1"に設定)設定すれば、入力チャンネルはバッファ・アンプの高出力インピーダンス入力段に接続されます。従って入力はかなり大きなソース・インピーダンスでも許容でき、ストレインゲージや測温抵抗体(RTDs)のような外付けの抵抗型センサーに直接接続することができます。

BUF=0の場合、デバイスは無バッファ・モードで動作します。この場合、アナログ入力電流が増えます。バッファ無しの場合駆動ソース源から見て、入力回路には負荷変動があることに注意する必要があります。このため、ADC入力を駆動する信号源の出力インピーダンスによっては、入力端子の抵抗/コンデンサの組み合わせがゲイン誤差を生じさせることがあります。表22に、ゲイン"1"で、無バッファ・モードの時、20ビット・レベルでゲイン誤差を生じない範囲で使用可能な外付け抵抗値/容量値の組み合わせを示します。

表 22. 20 ビット・ゲイン誤差を発生しない外付け RC の組み合わせ

C (pF)	R (Ω)
50	1.4 k
100	850
500	300
1000	230
5000	30

バッファ・モードでの絶対入力電圧範囲は、GND+250mV～VDD-250mVの範囲に制限されています。同相電圧を設定する時は、この範囲を超えないように注意する必要があります。もし超えると、直線性とノイズ性能が低下します。

無バッファ・モードでの絶対入力電圧は、AGND-50mV～AVDD+50mVの範囲です。この負側の絶対入力電圧限界値により、AGNDを基準とする小さな真のバイポーラ信号をモニターする事が可能となります。

PGA

増幅段がイネーブルの時、バッファからの出力はプログラマブル・ゲイン・アレイ(PGA)に入力されます。PGAを内蔵している事により、優れたノイズ特性を維持しながら、小振幅信号をAD7190内部で増幅できます。例えば出力データ・レートが4.7 Hzで、ゲインを128に設定した時、rmsノイズは8.5 nV typです。これは実効分解能23ビット又はノイズ・フリー分解能20.5ビットに相当します。

AD7190はコンフィギュレーション・レジスタのG2ビットとG0ビットを使用してゲインを1, 8, 16, 32, 64, 128に設定できます。従って外部リファレンス2.5Vとすると、ユニポーラ範囲は0 mV～19.53 mVから0 V～2.5 Vとなり、バイポーラ範囲は±19.53 mVから±2.5 Vとなります。

PGAには多少のヘッドルームが必要なので、アナログ入力範囲は $(AV_{DD} - 1.25 \text{ V})/\text{ゲイン}$ 以下に制限されます。従ってAD7190に印加できる最大アナログ入力 $AV_{DD} = 5 \text{ V}$ とすると、ユニポーラ・モードで0～3.75 V/ゲイン、バイポーラ・モードの場合±3.75 V/ゲインです。

バイポーラ/ユニポーラ構成

AD7190は、ユニポーラ入力電圧範囲又はバイポーラ入力電圧範囲を選択できます。バイポーラ入力範囲は、シスムAGNDを基準に負電圧を入力できるということではありません。擬似差動入力モードでは、信号はAINCOMを基準とします。一方差動入力モードでは信号は差動ペアの負入力を基準とします。たとえば、AINCOM=2.5Vとして、AD7190のアナログ入力AIN1をゲイン2のユニポーラ・モードに設定した場合、リファレンス電圧を2.5Vとすると、AIN1ピンの入力電圧範囲は2.5V～3.75Vになります。AINCOM=2.5Vとして、AD7190のアナログ入力AIN1をゲイン2のバイポーラ・モードに設定した場合、AIN1のアナログ入力範囲は1.25V～3.75Vになります。

バイポーラかユニポーラかの選択は、コンフィギュレーション・レジスタのU/Bビットで設定できます。

データ出力のコーディング

ADCをユニポーラ動作に設定した場合、出力コードはナチュラル(ストレート)バイナリになり、ゼロ差動入力電圧がコード00...00、ミッドスケール電圧がコード100...000、フルスケール入力電圧がコード111...111に対応します。任意のアナログ入力電圧に対する出力コードは、次のように表されます。

$$\text{コード} = (2^N \times \text{AIN} \times \text{ゲイン})/V_{\text{REF}}$$

ADCをバイポーラ動作に設定すると、出力コードはオフセット・バイナリになり、負側フルスケール電圧がコード000...000、ゼロ差動入力電圧がコード100...000、正側フルスケール入力電圧がコード111...111になります。任意のアナログ入力電圧に対する出力コードは、次のように表されます。

$$\text{コード} = 2^{N-1} \times [(\text{AIN} \times \text{ゲイン}/V_{\text{REF}}) + 1]$$

ここで:

AINはアナログ入力電圧。

ゲインはPGAで設定されます(1 to 128)。

N = 24。

クロック

AD7190には4.92 MHzクロックが内蔵されています。この内部クロックの許容誤差は±4%です。AD7190のクロック源として、この内部クロック、又は外部クリスタル/クロック源のどちらかを使用できます。クロック源はモード・レジスタのCLK1とCLK0ビットで選択できます。

外部クリスタル使用の場合、クリスタルはMCLK1ピンとMCLK2ピン間に接続されなければなりません。クリスタル製造メーカーはクリスタルに必要な負荷コンデンサを推奨しています。AD7190のMCLK1ピンとMCLK2ピン間の標準容量は15 pFです。もし外部クロック源が使用される場合は、クロック源はMCLK2ピンに接続し、MCLK1ピンはフローティングの状態にします。

内部クロックもMCLK2ピンから出力可能です。アプリケーションで複数のADCが使用され、各デバイスの同期をとる必要がある場合、この内部クロックの出力が役に立ちます。ひとつのデバイスからの内部クロックをシステムのすべてのADCのクロック源として使用できます。共通クロックを使用して、すべての

デバイスに共通リセットを印加したり、又は **SYNC** ピンにパルス印加する事により各デバイスの同期をとることができます。

バーンアウト電流

AD7190 は2つの 500 nA 定電流発生器を内蔵しています。1つは AV_{DD} から $A_{IN}(+)$ への流出電流で、もう一つは $A_{IN}(-)$ から $AGND$ への流入電流です。ここで差動モードでは $A_{IN}(+)$ は正側アナログ入力端子、 $A_{IN}(-)$ は負側アナログ入力端子です。疑似差動モードでは A_{INCOM} が基準アナログ入力端子になります。これらの電流は選択されたアナログ入力ペアに切り替わります。両方の電流はコンフィギュレーション・レジスタのバーンアウト電流イネーブル(burn)ビットの設定により、オンかオフになります。該当チャンネルの計測を行う前にこれらの電流は、外付けトランスデューサが動作しているかどうかを確認するのに使うことができます。バーンアウト電流がターンオン後、それらバーンアウト電流は外付けトランスデューサ回路を流れ、アナログ入力チャンネルの入力電圧の測定が行われます。電流はすべての外付けコンデンサを充電する必要があるため、バーンアウト電流が回路の断線条件を検出するのに多少時間がかかります。

なぜ欠陥条件を検出可能かについていくつかの理由があります。フロント・エンドのセンサー回路は断線しているかもしれませんが、それは又フロント・エンドのセンサーが過負荷になっている場合、あるいは正常なリファレンスが供給されていないために、ステータス・レジスタの **NOREF** ビットがセットされ、データがすべて "1" に固定されている可能性もあります。ユーザーは原因を判断する前にこれら3つのケースを確認する必要があります。もし測定された電圧が 0 V であれば、トランスデューサ回路が短絡している事も考えられます。電流源はアナログ入力にバッファが接続され、チョップがディスエーブルの時、通常の絶対入力電圧範囲仕様で動作します。

リファレンス

この ADC のリファレンスチャンネルは完全な差動入力が可能です。さらに2つの外部リファレンス・オプション($REFIN1(x)$) 又は $REFIN2(x)$) が有り、そのうち1つを選べます。AD7190 のリファレンス源はコンフィギュレーション・レジスタの **REFSEL** ビットを使用して選択します。 $REFIN2(x)$ ピンは2つの機能があります：2つの汎用出力ピンとして、又はリファレンス・ピンとして機能します。**REFSEL** ビットを 1 に設定すると、これらのピンは自動的にリファレンス・ピンとして機能します。

これらの差動入力の同相電圧範囲は $AGND \sim AV_{DD}$ です。リファレンス入力にはバッファがないため、RCソース・インピーダンスが大きいとゲイン誤差が発生します。リファレンス電圧 $REFIN$ ($REFINx(+)$ – $REFINx(-)$) は公称 AV_{DD} ですが、AD7190 は $1V \sim AV_{DD}$ の間のリファレンス電圧で動作します。アナログ入力に接続されるトランスデューサを駆動する励起（電圧または電流）が、デバイスのリファレンス電圧も駆動するようなアプリケーションでは、励起電源の低周波ノイズの影響は除去されます。なぜならこれはレシオメトリック動作であるためです。AD7190 をレシオメトリック・アプリケーションで使用しない場合は、ローノイズ・リファレンスを使う必要があります。

AD7190 向けに推奨する 2.5 V リファレンス電圧源としては低ノイズリファレンスの **ADR421** と **ADR431** があります。リファレンス入力は高インピーダンスで、負荷変動があることに注意しなければなりません。各リファレンス入力の入力インピーダンスは変動するので、これらの入力における抵抗/コンデンサの組み合わせが、リファレンス入力を駆動する駆動源の出力インピーダンスによっては **DC** ゲインエラーを引き起こす可能性があります。

前記でお勧めしたリファレンス電圧源（たとえば **ADR431**）は、

一般的に出力インピーダンスが小さいので、システムにゲイン誤差を生じることなく、**REFINx(+)** 入力にデカップリング用コンデンサを接続することができます。外付け抵抗間に発生する電圧をリファレンス入力電圧とする場合、リファレンス入力からは大きな外部ソース・インピーダンスになります。このタイプの回路構成では、各 **REFINx** ピンでの外付けデカップリングの使用は推奨できません。

リファレンス検出

AD7190 には変換又はキャリブレーションのために有効なリファレンスが供給されているかを判断する検出回路を内蔵しています。この機能はコンフィギュレーション・レジスタの **REFDET** ビットが "1" に設定されるとイネーブルになります。もし選択された **REFINx(+)** ピンと **REFINx(-)** ピン間の電圧が 0.3 V と 0.6 V の間の時は AD7190 には有効なリファレンスが供給されていないと判断します。この場合ステータス・レジスタの **NOREF** ビットは "1" にセットされます。もし AD7190 が通常の変換を実行していて、**NOREF** ビットがアクティブになれば、変換結果はすべて "1" になります。それゆえ変換を実行している間は、**NOREF** ビットの状態を連続してモニターする必要はありません。唯一必要なことは **ADC** データ・レジスタから読み出される変換結果がすべて "1" になっているかどうかを確認する事です。もし AD7190 がオフセット・キャリブレーション又はフルスケール・キャリブレーションを実行していて、**NOREF** ビットがアクティブになれば、これらのキャリブレーション・レジスタに関連した係数をロードしないように、各々のキャリブレーション・レジスタの更新は禁止され、ステータス・レジスタの **ERR** ビットがセットされます。もしキャリブレーションが実行されるごとに有効なリファレンスが正常に戻っているかどうかを確認したい場合には、キャリブレーションサイクルの最後に **ERR** ビットの状態をチェックする事です。

リセット

AD7190 の回路とシリアル・インターフェースはデバイスに連続した 1 を書き込む事によりリセットされます；リセットを実行するには 40 の連続した 1 が必要です。リセットの実行によりロジック、デジタル・フィルタ、アナログ変調器がリセットし、又すべての内蔵レジスタがデフォルト値に戻ります。リセットは電源立ち上がり時に自動的に行われます。リセットが開始したら、500 μ s の間、内蔵レジスタにアクセスする事はできません。リセットはシリアル・インターフェースが **SCLK** ライン上のノイズにより同期を失った時に有効です。

システム同期

SYNC入力を使用するより、デバイスのいかなる設定条件に影響を及ぼす事なく、変調器とデジタル・フィルタをリセットする事ができます。SYNC入力を使用して、既知の時間的な点（すなわちSYNCの立ち上がりエッジ）からのアナログ入力のサンプル収集を開始することができます。同期機能を実行するには、SYNCが4マスター・クロックの間ローレベルを保つ必要があります。

もし複数のAD7190デバイスが共通マスター・クロックで動作している場合には、各データ・レジスタを同時に更新させるために、それらを同期させることができます。SYNCピンの立下りエッジによりデジタル・フィルタとアナログ変調器がリセットされ、AD7190が一定の既知の状態になります。SYNCピンがローレベルの間AD7190はこの状態を維持します。SYNCの立ち上がりエッジで変調器とフィルタはこのリセット状態から抜け出し、次のクロック・エッジでデバイスは再び入力サンプルの収集を開始します。複数のAD7190デバイスを使用するシステムでは、それらのSYNCピンに共通の信号を加える事により、それらの動作が同期します。これは通常各AD7190がそれ自身のキャリブレーションを実行するか、又はそのキャリブレーション・レジスタにキャリブレーション係数をロードした後に実行されます。従って各AD7190からの変換結果は同期します。

SYNCのローレベルからハイレベルへの変化に続くマスター・クロックの立下りエッジでリセットから抜け出します。それゆえ複数のデバイスが同期している時、すべてのデバイスがマスター・クロックの立ち上がりエッジでサンプリングを開始する事を確実にするために、マスター・クロックの立ち上がりエッジでSYNCピンをハイレベルにする必要があります。もしSYNCピンが十分な時間ハイレベルをとれないと、デバイスとデバイス間に1マスター・クロック・サイクル分の差を生じる可能性があります；つまり各変換結果が出力される瞬間はデバイスごとに最大1マスター・クロック・サイクル分違う可能性があります。

SYNCピンは又変換開始命令としても使用できます。このモードではSYNCの立ち上がりエッジで変換を開始し、RDYの立下りエッジにより変換の終了時間が示されます。この方法の欠点は各データ・レジスタの更新のためにフィルタのセトリング時間が必要である事です。これはデータ・レジスタが更新されるレートが低下する事を意味します。例えばADCがsinc⁴フィルタを使い、zero latencyをディスエーブルとし又チョップをディスエーブルにした場合、データ・レジスタの更新に4倍の時間がかかります。

温度センサー

AD7190には温度センサーが内蔵されています。温度センサーはコンフィギュレーション・レジスタのCH2ビットを使って選択されます。CH2を“1”に設定すると、温度センサーがイネーブルになります。温度センサーを選択し、バイポーラが選択されると、温度が0Kの時、デバイスはコード0x800000に戻るはずですが、センサーから適切な性能を得るのには1点キャリブレーションが必要です。それゆえ25°Cでの変換結果は記録して、感度は計算しておかなければなりません。感度は約2815 codes/°Cです。

温度センサーの公式は次のように表せます。

$$\text{温度 (K)} = (\text{変換結果} - 0x800000) / 2815 \text{ K}$$

$$\text{温度 (°C)} = \text{温度 (K)} - 273$$

1点キャリブレーションした後の内部温度センサーの精度は±2 °C typです。

ブリッジ・パワーダウン・スイッチ

ストレーンゲージ、ロードセルのようなブリッジアプリケーションでは、システムの中でブリッジ自信が最も大きな電流を消費します。例えば350 Ω 負荷セルは5 V電源で励起した時15 mAの電流を必要とします。システムの消費電流を最小限にするには、ブリッジを使用しない時に、ブリッジ・パワーダウン・スイッチを使用してブリッジを切断することです。図17にブリッジ・パワーダウン・スイッチの使い方を示します。スイッチの許容連続電流は30 mAです。又スイッチのオン抵抗は最大10 Ωです。

ロジック出力

AD7190には4つの汎用デジタル出力P0, P1, P2, P3があります。これら汎用デジタル出力はGPOCONレジスタのGP32ENビットとGP10ENビットによりイネーブルになります。これらの出力ピンはGPOCONレジスタのPODATビット～P3DATビットを使用してハイレベル又はローレベルにすることができます；すなわちこれら出力ピンの値はPODATビット～P3DATビットを設定する事により決定されます。これら出力ピンのロジックレベルはDV_{DD}よりもむしろAV_{DD}によって決定します。GPOCONレジスタが読み出す時、PODATビット～P3DATビットはこれらの出力ピンの実際の値を反映します。この事は短絡回路の検出に便利です。

これらのピンは外付けマルチプレクサのような外付け回路を駆動するのに使用できます。もしチャンネル数を増やすために外付けマルチプレクサを使用する時には、マルチプレクサのロジックピンをAD7190の汎用出力ピン経由でコントロールする事ができます。汎用出力ピンはアクティブなマルチプレクサ・ピンを選択するのに使用できます。マルチプレクサの動作はAD7190とは独立しているため、マルチプレクサのチャンネルが切り替わるごとにAD7190の変調器、フィルタはSYNCピンを使ってリセットする必要があります。

イネーブル・パリティ

AD7190 は又パリティチェック機能を内蔵しており、ADC とマイクロプロセッサ間のシリアル通信の中の 1 ビットエラーを検出します。モード・レジスタの ENPAR ビットを“1”にセットすると、パリティはイネーブルになります。パリティ機能がイネーブルの時、ステータス・レジスタの内容は各 24 ビット変換結果とともに送信されなければなりません。ステータス・レジスタの内容を読み出される各変換結果に付加するにはモード・レジスタの DAT_STA ビットを“1”にセットします。読み出す各変換結果に対して、24 ビット・データ・ワードで送信されるすべての“1”の数が偶数になるように、ステータス・レジスタの中のパリティ・ビットが設定されます。それ故例えばもし 24 ビット変換結果に“1”が 11 個（2 進数フォーマット）含まれていた場合、シリアル送信信号の中の“1”の合計の数が偶数になるようにパリティ・ビットを“1”に設定します。マイクロプロセッサが“1”を奇数個受信したら、受信信号は壊れているということがわかります。パリティ機能は 1 ビットエラーのみ検出します。例えば 2 ビットのデータが壊れている場合、マイクロプロセッサは“1”を偶数個受信する可能性があります。従ってこの場合はエラーの状態を検出できません。

キャリブレーション

AD7190 には、モード・レジスタのモード・ビットで設定することができる 4 種類のキャリブレーション・モードがあります。それらのモードは内部ゼロスケール・キャリブレーション、内部フルスケール・キャリブレーション、システム・ゼロスケール・キャリブレーション、システム・フルスケール・キャリブレーションです。キャリブレーションはモード・レジスタの MD2 ~ MD0 ビットを設定する事によりいつでも実行可能です。ゲインを変更した時には必ずキャリブレーションを行う必要があります。各変換が終了するたびに、データ・レジスタへ書き込まれる前に、ADC の変換結果が ADC キャリブレーション・レジスタを使ってスケリングされます。変換結果からオフセット・キャリブレーション係数を減算した後に、フルスケール係数で乗算します。

キャリブレーションを開始するには、キャリブレーション MD2 ~ MD0 ビットに適切な値を書き込みます。キャリブレーションが開始すると、DOUT/RDY ピンとステータス・レジスタの RDY ビットがハイレベルになります。キャリブレーションが完了すると、対応するキャリブレーション・レジスタのデータ値が更新され、ステータス・レジスタの RDY ビットがリセットされます。そして、DOUT/RDY ピンがローレベルに戻り（CS がローレベルの場合）、AD7190 はアイドル・モードに戻ります。

内部ゼロスケールまたは内部フルスケール・キャリブレーションの実行中は、それぞれゼロ入力とフルスケール入力が自動的に内部で ADC の入力ピンに接続されます。ただし、システム・キャリブレーションの場合は、キャリブレーション・モードを開始する前に、システム・ゼロスケール電圧とシステム・フルスケール電圧を ADC の入力ピンに印加する必要があります。この方法により ADC の外部誤差が除去されます。

キャリブレーションは、動作の観点から、もう 1 つの ADC 変換ととらえる必要があります。ゼロスケール・キャリブレーション（必要な場合）は、必ずフルスケール・キャリブレーションよりも先に実行する必要があります。ポーリング・シーケンスまたは割込み駆動ルーチンによってキャリブレーションの終了を確認する時は、ステータス・レジスタの RDY ビット又は DOUT/RDY ピンをモニターできるようにシステム・ソフトウェアを設定してください。

チョップ・ディスエーブルでは内部ゼロスケール・キャリブレーションもシステム・ゼロスケール・キャリブレーションもセトリング時間 t_{SETTLE} 、(sinc^4 フィルタは $4/f_{ADC}$ 、 sinc^3 フィルタは

$3/f_{ADC}$) に等しい時間を必要とします。

チョップ・イネーブルの時は内部ゼロスケール・キャリブレーションを行う必要ありません。なぜなら ADC 自信がオフセットを連続して最小限に抑えるからです。しかしもし内部ゼロスケール・キャリブレーションを行う場合には、キャリブレーションの実行にセトリング時間 t_{SETTLE} ($2/f_{ADC}$) を必要とします。同様にシステムゼロスケール・キャリブレーションを完了するのに t_{SETTLE} の時間必要とします。

内部フルスケール・キャリブレーションを実行する時には、このキャリブレーションのために選択したアナログ入力に、フルスケール入力電圧が、自動的に接続されます。ゲイン=1 の時、内部フルスケール・キャリブレーションに必要な時間は t_{SETTLE} に等しくなります。より高いゲインでは、内部フルスケール・キャリブレーションに必要な時間は $2 \times t_{SETTLE}$ です。フルスケール誤差を最小限にするためには、チャンネルのゲインを変えるごとに、フルスケール・キャリブレーションを行うことをお勧めします。

システム・フルスケール・キャリブレーションには t_{SETTLE} の時間必要とします。チョップ・ディスエーブルの時、ゼロスケール・キャリブレーション（内部ゼロスケール又はシステム・ゼロスケール）はシステムフルスケールキャリブレーションが開始する前に実行されなければなりません。

内部ゼロスケール・キャリブレーション、システム・ゼロスケール・キャリブレーション、システム・フルスケール・キャリブレーションは任意の出力データ・レートで実行可能です。内部フルスケール・キャリブレーションは、フィルタワード FS[9:0] が 16 で割り切れる任意の出力データ・レートで実行可能です。ここで FS[9:0] はモード・レジスタの FS9 ビットから FS0 ビットに書き込まれた 10 ビットワードの 10 進数同等値です。それ故、内部フルスケール・キャリブレーションはチョップ・ディスエーブルの時、10 Hz 又は 50 Hz のような出力データ・レートで実行する事ができます。これらの低い出力データ・レートを使用することにより、優れたキャリブレーション精度が得られます。

オフセット誤差は標準 100 μV /ゲイン です。もしゲインを変更する時には、キャリブレーションを行う事をお勧めします。ゼロスケール・キャリブレーション（内部ゼロスケール・キャリブレーション、システム・ゼロスケール・キャリブレーション）はオフセット誤差をノイズのオーダまで低減します。

AD7190 のゲイン誤差は工場出荷時に周囲温度で、5 V 電源、ゲイン=1 にてキャリブレーションされています。このキャリブレーション後の 5 V でのゲイン誤差は 0.001% typ になります。表 23 にいくつかのゲイン設定に対するキャリブレーション無しの標準的なゲイン誤差を示します。内部フルスケール・キャリブレーションによりゲイン誤差はゲイン=1 で 0.001%typ に縮小します。より高いゲインでは内部フルスケール・キャリブレーション後のゲイン誤差は 0.0075%typ です。システム・フルスケール・キャリブレーションにより、ゲイン誤差はノイズのオーダに縮小します。

表 23. キャリブレーション前の標準ゲイン誤差対ゲイン

ゲイン	キャリブレーション前のゲイン誤差 (%)
8	-0.11
16	-0.20
32	-0.23
64	-0.29
128	-0.39

AD7190 は、内蔵キャリブレーション・レジスタにアクセスできます。すなわちマイクロプロセッサによって、デバイスのキャリブレーション係数を読み出したり、EEPROM に事前に保

存された値からそれ自身のキャリブレーション係数を書き込むことができます。レジスタの読み出しは任意の時間に行えます。しかしレジスタに書き込む時にはADCをパワーダウン・モード又はアイドル・モードに設定する必要があります。キャリブレーション・レジスタの値は24ビット幅です。デバイスのスパンとオフセットもレジスタを使って操作することができます。

グラウンディングとレイアウト

AD7190のアナログ入力とリファレンス入力は差動であるため、ほとんどのアナログ変調器内の電圧は同相電圧です。AD7190の同相電圧除去比は高いので、これらの入力での同相ノイズは除去されます。AD7190へのアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部の間の結合を最小限にするためにピンを別々にしています。デジタル・フィルタは、電源上の広帯域ノイズを除去しますが、変調器のサンプリング周波数の整数倍の周波数は除去できません。変調器サンプリング周波数を除去するためには、各アナログ入力ピンにR-Cフィルタを接続してください。この場合各アナログ入力に直列に100Ω抵抗を接続し、各アナログ入力端子間にコンデンサ0.1μFと、各アナログ入力からAGNDへコンデンサ0.01μFを接続することをお勧めします。ノイズ源がアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力からとリファレンス入力からのノイズも除去します。その結果、従来の高分解能コンバータに比べて、AD7190のノイズ干渉に対する耐性は向上しています。しかしながら、AD7190の分解能が非常に高く、ADCから生じるノイズ・レベルが低いため、グラウンディングとレイアウトには注意が必要です。

ADCを実装するPCボード(PCB)は、アナログ部とデジタル部を分離して、ボード内の特定の場所にまとめて配置するように設計する必要があります。そうする事によりグラウンド・プレーンが簡単に分離でき、グラウンドプレーンの使用が増えます。一般的に、エッチング部分を最小化する方法は、最適なシールド効果が得られるので、グラウンド・プレーンに最適です。

AD7190のアナログ・グラウンドとデジタル・グラウンドのピンは分かれています。AGNDピンとDGNDピンは内部的にはサブストレート経由で接続されています。それ故グラウンド・プレーンがAD7190の近くで接続されてない限り、各グラウンド・プレーンを分離するためには、これら2つのピンを接続してはいけません。

システムのどこかでAGNDとDGNDが接続されている(すなわ

ちシステムの電源) システムでは、再度AD7190の近くでそれらを接続するべきではありません。なぜならグラウンドループを形成する結果になるからです。このような場合には、AD7190のグラウンドピンをAGNDプレーンに接続することを推奨します。

すべてのレイアウトでシステム内の電流の流れに注意し、電流を目的ポイントまで流すパスと、すべての電流を流すパスをできるだけ近づけて配置するようにします。デジタル電流がAGNDを通るようなレイアウトは避けてください。

デバイスの下にデジタル線を配置しないでください。なぜならデジタル線をデバイスの下に配線するとチップにノイズが結合するのでそれを避けるためにAD7190の下にアナログ・グラウンド・プレーンを配置せねばなりません。インピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させるため、AD7190の電源ラインはできるだけ太いパターンにする必要があります。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドし、ボードの他の部分へノイズが放射しないようにします。又クロック信号をアナログ入力の近くに配線しないでください。デジタル信号とアナログ信号の交差は避けてください。ボードの両側のパターンは互いに直角になるように配線します。これにより、ボードを通してのフィードスルーの影響を減らすことができます。マイクロストリップ技術は最も優れていますが、必ずしも両面ボードに使用できるとは限りません。この技術では、ボードの部品実装面はグラウンド・プレーン専用にし、信号はハンダ面に配線します。

高分解能ADCを使用するときは、デカップリングが重要になります。すべてのアナログ電源は、10μFのタンタル・コンデンサと0.1μFのコンデンサを並列接続してAGNDにデカップリングする必要があります。デカップリング部品の効果を最大にするには、これらの部品をデバイスのできるだけ(理想的にはデバイスの真上)近くに配置するようにします。すべてのロジック・チップは、0.1μFセラミック・コンデンサでDGNDにデカップリングする必要があります。AD7190のAV_{DD}とDV_{DD}両方を駆動するのに共通の電源電圧を使用するシステムでは、システムAV_{DD}電源の使用をお勧めします。この電源には、AD7190のAV_{DD}ピンとAGNDの間に推奨アナログ電源デカップリング・コンデンサを、又AD7190のDV_{DD}ピンとDGNDの間に推奨デジタル電源デカップリング・コンデンサを接続してください。

アプリケーション情報

AD7190 は低価格、高分解能の AD 変換機能を提供します。AD 変換機能は Σ - Δ 方式をとっているため、ノイズ環境に強く、センサー測定、工業用、プロセスコントロール・アプリケーションでの使用に最適です。

重量計

図 31 に AD7190 を使用した重量計のアプリケーションを示します。ロードセルはブリッジ回路に組み込まれていて OUT+ 端子と OUT- 端子の間の差動出力電圧を出力します。励起電圧を 5 V と仮定し、感度を 2 mV/V とすると、トランスデューサからのフルスケール出力範囲は 10 mV です。リファレンス入力範囲に電源電圧も含まれるので、ブリッジの励起電圧を直接 ADC のリファレンス電圧として使用する事が出来ます。

トランスデューサを基本にしたアプリケーションに AD7190 を使用する 2 番目の利点は、システムの消費電力を最小限にするのに、ブリッジ・パワーダウン・スイッチをフル活用できる事です。ブリッジ・パワーダウン・スイッチをブリッジの負側に直列に接続します。通常の動作ではスイッチが閉じて

おり、測定可能となっています。消費電力を最小限にしなければならないアプリケーションでは AD7190 をスタンバイモードにする事により、消費電力を大幅に削減できます。さらにスタンバイモードの時に、ブリッジ・パワーダウン・スイッチを開く事により、フロント・エンドのトランスデューサの不必要な消費電力を避ける事が出来ます；このデバイスがスタンバイモードから抜けだし、パワーダウン・スイッチが閉じた時、AD7190 から読み出しを行う前に、フロント・エンド回路が十分に安定したかを確認する必要があります。

図 31 には簡略化のために外部フィルタを含んではいません。しかし各アナログ入力に R-C アンチエイリアシング・フィルタを接続する必要があります。内蔵デジタル・フィルタは変調器のサンプリング周波数近く、あるいはこの整数倍の周波数の近くの除去は全く行わないので、このフィルタは必ず必要です。適切な値は次の通りです。各アナログ入力に接続する直列抵抗は 100 Ω で、各アナログ入力から AGND 間に接続するコンデンサは 0.01 μF です。

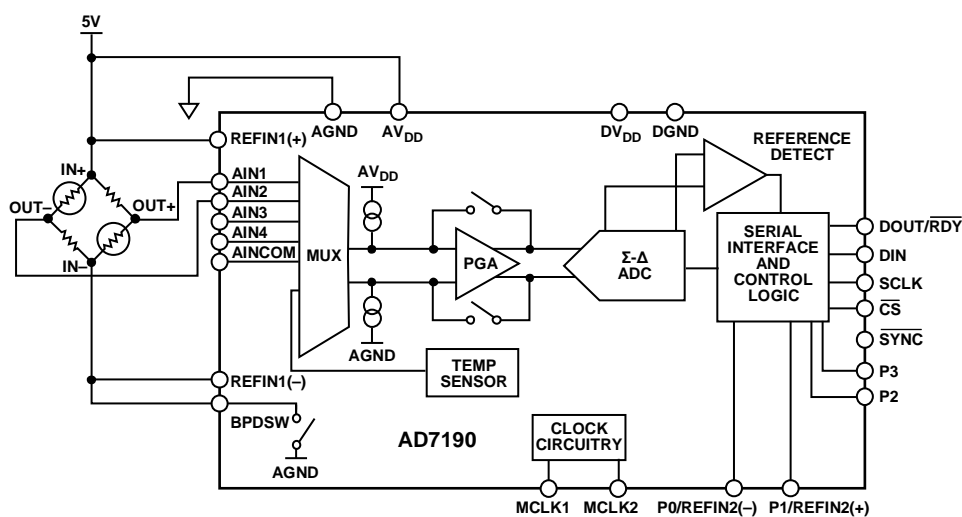
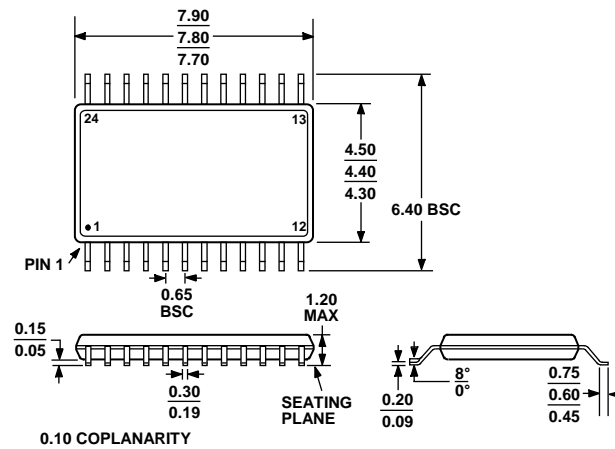


図 31. 標準的なアプリケーション (重量計)

07640-024

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AD

図 32. 24 ピン Thin Shrink Small Outline Package [TSSOP]
(RU-24)

寸法 : mm

オーダー・ガイド

Models	Temperature Range	Package Description	Package Option
AD7190BRUZ ¹	-40°C to +105°C	24-Lead TSSOP	RU-24
AD7190BRUZ-REEL ¹	-40°C to +105°C	24-Lead TSSOP	RU-24
EVAL-AD7190EBZ ¹		Evaluation Board	

¹ Z = RoHS Compliant Part.

NOTES