

特長

- 高速で柔軟な出力レート: 5 SPS~250 kSPS
- 高速なセトリング・タイム: 20 μ s
- チャンネル・スキャン・データレート: 50 kSPS/チャンネル
- 性能仕様
 - ノイズ・フリー・ビット数: 250 kSPS で 17 ビット
 - ノイズ・フリー・ビット数: 2.5 kSPS で 20 ビット
 - ノイズ・フリー・ビット数: 5 SPS で 22 ビット
 - INL: FSR の ± 2.5 ppm
- 50 Hz と 60 Hz の除去比: 50 ms セトリングで 85 dB
- 入力チャンネルがユーザー設定可能
 - 2チャンネルフル差動または4チャンネル疑似差動
 - クロスポイント・マルチプレクサ
- 2.5 V のリファレンスを内蔵(ドリフト 2 ppm/ $^{\circ}$ C)
- 内蔵発振器、外付け水晶、または外部クロック
- 電源
 - 単電源: AVDD1: 5 V、AVDD2 および IOVDD: 2 V~5 V
 - 両電源(オプション): AVDD1 および AVSS: ± 2.5 V
- 電流: 7.8 mA
- 温度範囲: -40° C~ $+105^{\circ}$ C
- 3線式または4線式のシリアル・デジタル・インターフェース
(シュミット・トリガ付き SCLK)
- CRC エラー・チェック
- SPI、QSPI、MICROWIRE、DSP に互換

アプリケーション

- プロセス制御: PLC/DCS モジュール
- 温度計測および圧力計測
- 医用および科学技術用マルチチャンネル計測
- クロマトグラフィ

概要

AD7176-2 は、高速セトリング、高精度、高分解能のマルチプレクス型 Σ - Δ A/D コンバータ(ADC)であり、狭帯域入力信号を対象とします。入力は、内蔵クロスポイント・マルチプレクサを使って、2チャンネルのフル差動または4チャンネルの疑似差動入力に構成することができます。2.5 V 低ドリフト(2 ppm/ $^{\circ}$ C)の高精度バンド・ギャップ・リファレンス電圧(出力バッファ付き)を内蔵しているため、機能が追加され、外付け部品数が削減されます。

最大チャンネル・スキャン・データレートは 50 kSPS (セトリング・タイム 20 μ s)であり、17 ビットのノイズ・フリー・ビット数でデータが安定します。出力データレートは、5 SPS~250 kSPS の範囲でユーザー設定可能です。分解能は、速度が低いほど高くなります。

AD7176-2 では、次の3種類のデジタル・フィルタを提供しています。高速セトリング・フィルタは、チャンネル・スキャン・レートを最大化します。Sinc3 フィルタは、1チャンネルの低速アプリケーションに対する分解能を最大化します。50 Hz および 60 Hz の環境では、AD7176-2 固有のフィルタがセトリング・タイムを最小化するか、またはライン周波数除去比を最大化します。これらのエンハンスト・フィルタにより、27 SPS の出力データレート(セトリング・タイム 36 ms)で、50 Hz および 60 Hz の同時除去が可能になります。

システム・オフセットとゲイン誤差は、チャンネルごとに補正することができます。このチャンネルごとの設定機能では、各チャンネルで使用するフィルタ・タイプと出力データレートも設定することができます。クロスポイント・マルチプレクサの全スイッチングは、ADC から制御され、さらに GPIO ピンを使って外部マルチプレクサを自動的に制御するように設定することができます。

規定動作温度範囲は、 -40° C~ $+105^{\circ}$ C です。AD7176-2 は 24 ピン TSSOP パッケージを採用しています。

機能ブロック図

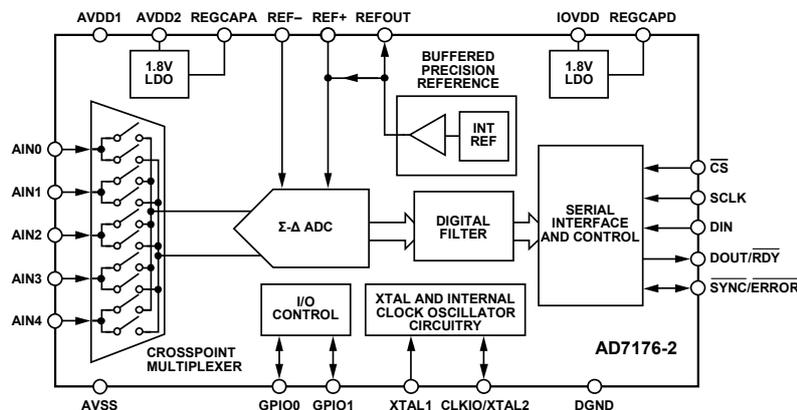


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

目次

特長	1	シリアル・インターフェースのリセット(DOUT_RESET).....	41
アプリケーション	1	同期(SYNC/ERROR).....	41
概要	1	エラー・フラグ	42
機能ブロック図	1	DATA_STAT	42
改訂履歴	3	IOSTRENGTH.....	42
仕様	4	グラウンド接続とレイアウト	43
タイミング特性	7	レジスタの一覧	44
タイミング図	7	レジスタの詳細	46
絶対最大定格	8	コミュニケーション・レジスタ	46
熱抵抗	8	ステータス・レジスタ	47
ESD の注意	8	ADC モード・レジスタ	48
ピン配置およびピン機能説明	9	インターフェース・モード・レジスタ	49
代表的な性能特性	11	レジスタ・チェック	50
ノイズ性能と分解能	15	データ・レジスタ	50
ゲッティング・スターテッド	16	GPIO コンフィギュレーション・レジスタ	51
電源	17	ID レジスタ	52
デジタル通信	17	チャンネル・マップ・レジスタ 0	53
設定の概要	19	チャンネル・マップ・レジスタ 1	54
回路説明	23	チャンネル・マップ・レジスタ 2	55
アナログ入力	23	チャンネル・マップ・レジスタ 3	56
ドライバ・アンプ	23	セットアップ・コンフィギュレーション・レジスタ 0	57
AD7176-2 リファレンス	26	セットアップ・コンフィギュレーション・レジスタ 1	57
AD7176-2 クロック・ソース	27	セットアップ・コンフィギュレーション・レジスタ 2	58
デジタル・フィルタ	28	セットアップ・コンフィギュレーション・レジスタ 3	58
Sinc5 + Sinc1 フィルタ	28	フィルタ・コンフィギュレーション・レジスタ 0	59
Sinc3 フィルタ	29	フィルタ・コンフィギュレーション・レジスタ 1	60
シングル・サイクル・セトリング	29	フィルタ・コンフィギュレーション・レジスタ 2	61
50 Hz および 60 Hz 除去のエンハンスト・フィルタ	31	フィルタ・コンフィギュレーション・レジスタ 3	62
動作モード	34	オフセット・レジスタ 0	63
連続変換モード	34	オフセット・レジスタ 1	63
連続読出しモード	35	オフセット・レジスタ 2	63
シングル変換モード	36	オフセット・レジスタ 3	63
スタンバイ・モードとパワーダウン・モード	37	ゲイン・レジスタ 0	64
キャリブレーション・モード	37	ゲイン・レジスタ 1	64
デジタル・インターフェース	38	ゲイン・レジスタ 2	64
チェックサム保護機能	38	ゲイン・レジスタ 3	64
CRC の計算	39	外形寸法	65
汎用 I/O	41	オーダー・ガイド	65
16 ビット変換/24 ビット変換	41		

改訂履歴

11/12—Revision 0—Initial Version

仕様

特に指定がない限り、AVDD1 = 4.5 V ~ 5.5 V、AVDD2 = 2 V ~ 5.5 V、IOVDD = 2 V ~ 5.5 V、AVSS = DGND = 0 V、REF+ = 2.5 V、REF- = AVSS、内部マスター・クロック = 16 MHz、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPEED AND PERFORMANCE					
Output Data Rate (ODR)		5		250,000	SPS
No Missing Codes ¹		24			Bits
Resolution	See Table 6				
Noise	See Table 6				
Noise Free Resolution	250 kSPS, REF+ = 5 V		17		Bits
	2.5 kSPS, REF+ = 5 V		20		Bits
	5 SPS, REF+ = 5 V		22		Bits
ACCURACY					
Integral Nonlinearity (INL)	2.5 V reference		±2.5	±7	ppm of FSR
	5 V reference		±7		ppm of FSR
Offset Error ²			±40		μV
Offset Drift			±110		nV/°C
Offset Drift vs. Time ³			±450		nV/500 hours
Gain Error ²	25°C		±10	±50	ppm/FSR
Gain Drift vs. Temperature ¹			±0.5	±1	ppm/FSR/°C
Gain Drift vs. Time ³			±3		ppm/FSR/ 500 hours
REJECTION					
Power Supply Rejection	AVDD1, AVDD2 $V_{IN} = 1$ V		90		dB
Common-Mode Rejection					
At DC	$V_{IN} = 0.1$ V	95			dB
At 50 Hz and 60 Hz ¹	20 SPS ODR (post filter) (50 Hz ± 1 Hz and 60 Hz ± 1 Hz)	130			dB
Normal Mode Rejection ¹	50 Hz ± 1 Hz and 60 Hz ± 1 Hz				
	Internal clock, 20 SPS ODR (post filter)	71	90		dB
	External clock, 20 SPS ODR (post filter)	85	90		dB
ANALOG INPUTS					
Differential Input Voltage Range			± V_{REF}		V
Absolute AIN Voltage Limits ¹		AVSS - 0.050		AVDD1 + 0.05	V
Analog Input Current			±48		μA/V
Input Current			±0.75		nA/V/°C
Input Current Drift	External clock		±4		nA/V/°C
	Internal clock (±2.5 % clock)				
Crosstalk	1 kHz input		-120		dB
INTERNAL REFERENCE					
Output Voltage	100 nF external capacitor on REFOUT to AVSS		2.5		V
Initial Accuracy ¹	REFOUT with respect to AVSS	-0.16%		+0.16%	V
Temperature Coefficient	$T_A = 25^\circ\text{C}$				
	0°C to +105°C		±2	±5	ppm/°C
	-40°C to +105°C		±3	±10	ppm/°C
Reference Load Current, I_{LOAD}	I_L	-10		+10	mA
Power Supply Rejection (Line Regulation)	AVDD1 and AVDD2		93		dB
Load Regulation	$\Delta V_{OUT}/\Delta I_L$		32		ppm/mA
Voltage Noise	e_N , 0.1 Hz to 10 Hz		4.5		μV rms
Voltage Noise Density	e_N , 1 kHz		215		nV/√Hz
Turn-On Settling Time	100 nF capacitor		60		μs
Long-Term Stability ³	500 hours		460		ppm
Short Circuit	I_{SC}		25		mA
EXTERNAL REFERENCE					

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Reference Input Voltage	Reference input = (REF+) – (REF–)	1	2.5	AVDD1	V
Absolute Reference Input Voltage Limits ¹		AVSS – 0.05		AVDD1 + 0.05	V
Average Reference Input Current			±72		μA/V
Average Reference Input Current Drift	External clock		±1.2		nA/V/°C
	Internal clock		±6		nA/V/°C
Normal Mode Rejection ¹	See the Rejection parameter section of this table				
Common-Mode Rejection			83		dB
GENERAL-PURPOSE I/O (GPIO 0, GPIO 1)	With respect to AVSS				
Output High Voltage, V _{OH} ¹	I _{SOURCE} = 200 μA	AVSS + 4			V
Output Low Voltage, V _{OL} ¹	I _{SINK} = 800 μA			AVSS + 0.4	V
Input Mode Leakage Current ¹		–10		+10	μA
Floating-State Output Capacitance			5		pF
Input High Voltage, V _{IH} ¹		AVSS + 3			V
Input Low Voltage, V _{IL} ¹				AVSS + 0.7	V
CLOCK					
Internal Clock					
Frequency			16		MHz
Accuracy		–2.5		+2.5	%
Duty Cycle			50: 50		%
Output Low Voltage, V _{OL}				0.4	V
Output High Voltage, V _{OH}		0.8 × IOVDD			V
Crystal					
Frequency		14	16	16.384	MHz
Start-Up Time			50		μs
External Clock (CLKIO)			16	16.384	MHz
Duty Cycle ¹	Typical duty cycle 50: 50 (max: min)	30	50: 50	70	%
LOGIC INPUTS					
Input High Voltage, V _{IH} ¹	2 V ≤ IOVDD ≤ 2.3 V	0.65 × IOVDD			V
	2.3 V ≤ IOVDD ≤ 5.5 V	0.7 × IOVDD			V
Input Low Voltage, V _{IL} ¹	2 V ≤ IOVDD ≤ 2.3 V			0.35 × IOVDD	V
	2.3 V ≤ IOVDD ≤ 5.5 V			0.7	V
Hysteresis ¹	IOVDD > 2.7 V	0.08		0.25	V
	IOVDD < 2.7 V	0.04		0.2	V
Leakage Currents		–10		+10	μA
LOGIC OUTPUT (DOUT/RDY)					
Output High Voltage, V _{OH} ¹	IOVDD ≥ 4.5 V, I _{SOURCE} = 1 mA	0.8 × IOVDD			V
	2.7 V ≤ IOVDD < 4.5 V, I _{SOURCE} = 500 μA	0.8 × IOVDD			V
	IOVDD < 2.7 V, I _{SOURCE} = 200 μA	0.8 × IOVDD			V
Output Low Voltage, V _{OL} ¹	IOVDD ≥ 4.5 V, I _{SINK} = 2 mA			0.4	V
	2.7 V ≤ IOVDD < 4.5 V, I _{SINK} = 1 mA			0.4	V
	IOVDD < 2.7 V, I _{SINK} = 400 μA			0.4	V
Leakage Current	Floating state	–10		+10	μA
Output Capacitance	Floating state		10		pF
SYSTEM CALIBRATION ¹					
Full-Scale Calibration Limit				1.05 × FS	V
Zero-Scale Calibration Limit		–1.05 × FS			V
Input Span		0.8 × FS		2.1 × FS	V
POWER REQUIREMENTS					
Power Supply Voltage					
AVDD1 – AVSS		4.5		5.5	V
AVDD2 – AVSS		2		5.5	V
AVSS – DGND		–2.75		0	V
IOVDD – DGND		2		5.5	V
IOVDD – AVSS	For AVSS < DGND			6.35	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY CURRENTS	All outputs unloaded, digital inputs connected to IOVDD or DGND				
Full Operating Mode					
AVDD1 Current	External reference		1.5	1.75	mA
	Internal reference		1.75	2.1	mA
AVDD2 Current	External reference		4.3	4.9	mA
	Internal reference		4.5	5.1	mA
IOVDD Current	External clock		2	2.3	mA
	Internal clock		2.25	2.6	mA
	External crystal		2.5		mA
Standby Mode					
Standby (LDO On)	Internal reference off, total current consumption		22		μA
	Internal reference on, total current consumption		415		μA
Power-Down Mode	Full power-down, LDO, Internal reference		0.5	10	μA
POWER DISSIPATION					
Full Operating Mode					
	AVDD2 = 2 V, IOVDD = 2 V, external clock and reference		20.1	23.15	mW
	AVDD2 = 5 V, IOVDD = 5 V, external clock and reference		39	44.75	mW
	AVDD2 = 2 V, IOVDD = 2 V, internal clock and reference		22.25	25.9	mW
	AVDD2 = 5 V, IOVDD = 5 V, internal clock and reference		42.5	49	mW
Standby Mode					
	Internal reference off, all supplies = 5 V		110		μW
	Internal reference on, all supplies = 5 V		2.1		mW
Power-Down Mode	Full power-down		2.5	50	μW

¹ これらの値は、出荷テストを行いませんが、設計およびまたは量産開始時のキャラクタライゼーション・データにより保証します。

² システムまたは内部ゼロスケール・キャリブレーションの後、オフセット誤差は、設定した出力データレートに対するノイズのオーダーになります。システム・フルスケール・キャリブレーションにより、ゲイン誤差は、設定した出力データレートに対するノイズのオーダーになります。

³ 長時間安定性仕様は非累積的です。

タイミング特性

特に指定がない限り、IOVDD = 2 V ~ 5.5 V、DGND = 0 V、入力ロジック 0 = 0 V、入力ロジック 1 = IOVDD、C_{LOAD} = 20 pF。

表 2.

Parameter	Limit at T _{MIN} , T _{MAX} (B Version)	Unit	Test Conditions/Comments ^{1,2}
t ₃	25	ns min	SCLK high pulse width
t ₄	25	ns min	SCLK low pulse width
READ OPERATION			
t ₁	0	ns min	$\overline{\text{CS}}$ falling edge to DOUT/ $\overline{\text{RDY}}$ active time
	15	ns max	IOVDD = 4.5 V to 5.5 V
	40	ns max	IOVDD = 2 V to 3.6 V
t ₂ ³	0	ns min	SCLK active edge to data valid delay ⁴
	12	ns max	IOVDD = 4.5 V to 5.5 V
	25	ns max	IOVDD = 2 V to 3.6 V
t ₅ ⁵	2.5	ns min	Bus relinquish time after $\overline{\text{CS}}$ inactive edge
	20	ns max	
t ₆	0	ns min	SCLK inactive edge to $\overline{\text{CS}}$ inactive edge
t ₇	10	ns min	SCLK inactive edge to DOUT/ $\overline{\text{RDY}}$ high/low
WRITE OPERATION			
t ₈	0	ns min	$\overline{\text{CS}}$ falling edge to SCLK active edge setup time ⁴
t ₉	8	ns min	Data valid to SCLK edge setup time
t ₁₀	8	ns min	Data valid to SCLK edge hold time
t ₁₁	5	ns min	$\overline{\text{CS}}$ rising edge to SCLK edge hold time

¹ 初期リリース時はサンプル・テストにより適合性を保証。

² 図 2 と図 3 を参照。

³ 出力が V_{OL} または V_{OH} を横切るために要する時間。

⁴ SCLK のアクティブ・エッジとは、SCLK の立下がりエッジを意味します。

⁵ データ・レジスタを讀出した後、 $\overline{\text{RDY}}$ はハイ・レベルに戻ります。シングル変換モードおよび連続変換モードで、 $\overline{\text{RDY}}$ がハイ・レベルの間に、同一データを再度讀出すことができますが、2 回目の讀出しは次の出力更新に近いところで讀出さないように注意してください。連続讀出し機能をイネーブルすると、デジタル・ワードは 1 回しか讀出すことができません。

タイミング図

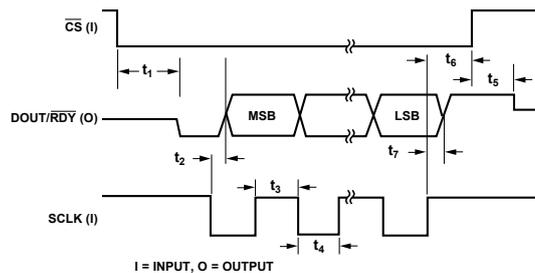


図 2. 讀出しサイクルのタイミング図

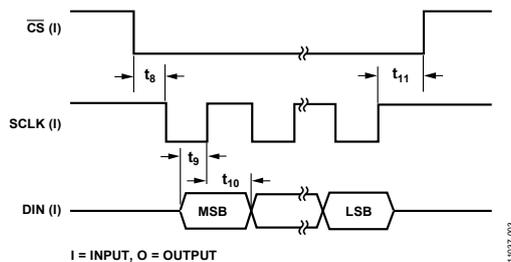


図 3. 書込みサイクルのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
AVDD1, AVDD2 to AVSS	-0.3 V to +6.5 V
AVDD1 to DGND	-0.3 V to +6.5 V
IOVDD to DGND	-0.3 V to +6.5 V
IOVDD to AVSS	-0.3 V to +7.5 V
AVSS to DGND	-3.25 V to +0.3 V
Analog Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Reference Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Digital Input Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to IOVDD + 0.3 V
AIN[4: 0] or Digital Input Current	10 mA
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Lead Soldering, Reflow Temperature	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、表面実装パッケージの場合、デバイスを JEDEC テスト・ボードにハンダ付けした状態で規定。表 4 に記載する値は、シミュレーション・データに基づいています。

表 4.熱抵抗

Package Type	θ_{JA}	Unit
24-Lead TSSOP		
JEDEC Board Layer 1	156	°C/W
JEDEC Board Layer 2	87	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

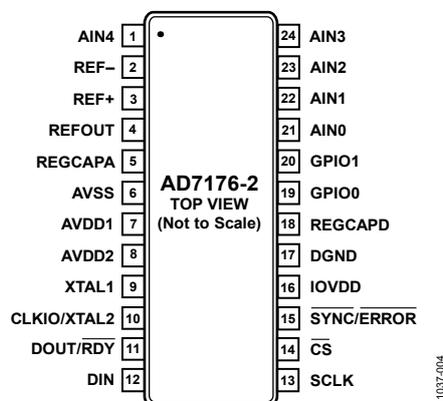


図 4. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	AIN4	アナログ入力 4。クロスポイント・マルチプレクサから選択可能。
2	REF-	リファレンス電圧入力負端子。REF-の範囲は AVSS~AVDD1 - 1 V。
3	REF+	リファレンス電圧入力正端子。外付けリファレンスは、REF+と REF-の間に入力することができます。REF+の範囲は AVDD1~AVSS + 1 V。このデバイスは 1 V~AVDD1 のリファレンス電圧で動作します。
4	REFOUT	内蔵リファレンス電圧のバッファ付き出力。出力は、AVSS を基準とする 2.5 V。
5	REGCAPA	アナログ LDO レギュレータ出力。このピンは、1 μF のコンデンサで AVSS へデカップリングしてください。
6	AVSS	負のアナログ電源。電源範囲は 0 V~-2.75 V で、公称 0 V に設定されます。
7	AVDD1	アナログ電源電圧 1。電圧は AVSS を基準とする 5 V ± 10%。
8	AVDD2	アナログ電源電圧 2。電圧範囲は AVSS を基準とする 2 V~AVDD1。
9	XTAL1	水晶入力 1。
10	CLKIO/XTAL2	水晶のクロック入力または出力(ADCMODE レジスタの CLOCKSEL ビットで指定) / 入力 2。次の 4 種類のオプションがあります。 内蔵発振器—出力なし。 内蔵発振器—CLKIO/XTAL2 へ出力。IOVDD ロジック・レベルで動作。 外部クロック—CLKIO/XTAL2 へ入力。入力は IOVDD ロジック・レベルである必要があります。 外付け水晶—XTAL1 と CLKIO/XTAL2 の間に接続。
11	DOUT/RDY	シリアル・データ出力 / データ・レディ出力。DOUT/RDY は共用ピンです。ADC の出力シフトレジスタをアクセスする際には、シリアル・データ出力ピンとして機能します。出力シフトレジスタには、内蔵のデータ・レジスタまたはコントロール・レジスタからのデータが格納されます。データワード / コントロール・ワード情報は、SCLK の立下がりエッジで DOUT/RDY ピンに出力され、SCLK の立上がりエッジで有効になります。CS がハイ・レベルのとき、DOUT/RDY 出力はスリー・ステートになります。CS がロー・レベルのとき、DOUT/RDY はデータ・レディ・ピンとして動作し、変換の完了をロー・レベルで表示します。変換後にデータが読出されない場合には、DOUT/RDY はハイ・レベルになり、次の更新が発生するまでハイ・レベルを維持します。DOUT/RDY の立下がりエッジは、プロセッサに対する割込みとして機能し、有効データが読出し可能であることを表示します。
12	DIN	ADC の入力シフトレジスタに対するシリアル・データ入力。このシフトレジスタ内のデータは、ADC 内のコントロール・レジスタに転送されます。該当するレジスタは、コミュニケーション・レジスタ内のレジスタ・アドレス・ビット(RA)により指定されます。データは SCLK の立上がりエッジで入力されます。
13	SCLK	シリアル・クロック入力。このシリアル・クロック入力は、ADC との間のデータ転送に使用します。SCLK にはシュミット・トリガ入力が入内蔵されているため、光アイソレーション・アプリケーションのインターフェースに適しています。
14	CS	チップ・セレクト入力。アクティブ・ローのロジック入力であり、ADC を選択するときに使います。CS は、シリアル・バスに複数のデバイスが接続されているシステム内で ADC を選択するときに使うことができます。ADC を 3 線式モードで使うときは CS をロー・レベルにハードウェア接続し、SCLK、DIN、DOUT をデバイスとのインターフェースに使うことができます。CS がハイ・レベルのとき、DOUT/RDY 出力はスリー・ステートになります。

ピン番号	記号	説明
15	SYNC/ERROR	<p>GPIOCON レジスタで、ロジック入力とロジック出力の間で切り替えることができます。複数の AD7176-2 デバイスを使う場合、同期入力をイネーブルする際に、このピンによりデジタル・フィルタとアナログ変調器を同期させることができます。同期入力をディスエーブルするときは、このピンを次の3つのモードで使うことができます。</p> <p>アクティブ・ローのエラー入力モード: このモードでは STATUS レジスタの ADC_ERROR ビットがセットされます。</p> <p>アクティブ・ローのオープン・ドレイン・エラー出力モード: STATUS レジスタのエラー・ビットが $\overline{\text{ERROR}}$ ピンに出力されます。複数デバイスの ERROR ピンが一緒に共通のプルアップ抵抗に接続できるため、任意のデバイスのエラーを表示することができます。</p> <p>汎用出力モード: このピンの状態は、GPIOCON レジスタの ERR_DAT ビットから制御されます。このピンは、GPIO ピンで使用する AVDD1 レベルおよび AVSS レベルとは異なり、IOVDD および DGND を基準とします。この場合、このピンはアクティブ・プルアップを持ちます。</p>
16	IOVDD	<p>デジタル I/O 電源電圧。IOVDD の電圧範囲は 2 V~5 V で、IOVDD は AVDD2 に依存しません。例えば、AVDD2=5 V のとき、IOVDD は 3 V で動作できます。また逆も可です。AVSS を -2.5 V に設定する場合、IOVDD の電圧は 3.6 V を超えることはできません。</p>
17	DGND	<p>デジタル・グラウンド。</p>
18	REGCAPD	<p>デジタル LDO レギュレータ出力。このピンは、デカップリング専用です。このピンは、1 μF のコンデンサで DGND へデカップリングしてください。</p>
19	GPIO0	<p>汎用入力/出力。このピンは、AVDD1 レベルと AVSS レベルを基準とします。</p>
20	GPIO1	<p>汎用入力/出力。このピンは、AVDD1 レベルと AVSS レベルを基準とします。</p>
21	AIN0	<p>アナログ入力 0。クロスポイント・マルチプレクサから選択可能。</p>
22	AIN1	<p>アナログ入力 1。クロスポイント・マルチプレクサから選択可能。</p>
23	AIN2	<p>アナログ入力 2。クロスポイント・マルチプレクサから選択可能。</p>
24	AIN3	<p>アナログ入力 3。クロスポイント・マルチプレクサから選択可能。</p>

代表的な性能特性

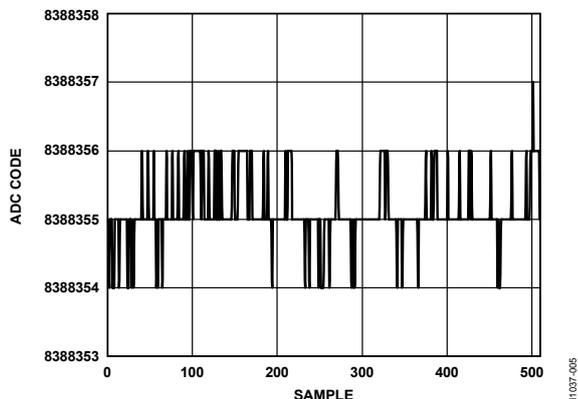


図 5. ノイズ
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 5 V
出力データレート = 5 SPS)

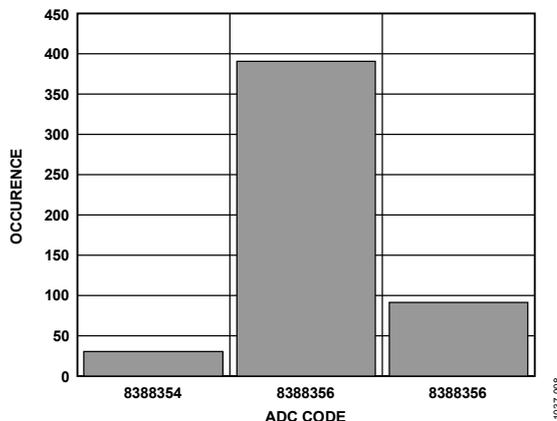


図 8. ノイズ分布のヒストグラム
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 5 V
出力データレート = 5 SPS)

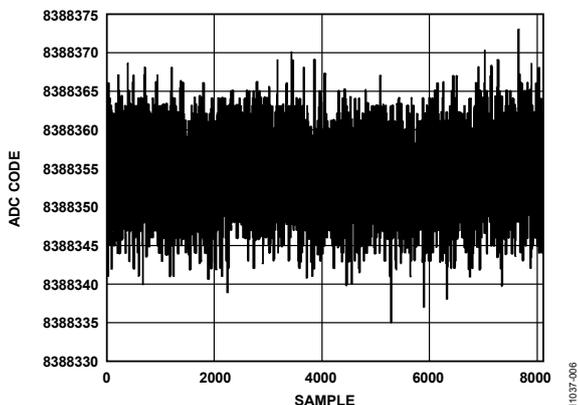


図 6. ノイズ
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 5 V
出力データレート = 10 kSPS)

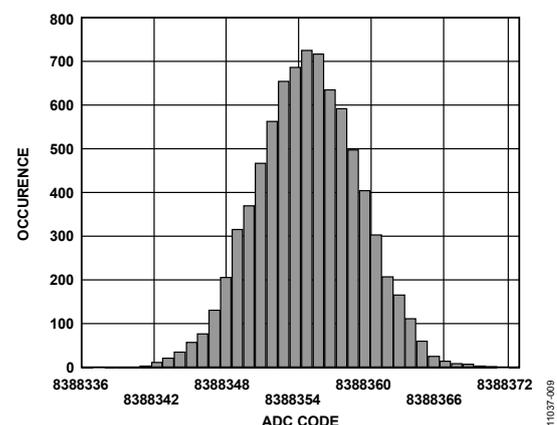


図 9. ノイズ分布のヒストグラム
(AVDD1 = 5 V、AVDD2 = 5 V、V_{REF} = 5 V、IOVDD = 3.3 V
出力データレート = 10 kSPS)

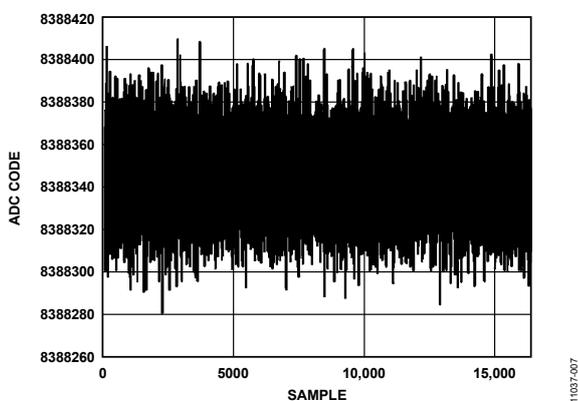


図 7. ノイズ
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 5 V
出力データレート = 250 kSPS)

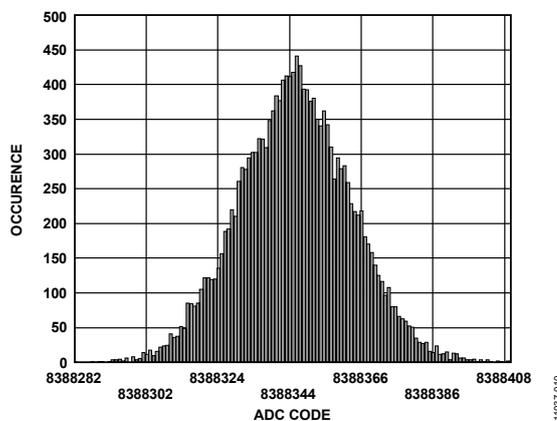


図 10. ノイズ分布のヒストグラム
(AVDD1 = 5 V、AVDD2 = 5 V、V_{REF} = 5 V、IOVDD = 3.3 V
出力データレート = 250 kSPS)

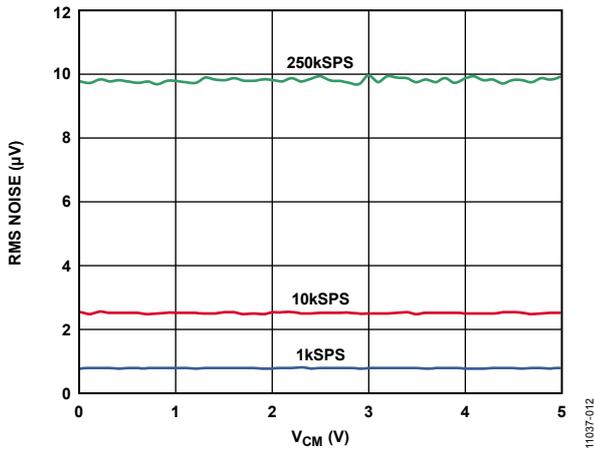


図 11. 同相モード入力電圧対ノイズ
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 2.5 V)

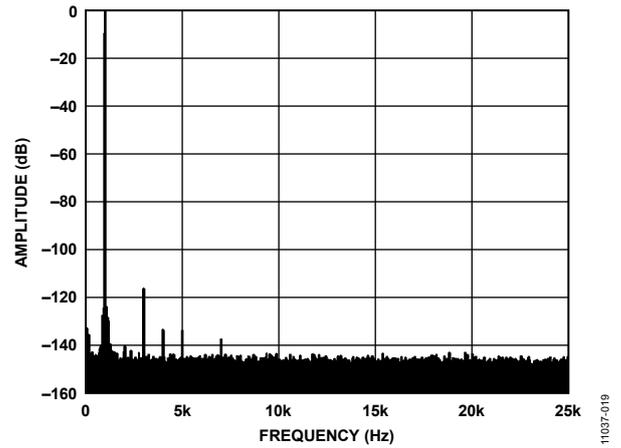


図 14. 14.1 kHz 入力トーン、-0.5 dBFS 入力 FFT
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 2.5 V
出力データレート = 50 kSPS)

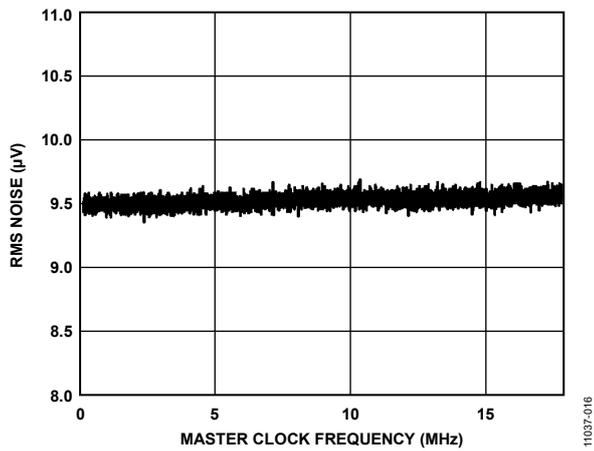


図 12. マスター・クロック対ノイズ
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 2.5 V)

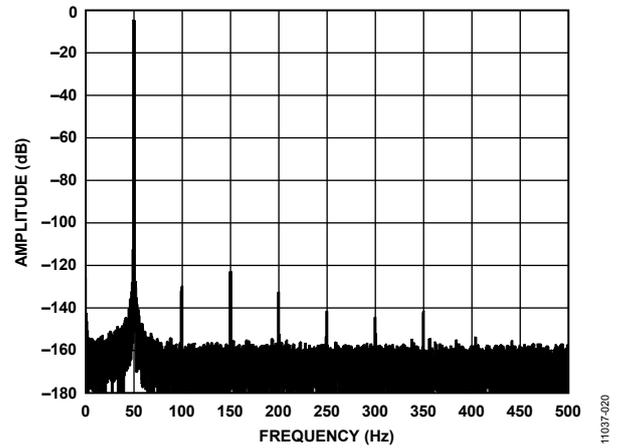


図 15. 15.50 Hz 入力トーン、-6 dBFS 入力 FFT
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 2.5 V
出力データレート = 1 kSPS)

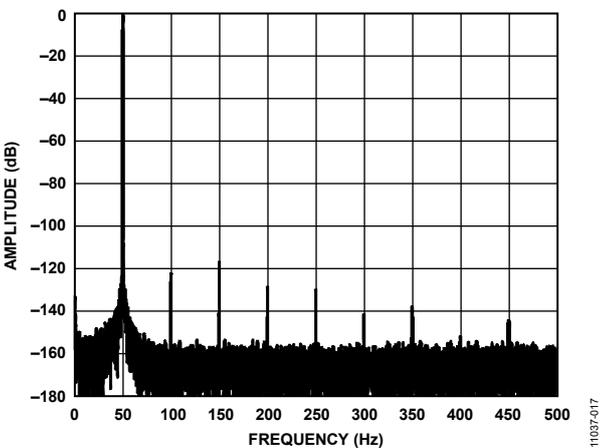


図 13. 13.50 Hz 入力トーン、-0.5 dBFS 入力 FFT
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 2.5 V
出力データレート = 1 kSPS)

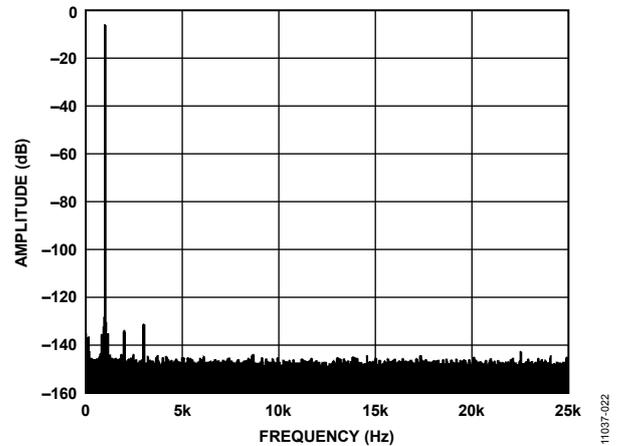


図 16. 16.1 kHz 入力トーン、-6 dBFS 入力 FFT
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、V_{REF} = 2.5 V
出力データレート = 50 kSPS)

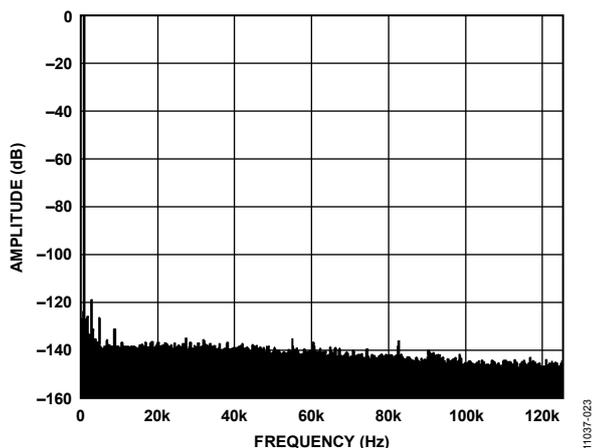


図 17. 17.1 kHz 入力トーン、-0.5 dBFS 入力 FFT
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、 V_{REF} = 2.5 V、出力データレート = 250 kSPS)

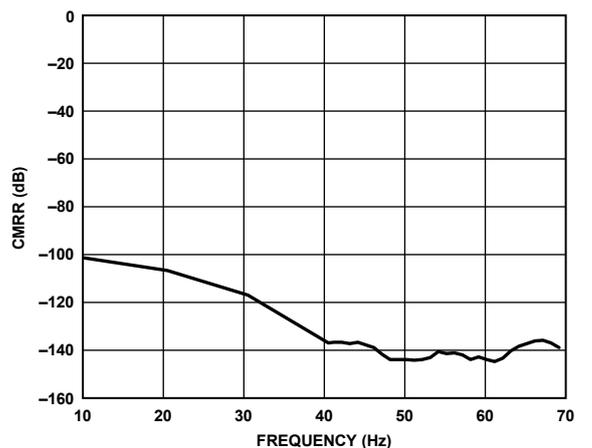


図 20. 同相モード除去比 (10 Hz~70 Hz)
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、20 SPS エンハンスド・フィルタ)

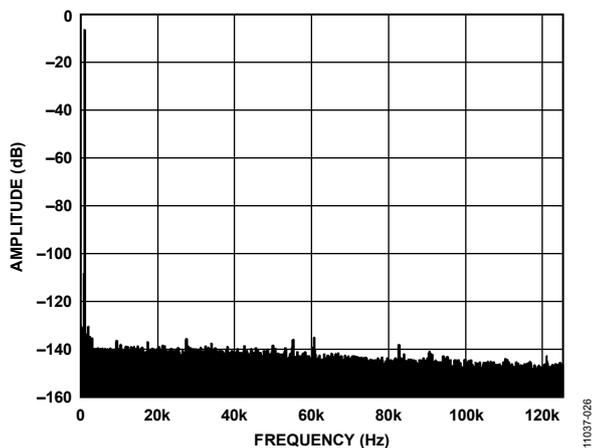


図 18. 18.1 kHz 入力トーン、-6 dBFS 入力 FFT
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、 V_{REF} = 2.5 V、出力データレート = 250 kSPS)

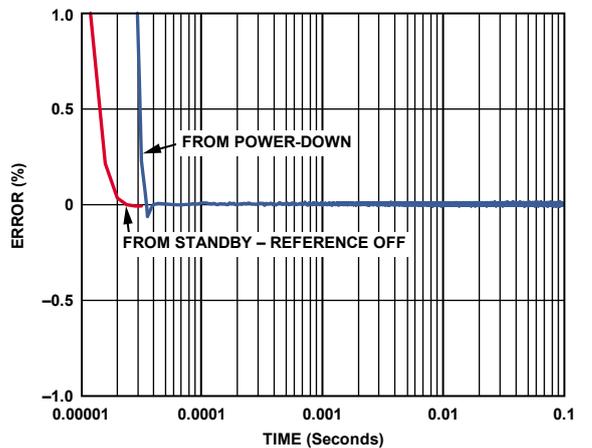


図 21. 内蔵リファレンス電圧のセリング・タイム
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V)

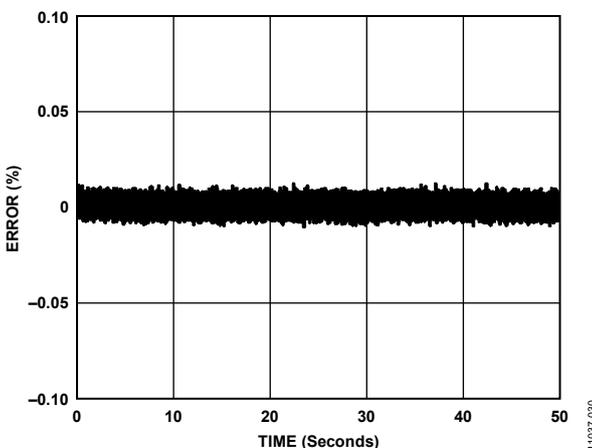


図 19. 内蔵リファレンス電圧のセリング・タイム (広範囲表示)
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V)

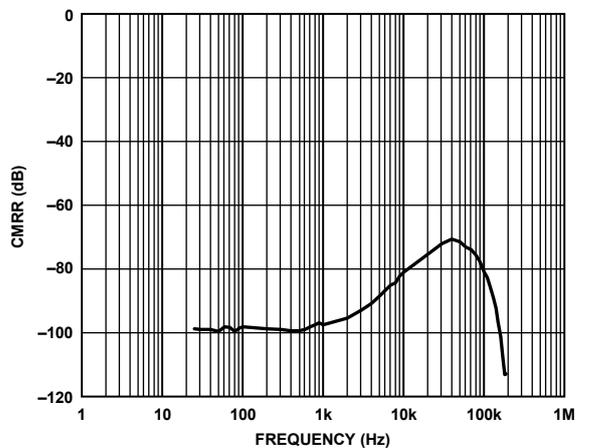


図 22. 同相モード除去比の周波数特性
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V、出力データレート = 250 kSPS)

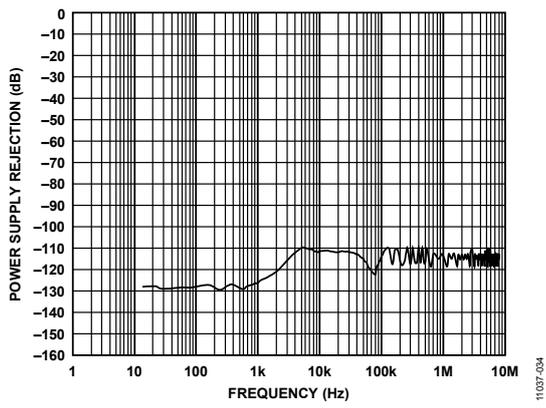


図 23. 電源除去比の周波数特性
(AVDD1 = 5 V、AVDD2 = 5 V、IOVDD = 3.3 V)

ノイズ性能と分解能

表 6 に、種々の出力データレートとフィルタに対する AD7176-2 の rms ノイズとノイズ・フリー(ピーク to ピーク)分解能を示します。これらの値は、外付け 5 V リファレンス電圧を使用するバイポーラ入力範囲に対するものです。これらの値は typ 値で、1 チャンネルに対して ADC を連続変換

させた場合に差動入力電圧 = 0 V で生成したものです。ピーク to ピーク分解能はピーク to ピーク・ノイズに基づいて計算していることに注意してください。ピーク to ピーク分解能は、コード・フリッカが発生しない分解能を表します。

表 6.RMS ノイズおよびピーク to ピーク分解能対出力データレート¹

Output Data Rate (SPS)	Sinc5 + Sinc1 Filter (Default)		Sinc3 Filter	
	Noise ($\mu\text{V rms}$)	Peak-to-Peak Resolution (Bits)	Noise ($\mu\text{V rms}$)	Peak-to-Peak Resolution (Bits)
250,000	9.7	17.2	220	12.8
62,500	5.4	18.2	5.1	18.3
10,000	2.5	19	1.8	19.8
1000	0.82	20.8	0.62	21
60	0.46	21.4	0.32	22
50	0.42	21.7	0.31	22
16.7	0.42	21.7	0.29	22.4
5	0.32	22.2	0.29	22.4

¹ 選択されたレートのみ、1000 サンプル。

ゲッティング・スターティド

AD7176-2 は、高速セトリング、高分解能のマルチプレクス型 ADC であり、次の高度な設定機能を提供します。

- 2 チャンネルのフル差動入力または 4 チャンネルのシングルエンド・アナログ入力。
- クロスポイント・マルチプレクサにより、変換対象入力信号として任意のアナログ入力の組み合わせを選択して、変調器の正入力または負入力へ接続します。
- フル差動入力、任意のアナログ入力に対するシングルエンド、疑似差動構成が可能です。
- チャンネルごとの設定機能—最大 4 種類のセットアップが設定可能。別々のセットアップが各チャンネルに設定可能。各セットアップはユーザー指定可能。
 - ゲインとオフセット補正
 - フィルタ・タイプ
 - 出力データレート
 - リファレンス電圧の選択(内蔵/外付け)

AD7176-2 は、2.5 V 低ドリフト(2 ppm/°C)の高精度バンド・ギャップ・リファレンス電圧を内蔵しています。ADC 変換に対してこのリファレンスを使用するように選択できるため、外付け部品数が少なくなります。あるいは、このリファレンスを REFOUT ピンへ出力して、外付け回路の低ノイズ・バイアス電圧として使用することができます。この例としては、REFOUT 信号を使って外付け駆動アンプの入力同相モードの設定があります。

AD7176-2 は、アナログ回路とデジタル回路用に 2 個のリニア・レギュレータ・ブロックを内蔵しています。アナログ LDO は、AVDD2 電源を 2 V ヘレギュレーションして ADC コアへ供給します。AVDD1 電源と AVDD2 電源を接続して接続を簡単にすることもできます。システム内に 2 V~5 V の範囲のクリーンなアナログ電源レールが既に存在する場合は、これを AVDD2 入力に接続して、消費電力を小さくすることができます。

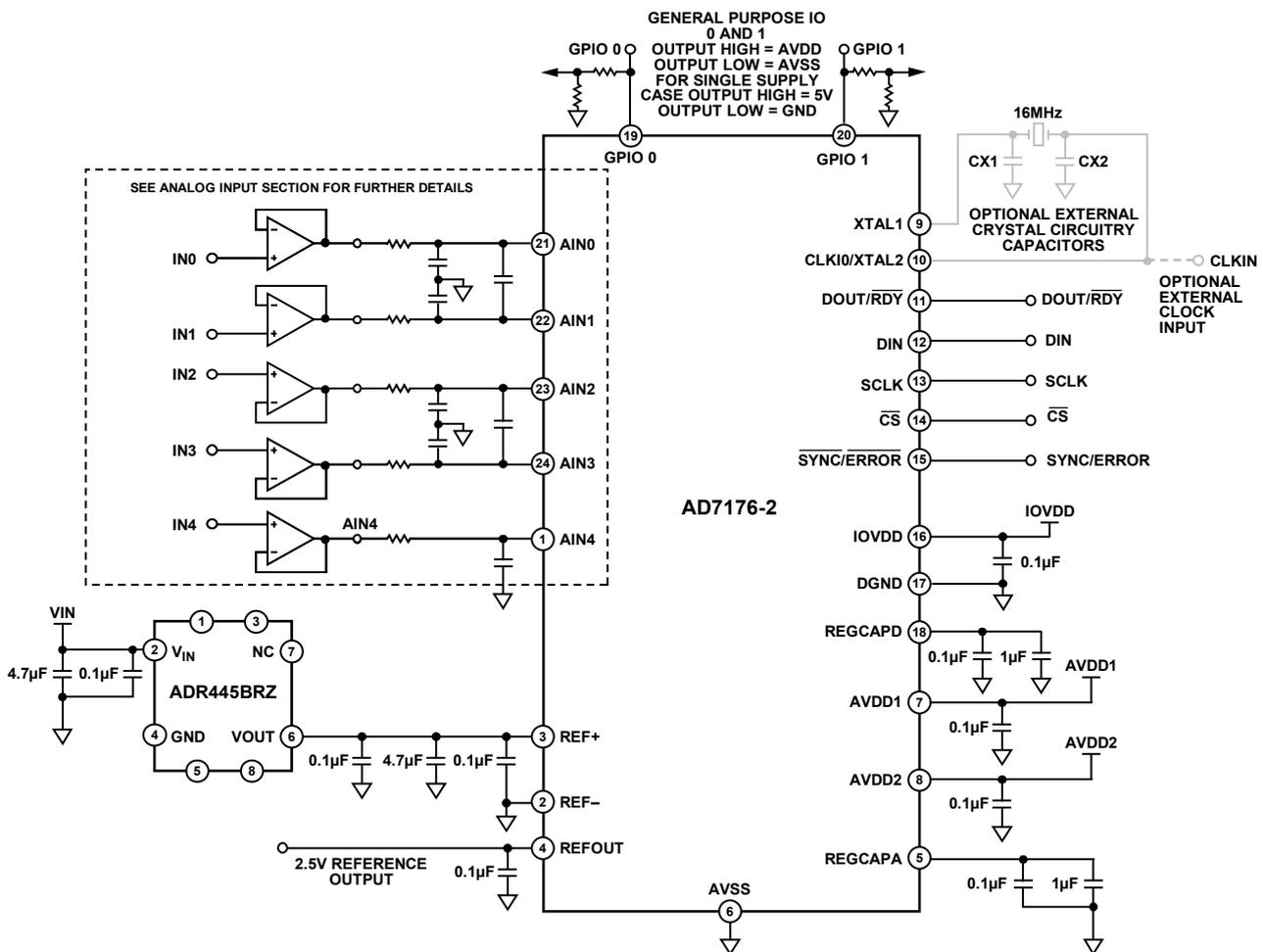


図 24. 代表的な接続図

デジタル IOVDD 電源のリニア・レギュレータも同じ機能を実行し、IOVDD ピンの入力電圧を 2 V へレギュレーションして内蔵デジタル・フィルタに供給します。シリアル・インターフェース信号は、常にこのピンの IOVDD 電源で動作します。これは、3.3 V を IOVDD ピンに入力すると、インターフェースのロジック入力と出力がこのレベルで動作することを意味します。

AD7176-2 は広範囲なアプリケーションで使用でき、高分解能と高精度を提供します。次にこの例を示します。

- 内蔵マルチプレクサを使用したアナログ入力チャンネルの高速スキャンニング
- 外付けマルチプレクサを使用したアナログ入力チャンネルの高速スキャンニング
- チャンネル対応アプリケーションにおけるチャンネル・スキャンニングまたは ADC での低速動作時の高分解能
- チャンネル対応シングル ADC: レイテンシの小さい高速出力により、外付けマイクロコントローラ、DSP、または FPGA でアプリケーション固有のフィルタリングが可能

電源

AD7176-2 には AVDD1、AVDD2、IOVDD の独立な 3 本の電源ピンがあります。

AVDD1 は、クロスポイント・マルチプレクサを含むフロントエンド回路の電源です。AVDD1 は AVSS を基準とし、AVDD1 - AVSS = 5 V 専用です。5 V 単電源または ±2.5 V 両電源を使用することができます。両電源動作では真のバイポーラ入力が可能です。両電源を使用する場合は、絶対最大定格に注意する必要があります(絶対最大定格のセクション参照)。

AVDD2 は、内蔵 1.8 V アナログ LDO レギュレータの電源です。このレギュレータは ADC コアの電源を供給します。AVDD2 は AVSS を基準とし、AVDD2 - AVSS は 5 V ~ 2 V の範囲です。

IOVDD は、内蔵 1.8 V デジタル LDO レギュレータの電源です。このレギュレータは、ADC のデジタル・ロジックに電源を供給します。IOVDD は、ADC の SPI インターフェースの電圧レベルを設定します。IOVDD は DGND を基準とし、IOVDD - DGND は 5 V ~ 2 V の範囲です。

デジタル通信

AD7176-2 は、QSPI™、MICROWIRE®、DSP と互換性のある 3 線式または 4 線式の SPI インターフェースを内蔵しています。このインターフェースは SPI モード 3 で動作し、CS をロー・レベルに固定して動作させることができます。SPI モード 3 では、SCLK はハイ・レベルでアイドルになり、SCLK の立下がりエッジが駆動エッジになり、SCLK の立上がりエッジがサンプル・エッジになります。これは、データが立下がり/駆動エッジで出力され、データが立上がり/サンプル・エッジで入力されることを意味します。



図 25. SPI モード 3 での SCLK エッジ

ADC レジスタ・マップのアクセス

コミュニケーション・レジスタが、ADC の全レジスタ・マップに対するアクセスを制御します。このレジスタは 8 ビットの書込み専用レジスタです。パワーアップ時またはリセット後、デジタル・インターフェースはデフォルト状態になり、コミュニケーション・レジスタへの書込み待ちになります。このため、すべての通信はコミュニケーション・レジスタへの書込みによって開始されます。

コミュニケーション・レジスタに書込まれたデータにより、対象となるレジスタと次のデータ転送動作が読み出し動作であるか、または書込み動作であるかが指定されます。レジスタ・アドレス・ビット(RA[5:0])は、読み出または書込み動作の対象となる特定のレジスタを指定します。

選択されたレジスタに対する読み出し動作または書込み動作が完了すると、インターフェースはデフォルト状態に戻り、コミュニケーション・レジスタに対する書込み動作待ちの状態になります。

インターフェース同期が失われた場合には、シリアル・クロックで少なくとも 64 サイクル間 DIN がハイ・レベルを維持する書込みを行うと、ADC はレジスタ値などのデバイス全体をリセットしてこのデフォルト状態に戻ります。あるいは、デジタル・インターフェースで CS を使用している場合、CS をハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態に設定されて、現在の動作が停止します。

図 26 と図 27 にレジスタに対する読み書き動作を示します。この動作では、まず 8 ビット・コマンドをコミュニケーション・レジスタに書込み、次にレジスタに対するデータが続きます。

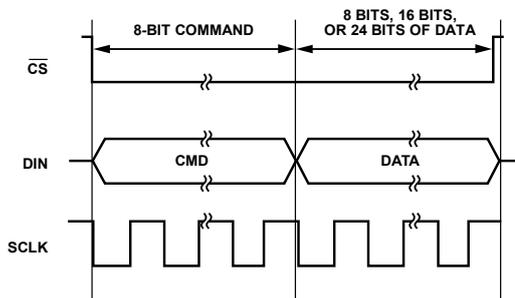


図 26. レジスタへの書込

(8 ビット・コマンド、レジスタ・アドレス、8、16、または 24 ビットのデータの順で続きます。データ長は選択したレジスタに依存します)

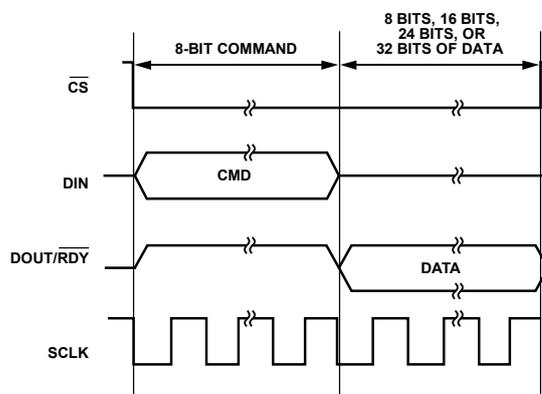


図 27. レジスタの読み出し

(8 ビット・コマンド、レジスタ・アドレス、8、16、または 24 ビットのデータの順で続きます。DOUT 上のデータ長は選択したレジスタに依存します)

ID レジスタの読出しは、デバイスとの正常通信を確認する推奨方法です。ID レジスタは読出し専用レジスタで、AD7176-2 の値 0x0C9X を格納しています。コミュニケーション・レジスタと ID レジスタの詳細を、表 7 と表 8 に示します。

表 7. コミュニケーション・レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	COMMS	[7: 0]	WEN	R/W	RA						0x00	W

表 8. ID レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x07	ID	[15: 8]	ID[15: 8]								0x0C9X	R
		[7: 0]	ID[7: 0]									

設定の概要

図 28 に、次の 3 つのブロックに分けた設定フローの概要を示します。

- ADC とインターフェース・モードの設定(図 28 の A)
- ADC のセットアップ(図 28 の B)
- チャンネル・マップの設定(図 28 の C)

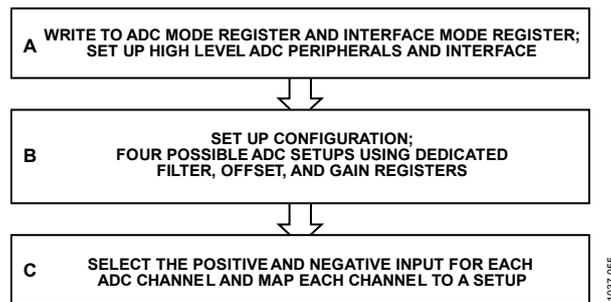


図 28. 設定のフロー

ADC とインターフェース・モードの設定

ADC モード・レジスタとインターフェース・モード・レジスタ (図 28 のブロック A 参照)は、AD7176-2 で使用するコア・ペリフェラルとデジタル・インターフェースのモードを設定します。

ADC モード・レジスタ

ADC モード・レジスタは主に、ADC 変換モードを連続変換またはシングル変換に設定するときに使います。スタンバイ・モード、パワーダウン・モード、キャリブレーション・モードを設定することもできます。さらに、このレジスタには、クロック・ソース・セレクト・ビットと内蔵リファレンス・イネーブル・ビットが含まれています。リファレンス・セレクト・ビット

は、セットアップ・コンフィギュレーション・レジスタに配置されています(詳細については、ADC セットアップのセクション参照)。

インターフェース・モード・レジスタ

インターフェース・モード・レジスタは、デジタル・インターフェース動作を設定するときに使います。このレジスタを使うと、データワード長、CRC イネーブル、データ+ステータスの読出し、連続読出しモードを制御することができます。両レジスタを表 9 と表 10 に示します。詳細については、デジタル・インターフェースのセクションを参照してください。

表 9.ADC モード・レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	REF_EN	RESERVED	SING_CYC	RESERVED		DELAY			0x8000	RW
		[7:0]	RESERVED	MODE		CLOCKSEL		RESERVED				

表 10.インターフェース・モード・レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x02	IFMODE	[15:8]	RESERVED			ALT_SY NC	IOSTREN GTH	RESERVED		DOUT_RE SET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	RESERVED	CRC_EN		RESERVED	WL16		

ADC セットアップ

AD7176-2 には、4 種類の独立なセットアップがあります(図 28 のブロック B 参照)。各セットアップは次の 4 個のレジスタから構成されます。

- セットアップ・コンフィギュレーション・レジスタ
- フィルタ・コンフィギュレーション・レジスタ
- オフセット・レジスタ
- ゲイン・レジスタ

例えば、セットアップ 0 は、セットアップ・コンフィギュレーション 0、フィルタ・コンフィギュレーション 0、オフセット 0、ゲイン 0 から構成されます。セットアップはチャンネル・マップの設定のセクションに示すチャンネル・マップ・レジスタから選択することができます。この機能を使うと、各チャンネルに別々のセットアップを設定することができます。各セットアップは固有のフィルタ、オフセット、ゲイン・レジスタを持つため、各チャンネルはフルに設定可能になります。表 11 ~ 表 14 に、セットアップ 0 に対応する 4 個のレジスタを示します。

セットアップ・コンフィギュレーション・レジスタ

セットアップ・コンフィギュレーション・レジスタを使うと、バイポーラまたはユニポーラを選択することにより ADC の出力コーディングを選択することができます。バイポーラ・モードでは、ADC は負の差動入力電圧を受け、出力コーディングはオフセット・バイナリになります。ユニポーラ・モードでは、ADC は正の差動電圧のみを受け、コーディングはストレート・バイナリになります。いずれの場合でも、入力電圧は電源電圧以内である必要があります。このレジスタを使うと、リファレンス・ソースも選択することができます。内蔵の 2.5 V リファレンス、REF+ピンと REF-ピンの間に接続する外付けリファレンス、ま

たは AVDD1 - AVSS の 3 種類のオプションを使用することができます。

フィルタ・コンフィギュレーション・レジスタ

フィルタ・コンフィギュレーション・レジスタは、ADC 変調器出力で使用するデジタル・フィルタを選択するときに使います。フィルタの次数と出力データレートは、このレジスタ内のビットを設定して選択します。詳細については、デジタル・フィルタのセクションを参照してください。

オフセット・レジスタ

このレジスタは ADC のオフセット・キャリブレーション係数を格納しています。オフセット・レジスタのパワーオン・リセット値は 0x800000 です。オフセット・レジスタは、24 ビットのリード/ライト・レジスタです。内部またはシステム・ゼロスケール・キャリブレーションが開始されるか、またはオフセット・レジスタに書込みが行われると、パワーオン・リセット値が自動的に上書きされます。

ゲイン・レジスタ

ゲイン・レジスタは、ADC のゲイン・キャリブレーション係数を格納する 24 ビット・レジスタです。ゲイン・レジスタはリード/ライト可能レジスタです。これらのレジスタには、パワーオン時に出荷時校正係数が設定されます。このため、各デバイスは異なるデフォルト係数を持ちます。システム・フルスケール・キャリブレーションが開始されるか、ゲイン・レジスタに書込みが行われると、デフォルト値が自動的に上書きされます。キャリブレーションの詳細については、動作モードのセクションを参照してください。

表 11. セットアップ・コンフィギュレーション 0 レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	RESERVED			BI_UNIPOLAR0	RESERVED			0x1020	RW	
		[7:0]	RESERVED		REF_SEL0		RESERVED					

表 12. フィルタ・コンフィギュレーション 0 レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x28	FILTCON0	[15:8]	SINC3_MAP0	RESERVED			ENHFILTEN0	ENHFILT0			0x0000	RW
		[7:0]	RESERVED	ORDER0		ODR0						

表 13. オフセット 0 レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x30	OFFSET0	[23:16]	OFFSET0[23:16]								0x800000	RW
		[15:8]	OFFSET0[15:8]									
		[7:0]	OFFSET0[7:0]									

表 14. ゲイン 0 レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x38	GAIN0	[23:16]	GAIN0[23:16]								0x5XXXX0	RW
		[15:8]	GAIN0[15:8]									
		[7:0]	GAIN0[7:0]									

チャンネル・マップの設定

AD7176-2 には、4 つの独立なチャンネルがあります(図 28 のブロック C 参照)。各チャンネルに使用するセットアップを 4 種類の中から選択することができます。この機能により、チャンネルごとの設定が可能になります。

チャンネル・マップ・レジスタ

チャンネル・マップ・レジスタは、チャンネルの正アナログ入力または負アナログ入力に使用するピンを 5 本のアナログ入力ピンの中から選択する際に使います。このレジスタには、チャンネル・イネーブル/ディスエーブル・ビット、セットアップ・セ

・セレクション・ビットも配置されています。これらは、このチャンネルに対して使用するセットアップを 4 種類の使用可能なセットアップから選択する際に使います。

AD7176-2 が複数のチャンネルをイネーブルして連続変換モードで動作する場合、チャンネル・シーケンサが、チャンネル・マップ 0 からチャンネル・マップ 3 へシーケンシャルな順にイネーブルされたチャンネルを繰り返します。あるチャンネルがディスエーブルされていると、そのチャンネルはシーケンサによりスキップされます。チャンネル 0 のチャンネル・マップ・レジスタの詳細を表 15 に示します。

表 15.チャンネル・マップ・レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x10	CHMAP0	[15: 8]	CH_EN0	RESERVED	SETUP_SEL0		RESERVED		AINPOS0[4: 3]		0x8001	RW
		[7: 0]	AINPOS0[2: 0]			AINNEG0						

回路説明

アナログ入力

AD7176-2には、AIN0、AIN1、AIN2、AIN3、AIN4の5本のアナログ入力ピンがあります。これらの各ピンは内蔵クロスポイント・マルチプレクサに接続されています。このクロスポイント・マルチプレクサにより、これらの任意の入力を疑似差動またはフル差動の入力対として設定することができます。AD7176-2は、最大4つのアクティブ・チャンネルを持つことができます。複数のチャンネルがイネーブルされると、チャンネルは自動的に順番に処理されます。マルチプレクサ出力は、ADCのスイッチド・キャパシタ入力へ直接接続されています。簡略化したアナログ入力回路を図29に示します。

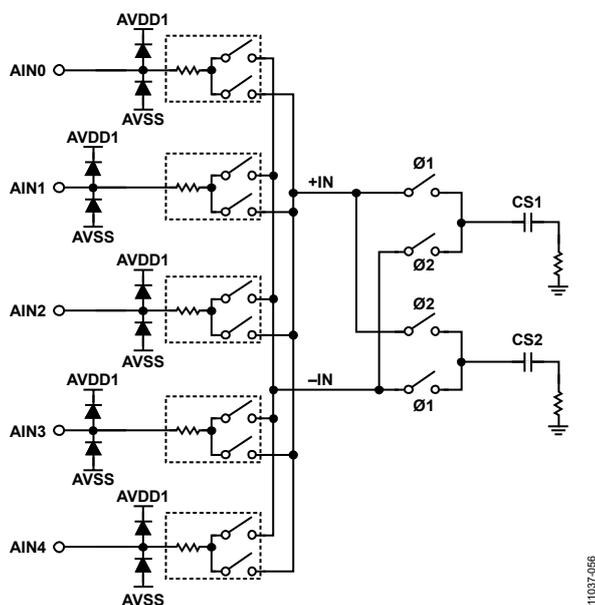


図 29.簡略化したアナログ入力回路

CS1とCS2の各コンデンサは、pFオーダーの大きさです。この容量は、サンプリング容量と寄生容量との組み合わせからなります。AD7176-2への平均入力電流は、差動入力電圧に比例して48 $\mu\text{A}/\text{V}$ のレートで変化します。差動入力振幅とともに変化する入力電流だけでなく、正確なサンプリングを可能にするためスイッチド・キャパシタ入力を安定させるためにも、各アナログ入力には外付けバッファが必要です。この用途に対する推奨アンプは、ドライバ・アンプのセクションで説明します。

フル差動入力

AIN0～AIN4のアナログ入力はクロスポイント・マルチプレクサに接続されるため、信号の任意の組み合わせを使ってアナログ入力対を構成することができます。この機能により、2チャンネルのフル差動入力または4チャンネルの疑似差動入力を選択することができます。

2チャンネルのフル差動入力パスをAD7176-2に接続する場合、AIN0/AIN1を1つ目の差動入力対として、AIN2/AIN3を2つ目の差動入力対として、それぞれ使用することが推奨されます。これは、これらのピンの互いの位置関係によります。すべてのアナログ入力はAVSSへデカップリングする必要があります。

疑似差動入力

4つのシングルエンド・アナログ入力を測定するように選択することもできます。この場合、各アナログ入力は被測定シングルエンド入力とアナログ入力コモン・ピンとの差に変換されます。クロスポイント・マルチプレクサがあるため、任意のアナログ入力をコモン・ピンとして設定することができます。このような場合の例としては、クロスポイント・マルチプレクサを設定する際に、AIN4ピンをAVSSまたはREFOUT電圧(=AVSS + 2.5 V)に接続して、この入力を選択することがあります。AD7176-2を疑似差動入力で使用する場合、INL仕様が低下します。

ドライバ・アンプ

アナログ入力スイッチ・コンデンサを駆動するためには、外付けアンプが必要です。AD7176-2に対する推奨アンプの詳細は、ドライバ・アンプのセクションに示します。各アンプは5 V単電圧で動作することができます。

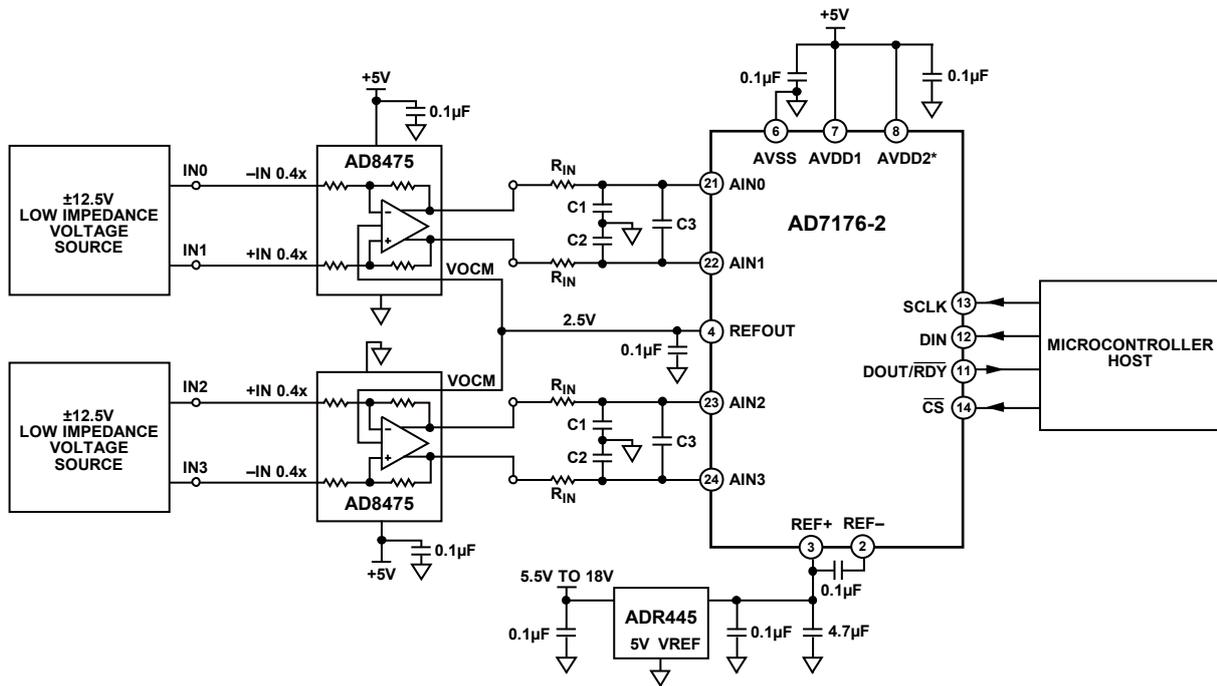
AD8475

AD8475 は 0.8×または 0.4×の減衰入力ステージ(内蔵高精度抵抗使用)を内蔵しているため、5 V 単電源で±10 V の入力範囲が可能で、消費電流は 3 mA です。AD8475 はシングルエンドから差動への変換を実行するため、同相モード出力の設定が容易で、差動入力に AD7176-2 を駆動することができます。

図 30 に、AD7176-2 の一般的な接続を示します。ここでは 2 個の AD8475 アンプで 2 つの差動入力を減衰させて、AD7176-2 の内蔵バッファ付き 2.5 V リファレンスを AD8475 の VOCM ピンへ接続することにより設定しています。AD7176-2 への AD8475 出力は、2.5 V の固定コモン・モードを使用したフル差

動です。AD8475 アンプ出力は RC 回路に接続されています。図 30 に示すこの RC 回路では、 $R_{IN} = 10 \Omega$ 、 $C1$ 、 $C2 = 270 \text{ pF}$ 、 $C3 = 680 \text{ pF}$ が使用されています。この RC 回路は、AD7176-2 のサンプリング・スイッチド・キャパシタが必要とされるダイナミック電荷を供給すると同時に、ダイナミック・スイッチド・キャパシタ入力からのキックバックからアンプ出力をアイソレーションしています。図 30 に示す AD8475 の構成には、ゲイン 0.4×のフル差動信号源が示してあります。

AD8475 は、シングルエンド信号をフル差動入力へ変換するように構成することもできます。-IN 0.4×入力をグラウンドへ接続し、シングルエンド入力を+IN 0.4×入力へ接続します。



*AVDD2 CAN BE SUPPLIED BY VOLTAGES RANGING FROM 2V TO 5.5V.

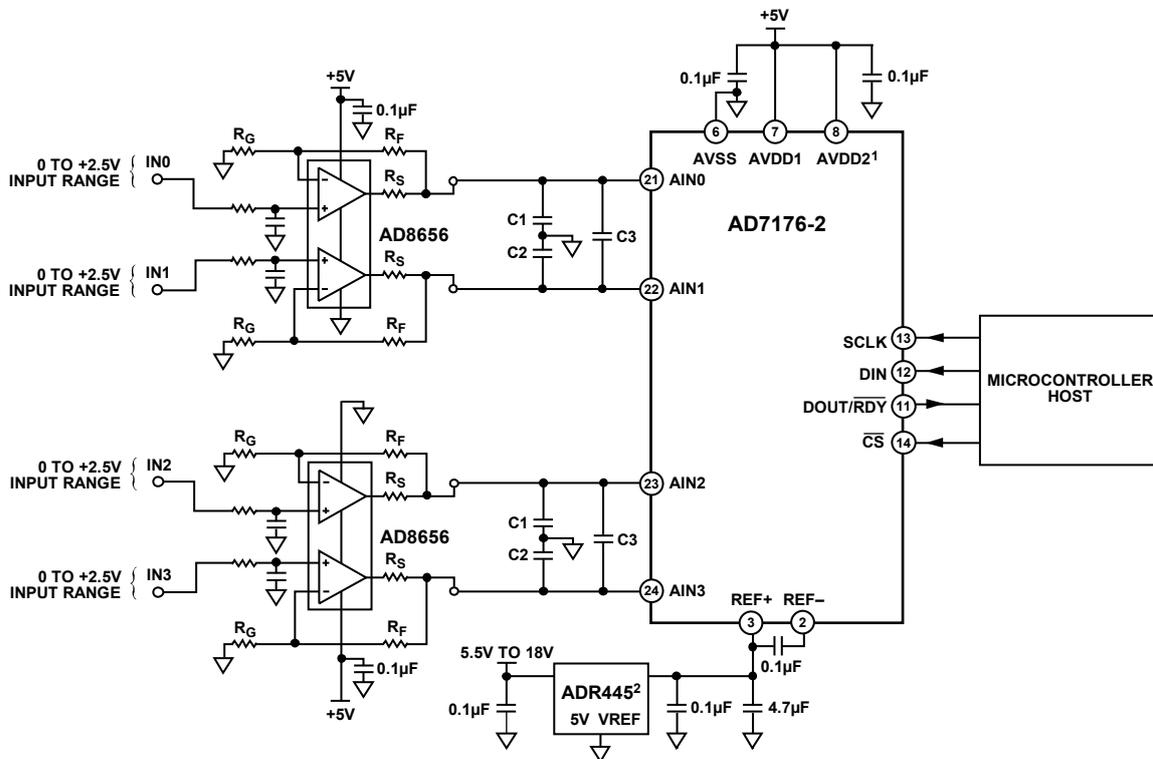
図 30. AD7176-2 の 2 つの差動入力を駆動する AD8475

11037-457

AD8656

AD8656 は、低ノイズ高精度のデュアル CMOS アンプです。AD8656 を使うと、注目する信号を高インピーダンス、低ノイズ、低オフセットのアンプ入力に直接接続することができます。AD7176-2 のスイッチド・キャパシタ入力を駆動することができます。AD8656 は 5 V 単電源で動作することができます。ADR445 のような外付け 5 V リファレンスを AD7176-2 と組み合わせて使用すると、AD8656 出力は ADC 入力範囲の -1 dBFS 以内 (± 4.45 V の差動入力) で変化させることができます。AD8656 使用のシンプルな構成は、ゲイン > 1 に設定したアンプに接続することです。各 AD7176-2 アナログ入力には固有のアンプを使用します。この構成では、フル差動入力またはシングルエンド入力を AD7176-2 へ接続することができます。図 31 に示す例は、AIN0/AIN1 対と AIN2/AIN3 対に接続した 2 つのフル差動入力から構成されています。アンプへの高インピーダンス入力を使うと、適切な受動フィルタ RC の組み合わせを使って入力を帯域制限することができます。この構成のゲインは R_G 抵抗と R_F 抵抗で設定されます。精度を向

上させるときは、 R_G と R_F に高精度抵抗を使います。 $R_G = R_F = 1$ k Ω に設定すると、回路のゲインは 2 になります。RG 抵抗と RF 抵抗のマッチングは、回路のゲイン誤差に直接影響します。これらの抵抗のドリフトとマッチングは、回路のゲイン誤差ドリフトに影響します。10 Ω のソース抵抗(R_S)が帰還抵抗(R_F)とアンプ出力の間に接続されています。この抵抗は ADC 入力からのキックバックからアンプをアイソレーションし、回路のゲイン誤差に直接影響を与えません。各アンプ対の出力は AD7176-2 アナログ入力に接続される前に、デカップリングと差動コンデンサ対の回路に直接接続されます。図 31 に示すコンデンサ回路では、 C_1 、 $C_2 = 270$ pF と $C_3 = 680$ pF を使用しています。このコンデンサ回路は、AD7176-2 のサンプリング・スイッチド・キャパシタで必要とされるダイナミック電荷を供給します。図 31 に示す回路例では、アンプごとに高精度ゲイン抵抗(R_G と R_F)が必要です。アプリケーションの条件に従って、このような抵抗の値、精度、マッチングを選択してください。



¹AVDD2 CAN BE SUPPLIED BY VOLTAGES RANGING FROM 2V TO 5.5V.
²USING ADR444 (4.096V REFERENCE) IN PLACE OF THE ADR445 AS SHOWN IN THIS EXAMPLE WOULD ALLOW THE ENTIRE CCT TO BE OPERATED FROM A SINGLE 5V SUPPLY RAIL.

図 31. AD7176-2 を駆動するデュアル AD8656 アンプ

11037-156

ADA4940

ADA4940-1/ADA4940-2 は、AD7176-2 を駆動する別のオプションです。これは、低ノイズ低歪みのフル差動アンプであり、消費電力は非常に小さくなっています(1.25 mA の静止電流)。AD7176-2 の REFOUT ピンを使って ADA4940-1/ADA4940-2 に接続して、同相モード出力を 2.5 V に設定することができます。このオプションでは外付け抵抗を使ってアンプ・ゲインを設定する必要があります。

AD7176-2 リファレンス

AD7176-2 は、デバイスの REF+ピンと REF-ピンに外付けリファレンス電圧を接続するか、または低ノイズ低ドリフトの 2.5 V 内蔵リファレンス電圧を使用するオプションを提供しています。アナログ入力で使用するリファレンス電源は、セットアップ・コンフィギュレーション・レジスタの REF_SELx ビット(ビット[5:4])を設定して選択します。セットアップ・コンフィギュレーション 0 レジスタの構成を表 16 に示します。AD7176-2 は、デフォルトでパワーアップ時に内蔵 2.5 V リファレンスを使用するように設定されています。

外付けリファレンス電圧

AD7176-2 には、REF+ピンと REF-ピンを使うフル差動リファレンス入力があります。ADR445、ADR444、ADR441 のような標

準の低ノイズ低ドリフト・リファレンス電圧の使用が推奨されます。外付けリファレンスは、AD7176-2 のリファレンス・ピンに接続する必要があります(図 32 参照)。すべての外付けリファレンス出力は AVSS へデカップリングする必要があります。図 32 に示すように、安定性のために ADR445 出力は 0.1 μF のコンデンサでデカップリングされています。次に出力は 4.7 μF のコンデンサに接続されます。このコンデンサは ADC で必要とされるダイナミック電荷のリザーバとして機能し、REF+入力には 0.1 μF のデカップリング・コンデンサが続きます。このコンデンサは、REF+ピンと REF-ピンのできるだけ近くに接続されます。REF-ピンは AVSS 電位に直接接続されます。AD7176-2 のパワーアップ時に、デフォルトで内蔵リファレンスがイネーブルされ、REFOUT ピンへ出力されます。内蔵リファレンス電圧の代わりに外付けリファレンス電圧を使って AD7176-2 へ供給するときは、REFOUT ピン出力に注意が必要です。内蔵リファレンス電圧をアプリケーション内で使用しない場合は、パワーアップ時に大きな電流が流れるため REFOUT ピンを AVSS へ固定接続しないでください。内蔵リファレンス電圧を使用する場合、パワーアップ時に ADC モード・レジスタへ書き込みを行うと、内蔵リファレンスがディスエーブルされます。これは、ADC モード・レジスタの REF_EN ビット(ビット 15)から制御され、表 17 に示します。

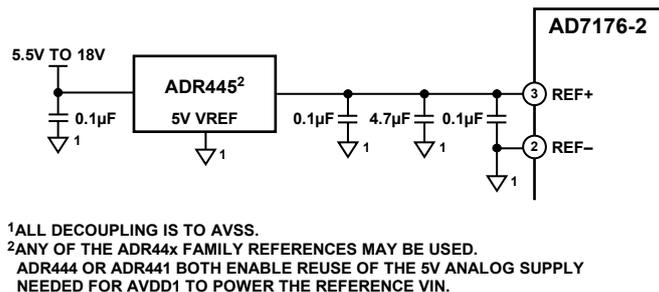


図 32. AD7176-2 のリファレンス・ピンへ接続した外付けリファレンス電圧 ADR445

表 16. セットアップ・コンフィギュレーション 0 レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15: 8]	RESERVED			BI_UNIPOLAR0	RESERVED			0x1020		RW
		[7: 0]	RESERVED		REF_SEL0		RESERVED					

表 17. ADC モード・レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15: 8]	REF_EN	RESERVED	SING_CYC	RESERVED		DELAY		0x8000		RW
		[7: 0]	RESERVED	MODE			CLOCKSEL		RESERVED			

内蔵リファレンス

AD7176-2 は、低ノイズ低ドリフトのリファレンス電圧を内蔵しています。この内蔵リファレンスは 2.5 V 出力です。内蔵リファレンス電圧は、ADC モード・レジスタの REF_EN ビットがセットされると REFOUT ピンへ出力され、0.1 μ F のコンデンサで AVSS へデカップリングされています。AD7176-2 の内蔵リファレンス電圧は、パワーアップ時にデフォルトでイネーブルされ、ADC のリファレンス・ソースとして選択されます。

REFOUT 信号は、ピンに出力される前にバッファされます。この信号は、外付けアンプ構成での同相モード・ソースとして外部で使用することができます。この構成をドライバ・アンプのセクションの図 30 に示します。ここでは、REFOUT ピンから AD8475 アンプの VOICM 入力を供給しています。

AD7176-2 クロック・ソース

AD7176-2 では、16 MHz のマスター・クロックが必要です。AD7176-2 は、次の 3 種類のサンプリング・クロックを供給することができます。

- 内蔵発振器
- 外付け水晶
- 外付けクロック・ソース

データシートに記載するすべての出力データレートは、16 MHz のマスター・クロック・レートを基準とします。例えば外部ソースなどの低いクロック周波数を使う場合、すべての記載データレートは比例してスケールされます。規定のデータレート、特に 50 Hz と 60 Hz を除去するレートを実現するときは、16 MHz のクロックを使用する必要があります。マスター・クロック・ソースは、ADC モード・レジスタの CLOCKSEL ビット(ビット[3: 2])をセットして選択します(表 17 参照)。AD7176-2 のパワーアップ時とリセット時のデフォルト動作は、内蔵発振器を使用した動作です。

内蔵発振器

内蔵発振器は 16 MHz で動作し、ADC のマスター・クロックとして使用することができます。このクロックは AD7176-2 のデフォルト・クロック・ソースで、 $\pm 2.5\%$ 精度の仕様です。

AD7176-2 には CLKIO/XTAL2 ピンへ内蔵クロック発振器を出力するオプションがあります。このクロック出力は、IOVDD ロジック・レベルで駆動されます。このオプションを使用すると、

出力ドライバからのノイズのため AD7176-2 の DC 性能に影響をあたえることがあります。性能に対する影響は、IOVDD 電源電圧に依存します。IOVDD 電圧が大きいほど、ドライバのロジック出力振幅が大きくなるため、性能への影響は大きくなります。IOSTRENGTH ビットが高い IOVDD レベルで設定されると、影響は更に大きくなります(詳細については、表 25 を参照)。

外付け水晶

これより高精度で低ジッタのクロック・ソースが必要な場合、AD7176-2 には外付け水晶を使用してマスター・クロックを発生する機能があります。水晶は XTAL1 ピンと XTAL2 ピンに接続します。推奨水晶は FA-20H です。Epson-Toyocom 社の 16 MHz、10 ppm、9 pF の水晶であり、表面実装パッケージを採用しています。図 33 に示すように、2 個のコンデンサを XTAL1 ピンおよび XTAL2 ピンと水晶を接続するパターンへ接続することができます。これらのコンデンサは DGND ピンへ接続します。これらのコンデンサの値は、水晶と XTAL1 ピンおよび XTAL2 ピンとの間のパターンの長さと容量に依存します。このため、これらのコンデンサ値は PCB レイアウトと使用する水晶に応じて異なります。したがって、回路の実験テストが必要です。

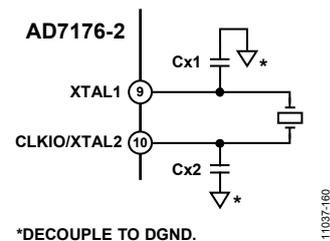


図 33. 外付け水晶の接続

外付けクロック

AD7176-2 では外付けクロックを使うこともできます。これを必要とするシステムでは、外付けクロックを CLKIO ピンに接続します。この構成では、CLKIO ピンに外部からクロックを入力し、変調器へ供給します。このクロック入力のロジック・レベルは、IOVDD ピンに加えられた電圧で決定されます。

デジタル・フィルタ

AD7176-2 は、ノイズ、セトリング・タイム、除去比の最適化を可能にする次の 3 種類の柔軟なフィルタ・オプションを提供しています。

- Sinc5 + Sinc1 フィルタ
- Sinc3 フィルタ
- 50 Hz および 60 Hz 除去エンハンスト・フィルタ

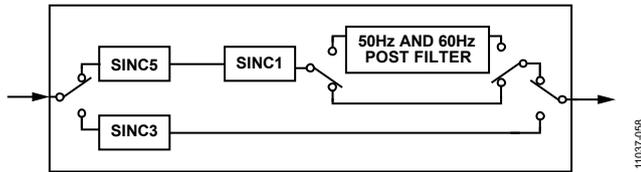


図 34. デジタル・フィルタのブロック図

フィルタと出力データレートは、選択したセットアップに対してフィルタ・コンフィギュレーション・レジスタの該当するビットをセットして設定します。詳細については、レジスタの詳細のセクションを参照してください。

Sinc5 + Sinc1 フィルタ

Sinc5 + Sinc1 フィルタは、高速なスイッチング・マルチプレクス・アプリケーションを対象とし、10 kSPS 以下の出力データレートでシングル・サイクル・セトリングを実現します。Sinc5 ブロック出力は 250 kSPS の最大固定レートで、Sinc1 ブロック出力データレートは最終 ADC 出力データレートを制御するため変更

表 18. AD7176-2 の出力データレートデータレート(ODR)、ノイズ、セトリング・タイム(t_{SETTLE})、Sinc5 + Sinc1 フィルタを使用した除去比

Output Data Rate (SPS) ¹	Settling Time ¹	Switching Rate (Hz) ¹	Notch Frequency (Hz)	Rejection ± 1 Hz (dB) ²	Noise (μ V rms)	Peak-to-Peak Resolution with 5 V Reference (Bits)
250,000	20 μ s	50,000	250,000		9.7	17.25
125,000	24 μ s	41,667	125,000		7.4	17.6
62,500	32 μ s	31,250	62,500		5.4	18.1
50,000	36 μ s	27,778	50,000		5	18.2
31,250	48 μ s	20,833	31,250		4	18.5
25,000	56 μ s	17,857	25,000		3.6	18.7
15,625	80 μ s	12,500	15,625		2.7	19.1
10,000	100 μ s	10,000	11,905		2.5	19.2
5000	200 μ s	5000	5435		1.8	19.7
2500	400 μ s	2500	2604		1.3	20.2
1000	1.0 ms	1000	1016		0.82	20.8
500	2.0 ms	500.0	504		0.63	21.2
400	2.516 ms	400	400.00		0.62	21.2
200	5.0 ms	200.0	200.64		0.47	21.6
100	10.0 ms	100.0	100.16		0.46	21.7
60	16.68 ms	460	60.00	34 dB (60 Hz)	0.43	21.7
50	20.016 ms	50	50.00	34 dB (50 Hz)	0.42	21.8
20	50.0 ms	20.00	20.01		0.42	21.8
16.667	60.02 ms	16.66	16.67		0.42	21.8
10	100.02 ms	10.00	10.00	34 dB (50 Hz and 60 Hz)	0.38	22
5	200.02 ms	5.00	5.00		0.32	22.1

¹セトリング・タイムは最寄りの μ sec 数に丸められます。これは出力データレートとスイッチング・レートに反映されます。 サンプリング・レート = $1 \div t_{SETTLE}$

²マスター・クロック = 160 MHz。

できます。図 35 に 50 SPS 出力データレートでの Sinc5 + Sinc1 フィルタの周波数領域応答を示します。Sinc5 + Sinc1 フィルタは周波数に対して低速なロールオフと狭いノッチを持っています。

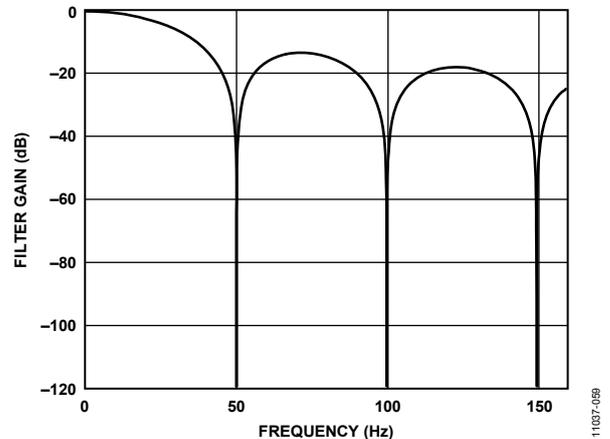


図 35. 50 SPS ODR での Sinc5 + Sinc1 フィルタの応答

Sinc5 + Sinc1 フィルタの出力データレート、および対応するセトリング・タイムと rms ノイズを表 18 に示します。

Sinc3 フィルタ

Sinc3 フィルタは低いレートで最適なシングル・チャンネル・ノイズ性能を実現するため、シングル・チャンネル・アプリケーションに最適です。Sinc3 フィルタは常に次のセトリング・タイムを持ちます。

$$t_{SETTLE} = 3 / \text{出力データレート}$$

図 36 に Sinc3 フィルタの周波数領域フィルタ応答を示します。Sinc3 フィルタは周波数に対して優れたロールオフを持ち、優れたノッチ周波数除去性能を持つようにノッチが広がっています。

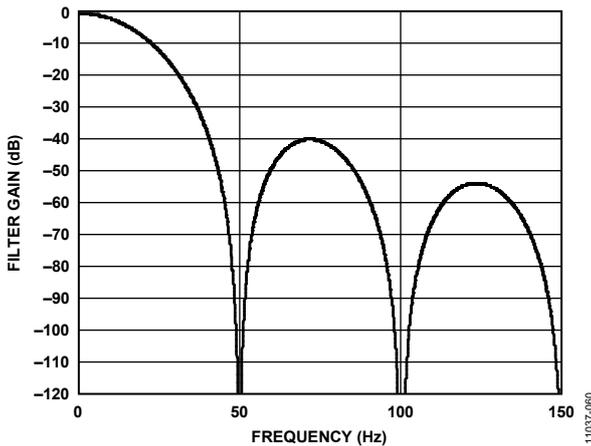


図 36. Sinc3 フィルタの応答

Sinc3 フィルタの出力データレート、および対応するセトリング・タイムと rms ノイズを表 19 に示します。フィルタ・コンフィギュレーション・レジスタの SINC3_MAP ビットを設定すると、Sinc3 フィルタの出力データレートを微調整することができます。このビットをセットすると、フィルタ・レジスタのマッピングが変化して Sinc3 フィルタのデシメーション・レートが直接設定されます。他のすべてのオプションは無視されます。シングル・チャンネルのデータレートは次式で計算することができます。

$$f_{OUT} = \frac{f_{MOD}}{2^{N_{SINC3_MAP}}} \times \frac{1}{36.2}$$

ここで、 f_{MOD} は変調器レートで 8 MHz。 $FILTCONx[14: 0]$ はフィルタ・コンフィギュレーション・レジスタ値 (MSB を除く)。

例えば、 $FILTCONx[14: 0]$ ビットに値 5000 を設定して SINC3_MAP をイネーブルすることにより、50 SPS の出力データレートを実現することができます。

シングル・サイクル・セトリング

完全に安定したデータのみを出力して、実質的に ADC をシングル・サイクル・セトリング・モードにするために、ADC モード・レジスタの SING_CYC ビットをセットして、AD7176-2 を設定することができます。このモードでは、選択した出力データレートに対する ADC のセトリング・タイムに一致させるように出力データレートを小さくすることにより、シングル・サイクル・セトリングが実現されます。このビットは、10 kSPS 以下の出力データレートでは Sinc5 + Sinc1 に影響を与えません。図 37 に、このモードをディスエーブルし、Sinc3 フィルタを選択したときのアナログ入力でのステップを示します。ステップ変化から出力が最終安定値に到達するまでに少なくとも 3 サイクル要します。

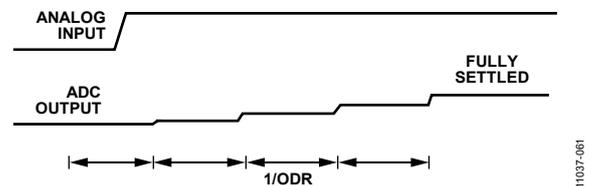


図 37. シングル・サイクル・セトリングなしのステップ入力

図 38 に、シングル・サイクル・セトリングをイネーブルしたときのアナログ入力の同じステップを示します。出力が完全に安定するまでに少なくとも 1 サイクル要します。出力データレートは、選択した出力データレートでのフィルタのセトリング・タイムに等しくなります。

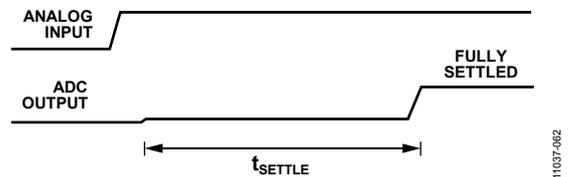


図 38. シングル・サイクル・セトリングありのステップ入力

表 19. AD7176-2 の出力データレート(ODR)、ノイズ、セトリング・タイム(t_{SETTLE})、Sinc3 フィルタを使用した除去比

Output Data Rate (SPS) ¹	Settling Time (ms) ¹	Switching Rate ¹ (Hz)	Notch Frequency (Hz)	Rejection ± 1 Hz (dB) ²	Noise (μ V rms)	Peak-to-Peak Resolution with 5 V Reference (Bits)
250,000	0.012	83,333	250,000		220	12.8
125,000	0.024	41,667	125,000		27	15.9
62,500	0.048	20,833	62,500		5.1	18.3
50,000	0.060	16,667	50,000		4.3	18.5
31,250	0.096	10,417	31,250		3.2	18.8
25,000	0.120	8333	25,000		2.7	19
15,625	0.192	5208	15,625		2.3	19.4
10,000	0.300	3333	10,000		1.8	19.8
5000	0.600	1667	5000		1.3	20.2
2500	1.200	833	2500		0.91	20.5
1000	3.000	333.3	1000		0.62	21
500	6.000	166.7	500		0.49	21.4
400	7.500	133.3	400		0.45	21.7
200	15.000	66.7	200		0.37	22
100	30.000	33.3	100		0.33	22
59.94	50.004	20.00	59.94	100 (60 Hz)	0.32	22
49.96	60.000	16.67	49.96	100 (50 Hz)	0.31	22
20	150.000	6.67	20		0.31	22
16.667	180.000	5.56	16.667		0.29	22.4
10	300.000	3.33	10	100 (50 Hz and 60 Hz)	0.29	22.4
5	600.000	1.67	5		0.29	22.4

¹セトリング・タイムは最寄りの μ sec 数に丸められます。これは出力データレートとスイッチング・レートに反映されます。 サンプルング・レート = $1 \div t_{SETTLE}$

²マスター・クロック = 160 MHz。

50 Hz および 60 Hz 除去のエンハンスド・フィルタ

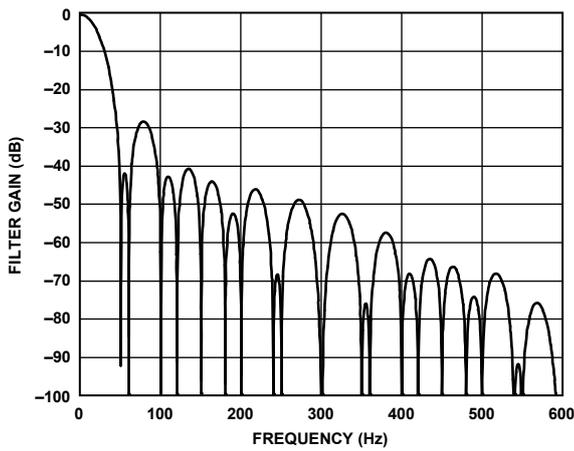
エンハンスド・フィルタは、50 Hz および 60 Hz を同時に除去し、セトリング・タイムと除去比をトレードオフできるようにするためにデザインされています。これらのフィルタは、最大 27.27 SPS で動作できるか、または $50 \text{ Hz} \pm 1 \text{ Hz}$ と $60 \text{ Hz} \pm 1 \text{ Hz}$

の干渉を最大 90 dB 除去することができます。これらのフィルタは、Sinc5 + Sinc1 フィルタの出力をポスト・フィルタリングすることにより実現されています。このため、エンハンスド・フィルタを使用するときは、Sinc5 + Sinc1 フィルタを選択する必要があります。表 20 に、出力データレート、および対応するセトリング・タイム、除去比、rms ノイズを示します。図 39～図 46 に、エンハンスド・フィルタの周波数領域応答を示します。

表 20. AD7176-2 エンハンスド・フィルタの出力データレート、ノイズ、セトリング・タイム(t_{SETTLE})、エンハンスド・フィルタを使用した除去比

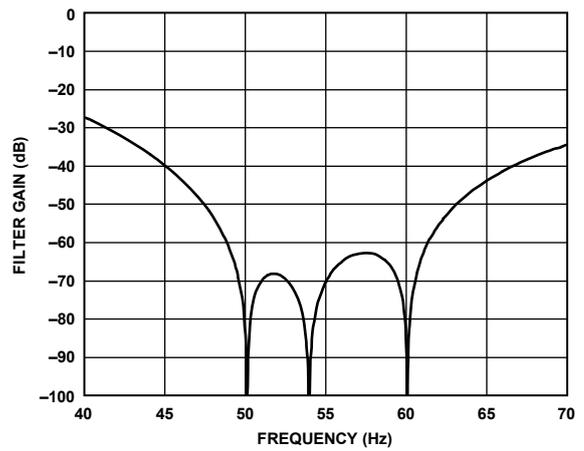
Output Data Rate (SPS)	Settling Time (ms)	Simultaneous Rejection of $50 \text{ Hz} \pm 1 \text{ Hz}$ and $60 \text{ Hz} \pm 1 \text{ Hz}$ (dB) ¹	Noise ($\mu\text{V rms}$)	Peak-to-Peak Resolution (Bits)	Comments
27.27	36.67	47	0.15	23.26	See Figure 39 and Figure 40
25	40.0	62	0.14	23.36	See Figure 41 and Figure 42
20	50.0	85	0.125	23.53	See Figure 43 and Figure 44
16.667	60.0	90	0.125	23.53	See Figure 45 and Figure 46

¹ マスター・クロック = 160 MHz。



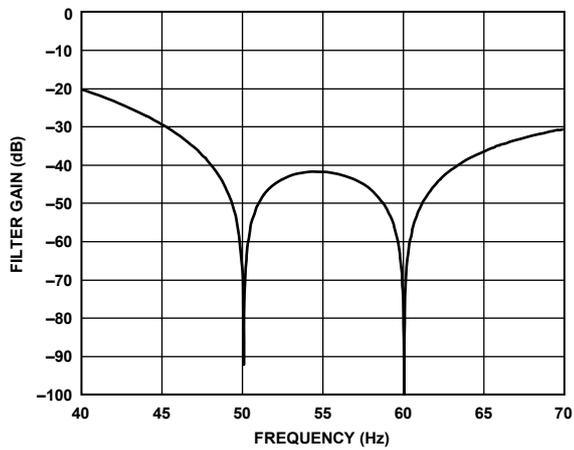
11037-063

☒ 39.DC~600 Hz、27.27 SPS ODR
36.67 ms セットリング・タイム



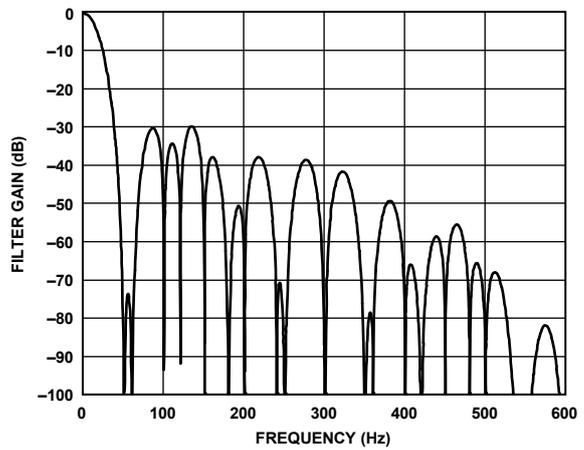
11037-066

☒ 42.40 Hz~70 Hz の拡大、25 SPS ODR
40 ms セットリング・タイム



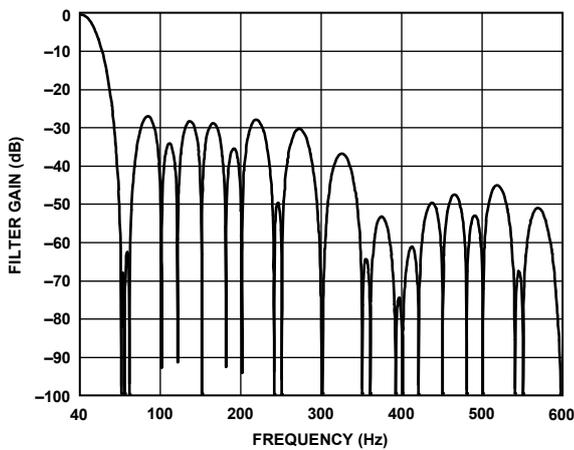
11037-064

☒ 40.40 Hz~70 Hz の拡大、27.27 SPS ODR
36.67 ms セットリング・タイム



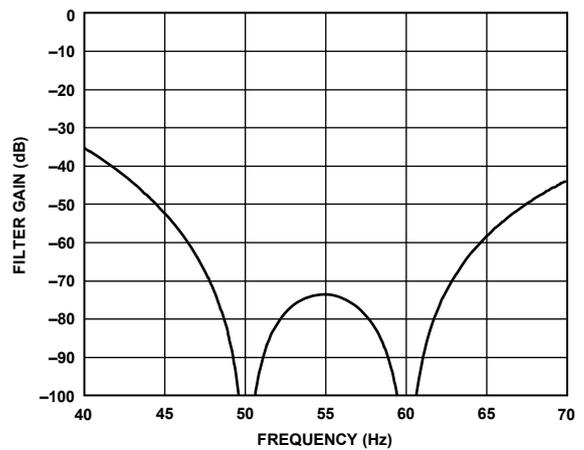
11037-067

☒ 43.DC~600 Hz、20 SPS ODR
50 ms セットリング・タイム



11037-065

☒ 41.DC~600 Hz、25 SPS ODR
40 ms セットリング・タイム



11037-068

☒ 44.40 Hz~70 Hz の拡大、20 SPS ODR
50 ms セットリング・タイム

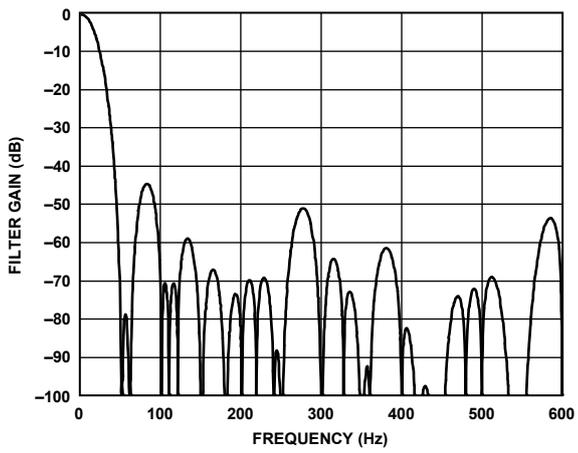


図 45.DC~600 Hz、16.667 SPS ODR
60 ms セットリング・タイム

11037-069

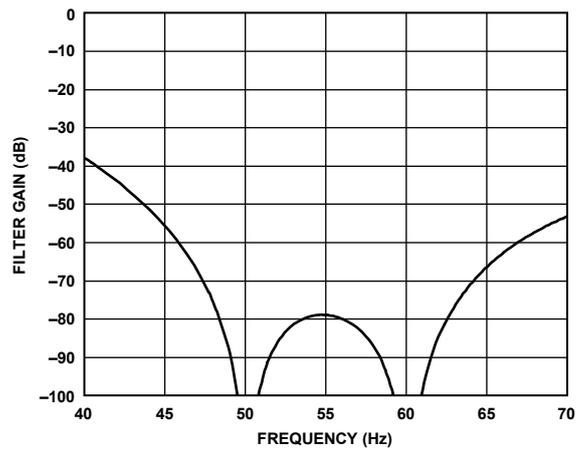


図 46.40 Hz~70 Hz の拡大、16.667 SPS ODR
60 ms セットリング・タイム

11037-070

動作モード

連続変換モード

連続変換はデフォルトのパワーアップ・モードになっています。**AD7176-2** は連続的に変換を行い、変換が完了するごとに、ステータス・レジスタのRDYビットがロー・レベルになります。CSがロー・レベルの場合、変換が完了すると、DOUT/RDYはロー・レベルになります。変換結果を読み出すときは、コミュニケーション・レジスタに書込みを行って、次の動作がデータ・レジスタからの読み出しであることを指定することができます。データ・レジスタからデータワードを読み出すと、DOUT/RDYがハイ・レベルになります。このレジスタは必要に応じて何回も読み出すことが可能ですが、次の変換の完了時にデータ・レジスタをアクセスしてしまうことがないように注意する必要があります。もしこの時点でアクセスすると、新しい変換ワードが失われてしまいます。

複数のチャンネルがイネーブルされた場合、ADCはイネーブルされたチャンネルを自動的に繰り返して、各チャンネルで1回変換を行います。すべてのチャンネルが変換されると、シーケンスは最初のチャンネルから繰り返されます。チャンネルは、イネーブルされた最小チャンネルからイネーブルされた最大チャンネルの順で変換されます。データ・レジスタは各変換結果が使用可能になると直ちに更新されます。DOUT/RDYピンは、変換結果が使用可能になるとロー・レベル・パルスを出力します。ADCが次のイネーブルされたチャンネルの変換を実行中に、変換結果を読み出すことができます。

インターフェース・モード・レジスタのDATA_STATビットが1に設定されると、データ・レジスタを読み出すごとにステータス・レジスタ値と変換データが出力されます。ステータス・レジスタが、変換結果に対応するチャンネルを表示します。

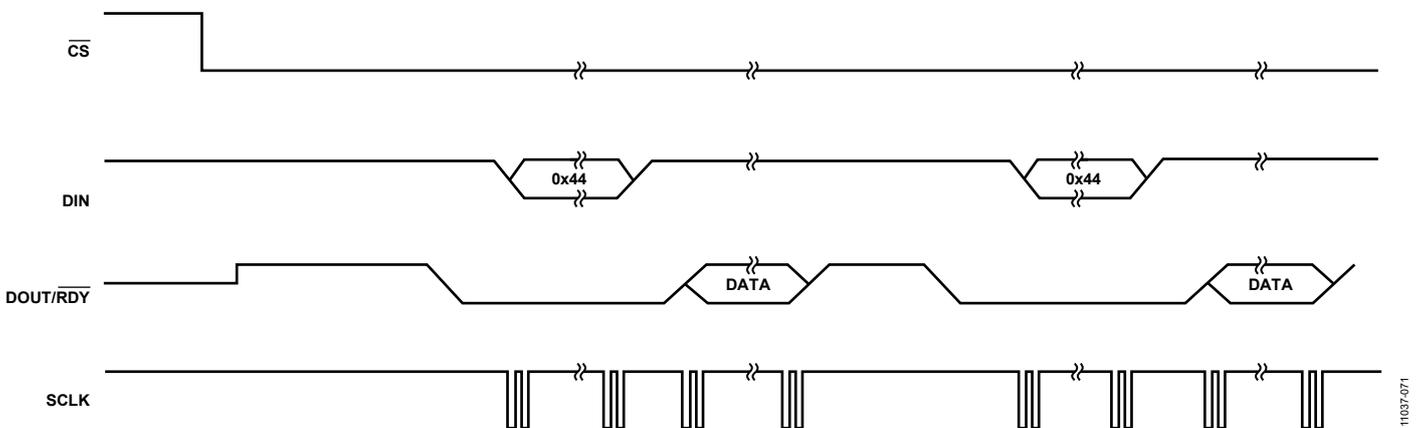


図 47.連続変換モード

11037/071

連続読出しモード

連続読出しモードでは、ADCデータを読み出す前にコミュニケーション・レジスタへ書き込みを行う必要はありません。変換の終わりを指示するときは、DOUT/RDYがロー・レベルになった後に所定数のSCLKクロックを入力します。変換結果を読み出すと、DOUT/RDYはハイ・レベルに戻り、次の変換結果が得られるまでこのハイ・レベルを維持します。このモードでは、データは1回しか読み出すことができません。また、次の変換結果が完了する前にデータワードを読み出すように注意する必要があります。次の変換の完了前に変換結果を読み出さなかった場合、またはAD7176-2にワードを読み出すための十分なシリアル・クロック数が入力されなかった場合には、次の変換の完了時にシリアル出力レジスタがリセットされて、新しい変換結果が出力シリアル・レジスタに格納されます。連続読出しモードを使用するときは、ADCを連続変換モードに設定する必要があります。連続読出しモードをイネーブルするときは、インターフェース・モード・レジスタのCONTREADビットをセットします。こ

のビットがセットされると、唯一可能なシリアル・インターフェース動作はデータ・レジスタからの読出しになります。連続読出しモードを終了するときは、RDYがロー・レベルのときにダミーのADCデータ・レジスタ読出しコマンド(0x44)を実行します。あるいは、ソフトウェア・リセット(CS = 0かつDIN = 1で64個のSCLKを入力)を実行します。これにより、ADCとすべてのレジスタ値がリセットされます。これらだけが、インターフェースが連続読出しモードになった後にインターフェースが認識できるコマンドです。命令がデバイスに書込まれるまで、連続読出しモードではDINをロー・レベルに維持しておく必要があります。

複数のADCチャンネルがイネーブルされると、各チャンネルが出力され、インターフェース・モード・レジスタのDATA_STATがセットされている場合にはステータス・ビットがデータに追加されます。ステータス・レジスタが、変換結果に対応するチャンネルを表示します。

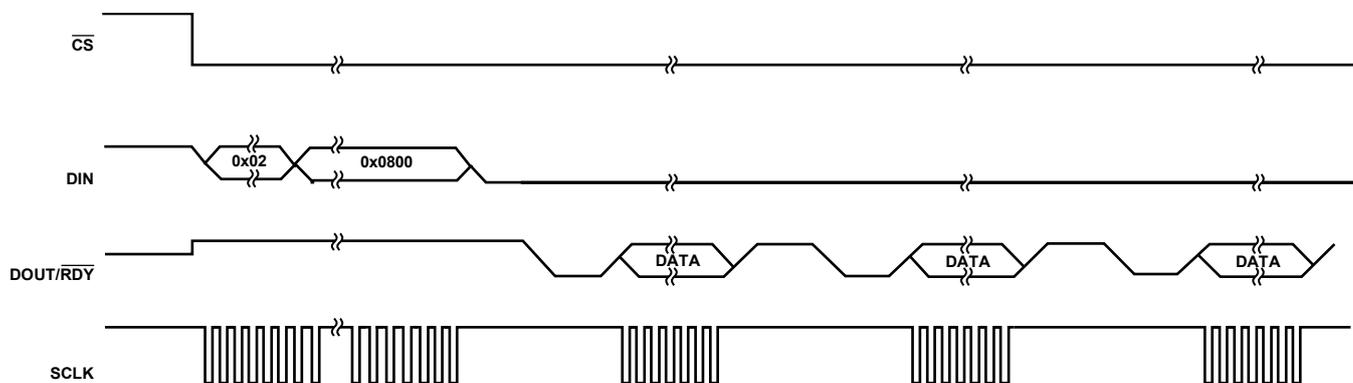


図 48.連続読出しモード

11037-072

シングル変換モード

シングル変換モードでは、AD7176-2 はシングル変換を実行し、変換が完了するとスタンバイ・モードになります。変換が完了すると、DOUT/RDYはロー・レベルになります。データ・レジスタからデータワードを読み出すと、DOUT/RDYがハイ・レベルになります。DOUT/RDYがハイ・レベルになっても、データ・レジスタは必要に応じて複数回読み出すことができます。複数のチャンネルがイネーブルされた場合、ADCはイネーブルされたチャンネルを自動的に繰り返して、各チャンネルの変換を行います。変換が開始されると、DOUT/RDYはハイ・レベルになり、変換が完了するまでハイ・レベルを維持し、CSはロー・レベルになります。変換結果が得られると直ちに、

DOUT/RDYがロー・レベルになります。次に、ADCは次のチャンネルを選択して、そのチャンネルの変換を開始します。次のチャンネルの変換実行中に、現在の変換結果を読み出すことができます。次の変換が完了すると直ちに、データ・レジスタが更新されるため、変換結果を読み出す時間は限られています。ADCが選択した各チャンネルにシングル変換を行うと、ADCはスタンバイ・モードに戻ります。

インターフェース・モード・レジスタのDATA_STATビットが1に設定されると、データ・レジスタを読み出すごとにステータス・レジスタ値と変換データが読み出されます。ステータス・レジスタの下位2ビットが、変換結果に対応するチャンネルを表示します。

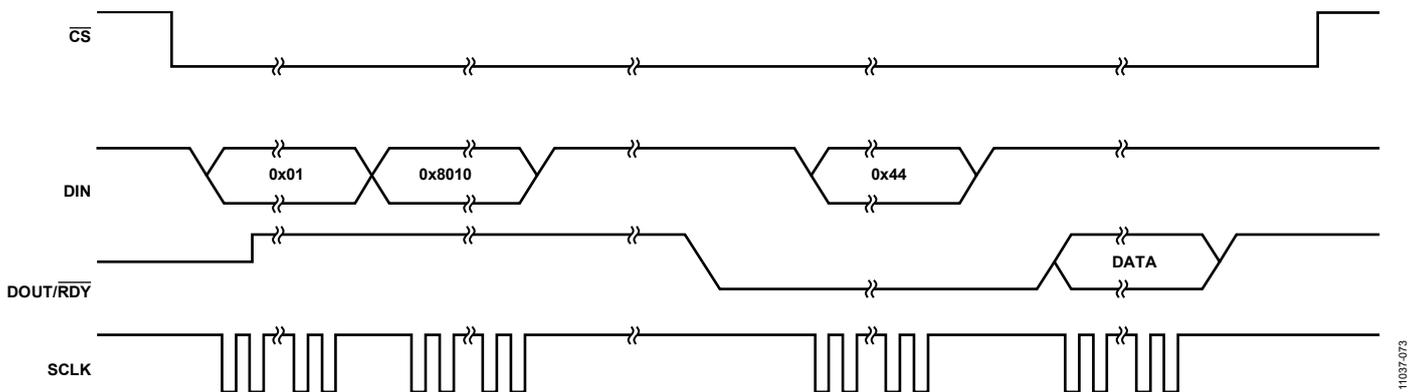


図 49. シングル変換モード

11037-073

スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、大部分のブロックがパワーダウンします。LDO は、動作したままになりレジスタ値を維持します。内蔵リファレンス電圧はイネーブルされている場合アクティブのまま、水晶発振器が選択されている場合アクティブのままになります。リファレンスをスタンバイ・モードでパワーダウンさせるときは、ADC モード・レジスタの REF_EN ビットを 0 に設定します。クロックをスタンバイ・モードでパワーダウンさせるときは、ADC モード・レジスタの CLOCKSEL ビットを 00 (内蔵発振器) に設定します。

パワーダウン・モードでは、LDO を含むすべてのブロックがパワーダウンします。すべてのレジスタ値が失われ、GPIO 出力はスリー・ステートになります。偶発的にパワーダウン・モードになるのを防止するため、先に ADC をスタンバイ・モードにする必要があります。パワーダウン・モードを終了させるときは、CS = 0 かつ DIN = 1 で 64 個の SCLK (すなわちシリアル・インターフェース・リセット) が必要です。LDO をパワーアップさせるため、500 μs の遅延の後にシリアル・インターフェース・コマンドを発行することが推奨されます。

キャリブレーション・モード

AD7176-2 には、セットアップごとにオフセット誤差とゲイン誤差をなくすることができる次の 3 種類のキャリブレーション・モードがあります。

- 内部ゼロスケール・キャリブレーション・モード
- システム・ゼロスケール・キャリブレーション・モード
- システム・フルスケール・キャリブレーション・モード

キャリブレーション時には 1 チャンネルのみアクティブにすることができます。各変換後、ADC の変換結果は ADC キャリブレーション・レジスタを使ってスケールされた後にデータ・レジスタに書込まれます。

オフセット・レジスタのデフォルト値は 0x800000 で、ゲイン・レジスタの公称値は 0x555555 です。ADC ゲインのキャリブレーション範囲は、 $0.4 \times V_{REF} \sim 1.05 \times V_{REF}$ です。次式で計算します。ユニポーラ・モードでは、ADC ゲイン誤差とオフセット誤差を考慮しない理想関係式は次のようになります。

$$6.SS = \left[\frac{0.75 \times H_{D78}}{H_{D78}} \times 2^{23} - (A_{XGM} \times 0x800000) \right] \times \frac{9S}{0x400000} \times 2$$

バイポーラ・モードでは、ADC ゲイン誤差とオフセット誤差を考慮しない理想関係式は次のようになります。

$$6.SS = \left[\frac{0.75 \times H_{D78}}{H_{D78}} \times 2^{23} - (A_{XGM} \times 0x800000) \right] \times \frac{9S}{0x400000} + 0x800000$$

キャリブレーションを開始するときは、ADC モード・レジスタの MODE ビットに対応する値を書込みます。DOUT/RDY ピンとステータス・レジスタの RDY ビットは、キャリブレーションが開始されると、ハイ・レベルになります。キャリブレーションが完了すると、対応するオフセット・レジスタまたはゲイン・レジスタの値が更新され、ステータス・レジスタの RDY ビットがリセットされ、DOUT/RDY ピンがロー・レベルになり (CS がロー・レベルの場合)、AD7176-2 がスタンバイ・モードに戻ります。

内部オフセット・キャリブレーション時、選択された正アナログ入力ピンが切り離され、両変調器入力が入部で選択された負アナログ入力ピンに接続されます。このため、選択された負アナログ入力ピンの電圧が許容値を超えないようにし、大きなノイズと干渉が生じないようにすることが必要です。

ただし、システム・キャリブレーションでは、キャリブレーション・モード開始前に、システム・ゼロスケール (オフセット) 電圧とシステム・フルスケール (ゲイン) 電圧が ADC ピンに加えられることを想定しています。このため、ADC 外部の誤差が除去されます。

動作ポイントの観点からは、キャリブレーションはもう 1 つの ADC 変換のように扱う必要があります。オフセット・キャリブレーション (必要な場合) は、常にフルスケール・キャリブレーションの前に行う必要があります。システム・ソフトウェアがステータス・レジスタの RDY ビットまたは DOUT/RDY ピンをモニタし、ポーリング・シーケンスまたは割り込み駆動のルーチンを使って、キャリブレーションの終わりを知らるようにシステム・ソフトウェアを設定する必要があります。すべてのキャリブレーションでは、選択されたフィルタのセトリング・タイムと出力データレートの完了に要する時間に等しい時間が必要です。

内部オフセット・キャリブレーション、システム・ゼロスケール・キャリブレーション、システム・フルスケール・キャリブレーションは、任意の出力データレートで実行することができます。低い出力データレートを扱うほど、優れたキャリブレーション精度が得られ、すべての出力データレートに対して正確になります。チャンネルに対するリファレンス・ソースを変えた場合、そのチャンネルに対して新しいキャリブレーションが必要になります。

オフセット誤差は $\pm 40 \mu V$ (typ) であり、オフセット・キャリブレーションにより、オフセット誤差をノイズのオーダーまで小さくできます。ゲイン誤差は、室温で出荷時にキャリブレーションされます。このキャリブレーションの後、ゲイン誤差は $\pm 0.001\%$ (typ) になります。

AD7176-2 では内蔵キャリブレーション・レジスタに対してユーザーがアクセスできるため、マイクロプロセッサからデバイスのキャリブレーション係数を読出したり、キャリブレーション係数を書込んだりすることができます。オフセット・レジスタとゲイン・レジスタに対する読出しまたは書込みは、内部またはセルフキャリブレーション時以外いつでも行うことができます。

デジタル・インターフェース

AD7176-2 のプログラマブルな機能は、SPI シリアル・インターフェースを使用します。AD7176-2 のシリアル・インターフェースは、CS、DIN、SCLK、DOUT/RDY の 4 つの信号から構成されています。DIN ラインは内蔵レジスタにデータを転送するときに、DOUT/RDY ラインは内蔵レジスタからデータをアクセスするときに、それぞれ使います。SCLK はデバイスのシリアル・クロック入力であり、すべてのデータ転送(DIN または DOUT/RDY 上での転送)は、この SCLK 信号を基準として実行されます。

DOUT/RDY ピンはデータ・レディ信号としても機能し、新しいデータワードがデータ・レジスタから読み出し可能になると、CS がロー・レベルの場合このラインはロー・レベルになります。データ・レジスタからの読み出し動作が完了すると、このピンはハイ・レベルに戻ります。DOUT/RDY ピンはデータ・レジスタの更新前にもハイ・レベルになり、デバイスからの読み出しができないことを表示して、レジスタの更新中にデータが読み出されることを防止します。CS はデバイスの選択に使います。シリアル・バスに複数のデバイスが接続されているシステムでは、AD7176-2 を指定するアドレスのデコードにも CS を使うことができます。

図 2 と図 3 に、デバイスのデコードに CS を使った AD7176-2 に対するインターフェースのタイミング図を示します。図 2 に AD7176-2 からの読み出し動作のタイミングを、図 3 に AD7176-2 に対する書き込み動作のタイミングを、それぞれ示します。最初の読み出し動作の後に、DOUT/RDY ラインがハイ・レベルに戻った後でも、データ・レジスタから複数回読み出すことができますが、次の出力更新が開始される前に読み出し動作が完了するように、注意する必要があります。連続読み出しモードでは、データワードは 1 回しか読み出すことができません。

シリアル・インターフェースは、CS をロー・レベルに固定して、3 線式モードで動作させることもできます。この場合、SCLK、DIN、DOUT/RDY の各ラインを使って AD7176-2 との通信を行います。変換の終了は、ステータス・レジスタの RDY ビットを使って監視することもできます。

CS = 0 かつ DIN = 1 で 64 個の SCLK を書き込むことにより、シリアル・インターフェースをリセットすることもできます。リセットにより、コミュニケーション・レジスタに対する書き込み動作待ちの状態にインターフェースが戻ります。この動作により、すべてのレジスタ値がそれぞれのパワーオン・リセット値にリセットされます。リセットの後、500 μs 間待った後にシリアル・インターフェースのアドレス指定を行う必要があります。

チェックサム保護機能

AD7176-2 にはチェックサム・モードがあり、インターフェースを強固にするために使用することができます。チェックサムを使うと、有効データのみをレジスタに書き込み、レジスタから読み出したデータが有効であることを確認できます。レジスタ書き込み時にエラーが発生すると、ステータス・レジスタの CRC_ERROR ビットがセットされますが、レジスタ書き込みを正常に行うためには、レジスタをリードバックして、チェックサ

ムを確認する必要があります。

書き込み動作時の CRC チェックサム計算では、常に次の多項式が使用されます。

$$x^8 + x^2 + x + 1$$

読み出し動作時は、この多項式または同様の XOR 機能を選択することができます。ホスト・マイクロコントローラでの XOR 機能の処理時間は、多項式チェックサムの場合より短くて済みます。インターフェース・モード・レジスタの CRC_EN ビットにより、チェックサムのインネブル/ディスエーブルを行い、多項式チェックまたはシンプルな XOR チェックの選択を行います。

チェックサムは、読み出しと書き込みの各トランザクションの終わりに追加されます。書き込みトランザクションに対するチェックサム計算は、8 ビット・コマンド・ワードと 8~24 ビット・データを使って計算されます。読み出しトランザクションに対するチェックサム計算は、コマンド・ワードと 8~32 ビット出力を使って計算されます。図 50 と図 51 に、それぞれ SPI の書き込みと読み出しのトランザクションを示します。

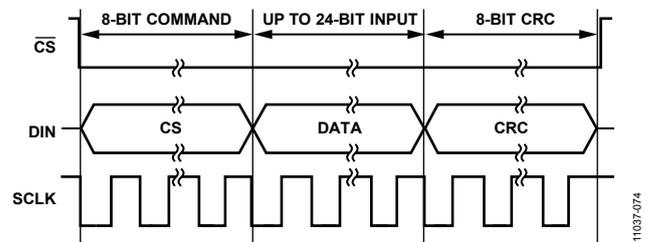


図 50. SPI 書き込みトランザクション、CRC あり

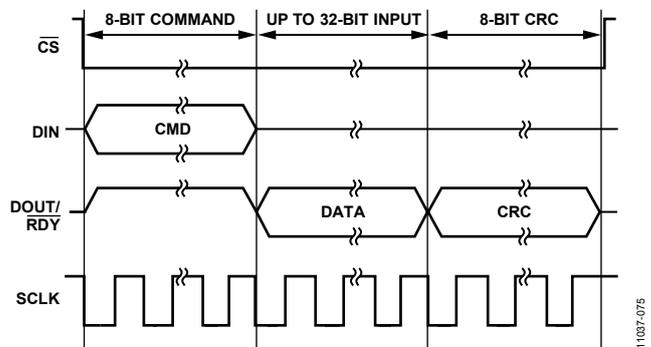


図 51. SPI 読み出しトランザクション、CRC あり

連続読み出しモードがアクティブのときチェックサム保護をインネブルすると、各データ転送の前に暗黙の読み出しデータ・コマンド(0x44)が存在します。これはチェックサム値を計算する際に含める必要があります。これにより、ADC データが 0x000000 であっても非ゼロのチェックサム値が保証されます。

CRC の計算

多項式

8 ビット幅のチェックサムは、次の多項式を使って生成します。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するときは、データを 8 ビット左シフトして 8 個のロジック 0 で終わる値を発生させます。多項式位置を調整して、その値の MSB がデータの最も左側のロジック 1 と隣り合うようにします。XOR (排他論理和)機能をデータに適用して、新しい短い値を生成します。多項式の位置を再度調整して、その値の MSB が新しい値の最も左側のロジック 1 と隣り合うようにし、手順を繰り返します。元のデータが多項式より小さい値になるまでこの処理を繰り返します。これが 8 ビット・チェックサムになります。

多項式 CRC 計算の例—24 ビット・ワード: 0x654321 (8 ビット・コマンドと 16 ビット・データ)

多項式チェックサムを使用した 8 ビット・チェックサムの生成例を次に示します。

Initial value	011001010100001100100001	
	01100101010000110010000100000000	left shifted eight bits
$x^8 + x^2 + x + 1$	=	100000111
		polynomial
100100100000110010000100000000		XOR result
100000111		polynomial
1000110001100100001000000000		XOR result
100000111		polynomial
111111001000010000000000		XOR result
100000111		polynomial value
111110111000010000000000		XOR result
100000111		polynomial value
1111000000001000000000		XOR result
100000111		polynomial value
1100111000100000000000		XOR result
100000111		polynomial value
1100100100100000000000		XOR result
100000111		polynomial value
1001010101000000000000		XOR result
100000111		polynomial value
1011011000000000000000		XOR result
100000111		polynomial value
11010110000000		XOR result
100000111		polynomial value
101010110000		XOR result
100000111		polynomial value
1010001000		XOR result
100000111		polynomial value
10000110		checksum = 0x86.

XOR の計算

8 ビット幅のチェックサムは、データをバイトに分割し、各バイトに XOR を適用して生成します。

XOR 計算の例—24-ビット・ワード: 0x654321 (8 ビット・コマンドと 16 ビット・データ)

前の例を使用

3 バイトに分割: 0x65、0x43、0x21

01100101	0x65
01000011	0x43
00100110	XOR result
00100001	0x21
00000111	CRC

汎用 I/O

AD7176-2にはGPIO0とGPIO1の2本の汎用デジタル入力/出力ピンがあります。これらのピンは、GPIOCONレジスタのIP_EN0/IP_EN1ビットまたはOP_EN0/OP_EN1ビットを使ってイネーブルされます。GPIO0ピンまたはGPIO1ピンを入力としてイネーブルすると、ピンのロジック・レベルはそれぞれデータ0ビットまたはデータ1ビットになります。GPIO0ピンまたはGPIO1ピンを出力としてイネーブルすると、それぞれGP_DATA0ビットまたはGP_DATA1ビットがピンのロジック・レベル出力を決定します。これらのピンのロジック・レベルは、AVDD1とAVSSを基準とするため、出力振幅は5Vになります。チャンネル数を増やすために外付けマルチプレクサを使用する場合、マルチプレクサ・ロジック・ピンをAD7176-2のGPIOピンを使って制御することができます。MUX_IOビットを使って、GPIOのタイミングがADCから制御されるため、チャンネル変化がADCに同期するので、外部同期は不要になります。また、SYNC/ERRORピンも汎用出力として使用することができます。GPIOCONレジスタのERR_ENビットに11を設定すると、SYNC/ERRORピンは汎用出力として動作します。この構成では、GPIOCONレジスタのERR_DATビットによりピンのロジック・レベル出力が決定されます。このピンのロジック・レベルは、IOVDDとDGNDを基準とし、SYNC/ERRORピンはアクティブ・プルアップを持っています。

16ビット変換/24ビット変換

デフォルトで、AD7176-2は24ビット変換を行います。変換幅は16ビットに短くすることができます。インターフェース・モード・レジスタのビットWL16に1を設定すると、すべてのデータ変換は16ビットに丸め処理されます。このビットをクリアすると、データ変換幅は24ビットに設定されます。

シリアル・インターフェースのリセット (DOUT_RESET)

シリアル・インターフェースは、各読出し動作が完了するとリセットされます。シリアル・インターフェースがリセットされるタイミングは、設定することができます。デフォルトでは、最後のSCLK立上がりエッジ(すなわちLSBがプロセッサから読出されたSCLKエッジ)の後の周期が経過したとき、シリアル・インターフェースがリセットされます。インターフェース・モード・レジスタのビットDOUT_RESETに1を設定すると、インターフェースがリセットされるタイミングはCSの立上がりエッジで制御されます。この場合、CSがハイ・レベルになるまで、DOUT/RDYピンは読出し対象レジスタのLSBを出力し続けます。CSの立上がりエッジでのみ、インターフェースがリセットされます。この構成は、CS信号を使ってすべての読出し動作をフレーム化するとき便利です。CSをすべての読出し動作のフレーム化に使用しない場合、DOUT_RESETに0を設定して、読出し動作でインターフェースを最後のSCLKエッジの後でリセットするようにする必要があります。

同期(SYNC/ERROR)

通常の同期

GPIOCONレジスタのSYNC_ENビットに0を設定すると、SYNC/ERRORピンは同期ピンとして機能します。SYNC入力を使うと、デバイス内のすべてのセットアップ状態に影響を与えることなく、変調器とデジタル・フィルタをリセットすることができます。この機能を使うと、既知の時点すなわちSYNCの立上がり変化から、アナログ入力のサンプルの収集を開始することができます。同期を確実にするためには、このピンを少なくとも1

マスター・クロック・サイクル間ロー・レベルに維持する必要があります。

複数のAD7176-2が共通のマスター・クロックで動作する場合、データ・レジスタを同時に更新するようにこれらのデバイスを同期させることができます。この動作は、通常、各AD7176-2がキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後に実行されます。SYNCピンの立下がりエッジで、デジタル・フィルタとアナログ変調器がリセットされて、AD7176-2は矛盾のない既知状態になります。SYNCピンがロー・レベルの間、AD7176-2はこの状態を維持します。SYNCの立上がりエッジで、変調器とフィルタはこのリセット状態から抜け出して、次のマスター・クロック・エッジで、デバイスは入力サンプルの収集を再開します。

SYNCがロー・レベルからハイ・レベルへ変化した後のマスター・クロックの立下がりエッジでデバイスはリセットから抜け出します。このため、複数のデバイスを同期化する場合、マスター・クロックの立上がりエッジでSYNCピンをハイ・レベルにして、マスター・クロックの立下がりエッジで、すべてのデバイスがサンプリングを開始するようにする必要があります。SYNCピンを十分な時間ハイ・レベルにしないと、デバイス間にマスター・クロックで1サイクルの差が発生することがあります。すなわち、変換結果が得られるタイミングがデバイス間でマスター・クロックで最大1サイクル異なります。

また、SYNCピンを変換開始コマンドとして使用することもできます。このモードでは、SYNCの立上がりエッジにより変換が開始され、RDYの立下がりエッジにより変換が完了したタイミングが表示されます。フィルタのセトリング・タイムで、各データ・レジスタの更新が可能である必要があります。

もう1つの同期機能

インターフェース・モード・レジスタのビットALT_SYNCに1を設定すると、別の同期方式がイネーブルされます。この別方式をイネーブルするときは、GPIOCONレジスタのSYNC_ENビットに1を設定する必要があります。このモードでは、AD7176-2の複数のチャンネルがイネーブルされると、SYNCピンがスタート変換コマンドとして動作します。SYNCをロー・レベルにすると、ADCは現在のチャンネルの変換を完了し、シーケンス内の次のチャンネルを選択して、SYNCがハイ・レベルになり変換が開始されるまで待ちます。現在のチャンネルの変換が完了するとRDYピンがロー・レベルになり、データ・レジスタは対応する変換結果で更新されます。このため、SYNCコマンドは現在選択されているチャンネルのサンプリングと干渉しないので、ユーザーはシーケンス内の次のチャンネルで変換が開始されるタイミングを制御することができます。

このモードは、複数のチャンネルがイネーブルされた場合のみ使用することができます。1チャンネルのみをイネーブルするときは、このモードの使用を推奨できません。

エラー・フラグ

ステータス・レジスタには、ADC_ERROR、CRC_ERROR、REG_ERRORの3ビットのエラー・ビットがあり、これらのフラグは、それぞれADC変換でのエラー、CRCチェックでのエラー、レジスタの変化に起因するエラーを表示します。さらに、ERRORピンは、発生したエラーを表示することができます。

ADC_ERROR

ステータス・レジスタのADC_ERRORビットは、変換プロセス中に発生したすべてのエラーを表示します。このフラグは、アナログ入力で過電圧または低電圧が発生すると、セットされます。また低電圧または過電圧が発生すると、ADCも全ビット0または全ビット1を出力します。このフラグは、過電圧/低電圧が解消されたときにのみリセットされます。データ・レジスタの読み出しではリセットされません。

CRC_ERROR

書き込み動作対応するCRC値が送信された情報に対応しないと、CRC_ERRORフラグがセットされます。このフラグは、ステータス・レジスタが明確に読み出されると、ただちにリセットされません。

REG_ERROR

このフラグは、インターフェース・モード・レジスタのREG_CHECKビットと組み合わせて使用されます。このREG_CHECKビットがセットされると、AD7176-2は内蔵レジスタの値を監視します。ビットが変化すると、REG_ERRORビットがセットされます。このため、内蔵レジスタへの書き込みでは、REG_CHECKが0に設定される必要があります。レジスタが更新されると、REF_CHKビットが1に設定されることがあります。AD7176-2は内蔵レジスタのチェックサムを計算します。1つのレジスタ値が変化すると、REG_ERRORビットがセットされます。エラーが表示された場合は、REG_CHECKビットに0を設定して、ステータス・レジスタのREG_ERRORビットをクリアする必要があります。レジスタ・チェック機能では、データ・レジスタ、ステータス・レジスタ、またはインターフェース・モード・レジスタを監視しません。

ERRORピン

GPIOCONレジスタのSYNC_ENビットが1に設定され、かつインターフェース・モード・レジスタのビットALT_SYNCが0に設定されると、SYNC/ERRORピンはエラー入力/出力ピンまたは汎用出力ピンとして機能します。GPIOCONレジスタのERR_ENビットがピン機能を決定します。

ERR_ENビットが10に設定されると、このピンはオープン・ドレイン・エラー出力ピンとして機能します。ステータス・レジスタの3つのエラー・ビット(ADC_ERROR、CRC_ERROR、REG_ERROR)をOR結合し、反転し、ERRORピンに割り当てます。このため、ERRORピンはエラーが発生したことを表示します。ステータス・レジスタを読み出してエラー原因を識別する必要があります。

ERR_ENビットが01に設定されると、ERRORピンはエラー入力ピンとして機能します。別の部品のエラー・ピンをAD7176-2のERRORピンへ接続して、AD7176-2は自身にまたは別の外付け部品にエラーが発生したことを表示することができます。ERRORピンの値の反転をADC変換からのエラーとOR結合すると、その結果がステータス・レジスタのADC_ERRORビットを介して表示されます。ERRORピンの値は、ステータス・レジスタのERR_DATビットに反映されます。

ERR_ENビットを00に設定すると、ERRORピンはディスプレイされます。ERR_EN1ビットを11に設定すると、ERRORピンは汎用出力として動作します。

DATA_STAT

ステータス・レジスタ値は、AD7176-2の各変換結果に追加することができます。この機能は、複数のチャンネルをイネーブルする場合に便利です。変換結果が出力されるごとに、ステータス・レジスタ値がそれに付加されます。ステータス・レジスタの下位2ビットが、変換結果に対応するチャンネルを表示します。さらに、エラー・ビットにより、エラーが表示中か否かを調べることができます。

IOSTRENGTH

シリアル・インターフェースは最小2Vの電源で動作することができますが、この低い電圧では、ボード上に中程度の寄生容量が存在する場合またはSCLK周波数が高い場合、DOUT/RDYピンは十分な駆動強度を持つことができません。インターフェース・モード・レジスタのIOSTRENGTHビットは、DOUT/RDYピンの駆動強度を増やします。

グラウンド接続とレイアウト

アナログ入力とリファレンス入力は差動であるため、アナログ変調器内の多くの電圧は同相モード電圧です。この製品の高い同相モード除去比により、これら入力での同相モード・ノイズが除去されます。AD7176-2 のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部間の結合を最小にしています。デジタル・フィルタは、マスター・クロック周波数の整数倍を除く広い帯域の電源ノイズを除去します。

また、ノイズ・ソースがアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス電圧入力のノイズも除去します。そのため、従来の高分解能コンバータに比べて AD7176-2 のノイズ干渉耐性は向上しています。ただし、AD7176-2 の分解能が高く、コンバータから生ずるノイズ・レベルが低いため、グラウンド接続とレイアウトについては注意が必要です。

ADC を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。一般に、グラウンド・プレーンではエッチング部分を最小にすることが最適です。これは最適なシールド効果が得られるためです。

すべてのレイアウトで、電流を目的場所まで流すパスとそのリターン・パスをできるだけ近づけて配置するように心がけることは重要です。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。アナログ・グラウンド・プレーンを AD7176-2 の下を通すようにして、ノイズの混入を防止してください。AD7176-2 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの

他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに直角度となるように配置します。これにより、ボードを通過するフィードスルーの影響を小さくすることができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能 ADC を使うときは、デカップリングが重要になります。AD7176-2 には、AVDD1、AVDD2、IOVDD の 3 本の電源ピンがあります。AVDD1 ピンと AVDD2 ピンは AVSS を、IOVDD ピンは DGND を、それぞれ基準とします。AVDD1 と AVDD2 は、各ピンで 10 μF のタンタル・コンデンサと 0.1 μF のコンデンサの並列接続で AVSS へデカップリングする必要があります。0.1 μF のコンデンサは、各電源でデバイスのできるだけ近くに理想的にはデバイスの隣に配置する必要があります。IOVDD は、10 μF のタンタル・コンデンサと 0.1 μF のコンデンサの並列接続で DGND へデカップリングする必要があります。すべてのアナログ入力は AVSS へデカップリングする必要があります。外付けリファレンスを使用する場合、REF+ピンと REF-ピンは AVSS へデカップリングする必要があります。

また AD7176-2 は AVDD2 電源と IOVDD 電源をレギュレーションする 2 つの LDO レギュレータを内蔵しています。REGCAPA ピンの場合、AVSS へ接続した 1 μF と 0.1 μF のコンデンサを使用することが推奨されます。同様に、REGCAPD ピンには DGND へ接続した 1 μF と 0.1 μF のコンデンサを使用することが推奨されます。

AD7176-2 を両電源で動作させる場合は、AVSS に対して別々のプレーンを使用する必要があります。

レジスタの一覧

表 21. AD7176-2 レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	COMMS	[7: 0]	WEN	R/W	RA						0x00	W	
0x00	STATUS	[7: 0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	RESERVED		CHANNEL		0x80	R	
0x01	ADCMODE	[15: 8]	REF_EN	RESERVED	SING_CYC	RESERVED		DELAY			0x8000	RW	
		[7: 0]	RESERVED	MODE			CLOCKSEL		RESERVED				
0x02	IFMODE	[15: 8]	RESERVED			ALT_SYNC	IOSTRENGTH	RESERVED		DOUT_RESET	0x0000	RW	
		[7: 0]	CONTREAD	DATA_STAT	REG_CHECK	RESERVED	CRC_EN		RESERVED	WL16			
0x03	REGCHECK	[23: 16]	REGISTER_CHECK[23: 16]									0x000000	R
		[15: 8]	REGISTER_CHECK[15: 8]										
		[7: 0]	REGISTER_CHECK[7: 0]										
0x04	DATA	[23: 16]	DATA[23: 16]									0x000000	R
		[15: 8]	DATA[15: 8]										
		[7: 0]	DATA[7: 0]										
0x06	GPIOCON	[15: 8]	RESERVED			MUX_IO	SYNC_EN	ERR_EN		ERR_DAT	0x0800	RW	
		[7: 0]	RESERVED		IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0			
0x07	ID	[15: 8]	ID[15: 8]									0x0C9X	R
		[7: 0]	ID[7: 0]										
0x10	CHMAP0	[15: 8]	CH_EN0	RESERVED	SETUP_SEL0		RESERVED		AINPOS0[4: 3]		0x8001	RW	
		[7: 0]	AINPOS0[2: 0]			AINNEG0							
0x11	CHMAP1	[15: 8]	CH_EN1	RESERVED	SETUP_SEL1		RESERVED		AINPOS1[4: 3]		0x0001	RW	
		[7: 0]	AINPOS1[2: 0]			AINNEG1							
0x12	CHMAP2	[15: 8]	CH_EN2	RESERVED	SETUP_SEL2		RESERVED		AINPOS2[4: 3]		0x0001	RW	
		[7: 0]	AINPOS2[2: 0]			AINNEG2							
0x13	CHMAP3	[15: 8]	CH_EN3	RESERVED	SETUP_SEL3		RESERVED		AINPOS3[4: 3]		0x0001	RW	
		[7: 0]	AINPOS3[2: 0]			AINNEG3							
0x20	SETUPCON0	[15: 8]	RESERVED			BI_UNIPOLAR0	RESERVED				0x1020	RW	
		[7: 0]	RESERVED		REF_SEL0		RESERVED						
0x21	SETUPCON1	[15: 8]	RESERVED			BI_UNIPOLAR1	RESERVED				0x1020	RW	
		[7: 0]	RESERVED		REF_SEL1		RESERVED						
0x22	SETUPCON2	[15: 8]	RESERVED			BI_UNIPOLAR2	RESERVED				0x1020	RW	
		[7: 0]	RESERVED		REF_SEL2		RESERVED						
0x23	SETUPCON3	[15: 8]	RESERVED			BI_UNIPOLAR3	RESERVED				0x1020	RW	
		[7: 0]	RESERVED		REF_SEL3		RESERVED						
0x28	FILTCON0	[15: 8]	SINC3_MAP0	RESERVED			ENHFILTEN0	ENHFILT0			0x0000	RW	
		[7: 0]	RESERVED	ORDER0		ODR0							
0x29	FILTCON1	[15: 8]	SINC3_MAP1	RESERVED			ENHFILTEN1	ENHFILT1			0x0000	RW	
		[7: 0]	RESERVED	ORDER1		ODR1							
0x2A	FILTCON2	[15: 8]	SINC3_MAP2	RESERVED			ENHFILTEN2	ENHFILT2			0x0000	RW	
		[7: 0]	RESERVED	ORDER2		ODR2							
0x2B	FILTCON3	[15: 8]	SINC3_MAP3	RESERVED			ENHFILTEN3	ENHFILT3			0x0000	RW	
		[7: 0]	RESERVED	ORDER3		ODR3							
0x30	OFFSET0	[23: 16]	OFFSET0[23: 16]									0x800000	RW
		[15: 8]	OFFSET0[15: 8]										
		[7: 0]	OFFSET0[7: 0]										
0x31	OFFSET1	[23: 16]	OFFSET1[23: 16]									0x800000	RW
		[15: 8]	OFFSET1[15: 8]										
		[7: 0]	OFFSET1[7: 0]										
0x32	OFFSET2	[23: 16]	OFFSET2[23: 16]									0x800000	RW
		[15: 8]	OFFSET2[15: 8]										
		[7: 0]	OFFSET2[7: 0]										
0x33	OFFSET3	[23: 16]	OFFSET3[23: 16]									0x800000	RW
		[15: 8]	OFFSET3[15: 8]										
		[7: 0]	OFFSET3[7: 0]										
0x38	GAIN0	[23: 16]	GAIN0[23: 16]									0x5XXXX0	RW
		[15: 8]	GAIN0[15: 8]										
		[7: 0]	GAIN0[7: 0]										

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x39	GAIN1	[23: 16]	GAIN1[23: 16]							0x5XXXX0	RW	
		[15: 8]	GAIN1[15: 8]									
		[7: 0]	GAIN1[7: 0]									
0x3A	GAIN2	[23: 16]	GAIN2[23: 16]							0x5XXXX0	RW	
		[15: 8]	GAIN2[15: 8]									
		[7: 0]	GAIN2[7: 0]									
0x3B	GAIN3	[23: 16]	GAIN3[23: 16]							0x5XXXX0	RW	
		[15: 8]	GAIN3[15: 8]									
		[7: 0]	GAIN3[7: 0]									

レジスタの詳細

コミュニケーション・レジスタ

アドレス: 0x00、リセット: 0x00、名前: COMMS

表 22.COMMS のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
7	WEN		ADCとの交信を開始するときは、このビットをロー・レベルにする必要があります。	0x0	W
6	R/W	0 1	このビットを使って、読出しコマンドまたは書込みコマンドを指定します。 書込みコマンド 読出しコマンド	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 100000 100001 100010 100011 101000 101001 101010 101011 110000 110001 110010 110011 111000 111001 111010	これらのレジスタ・アドレス・ビットを使って、現在の交信での読出し対象レジスタまたは書込み対象レジスタを指定します。 ステータス・レジスタ ADCモード・レジスタ インターフェース・モード・レジスタ レジスタ・チェックサム・レジスタ データ・レジスタ GPIOコンフィギュレーション・レジスタ IDレジスタ チャンネル・マップ1レジスタ チャンネル・マップ2レジスタ チャンネル・マップ3レジスタ チャンネル・マップ4レジスタ セットアップ・コンフィギュレーション1レジスタ セットアップ・コンフィギュレーション2レジスタ セットアップ・コンフィギュレーション3レジスタ セットアップ・コンフィギュレーション4レジスタ フィルタ・コンフィギュレーション1レジスタ フィルタ・コンフィギュレーション2レジスタ フィルタ・コンフィギュレーション3レジスタ フィルタ・コンフィギュレーション4レジスタ オフセット1レジスタ オフセット2レジスタ オフセット3レジスタ オフセット4レジスタ ゲイン1レジスタ ゲイン2レジスタ ゲイン3レジスタ	0x00	W

ステータス・レジスタ

アドレス: 0x00、リセット: 0x80、名前: STATUS

ステータス・レジスタは 8 ビット・レジスタで、ADC とシリアル・インターフェース・ステータスの情報を格納しています。インターフェース・モード・レジスタの DATA_STAT ビットをセットすることにより、オプションでデータ・レジスタへ追加することができます。

表 23.STATUS のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
7	RDY	0 1	CSがロー・レベルで、かつレジスタが読出されていないとき、RDYのステータスがDOUT/RDYピンへ出力されます。ADCが新しい変換結果をデータ・レジスタへ書き込むと、このビットがロー・レベルになります。ADCキャリブレーション・モードでは、ADCがキャリブレーション結果を書き込むと、このビットがロー・レベルになります。データ・レジスタを読出すと、RDYは自動的にハイ・レベルになります。 新しいデータ変換結果が使用可能 新しいデータ変換結果待ち	0x1	R
6	ADC_ERROR	0 1	デフォルトでこのビットは、ADC 範囲を上側または下側に超えたことを表示します。これが発生すると、ADC 変換結果は±フルスケールにクランプされます。このビットは ADC 変換結果が書き込まれたとき更新され、アナログ入力で範囲超の状態が解消されたときクリアされます。 エラーなし エラー発生	0x0	R
5	CRC_ERROR	0 1	このビットは、レジスタ書込み動作で CRC エラーの有無を表示します。レジスタ読出しでは、ホスト・マイクロコントローラが CRC エラーの有無を調べます。このレジスタを読出すと、このビットがクリアされます。 エラーなし CRC エラー発生	0x0	R
4	REG_ERROR	0 1	レジスタ・インテグリティ・チェックを実行したとき、このビットは内部レジスタの 1 つの値が計算値から変化したか否かを表示します。インターフェース・モード・レジスタの REG_CHECK ビットをセットするとチェックが開始されます。REG_CHECK ビットをクリアすると、このビットがクリアされます。 エラーなし エラー発生	0x0	R
[3:2]	RESERVED		これらのビットは予約済みです。	0x0	R
[1:0]	CHANNEL	00 01 10 11	これらのビットは、現在データ・レジスタに変換結果が格納されている ADC に対してアクティブになっているチャンネルを表示します。現在変換中のチャンネルと異なっていることがあります。チャンネル・マップ・レジスタに直接対応するため、チャンネル 0 は 0x0 に、チャンネル 3 は 0x3 に、それぞれなります。 チャンネル 0 チャンネル 1 チャンネル 2 チャンネル 3	0x0	R

ADC モード・レジスタ

アドレス: 0x01、リセット: 0x8000、名前: ADCMODE

ADCモード・レジスタは、ADCの動作モードとマスター・クロックの選択を制御します。ADCモード・レジスタへ書き込みを行うと、フィルタ・ビットとRDYビットがリセットされて、新しい変換またはキャリブレーションが開始されます。

表 24.ADCMODE のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
15	REF_EN	0 1	内蔵リファレンス電圧をイネーブルし、バッファ済 2.5 V を REFOUT ピンへ出力します。 ディスエーブル イネーブル	0x1	RW
14	RESERVED		このビットは予約済みで、0 に設定する必要があります。	0x0	R
13	SING_CYC	0 1	このビットを使って、ADC 出力タイミングを知らせる RDY が Low となるタイミング=フルセトリング出力とします。データレートシングルチャンネルモードのみ有効となります。Sinc5+Sinc1 フィルタにおいては 10ksps 以下のアウトプットデータレートでは無効になります。詳細は、DIGITAL FILTER のセクションを参照してください。	0x0	RW
[12:11]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
[10:8]	DELAY	000 001 010 011 100 101 110 111	これらのビットを使うと、チャンネル・スイッチの後ろにプログラマブルな遅延を追加して、ADC が入力の処理を開始する前に外部回路を安定させることができます。	0x0	RW
7	RESERVED		このビットは予約済みで、0 に設定する必要があります。	0x0	R
[6:4]	MODE	000 001 010 011 100 110 111	これらのビットは、ADC の動作モードを制御します。詳細は、動作モードのセクションを参照してください。	0x0	RW
[3:2]	CLOCKSEL	00 01 10 11	このビットを使って、ADC クロック・ソースを選択します。内蔵発振器を選択すると、内蔵発振器もイネーブルされます。	0x0	RW
[1:0]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R

インターフェース・モード・レジスタ

アドレス: 0x02、リセット: 0x0000、名前: IFMODE

インターフェース・モード・レジスタは、種々のシリアル・インターフェース・オプションを設定します。

表 25. IFMODE のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:13]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
12	ALT_SYNC	0 1	このビットは、 <u>ERROR</u> / <u>SYNC</u> ピンをチャンネル・サイクリングでの変換制御として使えるようにします(詳細については、GPIOコンフィギュレーション・レジスタのSYNC_ENビットの説明を参照してください)。 0 ディスエーブル 1 イネーブル	0x0	RW
11	IOSTRENGTH	0 1	このビットは、DOUT ピンの駆動強度を制御します。低い IOVDD 電源と中程度の容量を使ってシリアル・インターフェースを高速で読出すときこのビットをセットします。 0 ディスエーブル(デフォルト) 1 イネーブル	0x0	RW
[10:9]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
8	DOUT_RESET	0 1	このビットは、読出し動作で最後のSCLK立上がりエッジの直後にDOUT/RDYピンがDOUT出力からRDY出力へ切り替わるのを防止します。代わりに、CSがハイ・レベルになるまでDOUT/RDYピンはデータのLSBの出力を維持します。この機能によりホールド・タイムを長くして、SPIマスターがデータのLSBをサンプルできるようにします。このビットをセットする場合、CSをロー・レベルに固定することはできません。 0 ディスエーブル 1 イネーブル	0x0	RW
7	CONTREAD	0 1	このビットは、ADC データ・レジスタの連続読出しを可能にします。連続読出しのときは、ADC を連続変換モードに設定する必要があります。詳細については、動作モードのセクションを参照してください。 0 ディスエーブル 1 イネーブル	0x0	RW
6	DATA_STAT	0 1	このビットは、チャンネルとステータス情報がデータと一緒に送信されるように、読出し時にデータ・レジスタにステータス・レジスタを追加できるようにします。これは、ステータス・レジスタから読出したチャンネル・ビットをデータ・レジスタのデータに対応させる唯一の方法です。 0 ディスエーブル 1 イネーブル	0x0	RW
5	REG_CHECK	0 1	このビットは、レジスタ・インテグリティ・チッカーをイネーブルします。この機能は、ユーザー・レジスタ値の変化をモニタする際に使用することができます。この機能を使うときは、他のすべてのレジスタは、このビットをクリアした状態で所定の通りに設定する必要があります。次に、このレジスタへ書込みを行なってREG_CHECK ビットに1を設定します。値が変化したレジスタがあると、ステータス・レジスタのREG_ERROR ビットがセットされます。エラーをクリアするときは、REG_CHECK ビットへ0を設定します。インターフェース・モード・レジスタ、ADC データ・レジスタ、ステータス・レジスタはチェックされません。レジスタへ新しい値を書き込むときは、このビットを先にクリアする必要があります。そうしないと、新しいレジスタ値が書き込まれたときエラー・フラグが発生します。 0 ディスエーブル 1 イネーブル	0x0	RW
4	RESERVED		このビットは予約済みで、0 に設定する必要があります。	0x0	R

ビット	ビット名	設定値	説明	リセット	アクセス
[3:2]	CRC_EN	00 01 10	レジスタ読出し／書込みの CRC 保護をイネーブルします。シリアル・インターフェース転送では CRC によりバイト数が 1 バイト増えます。詳細については、CRC 計算のセクションを参照してください。 00 ディスエーブル。 01 レジスタ読出しトランザクションに対して XOR チェックサムをイネーブル。これらのビットをセットすると、レジスタ書込みでも CRC を使用。 10 読出しおよび書込みトランザクションに対して CRC チェックサムをイネーブル。	0x00	RW
1	RESERVED		このビットは予約済みで、0 に設定する必要があります。	0x0	R
0	WL16	0 1	ADC データ・レジスタを 16 ビットへ変更します。インターフェース・モード・レジスタに対する書込みでは ADC がリセットされないため、これらのビットに対する書込みの直後に ADC 変換結果は正しいワード長へ丸め処理されません。最初の新しい ADC 変換結果は正しくなります。 0 24 ビット・データ 1 16 ビット・データ	0x0	RW

レジスタ・チェック

アドレス: 0x03、リセット: 0x000000、名前: REGCHECK

このレジスタ・チェック・レジスタは、ユーザー・レジスタ値との排他論理和により計算された 24 ビットのチェックサムです。この機能が動作するためにはインターフェース・モード・レジスタの REG_CHECK ビットをセットする必要があります。そうしないと、レジスタの読出しで 0 が返されます。

表 26.REGCHECK のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23: 0]	REGISTER_CHECK		インターフェース・モード・レジスタの REG_CHECK ビットがセットされると、このレジスタにはユーザー・レジスタの 24 ビットのチェックサムが格納されます。	0x000000	R

データ・レジスタ

アドレス: 0x04、リセット: 0x000000、名前: DATA

データ・レジスタには ADC 変換結果が格納されます。エンコーディングはオフセット・バイナリですが、セットアップ・コンフィギュレーション・レジスタの BL_UNIPOLAR ビットを使ってユニポーラへ変更することができます。データ・レジスタを読み出すと、RDY ビットとピンがロー・レベルであった場合ハイ・レベルになります。ADC 変換結果は複数回読出すことができますが、RDY がハイ・レベルになっているため、次の変換 ADC 結果が続いているか否かを知ることができません。レジスタの読出し中にはデータ・レジスタへ新しい ADC 変換結果は書込まれません。

表 27.DATA のビット説明データ

ビット	ビット名	設定値	説明	リセット	アクセス
[23:0]	DATA		このレジスタには ADC 変換結果が格納されます。インターフェース・モード・レジスタの DATA_STAT がセットされると、読出し時にステータス・レジスタがこのレジスタに付加されて、32 ビット・レジスタになります。インターフェース・モード・レジスタの WL16 がセットされると、このレジスタは 16 ビットに丸め処理されます。	0x000000	R

GPIO コンフィギュレーション・レジスタ

アドレス: 0x06、リセット: 0x0800、名前: GPIOCON

GPIO コンフィギュレーション・レジスタは、ADC の汎用 I/O ピンを制御します。

表 28.GPIOCON のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:13]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
12	MUX_IO		このビットを使うと、内部チャンネル・シーケンシングとの同期で GPIO0/GPIO1 を使って、外付けマルチプレクサを ADC から制御できるようになります。この場合でも、チャンネルに対して使うアナログ入力ピンは、チャンネルごとに選択することができます。このため、AIN0/AIN1 の前に 4 チャンネルのマルチプレクサを、AIN2/AIN3 の前にさらにもう 1 つをそれぞれ接続して、AD7175-2 で合計 4 つの差動チャンネルを持つことができますが、同時に 4 チャンネルだけを自動的にシーケンスすることができます。外付けマルチプレクサのスイッチングの後に遅延を挿入することができます(ADC モード・レジスタの DELAY ビット参照)。	0x0	RW
11	SYNC_EN	0 1	このビットは、 <u>SYNC/ERROR</u> ピンを同期入力としてイネーブルします。ロー・レベルにすると、 <u>SYNC/ERROR</u> ピンはADCとフィルタをリセット状態に維持し、 <u>SYNC/ERROR</u> がハイ・レベルになるまで続きます。インターフェース・モード・レジスタのALT_SYNCビットをセットすると、 <u>SYNC/ERROR</u> ピンのもう 1 つの動作を使用することができます。このモードは、複数のチャンネルをイネーブルしたときのみ動作します。この場合、 <u>SYNC/ERROR</u> ピンをロー・レベルにしても、フィルタ/変調器を直ちにリセットしません。代わりに、チャンネルを切り替えるため <u>SYNC/ERROR</u> ピンをロー・レベルにすると、変調器とフィルタは新しい変換を開始しなくなります。 <u>SYNC/ERROR</u> をハイ・レベルにすると、次の変換が開始されます。このもう 1 つの同期モードを使うと、チャンネルをサイクリングする際に <u>SYNC/ERROR</u> を使用することができます。	0x1	RW
[10:9]	ERR_EN	00 01 10 11	これらのビットは、 <u>SYNC/ERROR</u> ピンをエラー入力/出力としてイネーブルします。 00 ディスエーブル 01 <u>SYNC/ERROR</u> はエラー入力です。読出した状態(反転)は他のエラー・ソースとOR接続されて、ステータス・レジスタのADC_ERRORビットになります。 <u>SYNC/ERROR</u> ピンの状態も、このレジスタのERR_DATビットから読出すことができます。 10 <u>SYNC/ERROR</u> はオープン・ドレインのエラー出力です。このステータス・レジスタ・エラー・ビットはORされ、反転されて、 <u>SYNC/ERROR</u> ピンへ接続されます。複数デバイスの <u>SYNC/ERROR</u> ピンが一緒に共通のプルアップ抵抗に接続できるため、任意のデバイスのエラーを表示することができます。 11 <u>SYNC/ERROR</u> は汎用出力です。このピンのステータスは、このレジスタのERR_DATビットから制御されます。このピンは、汎用ピンで使用するAVDD1 レベルおよびAVSSレベルとは異なり、IOVDDおよびDGNDを基準とします。この場合、このピンはアクティブ・プルアップを持ちます。	0x0	RW
8	ERR_DAT		このピンが汎用出力としてイネーブルされると、このビットが <u>ERROR</u> ピンのロジック・レベルを決定します。このピンは入力としてイネーブルされると、このピンのリードバック・ステータスを反映します。	0x0	RW
[7:6]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
5	IP_EN1	0 1	このビットは GPIO1 を入力にします。入力は AVDD5 または AVSS である必要があります。 0 ディスエーブル 1 イネーブル	0x0	RW
4	IP_EN0	0 1	このビットは GPIO0 を入力にします。入力は AVDD5 または AVSS である必要があります。 0 ディスエーブル 1 イネーブル	0x0	RW

ビット	ビット名	設定値	説明	リセット	アクセス
3	OP_EN1	0 1	このビットは GPIO1 を出力にします。出力は AVDD1 と AVSS を基準とする必要があります。 0 ディスエーブル 1 イネーブル	0x0	RW
2	OP_EN0	0 1	このビットは GPIO0 を出力にします。出力は AVDD1 と AVSS を基準とする必要があります。 0 ディスエーブル 1 イネーブル	0x0	RW
1	GP_DATA1		このビットは、GPIO1 のリードバック・データまたは書込みデータになります。	0x0	RW
0	GP_DATA0		このビットは、GPIO0 のリードバック・データまたは書込みデータになります。	0x0	RW

ID レジスタ

アドレス: 0x07、リセット: 0x0C9X、名前: ID

ID レジスタは、16 ビットの ID を返します。AD7176-2 に対する値は 0x0C94 です。

表 29.ID のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:0]	ID	0x0C9X	ID レジスタは ADC 固有の 16 ビット ID コードを返します。 AD7176-2	0x0C9X	R

チャンネル・マップ・レジスタ 0

アドレス: 0x10、リセット: 0x8001、名前: CHMAP0

チャンネル・マップ・レジスタは 16 ビット・レジスタで、アクティブ中のチャンネル、各チャンネルに選択される入力、そのチャンネルの ADC の設定に使用するセットアップを選択するときに使います。

表 30.CHMAP0 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
15	CH_EN0	0 1	このビットはチャンネル 0 をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらの中で自動的にシーケンスします。 ディスエーブル イネーブル(デフォルト)	0x1	RW
14	RESERVED		このビットは予約済みで 0 を設定する必要があります。	0x0	R
[13:12]	SETUP_SEL0	000 001 010 011	これらのビットは、このチャンネルに対して ADC を設定する際に 4 種類のセットアップの内のどれを使用するかを指定します。1 つのセットアップは、セットアップ・コンフィギュレーション・レジスタ、フィルタ・コンフィギュレーション・レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 個のレジスタから構成されています。すべてのチャンネルで同じセットアップを使用することができます。この場合、すべてのアクティブ・チャンネルのこれらのビットに同じ 3 ビット値を書込む必要があります。あるいは最大 4 チャンネルを別々に構成することができます。	0x0	RW
[11:10]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
[9:5]	AINPOS0	00000 00001 00010 00011 00100 10101 10110	これらのビットは、このチャンネルの ADC 正入力へ接続するアナログ入力を選択します。 AIN0 (デフォルト) AIN1 AIN2 AIN3 AIN4 REF+ REF-	0x0	RW
[4:0]	AINNEG0	00000 00001 00010 00011 00100 10101 10110	これらのビットは、このチャンネルの ADC 負入力へ接続するアナログ入力を選択します。 AIN0 AIN1 (デフォルト) AIN2 AIN3 AIN4 REF+ REF-	0x1	RW

チャンネル・マップ・レジスタ 1

アドレス: 0x11、リセット: 0x0001、名前: CHMAP1

チャンネル・マップ・レジスタは 16 ビット・レジスタで、アクティブ中のチャンネル、各チャンネルに選択される入力、そのチャンネルの ADC の設定に使用するセットアップを選択するときに使います。

表 31.CHMAP1 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
15	CH_EN1	0 1	このビットはチャンネル 1 をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらの中で自動的にシーケンスします。 ディスエーブル(デフォルト) イネーブル	0x0	RW
14	RESERVED		このビットは予約済みで 0 を設定する必要があります。	0x0	R
[13:12]	SETUP_SEL1	000 001 010 011	これらのビットは、このチャンネルに対して ADC を設定する際に 4 種類のセットアップの内のどれを使用するかを指定します。1 つのセットアップは、セットアップ・コンフィギュレーション・レジスタ、フィルタ・コンフィギュレーション・レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 個のレジスタから構成されています。すべてのチャンネルで同じセットアップを使用することができます。この場合、すべてのアクティブ・チャンネルのこれらのビットに同じ 3 ビット値を書込む必要があります。あるいは最大 4 チャンネルを別々に構成することができます。	0x0	RW
[11:10]	RESERVED		これらのビットは予約済みで、0 に設定する必要があります。	0x0	R
[9:5]	AINPOS1	00000 00001 00010 00011 00100 10101 10110	これらのビットは、このチャンネルの ADC 正入力へ接続するアナログ入力を選択します。 AIN0 (デフォルト) AIN1 AIN2 AIN3 AIN4 REF+ REF-	0x0	RW
[4:0]	AINNEG1	00000 00001 00010 00011 00100 10101 10110	これらのビットは、このチャンネルの ADC 負入力へ接続するアナログ入力を選択します。 AIN0 AIN1 (デフォルト) AIN2 AIN3 AIN4 REF+ REF-	0x1	RW

チャンネル・マップ・レジスタ 2

アドレス: 0x12、リセット: 0x0001、名前: CHMAP2

チャンネル・マップ・レジスタは 16 ビット・レジスタで、アクティブ中のチャンネル、各チャンネルに選択される入力、そのチャンネルの ADC の設定に使用するセットアップを選択するときに使います。

表 32.CHMAP2 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
15	CH_EN2	0 1	このビットはチャンネル 2 をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらの中で自動的にシーケンスします。 ディスエーブル(デフォルト) イネーブル	0x0	RW
14	RESERVED		このビットは予約済みで 0 を設定する必要があります。	0x0	R
[13:12]	SETUP_SEL2	000 001 010 011	これらのビットは、このチャンネルに対して ADC を設定する際に 4 種類のセットアップの内のどれを使用するかを指定します。1 つのセットアップは、セットアップ・コンフィギュレーション・レジスタ、フィルタ・コンフィギュレーション・レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 個のレジスタから構成されています。すべてのチャンネルで同じセットアップを使用することができます。この場合、すべてのアクティブ・チャンネルのこれらのビットに同じ 3 ビット値を書込む必要があります。あるいは最大 4 チャンネルを別々に構成することができます。	0x0	RW
[11:10]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
[9:5]	AINPOS2	00000 00001 00010 00011 00100 10101 10110	これらのビットは、このチャンネルの ADC 正入力へ接続するアナログ入力を選択します。 AIN0 (デフォルト) AIN1 AIN2 AIN3 AIN4 REF+ REF-	0x0	RW
[4:0]	AINNEG2	00000 00001 00010 00011 00100 10101 10110	これらのビットは、このチャンネルの ADC 負入力へ接続するアナログ入力を選択します。 AIN0 AIN1 (デフォルト) AIN2 AIN3 AIN4 REF+ REF-	0x1	RW

チャンネル・マップ・レジスタ 3

アドレス: 0x13、リセット: 0x0001、名前: CHMAP3

チャンネル・マップ・レジスタは 16 ビット・レジスタで、アクティブ中のチャンネル、各チャンネルに選択される入力、そのチャンネルの ADC の設定に使用するセットアップを選択するときに使います。

表 33.CHMAP3 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
15	CH_EN3	0 1	このビットはチャンネル 3 をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらの中で自動的にシーケンスします。 ディスエーブル(デフォルト) イネーブル	0x0	RW
14	RESERVED		このビットは予約済みで 0 を設定する必要があります。	0x0	R
[13:12]	SETUP_SEL3	000 001 010 011	これらのビットは、このチャンネルに対して ADC を設定する際に 4 種類のセットアップの内のどれを使用するかを指定します。1 つのセットアップは、セットアップ・コンフィギュレーション・レジスタ、フィルタ・コンフィギュレーション・レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 個のレジスタから構成されています。すべてのチャンネルで同じセットアップを使用することができます。この場合、すべてのアクティブ・チャンネルのこれらのビットに同じ 3 ビット値を書込む必要があります。あるいは最大 4 チャンネルを別々に構成することができます。	0x0	RW
[11:10]	RESERVED		これらのビットは予約済みで、0 に設定する必要があります。	0x0	R
[9:5]	AINPOS3	00000 00001 00010 00011 00100 10101 10110	これらのビットは、このチャンネルの ADC 正入力へ接続するアナログ入力を選択します。 AIN0 (デフォルト) AIN1 AIN2 AIN3 AIN4 REF+ REF-	0x0	RW
[4:0]	AINNEG3	00000 00001 00010 00011 00100 10101 10110	これらのビットは、このチャンネルの ADC 負入力へ接続するアナログ入力を選択します。 AIN0 AIN1 (デフォルト) AIN2 AIN3 AIN4 REF+ REF-	0x1	RW

セットアップ・コンフィギュレーション・レジスタ 0

アドレス: 0x20、リセット: 0x1020、名前: SETUPCON0

セットアップ・コンフィギュレーション・レジスタは 16 ビット・レジスタで、リファレンスの選択と ADC の出力コーディングを設定します。

表 34.SETUPCON0 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:13]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
12	BI_UNIPOLAR0	0 1	このビットは、セットアップ 0 に対する ADC の出力コーディングを設定します。 0 ユニポーラ・コード出力 1 オフセット・バイナリ・コード出力	0x1	RW
[11:6]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x00	R
[5:4]	REF_SEL0	00 10 11	これらのビットを使うと、セットアップ 0 での ADC 変換のリファレンス・ソースを選択することができます。 00 外付けリファレンス電圧 10 内蔵 2.5 V リファレンス電圧これは、ADC モード・レジスタでもイネーブルする必要があります。 11 AVDD1 - AVSS。これは、他のリファレンス値を有効にする診断として使用することができます。	0x2	RW
[3:0]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R

セットアップ・コンフィギュレーション・レジスタ 1

アドレス: 0x21、リセット: 0x1020、名前: SETUPCON1

セットアップ・コンフィギュレーション・レジスタは 16 ビット・レジスタで、リファレンスの選択と ADC の出力コーディングを設定します。

表 35.SETUPCON1 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:13]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
12	BI_UNIPOLAR1	0 1	このビットは、セットアップ 1 に対する ADC の出力コーディングを設定します。 0 ユニポーラ・コード出力 1 オフセット・バイナリ・コード出力	0x1	RW
[11:6]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x00	R
[5:4]	REF_SEL1	00 10 11	これらのビットを使うと、セットアップ 1 での ADC 変換のリファレンス・ソースを選択することができます。 00 外付けリファレンス電圧 10 内蔵 2.5 V リファレンス電圧これは、ADC モード・レジスタでもイネーブルする必要があります。 11 AVDD1 - AVSS。これは、他のリファレンス値を有効にする診断として使用することができます。	0x2	RW
[3:0]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R

セットアップ・コンフィギュレーション・レジスタ 2

アドレス: 0x22、リセット: 0x1020、名前: SETUPCON2

セットアップ・コンフィギュレーション・レジスタは 16 ビット・レジスタで、リファレンスの選択と ADC の出力コーディングを設定します。

表 36.SETUPCON2 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:13]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
12	BI_UNIPOLAR2	0 1	このビットは、セットアップ 2 に対する ADC の出力コーディングを設定します。 0 ユニポーラ・コード出力 1 オフセット・バイナリ・コード出力	0x1	RW
[11:6]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x00	R
[5:4]	REF_SEL2	00 10 11	これらのビットを使うと、セットアップ 2 での ADC 変換のリファレンス・ソースを選択することができます。 00 外付けリファレンス電圧 10 内蔵 2.5 V リファレンス電圧これは、ADC モード・レジスタでもイネーブルする必要があります。 11 AVDD1 - AVSS。これは、他のリファレンス値を有効にする診断として使用することができます。	0x2	RW
[3:0]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R

セットアップ・コンフィギュレーション・レジスタ 3

アドレス: 0x23、リセット: 0x1020、名前: SETUPCON3

セットアップ・コンフィギュレーション・レジスタは 16 ビット・レジスタで、リファレンスの選択と ADC の出力コーディングを設定します。

表 37.SETUPCON3 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:13]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
12	BI_UNIPOLAR3	0 1	このビットは、セットアップ 3 に対する ADC の出力コーディングを設定します。 0 ユニポーラ・コード出力 1 オフセット・バイナリ・コード出力	0x1	RW
[11:6]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x00	R
[5:4]	REF_SEL3	00 10 11	これらのビットを使うと、セットアップ 3 での ADC 変換のリファレンス・ソースを選択することができます。 00 外付けリファレンス電圧 10 内蔵 2.5 V リファレンス電圧これは、ADC モード・レジスタでもイネーブルする必要があります。 11 AVDD1 - AVSS。これは、他のリファレンス値を有効にする診断として使用することができます。	0x2	RW
[3:0]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R

フィルタ・コンフィギュレーション・レジスタ 0

アドレス: 0x28、リセット: 0x0000、名前: FILTCON0

フィルタ・コンフィギュレーション・レジスタは 16 ビット・レジスタで、ADC データレートとフィルタ・オプションを設定します。これらのレジスタに書き込みを行うと、すべてのアクティブ ADC 変換がリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。

表 38.FILTCON0 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
15	SINC3_MAP0		このビットをセットすると、フィルタ・レジスタのマッピングが変化してセットアップ 0 の Sinc3 フィルタのデシメーション・レートが直接設定されます。他のすべてのオプションは無視されます。この機能を使うと、出力データレートと特定周波数除去のフィルタ・ノッチを微調整することができます。1 つのチャンネルのデータレートは $F_{MOD}/(32 \times FILTCON0[14:0])$ に一致します。	0x0	RW
[14:12]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
11	ENHFILTEN0	0 1	このビットは、セットアップ 0 のエンハンスト 50 Hz/60 Hz 除去に対する種々のポスト・フィルタをイネーブルします。これに対して選択する Sinc5 + Sinc1 フィルタが動作するためには ORDER ビットに 00 を設定する必要があります。 0 デイスエーブル 1 イネーブル	0x0	RW
[10:8]	ENHFILTO	010 011 101 110	これらのビットは、セットアップ 0 のエンハンスト 50 Hz/60 Hz 除去に対する種々のポスト・フィルタを選択します。 010 27 SPS、47 dB 除去、36.7 ms セトリング 011 25 SPS、62 dB 除去、40 ms セトリング 101 20 SPS、86 dB 除去、50 ms セトリング 110 16.67 SPS、92 dB 除去、60 ms セトリング	0x0	RW
7	RESERVED		このビットは予約済みで 0 を設定する必要があります。	0x0	R
[6:5]	ORDER0	00 11	これらのビットは、セットアップ 0 の変調器データを処理するデジタル・フィルタの次数を制御します。 00 Sinc5 + Sinc1 (デフォルト) 11 Sinc3	0x0	RW
[4:0]	ODR0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101	これらのビットは、ADC の出力データレートを制御します。したがって、セットアップ 0 のセトリング・タイムとノイズも制御します。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.94 49.96 20 16.667 10 5	0x0	RW

フィルタ・コンフィギュレーション・レジスタ 1

アドレス: 0x29、リセット: 0x0000、名前: FILTCON1

フィルタ・コンフィギュレーション・レジスタは 16 ビット・レジスタで、ADC データレートとフィルタ・オプションを設定します。これらのレジスタに書き込みを行うと、すべてのアクティブ ADC 変換がリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。

表 39.FILTCON1 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
15	SINC3_MAP1		このビットをセットすると、フィルタ・レジスタのマッピングが変化してセットアップ 1 の Sinc3 フィルタのデシメーション・レートが直接設定されます。他のすべてのオプションは無視されます。この機能を使うと、出力データレートと特定周波数除去のフィルタ・ノッチを微調整することができます。1 つのチャンネルのデータレートは $F_{MOD}/(32 \times FILTCON1[14:0])$ に一致します。	0x0	RW
[14:12]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
11	ENHFILTEN1	0 1	このビットは、セットアップ 1 のエンハンスト 50 Hz/60 Hz 除去に対する種々のポスト・フィルタをイネーブルします。これに対して選択する Sinc5 + Sinc1 フィルタが動作するためには ORDER ビットに 00 を設定する必要があります。 0 デイスエーブル 1 イネーブル	0x0	RW
[10:8]	ENHFILT1	010 011 101 110	これらのビットは、セットアップ 1 のエンハンスト 50 Hz/60 Hz 除去に対する種々のポスト・フィルタを選択します。 010 27 SPS、47 dB 除去、36.7 ms セトリング 011 25 SPS、62 dB 除去、40 ms セトリング 101 20 SPS、86 dB 除去、50 ms セトリング 110 16.67 SPS、92 dB 除去、60 ms セトリング	0x0	RW
7	RESERVED		このビットは予約済みで 0 を設定する必要があります。	0x0	R
[6:5]	ORDER1	00 11	これらのビットは、セットアップ 1 の変調器データを処理するデジタル・フィルタの次数を制御します。 00 Sinc5 + Sinc1 (デフォルト) 11 Sinc3	0x0	RW
[4:0]	ODR1	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100	これらのビットは、ADC の出力データレートを制御します。したがって、セットアップ 1 のセトリング・タイムとノイズも制御します。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.94 49.96 20 16.667 10 5	0x0	RW

フィルタ・コンフィギュレーション・レジスタ 2

アドレス: 0x2A、リセット: 0x0000、名前: FILTCON2

フィルタ・コンフィギュレーション・レジスタは 16 ビット・レジスタで、ADC データレートとフィルタ・オプションを設定します。これらのレジスタに書き込みを行うと、すべてのアクティブ ADC 変換がリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。

表 40.FILTCON2 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
15	SINC3_MAP2		このビットをセットすると、フィルタ・レジスタのマッピングが変化してセットアップ 2 の Sinc3 フィルタのデシメーション・レートが直接設定されます。他のすべてのオプションは無視されます。この機能を使うと、出力データレートと特定周波数除去のフィルタ・ノッチを微調整することができます。1 つのチャンネルのデータレートは $F_{MOD}/(32 \times FILTCON2[14:0])$ に一致します。	0x0	RW
[14:12]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
11	ENHFILTEN2	0 1	このビットは、セットアップ 2 のエンハンスト 50 Hz/60 Hz 除去に対する種々のポスト・フィルタをイネーブルします。これに対して選択する Sinc5 + Sinc1 フィルタが動作するためには ORDER ビットに 00 を設定する必要があります。 0 デイスエーブル 1 イネーブル	0x0	RW
[10:8]	ENHFILT2	010 011 101 110	これらのビットは、セットアップ 2 のエンハンスト 50 Hz/60 Hz 除去に対する種々のポスト・フィルタを選択します。 010 27 SPS、47dB 除去、36.7 ms セトリング 011 25 SPS、62 dB 除去、40 ms セトリング 101 20 SPS、86 dB 除去、50 ms セトリング 110 16.67 SPS、92 dB 除去、60 ms セトリング	0x0	RW
7	RESERVED		このビットは予約済みで 0 を設定する必要があります。	0x0	R
[6:5]	ORDER2	00 11	これらのビットは、セットアップ 2 の変調器データを処理するデジタル・フィルタの次数を制御します。 00 Sinc5 + Sinc1 (デフォルト) 11 Sinc3	0x0	RW
[4:0]	ODR2	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101	これらのビットは、ADC の出力データレートを制御します。したがって、セットアップ 2 のセトリング・タイムとノイズも制御します。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.94 49.96 20 16.667 10 5	0x0	RW

フィルタ・コンフィギュレーション・レジスタ 3

アドレス: 0x2B、リセット: 0x0000、名前: FILTCON3

フィルタ・コンフィギュレーション・レジスタは 16 ビット・レジスタで、ADC データレートとフィルタ・オプションを設定します。これらのレジスタに書き込みを行うと、すべてのアクティブ ADC 変換がリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。

表 41.FILTCON3 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
15	SINC3_MAP3		このビットをセットすると、フィルタ・レジスタのマッピングが変化してセットアップ 3 の Sinc3 フィルタのデシメーション・レートが直接設定されます。他のすべてのオプションは無視されます。この機能を使うと、出力データレートと特定周波数除去のフィルタ・ノッチを微調整することができます。1 つのチャンネルのデータレートは $F_{MOD}/(32 \times FILTCON3[14:0])$ に一致します。	0x0	RW
[14:12]	RESERVED		これらビットは予約済みで、0 に設定する必要があります。	0x0	R
11	ENHFILTEN3	0 1	このビットは、セットアップ 3 のエンハンスト 50 Hz/60 Hz 除去に対する種々のポスト・フィルタをイネーブルします。これに対して選択する Sinc5 + Sinc1 フィルタが動作するためには ORDER ビットに 00 を設定する必要があります。 0 デイスエーブル 1 イネーブル	0x0	RW
[10:8]	ENHFILT3	010 011 101 110	これらのビットは、セットアップ 3 のエンハンスト 50 Hz/60 Hz 除去に対する種々のポスト・フィルタを選択します。 010 27 SPS、47 dB 除去、36.7 ms セトリング 011 25 SPS、62 dB 除去、40 ms セトリング 101 20 SPS、86 dB 除去、50 ms セトリング 110 16.67 SPS、92 dB 除去、60 ms セトリング	0x0	RW
7	RESERVED		このビットは予約済みで 0 を設定する必要があります。	0x0	R
[6:5]	ORDER3	00 11	これらのビットは、セットアップ 3 の変調器データを処理するデジタル・フィルタの次数を制御します。 00 Sinc5 + Sinc1 (デフォルト) 11 Sinc3	0x0	RW
[4:0]	ODR3	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100	これらのビットは、ADC の出力データレートを制御します。したがって、セットアップ 3 のセトリング・タイムとノイズも制御します。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.94 49.96 20 16.667 10 5	0x0	RW

オフセット・レジスタ 0

アドレス: 0x30、リセット: 0x800000、名前: OFFSET0

オフセット(ゼロスケール)レジスタは 24 ビット・レジスタで、ADC またはシステムのオフセット誤差を補償する際に使うことができます。

表 42.OFFSET0 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:0]	OFFSET0		セットアップ 0 のオフセット・キャリブレーション係数。	0x800000	RW

オフセット・レジスタ 1

アドレス: 0x31、リセット: 0x800000、名前: OFFSET1

オフセット(ゼロスケール)レジスタは 24 ビット・レジスタで、ADC またはシステムのオフセット誤差を補償する際に使うことができます。

表 43.OFFSET1 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:0]	OFFSET1		セットアップ 1 のオフセット・キャリブレーション係数。	0x800000	RW

オフセット・レジスタ 2

アドレス: 0x32、リセット: 0x800000、名前: OFFSET2

オフセット(ゼロスケール)レジスタは 24 ビット・レジスタで、ADC またはシステムのオフセット誤差を補償する際に使うことができます。

表 44.OFFSET2 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:0]	OFFSET2		オフセット・キャリブレーション係数 for セットアップ 2.	0x800000	RW

オフセット・レジスタ 3

アドレス: 0x33、リセット: 0x800000、名前: OFFSET3

オフセット(ゼロスケール)レジスタは 24 ビット・レジスタで、ADC またはシステムのオフセット誤差を補償する際に使うことができます。

表 45.OFFSET3 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:0]	OFFSET3		セットアップ 3 のオフセット・キャリブレーション係数。	0x800000	RW

ゲイン・レジスタ 0

アドレス: 0x38、リセット: 0x5xxxx0、名前: GAIN0

ゲイン(フルスケール)レジスタは 24 ビット・レジスタで、ADC またはシステムのゲイン誤差を補償する際に使うことができます。

表 46.GAIN0 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:0]	GAIN0		セットアップ 0 のゲイン・キャリブレーション係数。	0x5XXXX0	RW

ゲイン・レジスタ 1

アドレス: 0x39、リセット: 0x5xxxx0、名前: GAIN1

ゲイン(フルスケール)レジスタは 24 ビット・レジスタで、ADC またはシステムのゲイン誤差を補償する際に使うことができます。

表 47.GAIN1 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:0]	GAIN1		セットアップ 1 のゲイン・キャリブレーション係数。	0x5XXXX0	RW

ゲイン・レジスタ 2

アドレス: 0x3A、リセット: 0x5xxxx0、名前: GAIN2

ゲイン(フルスケール)レジスタは 24 ビット・レジスタで、ADC またはシステムのゲイン誤差を補償する際に使うことができます。

表 48.GAIN2 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:0]	GAIN2		セットアップ 2 のゲイン・キャリブレーション係数。	0x5XXXX0	RW

ゲイン・レジスタ 3

アドレス: 0x3B、リセット: 0x5xxxx0、名前: GAIN3

ゲイン(フルスケール)レジスタは 24 ビット・レジスタで、ADC またはシステムのゲイン誤差を補償する際に使うことができます。

表 49.GAIN3 のビット説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:0]	GAIN3		セットアップ 3 のゲイン・キャリブレーション係数。	0x5XXXX0	RW

外形寸法

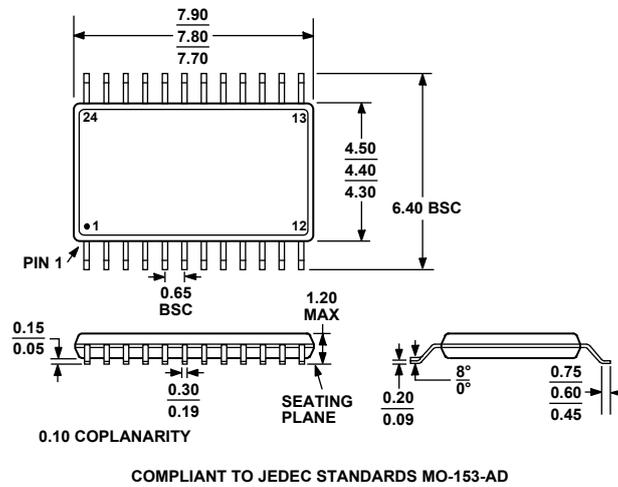


図 52.24 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-24)
寸法: mm

オーダー・ガイド

Models ¹	Temperature Range	Package Description	Package Option
AD7176-2BRUZ	-40°C to +105°C	24-Lead TSSOP	RU-24
AD7176-2BRUZ-RL	-40°C to +105°C	24-Lead TSSOP	RU-24
EVAL-AD7176-2SDZ		Evaluation Board	
EVAL-SDP-CB1Z		Evaluation Controller Board	

¹ Z = RoHS 準拠製品。