



低消費電力、8/16 チャンネル 31.25 kSPS、 24 ビット、高付加機能シグマ・デルタ ADC

データシート

AD7173-8

特長

低消費電力・8/16 チャンネル、高付加機能・マルチプレクサ
装備 A/D コンバータ (ADC)

高付加機能を集積

高精度アナログ入力用バッファとリファレンス入力バッファ

2.5V 高精度リファレンス電圧 (3.5ppm/°C)

クロス・ポイント・マルチプレクサ (システム診断が可能)

8本の完全差動、または16本のシングルエンド・チャンネル

クロック発振回路

自動で外部マルチプレクサの制御可能な機能を持つ GPIO と GPO ピン

高速で柔軟な出力レート 1.25 SPS から 31.25 kSPS

チャンネル・スキャン・データ・レート: 6.21kSPS/チャン

ネル (16.1μs でセトリング)

性能仕様

17.5 ノイズ・フリー・ビット@31.25kSPS

24 ノイズ・フリー・ビット@1.25SPS

INL:±3ppm/FSR

50ms セトリングで 50 Hz と 60 Hz の除去: 85dB

3.3V もしくは 5V で動作可能

単電源

AVDD1 は 3.3V 又は 5V、AVDD2 は 2V から 5V、IOVDD は 2V から 5V

オプションで分離電源可能

AVDD1 と AVSS とを±2.5 V または、AVDD1 と AVSS とを±1.65V

消費電流: 1.4 mA

3/4 線シリアル・デジタル・インターフェース

(SCLK はシュミット・トリガ装備)

CRC エラー・チェック

SPI、QSPI、MICROWIRE、DSP と互換

パッケージ: 40 ピン 6 mm × 6 mm の LFCSP パッケージ

動作温度範囲: -40°C~+105°

アプリケーション

プロセス・コントロール: PLC/DCS モジュール

電圧、電流、温度、圧力測定

フロー・メータ

医療および科学関連のマルチ・チャンネル計測機器

地震用計測機器

化学解析用計測機器

概要

AD7173-8 は、高速セトリング・高精度・低消費電力で、8/16 チャンネルのマルチプレクサと入力バッファを内蔵した低周波帯域信号用 ΣΔ 型 A/D コンバータです。

高精度の 2.5 V、低ドリフト (3.5ppm/°C) バンド・ギャップ・リファレンスと発振器を内蔵しています。

8つのセットアップには、出力データ・レート、デジタル・フィルタ・モード、オフセット及びゲイン誤差補正、リファレンス選択、バッファのイネーブルなどを柔軟に設定できます。このチャンネルごとに構成可能な機能は、各チャンネルに sinc5 + sinc1 フィルタを使うと、出力データ・レートを高速化できます。

sinc5+sinc1 フィルタは、チャンネル・スキャン・レートを最大化し、sinc3 フィルタは分解能を最大化します。50Hz/60Hz の除去性能を強化。さらに4つのオプションがノイズ除去を最大化します。

内蔵されている診断機能には、CRC、レジスタ・チェックサム、温度センサー、クロス・ポイント・マルチプレクサ、バーンアウト電流、および GPIO/GPO が含まれます。

機能ブロック図

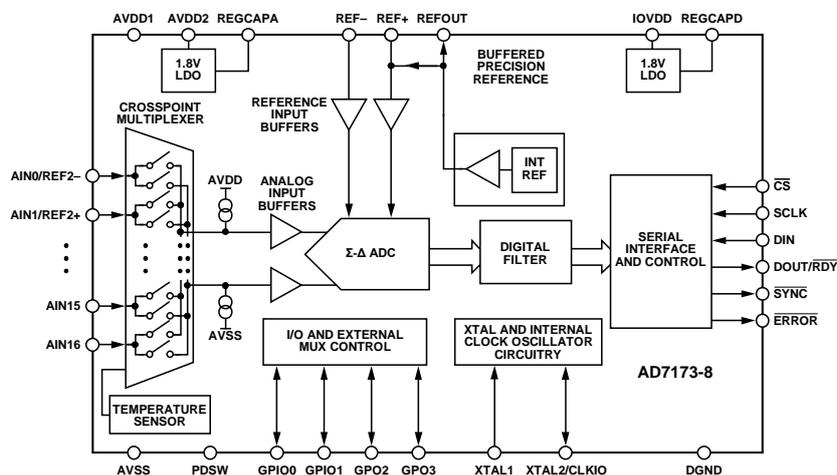


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

© Analog Devices, Inc. All rights reserved.

目次

特長.....	1	グラウンド接続とレイアウト.....	45
アプリケーション.....	1	レジスタの一覧.....	46
概要.....	1	レジスタの詳細.....	48
目次.....	2	コミュニケーション・レジスタ.....	48
改訂履歴.....	3	ステータス・レジスタ.....	50
仕様.....	4	ADCモード・レジスタ.....	51
タイミング特性.....	8	インターフェース・モード・レジスタ.....	52
絶対最大定格.....	9	レジスタ・チェック.....	53
熱抵抗.....	9	データ・レジスタ.....	53
ESDの注意.....	9	GPIO設定レジスタ.....	54
ピン配置およびピン機能説明.....	10	IDレジスタ.....	55
代表的な性能特性.....	12	チャンネル・レジスタ0.....	55
ノイズ特性と分解能.....	18	チャンネル・レジスタ1からチャンネル・レジスタ15.....	57
評価開始にあたって.....	19	アットアップ・レジスタ0.....	58
電源.....	20	セットアップ・レジスタ1からセットアップ構成レジスタ7.....	59
デジタル通信.....	20	フィルタ構成レジスタ.....	60
構成概要.....	22	フィルタ構成レジスタ1からフィルタ構成レジスタ7.....	61
動作設定の柔軟性を理解する.....	25	オフセット・レジスタ.....	62
回路説明.....	27	オフセット・レジスタ1からオフセット・レジスタ7.....	62
アナログ入力.....	27	ゲイン・レジスタ0.....	62
リファレンス電圧オプション.....	29	ゲイン・レジスタ1からゲイン・レジスタ7.....	62
クロック・ソース.....	29	外形寸法.....	63
デジタル・フィルタ.....	31	オーダー・ガイド.....	63
Sinc5 + Sinc1 フィルタ.....	31		
Sinc3 フィルタ.....	32		
シングル・サイクル・セトリング.....	33		
強化された50Hzと60Hz除去フィルタ.....	33		
動作モード.....	36		
連続変換モード.....	36		
連続読み出しモード.....	37		
シングル変換モード.....	38		
スタンバイ及びパワー・ダウン・モード.....	39		
キャリブレーション・モード.....	39		
デジタル・インターフェース.....	40		
チェックサム保護.....	40		
CRCの計算.....	41		
高付加機能.....	43		
汎用I/O.....	43		
外部マルチプレクサの制御.....	43		
遅延.....	43		
16ビット/24ビット変換.....	43		
シリアル・インターフェース・リセット (DOUT_RESET).....	43		
同期.....	43		
エラー・フラグ.....	44		
DATA_STAT.....	44		
IOSTRENGTHビット.....	44		

改訂履歴

4/14—Rev. 0 to Rev. A

Changes to General Description and Functional Block

Diagram.....	1
Moved Revision History	3
Changes to Figure 18.....	14
Changes to Getting Started Section	19
Change to Table 11	23
Change to Table 17	29
Changes to Digital Filters Section	31
Replaced Diagnostics Section with Integrated Function Section	43
Changes to Address 0x02, Table 22	46
Changes to Bit 10, Table 26.....	52
Changes to Bits[6:5], Table 35	60

10/13—Revision 0:Initial Version

仕様

AVDD1 = 3.0 V to 5.5 V, AVDD2 = 2 V to 5.5 V, IOVDD = 2 V to 5.5 V, AVSS = DGND = 0 V, REF+ = 2.5 V, REF- = AVSS,
特に指定のない限り、内部マスター・クロック = 2 MHz, T_A = T_{MIN} から T_{MAX}

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPEED AND PERFORMANCE					
Output Data Rate (ODR)		1.25		31250	SPS
No Missing Codes ¹	Excluding sinc3 filter at 31.25 kSPS	24			Bits
Resolution	表 6				
Noise	表 6				
Noise Free Resolution	Sinc5 + sinc1 filter (default)				
	31.25 kSPS, REF+ = 5 V		17.5		Bits
	2.6 kSPS, REF+ = 5 V		18.4		Bits
	1.25 SPS, REF+ = 5 V		24		Bits
ACCURACY					
Integral Nonlinearity (INL)	2.5 V reference		±3	±7.5	ppm/FSR
	5 V reference		±5		ppm/FSR
Offset Error ²	Internal short		±40		μV
Offset Drift	Internal short		±350		nV/°C
Offset Drift vs. Time ³			±450		nV/1000 hrs
Gain Error ²	25°C, AVDD1 = 5 V		±10	±50	ppm/FSR
Gain Drift vs. Temperature ¹			±0.5	±1	ppm/FSR/°C
Gain Drift vs. Time ³			±3		ppm/FSR/ 1000 hrs
REJECTION					
Power Supply Rejection	AVDD1 and AVDD2, V _{IN} = 1 V		90		dB
Common-Mode Rejection	V _{IN} = 0.1 V				
At DC		95			dB
At 50 Hz and 60 Hz ¹	20 SPS ODR (post filter); 50 Hz ± 1 Hz and 60 Hz ± 1 Hz	120			dB
Normal Mode Rejection ¹	50 Hz ± 1 Hz and 60 Hz ± 1 Hz				
	Internal clock, 20 SPS ODR (post filter)	71	90		dB
	External clock, 20 SPS ODR (post filter)	85	90		dB
ANALOG INPUTS					
Differential Input Voltage Range			±V _{REF}		V
Absolute AIN Voltage Limits ¹					
Buffers Disabled		AVSS - 0.05		AVDD1 + 0.05	V
Buffers Enabled		AVSS		AVDD1 - 1.1	V
Analog Input Current					
Buffers Enabled	Single cycle settling enabled (default)				
Input Current			±2		nA
Input Current Drift			±25		pA/°C
Buffers Disabled					
Input Current			±6		μA/V
Input Current Drift	External clock		±0.1		nA/V/°C
	Internal clock (±2.5% clock)		±0.5		nA/V/°C
Crosstalk	1 kHz input		-120		dB
INTERNAL REFERENCE					
Output Voltage	100 nF external capacitor on REFOUT to AVSS		2.5		V
Initial Accuracy ¹	REFOUT with respect to AVSS	-0.1		+0.1	% of V
Temperature Coefficient	T _A = 25°C ⁴				
0°C to +105°C			3.5	8	ppm/°C
-40°C to +105°C			3.5	10	ppm/°C
Reference Load Current, I _{LOAD}	I _L	-10		+10	mA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Power Supply Rejection (Line Regulation)	AVDD1 and AVDD2		90		dB
Load Regulation	$\Delta V_{OUT}/\Delta I_L$		140		ppm/mA
Voltage Noise	e_N , 0.1 Hz to 10 Hz		6.5		μV rms
Voltage Noise Density	e_N , 1 kHz		215		nV/ \sqrt{Hz}
Turn-On Settling Time	100 nF capacitor		60		μs
Long-Term Stability ³	1000 hours		460		ppm
Short Circuit	I_{SC}		25		mA
EXTERNAL REFERENCE					
Reference Input Voltage	Reference input = (REF+) – (REF–)	1	2.5	AVDD1	V
Absolute Reference Input Voltage Limits ¹					
Buffers Disabled		AVSS – 0.05		AVDD1 + 0.05	V
Buffers Enabled		AVSS		AVDD1	V
Average Reference Input Current					
Buffers Disabled			± 9		$\mu A/V$
Buffers Enabled			± 50		nA
Average Reference Input Current Drift	Buffers disabled				
External clock			± 5		nA/V/°C
Internal clock			± 6		nA/V/°C
Normal Mode Rejection ¹	See the Rejection parameter				
Common-Mode Rejection			83		dB
TEMPERATURE SENSOR					
Accuracy	After user calibration at 25°C		± 2		°C
Sensitivity			477		$\mu V/°C$
BURNOUT CURRENTS					
Source/Sink Current	Analog input buffers must be enabled		± 10		μA
BRIDGE POWER-DOWN SWITCH					
R_{ON}			24		Ω
Allowable Currents				16	mA
GENERAL-PURPOSE I/O (GPIO0, GPIO1, GPO2, GPO3)					
Input Mode Leakage Current ¹	With respect to AVSS	–10		+10	μA
Floating State Output Capacitance			5		pF
AVDD1 – AVSS = 5 V					
Output High Voltage, V_{OH}^1	$I_{SOURCE} = 200 \mu A$	AVSS + 4			V
Output Low Voltage, V_{OL}^1	$I_{SINK} = 800 \mu A$			AVSS + 0.4	V
Input High Voltage, V_{IH}^1		AVSS + 3			V
Input Low Voltage, V_{IL}^1				AVSS + 0.7	V
AVDD1 – AVSS = 3.3 V					
Output High Voltage, V_{OH}^1	$I_{SOURCE} = 200 \mu A$	AVSS + 2.7			V
Output Low Voltage, V_{OL}^1	$I_{SINK} = 800 \mu A$			AVSS + 0.27	V
Input High Voltage, V_{IH}^1		AVSS + 2			V
Input Low Voltage, V_{IL}^1				AVSS + 0.45	V
CLOCK					
Internal Clock					
Frequency			2		MHz
Accuracy		–2.5		+2.5	%
Duty Cycle			50:50		
Output Low Voltage, V_{OL}				0.4	V
Output High Voltage, V_{OH}					V
Crystal					
Frequency		14	16	16.384	MHz

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Start-Up Time			10		μ s
External Clock (CLKIO) Duty Cycle ¹	Typical duty cycle 50:50 (maximum:minimum)	30:70	2 50:50	2.048 70:30	MHz
LOGIC INPUTS					
Input High Voltage, V_{INH} ¹	$2\text{ V} \leq \text{IOVDD} \leq 2.3\text{ V}$	$0.65 \times \text{IOVDD}$			V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$	$0.7 \times \text{IOVDD}$			V
Input Low Voltage, V_{INL} ¹	$2\text{ V} \leq \text{IOVDD} \leq 2.3\text{ V}$			$0.35 \times \text{IOVDD}$	V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$			0.7	V
Hysteresis ¹	$\text{IOVDD} > 2.7\text{ V}$	0.08		0.25	V
	$\text{IOVDD} < 2.7\text{ V}$	0.04		0.2	V
Leakage Currents		-10		+10	μ A
LOGIC OUTPUT (DOUT/RDY)					
Output High Voltage, V_{OH} ¹	$\text{IOVDD} \geq 4.5\text{ V}$, $I_{SOURCE} = 1\text{ mA}$	$0.8 \times \text{IOVDD}$			V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}$, $I_{SOURCE} = 500\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$			V
	$\text{IOVDD} < 2.7\text{ V}$, $I_{SOURCE} = 200\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$			V
Output Low Voltage, V_{OL} ¹	$\text{IOVDD} \geq 4.5\text{ V}$, $I_{SINK} = 2\text{ mA}$			0.4	V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}$, $I_{SINK} = 1\text{ mA}$			0.4	V
	$\text{IOVDD} < 2.7\text{ V}$, $I_{SINK} = 400\text{ }\mu\text{A}$			0.4	V
Leakage Current	Floating state	-10		+10	μ A
Output Capacitance	Floating state		10		pF
SYSTEM CALIBRATION¹					
Full-Scale Calibration Limit				$1.05 \times \text{FS}$	V
Zero-Scale Calibration Limit		$-1.05 \times \text{FS}$			V
Input Span		$0.8 \times \text{FS}$		$2.1 \times \text{FS}$	V
POWER REQUIREMENTS					
Power Supply Voltage					
AVDD1 – AVSS		3.0		5.5	V
AVDD2 – AVSS		2		5.5	V
AVSS – DGND		-2.75		0	V
IOVDD – DGND		2		5.5	V
IOVDD – AVSS	For AVSS < DGND			6.35	V
POWER SUPPLY CURRENTS					
Full Operating Mode	All outputs unloaded				
AVDD1 Current					
AVDD1 = 5 V Typical, 5.5 V Maximum	$\text{AIN}\pm$ and $\text{REF}\pm$ buffers disabled; external reference		0.23	0.27	mA
	$\text{AIN}\pm$ and $\text{REF}\pm$ buffers disabled; internal reference		0.42	0.49	mA
	$\text{AIN}\pm$ and $\text{REF}\pm$ buffers enabled; external reference		2.12	2.71	mA
	Each enabled buffered pair: $\text{AIN}+$, $\text{AIN}-$ and $\text{REF}+$, $\text{REF}-$		0.945	1.22	mA
AVDD1 = 3.3 V Typical, 3.6 V Maximum ¹	$\text{AIN}\pm$ and $\text{REF}\pm$ buffers disabled; external reference		0.16	0.19	mA
	$\text{AIN}\pm$ and $\text{REF}\pm$ buffers disabled; internal reference		0.34	0.4	mA
	$\text{AIN}\pm$ and $\text{REF}\pm$ buffers enabled; external reference		1.9	2.45	mA
	Each enabled buffered pair: $\text{AIN}+$, $\text{AIN}-$ and $\text{REF}+$, $\text{REF}-$		0.87	1.13	mA
AVDD2 Current	External reference		1	1.15	mA
	Internal reference		1.25	1.4	mA
IOVDD Current	External clock		0.24	0.39	mA
	Internal clock		0.52	0.76	mA
	External crystal		0.9		mA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Standby Mode					
Standby (LDO on)	Reference off, total current consumption		25		μA
	Reference on, total current consumption		400		μA
Power-Down Mode	Full power-down, LDO, REF±		2	10	μA
POWER DISSIPATION					
Full Operating Mode	Unbuffered, external clock and reference; AVDD1 = 3.3 V, AVDD2 = 2 V, IOVDD = 2 V		3		mW
	Unbuffered, external clock and reference; all supplies = 5 V		7.35		mW
	Unbuffered, external clock and reference; all supplies = 5.5 V			9.96	mW
	Fully buffered, internal clock and reference (note that REFOUT has no load); AVDD1 = 3.3 V, AVDD2 = 2 V, IOVDD = 2 V		10.4		mW
	Fully buffered, internal clock and reference (note that REFOUT has no load); all supplies = 5 V		20.4		mW
	Fully buffered, internal clock and reference (note that REFOUT has no load); all supplies = 5.5 V			28	mW
Standby Mode	Reference off, all supplies = 5 V		125		μW
	Reference on, all supplies = 5 V		2		mW
Power-Down Mode	Full power-down, all supplies = 5 V		10		μW
	Full power-down, all supplies = 5.5 V			55	μW

¹ これらの値は、出荷テストを行いませんが、設計および/または量産開始時のキャラクタライゼーション・データにより保証します。

² システムもしくは内蔵ゼロ・スケールのキャリブレーション手順に従えば、オフセット誤差は、プログラムされた出力データ・レートにおけるノイズ・レベルとほぼ同等になります。システム・フルスケール・キャリブレーションは、ゲイン誤差をプログラムされた出力データ・レートのノイズ・レベルと同等レベルにまで減少させることができます。

³ この仕様は非累積的であり、MSL (Moisture Level) プリコンディショニングの影響を含んでいます。

⁴ この仕様には、MSL プリコンディショニングの影響を含んでいます。

タイミング特性

特に指定のない限り、IOVDD = 2 V ~ 5.5 V; DGND = 0 V; 入力ロジック 0 = 0 V; 入力ロジック 1 = IOVDD; C_{LOAD} = 20 pF。

表 2.

Parameter	Limit at T _{MIN} , T _{MAX}	Unit	Test Conditions/Comments ^{1, 2}
SCLK PULSE WIDTH			
t ₃	25	ns min	SCLK high pulse width
t ₄	25	ns min	SCLK low pulse width
READ OPERATION			
t ₁	0	ns min	\overline{CS} falling edge to DOUT/ \overline{RDY} active time
	15	ns max	IOVDD = 4.5 V to 5.5 V
	40	ns max	IOVDD = 2 V to 3.6 V
t ₂ ³	0	ns min	SCLK active edge to data valid delay ⁴
	12	ns max	IOVDD = 4.5 V to 5.5 V
	25	ns max	IOVDD = 2 V to 3.6 V
t ₅ ⁵	2.5	ns min	Bus relinquish time after \overline{CS} inactive edge
	20	ns max	
t ₆	0	ns min	SCLK inactive edge to \overline{CS} inactive edge
t ₇	10	ns min	SCLK inactive edge to DOUT/ \overline{RDY} high/low
WRITE OPERATION			
t ₈	0	ns min	\overline{CS} falling edge to SCLK active edge setup time ⁴
t ₉	8	ns min	Data valid to SCLK edge setup time
t ₁₀	8	ns min	Data valid to SCLK edge hold time
t ₁₁	5	ns min	\overline{CS} rising edge to SCLK edge hold time

¹ 初期リリース時にサンプル・テストにより適合性を保証。

² 図 2 と図 3 を参照して下さい。

³ 出力が VOL または VOH を横切るために要する時間。

⁴ SCLK のアクティブ・エッジとは、SCLK の立ち下がりエッジを意味します。

⁵ RDY がハイ・レベルに戻るのは、データ・レジスタを読み出した後です。シングル変換モードおよび連続変換モードで、RDY がハイ・レベルの間に、必要ならば、同一データを再度読み出すことができますが、2 回目以降の読み出しは次の出力更新が近いところで読み出さないように注意してください。連続読み出しモードでは、デジタル・ワードは 1 回しか読み出すことができません。

タイミング図

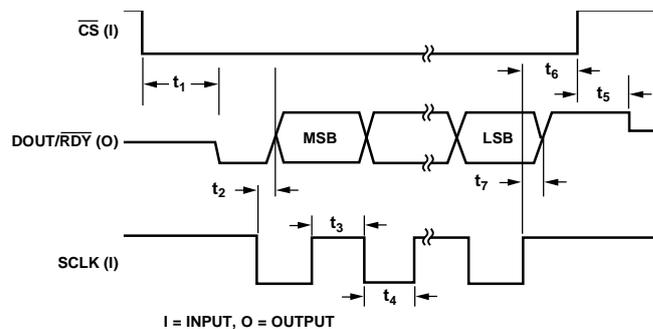


図 2. 読み出しサイクルのタイミング図

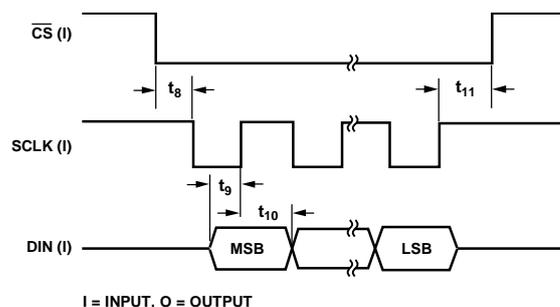


図 3. 書き込みサイクルのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3

Parameter	Rating
AVDD1, AVDD2 to AVSS	-0.3 V to +6.5 V
AVDD1 to DGND	-0.3 V to +6.5 V
IOVDD to DGND	-0.3 V to +6.5 V
IOVDD to AVSS	-0.3 V to +7.5 V
AVSS to DGND	-3.25 V to +0.3 V
Analog Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Reference Input Voltage to AVSS	-0.3 V to AVDD1 + 0.3 V
Digital Input Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to IOVDD + 0.3 V
AIN[16:0] or Digital Input Current	10 mA
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Lead Soldering, Reflow Temperature	260°C
ESD Rating (HBM)	4 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、表面実装用 JEDEC テスト・ボードにハンダ付けされたデバイスで規定されています。表 4 に記載されている値は、シミュレーション・データに基づいています。

表 4 熱抵抗

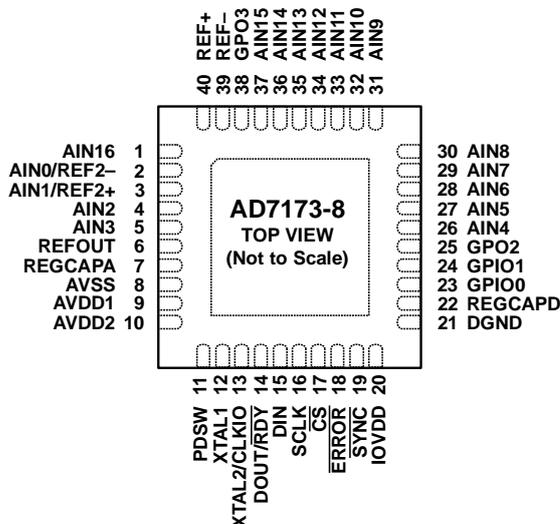
Package Type	θ_{JA}	Unit
40 ピン 6 mm × 6 mm の LFCSP パッケージを採用		
1 層 JEDEC ボードの場合	114	°C/W
4 層 JEDEC ボードの場合	54	°C/W
16 個のサーマル・ビア付 4 層 JEDEC ボードの場合	34	°C/W

ESD の注意



ESD (electrostatic discharge) sensitive device.
Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

ピン配置およびピン機能説明



NOTES

1. THE EXPOSED PAD SHOULD BE SOLDERED TO A SIMILAR PAD ON THE PCB UNDER THE EXPOSED PAD TO CONFER MECHANICAL STRENGTH AND FOR HEAT DISSIPATION. THE EXPOSED PAD MUST BE CONNECTED TO AVSS THROUGH THIS PAD ON THE PCB.

11773-004

図 4. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	Type ¹	Description
1	AIN16	AI	アナログ入力 16 : クロス・ポイント・マルチプレクサ経由で ADC に接続します。
2	AIN0/REF2- :	AI	アナログ入力 0 (AIN0)/リファレンス 2, 負入力(REF2-) : 外部リファレンス電圧は、REF2+REF2-との間に与えることができます。リファレンス 2 の選択は、セットアップ構成レジスタの REFSEL ビットで設定できます。
3	AIN0/REF2- :	AI	外部リファレンス電圧は、REF2+REF2-との間に与えることができます。REF2+ の入力電圧範囲は AVSS+ 1V です。アナログ入力 1 の選択は、クロス・ポイント・マルチプレクサを介して設定できます。リファレンス 2 の選択は、セットアップ構成レジスタの REFSEL ビットで設定できます。
4	AIN2	AI	アナログ入力 2 : クロス・ポイント・マルチプレクサ経由で ADC に接続します。
5	AIN3	AI	アナログ入力 3 : クロス・ポイント・マルチプレクサ経由で ADC に接続します。
6	REFOUT	AO	バッファ付き内部リファレンス電圧 : 2.5V 出力は、AVSS を基準としています。
7	REGCAP	AO	アナログ LDO レギュレータ出力 : 1μF のコンデンサで、このピンを AVSS ヘデカップリングしてください。
8	AVSS	P	負のアナログ電源 : 電源電圧範囲は 0 から -2.75V で、通常は 0V に設定してください。
9	AVDD1	P	アナログ電源 1 : 電源電圧範囲は、AVSS を基準として最低 3.0V から最高 5V です。
10	AVDD2	P	アナログ電源 2 : 電源電圧範囲は、AVSS を基準として、2V から AVDD1 までです。
11	PDSW	AO	AVSS に接続されたパワーダウン・スイッチ : このピンのステータスは、GPIOCON レジスタ内の PDSW ビットによって制御されます。
12	XTAL1	AI	水晶発振子 1 用入力
13	XTAL2/CLKIO	AI	水晶発振子 (XTAL2) 用入力 2 及びクロック入力または出力 (CLKIO) : ADC モード・レジスタの CLOCKSEL ビットの設定を参照して下さい。詳細情報は (表 25) に掲載があります。
14	DOUT/RDY	DO	シリアル・データ出力 (DOUT) /データ・レディ出力 (RDY) : このピンは、2つの機能を持っています。ADC の出力シフト・レジスタにアクセスするときは、シリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵のデータ・レジスタまたはコントロール・レジスタからのデータが格納されます。データ・ワード/コントロール・ワード情報が SCLK の立ち下がリエッジで、DOUT/RDYピンに送られ、SCLK の立ち上がりエッジで有効になります。CS がハイ・レベルのとき、DOUT/RDY出力はトライ・ステートになります。CS がロー・レベルで、レジスタの内容が読み出されていないとき、DOUT/RDY、データ・レディ・ピンとして機能し、変換の完了をロー・レベルで示します。変換後、もしデータが読み出されなかった場合、このピンは次のデータ更新の直前にハイ・レベルになり、次の更新が完了するまでハイ・レベルを維持します。DOUT/RDYの立ち下がリエッジは、プロセッサに対する割り込みとして使われ、有効なデータが準備できていることを示します。

Pin No.	Mnemonic	Type ¹	Description
15	DIN	DI	デバイスの入力シフト・レジスタに対するシリアル・データ入力：このシフト・レジスタ内のデータは、デバイス内のコントロール・レジスタに転送されます。該当するレジスタは、コミュニケーション・レジスタのレジスタ・アドレス (RA) ビットにより指定されます。データは、SCLK の立ち上がりエッジに同期して入力されます。
16	SCLK	DI	シリアル・クロック入力：このシリアル・クロック入力は、デバイスとの双方向データ転送の同期用です。SCLK にはシュミット・トリガ入力が入力されているため、光アイソレーション・アプリケーションのインターフェースにも適応しています。
17	$\overline{\text{CS}}$	DI	チップ・セレクト入力：アクティブ・ローのロジック入力。このチップへのアクセスを指定するときに使います。 $\overline{\text{CS}}$ は、シリアル・バス上に複数のデバイスが存在し、システムが特定のデバイスを選択するときに使います。 $\overline{\text{CS}}$ がロー・レベルになると、デバイスとの通信を CLK、DIN、DOUT を使った 3 線で行えるようになります。 $\overline{\text{CS}}$ がハイ・レベルのとき、DOUT/RDY 出力はトライ・ステートになります。
18	$\overline{\text{ERROR}}$	DI/O	このピンは、以下の三つのモードの内、どれか 1 つを選択して使う事ができます。 アクティブ・ローのエラー入力モード：このモードでは、入力はステータス・レジスタの ADC_ERROR に反映されます。 アクティブ・ローのオープン・ドレイン・エラー出力モード：ステータス・レジスタのエラー・ビットのデータが、 $\overline{\text{ERROR}}$ ピンに反映されます。複数デバイスの $\overline{\text{ERROR}}$ ピンは、共通のプルアップ抵抗で接続することが可能です。したがって、どのデバイスでエラーが起きても、そのエラーを検知できます。 汎用出力モード：このピンのステータスは、GPIOCON レジスタの ERR_DAT ビットによって制御されます。このピンは、GPIO1 と GPIO2 ピンで使われている AVDD1 と AVSS とは違って、IOVDD と DGND 間の電圧) を基準としています。この場合、 $\overline{\text{ERROR}}$ ピンは、アクティブ・プルアップです。
19	$\overline{\text{SYNC}}$	DI	同期入力：複数の AD7173-8 を使う場合、デジタル・フィルタとアナログ変調器との同期を可能にします。
20	IOVDD	P	デジタル I/O 電源電圧：IOVDD の電圧範囲は、2 V から 5 V です。IOVDD は、AVDD1 と AVDD2 から独立しています。例えば、AVDD1 または AVDD2 に 5 V を与えた状態で、IOVDD に 3.3 V を与えて動作させることができます。その逆も可能です。もし AVSS に -2.5 V を与えた場合、IOVDD に与える電圧は 3.6 V を超えてはいけません。
21	DGND	P	デジタル・グラウンド。
22	REGCAP	AO	デジタル LDO レギュレータ出力：このピンはデカップリング専用です。このピンを 1 μ F のコンデンサを使って、DGND へデカップリングしてください。
23	GPIO0	DI/O	汎用入出力：このピンにおけるロジック入力/出力レベルは、AVDD1 と AVSS 電源を基準としています。
24	GPIO1	DI/O	汎用入出力：このピンにおけるロジック入力/出力レベルは、AVDD1 と AVSS 電源を基準としています。
25	GPO2	DO	このピンにおけるロジック出力レベルは、AVDD1 と AVSS 電源を基準としています。
26	AIN4	AI	アナログ入力 4：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
27	AIN5	AI	アナログ入力 5：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
28	AIN6	AI	アナログ入力 6：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
29	AIN7	AI	アナログ入力 7：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
30	AIN8	AI	アナログ入力 8：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
31	AIN9	AI	アナログ入力 9：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
32	AIN10	AI	アナログ入力 10：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
33	AIN11	AI	アナログ入力 11：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
34	AIN12	AI	アナログ入力 12：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
35	AIN13	AI	アナログ入力 13：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
36	AIN14	AI	アナログ入力 14：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
37	AIN15	AI	アナログ入力 15：クロス・ポイント・マルチプレクサ経由で ADC に接続します。
38	GPO3	DO	汎用出力：このピンにおけるロジック出力レベルは、AVDD1 と AVSS 電源を基準としています。
39	REF-	AI	リファレンス 1 入力の負側入力ピン：REF- への入力電圧範囲は AVSS から AVDD1-1V です。リファレンス 1 は、セットアップ構成レジスタの REFSEL ビットを介して設定できます。
40	REF+	AI	リファレンス 1 入力の正側入力ピン：外部リファレンス電圧は、REF+ と REF- に与えて下さい。REF+ への入力電圧範囲は AVDD1 から AVSS+1V です。リファレンス 1 は、セットアップ・レジスタの REFSEL ビットを介して設定できます。
	EP	P	露出金属パッド：露出パッド (パドル) は、パッケージに対する機械的強度を持たせ、放熱を行うためこのパドルを、背面に備えた PCB 上に設けられている同様のパターン上に、必ずはんだ付けしてください。露出パッドは、PCB を介して必ず、AVSS に接続してください。

¹ AI=アナログ入力、AO=アナログ出力、DI=デジタル入力、DO=デジタル出力、DIO=デジタル入力/出力、P=電源

代表的な性能特性

特に指定のない限り、AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3V.

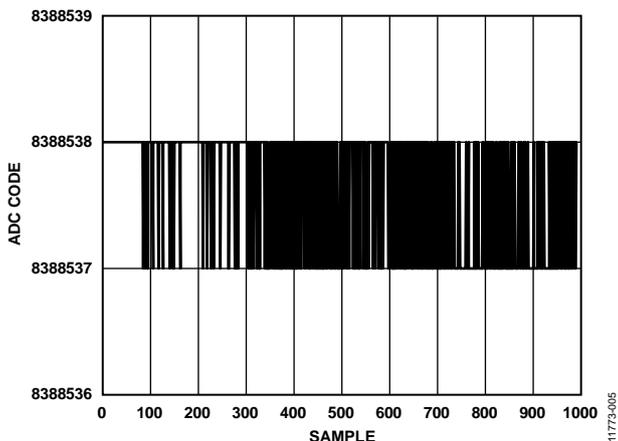


図 5. ノイズ

(出カデータ・レート = 1.25 SPS、アナログ入カバッファ・ディスエーブル)

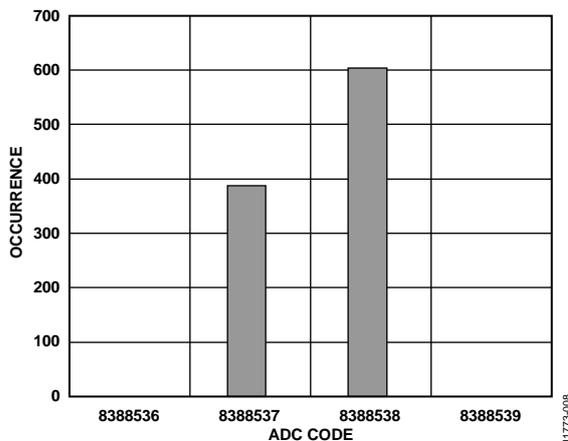


図 8. ノイズ分布ヒストグラム

(出カデータ・レート = 1.25 SPS、アナログ入カバッファ・ディスエーブル)

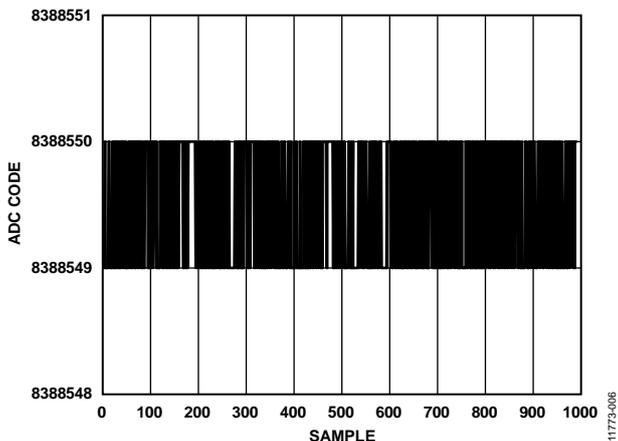


図 6. ノイズ

(出カデータ・レート = 1.25 SPS、アナログ入カバッファ・イネーブル)

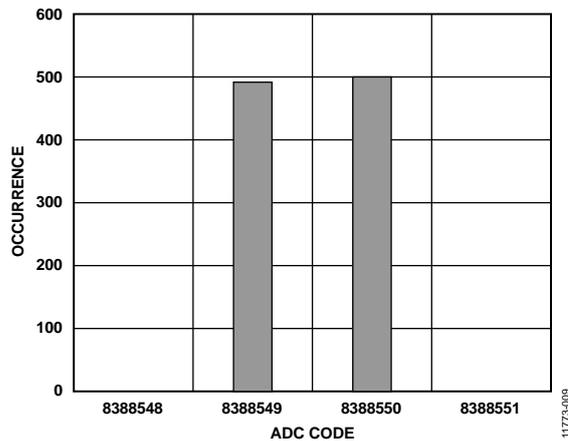


図 9. ノイズ分布ヒストグラム

(出カデータ・レート = 1.25 SPS、アナログ入カバッファ・イネーブル)

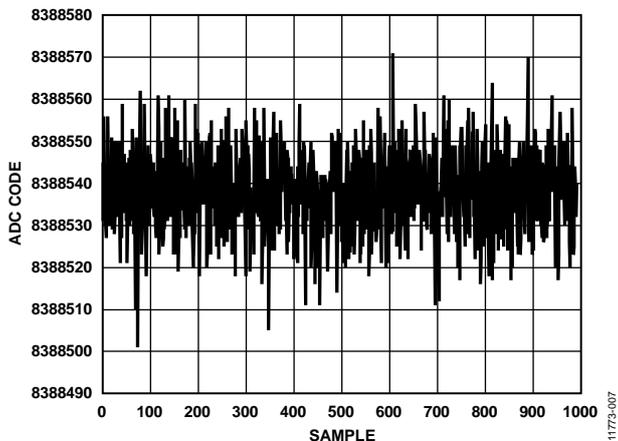


図 7. ノイズ

(出カデータ・レート = 10 kSPS、アナログ入カバッファ・ディスエーブル)

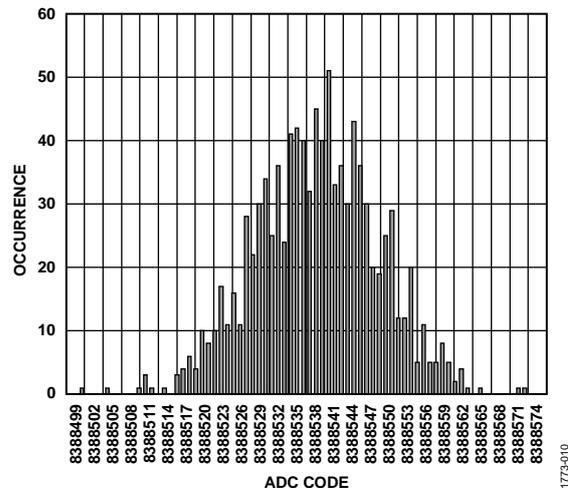


図 10. ノイズ分布ヒストグラム

(出カデータ・レート = 10 kSPS、アナログ入カバッファ・ディスエーブル)

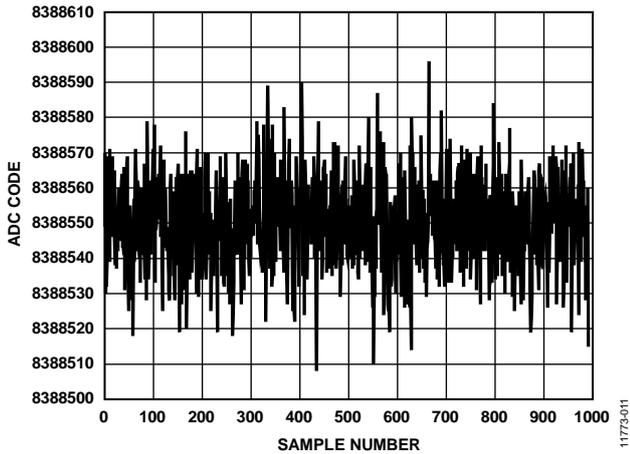


図 11. ノイズ

(出力データ・レート = 10 kSPS、アナログ入力バッファ・イネーブル)

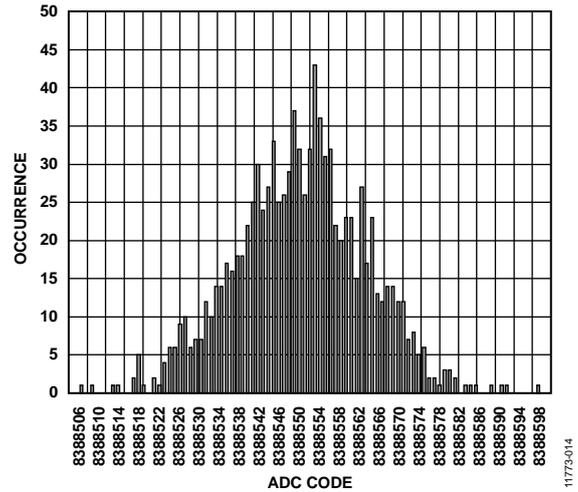


図 14. ノイズ分布ヒストグラム

(出力データ・レート = 10 kSPS、アナログ入力バッファ・イネーブル)

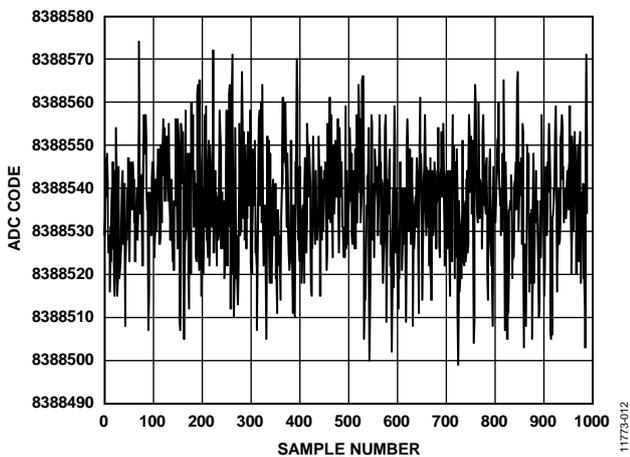


図 12. ノイズ

(出力データ・レート = 31.25 kSPS、アナログ入力バッファ・ディスエーブル)

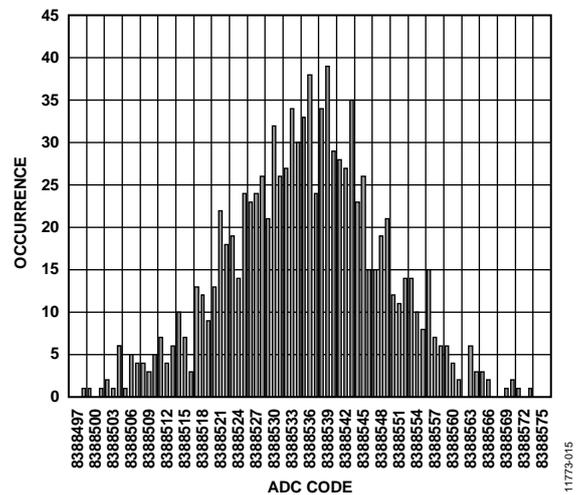


図 15. ノイズ分布ヒストグラム

(出力データ・レート = 31.25 kSPS、アナログ入力バッファ・ディスエーブル)

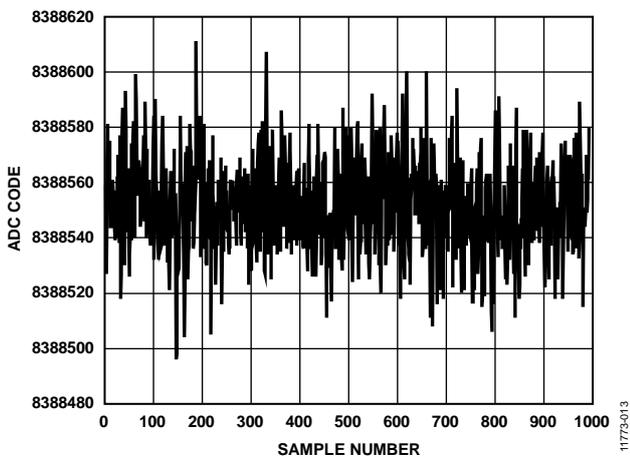


図 13. ノイズ

(出力データ・レート = 31.25 kSPS、アナログ入力バッファ・ディスエーブル)

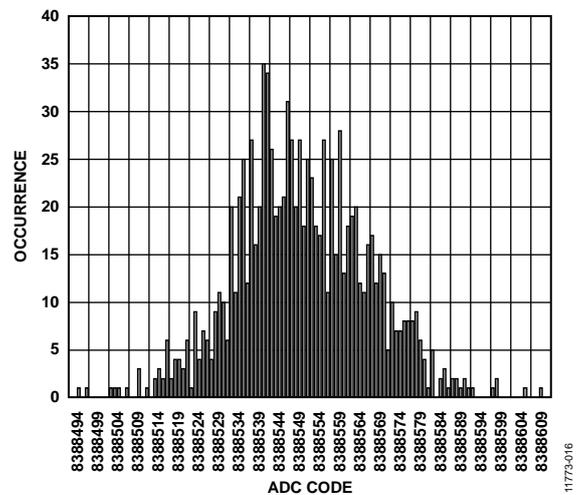


図 16. ノイズ分布ヒストグラム

(出力データ・レート = 31.25 kSPS、アナログ入力バッファ・イネーブル)

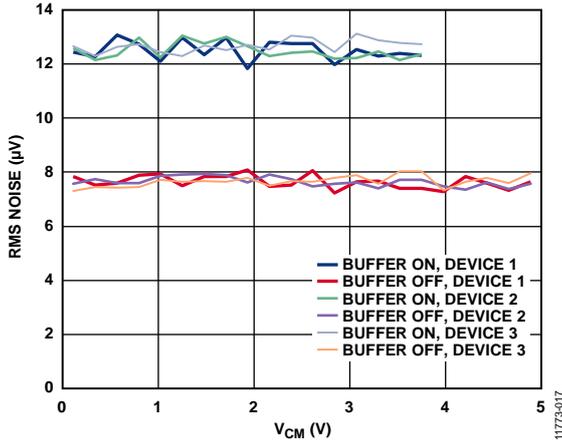


図 17. コモン・モード入力電圧 対 RMS ノイズ

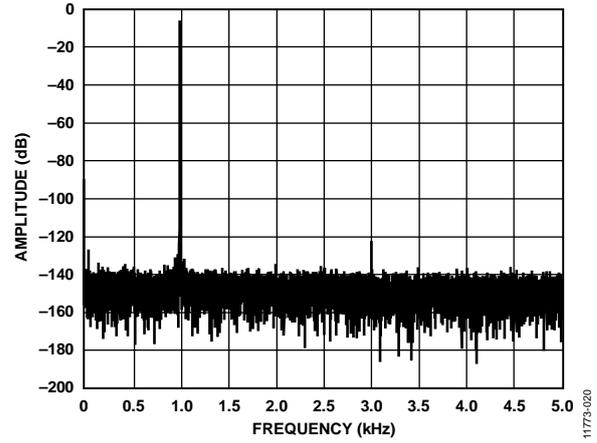


図 20. ADC 出力の FFT; 1 kHz 入力トーン -6 dBFS 入力を FFT (出力データ・レート = 10 kSPS、外部リファレンス電圧、外部クロック、バッファ・イネーブル)

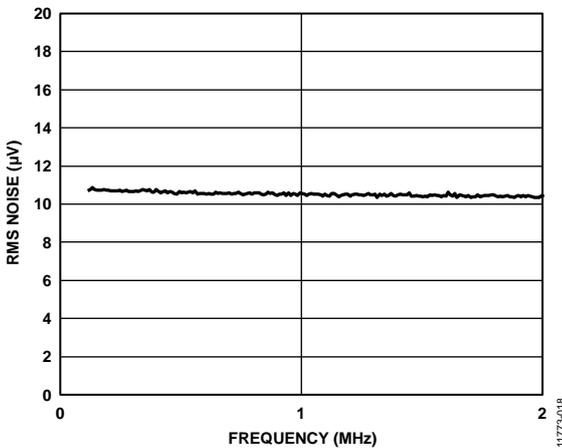


図 18. マスター・クロック周波数 対 RMS ノイズ (出力データ・レート = 31.25 kSPS、アナログ入力バッファ・イネーブル)

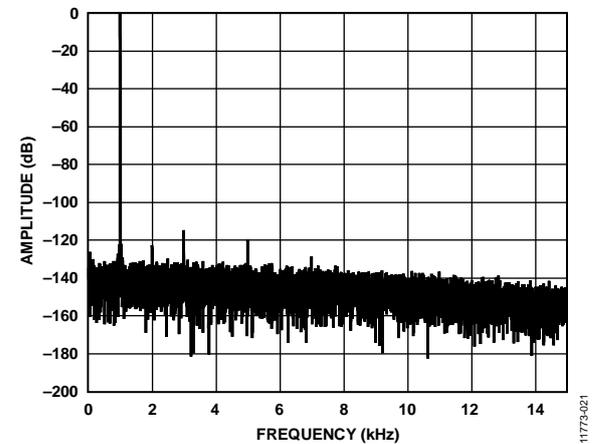


図 21. ADC 出力の FFT; 1 kHz 入力トーン -0.5 dBFS 入力を FFT (出力データ・レート = 31.25 kSPS、外部リファレンス電圧、外部クロック、バッファ・イネーブル)

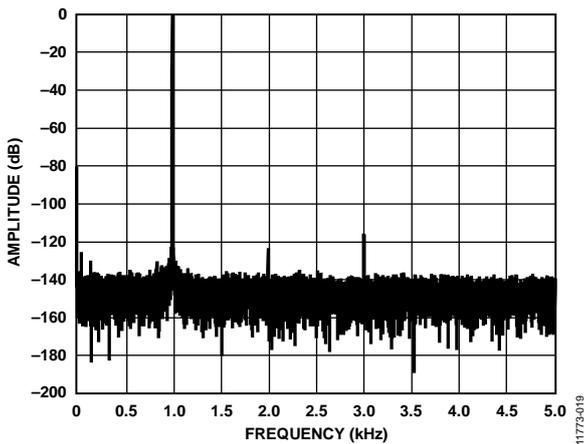


図 19. ADC 出力の FFT; 1 kHz 入力トーン -0.5 dBFS 入力を FFT (出力データ・レート = 10 kSPS、外部リファレンス電圧、外部クロック、バッファ・イネーブル)

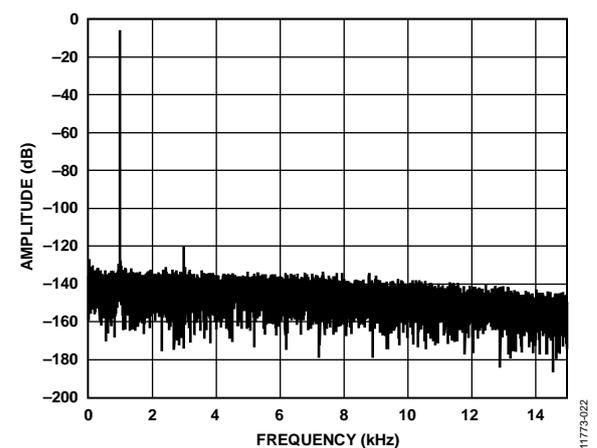


図 22. ADC 出力の FFT; 1 kHz 入力トーン -6 dBFS 入力を FFT (出力データ・レート = 31.25 kSPS、外部リファレンス電圧、外部クロック、バッファ・イネーブル)

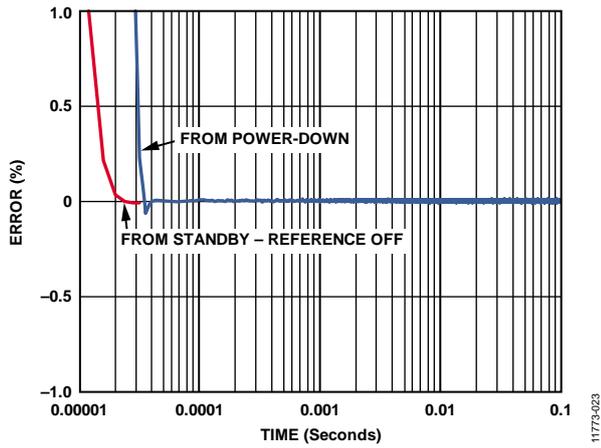


図 23.内蔵リファレンス電圧のセトリング時間

11773-023

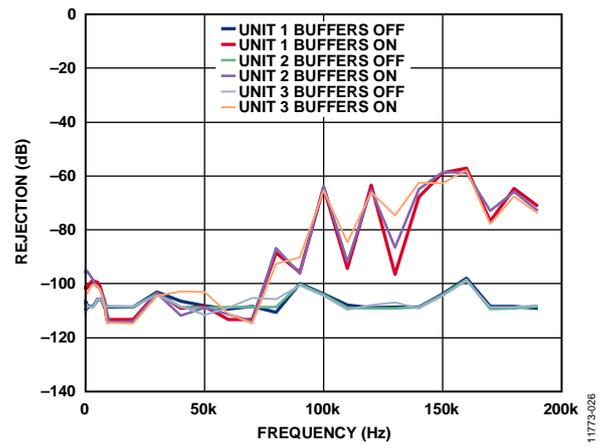


図 26.周波数 対 コモン・モード除去比
(出カデータ・レート = 31.25 kSPS)

11773-026

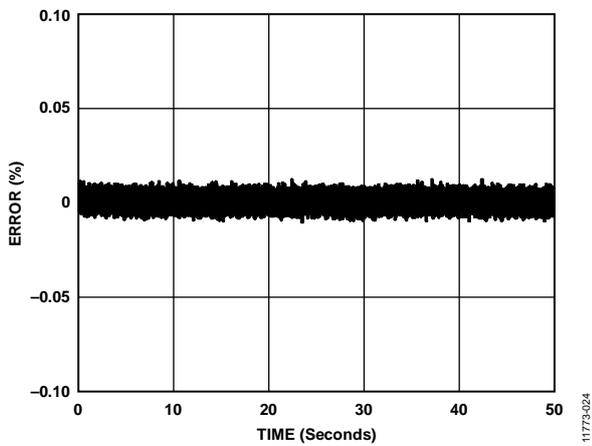


図 24.内蔵リファレンス電圧のセトリング時間 (長時間)

11773-024

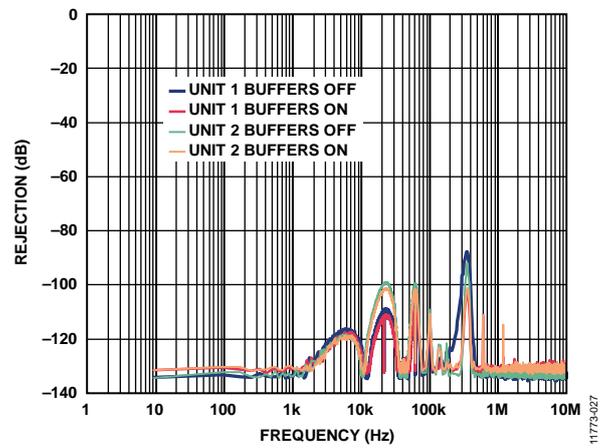


図 27.周波数 対 電源変動除去比

11773-027

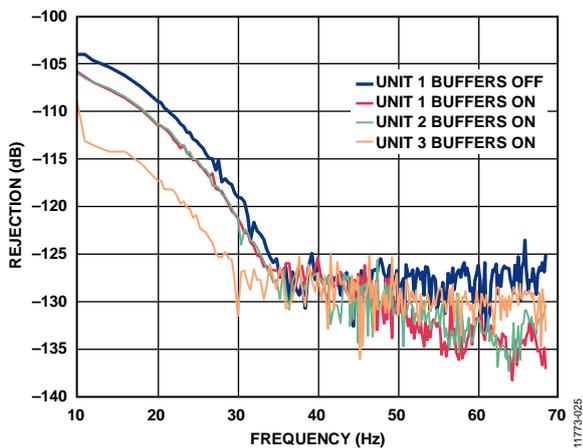


図 25. 周波数 対 コモン・モード除去比(10 Hz to 70 Hz)
(20 SPS 強化フィルタ)

11773-025

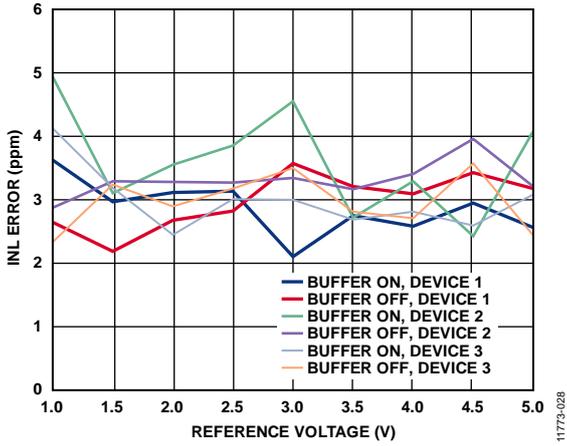


図 28. リファレンス電圧 対 積分非直線性 (INL) 誤差 (差動入力、外部 リファレンス)

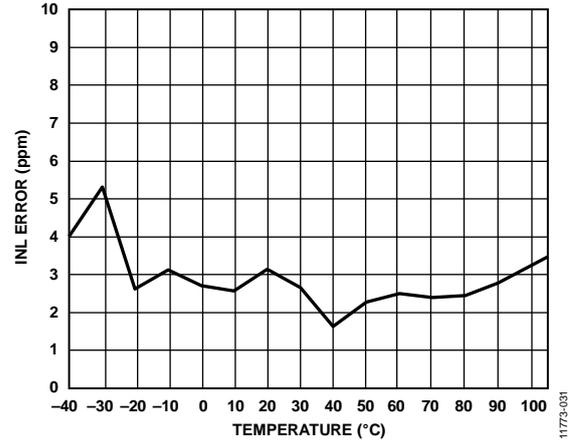


図 31. 周囲温度 対 積分非直線性 (INL) (差動入力 $V_{REF} = 2.5\text{ V}$ 外部リファレンス電圧)

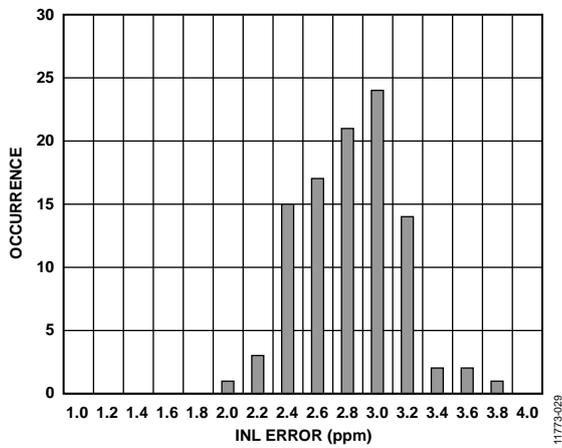


図 29. 積分非直線性 (INL) 分布ヒストグラム (差動入力 $V_{REF} = 2.5\text{ V}$ 外部リファレンス)

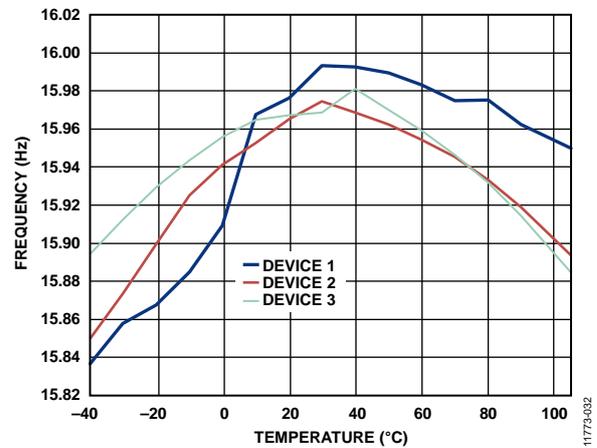


図 32. 周囲温度 対 内部発振器周波数

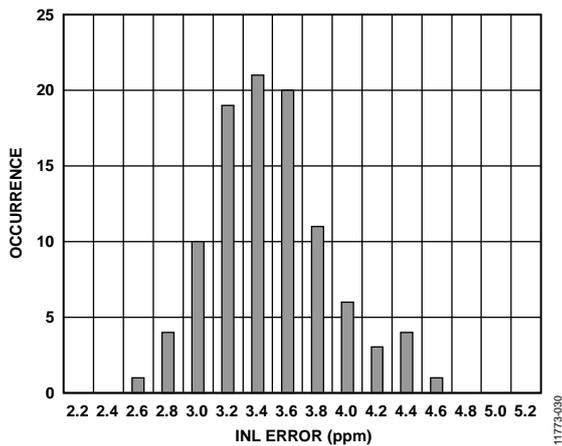


図 30. 積分非直線性 (INL) 分布ヒストグラム (差動入力 $V_{REF} = 5\text{ V}$ 外部リファレンス)

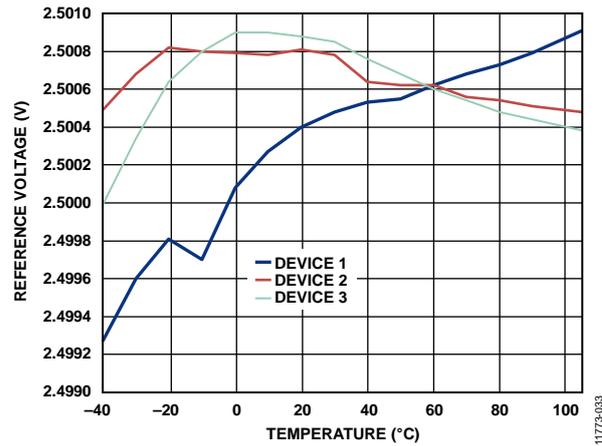


図 33. 周囲温度 対 内部リファレンス電圧

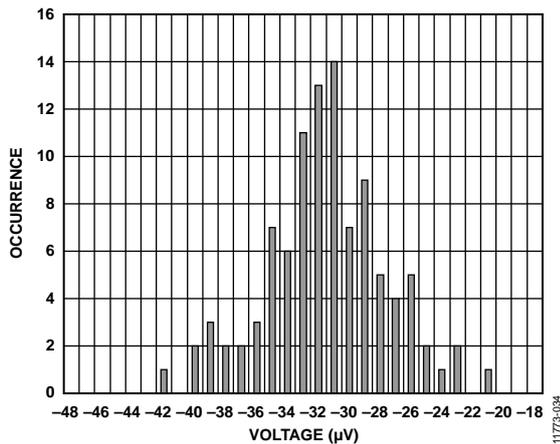


図 34. オフセット・エラー分布ヒストグラム
(内部ショート)

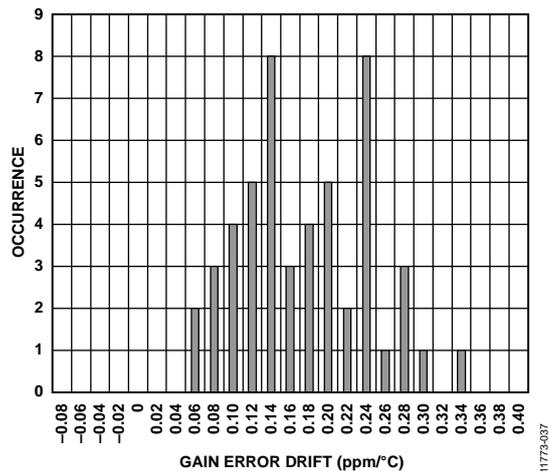


図 37. ゲイン・エラー・ドリフト分布ヒストグラム

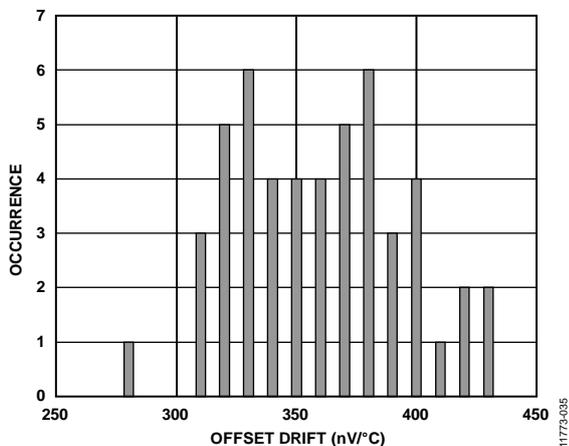


図 35. オフセット・エラー分布ヒストグラム
(内部ショート)

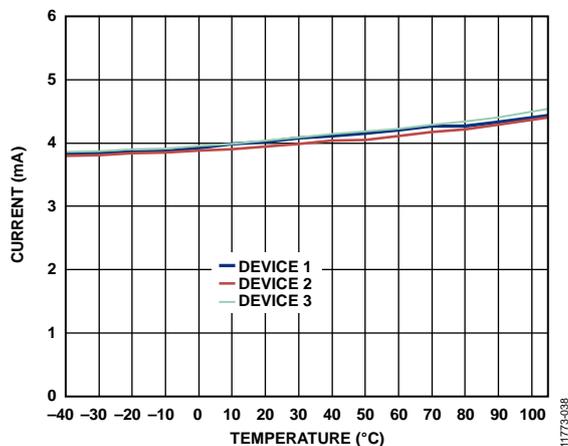


図 38. 周囲温度 対 消費電流
(連続変換モード、バッファ・イネーブル、
(内部リファレンス電圧、内部クロック))

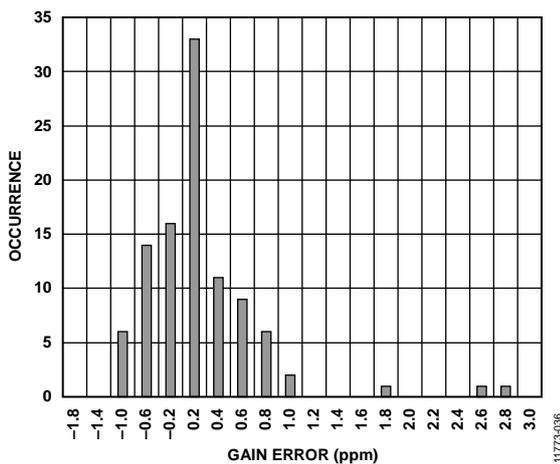


図 36. ゲイン・エラー分布ヒストグラム

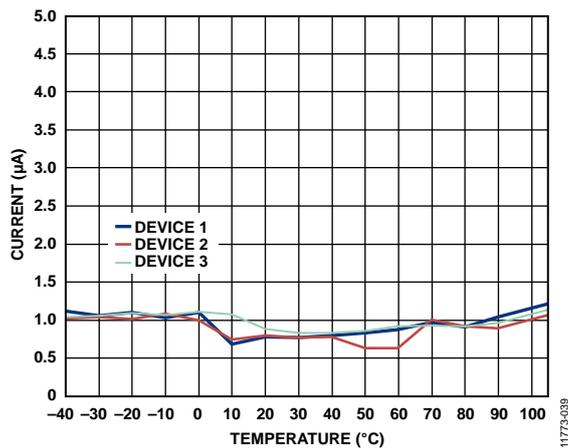


図 39. 周囲温度 対 消費電流
(パワーダウン・モード)

ノイズ特性と分解能

表 6 に、AD7173-8 の、各種出力レートやフィルタの組み合わせによる、rms ノイズ、ピーク-to-ピーク・ノイズ、実効分解能、そして、ノイズ・フリー（ピーク-to-ピーク）分解能を示します。ここに示した値は、バイポーラ入力とした時の値で、5V の外部リファレンス電圧源を用いました。

これらの値は代表値であり、ADC の単一チャンネルの差動入力端子に 0V を入力して、連続変換しているときに得られた

値です。ピーク to ピーク分解能は、ピーク to ピーク・ノイズを基に計算された値であることに注意して下さい。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を示します。最高速レートで sinc3 フィルタを使うと、ノイズは量子化誤差で制限されます。この制限は、そのレートにおけるノイズ性能を劣化させ、24 ビット、ノー・ミッシング・コードを実現できません。

表 6 RMS ノイズとピーク to ピーク分解能 対 出力データ・レート（デフォルトは sinc5 + sinc1 フィルタ使用）¹

Output Data Rate (SPS)	Sinc5 + Sinc1 Filter (Default)			
	Noise ($\mu\text{V rms}$)	Effective Resolution Bits	Peak-to-Peak Noise ($\mu\text{V rms}$)	Peak-to-Peak Resolution (Bits)
31,250	8.0	20.2	67	17.5
5208	4.5	21.1	30	18.3
1007	2.2	22.2	15	19.3
381	1.3	22.9	8.9	20.1
100.5	0.71	23.8	5.1	21
20.01	0.32	24	1.7	22.2
5	0.15	24	0.75	23.4
1.25	0.07	24	0.32	24

¹ 選択されたレートのみ：1000 サンプル

表 7. RMS ノイズとピーク to ピーク分解能 対 出力データ・レート（sinc3 フィルタ使用）¹

Output Data Rate (SPS)	Sinc3 Filter			
	RMS Noise ($\mu\text{V rms}$)	Effective Resolution (Bits)	RMS Noise ($\mu\text{V rms}$)	Peak-to-Peak Resolution (Bits)
31,250	210	31,250	210	31,250
5208	3.6	5208	3.6	5208
1008	1.5	1008	1.5	1008
400.6	1	400.6	1	400.6
100.5	0.55	100.5	0.55	100.5
20.01	0.25	20.01	0.25	20.01
5	0.11	5	0.11	5
1.25	0.07	1.25	0.07	1.25

¹ 選択されたレートのみ：1000 サンプル

評価開始にあたって

AD7173-8は、高速セトリング、高分解能、さらにマルチプレクス機能を持ったADCで、それらの機能を高次元で組み合わせることで構成することが可能です。

- 8本の完全差動または16本のシングルエンド入力。
- クロス・ポイント・マルチプレクサを装備しており、AD変換したい信号ペアとして、いずれのアナログ入力ピンの組み合わせも可能。これらの信号は入力バッファを経由したうえで、AD変調器の正（非反転）もしくは負（反転）入力へと接続されます。
- ADC入力は、完全差動入力として動作させるか、シングルエンド入力として動作させるかの選択が可能。
- チャンネル毎に柔軟な動作設定が可能で、最大8つの異なるセットアップを定義できます。個別のセットアップを、チャンネルごとに割り当てることもできます。それぞれのセットアップは、以下のような機能を設定することができます。
 - sinc5 + sinc1 フィルタ使用時の出力データ・レート
 - オフセット/ゲイン誤差補正
 - リファレンス電圧源の選択（内部もしくは外部）
 - アナログ入力とリファレンス電圧入力に対するバッファのイネーブル
 - デジタル出力のコード選択

AD7173-8は、は、高精度・低ドリフト(3.5 ppm/°C)の2.5 Vバンド・ギャップ・リファレンス電源を内蔵しています。このリファレンス電源をADCの変換の基準として用いることができるので、外部部品の削減ができます。内蔵リファレンス電源をイネーブルにすると、REFOUTピンからその電圧が出力され、外部回路に対する低ノイズ・バイアス電圧源として用いることができます。REFOUTを使う一例として、シングルエンド入力/差動出力を持つアンプの入力コモン・モード信号として使うことが挙げられます。

AD7173-8は、アナログおよびデジタル回路用に、それぞれ個別のリニア・レギュレータを内蔵しています。アナログLDOは、AVDD2から安定な1.8Vを作り、その電圧をADCコアに供給します。電源接続を簡易化するため、AVDD1とAVDD2とを共通接続することもできます。システム内に2V（最少）から5.5V（最大）のクリーンな電圧レールがあれば、電力消費を抑えるため、この電源レールをAVDD2入力Iに接続するという選択も考えられます。

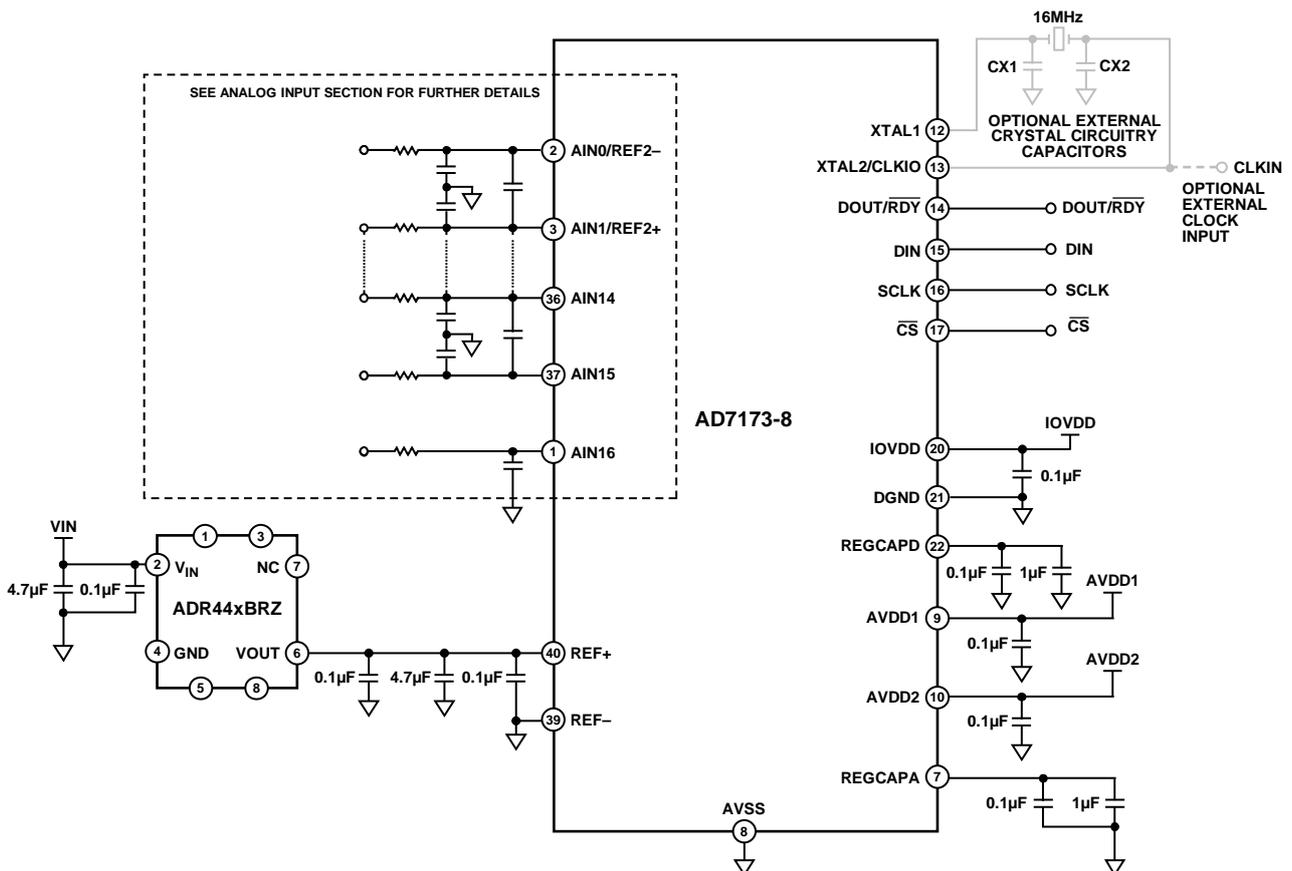


図 40. 代表的な接続図

11773-940

デジタル IOVDD 用のリニア・レギュレータは、同様の機能を持ちます。すなわち、IOVDD ピンに接続された入力電圧を 1.8V にレギュレーションし、AD7173-8 内部のデジタル・フィルタに供給します。シリアル・インターフェース信号は、常に IOVDD ピンに供給されている電圧で動作します。これは IOVDD ピンに 3.3V が供給されている場合、インターフェース・ロジック入出力は、この電圧レベルで動作するという事です。AD7173-8 は、高分解能・高精度が要求される、幅広いアプリケーションで使うことができます。いくつかの想定シナリオを以下に示します。

- 内部マルチプレクサを使ったアナログ入力の高速スキャンニング。
- 外部マルチプレクサを使ったアナログ入力の高速スキャンニング。
- 低速で高分解能なデータが必要なマルチ・チャンネル、もしくはチャンネル毎に ADC が必要なアプリケーション。
- チャンネル毎にシングル ADC を必要とする場合：高速・低レイテンシ出力特性を実現しているため、外部のマイクロコントローラや、DSP、FPGA で設計された特定アプリケーション用のフィルタを使うことも可能。

電源

AD7173-8 は 3.3V、5V 電源のどちらかで動作します。このデバイスは、3つの独立した電源ピンを持っています。これらは、AVDD1、AVDD2、そして IOVDD です。

- AVDD1 と AVDD2 は AVSS を基準とします。
- AVDD2 は、ADC へ電源を供給する内部レギュレータを駆動しています。
- 簡単のため、AVDD1 と AVDD2 とを接続することもできます。
- IOVDD は DGND を基準とします。この電源は、SPI インターフェースのロジック・レベルを規定し、デジタル処理を行うための内部レギュレータを駆動します。

単電源動作(AVSS = DGND)

AD7173-8 が、AVDD1 に接続され、単電源で動作しているとき、この電圧は、3.3V もしくは 5V である必要があります。この構成では、AVSS と DGND を短絡したうえで、一枚のグラウンド・プレーンに接続します。この設定で、完全差動入力を実現するには、入力コモン・モード電圧をシフトするため、外部にレベル・シフト回路が必要です。

AVDD2 は、内部電圧レギュレータへの入力です。簡易的に、AVDD2 と AVDD1 とを接続することも出来ます。一方で、システム内で別電源が利用できるなら、2V から 5.5V の電圧を与えることもできます。ユニポーラ入力構成時、IOVDD は 2V から 5.5V です。

正負分離電源動作 (AVSS ≠ DGND)

AD7173-8 は、AVSS を負電源に設定して動作する能力を持っています。負電源で動作させると、真のバイポーラ入力が可能になります。これにより、0V を中心とした信号を完全差動で入力することができ、外部のレベル・シフト回路が不要になります。例えば、5V 電圧差の分離電源を使う時、AVDD1 = 2.5V、AVSS = -2.5V に設定できます。このような使い方をするときでも、AD7173-8 は、内部で信号のレベル・シフトを行い、デジタル出力を DGND (通常 0V) と IOVDD とで動作させることができます。

AVDD1 と AVSS を分離電源で使う時、必ず絶対最大定格を考慮することを忘れないでください(詳細は、絶対最大定格のセクション参照)このデバイスの絶対最大定格内を超えないよう、IOVDD は 3.6V 以下になっているか注意してください。

デジタル通信

AD7173-8 は、3線もしくは4線の SPI インターフェースを持ち、それらは、QSPI、MICROWIRE、DSP と互換性があります。このインターフェースは、SPI モード 3 で動作し、CS はロー・レベルに接続したままでも動作します。SPI モード 3 では、SCLK はアイドル・ハイで、SCLK の立下りエッジが起動エッジ、立ち上がりエッジがサンプル・エッジです。すなわち、データは立下りの起動エッジに同期して出力され、立ち上がりのサンプル・エッジに同期して入力されます。



図 41. SPI モード 3 の SCLK エッジ

1173-041

ADC のレジスタ・マップへのアクセス

コミュニケーション・レジスタは、ADC 内全てのレジスタ・マップへのアクセスを制御しています。このレジスタは、8 ビットの書き込み専用レジスタです。パワーアップ時もしくはリセットの直後、デジタル・インターフェースはデフォルト状態になります。これはコミュニケーション・レジスタに対して書き込み待ちの状態です。従って全ての通信は、コミュニケーション・レジスタへのデータ書き込みによって開始されます。

コミュニケーション・レジスタへのデータ書き込みによって、どのレジスタへのアクセスが行われるかが決まり、さらに次の動作が指定されたレジスタへの書き込みなのか、読み出しなのかも決まります。このレジスタのアドレス・ビット (RA[5:0]) の値で、どのレジスタに対して、データの読み書きを行うかが決まります。

選択されたレジスタへの読み出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。インターフェースの同期が失われた場合は、DIN をハイ・レベルにして、少なくともシリアル・クロックの 64 サイクルの間書き込み動作を行わせると、ADC はレジスタの内容を含むすべての設定をリセットしてデフォルト状態に戻ります。あるいは、CS をデジタル・インターフェースと共に使用し、CS をハイ・レベルにする事で、デジタル・インターフェースがリセットされ、その時の全ての動作がアポートされます。

図 42 と図 43 はそれぞれ、書き込み動作と読み出し動作の例を示していますが、最初に 8 ビット・コマンドをコミュニケーション・レジスタに書き込み、それに続いて指定したレジスタのデータの読み書きを行っている様子を示しています。

ID レジスタの読み出しは、このデバイスが正しい通信を行っているかを確認するための推奨される方法です。ID レジスタは読み出し専用のレジスタで、AD7173-8 は、0x30DX という固有値を持っています。コミュニケーション・レジスタと ID レジスタの詳細は表 8 と表 9 を参照して下さい。

表 8. コミュニケーション・レジスタ・ビット・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Reg
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W

表 9. ID レジスタ・ビット・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Reg
0x07	ID	[15:8]	INSEL[15:8]								0x30DX ¹	R
		[7:0]	INSEL[7:0]									

¹ X = don't care.

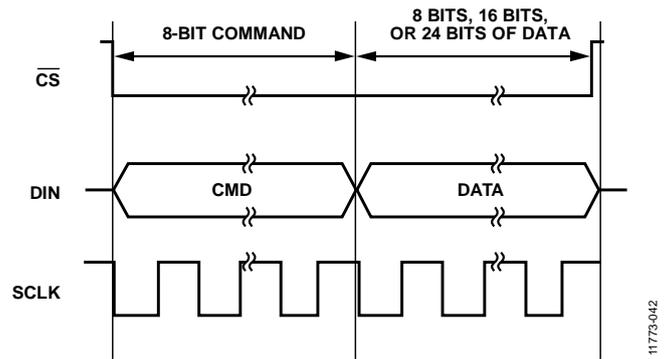


図 42. レジスタへの書き込み
(レジスタ・アドレスへ 8 ビットコマンドを送ると、それに続いて 8、16 もしくは 24 ビットのデータを書き込む。データ長は選択されたレジスタによって変化する)

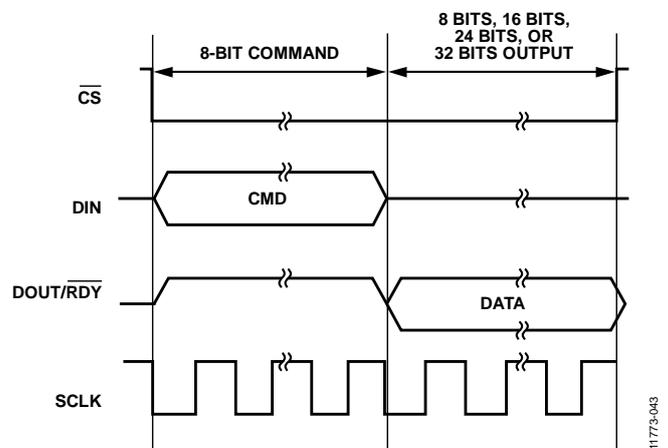


図 43. レジスタからの読み出し
(レジスタ・アドレスへ 8 ビットコマンドを送ると、それに続いて 8、16 もしくは 24 ビットのデータを読みだす。データ長は選択されたレジスタによって変化する)

構成概要

パワー・オン、もしくはリセット後の AD7173-8 のデフォルト状態を以下に示します：

- チャンネル設定：CH0 をイネーブル。AIN0 を正側入力に選択して AIN1 を負側入力に選択する。Setup0 を選択。
- セットアップの設定：入力バッファをディスエーブ。外部リファレンス電圧もディスエーブ。
- ADC 動作モード：連続変換モード、内部発振器、シングル・サイクル設定がそれぞれイネーブル。
- インターフェース・モード：CRC がディスエーブ、データとステータス出力もディスエーブ。

いくつかの重要なレジスタ・オプションのみを示しました。このリストは一例であることに留意してください。全てのレジスタ情報に関しては、レジスタの詳細セクションを参照して下さい。

図 44 に、ADC 動作の設定を変更するときの推奨フローの概要を示します。このフローは 3 つのブロックに分けられます：

- チャンネルの構成（図 44 の Box A 参照）
- セットアップの構成(図 44 の Box B 参照)
- ADC モードとインターフェース・モードの構成(図 44 の Box C 参照)

チャンネル構成

AD7173-8 は、16 個の独立した入力チャンネルと、8 個の独立したセットアップを持っています。どのチャンネルのアナログ入力端子も、一組の入力端子として選択できます。同様にどのチャンネルも 8 個のセットアップを自由に選択することができます。すなわち、チャンネル構成に関しては、完全な柔軟性を備えています。8 個の差動入力としてチャンネルを構成した場合は、それぞれのチャンネル専用のセットアップを持たせることもできます。

チャンネル・レジスタ

チャンネル・レジスタは、17 個のアナログ入力ピン（AIN0 から AIN16）のうち、どのピンを正アナログ入力とするのか、負アナログ入力とするのか、を決める場合に使用します。このレジスタには、チャンネルのイネーブル/ディスエーブ・ビットとセットアップ選択ビットも格納されており、これらは、指定されたチャンネルに対して、8 個の有効なセットアップの内、1 つを選ぶ場合に使われます。

AD7173-8 の 1 つ以上のチャンネルがイネーブル状態で動作しているとき、チャンネル・シーケンサは、チャンネル 0 からチャンネル 15 のイネーブル・ルチャンネルをシーケンシャルな順番で AD 変換を循環させます。もしチャンネルがディスエーブであれば、この動作はシーケンサによってスキップされます。チャンネル 0 のチャンネル・レジスタの詳細を表 10 に示します。

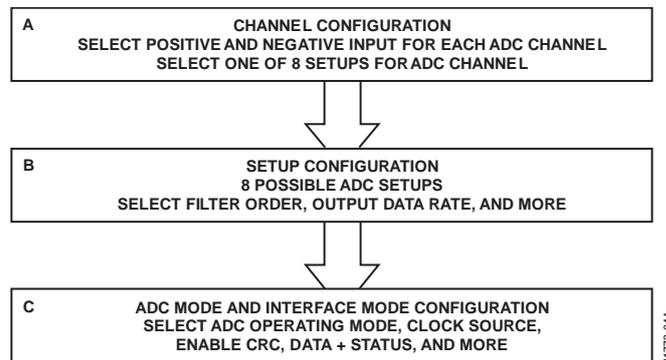


図 44. 推奨する ADC 構成時のフロー

表 10. チャンネル 0 レジスタ・ビット・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL[2:0]		RESERVED		AINPOS0[4:3]		0x8001	RW	
		[7:0]	AINPOS0[2:0]		AINNEGO							

ADC セットアップ

AD7173-8は8つの独立したセットアップを持ち、各セットアップは以下の4つのレジスタから構成されています。

- アットアップ構成レジスタ
- フィルタ構成レジスタ
- オフセット・レジスタ
- ゲイン・レジスタ

例えば、Setup 0は、セットアップ構成レジスタ 0、フィルタ構成レジスタ 0、オフセット・レジスタ 0、そしてゲイン・レジスタ 0から構成されています。図 45は、これらのレジスタのグループを示しています。このセットアップは、チャンネル構成セクションで詳細に述べられているチャンネル・レジスタから設定することが可能です。これにより、8個の個別セットアップを各チャンネルに割り当てることが可能になります。表 11から表 14は Setup 0と関連する4つのレジスタを示しています。また、Setup1 から Setup7 までは、Setup0 と全く同じ構造です。

アットアップ・レジスタ

セットアップ・レジスタは、ADC の出力コーディングを、バイポーラかユニポーラかを選択するためのレジスタです。バイポーラ・モードでは、ADC は負の差動入力電圧にも対応し、出力コーディングはオフセット・バイナリになります。ユニポーラ・モードでは、ADC が正の差動（入力）電圧にのみ対応し、そのコーディングは、ストレート・バイナリです。どちらの場合も、入力電圧は電源である AVDD1 と AVSS との電圧内でなければなりません。また、リファレンス電圧源を、このレジスタを使って選択する事もできます。リファレンス電圧源の選択は、4つのオプションが用意されています。それらは、内部の 2.5V リファレンス電源、REF+ピンと REF- ピンとの間に接続する外部リファレンス電源、AIN0/REF2-と AIN1/REF2+に接続する外部リファレンス電源、そして AVDD1 –AVSS 電源間電圧です。アナログ入力バッファとリファレンス電圧入力バッファに関する設定は、このレジスタを使ってイネーブルにすることができます。

フィルタ設定レジスタ

フィルタ設定レジスタは、ADC モジュレータの出力に、どのデジタル・フィルタを使うかを設定します。フィルタの次数と出力データ・レートの選択は、このレジスタ内のビットを設定することで行います。詳細については、デジタル・フィルタのセクションを参照して下さい。

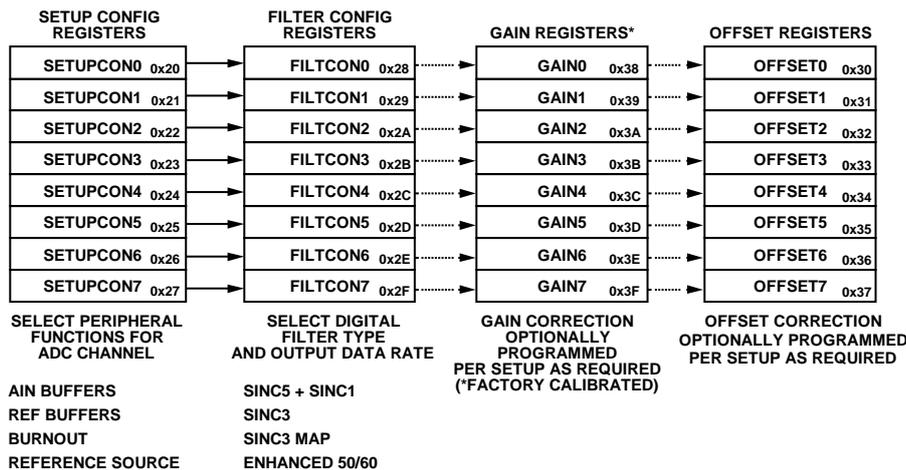


図 45 ADC セットアップのレジスタ・グループ

表 11. セットアップ 0 のレジスタ・ビット・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	RESERVED			BI_UNIPOLAR0	REF_BUF 0[1:0]		AIN_BUF 0[1:0]		0x1000	RW
		[7:0]										

表 12. フィルタ設定 0 のレジスタ・ビット・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x28	FILTCON0		SINC3_MAP0	RESERVED			ENHFILTEN0	ENHFILT0			0x0000	RW
			ODR0									

表 13. オフセット設定 0 のレジスタ・ビット・マップ

Reg	Name	Bits	Bit[23:0]								Reset	RW
0x30	OFFSET0	[23:0]	OFFSET0[23:0]								0x800000	RW

表 14. ゲイン設定 0 のレジスタ・ビット・マップ

Reg	Name	Bits	Bit[23:0]								Reset	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]								0x5XXXX0	RW

オフセット・レジスタ

オフセット・レジスタは、ADC に対するオフセット・キャリブレーション係数を保持しています。パワーオン・リセット時、オフセット・レジスタの値は、0x800000 です。オフセット・レジスタは 24 ビットのリード/ライト・レジスタです。もし、ユーザによって、内部ゼロ・スケールもしくはシステム・ゼロスケール・キャリブレーションが実行されたり、オフセット・レジスタを上書きされたりした場合、パワーオン・リセット値は、自動的に上書きされます。

ゲイン・レジスタ

ゲイン・レジスタは 24 ビットのレジスタで、ADC のゲイン・キャリブレーション係数を保持しています。ゲイン・レジスタはリード/ライト・レジスタです。パワー・オン時、これらのレジスタには工場出荷時のキャリブレーション係数が格納されます。従って、各デバイスには個別のキャリブレーション係数を持っています。ユーザによって、システム・フルスケール・キャリブレーションが行われたり、ゲイン・レジスタが書き込まれたりした場合、デフォルト値は自動的に上書きされます。詳細については動作モードのセクションを参照して下さい。

ADC モードとインターフェース・モードの設定

ADC モード・レジスタとインターフェース・モード・レジスタは、AD7173-8 によって使用される ADC コアの周辺回路と、デジタル・インターフェースのモードを設定します。

ADC モード・レジスタ

ADC モード・レジスタは、主に ADC の変換モードを、連続変換モード、もしくはシングル変換モードに設定するために使われます。また、スタンバイ・モード、パワー・ダウン・モードの選択もできます。さらに、各種キャリブレーション・モードの選択も可能です。加えてこのレジスタには、クロック源の選択ビットと、内部リファレンス電圧のイネーブル・ビットも含まれています。リファレンス電圧の選択ビットは、セットアップ・レジスタに含まれています(詳細については ADC セットアップセクションを参照)。

インターフェース・モード・レジスタ

インターフェース・モード・レジスタは、デジタル・インターフェースの動作を設定します。このレジスタは、データ・ワード長、CRC イネーブル/ディスエーブル、データ+ステータス読み出しモード、そして連続読み出しモードを制御します。

両レジスタの詳細を、表 15 と表 16 に示します。詳細は、デジタル・インターフェースセクションを参照して下さい。

表 15. ADC モード・レジスタ・ビット・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	REF_EN	RESERVED	SING_CYC	RESERVED		DELAY			0x2000	RW
		[7:0]	RESERVED	MODE			CLOCKSEL		RESERVED			

表 16. インターフェース・レジスタ・ビット・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x02	IFMODE	[15:8]	RESERVED			ALT_SYNC	IOSTRENGTH	HIDE_DELAY	RESERVED	DOUT_RESET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	RESERVED	CRC_EN		RESERVED	WL16		

動作設定の柔軟性を理解する

最も単純で分かり易い AD7173-8 の動作設定は、隣接する 8 個の差動アナログ入力を使い、それぞれを同じ設定にしてゲイン補正レジスタとオフセット補正レジスタとを使って動作させることです。この場合、以下の組み合わせの差動入力を使います：AIN0/AIN1, AIN2/AIN3, AIN4/AIN5, AIN6/AIN7, AIN8/AIN9, AIN10/AIN11, AIN12/AIN13, AIN14/AIN15。

図 46 において、黒文字で示されているレジスタは、上記構成を行うために、必ずプログラムしなければならないレジスタです。灰色の文字で示されているレジスタは、この構成では設定不要です。

ゲインおよびオフセット・レジスタのプログラミングは、どの場合もオプションで、図 46 のレジスタ・ブロック間において点線で示されています。

これら 8 個の完全差動入力を実装するためのもう一つの方法は、8 つの利用可能なセットアップを使う方法です。この方法を用いる理由としては、8 個の差動入力のなかで、それぞれに個別の変換スピードやノイズ特性を持たせたい場合や、特定のチャンネルに、別個のオフセットまたはゲイン補正データを与えたい場合などです。図 47 どの様にして、各差動入力に独立したセットアップを設定するか示してあり、これにより、各チャンネルの設定に完全な柔軟性を持たせることができます。

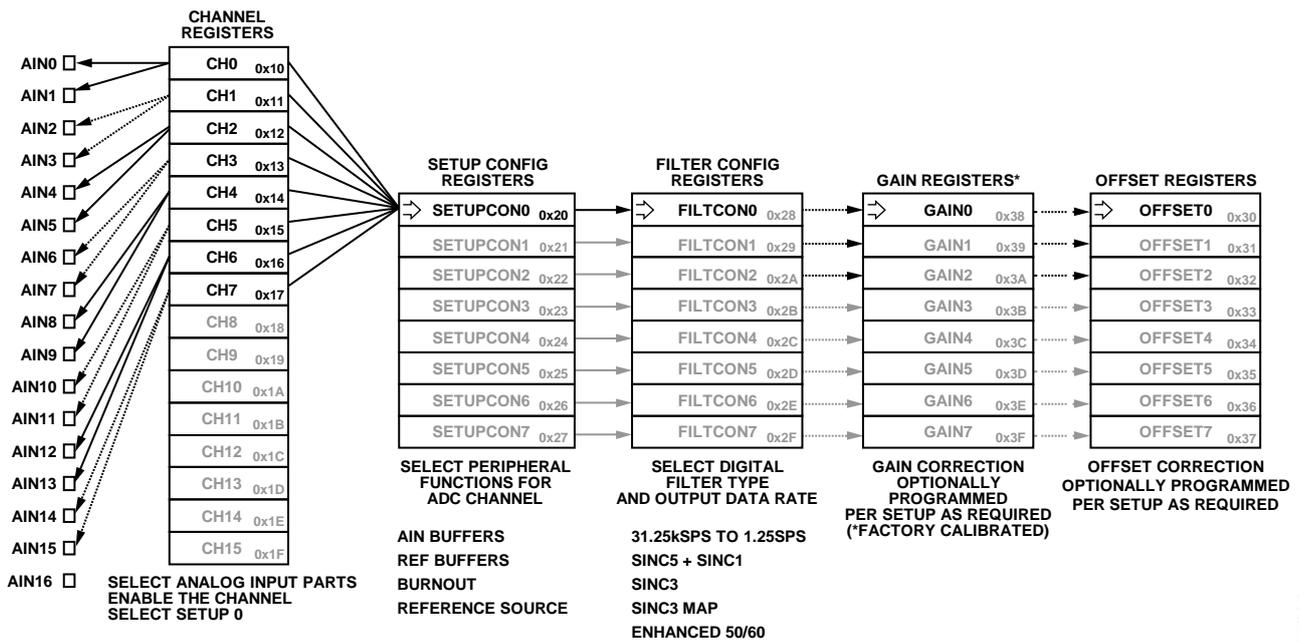


図 46. 8 個の完全差動入力全てを、1 つのセットアップ (SETUPCON0; FILTCON0; GAIN0; OFFSET0) を使って設定する

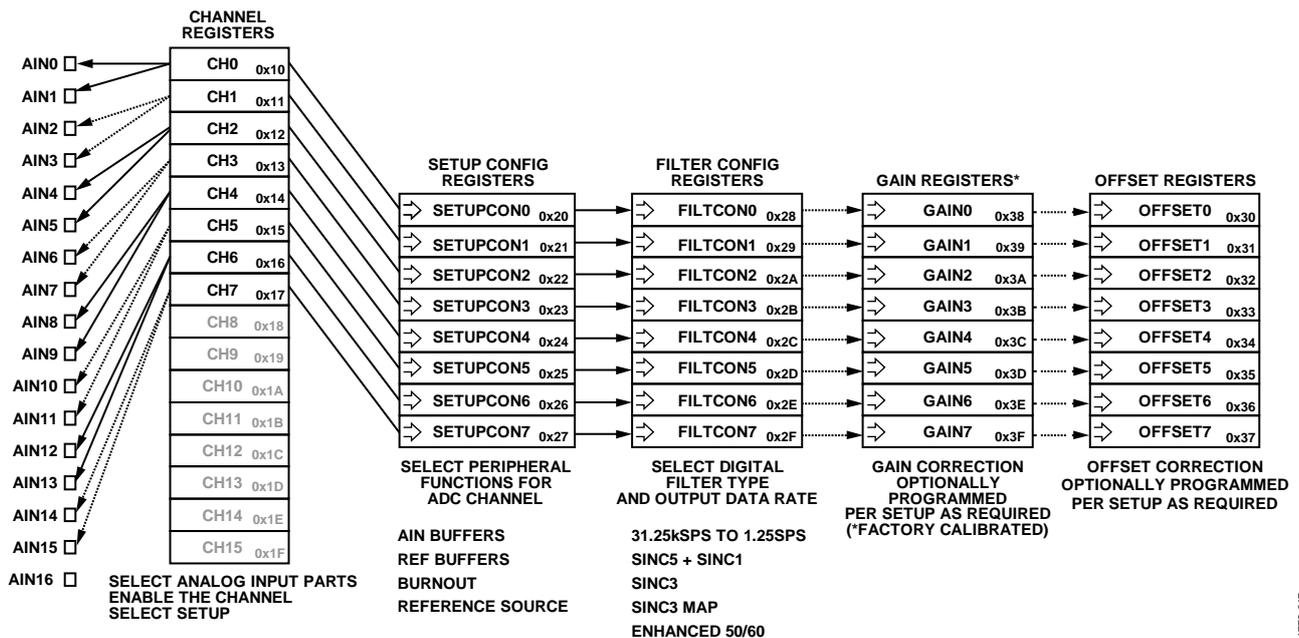


図 47. 8 個の完全差動入力の設定を、チャンネルごとに行う

図 48 は、チャンネル・レジスタが、アナログ入力ピンの設定と、その先のダウンストリーム側のセットアップとを、どのように繋げて行くか、その一例を示しています。仮に選ばれたこの例では、7つの差動入力と2つのシングルエンド入力が必要となっています。シングルエンド入力は、AIN8/AIN16 と AIN15/AIN16 との組み合わせです。最初の5つの差動入力ペア (AIN0/AIN1、AIN2/AIN3、AIN4/AIN5、AIN6/AIN7、AIN9/AIN10) は同じセットアップ・レジスタ、「SETUPCON0」を使います。2つのシングルエンド入力ペア (AIN8/AIN16 と AIN15/AIN16) は自己診断用として設定されているので、別個のセットアップ・レジスタを使います。それは、「SETUPCON1」です。最後の2つの差動入力 (AIN11/AIN12 と AIN13/AIN14) も個別のセットアップを使います。3つのセットアップ・レジスタ、すなわち「SETUPCON0」、「SETUPCON1」と「SETUPCON2」レジスタが、この例を動作させるために選択されており、この例

の仕様に合わせて、プログラムされます。また、「FILTCON0」、「FILTCON1」、「FILTCON2」レジスタも必要に応じてプログラムされます。オプションのゲインとオフセット補正も、GAIN0、GAIN1 そして GAIN3 レジスタと、OFFSET0、OFFSET1 そして OFFSET2 レジスタとを、チャンネルごとにプログラムすることによって、適用させることもできます。

図 48 に示されている例では、CH0 から CH8 までのチャンネル・レジスタが使われています。これらのレジスタ内の MSB をセットし、CH_EN0 から CH_EN8 ビットがセットされると、クロス・ポイント・マルチプレクサ経由で9つの入力組み合わせをイネーブルにします。AD7173-8 に設定が反映されると、シーケンスは、昇順のシーケンシャル順序、すなわち、CH0、CH1、CH2 へと変化して CH8 まで到達します。このシーケンスを繰り返すため、CH8 から CH0 に戻ります。

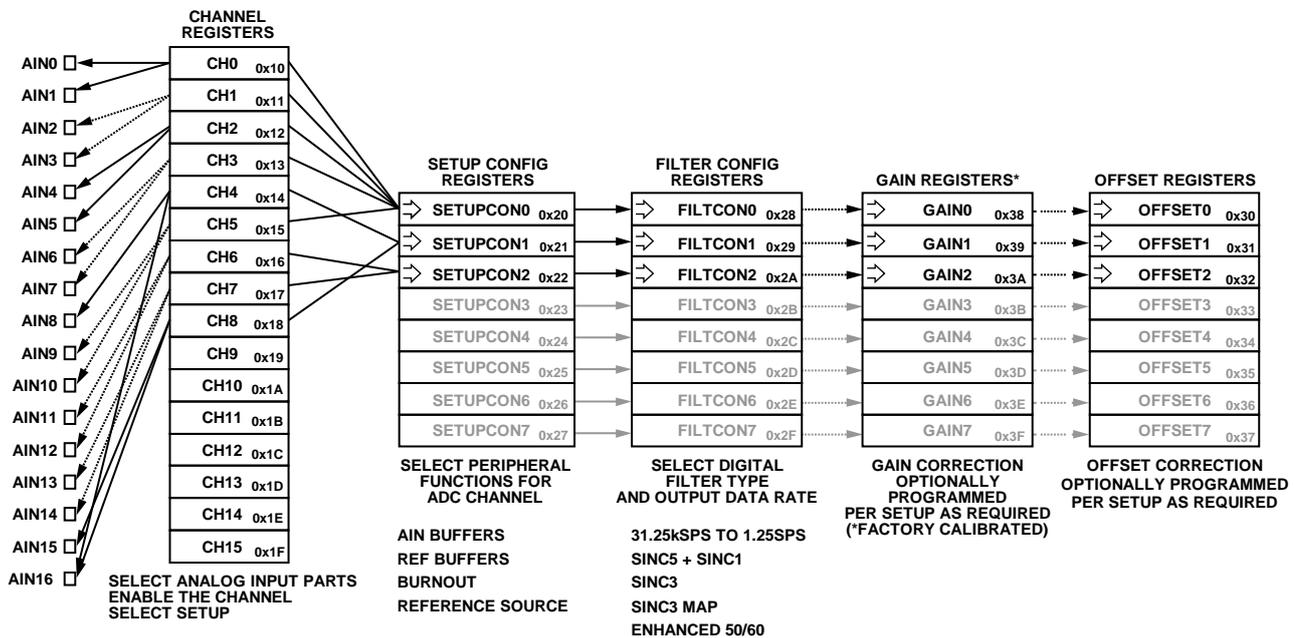


図 48. 複数の共用セットアップを使って、差動とシングルエンド構成を混在させる

11773-048

回路説明

アナログ入力

バッファ付きアナログ入力

AD7173-8は、ADCの差動入力に高精度ユニティ・ゲイン・バッファを内蔵しています。内蔵クロス・ポイント・マルチプレクサ出力は、これら高精度バッファを介してADCに接続されています。バッファによって高入力インピーダンスを実現し、さらにADCコアのスイッチド・キャパシタ・サンプリング・ネットワークを十分に駆動できます。

バッファは、ADCの正負両方のアナログ入力に実装されています。AINペアの入力信号は、クロス・ポイント・マルチプレクサで選択され、BUF+とBUF-経由でバッファ入力を通過後、ADCのサンプリング・キャパシタ回路をドライブします。各アナログ入力端子のバッファは、入力電圧範囲があり、その値は、図49に示されている通りです。各バッファへの入力可能電圧は、最低値がAVSS（アナログ・グラウンド）。最高値はAVDD1電源電圧から1.1V低い電圧です。

完全差動入力

AIN0からAIN16のアナログ入力は、クロス・ポイント・マルチプレクサに接続されています。従って、アナログ入力ペアを作る際には、どのような信号の組み合わせも可能です。この構造により、8個の完全差動入力、もしくは16個のシングルエンド入力を実現できます。AD7173-8へのすべての信号が完全差動であれば、入力端子への差動ペアのパターンは、すべて同

じ長さにすることを推奨します。パターンの長さを同じにする最も確実に効率的な方法は、差動ペアとしてデバイス上で隣り合った入力ピンを使うことです。全てのアナログ入力のデカップリング・コンデンサは全て、AVSSに接続してください。

シングルエンド入力

16個の異なるシングルエンド・アナログ入力の信号を測定する構成も選択できます。この場合、各アナログ入力は、差動からシングルエンド入力で測定されるように変更され、1つのピンをコモンに設定します。これは、クロス・ポイント・マルチプレクサがあるため、どのアナログ入力ピンを、アナログ共通ピンとして設定できます。このような設定シナリオでは、AIN16ピンをAVSSかREFOUT（電圧はAVSS+2.5V）に接続します。そして、クロス・ポイント・マルチプレクサの構成時、この入力ピンをアナログ共通ピンとします。

AD7173-8の入力をシングルエンド入力として使うと、INLの仕様が低下します。

完全差動入力あるいはシングルエンド入力であってもあるいはバッファ回路が必要であれば、アナログ入力バッファをペアでターンオンすることができます。これは、たとえ入力ピンがAVSSに接続されようが、そのチャンネルの入力バッファはターンオンしており、差動入力として構成した他のピンもバッファされることを意味します。

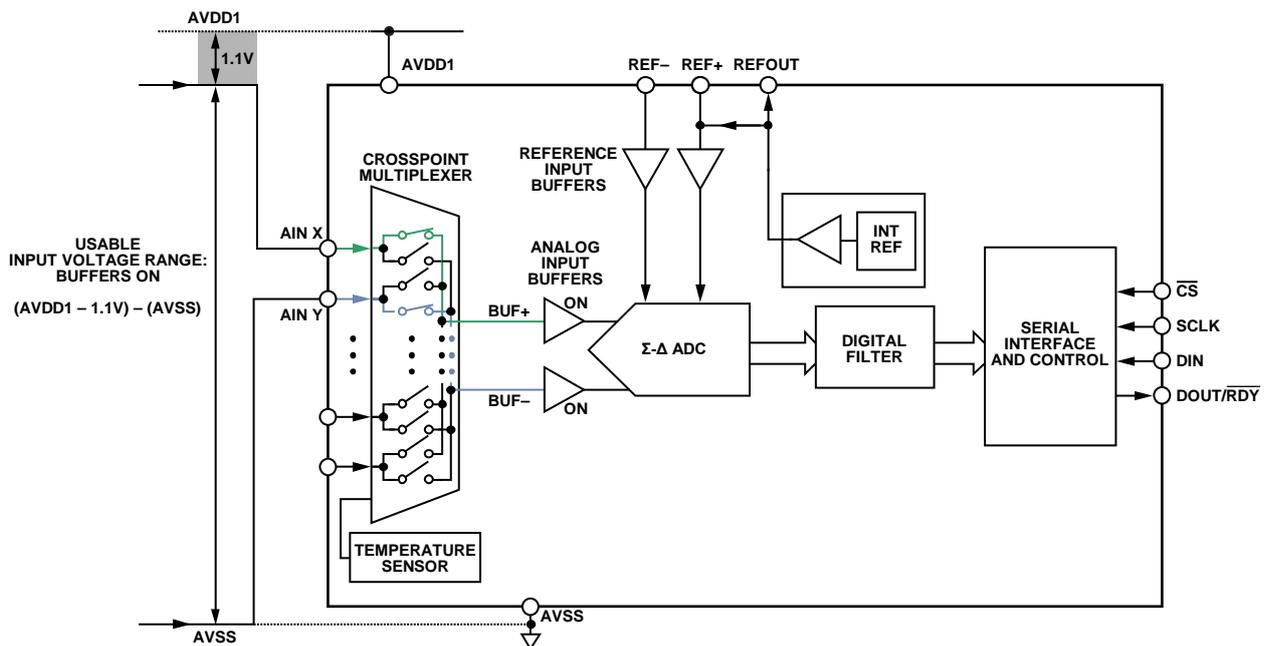


図 49. アナログ入力バッファをイネーブにした時のアナログ入力電圧範囲

11773-049

バッファ・チョッピング、ノイズ、入力電流

各アナログ入力バッファ・アンプは、完全にチョッピングで動作しています。これは、シグナル・チェーン内のオフセット誤差ドリフトと $1/f$ ノイズを最小限にする為です。 $1/f$ ノイズ・プロファイルを図 51.に示します。

このバッファにおいて、ある特定の出力データ・レートにおけるノイズ性能は、バッファのチョッピング・レートを増加させれば改善します。一方で入力電流の増加と相関があります。チョッピング・レート変更は、選択された設定におけるセットアップ構成レジスタの、BUFCHOPMAXx ビットを変更することで行われます。

SING_CYC ビット=0 でシングル・サイクルを動作させる

ADC モード・レジスタの SING_CYC ビットを 0 に設定して、1 チャンネルのみを使うようにすると、最高の出力データ・レートが得られます。しかしながら、アナログ入力端子の入力電流の大きさは、選択された出力データ・レートに依存して変化します。この設定で、出力データ・レートを 2.6 kSPS 以上にすると、入力電流は約 32 倍になります。最高の出力データ・レートを得たいという特定の使い方でのみ、SING_CYC ビットを 0 に設定してください。図 52 と図 53 に、出力データ・レートを変化させたときの、rms ノイズと入力電流との関係を示します。

外部バッファを使う

デバイス内のアナログ入力バッファは、ディスエーブルにできます。これらをディスエーブルにすると、アナログ入力端子での入力電圧範囲は、AVDD1 - AVSS になります。また、この場合アナログ入力のスイッチド・キャパシタ入力部が、外部へ露出することになります。従って、このような状況では、アナログ入力に対して十分な駆動能力と、アナログ入力を比較的高速にセトリング可能な能力を備えた、適切な外部アンプが必要です。下の図の CS1 と CS2 コンデンサは、それぞれピコ・ファラッド (pF) オーダーの容量を持っています。このコンデンサの容量値は、サンプリング・コンデンサと寄生容量との組み合わせになります。

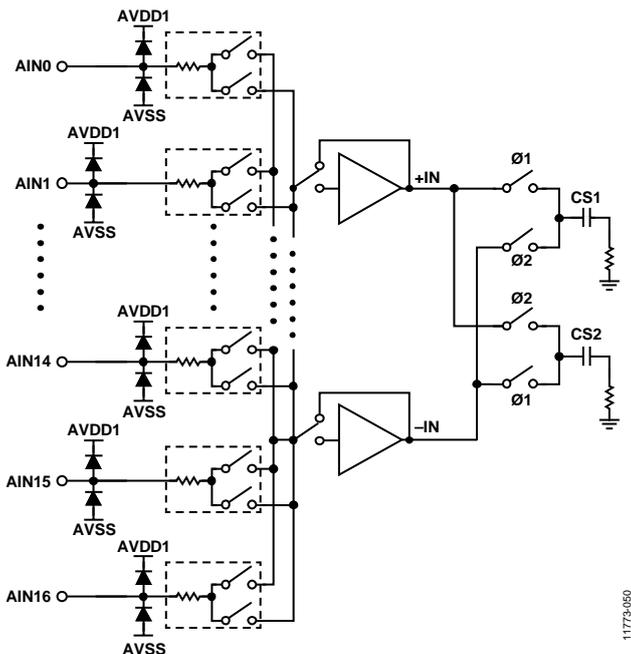


図 50.簡略化されたアナログ入力回路

AD7173-8 の平均入力電流は、差動入力電圧に比例して直線的に増加し、その増加率は $6 \mu\text{A/V}$ です。内部バッファを使わない場合、各アナログ入力は、必ず外部でバッファリングしてください。差動入力電圧に比例して変化する入力電流が出現する事を避けるだけではなく、高精度のサンプリングを実現する為に、スイッチド・キャパシタ入力を安定させるためでもあります。この状況下における簡略化されたアナログ入力回路を図 50.に示します。

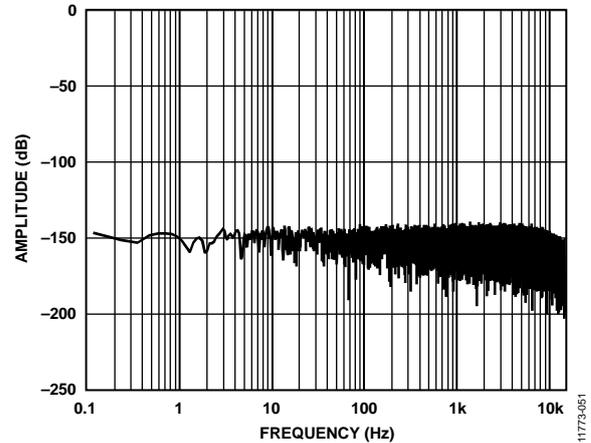


図 51.入力をショートしたときの FFT 結果

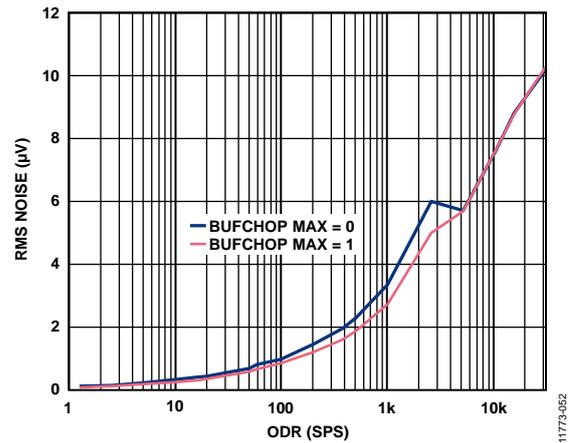


図 52.出力データ・レート 対 RMS ノイズ (Sinc5 + Sinc1 フィルタ使用時)

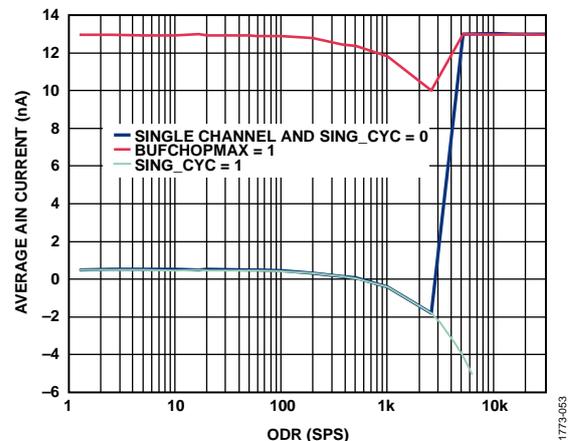


図 53.出力データ・レート 対 標準的なアナログ入力電流 (2.5 V コモン・モード)

リファレンス電圧オプション

AD7173-8は、デバイスのREF+とREF-ピンに外部リファレンス電圧を接続するか、内蔵の2.5Vの低ノイズ、低ドリフトのリファレンス電圧のどちらかを選択できるようになっています。アナログ入力端子に対して、使用したいリファレンス電源を選択するにはセットアップ・レジスタ内のREF_SELxビット(ビット[5:4])を適切に設定してください。セットアップ・レジスタ0の構造を表17に示します。AD7173-8は、デフォルトで外部リファレンス電圧を使うよう設定されます。

外部リファレンス電圧

AD7173-8は、完全差動のリファレンス電圧入力を持ち、リファレンス電圧は、REF+とREF-ピンに与えます。標準的な低ノイズ低ドリフト電圧リファレンスとしては、ADR445や、ADR444、ADR441があり、それらを使うことを推奨します。AD7173-8に外部リファレンス電圧を与えるには、図54.の外部リファレンス電圧であっても、AVSSに対してデカップリングを行ってください。

図54に示したように、ADR441の出力は、電圧安定化のため、0.1μFのコンデンサを使ってデカップリングしてください。また、出力には4.7μFのコンデンサが接続されていますが、このコンデンサはADCによるダイナミックな電荷変動に対する、電荷供給源として振る舞います。続いて0.1μFのデカップリング・コンデンサをREF+入力に接続してください。このコンデンサは、REF+とREF-ピンのできるだけ近くに配置してください。REF-ピンは、AVSSの電位に直接接続してください。

内部リファレンス電圧

AD7173-8は、低ノイズ、低ドリフトの電圧リファレンスを内蔵しています。パワーアップ時、内部リファレンス電圧源は、デフォルトではディスエーブルで、ADC内蔵のリファレンス電圧源を選択するには、レジスタへの書き込みが必要です。ADCモード・レジスタの、REF_ENビット(ビット15)に書き込みを行い、イネーブルにします。(表18参照)。内部リファレンスの出力電圧は2.5Vで、ADCモード・レジスタのREF_ENビットを設定すると、REFOUTピンから出力されます。内部リファレンス電圧は、AVSSに対して0.1μFのコンデンサを使ってデカップリングしてください。

REFOUT信号は、ピンから出力される前にバッファされています。この信号は、システム回路内で外部アンプと共に使用する場合、そのアンプ用のコモン・モード電圧源として使うことができます。

REFOUT信号は、ピンから出力される前にバッファされています。この信号は、システム回路内で外部アンプと共に使用する場合、そのアンプ用のコモン・モード電圧源として使うことができます。

クロック・ソース

TAD7173-8は、マスター・クロックとして2MHzが必要です。AD7173-8は、以下に示す信号源を、そのサンプリング・クロックとして用いることができます：

- 内部発振器
- 外付け水晶発振子(16MHzの水晶発振子を使ってください。内部で自動的に2MHzに分周されます)
- 外部クロック源

データシートに記載されている、全ての出力データ・レートは、この2MHzを基にして作られています。より低いクロック周波数を使う場合、例えば外部クロック源から信号を供給する場合は、データシートに記載されている出力データ・レートと比例関係にある周波数を持つクロック源を使ってください。指定された出力データ・レートを実現し、特に50Hzと60Hzの影響を除去する為には、2MHzのクロックを使います。マスター・クロック源は、表25に示してあるADCモード・レジスタのCLOCKSELビットの値で設定します。パワーアップとリセット時にデフォルトで選択されて動作するのは、内部発振器です。

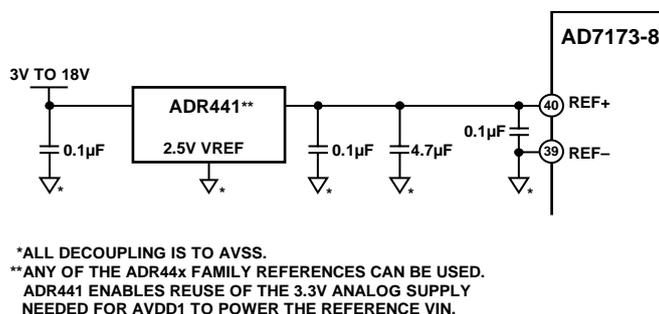


図 54. E 外部リファレンス電圧源 ADR441 を、AD7173-8 のリファレンス電圧ピンに接続する

表 17. アットアップ構成0 レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	RESERVED			RESERVED	BI_UNIPOLAR	REF_BUF 0[1:0]	AIN_BUF 0[1:0]		0x1000	RW
		[7:0]	BURNOUT_EN	BUFCHOPMAX0	REF_SEL0		RESERVED			0		

表 18. ADC モード・レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	INT_REF_EN	RESERVED	SING_CYC	RESERVED		DELAY			0x2000	RW
		[7:0]	RESERVED	MODE			CLOCKSEL	RESERVED				

内部発振器

内部発振器は、デフォルトで ADC のマスター・クロックとして使用されます。ADC のサンプリングに用いられるこのクロック周波数は 2MHz です（内部発振器は、より高い周波数から分周してこの信号を作ります）。これは、AD7173-8 のデフォルト・クロック源であり、その周波数精度は $\pm 2.5\%$ と規定されています。

オプションで、この内部発振器の信号を XTAL2/CLKIO ピンから出力させることもできます。クロック出力は、IOVDD のロジック・レベルで動作します。内部発振器の信号を出力するオプションを使うと、その出力ドライバから発生する悪影響により、AD7173-8 の DC 特性に影響を与える可能性があります。DC 特性に与える影響の大きさは、IOVDD 電源の質に依存します。IOVDD 電圧が高くなると、ドライバからのロジック出力の電圧振幅が大きくなり、DC 特性に与える影響がより深刻になります。もし、IOSTRENGTH ビット（レジスタ 0x02 のビット 11）を、IOVDD が高い状態で設定した場合、さらに大きな影響を与えてしまうかもしれません（詳細は、表 26 を参照）。

外部水晶発振子

もし、さらなる高精度低ジッタのクロック源が必要なら、AD7173-8 はマスター・クロック発生用に外部水晶発振子を使用できます。この場合 AD7173-8 に 16MHz の水晶発振子を接続して下さい。ADC 入力をサンプリングするための 2MHz の信号を作るため、内部で自動的に分周されます。

水晶発振子は、XTAL1 と XTAL2/CLKIO ピンとの間に接続します。ここで使用する水晶発振子は、16MHz、10ppm、9pF の性能を持つエプソン-トヨコム製 FA-20H を推奨します。この部品は表面実装型パッケージ品です。

図 55 に示すように、水晶発振子が接続されている XTAL1 ピンと XTAL2/CLKIO ピンとを接続しているパターンに、2つのコンデンサを接続します。これらのコンデンサで発振回路の調整をします。これらのコンデンサは、DGND ピンに接続してください。2つのコンデンサの容量は、水晶発振子および XTAL1 ピン、XTAL2/CLKIO ピンを接続しているパターンの長さ、そのパターンによって形成される静電容量に依存します。従って、これらコンデンサの容量は、PCB のレイアウトと、採用した水晶発振子によって異なります。そのため、回路の実験的なテストが必要になります。

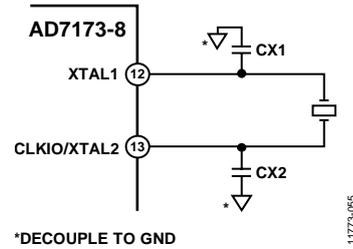


図 55 外部に水晶発振子を接続する

外部クロック

AD7173-8 は、外部から供給されるクロックを使うこともできます。このよう構成を必要とするシステムの場合、外部クロックを XTAL2/CLKIO ピンに接続してください。この構成では、XTAL2/CLKIO ピンは外部からの信号源を受け入れ、IC 内部の) AD 変調器へとその信号を導きます。このロジック・レベルは、IOVDD ピンに与えられている電圧によって決まります。

デジタル・フィルタ

AD7173-8 は、以下に述べる、柔軟性に富んだ3つのフィルタ・オプションを備えており、セトリング時間、ノイズ特性、そしてノイズ除去性能の最適化が可能です。

- Sinc5 + sinc1 フィルタ
- Sinc 3 フィルタ
- 強化された 50Hz/60Hz 除去フィルタ

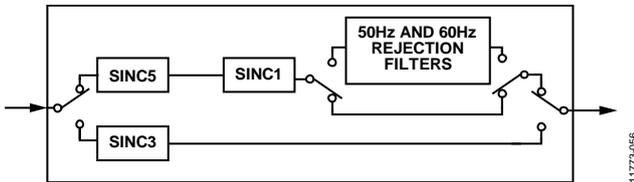


図 56. デジタル・フィルタ・ブロック図

フィルタと出力データ・レートは、選択されたセットアップに対してフィルタ設定レジスタの適切なビットを設定することで構成されます。sinc5 + sinc1 フィルタを使う場合は、チャンネルごとに異なった出力データ・レートを選択することができます。sinc3 フィルタを使う場合、必ずすべて sinc3 フィルタを選択し、イネーブルになっている全てのチャンネルの出力データ・レートを同じにしてください。詳細については、レジスタの詳細のセクションを参照して下さい。

SINC5 + SINC1 フィルタ

sinc5 + sinc1 フィルタは、入力マルチプレクサが高速でスイッチングするアプリケーションを対象とし、2.6 kSPS 以下の出力データ・レートにおいて、シングル・サイクル・セトリン

グ動作を実現しています。sinc5 ブロックの出力は、最高速の出力データ・レートである 31.25 kSPS に固定されています。sinc1 ブロックの出力データ・レートは、最終段の ADC 出力データ・レートを制御することで変更することができます。図 57 は、50SPS 出力データ・レートでの sinc5 + sinc1 フィルタの周波数領域における応答です。sinc5 + sinc1 フィルタは、広い周波数にわたって緩やかなロールオフを持ち、かつ狭いノッチを備えています。

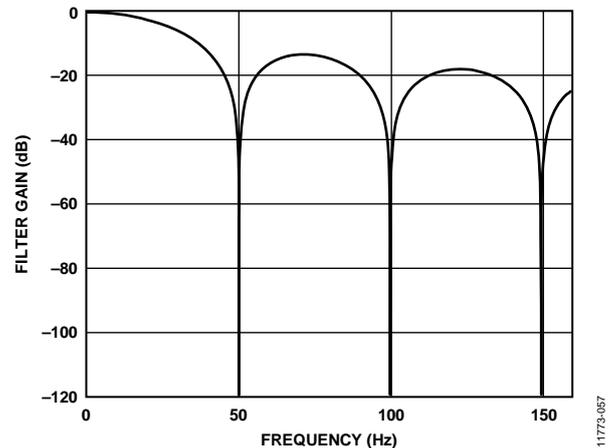


図 57. 出力データ・レート 50SPS における Sinc5 + Sinc1 フィルタの応答

Sinc5 + Sinc1 フィルタの出力データ・レートに対応する、セトリング時間と rms ノイズを、表 19 に示します。

表 19. Sinc5+Sinc1 フィルタを使った時の出力データ・レート (ODR)、セトリング時間 (t_{SETTLE})、ノイズ

Default Output Data Rate (SPS/Channel); ¹ SING_CYC = 1 or with Multiple Channels Enabled	Output Data Rate (SPS); ¹ SING_CYC = 0 and Single Channel Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise ($\mu\text{V rms}$)	Noise ($\mu\text{V p-p}$) ²	Effective Resolution with 5 V Reference (Bits)	Peak-to-Peak Resolution with 5 V Reference (Bits)
6211	31,250	161 μs	31250	8.0	67	20.2	17.5
5181	15,625	193 μs	15625	6.9	52	20.4	17.7
4444	10,417	225 μs	10417	6.0	40	20.7	17.9
3115	5208	321 μs	5208	4.5	30	21.1	18.3
2597	2597	385 μs	3890	3.9	27	21.3	18.5
1007	1007	993 μs	1156	2.2	15	22.2	19.3
503.8	503.8	1.99 ms	539	1.5	11	22.7	19.9
381	381	2.63 ms	401	1.3	8.9	22.9	20.1
200.3	200.3	4.99 ms	206	0.99	6.6	23.3	20.5
100.5	100.5	9.95 ms	102	0.71	5.1	23.8	21
59.52	59.52	16.8 ms	60	0.57	3.3	24	21.4
49.68	49.68	20.13 ms	50	0.52	3	24	21.4
20.01	20.01	49.98 ms	20	0.32	1.7	24	22.2
16.63	16.63	60.13 ms	16.67	0.3	1.6	24	22.4
10	10	100 ms	10	0.22	1.1	24	22.7
5	5	200 ms	5	0.15	0.75	24	23.4
2.5	2.5	400 ms	2.5	0.08	0.32	24	24
1.25	1.25	800 ms	1.25	0.07	0.32	24	24

¹ セトリング時間 (t_{SETTLE}) は、最寄りのマイクロ秒 (μs) に丸められています。この値は、出力データ・レートとスイッチング・レートを反映しています。スイッチング・レート = $1 \div t_{SETTLE}$

² 1000 サンプル

SINC3 フィルタ

sinc3 フィルタは、低い出力データ・レートにおいて、最良のシングルチャンネル・ノイズ特性を実現しています。それゆえ、シングル・チャンネル・アプリケーションに最も適したフィルタです。sinc3 フィルタを使う場合、必ず sinc3 フィルタを選択し、イネーブルになっている全てのチャンネルの出力データ・レートを同じにしてください。Sinc3 フィルタのセトリング時間は、常に以下の式のと等しくなります。

$$t_{SETTLE} = 3/\text{Output Data Rate}$$

図 58 に、sinc3 フィルタの周波数領域における応答を示します。sinc3 フィルタは、広い周波数にわたって良好なロールオフ特性を持ち、ノッチ周波数帯域の除去に適した、広いノッチ幅を備えています。

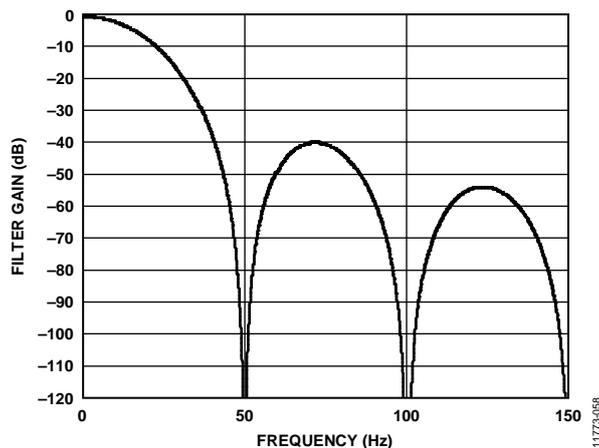


図 58. sinc3 フィルタの応答

sinc3 フィルタの出力データ・レートに対する、セトリング時間と rms ノイズを、表 20 に示します。

sinc3 フィルタの出力データ・レートの微調整は、フィルタ構成レジスタ x の SINC3_MAPx ビットを設定することで可能です。If this bit is set, the mapping of the filter register changes to directly program the decimation rate of the sinc3 filter. All other options are eliminated. シングル・チャンネルの出力データ・レートは、下記の式で計算できます。

$$\text{出力データ・レート} = \frac{f_{MOD}}{32 \times \text{FILTCONx}[14:0]}$$

ここで、

f_{MOD} は変調器のレートで、その値は 1 MHz です。

FILTCONx[14:0] は、MSB を除いたフィルタ構成レジスタの内容です。

例えば、FILTCONx[14:0] ビットの値を 625 に設定し、SINC3_MAPx をイネーブルすれば、出力データ・レートとして 50 SPS が得られます。

表 20. sinc3 フィルタを使った時の出力データ・レート (ODR)、セトリング時間、rms ノイズ

Default Output Data Rate (SPS/Channel); ¹ SING_CYC = 1 or with Multiple Channels Enabled	Output Data Rate (SPS); ¹ SING_CYC = 0 and Single Channel Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms)	Noise (μV p-p)	Effective Resolution with 5V Reference (Bits)	Peak-to-Peak Resolution with 5 V Reference (Bits)
10417	31,250	96μV/μs	31,250	210	1665	15.5	12.8
5208	15,625	192μV/μs	15,625	27	206	18.5	15.7
3472	10,417	288μV/μs	10,417	7.8	63	20.3	17.5
1736	5208	576μV/μs	5208	3.6	28	21.4	18.7
868	2,604	1.15ms	2,604	2.4	20	22	19.2
336	1,008	2.98ms	1,008	1.5	12	22.7	19.9
168	504	5.95ms	504	1.1	8	23.1	20.4
133.53	400.6	7.49ms	400.6	1	7.6	23.3	20.5
67.76	200.3	14.99ms	200.3	0.73	5.1	23.8	21.2
33.5	100.5	29.85ms	100.5	0.55	3.5	24	21.4
19.99	59.98	50.02ms	59.98	0.44	2.5	24	21.6
16.67	50	60ms	50	0.42	2.3	24	21.7
6.67	20.01	149.93ms	20.01	0.25	1.2	24	22.4
5.56	16.67	179.96ms	16.67	0.21	1.1	24	22.6
3.33	10	300ms	10	0.16	0.83	24	22.9
1.67	5	600ms	5	0.11	0.56	24	23.4
0.83	2.5	1.2 sec	2.5	0.08	0.41	24	24
0.42	1.25	2.4 sec	1.25	0.07	0.27	24	24

¹ セトリング時間 (t_{SETTLE}) は、最寄りのマイクロ秒 (μs) に丸められています。このセトリング時間は、出力データ・レートとスイッチング・レートを反映しています。スイッチング・レート = $1 \div t_{SETTLE}$ 。

シングル・サイクル・セトリング

デフォルトで AD7173-8 は、ADC モード・レジスタの SING_CYC ビットが設定されています。これは、完全にセトリングしたデータのみを出力することを意味するので、ADC はシングル・サイクル・セトリング・モードに設定されます。このモードは、選択された出力データ・レートにおける ADC のセトリング時間に等しくなるように出力データ・レートを下げて、シングル・サイクルでのセトリングを実現しています。SING_CYC ビットは、複数のチャンネルがイネーブルになっているか、sinc5 + sinc1 フィルタを使用して出力データ・レートが 2.6 kSPS より低く設定されている場合には影響を与えません。

図 59 に、シングル・サイクル・セトリングがイネーブル時、アナログ入力と同じタイミングのステップ信号を示します。出力が完全にセトリングするには、最低限のシングル・サイクルが必要です。出力データ・レートは、設定された出力データ・レートのフィルタにおけるセトリング時間と同じになります。

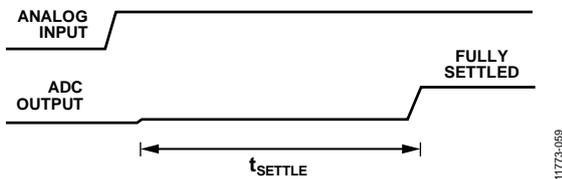


図 59. シングル・サイクル・セトリングモードを使った時のステップ入力

図 60 は、シングル・サイクル・セトリングをディスエーブルにし、1チャンネルのみイネーブルにしてから、sinc3 フィルタを選択した場合のステップ波形です。出力のステップ波形が変わっても、最終セトリング値に到達するには最低限 3 サイクル必要です。しかしながら、ADC は新しい変換結果を、ODR (出力データ・レート) の逆数の時間で高速出力できます。

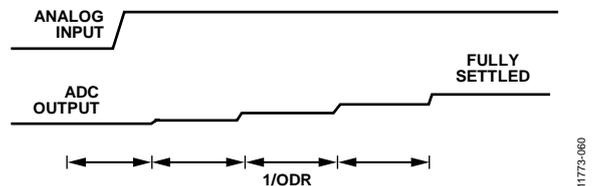


図 60. シングル・サイクル・セトリングモードを使わない時のステップ入力

強化された 50Hz と 60Hz 除去フィルタ

この強化されたフィルタは、50Hz と 60Hz を同時に除去できるように設計され、セトリング時間と、50Hz / 60Hz の除去性能とのトレードオフを行うことができます。これらのフィルタは、27.27 SPS まで動作可能で、50 Hz ± 1 Hz と 60 Hz ± 1 Hz における干渉信号を最大 90dB 除去できます。これらのフィルタは、sinc5 + sinc1 フィルタ出力に対してのポスト・フィルタとして実装されています。このため、このフィルタを使うためには、sinc5 + sinc1 フィルタを必ず選択してください。出力データ・レートに対応する、セトリング時間、50Hz と 60Hz の除去特性及び rms ノイズを表 21 に示します。図 61 から図 68 には、周波数領域における、強化されたフィルタの周波数領域における応答を示してあります。

表 21. 強化されたフィルタを使った時の、出力データ・レートと、ノイズ、セトリング時間 (t_{SETTLE}) と強化されたフィルタを使った (信号) 除去特性

Output Data Rate (SPS)	Settling Time (ms)	Simultaneous Rejection of 50 Hz ± 1 Hz and 60 Hz ± 1 Hz (dB) ¹	Noise (µV rms)	Noise (µV p-p)	Effective Resolution (Bits)	Peak-to-Peak Resolution (Bits)	Reference
27.27	36.67	47	0.45	3.6	24.4	21.4	図 61 と 図 64 参照
25	40.0	62	0.44	3.6	24.4	21.4	図 62 と 図 65 参照
20	50.0	85	0.41	3.0	24.5	21.7	図 63 と 図 66 参照
16.67	60.0	90	0.41	3.0	24.5	21.7	図 67 と 図 68 参照

¹ マスター・クロック = 2MHz

50 Hz/60 Hz 除去フィルタ周波数領域特性プロット

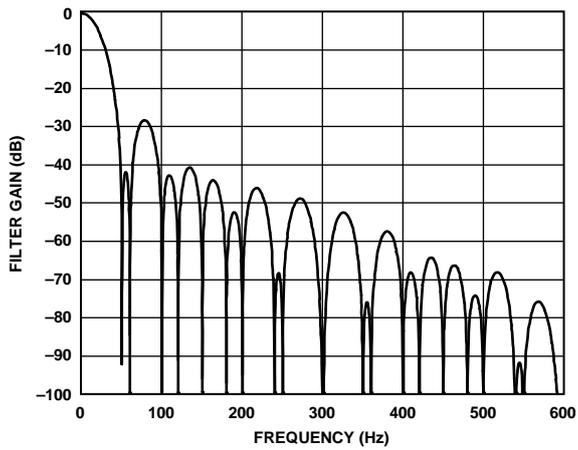


図 61.27.27 SPS ODR, 36.67 ms セットリング時間

11773-061

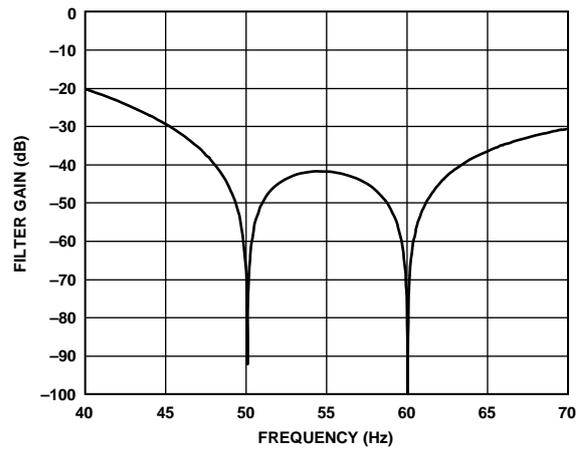


図 64.27.27 SPS ODR, 36.67 ms セットリング時間

11773-064

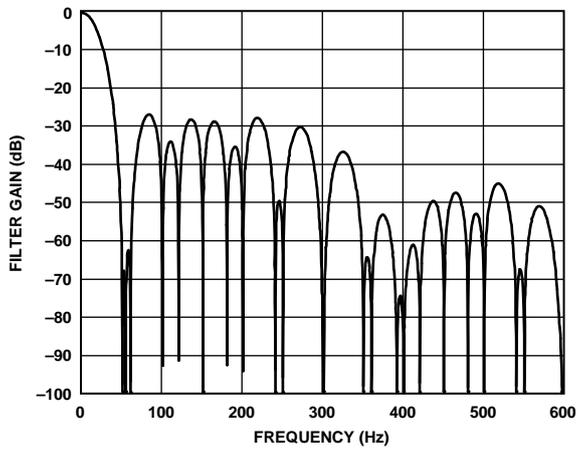


図 62.25 SPS ODR, 40 ms セットリング時間

11773-062

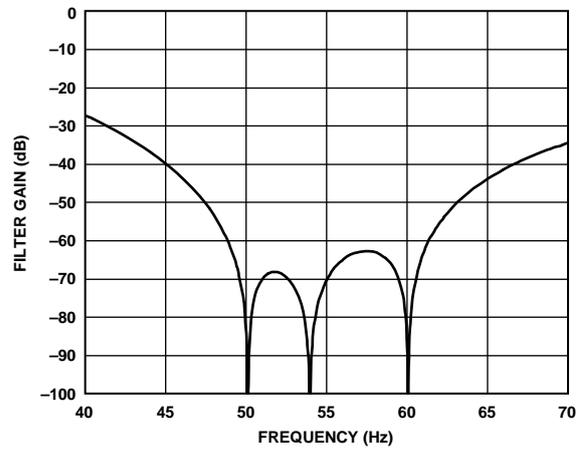


図 65.25 SPS ODR, 40 ms セットリング時間

11773-065

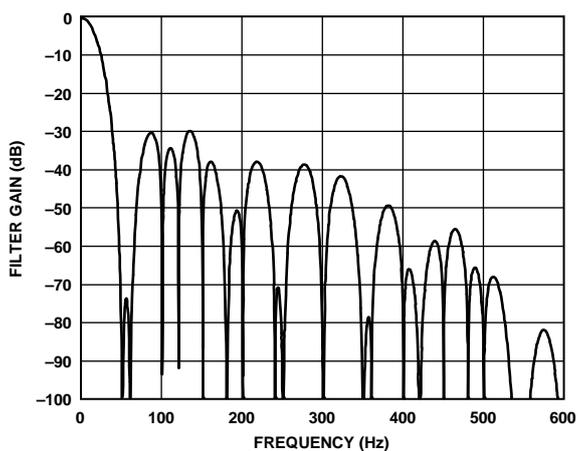


図 63.20 SPS ODR, 50 ms セットリング時間

11773-063

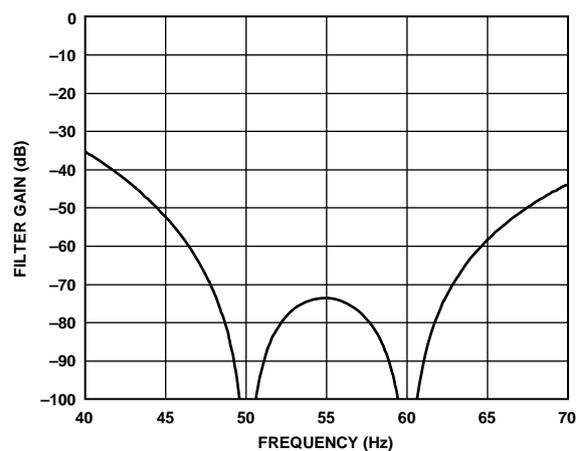


図 66.20 SPS ODR, 50 ms セットリング時間

11773-066

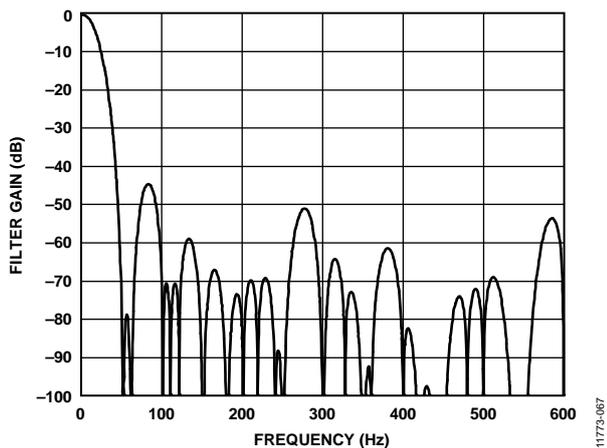


図 67. 16.667 SPS ODR, 60 ms セトリング時間

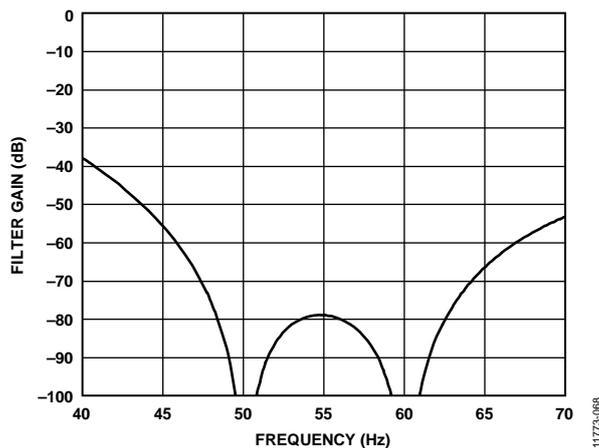


図 68. 16.667 SPS ODR, 60 ms セトリング時間

動作モード

連続変換モード

連続変換モード（図 69 参照）は、パワーアップ時のデフォルト・モードです。AD7173-8 は、連続で変換を行い、ステータス・レジスタの $\overline{\text{RDY}}$ ビットは変換が完了する毎にロー・レベルになります。 $\overline{\text{CS}}$ がロー・レベルであれば、変換が完了したとき、 $\text{DOUT}/\overline{\text{RDY}}$ ラインもロー・レベルになります。変換結果を読み出すときは、コミュニケーション・レジスタに書き込みを行って、次の動作がデータ・レジスタからの読み出しであることを指定します。データ・レジスタからデータ・ワードを読み出すと、 $\text{DOUT}/\overline{\text{RDY}}$ がハイ・レベルになります。このレジスタの内容は必要に応じて何回も読み出すことが可能ですが、しかしながら、次の変換の完了時に、データ・レジスタをアクセスしてしまうことがないように注意する必要があります。

いくつかのチャンネルがイネーブルになると、ADC はイネーブル状態にある入力チャンネルを自動的に巡回し、各チャン

ネルのデータ変換を行います。全チャンネルの変換が終了すると、最初のチャンネルに戻って、再度巡回して変換を行います。チャンネルのデータ変換は、最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ、順番に行われます。データ・レジスタは、変換が可能な状態になるたび、すぐさまアップデートされます。 $\text{DOUT}/\overline{\text{RDY}}$ ピンは、新しい変換結果がそろったときに、ロー・レベルになります。ADC が、イネーブル状態にある次のチャンネルの変換を行っている間に、変換結果を読み取ってください。そうしないと、新しい変換結果は失われる危険があります。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されている場合、データ・レジスタが読まれる度に、ステータス・レジスタの内容が変換されたデータが付加されて一緒に出力されます。ステータス・レジスタは、変換を行ったチャンネルの情報を表示します。

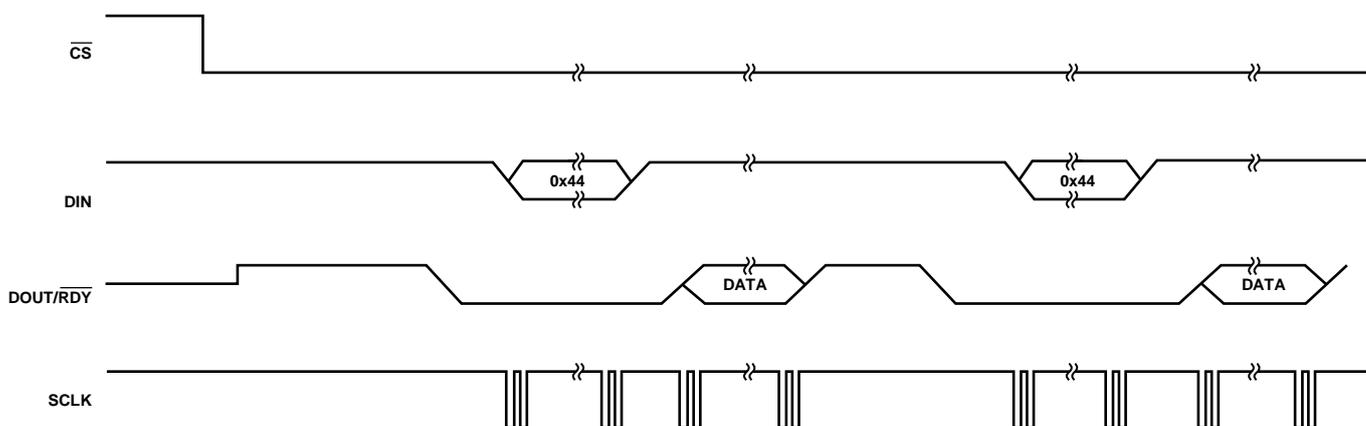


図 69.連続変換モード

連続読み出しモード

連続読み出しモード（図 70 参照）では、ADC データを読み出す際に、毎回コミュニケーション・レジスタへの書き込みを行う必要がなくなります。その代わりに、 $\overline{\text{DOUT/RDY}}$ が変換終了を示すためにロー・レベルになった後に、読み出しに必要なとされる数の SCLK を ADC に与える必要があります。変換結果を読み出すと、 $\overline{\text{DOUT/RDY}}$ はハイ・レベルに戻り、次の変換結果が得られるまでこのハイ・レベルを維持します。このモードでは、データは一度の変換で 1 回しか読み出すことができません。また、次の変換が完了する前に、データ・ワードを全て読み出すように注意する必要があります。もし変換データを、次回の変換が完了する前に読み出さなかった場合、もしくは AD7173-8 に与えるシリアル・クロック数が、データを読み出すには足りなかった場合は、シリアル出力レジスタは、次の変換が完了する前にすぐリセットされ、新たな変換データがシリアル出力レジスタに格納されます。連続読み出しモードを使うためには、 ADC は連続変換モードとして設定しなければなりません。

連続読み出しモードをイネーブルにするには、インターフェース・モード・レジスタの CONTREAD ビットを設定します。このビットが設定されると、シリアル・インターフェースがで

きるのは、データ・レジスタからのデータを読み出しすることのみになります。連続読み出しモードから抜け出すには、 $\overline{\text{RDY}}$ がロー・レベルのとき、ダミーの ADC データ・レジスタ・コマンド ($0x44$) を送信してください。もしくは、 $\overline{\text{CS}}=0$ かつ $\text{DIN}=1$ のとき、64 個の SCLK を送って、ソフトウェア・リセットを行ってください。この動作で、 ADC と全てのレジスタの内容がリセットされます。これらは、インターフェースが連続読み出しモードになった後、このインターフェースが認識する唯一のコマンドです。したがって、命令がデバイスに書き込まれるまで、連続読み出しモードでは DIN をロー・レベルに維持しておく必要があります。

もし、複数の ADC チャンネルがイネーブルで、 DATA_STAT ビットがインターフェース・モード・レジスタ内で設定されていれば、データにステータス・ビットが付加された状態で各チャンネルのデータが順番に出力されます。ステータス・レジスタは、変換を行ったチャンネルの情報を表示します。

もし、複数の ADC チャンネルがイネーブルで、 DATA_STAT ビットがインターフェース・モード・レジスタ内で設定されていれば、データにステータス・ビットが付加された状態で各チャンネルのデータが順番に出力されます。ステータス・レジスタは、変換を行ったチャンネルの情報を表示します。

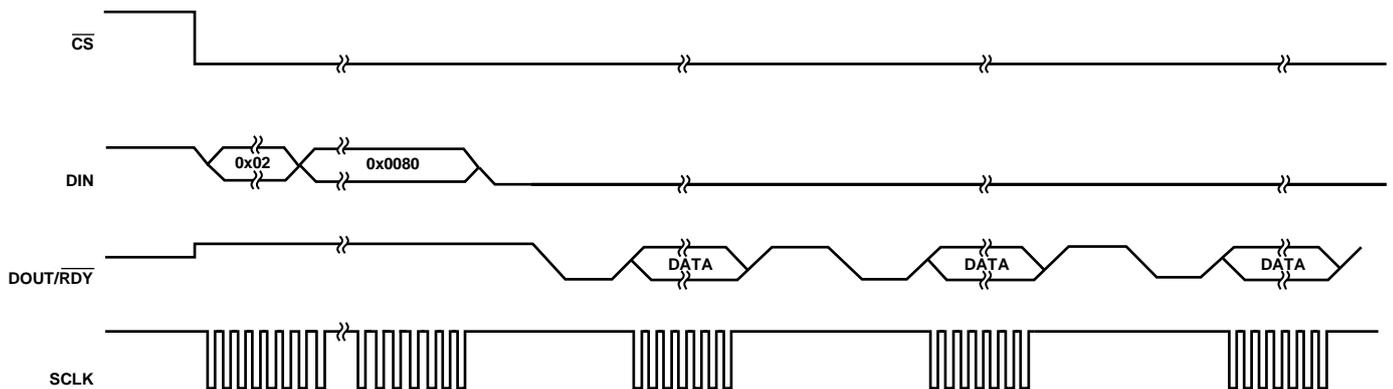


図 70. 連続読み出しモード

シングル変換モード

シングル変換モード (図 71 参照) では、AD7173-8 は、一度だけ変換を行い、変換が終了するとスタンバイ・モードに移行します。変換が完了すると、 $\overline{\text{DOUT/RDY}}$ はロー・レベルになります。データ・レジスタから、データ・ワードが読まれたあと、 $\overline{\text{DOUT/RDY}}$ はハイ・レベルになります。 $\overline{\text{DOUT/RDY}}$ がハイ・レベルになっても、データ・レジスタの内容は、必要に応じて複数回読み出すことができます。もし、いくつかのチャンネルがイネーブルになっていれば、ADC はイネーブル状態にあるチャンネルを自動的に巡回し、各チャンネルもデータ変換動作を行います。変換が開始されると、 $\overline{\text{DOUT/RDY}}$ がハイ・レベルになり、 $\overline{\text{CS}}$ がロー・レベルのままであれば有効な変換が完了するまでハイ・レベルを維持

します。有効な変換データが得られたら、ただちに $\overline{\text{DOUT/RDY}}$ はロー・レベルになります。続いて ADC は、次のチャンネルを選択し、変換を開始します。この変換データは、次の変換が行われている間に、必ず読み出してください。次の変換が終了すると、ただちにデータ・レジスタが更新されます。それゆえ、変換データを読むための期間は限られています。ADC は、選択されたチャンネルのシングル変換を行った後、スタンバイ・モードに戻ります。

もし、インターフェース・モード・レジスタの DATA_STAT ビットが 1 にセットされた場合、データ・レジスタが読みだされるたびに、ステータス・レジスタの内容が変換結果と一緒に出力されます。ステータス・レジスタの下位 LSB4 ビットは、変換を行ったチャンネルを表示します。

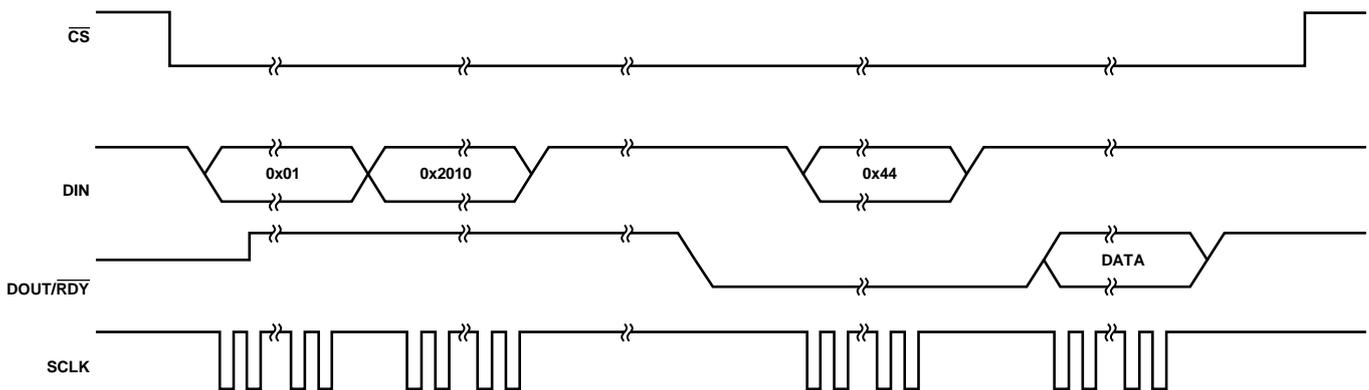


図 71. シングル変換モード

スタンバイ及びパワー・ダウン・モード

スタンバイ・モードでは、ほとんどの回路ブロックがパワー・ダウンします。しかし LDO はレジスタの内容を保持するため、動作状態を維持します。もし内部リファレンス電圧がイネーブルであれば、こちらも動作状態を維持します。また外部水晶発振子が選択されている場合も、動作状態を維持します。スタンバイ・モードでレファレンス電圧をパワー・ダウンさせるには、ADC モード・レジスタの REF_EN ビットを設定してください。クロックをスタンバイ・モードでパワー・ダウンさせるには、ADC モード・レジスタの CLOCKSEL ビットを 00 (内蔵発振器を使う) に設定してください。

パワー・ダウン・モードでは、LDO を含むすべての回路ブロックへの電源供給が止まります。この時、全てのレジスタの内容は失われ、GPIO 出力は、トライ・ステートになります。偶発的にパワー・ダウン・モードに入らないようにするため、最初に ADC がスタンバイ・モードになるようにしてください。パワー・ダウン・モードから抜け出すには、CS = 0、DIN = 1 の状態で、64 個の SCLK が必要です。これはシリアル・インターフェースによるリセットを意味します。LDO がパワーアップするまでの猶予を与えるため、次の連続したシリアル・インターフェース・コマンドの発行まで、500µs の遅延時間を与える事を推奨します。

キャリブレーション・モード

AD7173-8 は、セットアップ毎のオフセットとゲイン誤差を取り除くため、以下の 3 つのキャリブレーション・モードを提供しています。

- 内部ゼロスケール・キャリブレーション
- システム・ゼロスケール・キャリブレーション
- システム・フル・スケール・キャリブレーション

キャリブレーション中は、指定した 1 チャンネルのみアクティブになります。通常の変換時に ADC の変換結果は、データ・レジスタに書き込む前に ADC キャリブレーション・レジスタのデータを使って補正されます。

オフセット・レジスタのデフォルト値は、0x800000、ゲイン・レジスタの公称値は 0x555555 です。ADC ゲインのキャリブレーション範囲は、 $0.4 \times V_{REF}$ から $1.05 \times V_{REF}$ です。以下の式が、その計算に使われます。ユニポーラ・モードの場合、ADC ゲイン誤差とオフセット誤差を含めないとすると、データとゲイン・オフセットとの理想的な関係式は以下のようになります。

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} \times 2$$

バイポーラ・モードの場合、ADC ゲイン誤差とオフセット誤差を含めないとすると、(データとゲイン・オフセットとの)理想的な関係式は以下のようになります。

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} + 0x800000$$

キャリブレーションを開始するには、ADC モード・レジスタにある、MODE ビットにそれぞれのキャリブレーション・モードに対応する値を書き込みます。DOUT/RDY ピンと、ステータス・レジスタにある RDY ビットは、キャリブレーションが起動すると、ハイ・レベルになります。キャリブレーションが完了すると、対応するオフセットあるいはゲイン・レジスタの内容は更新され、ステータス・レジスタ内の RDY ビットが設定され、DOUT/RDY ピンは、ロー・レベルに戻ります。但しこの間 CS がロー・レベルでなければなりません。その後 AD7173-8 はスタンバイ・モードに移行します。

内部オフセット・キャリブレーション中、選択された正側アナログ入力ピンは切り離され、AD 変調器入力と選択された負側アナログ入力ピンとが内部で短絡されます。この理由から、選択された負アナログ入力ピンに与えられている電圧は、許される上限を超えていないことと、そのピン周辺に過剰なノイズや干渉がないことを確認してください。

システム・キャリブレーションでは、キャリブレーション・モードを起動する前に、システム・ゼロスケール (オフセット) 用の電圧、およびシステム・フル・スケール (ゲイン) 用の電圧が、ADC のピンに与えられていることが前提です。この結果により、ADC に対する外部誤差要因が排除できます。

動作ポイントの観点からは、キャリブレーションはもう 1 つの ADC 変換のように扱う必要があります。必要に応じて、オフセット・キャリブレーションは、常にフル・スケール・キャリブレーションの前に行うようにして下さい。ステータス・レジスタの RDY ビットをモニタするようにシステム・ソフトウェアを設定するか、もしくは DOUT/RDY ピンをモニタし、ポーリング・シーケンスまたは割り込み駆動ルーチンによってキャリブレーションの完了を調べます。全てのキャリブレーションは、ある程度の時間がかかります。その時間は、選択されたフィルタのセトリング時間と、出力データ・レートと等しくなります。

内部オフセット・キャリブレーション、システム・ゼロ・キャリブレーションそして、システム・フルスケール・キャリブレーションは、どの出力データ・レートでも実行できます。最も低い出力データ・レートを使ってキャリブレーションを行うと、精度の高いキャリブレーション結果を得ることができ、かつ全ての出力データ・レートに対しても、高精度のデータが得られます。あるチャンネルのリファレンス電圧が変更された場合、新たなキャリブレーションが必要です。

オフセット誤差は、公称 $\pm 40 \mu V$ であり、オフセット・キャリブレーションを行うと、ノイズと同等レベルにまで減少させることができます。ゲイン誤差は、工場出荷時に周囲温度でキャリブレーションされています。工場出荷時のキャリブレーションによるゲイン誤差は、公称 $\pm 0.001\%$ です。

TAD7173-8 は、内蔵キャリブレーション・レジスタへのアクセスを許可しており、マイクロプロセッサがデバイスのキャリブレーション係数を読み出し、そのキャリブレーション係数を書き込むこともできます。内部もしくは自己キャリブレーション時以外は、オフセット・レジスタとゲイン・レジスタの読み書きはいつでも行えます。

デジタル・インターフェース

AD7173-8 のプログラムできる機能は、SPI シリアル・インターフェース経由で設定します。AD7173-8 のシリアル・インターフェースは、以下の 4 つの信号線で構成されています。CS、DIN、SCLK、そして DOUT/RDY です。DIN ラインは、内蔵レジスタにデータを転送するときに使われ、DOUT/RDY は、内蔵レジスタからデータを読み出すときに使われます。SCLK は、デバイスへのシリアル・クロック入力で、すべてのデータ転送は、DIN であっても DOUT/RDY であっても、SCLK 信号を基準として発生します。

データ・レジスタ内へ新しいデータ・ワードが格納された状態にあるとき、CS にロー・レベルが入力されると、DOUT/RDY ピンもロー・レベルになって、データ・レディ信号として機能します。このピンは、データ・レジスタからの読み取り動作が完了すると、ハイ・レベルになってリセットされます。DOUT/RDY ピンは、データ・レジスタの更新前にもハイ・レベルになり、デバイスからの読み出しができないことを表示して、レジスタの更新中にデータが読み出されることを防止します。DOUT/RDY が、ロー・レベルになる直前には、データ・レジスタからの読み出しは避けるよう気をつけてください。データの読み出しが出来ない事を確認する最良の方法は、常に DOUT/RDY ラインをモニタすることです。DOUT/RDY がロー・レベルになれば、ただちにデータ・レジスタの読み取りを開始し、十分な SCLK のクロック数が存在していることが確認できれば、次回の変換結果が得られる前に、読み出しが完了していることを意味します。CS はデバイスを選択するときに使いますが、シリアル・バスに複数のデバイスが接続されているシステムでは、この信号で AD7173-8 をデコードするために使うこともできます。

図 2 と図 3、AD7173-8 の CS が接続されている場合のインターフェースで、このデバイスをデコードするためのタイミング図を示します。図 2 は、AD7173-8 からのデータ読み出し動作のタイミング図で、図 3 は、AD7173-8 へのデータ書き込み動作のタイミング図です。最初の読み出し動作を行ったあと、DOUT/RDY ラインがハイ・レベルに戻った後も、データ・レジスタからの読み出し操作を複数回行うことができます。しかしながら、次の出力データの更新が発生する前には、読み出し動作が完全に終了していることを確認して下さい。ただし連続読み出しモードでは、データ・ワードは 1 変換につき 1 回しか読み出すことができません。

CS をロー・レベルに固定すれば、シリアル・インターフェースは、3 線インターフェースで動作可能です。この場合、SCLK、DIN、と DOUT/RDY の各ラインを使って AD7173-8 との通信を行います。通信の終了は、ステータス・レジスタの RDY ビットをモニタすることでも可能です。

CS = 0、DIN = 1 の状態で、64 個の SCLK 信号を書き込むことでデバイスをリセットできます。リセットによりインターフェースは、コミュニケーション・レジスタへの書き込み待ちの状態になります。この動作により、すべてのレジスタ値がそれぞれのパワー・オン時のデフォルト値にリセットされます。リセット後、シリアル・インターフェースの書き込みをする前に、500 μs の待ち時間が必要です。

チェックサム保護

AD7173-8 は、インターフェースの信頼性を向上するために、チェックサム・モードを使うことができます。チェックサムを使うと、レジスタには有効なデータのみが書き込まれ、検

証済みのレジスタからのデータ読み出しが可能になります。もし、レジスタへの書き込み時にエラーが起こったなら、ステータス・レジスタ内の CRC_ERROR ビットがセットされます。しかしながら、レジスタへの書き込みが正常に行われたかどうかを確認するため、レジスタ・データのリードバックを行い、チェックサムの確認を行うことが重要です。

データ書き込み時の CRC チェックサムの計算は、以下の多項式を必ず用います。

$$x^8 + x^2 + x + 1$$

データ読み出し時は、この多項式か、同様の機能を持つ XOR 関数を選択することができます。XOR 関数を使ったチェックサムは、多項式ベースのチェックサムに比べると、ホスト・マイクロコントローラ上で、より短い時間で処理できます。インターフェース・モード・レジスタ内の CRC_EN ビットで、チェックサムを有効、もしくは無効にし、有効の場合は多項式によるエラー・チェックを使うか、XOR を使ったシンプルなエラー・チェックを使うかの選択できます。

チェックサムは、読み出しと書き込みの各々のデータ交換トランザクションの最後に付加されます。読み込みトランザクションは、8 ビットのコマンド・ワードと 8 から 24 ビットのデータを使って計算されます。書き込みトランザクションは、8 ビットのコマンド・ワードと 8 から 32 ビットのデータを使って計算されます。図 72 と図 73 に、SPI での読み出しおよび書き込みトランザクションを、それぞれ示します。

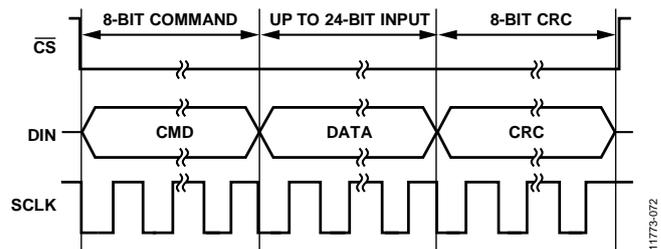


図 72. CRC 付き SPI 書き込みトランザクション

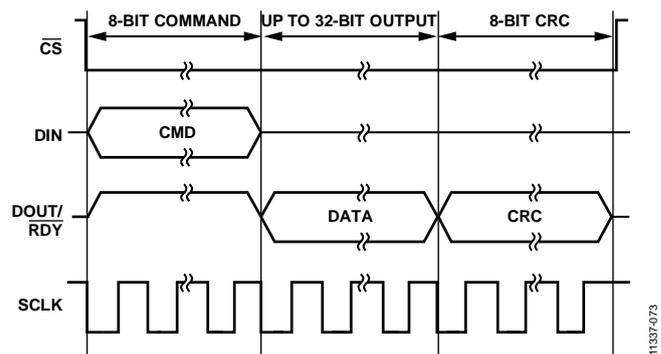


図 73. CRC 付き SPI 読み出しトランザクション

連続読み出しモードがアクティブで、もしチェックサム保護がイネーブルであれば、データ・トランザクションごとに、暗黙のデータ読み込みコマンド、0x44 が存在します。従って、チェックサムの計算時、このコマンドを必ず考慮しなければなりません。これにより、ADC のデータが 0x000000 であったとしても、非ゼロのチェックサム値にならないことを保証しています。

CRC の計算

多項式

8 ビット幅のチェックサムは、以下の多項式で生成します。

$$x^8 + x^2 + x + 1$$

チェックサム生成時、データは 8 ビットごとに左側にシフトされ、8 ビットのロジック 0 で終わる数値を生成します。多項

式の MSB が、データの最も左にあるロジック 1 と合うように、多項式値の位置決めします。新規かつ短い数値を作るため、排他的論理和 Exclusive OR (XOR)関数をデータに適応します。再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めします。このプロセスは、元データが多項式の値よりも小さくなるまで繰り返されます。これは 8 ビットのチェックサムです。

24 ビット・ワードに対する多項式による CRC 計算例 0x654321 (8 個のコマンド・ビットと 16 ビット・データ)

この例では、多項式ベースのチェックサムを使い、8 ビットのチェックサムを計算します。詳細は以下。

初期値 011001010100001100100001

	01100101010000110010000100000000	8 ビット左にシフト
$x^8 + x^2 + x + 1$	=	100000111
100100100000110010000100000000		XOR 結果
100000111		多項式
1000110001100100001000000000		XOR 結果
100000111		多項式
111111100100001000000000		XOR 結果
100000111		多項式の値
111110111000010000000000		XOR 結果
100000111		多項式の値
1111000000001000000000		XOR 結果
100000111		多項式の値
1110011100010000000000		XOR 結果
100000111		多項式の値
11001001001000000000		XOR 結果
100000111		多項式の値
10010101010000000000		XOR 結果
100000111		多項式の値
1011011000000000		XOR 結果
100000111		多項式の値
11010110000000		XOR 結果
100000111		多項式の値
101010110000		XOR 結果
100000111		多項式の値
1010001000		XOR 結果
100000111		多項式の値
10000110		チェックサム = 0x86.

XOR (排他的論理和) の計算

元データをバイトごとに分離して、それぞれのバイトに XOR 演算を行って、8 ビット幅のチェックサムを生成します。

24 ビット・ワードに対する XOR を使った CRC 計算例 0x654321 (8 個のコマンド・ビットと 16 ビット・データ)

前の例と同じデータを使うこととして、

これを 3 つのバイトに分割します。0x65、0x43、0x21 に分割できます。

01100101	0x65
01000011	0x43
00100110	XOR 結果
00100001	0x21
00000111	CRC

高付加機能

TAD7173-8は、多くのアプリケーションにおける有用性を向上させることができる、いくつかの高付加機能を備えています。同時に、安全性を意識しなければならないアプリケーション用に、自己診断を目的とした機能も内蔵しています。

汎用 I/O

AD7173-8は2つの汎用デジタル入出力ピン（GPIO0とGPIO1）と、2つの汎用デジタル出力（GPO2とGPO3）を備えています。名前が示すように、GPIO0とGPIO1ピンは、入力もしくは出力として設定できますが、GPO2とGPO3は出力のみです。GPIOとGPOピンは、GPIOCONレジスタの、以下のビットを使ってイネーブルします。GPIO0とGPIO1用には、IP_EN0、IP_EN1（又はOP_EN0、OP_EN1）を、GPIO2とGPIO3用にはOP_EN2_3を使います。

GPIO0もしくはGPIO1ピンが入力として有効であるとき、それらのピンのロジック・レベルは、GP_DATA0もしくはGP_DATA1ビットにそれぞれ格納されます。GPIO0、GPIO1、GPO2、もしくはGPO3ピンが、出力として有効であるとき、GP_DATA0、GP_DATA1、GP_DATA2、もしくはGP_DATA3のビット値は、対応する各ピンの出力ロジック・レベルになります。これらのロジック・レベルは、AVDD1とAVSSを基準にしています。従って、出力電圧振幅は、5Vもしくは3.3Vです。どちらの値になるかは、(AVDD1 - AVSS)印可される値で決まります。

GPIOCONレジスタのERR_ENビットを1にセットすると、ERRORピンは、汎用出力としても使うことができます。この構成では、GPIOCONレジスタのERR_DATビットが、ERRORピンの出力ロジック・レベルを決めます。このロジック・レベルは、IOVDDとDGNDを基準としており、ERRORピンは、アクティブ・プルアップです。

外部マルチプレクサの制御

チャンネル数を増やすために、外部マルチプレクサを使う場合は、外部マルチプレクサのロジック・ピンを、AD7173-8のGPIOとGPOピンを使って制御できます。GPIOCONレジスタ(アドレス0x06)のMUX_IOビット(ビット12)をセットすると、ADCがGPIOピンを制御出来るようになります。従って、ADCに同期して、チャンネル変更が可能となり、同期を行うために別の回路を用意する必要はありません。

遅延

AD7173-8が、Sinc5+Sinc1フィルタを使ってサンプリングを行う前に、プログラマブルな遅延を挿入することが可能です。これにより、外部アンプやマルチプレクサの出力がセトリングするまで待つことができ、これらの素子に対する要求特性を緩和することが可能です。8つのプログラマブルな遅延設定ができ、その範囲は0μsから8msです。この設定は、ADCモード・レジスタ(アドレス0x01)の、DELAYビット(ビット[10:8])を使って設定します。

遅延が、0μsより大きな値に選択され、インターフェース・モード・レジスタ(アドレス0x02)のHIDE_DELAY(ビット10)を1に設定すると、選択された出力データ・レートとは無関係に、各サンプルのデータ変換時間に、この遅延時間がそのまま加えられます。

HIDE_DELAYが0に設定されたとき、選択された遅延時間が、変換時間の半分より短い場合、この遅延時間は変換時間の中に内包されてしまいます。これにより変換時間変わりませんが、変換時間と比較した遅延時間の長さによっては、ノイズ特性に影響を与える恐れがあります。遅延時間を内包できるのは、出力データ・レートが、2.6kSPS以下の時です。ただし例外があって、以下の4つのレートでは、遅延時間を内包

することはできません。それらは、381SPS、59.52SPS、49.68SPS、16.63SPSです。

16ビット/24ビット変換

デフォルトで、AD7173-8は24ビットでデータ変換を行います。データ幅を16ビットに減らして出力させることもできます。インターフェース・モード・レジスタのWL16ビットを1に設定すると、すべての変換データは、16ビットに丸められます。24ビット幅でデータを出力させるには、このビットをクリアしてください。

シリアル・インターフェース・リセット(DOUT_RESET)

各読み出し動作が終了すると、シリアル・インターフェースはリセットされます。シリアル・インターフェースをリセットする瞬間をいつにするかをプログラミングする事が可能です。デフォルトでは、最後のSCLKの立ち上がりエッジ、このSCLKのエッジは、プロセッサによってデータのLSBが読まれたタイミングですが、それに続く短い時間が経過した後にリセットされます。インターフェース・モード・レジスタの、DOUT_RESETビットを1に設定すると、CSの立ち上がりエッジでインターフェースをリセットする瞬間を制御できます。この場合、DOUT_RDYピンは、CSがハイ・レベルになるまで、レジスタのLSBを出力し続けます。CSの立ち上がりエッジのみが、インターフェース・リセットのきっかけとなります。この構成は、全ての読み出し動作を確実にを行うためにCS信号を使うときに有用です。もし、CS信号を、すべての読み出し動作を確実にを行うために使わないなら、DOUT_RESETを0に設定してください。すると、読み出し操作時における最後のSCLKのエッジに続いて、直ぐにインターフェースがリセットされます。

同期

ノーマル同期

GPIOCONレジスタ内のSYNC_ENビットを1に設定すると、SYNCピンは、同期用ピンとして機能します。SYNC入力を使うと、同じデバイスにおける他の設定に対して影響を与えることなく、変調器とデジタル・フィルタとをリセットできます。これにより、外部から指定できる既知のタイミング、すなわちSYNCの立ち上がりエッジから、アナログ入力のサンプル・データ取得を開始できます。このピンは、同期が確実に行われることを担保するため、最低でもマスター・クロック1周期分以上はロー・レベルにしてください。もし複数のチャンネルがイネーブルになっていたら、シーケンサは、最初にイネーブルされるチャンネルでリセットされます。

複数のAD7173-8を、共通のマスター・クロックで動作させて同期動作を実現し、それらデバイスのデータ・レジスタを同時に更新することが可能です。この動作は、通常各AD7173-8がキャリブレーションを実行するか、キャリブレーション・レジスタにキャリブレーション係数をロードした後に始めます。SYNCピンの立ち上がりエッジで、デジタル・フィルタとアナログ変調器がリセットされてAD7173-8は、あらかじめ決められた状態に置かれ変換はスタートしません。SYNCピンがロー・レベルである限り、AD7173-8は、この状態を維持します。SYNCの立ち上がりエッジで、変調器とフィルタはリセット状態を抜け出し、次のマスター・クロックのエッジで、デバイスは再び入力サンプルの取得を開始します。

このデバイスは、SYNCのロー・レベルからハイ・レベルへの遷移に続くマスター・クロックの立ち上がりエッジで、リセット状態から抜け出します。従って、複数のデバイスを同期動作させる時は、すべてのデバイスがマスター・クロックの立ち上がりエッジで確実にサンプリングすることを担保するため、マスター・クロックの立ち上がりエッジでSYNCピ

ンをハイ・レベルにします。SYNCピンが、十分な時間が取れずにハイ・レベルになった場合、デバイス間でマスター・クロック 1 周期分の時間差を持つ可能性があります。すなわち、デバイスごとの変換のタイミングが、最大マスター・クロック 1 周期分の差が生じることがあります。SYNCは、変換開始コマンドとしても使うことができます。このモードでは、SYNCの立ち上がりエッジで変換が開始され、変換完了時、RDYの立ち下がりエッジが出現して変換完了を知らせます。フィルタのセトリング時間は、各データ・レジスタの更新ごとに、適切に割り当てられなければなりません。

オルタネート同期

インターフェース・モード・レジスタの ALT_SYNC ビットを 1 に設定すると、オルタネート同期方式が起動されます。この同期方式をイネーブルにするには、GPIOCON レジスタの SYNC_EN ビットも 1 に設定する必要があります。このモードでは、AD7173-8 の複数チャンネルがイネーブルになっている時、SYNCピンが変換開始コマンドとして機能します。SYNCがロー・レベルになると、ADCは現状のチャンネルの変換を完了し、順番で決められた次のチャンネルを選択します。続いて ADCは、この次のチャンネルの変換を開始できることを許可する SYNCがハイ・レベルになるまで待機します。RDYピンは、現状のチャンネルの変換が完了するとロー・レベルになります。

すなわち、SYNC コマンドを使うと、現状選択されているチャンネルのサンプリングに影響を与えませんが、順番で決められた次のチャンネルの変換が行われる瞬間を制御することができます。

このモードは、いくつかのチャンネルがイネーブルになっている時のみ、使用することができます。1つのチャンネルのみイネーブルになっている場合は、このモードの使用は推奨されません。

エラー・フラグ

ステータス・レジスタは、ADC_ERROR、CRC_ERROR、REG_ERROR の 3 つのエラー・ビットを保持しています。それぞれのビットは、ADCの変換エラー、CRCチェック時のエラー、レジスタ変更に伴って発生したエラーを格納しています。さらに、ERRORピンは、いずれかのエラーが起きたことを外部に知らせます。

ADC_ERROR

変換プロセス中にエラーが発生した場合、ステータス・レジスタの ADC_ERROR ビットにフラグが立ちます。このフラグは、ADCの出力で、オーバーレンジもしくはアンダーレンジを検知したときにセットされます。アンダーレンジやオーバーレンジが発生すると、ADCの出力はそれぞれ、オール 0 もしくはオール 1 になります。このフラグは、アンダーレンジまたはオーバーレンジが解消したときのみ、リセットされます。データ・レジスタの読み込みによってリセットされることはありません。

CRC_ERROR

もし、書き込み動作時に付加された CRC の値が、送られた情報と一致しなかった場合、CRC_ERROR フラグがセットされます。このフラグは、ステータス・レジスタが読まれたことが分かると、ただちにリセットされます。

REG_ERROR

このフラグは、インターフェース・モード・レジスタの REG_CHECK ビットと組み合わせて使用します。REG_CHECK ビットが設定されると、は、内部レジスタの値

をモニタします。もしあるビットが変化すると、REG_ERROR ビットがセットされます。従って、内部レジスタへの書き込みを行う際には、インターフェース・モード・レジスタの REG_CHECK ビットが 0 に設定されていることを確認してください。レジスタ書き込みで更新されると、REG_CHECK ビットを 1 にセットできます。AD7173-8 は、内部レジスタのチェックサムを計算します。もし、1 つでもレジスタの値が変化していたなら、REG_ERROR ビットが設定されます。エラーが検出されたら、ステータス・レジスタの REG_ERROR ビットをクリアするため、REG_CHECK ビットを必ず 0 に設定してください。なお、このレジスタ・チェック機能はデータ・レジスタ、ステータス・レジスタ、インターフェース・モード・レジスタをモニタしていません。

ERROR ピン

ERRORピンは、エラー入力/出力ピン、又は汎用出力ピンとして機能します。GPIOCON レジスタの ERR_EN ビットが、このピンの機能を決めます。

ERR_EN を 10 に設定した場合、このピンは、オープン・ドレインのエラー出力ピンとして機能します。ステータス・レジスタ内の 3 つのエラー・ビット (ADC_ERROR、CRC_ERROR、REG_ERROR) は、論理和 (OR) をとられ、反転された上で、ERROR ピンに反映されます。それゆえ、ERRORピンには、エラーの発生が表示されます。エラーの原因を特定するには、ステータス・レジスタを読んで下さい。

ERR_EN ビットを 01 に設定すると、ERRORピンは、エラー入力ピンとして機能します。他の部品のエラー・ピンを、AD7173-8 の ERROR ピンに接続すると、AD7173-8 は、デバイス自身もしくは、接続されている外部部品でエラーが起きたことを検知して表示します。ERRORピンの値は反転され、ADCからの変換エラーとの OR をとります。その結果はステータス・レジスタの、ADC_ERROR ビットに表示されます。ERRORピンの値は、GPIOCON レジスタの ERR_DAT ビットへ反映されます。

ERRORピンは、ERR_EN ビットを 00 に設定すると、ディスエーブルになります。ERR_EN のビットを 11 に設定すると、ERRORピンは、汎用出力ピンとして動作します。

DATA_STAT

ステータス・レジスタの内容は、AD7173-8 の各変換 (データ) に付属させることができます。これは、複数のチャンネルがイネーブルになっている場合に便利な機能です。変換データが出力される度に、ステータス・レジスタの内容が付け加得られます。ステータス・レジスタの下位 4 ビットは、どのチャンネルを変換したかを表示します。加えて、エラー・ビットによってフラグ付けされたエラーがあれば、そのエラーを特定できます。

IOSTRENGTH ビット

シリアル・インターフェースは、シリアル・インターフェース用電源電圧が 2V まで下がっても動作します。しかしデータ・スピードが高速 (10MHz ~ 15MHz) である場合、DOUT/RDY ピンは、ボード上に寄生容量が大きいと、十分な駆動能力を得ることができないかもしれません。インターフェース・モード・レジスタの IOSTRENGTH ビットは、DOUT/RDY ピンの駆動能力を増加させることができます。SPI クロックを高速 (すなわち 15MHz まで) で使わない限り、このビットはデフォルト値にしておくことを推奨します。

グラウンド接続とレイアウト

ADCのアナログ入力とリファレンス電圧入力は差動であるため、アナログ変調器内の多くの電圧はコモン・モード電圧です。この製品の優れたコモン・モード除去比により、これら入力でのコモン・モード・ノイズが除去されます。AD7173-8のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部間の結合を最小にしています。デジタル・フィルタは、マスター・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、ノイズ・ソースがアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス電圧入力のノイズも除去します。そのため、従来の高分解能コンバータに比べてAD7173-8のノイズ干渉耐性は向上しています。しかし、AD7173-8は分解能が高く、コンバータのノイズ・レベルが非常に低いため、グラウンド接続とレイアウトについては注意が必要です。

ADCを実装するプリント回路ボード (PCB) は、アナログ部とデジタル部を分離して、ボードの特定領域にまとめて配置するようにデザインする必要があります。一般に、エッチング部分を最小すると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。

どのようなレイアウトであろうとも、システム内における電流の流れには十分注意を払い、全てのリターン電流用の経路と目的場所まで電流を流す経路とを、できるだけ近づけて配置するよう心がけて下さい。

このデバイスの下にデジタル・ラインを配置することは避けて下さい。この様なレイアウトは、デバイスのチップに対してノイズ結合が起きてしまいます。AD7173-8の下にアナログ・グラウンドを配置すれば、ノイズ結合を避けることができます。AD7173-8への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチを減らします。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナ

ログ信号の交差は回避する必要があります。デジタル信号とアナログ信号のパターンは、基板の反対側に配置し、それぞれが直角になるように配置して下さい。これにより、ボードのフィードスルーの効果を削減することができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術を使用するならば、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能 ADC を使うときは、デカップリングが重要になります。AD7173-8 は 3 つの独立した電源ピンを持っています：これらは、AVDD1、AVDD2、そして IOVDD です。AVDD1 と AVDD2 ピンは、AVSS を基準としています。一方、IOVDD ピンは、DGND を基準としています。AVDD1 と AVDD2 は、10 μF のタンタル・コンデンサと 0.1 μF のコンデンサとを並列に接続した上で、それぞれ AVSS ヘドカップリングして下さい。各コンデンサは、デバイスの各電源ピンのできるだけ近くに配置して下さい。理想的には、デバイスに直接接続する必要があります。IOVDD は、10 μF のタンタル・コンデンサと、0.1 μF のコンデンサとを並列接続し、DGND ヘドカップリングして下さい。全てのアナログ入力は、AVSS ヘドカップリングして下さい。もし外部基準電圧源を使う場合は、REF+ と REF- ピンを、AVSS にデカップリングして下さい。

AD7173-8 は、2 つの内蔵 LDO レギュレータを持ち、1 つは AVDD2 を安定化し、もうひとつは、IOVDD を安定化しています。REGCAPA ピンは、AVSS に対して 1 μF と 0.1 μF のコンデンサを介して接続する事を推奨します。同様に REGCAPD ピンは、DGND に対して 1 μF と 0.1 μF のコンデンサを介して接続する事を推奨します。

AD7173-8 を分離電源で動作させる場合、AVSS 用の分離された電源プレーンを、必ず用意して下さい。一例をあげると、顧客用評価ボード EVAL-AD7173-8SDZ は、4 層 PCB を使い、第 3 層の中央部に、大きな面積を持った AVSS 用プレーンを配置してあります。図 74 に、この PCB における第 3 層のレイアウトを示します。

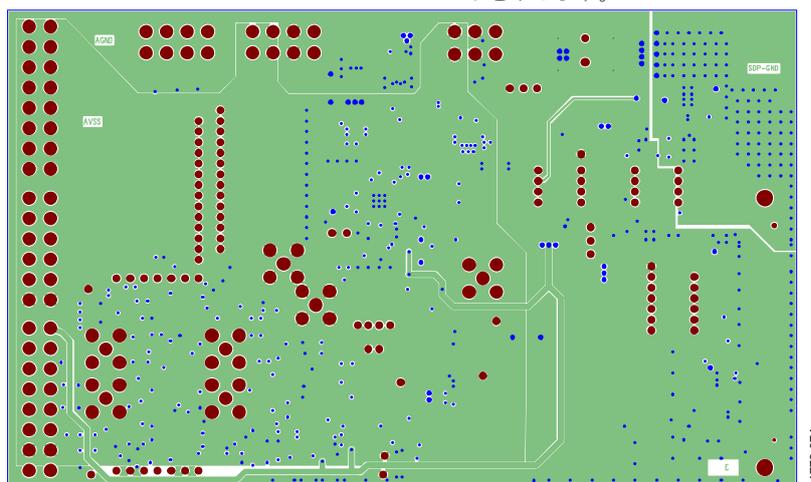


図 74. EVAL-AD7173-8SDZ の PCB 第 3 層

レジスタの一覧

表 22. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W		
0x00	STATUS	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	CHANNEL					0x80*	R	
0x01	ADCMODE:	[15:8]	REF_EN	RESERVED	SING_CYC	RESERVED			DEALY			0x2000	RW	
		[7:0]	RESERVED	MODE			CLOCKSEL		RESERVED					
0x02	IFMODE	[15:8]	RESERVED			ALT_SYNC	IOSTRENGTH	HIDE_DELAY	RESERVED	DOUT_RESET	0x0000	RW		
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	RESERVED	CRC_EN		RESERVED	WL16				
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]									0x000000	R	
		[15:8]	REGISTER_CHECK[15:8]											
		[7:0]	REGISTER_CHECK[7:0]											
0x04	DATA	[23:0]	DATA[23:0]										0x000000	R
0x06	GPIOCON	[15:8]	RESERVED	PDSW	OP_EN2_3	MUX_IO	SYNC_EN	ERR_EN		ERR_DAT	0x0800	RW		
		[7:0]	GP_DATA3	GP_DATA2	IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0				
0x07	ID	[15:8]	INSEL[15:8]									0x30DX ¹	R	
		[7:0]	INSEL[7:0]											
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			RESERVED		AINPOS0[4:3]			0x8001	RW	
		[7:0]	AINPOS0[2:0]			AINNEG0								
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			RESERVED		AINPOS1[4:3]			0x0001	RW	
		[7:0]	AINPOS1[2:0]			AINNEG1								
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			RESERVED		AINPOS2[4:3]			0x0001	RW	
		[7:0]	AINPOS2[2:0]			AINNEG2								
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			RESERVED		AINPOS3[4:3]			0x0001	RW	
		[7:0]	AINPOS3[2:0]			AINNEG3								
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			RESERVED		AINPOS4[4:3]			0x0001	RW	
		[7:0]	AINPOS4[2:0]			AINNEG4								
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			RESERVED		AINPOS5[4:3]			0x0001	RW	
		[7:0]	AINPOS5[2:0]			AINNEG5								
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			RESERVED		AINPOS6[4:3]			0x0001	RW	
		[7:0]	AINPOS6[2:0]			AINNEG6								
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			RESERVED		AINPOS7[4:3]			0x0001	RW	
		[7:0]	AINPOS7[2:0]			AINNEG7								
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			RESERVED		AINPOS8[4:3]			0x0001	RW	
		[7:0]	AINPOS8[2:0]			AINNEG8								
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			RESERVED		AINPOS9[4:3]			0x0001	RW	
		[7:0]	AINPOS9[2:0]			AINNEG9								
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			RESERVED		AINPOS10[4:3]			0x0001	RW	
		[7:0]	AINPOS10[2:0]			AINNEG10								
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			RESERVED		AINPOS11[4:3]			0x0001	RW	
		[7:0]	AINPOS11[2:0]			AINNEG11								
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			RESERVED		AINPOS12[4:3]			0x0001	RW	
		[7:0]	AINPOS12[2:0]			AINNEG12								
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			RESERVED		AINPOS13[4:3]			0x0001	RW	
		[7:0]	AINPOS13[2:0]			AINNEG13								
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			RESERVED		AINPOS14[4:3]			0x0001	RW	
		[7:0]	AINPOS14[2:0]			AINNEG14								
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			RESERVED		AINPOS15[4:3]			0x0001	RW	
		[7:0]	AINPOS15[2:0]			AINNEG15								
0x20	SETUPCON0	[15:8]	RESERVED			BI_UNIPOLAR0	REF_BUF 0[1:0]		AIN_BUF 0[1:0]			0x1000	RW	
		[7:0]	BURNOUT_EN0	BUFCHOPMAX0	REF_SEL0		RESERVED							
0x21	SETUPCON1	[15:8]	RESERVED			BI_UNIPOLAR1	REF_BUF 1[1:0]		AIN_BUF 1[1:0]			0x1000	RW	
		[7:0]	BURNOUT_EN1	BUFCHOPMAX1	REFSEL1		RESERVED							
0x22	SETUPCON2	[15:8]	RESERVED			BI_UNIPOLAR2	REF_BUF 2[1:0]		AIN_BUF 2[1:0]			0x1000	RW	
		[7:0]	BURNOUT_EN2	BUFCHOPMAX2	REFSEL2		RESERVED							
0x23	SETUPCON3	[15:8]	RESERVED			BI_UNIPOLAR3	REF_BUF 3[1:0]		AIN_BUF 3[1:0]			0x1000	RW	
		[7:0]	BURNOUT_EN3	BUFCHOPMAX3	REFSEL3		RESERVED							
0x24	SETUPCON4	[15:8]	RESERVED			BI_UNIPOLAR4	REF_BUF 4[1:0]		AIN_BUF 4[1:0]			0x1000	RW	
		[7:0]	BURNOUT_EN4	BUFCHOPMAX4	REFSEL4		RESERVED							
0x25	SETUPCON5	[15:8]	RESERVED			BI_UNIPOLAR5	REF_BUF 5[1:0]		AIN_BUF 5[1:0]			0x1000	RW	
		[7:0]	BURNOUT_EN5	BUFCHOPMAX5	REFSEL5		RESERVED							
0x26	SETUPCON6	[15:8]	RESERVED			BI_UNIPOLAR6	REF_BUF 6[1:0]		AIN_BUF 6[1:0]			0x1000	RW	
		[7:0]	BURNOUT_EN6	BUFCHOPMAX6	REFSEL6		RESERVED							
0x27	SETUPCON7	[15:8]	RESERVED			BI_UNIPOLAR7	REF_BUF 7[1:0]		AIN_BUF 7[1:0]			0x1000	RW	
		[7:0]	BURNOUT_EN7	BUFCHOPMAX7	REFSEL7		RESERVED							
0x28	FILTCON0	[15:8]	SINC3_MAP0	RESERVED			ENHFILTEN0	ENHFILT0					0x0000	RW

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
		[7:0]	RESERVED	ORDER0				ODR0				
0x29	FILTCON1	[15:8]	SINC3_MAP1	RESERVED			ENHFILTEN1	ENHFILT1			0x0000	RW
		[7:0]	RESERVED	ORDER1				ODR1				
0x2A	FILTCON2	[15:8]	SINC3_MAP2	RESERVED			ENHFILTEN2	ENHFILT2			0x0000	RW
		[7:0]	RESERVED	ORDER2				ODR2				
0x2B	FILTCON3	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN3	ENHFILT3			0x0000	RW
		[7:0]	RESERVED	ORDER3				ODR3				
0x2C	FILTCON4	[15:8]	SINC3_MAP4	RESERVED			ENHFILTEN4	ENHFILT4			0x0000	RW
		[7:0]	RESERVED	ORDER4				ODR4				
0x2D	FILTCON5	[15:8]	SINC3_MAP5	RESERVED			ENHFILTEN5	ENHFILT5			0x0000	RW
		[7:0]	RESERVED	ORDER5				ODR5				
0x2E	FILTCON6	[15:8]	SINC3_MAP6	RESERVED			ENHFILTEN6	ENHFILT6			0x0000	RW
		[7:0]	RESERVED	ORDER6				ODR6				
0x2F	FILTCON7	[15:8]	SINC3_MAP7	RESERVED			ENHFILTEN7	ENHFILT7			0x0000	RW
		[7:0]	RESERVED	ORDER7				ODR7				
0x30	OFFSET0	[23:0]					[23:0]				0x800000	RW
0x31	OFFSET1	[23:0]					OFFSET1[23:0]				0x800000	RW
0x32	OFFSET2	[23:0]					OFFSET2[23:0]				0x800000	RW
0x33	OFFSET3	[23:0]					OFFSET3[23:0]				0x800000	RW
0x34	OFFSET4	[23:0]					OFFSET4[23:0]				0x800000	RW
0x35	OFFSET5	[23:0]					OFFSET5[23:0]				0x800000	RW
0x36	OFFSET6	[23:0]					OFFSET6[23:0]				0x800000	RW
0x37	OFFSET7	[23:0]					OFFSET7[23:0]				0x800000	RW
0x38	GAIN0	[23:0]					GAIN0[23:0]				0x5XXXX0 ²	RW
0x39	GAIN1	[23:0]					GAIN1[23:0]				0x5XXXX0 ²	RW
0x3A	GAIN2	[23:0]					GAIN2[23:0]				0x5XXXX0 ²	RW
0x3B	GAIN3	[23:0]					GAIN3[23:0]				0x5XXXX0 ²	RW
0x3C	GAIN4	[23:0]					GAIN4[23:0]				0x5XXXX0 ²	RW
0x3D	GAIN5	[23:0]					GAIN5[23:0]				0x5XXXX0 ²	RW
0x3E	GAIN6	[23:0]					GAIN6[23:0]				0x5XXXX0 ²	RW
0x3F	GAIN7	[23:0]					GAIN7[23:0]				0x5XXXX0 ²	RW

¹ X = don't care. X の値は、ADC によって固有の値になります。

² X の値は、使用される IC によって変動します。

レジスタの詳細

コミュニケーション・レジスタ

Address:0x00, Reset:0x00, Name:COMMS

表 23.COMMS の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	WEN		このビットは、ADC との通信を始めるときロー・レベルでなければなりません。	0x0	W
6	R/W	0 1	このビットで、このコマンドが読み出しなのか書き込みなのかを指定します。 書き込みコマンド 読み出しコマンド	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 010100 010101 010110 010111 011000 011001 011010 011011 011100 011101 011110 011111 100000 100001 100010 100011 100100 100101 100110 100111 101000 101001 101010 101011 101100 101101 101110 101111 110000 110001 110010 110011	このレジスタ・アドレス・ビットで、現在の通信において、この後どのレジスタを読み書きするのかを指定します。 ステータス・レジスタ ADC モード・ドレジスタ インターフェース・モード・レジスタ レジスタ・チェックサム・レジスタ データ・レジスタ GPIO 設定レジスタ ID レジスタ Channel 0 レジスタ Channel 1 レジスタ Channel 2 レジスタ Channel 3 レジスタ Channel 4 レジスタ Channel 5 レジスタ Channel 6 レジスタ Channel 7 レジスタ Channel 8 レジスタ Channel 9 レジスタ Channel 10 レジスタ Channel 11 レジスタ Channel 12 レジスタ Channel 13 レジスタ Channel 14 レジスタ Channel 15 レジスタ セットアップ設定 0 レジスタ セットアップ設定 1 レジスタ セットアップ設定 2 レジスタ セットアップ設定 3 レジスタ セットアップ設定 4 レジスタ セットアップ設定 5 レジスタ セットアップ設定 6 レジスタ セットアップ設定 7 レジスタ フィルタ設定 0 レジスタ フィルタ設定 1 レジスタ フィルタ設定 2 レジスタ フィルタ設定 3 レジスタ フィルタ設定 4 レジスタ フィルタ設定 5 レジスタ フィルタ設定 6 レジスタ フィルタ設定 7 レジスタ オフセット 0 レジスタ オフセット 1 レジスタ オフセット 2 レジスタ オフセット 3 レジスタ	0x00	W

Bits	Bit Name	Settings	Description	Reset	Access
		110100	オフセット4レジスタ		
		110101	オフセット5レジスタ		
		110110	オフセット6レジスタ		
		110111	オフセット7レジスタ		
		111000	ゲイン0レジスタ		
		111001	ゲイン1レジスタ		
		111010	ゲイン2レジスタ		
		111011	ゲイン3レジスタ		
		111100	ゲイン4レジスタ		
		111101	ゲイン5レジスタ		
		111110	ゲイン6レジスタ		
		111111	ゲイン7レジスタ		

ステータス・レジスタ

Address:0x00, Reset:0x80, Name:STATUS

ステータス・レジスタは 8 ビットのレジスタで、ADC とシリアル・インターフェースのステータスに関する情報が格納されています。インターフェース・モード・レジスタ (レジスタ 0x02) の DATA_STAT ビット (ビット 6) の設定を行う事により、このレジスタの内容をデータ・レジスタへ付加することもできます。

表 24.STATUS の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	RDY	0 1	CSがロー・レベルで、レジスタが読まれていないときはいつでも、RDYのステータスがDOUT/RDYピンに出力されます。このビットは、ADCがデータ・レジスタに新しい結果を書き込むとロー・レベルになります。ADCのキャリブレーション・モードでは、このビットは、そのADCがキャリブレーションを終えてデータを書き込むとロー・レベルになります。RDYは、データ・レジスタからデータが読み出されると、自動的にハイ・レベルになります。 0 新しいデータが読み出し可能 1 新しいデータ結果の待ち状態	0x1	R
6	ADC_ERROR	0 1	このビットの機能はデフォルトで、ADCがオーバーレンジもしくはアンダーレンジになったことを表示します。オーバーレンジもしくはアンダーレンジになった時、ADCの結果が±フル・スケールにクランプされます。ADCの新しい結果が更新され、アナログ入力のオーバーレンジもしくはアンダーレンジ状態が解消されたときに、このビットは更新されません。 0 エラー無し 1 エラー有り	0x0	R
5	CRC_ERROR	0 1	このビットは、レジスタ書き込み時に、CRCエラーが発生したことを表示します。このレジスタを読んで、ホスト・マイクロコントローラが、CRCエラーが発生しているかどうかの判断をします。このビットは、このレジスタを読むとクリアされます。 0 エラー無し 1 CRCエラー	0x0	R
4	REG_ERROR	0 1	レジスタ整合性チェックが作動している時、このビットで、1つでも内部レジスタの値が計算された値から変化したかどうかを表示します。このレジスタ整合性チェックは、インターフェース・モード・レジスタのREG_CHEKビットを設定すると作動します。このビットは、REG_CHECKビットをクリアするとクリアされます。 0 エラー無し 1 エラー有り	0x0	R
[3:0]	チャンネル	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	これらのビットは、どのチャンネルのADC変換がアクティブで、現在どのチャンネルの結果がデータ・レジスタに格納されているかを示します。このビットで表示されるチャンネルは、現在変換を行っているチャンネルとは違っていることに注意して下さい。このビットは、チャンネル x レジスタのダイレクト・マッピングです。従ってチャンネル0の場合0x10になり、チャンネル15の場合は0x1Fになります。 0000 チャンネル 0 0001 チャンネル 1 0010 チャンネル 2 0011 チャンネル 3 0100 チャンネル 4 0101 チャンネル 5 0110 チャンネル 6 0111 チャンネル 7 1000 チャンネル 8 1001 チャンネル 9 1010 チャンネル 10 1011 チャンネル 11 1100 チャンネル 12 1101 チャンネル 13 1110 チャンネル 14 1111 チャンネル 15	0x0	R

ADC モード・レジスタ

Address:0x01, Reset:0x2000, Name:ADCMODE

ADC モード・レジスタは ADC の動作モードとマスター・クロックの選択を制御します。ADC モード・レジスタへの書き込みによって、フィルタと RDY ビットをリセットし、新しい変換もしくはキャリブレーションを開始します。

表 25.ADCMODE の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	REF_EN	0 1	内部リファレンス電圧をイネーブルにし、REFOUT ピンにバッファされた 2.5V を出力します。 0 ディスエーブル 1 イネーブル	0x0	RW
14	RESERVED		0 に固定。(ユーザ使用不可)	0x0	R
13	SING_CYC	0 1	固定のフィルタ・データ・レートのみで出力するように ADC を設定し、かつ 1 チャンネルしかアクティブしない場合に使われます。 0 ディスエーブル 1 イネーブル	0x1	RW
[12:11]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
[10:8]	遅延	000 001 010 011 100 101 110 111	これらのビットは、プログラマブルな遅延を設定します。この遅延はチャンネル・スイッチの後に付加され、ADC が入力の処理を行う前に、外部回路を付加した事によるセtring に対する時間的な余裕を持たせます。 000 0 μs 001 32 μs 010 128 μs 011 320 μs 100 800 μs 101 1.6 ms 110 4 ms 111 8 ms	0x0	RW
7	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R
[6:4]	MODE	000 001 010 011 100 110 111	これらのビットは、ADC の動作モードを設定します。詳細については、動作モードの項を参照してください。 000 連続変換モード 001 シングル変換モード 010 スタンバイ・モード 011 パワー・ダウン・モード 100 内部オフセットのキャリブレーション 110 システムのオフセット・キャリブレーション 111 システムのゲイン・キャリブレーション	0x0	RW
[3:2]	CLOCKSEL	00 01 10 11	このビットは、ADC のクロックの選択に用います。内部発振器を選択すると、内部発振器もイネーブルになります。 00 内部発振器 01 内部発振器出力を XTAL2/CLKIO ピンに設定します。 10 外部クロックの入力を XTAL2/CLKIO ピンに設定します。 11 外部水晶発振子を XTAL1 と XTAL2/CLKIO ピンに設定します。	0x0	RW
[1:0]	RESERVED		0 に固定 (ユーザー使用不可)	0x0	R

インターフェース・モード・レジスタ

Address:0x02, Reset:0x0000, Name:IFMODE

インターフェース・モード・レジスタは、様々なシリアル・インターフェース・オプションを構成します。

表 26. IFMODE の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:13]	RESERVED		0に固定 (ユーザー使用不可)	0x0	R
12	ALT_SYNC	0 1	このビットをセットすると、 <u>SYNC</u> ピンは通常とは違う振る舞いをします。すなわち <u>SYNC</u> ピンが、チャンネルのスキャン時にデータ変換タイミングの制御を行うことができます。(詳細は、内蔵機能の SYNC_EN ビットの説明を参照して下さい) 0 ディスエーブル 1 イネーブル	0x0	RW
11	IOSTRENGTH	0 1	このビットは、DOUT (DOUT/RDY) と the XTAL2/CLKIO ピンの駆動能力の強度を制御します。IOVDD の電圧が低く、配線容量が中程度である場合に、高速ビット・レートでシリアル・インターフェースを使う時、このビットを1に設定します。 0 ディスエーブル(デフォルト) 1 イネーブル	0x0	RW
10	HIDE_DELAY	0 1	プログラマブルな遅延時間を、ADC モード・レジスタの DELAY ビットで設定した時、選択されたデータ・レートにこの遅延時間を内包することにより、その遅延時間を見えなくします。詳細については、遅延セクションを参照してください。 0 イネーブル 1 ディスエーブル	0x0	RW
9	RESERVED		0に固定 (ユーザー使用不可)	0x0	R
8	DOUT_RESET	0 1	このビットにより、DOUT/RDY信号がデータの最後のクロックの立ち上がりから直ぐに RDYがスイッチングして立ち上がることを防止します。替わりに、DOUT/RDY ピンは、CSがハイに遷移するまでデータの LSB を出力し続けます。これは、SPI のマスター・クロックが、データの LSB を確実にサンプルして読み込むことできるホールドタイムを提供します。このビットが1の時、CS は、ロー・レベルに固定したままではいけません。 0 ディスエーブル 1 イネーブル	0x0	RW
7	CONTREAD	0 1	このビットは、ADC データ・レジスタの連続読み出しを有効にします。連続読み出しを使う場合は、ADC を連続変換モードに構成する必要があります。詳細は連続読み出しの項を参照して下さい。 0 ディスエーブル 1 イネーブル	0x0	RW
6	DATA_STAT	0 1	このビットは、変換データの読み出し時、ステータス・レジスタの内容をデータ・レジスタの内容に付加する機能をイネーブルにします。これにより、チャンネルとその状態に関する情報が、データと共に転送されます。これは、ステータス・レジスタから読み取られたチャンネルのステータス・データが、データ・レジスタ内のチャンネル・データに対応することを保証する唯一の方法です。 0 ディスエーブル 1 イネーブル	0x0	RW
5	REG_CHECK	0	このビットは、レジスタの一貫性チェックの機能をイネーブルにします。これにより、ユーザー・レジスタの値のすべての変化をモニタすることができます。この機能を使うには、このビットをクリアしたうえで、必要な全てのレジスタを設定します。続いて、REG_CHECK を1に②するためレジスタへ書き込みを行います。もし、どこかのレジスタの内容が変化すると、ステータス・レジスタ内の REG_ERROR ビットが1にセットされます。エラー状態をクリアするには、REG_CHECK ビットに0を書き込みます。ただしインターフェース・モード・レジスタと、ADC データ・レジスタあるいはステータス・レジスタのいずれも、チェックされるレジスタに含まれていません。もしレジスタに新しい値の書き込みを行わなければならない時、最初にこのビットをクリアしてください。さもなければ、新しいレジスタ内容を書き込むときに、エラーにフラグが立てられます。 0 ディスエーブル	0x0	RW

Bits	Bit Name	Settings	Description	Reset	Access
		1	イネーブル		
4	RESERVED		0に固定（ユーザー使用不可）	0x0	R
[3:2]	CRC_EN	00 01 10	レジスタの読み書きに対するCRC保護をイネーブルにします。CRCを有効にすると、シリアル・インターフェース転送における転送バイト数が増加します。詳細については、CRCの計算セクションを参照してください。 00 ディスエーブル 01 レジスタの読み込みトランザクションで、XORのチェックサムをイネーブルにします。このビットの設定では、レジスタ読み込みの際はCRCを使います。 10 レジスタの読み書きトランザクションで、CRCチェックサムをイネーブルにします。	0x00	RW
1	RESERVED		0に固定（ユーザー使用不可）	0x0	R
0	WL16	0 1	ADCのデータ・レジスタを16ビットに変更します。ただしADCはインターフェース・モード・レジスタへのこの書き込みで直にはリセットされません。従って、ADCの現在の変換結果は、これらのビットが書かれた直後であっても、すぐには新しいワード長（16ビット）に丸められることはありません。次の新しいADC結果が正しいワード長です。 0 24ビット・データ 1 16ビット・データ	0x0	RW

レジスタ・チェック

Address:0x03, Reset:0x000000, Name:REGCHECK

レジスタ・チェック・レジスタは、ユーザー・レジスタといくつかのアクセスできないレジスタのデータのXOR計算で得られた24ビット長のチェックサムです。この動作を行う時は、インターフェース・モード・レジスタのREG_CHECKビットが1に設定しなければなりません。そうしないとレジスタ読み出し値は0となります。

表 27.REGCHECK の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	REGISTER_CHECK		REG_CHECKビットがインターフェース・モード・レジスタでセットされると、このレジスタはユーザー・レジスタの24ビットのチェックサムがセットされます。	0x000000	R

データ・レジスタ

Address:0x04, Reset:0x000000, Name:DATA

データ・レジスタは、ADCの変換結果を格納しています。エンコーディングはオフセット・バイナリですが、セットアップ・レジスタのBI_UNIPOLARビットの内容によってユニポーラに変換することができます。データ・レジスタを読み出すと、その時RDYビットとピンがロー・レベルであれば、それらをハイ・レベルにします。ADCの結果は、複数回読み出すことができます。しかしながら、RDYがハイ・レベルの状態を維持していると、ADCの次の結果のデータ・レジスタへの転送が差し迫っているかどうかを知ることができません。このレジスタが読み出しの状態にある間は、ADCは新しい変換結果をそのレジスタに書き込むことができません。

表 28.DATA の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	DATA		このレジスタには、ADC変換結果が格納されます。もしインターフェース・モード・レジスタのDATA_STATビットが設定されると、読み出し時にステータス・レジスタのデータが付加され、32ビットデータとなります。もしインターフェース・モード・レジスタのWL16が設定されると、このレジスタは16ビット長になります。	0x000000	R

GPIO 設定レジスタ

Address:0x06, Reset:0x0800, Name:GPIOCON

GPIO 設定レジスタは、ADC の汎用 I/O ピンを制御します。

表 29.GPIOCON の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	RESERVED		0に固定（ユーザー使用不可）	0x0	R
14	PDSW		このビットは、パワーダウン・スイッチ機能のイネーブル/ディスエーブルを行います。このビットを設定すると、PDSW ピンは電流シンク可能になります。このスイッチは、センサーのパワーアップ/パワー・ダウンを制御できるので、この機能をブリッジ・センサー・アプリケーションに使うことができます。	0x0	RW
13	OP_EN2_3		このビットで GPO2 と GPO3 ピンを汎用出力ピンに設定できます。出力レベルは、AVDD1～AVSS 電圧を基準としています。	0x0	RW
12	MUX_IO		このビットを設定すると、GPIO0/GPIO1/GPO2/GPO3 を使い、内部チャンネルのシーケンサと同期して、ADC 外部のマルチプレクサの制御が可能になります。1つのチャンネル用に使われているアナログ入力ピンは、そのまま入力チャンネルとして選択します。各アナログ入力ペア(AIN0/AIN1 から AIN14/AIN15)の前段に 16 チャンネルのマルチプレクサを使うと、トータル 128 の差動チャンネルを持たせることができます。しかしながら、実際に一度に自動的なシーケンシングできるのは 16 チャンネルまでです。外付け 16 チャンネルのスキャン・シーケンシングが終わると、次の入力チャンネル・ペアへの変更が可能になり、次の 16 チャンネルのシーケンスを開始します。 外部マルチプレクサのスイッチングと組み合わせた場合においても、アナログ入力信号がセトリングするまでに必要な時間を確保するために、プログラマブル遅延機能を持っています。(詳細は、ADC のディレイ・ビットを参照下さい。)	0x0	RW
11	SYNC_EN	0 1	このビットにより SYNC ピンを同期入力として有効にします。このビットをロー・レベルに設定すると、 $\overline{\text{SYNC}}$ ピンがハイ・レベルになるまで ADC とフィルタのリセット状態を保持します。インターフェース・モード・レジスタの ALT_SYNC を設定すると、SYNC ピンのもうひとつの機能を使う事ができます。このモードは、複数チャンネルがイネーブルになっている時のみ動作します。この場合、 $\overline{\text{SYNC}}$ ピンが、ロー・レベルであっても、フィルタと変調器のリセットを直ちに行うことはありません。そのかわり、もし SYNC ピンがロー・レベルであれば、別チャンネルに切り替った時に、変換器とフィルタが新しい変換を開始しないようになっています。この状態で SYNC をハイ・レベルにすると、次の変換が始まります。このオルタネート同期モードは、チャンネルのスキャンを行っている際に、SYNCが使えるようになります。	0x1	RW
[10:9]	ERR_EN	00 01 10 11	これらのビットは、 $\overline{\text{ERROR}}$ ピンを、エラー入出力として設定します。 00 ディスエーブル 01 $\overline{\text{ERROR}}$ ピンは、外部エラー入力になります。(反転された) リードバック・ステータスは、他のエラー原因と OR がとられ、ステータス・レジスタの ADC_ERROR ビットに送られ確認することができます。ERROR ピンのステータスは、このレジスタの ERR_DAT から読み出すことができます。 10 $\overline{\text{ERROR}}$ は、オープン・ドレインのエラー出力になります。ステータス・レジスタのエラー・ビットは OR されて反転されたうえで $\overline{\text{ERROR}}$ ピンに出力されます。複数デバイスの $\overline{\text{ERROR}}$ ピンを、共通のプルアップ抵抗で接続すると、どのデバイスでエラーが起きてもそれを検出することができます。 11 $\overline{\text{ERROR}}$ は、汎用出力になります。このピンのステータスは、このレジスタの ERR_DAT ビットによって制御されます。他の汎用 I/O ピンによって使われている AVDD1 と AVSS レベル出力とは異なり、IOVDD と DGND 間の電圧を基準としています。この場合、このピンはアクティブ・プルアップです。	0x0	RW
8	ERR_DAT		このビットは、 $\overline{\text{ERROR}}$ ピンが汎用出力としてイネーブルになった時、そのロジック・レベルを決定します。このピンが入力として有効な場合、このビットは、このピンのリードバック・ステータスを反映します。	0x0	RW
7	GP_DATA3		このビットは、GP03 への書き込みデータです。	0x0	W
6	GP_DATA2		このビットは、GP02 への書き込みデータです。	0x0	W

Bits	Bit Name	Settings	Description	Reset	Access
5	IP_EN1	0 1	このビットは GPIO1 ピンを入力にします。入力電圧は、AVDD1 もしくは AVSS と等しくなければなりません。 ディスエーブル イネーブル	0x0	RW
4	IP_EN0	0 1	このビットは GPIO0 ピンを入力にします。入力電圧は、AVDD1 もしくは AVSS と等しくなければなりません。 ディスエーブル イネーブル	0x0	RW
3	OP_EN1	0 1	このビットは GPIO1 ピンを出力にします。出力は、AVDD1 と AVSS との間の電圧を基準にした値です。 ディスエーブル イネーブル	0x0	RW
2	OP_EN0	0 1	このビットは GPIO0 ピンを出力にします。出力は、AVDD1 と AVSS との間の電圧を基準にした値です。 ディスエーブル イネーブル	0x0	RW
1	GP_DATA1		このビットは、GPIO1 のリードバックもしくは書き込みデータです。	0x0	RW
0	GP_DATA0		このビットは、GPIO0 のリードバックもしくは書き込みデータです。	0x0	RW

ID レジスタ

Address:0x07, Reset:0x30DX, Name:ID

ID レジスタを読み出すと、16 ビットのこのモデル固有の ID コードを返します。AD7173-8 の場合は、0x30DX です。

表 30.ID の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	ID	0x30DX	ID レジスタは、この ADC モデル固有の 16 ビット ID コードを返します。 AD7173-8	0x30DX ¹	R

¹ X = don't care.

チャンネル・レジスタ 0

Address:0x10, Reset:0x8001, Name:CH0

チャンネル・レジスタは 16 ビットのレジスタで、現在アクティブなチャンネルがどれか、そしてそれぞれのチャンネルのどの入力を選択されていて、さらにそのチャンネル用の ADC 変換動作を構成するためには、どのセットアップを使うべきか、を選択するために使われます。チャンネル数 (16) だけあります。

表 31.CH0 の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	CH_EN0	0 1	このビットはチャンネル 0 をイネーブルにします。1 チャンネル以上がイネーブルになっている場合は、ADC は自動的にそれらをシーケンシング (スキャン) します。 ディスエーブル イネーブル (デフォルト)	0x1	RW
[14:12]	SETUP_SEL0	000 001 010 011 100 101	これらのビットは、8 つのセットアップの内、どのセットアップがこのチャンネルの AD 変換動作の設定のため適用されるか指定します。1 つのセットアップは、4 セットのレジスタで構成されています。それぞれ、セットアップ・レジスタ、フィルタ設定レジスタ、オフセット・レジスタ、そしてゲイン・レジスタです。 全てのアクティブなチャンネルに同じ 3 ビットコードを適用すると、全て同じセットアップで動作します。あるいは、最大 8 チャンネルまで、異なった構成にする事もできます。	0x0	RW

Bits	Bit Name	Settings	Description	Reset	Access
		110	セットアップ 6		
		111	セットアップ 7		
[11:10]	RESERVED		0に固定 (ユーザー使用不可)	0x0	R
[9:5]	AINPOS0		これらのビットは、どのアナログ入力ピンを、その ADC チャンネルの正側 (非反転) 入力に接続するかを選択します。TEMP SENSOR ± は内部温度センサーです。	0x0	RW
		00000	AIN0 (デフォルト)		
		00001	AIN1		
		00010	AIN2		
		00011	AIN3		
		00100	AIN4		
		00101	AIN5		
		00110	AIN6		
		00111	AIN7		
		01000	AIN8		
		01001	AIN9		
		01010	AIN10		
		01011	AIN11		
		01100	AIN12		
		01101	AIN13		
		01110	AIN14		
		01111	AIN15		
		10000	AIN16		
		10001	TEMP SENSOR +		
		10010	TEMP SENSOR -		
		10101	REF+		
		10110	REF-		
[4:0]	AINNEG0		これらのビットは、どのアナログ入力ピンを、その ADC チャンネルの負側 (反転) 入力に接続するかを選択します。	0x1	RW
		00000	AIN0		
		00001	AIN1(デフォルト)		
		00010	AIN2		
		00011	AIN3		
		00100	AIN4		
		00101	AIN5		
		00110	AIN6		
		00111	AIN7		
		01000	AIN8		
		01001	AIN9		
		01010	AIN10		
		01011	AIN11		
		01100	AIN12		
		01101	AIN13		
		01110	AIN14		
		01111	AIN15		
		10000	AIN16		
		10001	TEMP SENSOR +		
		10010	TEMP SENSOR -		
		10101	REF+		
		10110	REF-		

チャンネル・レジスタ 1 からチャンネル・レジスタ 15

Address Range:0x11 to 0x1F, Reset:0x0001, Name:CH1 から CH15

後続のチャンネル・レジスタ、すなわち CH1 から CH15 までは、CH0 のレジスタと同じ構造をしています。これらは、デフォルトでディスエーブルになっています (MSB = 0)。各チャンネルは 8 つのセットアップの 1 つを参照して動作を設定する事ができます。シーケンサは、イネーブルになっているチャンネルを順番に選択して行きます。

表 32 に、これらのレジスタ、アドレス、リセット値の一覧を示します。

表 32.CH1 から CH15 までの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			RESERVED		AINPOS1[4:3]		0x0001	RW
		[7:0]	AINPOS1[2:0]			AINNEG1						
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			RESERVED		AINPOS2[4:3]		0x0001	RW
		[7:0]	AINPOS2[2:0]			AINNEG2						
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			RESERVED		AINPOS3[4:3]		0x0001	RW
		[7:0]	AINPOS3[2:0]			AINNEG3						
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			RESERVED		AINPOS4[4:3]		0x0001	RW
		[7:0]	AINPOS4[2:0]			AINNEG4						
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			RESERVED		AINPOS5[4:3]		0x0001	RW
		[7:0]	AINPOS5[2:0]			AINNEG5						
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			RESERVED		AINPOS6[4:3]		0x0001	RW
		[7:0]	AINPOS6[2:0]			AINNEG6						
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			RESERVED		AINPOS7[4:3]		0x0001	RW
		[7:0]	AINPOS7[2:0]			AINNEG7						
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			RESERVED		AINPOS8[4:3]		0x0001	RW
		[7:0]	AINPOS8[2:0]			AINNEG8						
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			RESERVED		AINPOS9[4:3]		0x0001	RW
		[7:0]	AINPOS9[2:0]			AINNEG9						
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			RESERVED		AINPOS10[4:3]		0x0001	RW
		[7:0]	AINPOS10[2:0]			AINNEG10						
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			RESERVED		AINPOS11[4:3]		0x0001	RW
		[7:0]	AINPOS11[2:0]			AINNEG11						
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			RESERVED		AINPOS12[4:3]		0x0001	RW
		[7:0]	AINPOS12[2:0]			AINNEG12						
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			RESERVED		AINPOS13[4:3]		0x0001	RW
		[7:0]	AINPOS13[2:0]			AINNEG13						
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			RESERVED		AINPOS14[4:3]		0x0001	RW
		[7:0]	AINPOS14[2:0]			AINNEG14						
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			RESERVED		AINPOS15[4:3]		0x0001	RW
		[7:0]	AINPOS15[2:0]			AINNEG15						

アットアップ・レジスタ 0

Address:0x20, Reset:0x1000, Name:SETUPCON0

セットアップ・レジスタは16ビットのレジスタで、リファレンス電圧、入力バッファ、バーンアウト電流、そしてADCの出力コーディングの構成を行います。このレジスタは、全部で8本あります。

表 33.SETUPCON0 の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:13]	RESERVED		0に固定（ユーザー使用不可）	0x0	R
12	BI_UNIPOLAR0	0 1	このビットは、Setup 0 の ADC の出力コーディングを設定します。 ユニポーラ・コーディング出力 オフセット・バイナリ・コーディング出力	0x1	RW
[11:10]	REF_BUF_0[1:0]	00 11	リファレンス電圧入力バッファ・イネーブル。これらのビットで、リファレンス電圧の正入力と負入力のバッファ・アンプをオンにします。これにより、外部リファレンス電圧源にハイインピーダンス入力を提供して、それをADCのスイッチド・キャパシタのリファレンス・サンプリング入力から隔離することができます。正負のリファレンス電圧・バッファは一緒に使って下さい。 リファレンス電圧入力バッファをディスエーブル リファレンス電圧入力バッファをイネーブル	0x0	RW
[9:8]	AIN_BUF_0[1:0]	00 11	アナログ入力バッファ・アンプをイネーブル/ディスエーブルします。これらのビットで、アナログ正（非反転）入力と負（反転）入力のバッファをオンにします。これにより、センサーなどの被測定デバイスにハイインピーダンス入力を提供し、またADCのサンプリングにつかわれるスイッチ・コンデンサ入力から隔離することができます。正負のリファレンス電圧・バッファは一緒に使って下さい。 アナログ入力バッファをディスエーブル アナログ入力バッファをディスエーブル	0x0	RW
7	BURNOUT_EN0		このビットは、選択された正側（非反転）アナログ入力の 10 μ A 電流ソースと、選択された負側（反転）アナログ入力の 10 μ A 電流シンクをイネーブルします。これらのバーンアウト電流が接続されていると、配線がオープンの時ADCの結果がフル・スケールになるので、断線診断時に有用です。測定中にバーンアウト電流をイネーブルすると、ADCのオフセット電圧の読み値が約 1 μ V 変化します。高精度測定を行う前後に、ある一定間隔でバーンアウト電流をターンオンし、オフセット電圧が発生しているかどうかで断線診断を行う事は、最高の策とえます。	0x0	RW
6	BUFCHOPMAX0		このビットにより、バッファのチョッピング周波数は最高になり、AIN 入力電流は増加、バッファのノイズは減少します。	0x0	RW
[5:4]	REF_SEL0	00 01 10 11	これらのビットは、Setup 0 における ADC 変換時のリファレンス電圧源を設定することができます。 外部リファレンス電圧を REF+ と REF- ピンに供給 外部リファレンス 2（電圧源）を、AIN1/REF2+ と、AIN0/REF2- に供給 内部 2.5V リファレンス電圧を選択。このリファレンス電圧を使うには、ADC モード・レジスタでこのリファレンス電圧を必ずイネーブルにして下さい。 AVDD1 – AVSS を選択。この設定は他のリファレンス電圧値確認のための診断としても使う事ができます。	0x0	RW
[3:0]	RESERVED		0に固定（ユーザー使用不可）	0x0	R

セットアップ・レジスタ 1 からセットアップ構成レジスタ 7

Address:0x21 to 0x27, Reset:0x1000, Name:SETUPCON1 から SETUPCON7

残っている7つのセットアップ・レジスタは、SETUPCON0 と同じ 16 ビットのレジスタ・レイアウトと同じです。これらで、リファレンス電圧選択、入力バッファ、バーンアウト電流、そして ADC の出力コーディングを構成できます。

表 34.SETUPCON1 から SETUPCON7 までの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x21	SETUPCON1	[15:8]	RESERVED			BI_UNIPOLAR1	REF_BUF 1[1:0]	AIN_BUF 1[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN1	BUFCHOPMAX1	REFSEL1	RESERVED						
0x22	SETUPCON2	[15:8]	RESERVED			BI_UNIPOLAR2	REF_BUF 2[1:0]	AIN_BUF 2[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN2	BUFCHOPMAX2	REFSEL2	RESERVED						
0x23	SETUPCON3	[15:8]	RESERVED			BI_UNIPOLAR3	REF_BUF 3[1:0]	AIN_BUF 3[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN3	BUFCHOPMAX3	REFSEL3	RESERVED						
0x24	SETUPCON4	[15:8]	RESERVED			BI_UNIPOLAR4	REF_BUF 4[1:0]	AIN_BUF 4[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN4	BUFCHOPMAX4	REFSEL4	RESERVED						
0x25	SETUPCON5	[15:8]	RESERVED			BI_UNIPOLAR5	REF_BUF 5[1:0]	AIN_BUF 5[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN5	BUFCHOPMAX5	REFSEL5	RESERVED						
0x26	SETUPCON6	[15:8]	RESERVED			BI_UNIPOLAR6	REF_BUF 6[1:0]	AIN_BUF 6[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN6	BUFCHOPMAX6	REFSEL6	RESERVED						
0x27	SETUPCON7	[15:8]	RESERVED			BI_UNIPOLAR7	REF_BUF 7[1:0]	AIN_BUF 7[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN7	BUFCHOPMAX7	REFSEL7	RESERVED						

フィルタ構成レジスタ

Address:0x28, Reset:0x0000, Name:FILTCON0

フィルタ構成レジスタは16ビットのレジスタで、ADCのデータ・レートとフィルタのオプションを構成します。これらのレジスタに書き込みをすると、アクティブなADCによる変換はリセットされ、最初のチャンネルから順番に変換を再スタートします。

表 35. FILTCON の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
15	SINC3_MAP0		このビットがセットされると、Setup 0 に対してフィルタ構成レジスタのマッピングが、Sinc3 フィルタのデシメーション・レートを直接プログラムするように変化します。他のオプションは全て消されてしまいます。これにより、出力データ・レート及び特定の周波数成分を除去するフィルター・ノッチの微調整が可能になります。シングル・サイクルの設定がディスエーブル時、シングル・チャンネルのデータ・レートは $FMOD/(32 \times FILTCON0[14:0])$ と等しくなります。	0x0	RW
[14:12]	RESERVED		0に固定（ユーザー使用不可）	0x0	R
11	ENHFILTENO	0 1	このビットは、Setup 0 へ強化された 50Hz/60Hz 除去フィルタ用の様々なポストビスタをイネーブルします。このセッティングを機能させるには、ORDERx ビットも 00 に設定し、Sinc5+Sinc1 フィルタを選択して下さい。 0 ディスエーブル 1 イネーブル	0x0	RW
[10:8]	ENHFILTO	010 011 101 110	これらのビットを使って、Setup 0 へ強化された 50Hz/60Hz フィルタ用に用意された幾つかのポスト・フィルタを選択します。 010 27.27 SPS, 47 dB 除去比, 36.67 ms セトリング 011 25 SPS, 62 dB 除去比, 40 ms セトリング 101 20 SPS, 86 dB 除去比, 50 ms セトリング 110 16.67 SPS, 92 dB 除去比, 60 ms セトリング	0x0	RW
7	RESERVED		0に固定（ユーザー使用不可）	0x0	R
[6:5]	ORDER0	00 11	これらのビットは、変調器データを処理するデジタフ・フィルタの次数を制御します。 00 Sinc5 + sinc1 (デフォルト) 11 Sinc3.sinc3 フィルタを使う場合、必ず sinc3 フィルタを選択し、イネーブルになっている全てのチャンネルの出力データ・レートを同じにしてください。	0x0	RW
[4:0]	ODR0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101 10110 10111	これらのビットは、ADC の出力データ・レートを制御しますが、結果としてセトリング時間、そしてノイズも制御することになります。 00000 31,250 SPS 00001 31,250 SPS 00010 31,250 SPS 00011 31,250 SPS 00100 31,250 SPS 00101 31,250 SPS 00110 15,625 SPS 00111 10,417 SPS 01000 5208 SPS 01001 2597 SPS (2604 SPS for sinc3) 01010 1007 SPS (1008 SPS for sinc3) 01011 503.8 SPS (504 SPS for sinc3) 01100 381 SPS (400.6 SPS for sinc3) 01101 200.3 SPS 01110 100.5 SPS 01111 59.52 SPS (59.98 SPS for sinc3) 10000 49.68 SPS (50 SPS for sinc3) 10001 20.01 SPS 10010 16.63 SPS (16.67 SPS for sinc3) 10011 10 SPS 10100 5 SPS 10101 2.5 SPS 10110 10111 1.25 SPS	0x0	RW

フィルタ構成レジスタ 1 からフィルタ構成レジスタ 7

Address Range:0x29 to 0x2F, Reset:0x0000, Name:FILTCON1 to FILTCON7

残っている7つのフィルタ構成レジスタは、FILTCON0と同じ16ビットのレジスタ・レイアウトを持っています。これらのレジスタは、ADCデータ・レートとフィルタ・オプションを構成し、レジスタ名の最後に記載された数字毎に、データ・レートやフィルタ・オプションをマップします。これらのレジスタに書き込みをすると、アクティブなADCによる変換はリセットされ、最初のチャンネルから順番に変換を再スタートします。

表 36.FILTCON1 から FILTCON7 までの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x29	FILTCON1	[15:8]	SINC3_MAP1	RESERVED			ENHFILTEN1	ENHFILT1			0x0000	RW
		[7:0]	RESERVED	ORDER1		ODR1						
0x2A	FILTCON2	[15:8]	SINC3_MAP2	RESERVED			ENHFILTEN2	ENHFILT2			0x0000	RW
		[7:0]	RESERVED	ORDER2		ODR2						
0x2B	FILTCON3	[15:8]	SINC3_MAP3	RESERVED			ENHFILTEN3	ENHFILT3			0x0000	RW
		[7:0]	RESERVED	ORDER3		ODR3						
0x2C	FILTCON4	[15:8]	SINC3_MAP4	RESERVED			ENHFILTEN4	ENHFILT4			0x0000	RW
		[7:0]	RESERVED	ORDER4		ODR4						
0x2D	FILTCON5	[15:8]	SINC3_MAP5	RESERVED			ENHFILTEN5	ENHFILT5			0x0000	RW
		[7:0]	RESERVED	ORDER5		ODR5						
0x2E	FILTCON6	[15:8]	SINC3_MAP6	RESERVED			ENHFILTEN6	ENHFILT6			0x0000	RW
		[7:0]	RESERVED	ORDER6		ODR6						
0x2F	FILTCON7	[15:8]	SINC3_MAP7	RESERVED			ENHFILTEN7	ENHFILT7			0x0000	RW
		[7:0]	RESERVED	ORDER7		ODR7						

オフセット・レジスタ

Address:0x30, Reset:0x800000, Name:OFFSET0

オフセット（ゼロ・スケール）レジスタは 24 ビットのレジスタで、ADC もしくはシステムのオフセット・エラーを補正するために使われます。

表 37. OFFSET0 の各ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[23:0]	OFFSET0		Setup 0 用オフセット・キャリブレーション係数	0x800000	RW

オフセット・レジスタ 1 からオフセット・レジスタ 7

Address Range:0x31to 0x37, Reset:0x800000, Name:OFFSET1 to OFFSET7

オフセット（ゼロ・スケール）レジスタ。OFFSET1 から OFFSET7 は、OFFSET0 と同じく 24 ビットの構造を持っています。また、ADC もしくはシステムのオフセット誤差を補正する為、個別に使われます。

表 38. OFFSET1 から OFFSET7 までの一覧

Reg	Name	Bits	Bit[23:0]	Reset	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]	0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]	0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]	0x800000	RW
0x34	OFFSET4	[23:0]	OFFSET4[23:0]	0x800000	RW
0x35	OFFSET5	[23:0]	OFFSET5[23:0]	0x800000	RW
0x36	OFFSET6	[23:0]	OFFSET6[23:0]	0x800000	RW
0x37	OFFSET7	[23:0]	OFFSET7[23:0]	0x800000	RW

ゲイン・レジスタ 0

Address:0x38, Reset:0x5XXXX0, Name:GAIN0

ゲイン（フル・スケール）レジスタは 24 ビットのレジスタで、ADC やシステムのゲイン誤差を補正するために使われます。

表 39. GAIN0 の各ビットの説明

Bits	Bit Name	Settings	Description	Reset ¹	Access
[23:0]	GAIN0		Setup 0 用ゲイン・キャリブレーション係数	0x5XXXX0	RW

¹ X の値は、使用される IC によって変動します。

ゲイン・レジスタ 1 からゲイン・レジスタ 7

Address Range:0x39 to 0x3F, Reset:0x5XXXX0, Name:GAIN1 to GAIN7

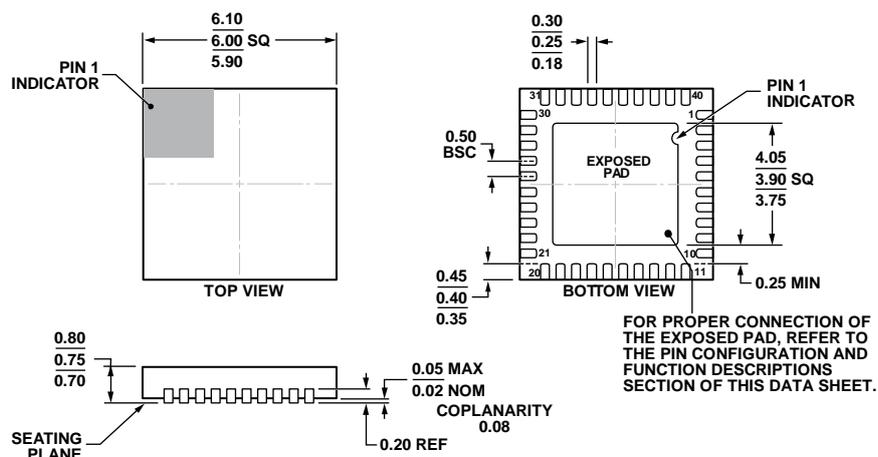
GAIN 1 から GAIN7 のゲイン（フル・スケール）レジスタは、24 ビット構造を持ち、GAIN0 レジスタと構造は同じです。これらのレジスタは、ADC やシステムのゲイン誤差を補正する事ができ、それらのレジスタ番号に従って、所定のセットアップに対して割り当てられます。

表 40. GAIN1 から GAIN7 までの一覧

Reg	Name	Bits	Bit[23:0]	Reset ¹	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]	0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]	0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]	0x5XXXX0	RW
0x3C	GAIN4	[23:0]	GAIN4[23:0]	0x5XXXX0	RW
0x3D	GAIN5	[23:0]	GAIN5[23:0]	0x5XXXX0	RW
0x3E	GAIN6	[23:0]	GAIN6[23:0]	0x5XXXX0	RW
0x3F	GAIN7	[23:0]	GAIN7[23:0]	0x5XXXX0	RW

¹ X の値は、使用される IC によって変動します。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD.

☒ 75.40-Lead Lead Frame Chip Scale Package [LFCSP_WQ]
 6 mm x 6 mm Body, Very Very Thin Quad
 (CP-40-14)
 Dimensions shown in millimeters

05-06-2011-A

オーダー・ガイド

モデル名 ¹	温度範囲	パッケージ	梱包オプション
AD7173-8BCPZ	-40°C~+105°C	40-Lead LFCSP_WQ	CP-40-14
AD7173-8BCPZ-RL	-40°C~+105°C	40-Lead LFCSP_WQ	CP-40-14
EVAL-AD7173-8SDZ		Evaluation Board	
EVAL-SDP-CB1Z		Evaluation Controller Board	

¹ Z = RoHS 準拠製品

ノート