



4 チャンネル、低ノイズ、低消費電力 24 ビット、シグマ・デルタ (Σ - Δ) ADC、PGA およびリファレンス内蔵

データシート

AD7124-4

特長

3 つの消費電力モード

RMS ノイズ

低消費電力: 24 nV rms @ 1.17 SPS、

ゲイン = 128 (255 μ A typ)

中消費電力: 20 nV rms @ 2.34 SPS、

ゲイン = 128 (355 μ A typ)

通常消費電力: 23 nV rms @ 9.4 SPS、

ゲイン = 128 (930 μ A typ)

すべての消費電力モードで最大 22 ノイズ・フリー・ビット
(ゲイン = 1)

出力データ・レート

通常消費電力: 9.38 SPS ~ 19,200 SPS

中消費電力: 2.34 SPS ~ 4800 SPS

低消費電力: 1.17 SPS ~ 2400 SPS

レール to レール・アナログ入力 (ゲイン > 1)

25 SPS (シングル・サイクル・セトリング) での

50 Hz / 60 Hz 同時除去

診断機能 (安全度水準 (SIL) 認定取得に有用)

クロスポイント・マルチプレクサ・アナログ入力

4 個の差動入力 / 7 個の疑似差動入力

プログラマブル・ゲイン (1 ~ 128)

バンド・ギャップ・リファレンス、

ドリフト 10 ppm/ $^{\circ}$ C (max) (70 μ A)

マッチングがとれたプログラマブル励起電流

内部クロック発振器

内蔵バイアス電圧発生器

ローサイド・パワー・スイッチ

汎用出力

複数のフィルタ・オプション

内部温度センサー

セルフノイズシステム・キャリブレーション

センサー・バーンアウト検出

自動チャンネル・シーケンサ

チャンネルごとに設定

電源: 2.7 V ~ 3.6 V および \pm 1.8 V

独立したインターフェース電源

パワーダウン電流: 5 μ A (max)

動作温度範囲: -40° C ~ $+125^{\circ}$ C

32 ピン LFCSP / 24 ピン TSSOP

3 線式または 4 線式シリアル・インターフェース

SPI、QSPI、MICROWIRE、DSP 互換

SCLK にシュミット・トリガー内蔵

ESD: 4 kV

アプリケーション

温度計測

圧力計測

工業用プロセス制御

計測器

スマート・トランスミッタ

機能ブロック図

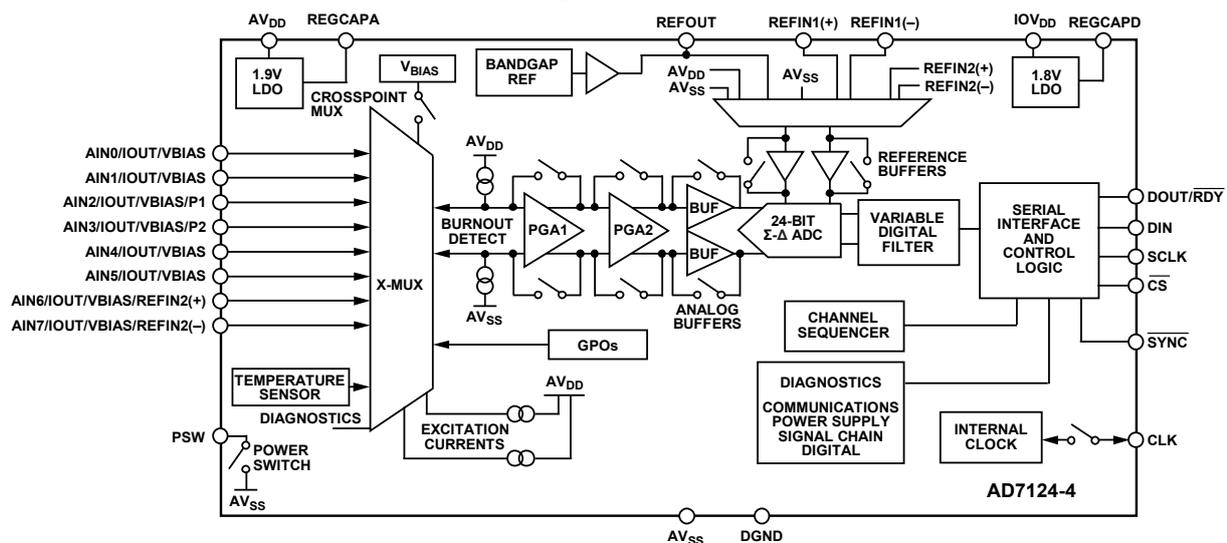


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. D

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

13197-001

目次

特長	1	キャリブレーション	53
アプリケーション	1	スパンとオフセットの限界値	54
機能ブロック図	1	システム同期	54
改訂履歴	3	デジタル・フィルタ	55
概要	5	Sinc ⁴ フィルタ	55
仕様	6	Sinc ³ フィルタ	57
タイミング特性	11	高速セトリング・モード (Sinc ⁴ + Sinc ¹ フィルタ)	59
絶対最大定格	14	高速セトリング・モード (SINC ³ + SINC ¹ フィルタ)	61
熱抵抗	14	ポスト・フィルタ	63
ESD に関する注意	14	フィルタ・オプション一覧	66
ピン配置およびピン機能の説明	15	診断機能	67
代表的な性能特性	18	シグナル・チェーンのチェック	67
用語の定義	27	リファレンス電圧の検出	67
RMS ノイズと分解能	28	キャリブレーション・エラー、変換エラー、飽和エラー	67
通常消費電力モード	28	過電圧/低電圧の検出	67
中消費電力モード	31	電源モニタ	68
低消費電力モード	34	LDO モニタリング	68
評価開始にあたって	37	MCLK カウンタ	68
概要	37	SPI SCLK カウンタ	68
電源	38	SPI 読み出し/書き込みエラー	69
デジタル通信	38	SPI_IGNORE エラー	69
構成概要	40	チェックサム保護	69
ADC 回路情報	45	メモリ・マップ・チェックサム保護	69
アナログ入力チャンネル	45	ROM チェックサム保護	70
ゲイン 1 使用時の外部インピーダンス	46	バーンアウト電流	71
プログラマブル・ゲイン・アレイ (PGA)	47	温度センサー	71
リファレンス	47	グラウンディングとレイアウト	72
バイポーラ/ユニポーラ構成	47	アプリケーション情報	73
データ出力コーディング	48	熱電対を使用した温度計測	73
励起電流	48	RTD を使用した温度計測	74
ブリッジ・パワーダウン・スイッチ	49	流量計	76
ロジック出力	49	内蔵レジスタ	78
バイアス電圧発生器	49	コミュニケーション・レジスタ	79
クロック	49	ステータス・レジスタ	79
消費電力モード	49	ADC_CONTROL レジスタ	80
スタンバイ・モードとパワーダウン・モード	49	データ・レジスタ	82
デジタル・インターフェース	50	IO_CONTROL_1 レジスタ	82
DATA_STATUS	52	IO_CONTROL_2 レジスタ	84
シリアル・インターフェース・リセット (DOUT_RDY_DEL および CS_EN ビット)	52	ID レジスタ	84
リセット	52	エラー・レジスタ	84

ERROR_EN レジスタ	85	オフセット・レジスタ	91
MCLK_COUNT レジスタ	87	ゲイン・レジスタ	91
チャンネル・レジスタ	87	外形寸法	92
設定レジスタ	89	オーダー・ガイド	93
フィルタ・レジスタ	90		

改訂履歴

6/2018—Rev. C to Rev. D

Changes to Features Section	1
Changes to General Description Section	5
Added Table 1; Renumbered Sequentially	5
Changes to Drift Parameter, External REFIN Voltage Parameter, and Note 12, Table 3	8
Changes to Table 7	16
Changes to Figure 13 and Figure 15	18
Changes to Figure 44, Figure 45, and Figure 46	23
Changes to Reference Section	37
Changes to Accessing the ADC Register Map Section and Reset Column, Table 39	39
Changes to External Impedance When Using a Gain of 1 Section	46
Changes to Reference Section	47
Changes to Standby and Power-Down Modes Section	49
Changes to Calibration Section	53
Change to Sinc ³ Output Data Rate and Settling Time Section	57
Change to Calibration, Conversion, and Saturation Errors Section	67
Changes to MCLK Counter Section	68
Changes to Memory Map Checksum Protection Section	69
Changes to Reset Column and Note 1, Table 64	78
Changes to Description Column, Table 68	81
Changes to ID Register Section	84
Changes to Description Column, Table 73	87
Changes to Description Column, Table 74	88
Changes to Configuration Registers Section	89
Updated Outline Dimensions	92
Changes to Ordering Guide	93

7/2016—Rev. B to Rev. C

Change to Features Section	1
Changes to Specifications Section and Table 2	5
Changes to Table 4	13
Change to Table 8	27
Changes to Table 9 and Table 10	28
Change to Table 25	32
Changes to Table 28	33
Change to Table 29	34
Changes to Accessing the ADC Register Map and Table 38	38
Changes to Diagnostics Section, Table 44, and Table 45	41
Added External Impedance When Using a Gain of 1 Section, Figure 74, Figure 75, and Figure 76; Renumbered Sequentially	45
Changes to Standby and Power-Down Modes Section	48

Changes to Single Conversion Mode Section	50
Changes to Continuous Read Mode Section	51
Changes to Sinc ⁴ Output Data Rate/Settling Time Section	54
Changes to Sinc ⁴ Zero Latency Section	55
Changes to Sinc ³ Output Data Rate and Settling Time Section	56
Changes to Sinc ³ Zero Latency Section	57
Change to Output Data Rate and Settling Time, Sinc ⁴ + Sinc ¹ Filter Section	59
Change to Output Data Rate and Settling Time, Sinc ³ + Sinc ¹ Filter Section	60
Changes to SPI_IGNORE Error Section	68
Added ROM Checksum Protection Section	69
Changes to Table 63	77
Changes to ID Register Section and Error Register Section	83
Changes to Table 70 and ERROR_EN Register Section	84
Changes to Table 71	85
Changes to Table 73	87

12/2015—Rev. A to Rev. B

Changed +105°C to +125°C	Throughout
Changes to Table 2	5
Added Endnote 4, Table 2; Renumbered Sequentially	10
Changes to Figure 17 Through Figure 22	18
Changes to Figure 23 Through Figure 26	19
Changes to Figure 30, Figure 33, and Figure 34	20
Changes to Figure 37 Through Figure 40	21
Changes to Figure 41 Through Figure 46	22
Changes to Figure 47 and Figure 48	23
Changes to Figure 64	25
Changes to Figure 126	69
Change to Table 17	30
Changes to Reference Section	36
Changes to Accessing the ADC Register Map Section and Table 38	38
Change to Table 63	76
Change to ID Register Section	82
Change to Table 73	85
Change to Table 73	86
Changes to the Ordering Guide	90

7/2015—Rev. 0 to Rev. A

Change to Data Sheet Title	1
Changes to Internal Reference Drift Parameter, Table 2	7
Changes to Figure 30	20
Change to Digital Outputs Section	37

Change to Single Conversion Mode Section	49
Changes to Calibration Section	51
Changes to Figure 83	53
Changes to Figure 91	56
Changes to Figure 99	58
Changes to Figure 105	60

Changes to Reference Detect Section and Figure 119	65
Change to Table 70	83
Changes to Table 71	84

5/2015—Revision 0: Initial Version

概要

AD7124-4 は、高精度計測アプリケーション向けの低消費電力、低ノイズの完全統合型アナログ・フロントエンドです。このデバイスは、低ノイズ、24 ビット $\Sigma\Delta$ 型の A/D コンバータ(ADC)を搭載しており、4 個の差動入力または 7 個のシングルエンド入力または疑似差動入力を使用するように構成できます。オンチップの低ゲイン段により、小さな振幅の信号を直接 ADC に入力できます。

3 つの内蔵消費電力モードから選択できることが、AD7124-4 の主な利点の 1 つです。消費電流、出力データ・レートの範囲、および RMS ノイズは、選択した消費電力モードでカスタマイズできます。また、このデバイスは、複数のフィルタ・オプションを備えているので、優れた柔軟性を発揮します。

AD7124-4 では、25 SPS (シングル・サイクル・セトリング) の出力データ・レートで動作しているときに 50 Hz と 60 Hz の同時除去が可能で、低い出力データ・レートでは 80 dB を超える除去比を達成できます。

AD7124-4 により、高度なシグナル・チェーン集積化を実現できます。このデバイスは、高精度、低ノイズ、低ドリフトの内部バンド・ギャップ・リファレンスを備えており、内蔵のバッファを使用した外部差動リファレンスにも対応しています。その他の主な内蔵機能として、プログラマブルの低ドリフト励起電流源、バーンアウト電流、チャンネルのコモンモード電圧を AV_{DD2} に設定するバイアス電圧発生器があります。ローサイド・パワー・スイッチにより、変換と変換の間にブリッジ・センサーへの電力供給を停止でき、システムの消費電力を最小限に抑えることができます。また、内部クロックまたは外部クロックでデバイスを動作させることが可能です。

内蔵チャンネル・シーケンサにより、複数のチャンネルを同時にイネーブルに設定できます。これにより、AD7124-4 は、イネーブルにされた各チャンネルで順番に変換を実行するので、デバイスとの通信がシンプルになります。アナログ入力のほかに、電源チェックやリファレンス・チェックなどの診断用に定義され

た最大 16 個のチャンネルを同時にイネーブルに設定できます。この独自の機能により、診断機能と AD 変換をインターリーブすることができます。AD7124-4 は、チャンネルごとの設定もサポートしています。このデバイスでは、8 つの設定またはセットアップが可能です。各設定は、ゲイン、フィルタ・タイプ、出力データ・レート、バッファリング、リファレンス電源で構成されます。これらのセットアップをチャンネルごとに割り当てることができます。

AD7124-4 には、充実した機能セットの一部として広範な診断機能も備えています。これらの診断機能には、巡回冗長性チェック(CRC)、シグナル・チェーン・チェック、シリアル・インターフェース・チェックが含まれ、より信頼性の高いソリューションになっています。これらの診断機能により、診断用の外付け部品数を削減でき、必要なボード・スペース、設計時間、およびコストを節約できます。IEC 61508 に従って実施した、代表的なアプリケーションの故障モードの影響と診断解析(FMEDA)において、安全側故障割合(SFF)は 90% を超える値を示しました。

このデバイスは、2.7 V ~ 3.6 V のアナログ単電源または 1.8 V の両電源で動作します。デジタル電源の範囲は 1.65 V ~ 3.6 V です。仕様温度範囲は -40 °C ~ +125 °C です。AD7124-4 には、32 ピン LFCSP パッケージと 24 ピン TSSOP パッケージが採用されています。

このデータシートでは、 $\overline{DOUT/RDY}$ などの複数の機能を備えたピンをすべてのピン名で表記しますが、特定の機能のみが該当するような説明箇所では \overline{RDY} のようにピンの 1 つの機能で表記しています。

AD7124-4 B グレードは、動作および性能に関して AD7124-4 といくつか異なる点があります。表 1 に相違点を示します。特に指定のない限り、AD7124-4 という表記はすべてこのデバイスを指すものであり、B グレードを指すものではありません。

表 1. AD7124-4 と AD7124-4 B グレードの相違点

パラメータ	AD7124-4	AD7124-4 B グレード
LFCSP パッケージの高さ	0.75 mm	0.95 mm
内部リファレンスのドリフト	15 ppm/°C	10 ppm/°C
スタンバイ・モードでの励起電流	ディスエーブル	イネーブルの場合は、アクティブ状態を維持
ゲイン 1、高インピーダンス負荷	チャンネル切り替え時のセトリング・タイムに影響する	チャンネル切り替え時のセトリング・タイムに影響しない

表 2. AD7124-4 の概要

Parameter	Low Power Mode	Mid Power Mode	Full Power Mode
Maximum Output Data Rate	2400 SPS	4800 SPS	19,200 SPS
RMS Noise (Gain = 128)	24 nV	20 nV	23 nV
Peak-to-Peak Resolution at 1200 SPS (Gain = 1)	16.4 bits	17.1 bits	18 bits
Typical Current (ADC + PGA)	255 μ A	355 μ A	930 μ A

仕様

$AV_{DD} = 2.9\text{ V} \sim 3.6\text{ V}$ (通常消費電力モード)、 $2.7\text{ V} \sim 3.6\text{ V}$ (中消費電力および低消費電力モード)、 $IOV_{DD} = 1.65\text{ V} \sim 3.6\text{ V}$ 、 $AV_{SS} = DGND = 0\text{ V}$ 、 $REFINx (+) = 2.5\text{ V}$ 、 $REFINx (-) = AV_{SS}$ 、マスター・クロック = 614.4 kHz。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ です。

表 3.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
ADC					
Output Data Rate, f_{ADC}					
Low Power Mode	1.17		2400	SPS	
Mid Power Mode	2.34		4800	SPS	
Full Power Mode	9.38		19,200	SPS	
No Missing Codes ²	24			Bits	$FS^3 > 2$, sinc ⁴ filter
	24			Bits	$FS^3 > 8$, sinc ³ filter
Resolution					See the RMS Noise and Resolution section
RMS Noise and Update Rates					See the RMS Noise and Resolution section
Integral Nonlinearity (INL)	-4	±1	+4	ppm of FSR	Gain = 1 ²
	-15	±2	+15	ppm of FSR	Gain > 1 ⁴
Offset Error ⁵					
Before Calibration		±15		μV	Gain = 1 to 8
After Internal Calibration/System Calibration		200/gain		μV	Gain = 16 to 128
In order of noise					
Offset Error Drift vs. Temperature ⁶					
Low Power Mode		10		nV/°C	Gain = 1 or gain > 16
		80		nV/°C	Gain = 2 to 8
		40		nV/°C	Gain = 16
Mid Power Mode		10		nV/°C	Gain = 1 or gain > 16
		40		nV/°C	Gain = 2 to 8
		20		nV/°C	Gain = 16
Full Power Mode		10		nV/°C	
Gain Error ^{5,7}					
Before Internal Calibration	-0.0025		+0.0025	%	Gain = 1, $T_A = 25^\circ\text{C}$
After Internal Calibration	-0.016	-0.3	+0.016	%	Gain > 1
After System Calibration		±0.025		%	Gain = 2 to 8, $T_A = 25^\circ\text{C}$
In order of noise					Gain = 16 to 128
Gain Error Drift vs. Temperature		1	2	ppm/°C	
Power Supply Rejection					$A_{IN} = 1\text{ V/gain}$, external reference
Low Power Mode	87			dB	Gain = 2 to 16
	96			dB	Gain = 1 or gain > 16
Mid Power Mode ²	92			dB	Gain = 2 to 16
	100			dB	Gain = 1 or gain > 16
Full Power Mode	99			dB	
Common-Mode Rejection ⁸					
At DC ²	85	90		dB	$A_{IN} = 1\text{ V}$, gain = 1
	105	115		dB	$A_{IN} = 1\text{ V/gain}$, gain 2 or 4
	102 ^{9,2}			dB	$A_{IN} = 1\text{ V/gain}$, gain 2 or 4
	115	120		dB	$A_{IN} = 1\text{ V/gain}$, gain ≥ 8
	105 ^{9,2}			dB	$A_{IN} = 1\text{ V/gain}$, gain ≥ 8
Sinc ³ , Sinc ⁴ Filter ²					
At 50 Hz, 60 Hz	120			dB	10 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
At 50 Hz	120			dB	50 SPS, 50 Hz ± 1 Hz
At 60 Hz	120			dB	60 SPS, 60 Hz ± 1 Hz

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
Fast Settling Filters ²					
At 50 Hz	115			dB	First notch at 50 Hz, 50 Hz ± 1 Hz
At 60 Hz	115			dB	First notch at 60 Hz, 60 Hz ± 1 Hz
Post Filters ²					
At 50 Hz, 60 Hz	130			dB	20 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	130			dB	25 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
Normal Mode Rejection ²					
Sinc ⁴ Filter					
External Clock					
At 50 Hz, 60 Hz	120			dB	10 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	80			dB	50 SPS, REJ60 ¹⁰ =1, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
At 50 Hz	120			dB	50 SPS, 50 Hz ± 1 Hz
At 60 Hz	120			dB	60 SPS, 60 Hz ± 1 Hz
Internal Clock					
At 50 Hz, 60 Hz	98			dB	10 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	66			dB	50 SPS, REJ60 ¹⁰ = 1, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
At 50 Hz	92			dB	50 SPS, 50 Hz ± 1 Hz
At 60 Hz	92			dB	60 SPS, 60 Hz ± 1 Hz
Sinc ³ Filter					
External Clock					
At 50 Hz, 60 Hz	100			dB	10 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	65			dB	50 SPS, REJ60 ¹⁰ = 1, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
At 50 Hz	100			dB	50 SPS, 50 Hz ± 1 Hz
At 60 Hz	100			dB	60 SPS, 60 Hz ± 1 Hz
Internal Clock					
At 50 Hz, 60 Hz	73			dB	10 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	52			dB	50 SPS, REJ60 ¹⁰ = 1, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
At 50 Hz	68			dB	50 SPS, 50 Hz ± 1 Hz
At 60 Hz	68			dB	60 SPS, 60 Hz ± 1 Hz
Fast Settling Filters					
External Clock					
At 50 Hz	40			dB	First notch at 50 Hz, 50 Hz ± 0.5 Hz
At 60 Hz	40			dB	First notch at 60 Hz, 60 Hz ± 0.5 Hz
Internal Clock					
At 50 Hz	24.5			dB	First notch at 50 Hz, 50 Hz ± 0.5 Hz
At 60 Hz	24.5			dB	First notch at 60 Hz, 60 Hz ± 0.5 Hz
Post Filters					
External Clock					
At 50 Hz, 60 Hz	86			dB	20 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	62			dB	25 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
Internal Clock					
At 50 Hz, 60 Hz	67			dB	20 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	50			dB	25 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
ANALOG INPUTS¹¹					
Differential Input Voltage Ranges ¹²		±V _{REF} /gain		V	V _{REF} = REFINx(+) - REFINx(-), or internal reference
Absolute A _{IN} Voltage Limits ²					
Gain = 1 (Unbuffered)	AV _{SS} - 0.05		AV _{DD} + 0.05	V	
Gain = 1 (Buffered)	AV _{SS} + 0.1		AV _{DD} - 0.1	V	
Gain > 1	AV _{SS} - 0.05		AV _{DD} + 0.05	V	

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
Analog Input Current					
Gain > 1 or Gain = 1 (Buffered)					
Low Power Mode					
Absolute Input Current		±1		nA	
Differential Input Current		±0.2		nA	
Analog Input Current Drift		25		pA/°C	
Mid Power Mode					
Absolute Input Current		±1.2		nA	
Differential Input Current		±0.4		nA	
Analog Input Current Drift		25		pA/°C	
Full Power Mode					
Absolute Input Current		±3.3		nA	
Differential Input Current		±1.5		nA	
Analog Input Current Drift		25		pA/°C	
Gain = 1 (Unbuffered)					
Absolute Input Current		±2.65		μA/V	Current varies with input voltage
Analog Input Current Drift		1.1		nA/V/°C	
REFERENCE INPUT					
Internal Reference					
Initial Accuracy	2.5 - 0.2%	2.5	2.5 + 0.2%	V	T _A = 25°C
Drift		2	10	ppm/°C	TSSOP
AD7124-4		2	15	ppm/°C	LFCSP
AD7124-4 B Grade		2	10	ppm/°C	LFCSP
Output Current			10	mA	
Load Regulation		50		μV/mA	
Power Supply Rejection		85		dB	
External Reference					
External REF _{IN} Voltage ²	0.5	2.5	A _{V_{DD}}	V	REF _{IN} = REF _{INx} (+) - REF _{INx} (-)
Absolute REF _{IN} Voltage Limits ²	A _{V_{SS}} - 0.05		A _{V_{DD}} + 0.05	V	Unbuffered
	A _{V_{SS}} + 0.1		A _{V_{DD}} - 0.1	V	Buffered
Reference Input Current					
Buffered					
Low Power Mode					
Absolute Input Current		±0.5		nA	
Reference Input Current Drift		10		pA/°C	
Mid Power Mode					
Absolute Input Current		±1		nA	
Reference Input Current Drift		10		pA/°C	
Full Power Mode					
Absolute Input Current		±3		nA	
Reference Input Current Drift		10		pA/°C	
Unbuffered					
Absolute Input Current		±12		μA	
Reference Input Current Drift		6		nA/°C	
Normal Mode Rejection					Same as for analog inputs
Common-Mode Rejection		100		dB	

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
EXCITATION CURRENT SOURCES (IOUT0/IOUT1)					
Output Current		50/100/250/ 500/750/1000		μA	Available on any analog input pin
Initial Tolerance		±4		%	T _A = 25°C
Drift		50		ppm/°C	
Current Matching		±0.5		%	Matching between IOUT0 and IOUT1, V _{OUT} = 0 V
Drift Matching ²		5	30	ppm/°C	
Line Regulation (AV _{DD})		2		%/V	AV _{DD} = 3 V ± 5%
Load Regulation		0.2		%/V	
Output Compliance ²	AV _{SS} - 0.05		AV _{DD} - 0.37	V	50 μA/100 μA/250 μA/500 μA current sources, 2% accuracy
	AV _{SS} - 0.05		AV _{DD} - 0.48	V	750 μA and 1000 μA current sources, 2% accuracy
BIAS VOLTAGE (V_{BIAS}) GENERATOR					
V _{BIAS}		AV _{SS} + (AV _{DD} - AV _{SS})/2		V	Available on any analog input pin
V _{BIAS} Generator Start-Up Time		6.7		μs/nF	Dependent on the capacitance connected to AINx
TEMPERATURE SENSOR					
Accuracy		±0.5		°C	
Sensitivity		13,584		Codes/°C	
LOW-SIDE POWER SWITCH					
On Resistance (R _{ON})		7	10	Ω	
Allowable Current ²			30	mA	Continuous current
BURNOUT CURRENTS					
A _{IN} Current		0.5/2/4		μA	Analog inputs must be buffered
DIGITAL OUTPUTS (P1 AND P2)					
Output Voltage					
High, V _{OH}	AV _{DD} - 0.6			V	I _{SOURCE} = 100 μA
Low, V _{OL}			0.4	V	I _{SINK} = 100 μA
DIAGNOSTICS					
Power Supply Monitor Detect Level					
Analog Low Dropout Regulator (ALDO)			1.6	V	AV _{DD} - AV _{SS} ≥ 2.7 V
Digital LDO (DLDO)			1.55	V	IOV _{DD} ≥ 1.75 V
Reference Detect Level	0.7		1	V	REF_DET_ERR bit active if V _{REF} < 0.7 V
AINM/AINP Overvoltage Detect Level	AV _{DD} + 0.04			V	
AINM/AINP Undervoltage Detect Level			AV _{SS} - 0.04	V	
INTERNAL/EXTERNAL CLOCK					
Internal Clock					
Frequency	614.4 - 5%	614.4	614.4 + 5%	kHz	
Duty Cycle		50:50		%	
External Clock					
Frequency		2.4576		MHz	Internal divide by 4
Duty Cycle Range		45:55 to 55:45		%	
LOGIC INPUTS²					
Input Voltage					
Low, V _{INL}			0.3 × IOV _{DD}	V	1.65 V ≤ IOV _{DD} < 1.9 V
			0.35 × IOV _{DD}	V	1.9 V ≤ IOV _{DD} < 2.3 V
			0.7	V	2.3 V ≤ IOV _{DD} ≤ 3.6 V
High, V _{INH}	0.7 × IOV _{DD}			V	1.65 V ≤ IOV _{DD} < 1.9 V
	0.65 × IOV _{DD}			V	1.9 V ≤ IOV _{DD} < 2.3 V
	1.7			V	2.3 V ≤ IOV _{DD} < 2.7 V
	2			V	2.7 V ≤ IOV _{DD} ≤ 3.6 V
Hysteresis	0.2		0.6	V	1.65 V ≤ IOV _{DD} ≤ 3.6 V
Input Currents	-1		+1	μA	V _{IN} = IOV _{DD} or GND
Input Capacitance		10		pF	All digital inputs

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC OUTPUTS (INCLUDING CLK)					
Output Voltage ²					
High, V_{OH}	$IOV_{DD} - 0.35$			V	$I_{SOURCE} = 100 \mu A$
Low, V_{OL}			0.4	V	$I_{SINK} = 100 \mu A$
Floating State Leakage Current	-1		+1	μA	
Floating State Output Capacitance		10		pF	
Data Output Coding		Offset binary			
SYSTEM CALIBRATION²					
Calibration Limit					
Full Scale (FS)			$1.05 \times FS$	V	
Zero Scale	$-1.05 \times FS$			V	
Input Span	$0.8 \times FS$		$2.1 \times FS$	V	
POWER SUPPLY VOLTAGES FOR ALL POWER MODES					
AV_{DD} to AV_{SS}					
Low Power Mode	2.7		3.6	V	
Mid Power Mode	2.7		3.6	V	
Full Power Mode	2.9		3.6	V	
IOV_{DD} to GND	1.65		3.6	V	
AV_{SS} to GND	-1.8		0	V	
IOV_{DD} to AV_{SS}			5.4	V	
POWER SUPPLY CURRENTS^{11, 13}					
I_{AVDD} , External Reference					
Low Power Mode					
Gain = 1^2		125	140	μA	All buffers off
Gain = 1 I_{AVDD} Increase per AINx Buffer ²		15	25	μA	
Gain = 2 to 8		205	250	μA	
Gain = 16 to 128		235	300	μA	
I_{AVDD} Increase per Reference Buffer ²		10	20	μA	All gains
Mid Power Mode					
Gain = 1^2		150	170	μA	All buffers off
Gain = 1 I_{AVDD} Increase per AINx Buffer ²		30	40	μA	
Gain = 2 to 8		275	345	μA	
Gain = 16 to 128		330	430	μA	
I_{AVDD} Increase per Reference Buffer ²		20	30	μA	All gains
Full Power Mode					
Gain = 1^2		315	350	μA	All buffers off
Gain = 1 I_{AVDD} Increase per AINx Buffer ²		90	135	μA	
Gain = 2 to 8		660	830	μA	
Gain = 16 to 128		875	1200	μA	
I_{AVDD} Increase per Reference Buffer ²		85	120	μA	All gains
I_{AVDD} Increase					
Due to Internal Reference ²					
		50	70	μA	Independent of power mode; the reference buffers are not required when using this reference
Due to V_{BIAS}^2					
		15	20	μA	Independent of power mode
Due to Diagnostics ²					
		4	5	μA	
I_{IOVDD}					
Low Power Mode		20	35	μA	
Mid Power Mode		25	40	μA	
Full Power Mode		55	80	μA	

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
POWER-DOWN CURRENTS ¹³					Independent of power mode
Standby Current					
I _{AVDD}		7	15	μA	LDOs on only
I _{IOVDD}		8	20	μA	
Power-Down Current					
I _{AVDD}		1	3	μA	
I _{IOVDD}		1	2	μA	

¹ 温度範囲 = -40 °C ~ +125 °C

² これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データにより保証しています。

³ FS は、フィルタ・レジスタの FS [10:0] ビットに等価な 10 進値です。

⁴ 積分非直線性については、フル・パワー・モードでのみ出荷テストを行っています。他のモードでは、この仕様は量産開始時の特性評価データにより保証されています。

⁵ システムまたは内蔵のゼロスケール・キャリブレーションを実行した後、オフセット誤差は、プログラムされたゲインおよび選択した出力データ・レートのノイズ・レベルとほぼ同等になります。システム・フルスケール・キャリブレーションにより、ゲイン誤差は、プログラムされたゲインおよび出力データ・レートのノイズ・レベルまで低減します。

⁶ 任意の温度で再度キャリブレーションを実行すると、これらの誤差が排除されます。

⁷ ゲイン誤差は、正および負のフルスケールに適用されます。出荷時のキャリブレーションは、ゲイン = 1、T_A = 25°C で実施されます。

⁸ ゲイン > 1 の場合、コモンモード電圧は (AV_{SS} + 0.1 + 0.5 / ゲイン) ~ (AV_{DD} - 0.1 - 0.5 / ゲイン) です。

⁹ 仕様は、(AV_{SS} - 0.05 + 0.5 / ゲイン) ~ (AV_{DD} - 0.1 - 0.5 / ゲイン) のより広いコモン・モード電圧に対応しています。

¹⁰ REJ60 は、フィルタ・レジスタのビットです。Sinc フィルタの最初のノッチが 50 Hz である場合、REJ60 を 1 に設定すると、ノッチが 60 Hz に配置されます。これにより、50 Hz と 60 Hz を同時に除去できます。

¹¹ ゲインが 1 よりも大きい場合、アナログ入力バッファは自動的にイネーブルになります。ゲインが 1 の場合のみ、バッファをディスエーブルにできます。

¹² V_{REF} = (AV_{DD} - AV_{SS}) の場合、差動入力 (typ) は、ゲインが 1 より大きいとき、低消費電力モードと中消費電力モードでは 0.92 × V_{REF} / ゲイン、通常消費電力モードでは 0.86 × V_{REF} / ゲインになります。

¹³ 励起電流およびバイアス電圧発生器がディスエーブルになっている場合、デジタル入力は IOV_{DD} または DGND と等しくなります。

タイミング特性

特に指定のない限り、AV_{DD} = 2.9 V ~ 3.6 V (通常消費電力モード)、2.7 V ~ 3.6 V (中消費電力および低消費電力モード)、IOV_{DD} = 1.65 V ~ 3.6 V、AV_{SS} = DGND = 0 V、入力ロジック 0 = 0 V、入力ロジック 1 = IOV_{DD} です。

表 4.

Parameter ^{1, 2}	Min	Typ	Max	Unit	Test Conditions/Comments
t ₃	100			ns	SCLK high pulse width
t ₄	100			ns	SCLK low pulse width
t ₁₂					Delay between consecutive read/write operations
	3/MCLK ³			ns	Full power mode
	12/MCLK			ns	Mid power mode
	24/MCLK			ns	Low power mode
t ₁₃				μs	DOUT/RDY high time if DOUT/RDY is low and the next conversion is available
		6		μs	Full power mode
		25		μs	Mid power mode
		50		μs	Low power mode
t ₁₄					SYNC low pulse width
	3/MCLK			ns	Full power mode
	12/MCLK			ns	Mid power mode
	24/MCLK			ns	Low power mode
READ OPERATION					
t ₁	0		80	ns	CS falling edge to DOUT/RDY active time
t ₂ ⁴	0		80	ns	SCLK active edge ⁵ to data valid delay
t ₅ ^{6, 7}	10		80	ns	Bus relinquish time after CS inactive edge
t ₆	0			ns	SCLK inactive edge to CS inactive edge
t ₇ ⁸		10		ns	SCLK inactive edge to DOUT/RDY high
		110		ns	The DOUT_RDY_DEL bit is cleared, the CS_EN bit is cleared
				ns	The DOUT_RDY_DEL bit is set, the CS_EN bit is cleared
t _{7A} ⁷	t ₅			ns	Data valid after CS inactive edge, the CS_EN bit is set

Parameter ^{1, 2}	Min	Typ	Max	Unit	Test Conditions/Comments
WRITE OPERATION					
t_8	0			ns	\overline{CS} falling edge to SCLK active edge ⁵ setup time
t_9	30			ns	Data valid to SCLK edge setup time
t_{10}	25			ns	Data valid to SCLK edge hold time
t_{11}	0			ns	\overline{CS} rising edge to SCLK edge hold time

¹ これらの仕様は、初期リリース時にサンプル・テストを実施し、適合性が保証されています。すべての入力信号は $t_R = t_F = 5 \text{ ns}$ (IOV_{DD} の 10% ~ 90%) で仕様規定し、 $IOV_{DD}/2$ の電圧レベルで時間を測定しています。

² 図 3、図 4、図 5、および図 6 を参照してください。

³ MCLK はマスター・クロック周波数です。

⁴ これらの仕様は、図 2 に示す負荷回路で測定し、出力が V_{OL} または V_{OH} の限界値を超えるまでに必要な時間として定義されています。

⁵ SCLK のアクティブ・エッジとは、SCLK の立ち下がりエッジを意味します。

⁶ これらの仕様は、図 2 に示す負荷回路でデータ出力が 0.5 V 変化するのにかかる時間（測定値）から導出しています。この測定値に外挿を行い、25 PF コンデンサの充放電の影響を除去しているため、タイミング特性に記載された時間は、デバイスの真のバス放棄時間であり、外部バスの負荷容量とは無関係です。

⁷ ADC を読み出した後、 \overline{RDY} はハイ・レベルに戻ります。シングル変換モードおよび連続変換モードで、 \overline{RDY} がハイ・レベルになっている間、必要に応じて同じデータを再度読み出すことができますが、後続の読出しは次の出力更新の近傍で実行してはいけません。連続読出しモードでは、デジタル・ワードは 1 度のみ読み出すことができます。

⁸ $\overline{CS_EN}$ ビットがクリアされると、SCLK の最後の非アクティブ・エッジの後、 $\overline{DOUT/RDY}$ ピンが \overline{DOUT} 機能から \overline{RDY} 機能に変わります。 $\overline{CS_EN}$ がセットされると、 \overline{DOUT} ピンは \overline{CS} 非アクティブ・エッジまでデータの LSB を継続的に出力します。

タイミング図

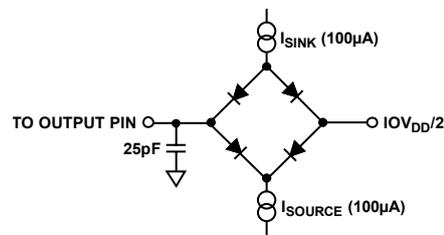


図 2. タイミング特性評価用の負荷回路

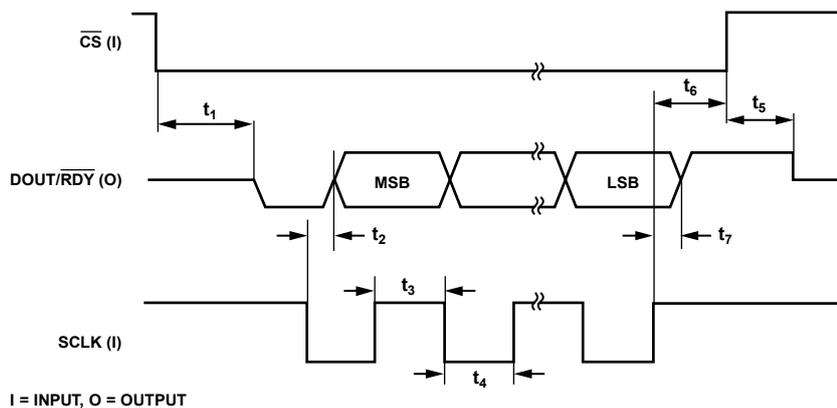
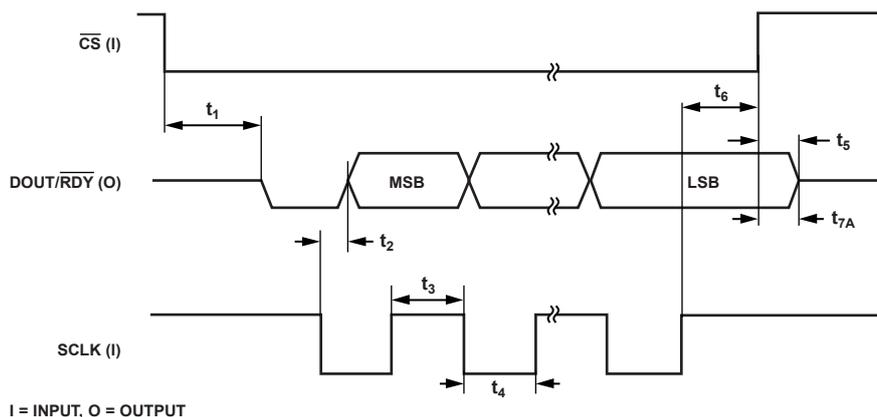
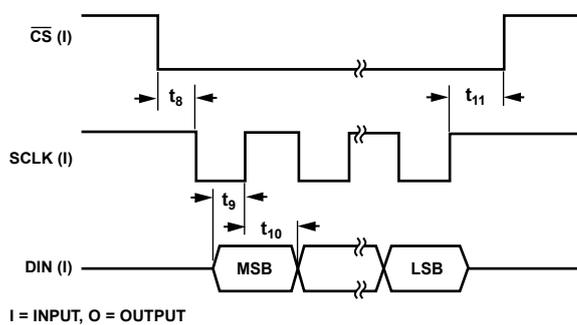


図 3. 読出しサイクルのタイミング図 ($\overline{CS_EN}$ ビットはクリア)



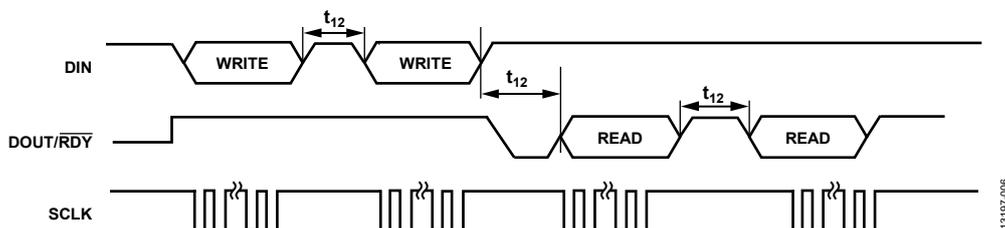
13197-004

図 4. 読み出しサイクルのタイミング図($\overline{CS_EN}$ ビットはセット)



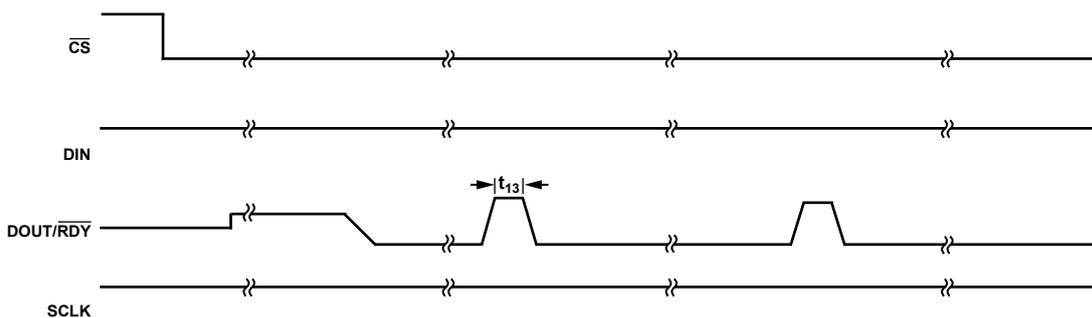
13197-005

図 5. 書き込みサイクルのタイミング図



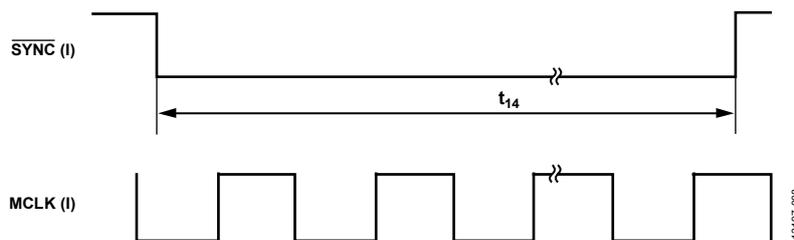
13197-006

図 6. 連続するシリアル動作間の遅延



13197-007

図 7. 初期に $\overline{DOUT/RDY}$ がロー・レベルで、次の変換が可能な場合に $\overline{DOUT/RDY}$ がハイ・レベルとなる時間



13197-008

図 8. SYNC パルス幅

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
AV_{DD} to AV_{SS}	-0.3 V to +3.96 V
IOV_{DD} to DGND	-0.3 V to +3.96 V
IOV_{DD} to AV_{SS}	-0.3 V to +5.94 V
AV_{SS} to DGND	-1.98 V to +0.3 V
Analog Input Voltage to AV_{SS}	-0.3 V to $AV_{DD} + 0.3$ V
Reference Input Voltage to AV_{SS}	-0.3 V to $AV_{DD} + 0.3$ V
Digital Input Voltage to DGND	-0.3 V to $IOV_{DD} + 0.3$ V
Digital Output Voltage to DGND	-0.3 V to $IOV_{DD} + 0.3$ V
AIn_x /Digital Input Current	10 mA
Operating Temperature Range	-40°C to $+125^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Maximum Junction Temperature	150°C
Lead Temperature, Soldering	
Reflow	260°C
ESD Ratings	
Human Body Model (HBM)	4 kV
Field-Induced Charged Device Model (FICDM)	1250 V
Machine Model	400 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間にわたり、デバイスを絶対最大定格を超える状態に置くと、デバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は最悪の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 6. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
32-Lead LFCSP	32.5	32.71	$^\circ\text{C}/\text{W}$
24-Lead TSSOP	128	42	$^\circ\text{C}/\text{W}$

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

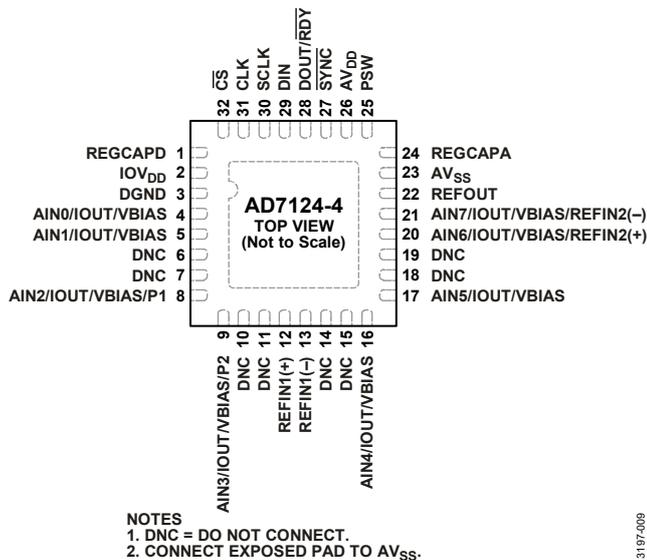


図9. 32 ピンLFCSP ピン配置

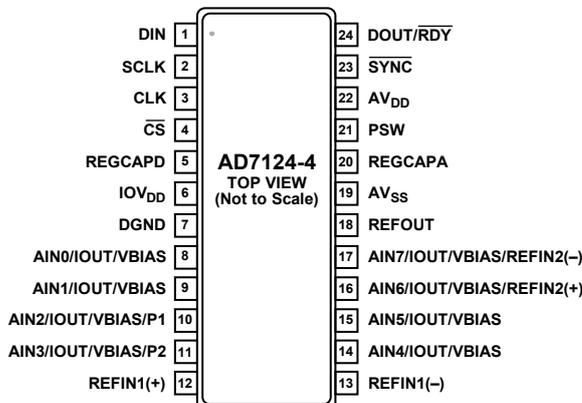


図10. 24 ピンTSSOP ピン配置

表 7. ピン機能の説明

ピン番号		記号	説明
LFCSP	TSSOP		
1	5	REGCAPD	デジタル LDO レギュレータ出力:0.1 μF のコンデンサを使用して、このピンを DGND ヘッドカップリングします。
2	6	IOV _{DD}	シリアル・インターフェース電源電圧は、1.65 V ~ 3.6 V です。IOV _{DD} は AV _{DD} から独立しています。そのため、例えば、AV _{DD} が3.6 V の場合、シリアル・インターフェースは1.65 V で動作できます。
3	7	DGND	デジタル・グラウンド基準ポイント。
4	8	AIN0/IOUT/VBIAS	アナログ入力0/内部励起電流源の出力/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう設定レジスタで構成します。あるいは、このピンを内部プログラマブル励起電流源に設定できます。IOUT0 または IOUT1 をこの出力に切り替えることができます。アナログ電源レールの中間バイアス電圧をこのピンで出力できます。
5	9	AIN1/IOUT/VBIAS	アナログ入力1/内部励起電流源の出力/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう設定レジスタで構成します。あるいは、このピンを内部プログラマブル励起電流源に設定できます。IOUT0 または IOUT1 をこの出力に切り替えることができます。アナログ電源レールの中間バイアス電圧をこのピンで出力できます。
6, 7, 10, 11, 14, 15, 18, 19	N/A ¹	DNC	接続なし。これらのピンには接続しないでください。
8	10	AIN2/IOUT/VBIAS/P1	アナログ入力2/内部励起電流源の出力/バイアス電圧/汎用出力1。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう設定レジスタで構成します。あるいは、このピンを内部プログラマブル励起電流源に設定できます。IOUT0 または IOUT1 をこの出力に切り替えることができます。アナログ電源レールの中間バイアス電圧をこのピンで出力できます。このピンは、AV _{SS} と AV _{DD} の間を基準にした汎用出力ビットとして設定することもできます。
9	11	AIN3/IOUT/VBIAS/P2	アナログ入力3/内部励起電流源の出力/バイアス電圧/汎用出力2。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう設定レジスタで構成します。あるいは、このピンを内部プログラマブル励起電流源に設定できます。IOUT0 または IOUT1 をこの出力に切り替えることができます。アナログ電源レールの中間バイアス電圧をこのピンで出力できます。このピンは、AV _{SS} と AV _{DD} の間を基準にした汎用出力ビットとして設定することもできます。

ピン番号		記号	説明
LFCSP	TSSOP		
12	12	REFIN1(+)	正のリファレンス入力です。REFIN1 (+) と REFIN1 (-) の間に外部リファレンスを適用できます。REFIN (+) の入力範囲は $AV_{DD} \sim AV_{SS} + 0.5 V$ です。公称リファレンス電圧(REFIN1 (+) - REFIN1 (-)) は 2.5 V ですが、デバイスは $0.5 V \sim AV_{DD}$ の範囲で動作します。
13	13	REFIN1(-)	負のリファレンス入力。このリファレンス入力の範囲は $AV_{SS} \sim AV_{DD} - 0.5 V$ です。
16	14	AIN4/IOUT/VBIAS	アナログ入力4/内部励起電流源の出力/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう設定レジスタで構成します。あるいは、このピンを内部プログラマブル励起電流源に設定できます。IOUT0 または IOUT1 をこの出力に切り替えることができます。アナログ電源レールの中間バイアス電圧をこのピンで出力できます。
17	15	AIN5/IOUT/VBIAS	アナログ入力5/内部励起電流源の出力/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう設定レジスタで構成します。あるいは、このピンを内部プログラマブル励起電流源に設定できます。IOUT0 または IOUT1 をこの出力に切り替えることができます。アナログ電源レールの中間バイアス電圧をこのピンで出力できます。
20	16	AIN6/IOUT/VBIAS/ REFIN2(+)	アナログ入力6/内部励起電流源の出力/バイアス電圧/正のリファレンス入力。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう設定レジスタで構成します。あるいは、このピンを内部プログラマブル励起電流源に設定できます。IOUT0 または IOUT1 をこの出力に切り替えることができます。アナログ電源レールの中間バイアス電圧をこのピンで出力できます。このピンは、REFIN2 (±) の正のリファレンス入力としても機能します。REFIN2 (+) の入力範囲は $AV_{DD} \sim AV_{SS} + 0.5 V$ です。公称リファレンス電圧(REFIN2 (+) ~ REFIN2 (-)) は 2.5 V ですが、デバイスは $0.5 V \sim AV_{DD}$ のリファレンス電圧で動作します。
21	17	AIN7/IOUT/VBIAS/ REFIN2(-)	アナログ入力7/内部励起電流源の出力/バイアス電圧/負のリファレンス入力。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう設定レジスタで構成します。あるいは、このピンを内部プログラマブル励起電流源に設定できます。IOUT0 または IOUT1 をこの出力に切り替えることができます。アナログ電源レールの中間バイアス電圧をこのピンで出力できます。このピンは、REFIN2 (±) の負のリファレンス入力としても機能します。このリファレンス入力の範囲は $AV_{SS} \sim AV_{DD} - 0.5 V$ です。
22	18	REFOUT	内部リファレンス出力。このピンでは、内部 2.5 V 電圧リファレンスのバッファ付き出力を使用できます。
23	19	AV _{SS}	アナログ電源電圧。AV _{DD} の電圧は、AV _{SS} を基準としています。AV _{DD} と AV _{SS} の間の差動電圧は、中消費電力モードおよび低消費電力モードで 2.7 V ~ 3.6 V、通常消費電力モードで 2.9 V ~ 3.6 V にする必要があります。AV _{SS} を 0 V よりも低くして、AD7124-4 に両電源を提供できます。例えば、AV _{SS} を -1.8 V に接続し、AV _{DD} を +1.8 V に接続すれば、ADC に ±1.8V を供給できます。
24	20	REGCAPA	アナログ LDO レギュレータ出力です。0.1 μF のコンデンサを使用して、このピンを AV _{SS} ヘドカップリングします。
25	21	PSW	AV _{SS} へのローサイド・パワー・スイッチです。
26	22	AV _{DD}	AV _{SS} を基準としたアナログ電源電圧です。
27	23	SYNC	同期入力:このピンは、複数のAD7124-4 デバイスを使用する場合にデジタル・フィルタとアナログ変調器の同期を可能にするロジック入力です。SYNCがロー・レベルの場合、デジタル・フィルタ、フィルタ・コントロール・ロジック、およびキャリブレーション・コントロール・ロジックがリセットされ、アナログ変調器がリセット状態に保たれます。SYNCは、デジタル・インターフェースに影響を与えませんが、RDYがロー・レベルの場合はハイ・レベルにリセットされます。
28	24	DOUT/RDY	シリアル・データ出力/データ・レディ出力。DOUT/RDYは、ADC の出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵のデータ・レジスタまたはコントロール・レジスタからのデータを格納できます。さらに、DOUT/RDYはデータ・レディ・ピンとして機能し、ロー・レベルへ移行することで変換の完了を示します。変換後にデータが読み出されなかった場合、このピンは次のデータ更新の直前にハイ・レベルになり、次の更新が完了するまでハイ・レベルを維持します。DOUT/RDYの立ち下がりエッジは、プロセッサに対する割込みとして使用され、有効なデータが存在することを示します。外部シリアル・クロックを使用する場合は、DOUT/RDYピンを使用してデータを読み出すことができます。CSがロー・レベルのとき、データ/コントロール・ワードの情報がSCLKの立ち下がりエッジでDOUT/RDYピンに出力され、SCLKの立ち上がりエッジで有効になります。

ピン番号		記号	説明
LFCSP	TSSOP		
29	1	DIN	ADCの入力シフト・レジスタに対するシリアル・データ入力です。入力シフト・レジスタ内のデータは、適切なレジスタを特定するコミュニケーション・レジスタのレジスタ選択ビットと一緒にADC内のコントロール・レジスタに転送されます。
30	2	SCLK	シリアル・クロック入力です。このシリアル・クロック入力は、ADCとの双方向データ転送に使用します。SCLKピンにはシュミット・トリガー入力が入蔵されているため、光学絶縁アプリケーションのインターフェースに適しています。転送された全データが連続したパルスである場合、シリアル・クロックも連続にすることができます。あるいは、ADCとの間で小さいデータ群として情報が送受信される場合は、非連続クロックにすることもできます。
31	3	CLK	クロック入力/クロック出力です。内部クロックはこのピンから出力できます。代わりに、内部クロックを無効にして、ADCを外部クロックで駆動することもできます。これにより、複数のADCを共通のクロックで駆動すれば、同時変換が可能になります。
32	4	$\overline{\text{CS}}$	チップ・セレクト入力です。これはADCを選択するアクティブ・ローのロジック入力です。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスが接続されたシステム内でADCを選択するために使用するか、デバイスと通信する際にフレーム同期信号として使用します。 $\overline{\text{CS}}$ シリアル・ペリフェラル・インターフェース(SPI)診断を使用しない場合、ロー・レベルに配線すれば、SCLK、DIN、DOUTをデバイスとのインターフェースに使用してADCを3線式モードで動作させることができます。
		EP	露出パッドです。露出パッドをAV _{SS} に接続します。

¹ N/Aは該当せずを意味します。

代表的な性能特性

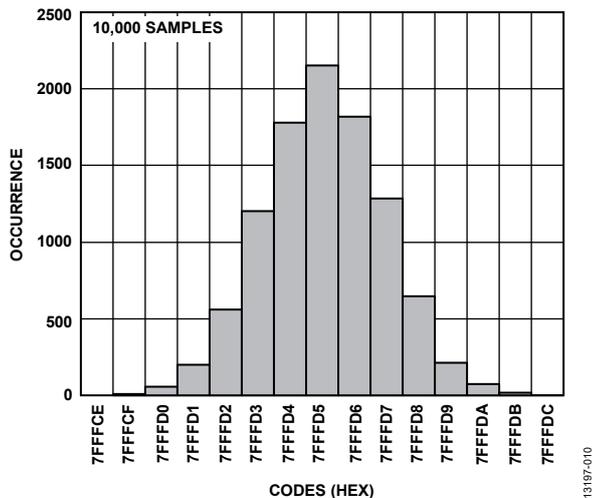


図 11. ノイズ・ヒストグラム・プロット (通常消費電力モード、ポスト・フィルタ、出力データ・レート = 25 SPS、ゲイン = 1)

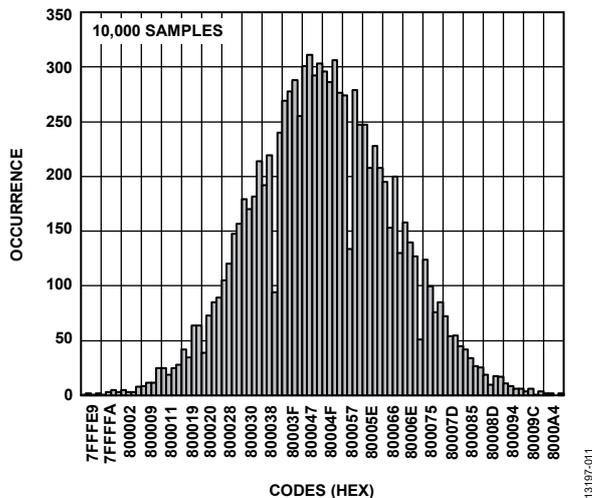


図 14. ノイズ・ヒストグラム・プロット (通常消費電力モード、ポスト・フィルタ、出力データ・レート = 25 SPS、ゲイン = 128)

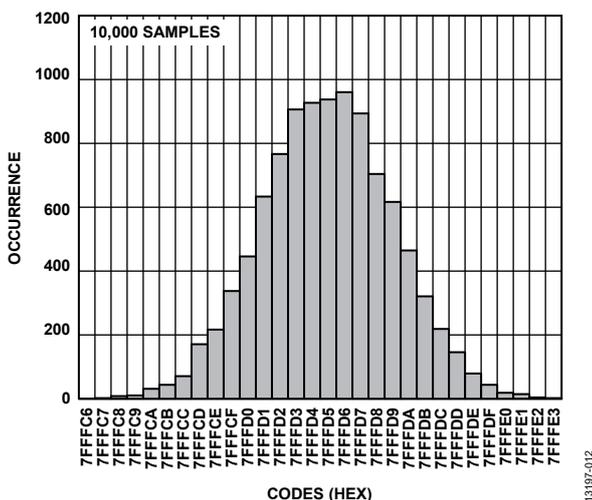


図 12. ノイズ・ヒストグラム・プロット (中消費電力モード、ポスト・フィルタ、出力データ・レート = 25 SPS、ゲイン = 1)

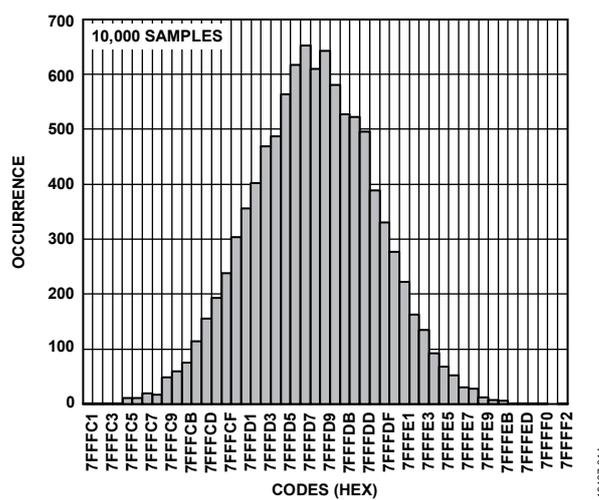


図 15. ノイズ・ヒストグラム・プロット (中消費電力モード、ポスト・フィルタ、出力データ・レート = 25 SPS、ゲイン = 128)

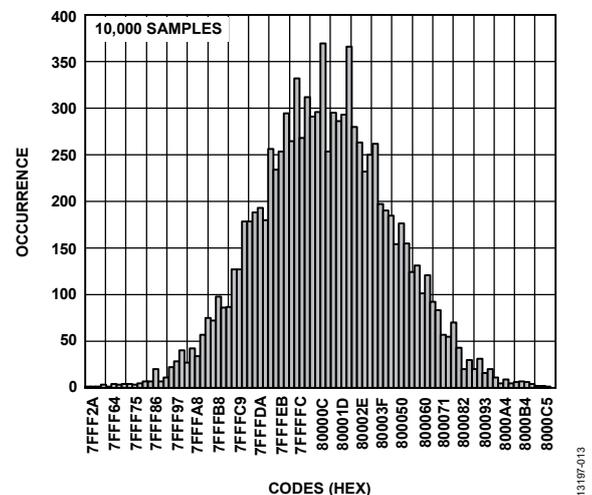


図 13. ノイズ・ヒストグラム・プロット (低消費電力モード、ポスト・フィルタ、出力データ・レート = 25 SPS、ゲイン = 1)

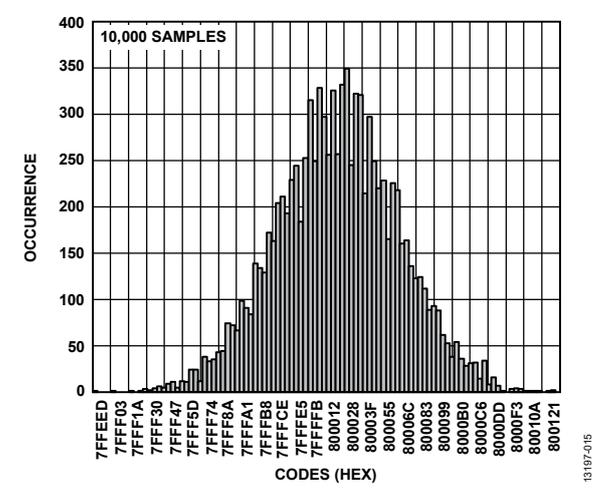
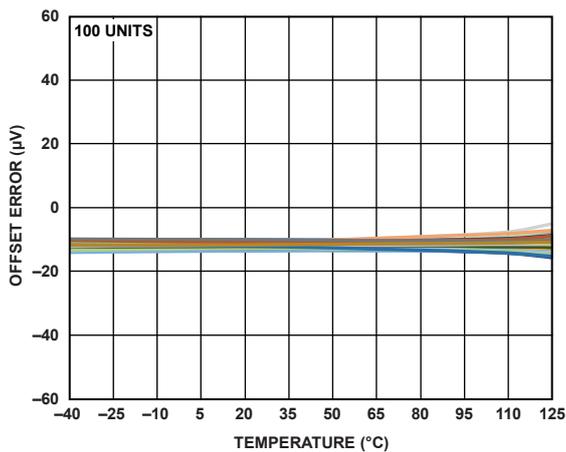
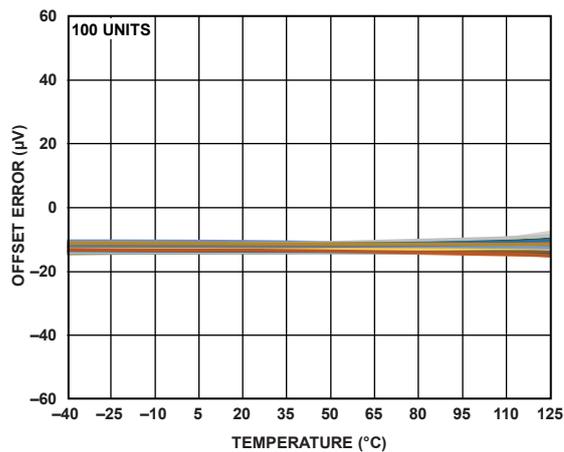


図 16. ノイズ・ヒストグラム・プロット (低消費電力モード、ポスト・フィルタ、出力データ・レート = 25 SPS、ゲイン = 128)



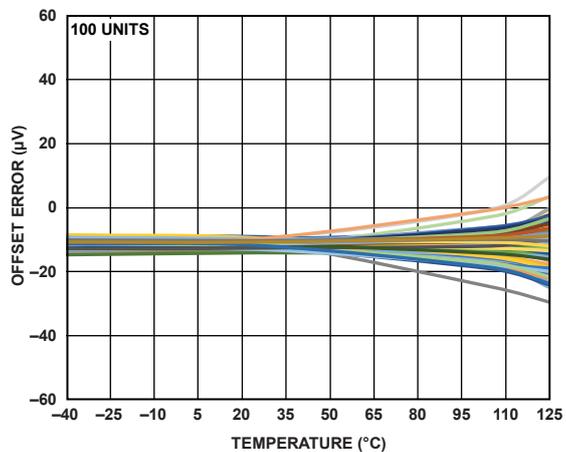
13197-017

図17. 入力換算オフセット誤差と温度の関係
(ゲイン=8、通常消費電力モード)



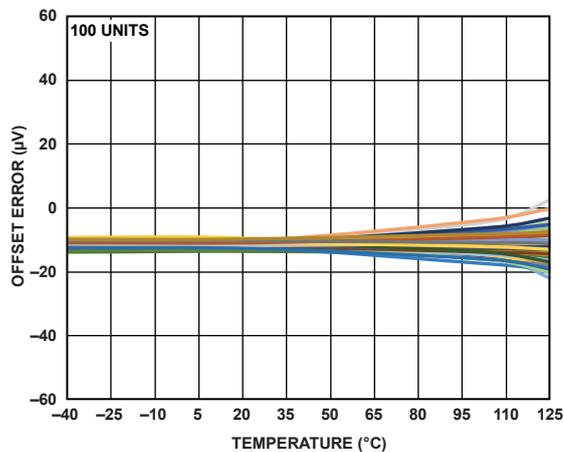
13197-020

図20. 入力換算オフセット誤差と温度の関係
(ゲイン=16、通常消費電力モード)



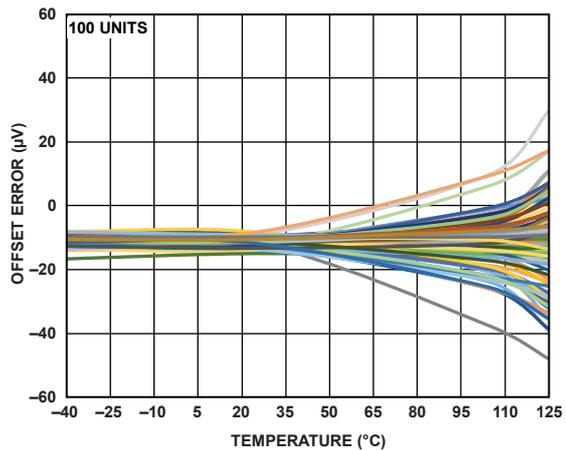
13197-018

図18. 入力換算オフセット誤差と温度の関係
(ゲイン=8、中消費電力モード)



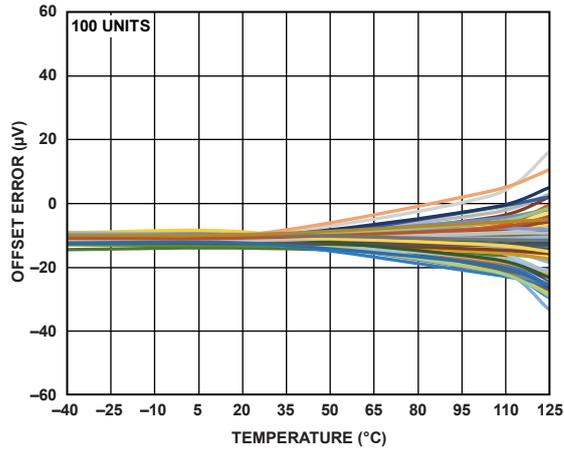
13197-021

図21. 入力換算オフセット誤差と温度の関係
(ゲイン=16、中消費電力モード)



13197-019

図19. 入力換算オフセット誤差と温度の関係
(ゲイン=8、低消費電力モード)



13197-022

図22. 入力換算オフセット誤差と温度の関係
(ゲイン=16、低消費電力モード)

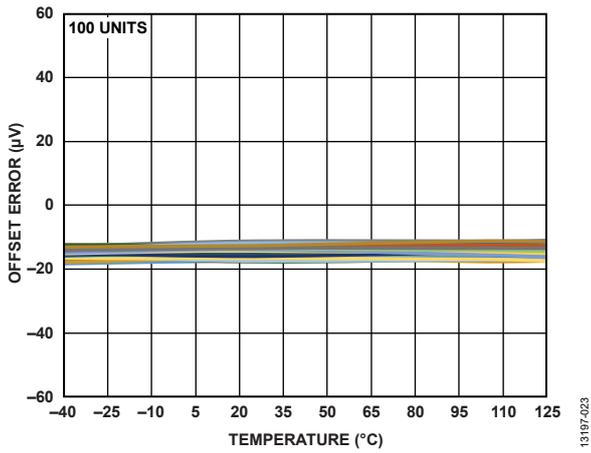


図23. 入力換算オフセット誤差と温度の関係 (ゲイン=1、アナログ入力バッファはイネーブル)

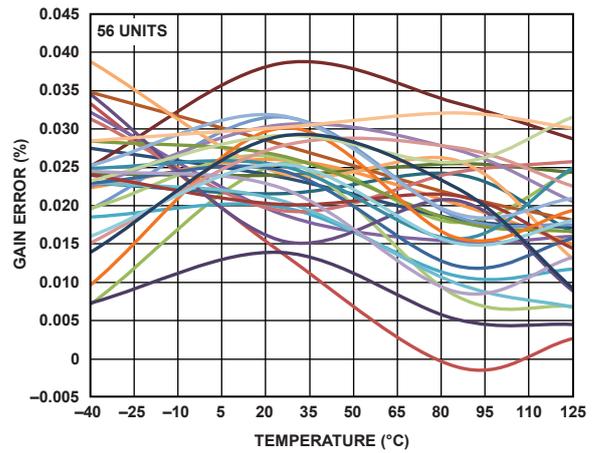


図26. 入力換算ゲイン誤差と温度の関係 (ゲイン = 16)

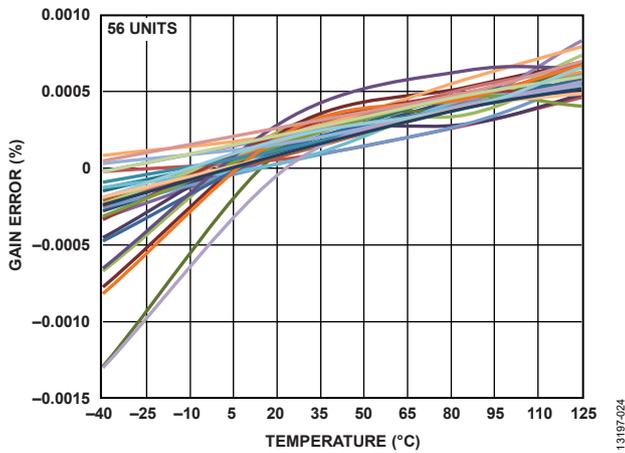


図24. 入力換算ゲイン誤差と温度の関係 (ゲイン = 1)

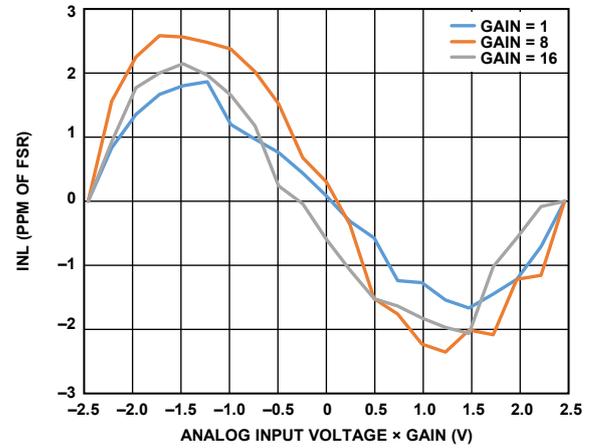


図27. INLと差動入力信号の関係 (アナログ入力×ゲイン)、ODR = 50 SPS、2.5 V 外部リファレンス

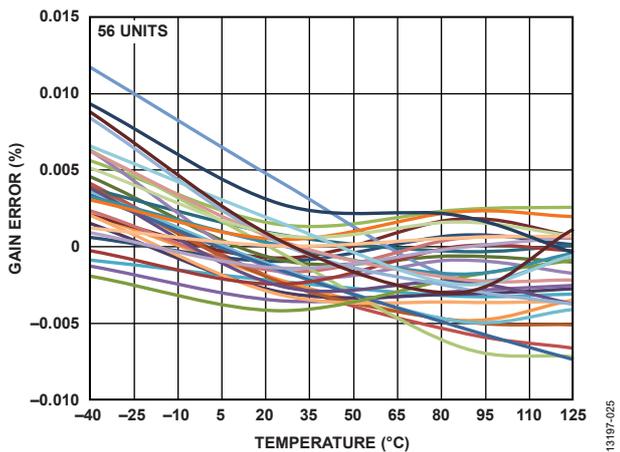


図25. 入力換算ゲイン誤差と温度の関係 (ゲイン = 8)

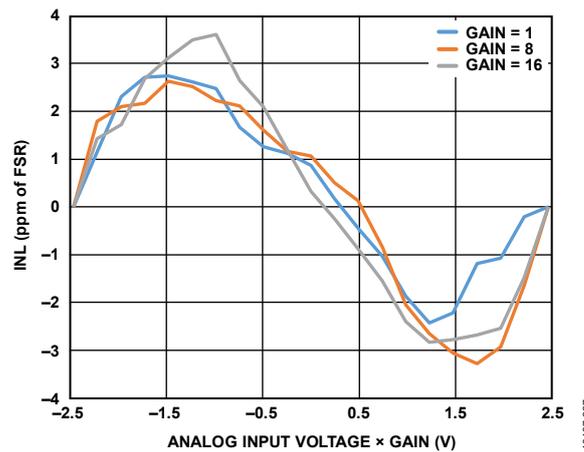


図28. INLと差動入力信号の関係 (アナログ入力×ゲイン)、ODR = 50 SPS、内部リファレンス

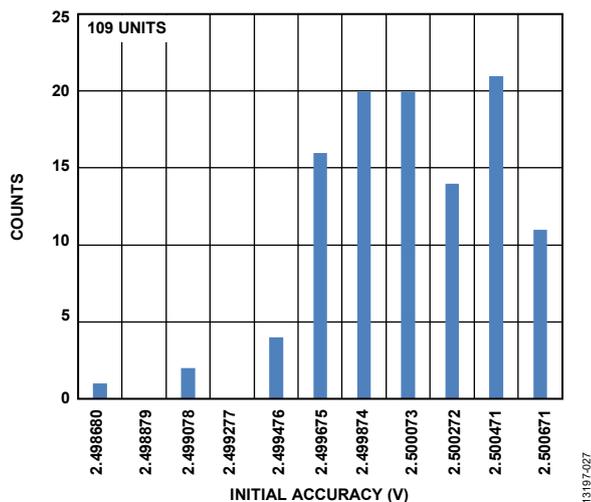


図 29. 内部リファレンス電圧のヒストグラム

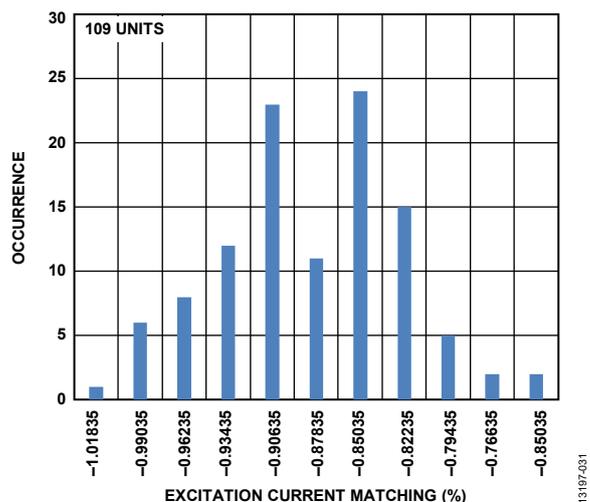


図 32. IOUTx 電流の初期マッチングのヒストグラム (500 μ A)

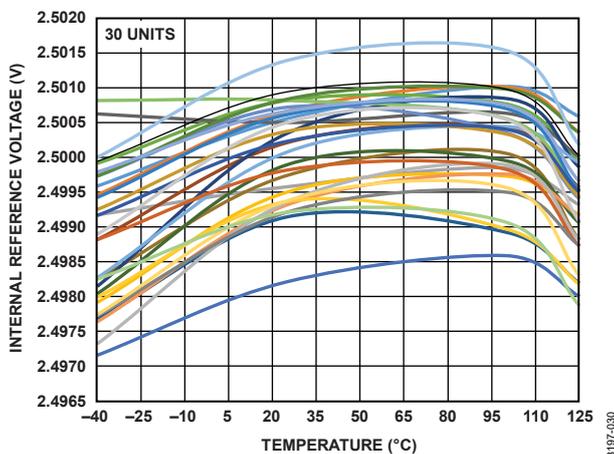


図 30. 内部リファレンス電圧と温度の関係

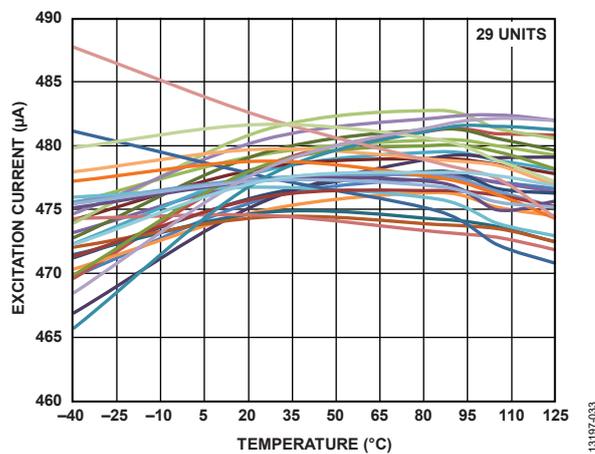


図 33. 励起電流ドリフト (500 μ A)

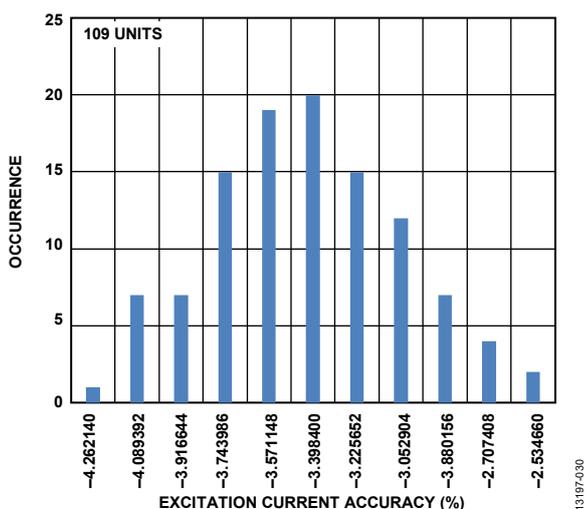


図 31. IOUTx 電流の初期精度のヒストグラム (500 μ A)

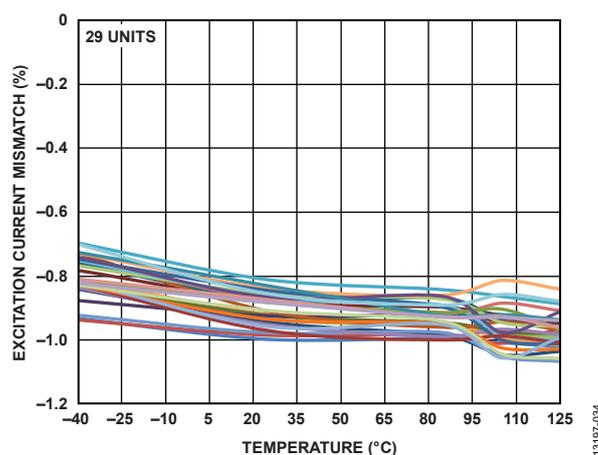


図 34. 励起電流ドリフト・マッチング (500 μ A)

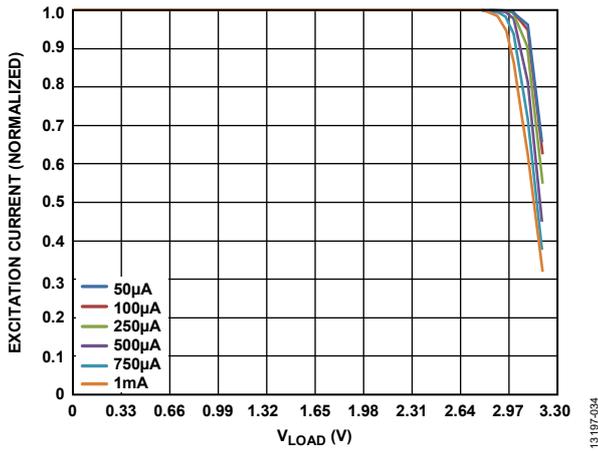


図 35. 出力適合範囲 ($AV_{DD} = 3.3\text{ V}$)

13197-034

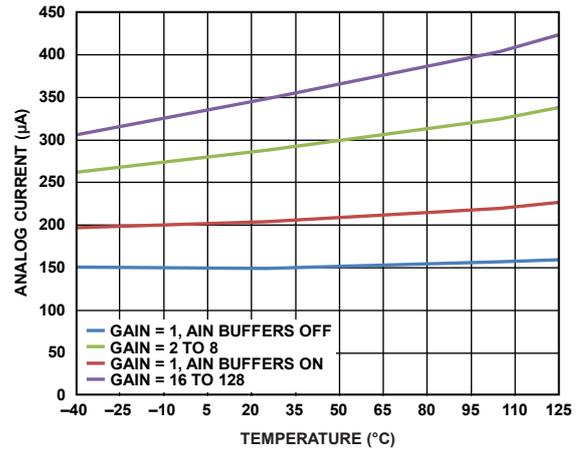


図 38. アナログ電流と温度の関係 (中消費電力モード)

13197-038

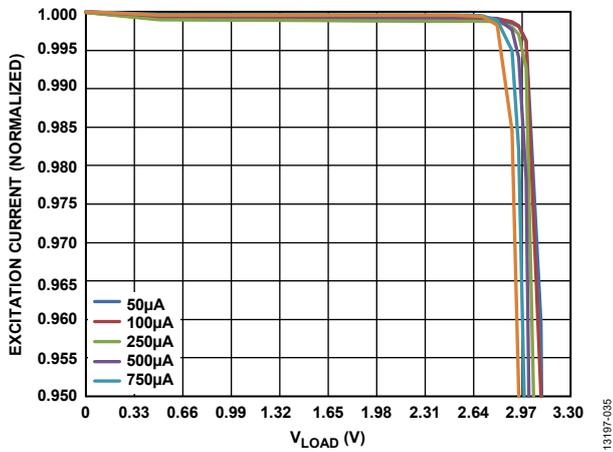


図 36. 出力適合範囲 ($AV_{DD} = 3.3\text{ V}$)

13197-035

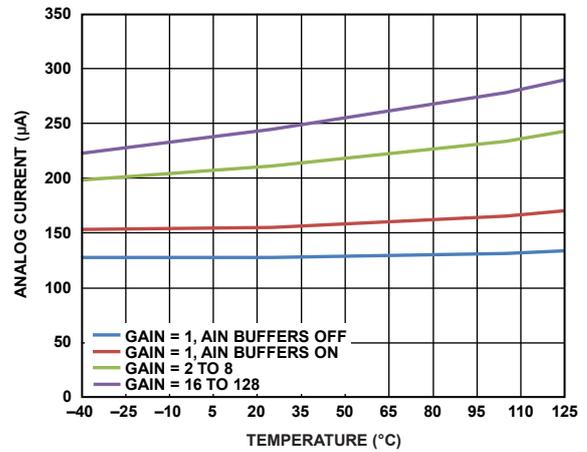


図 39. アナログ電流と温度の関係 (低消費電力モード)

13197-039

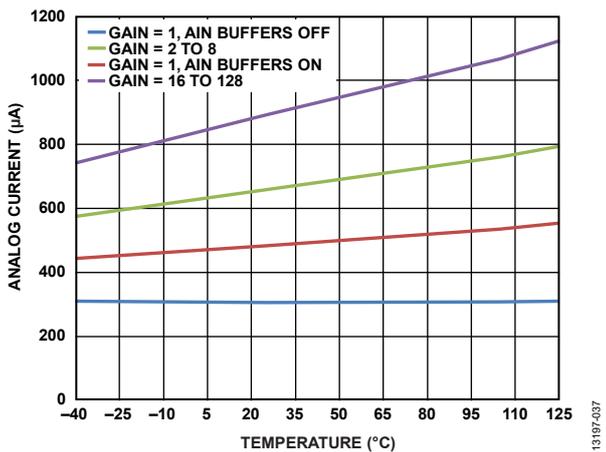


図 37. アナログ電流と温度の関係 (通常消費電力モード)

13197-037

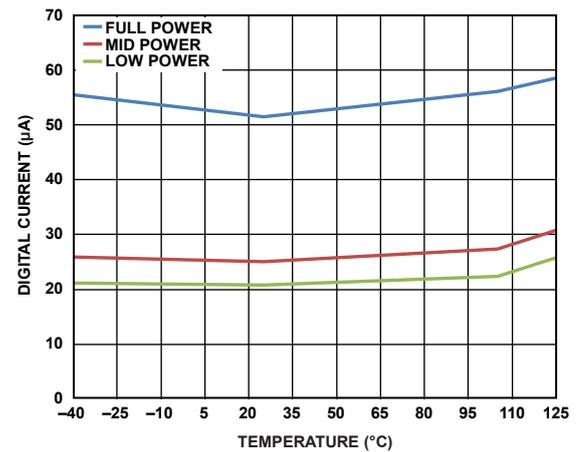
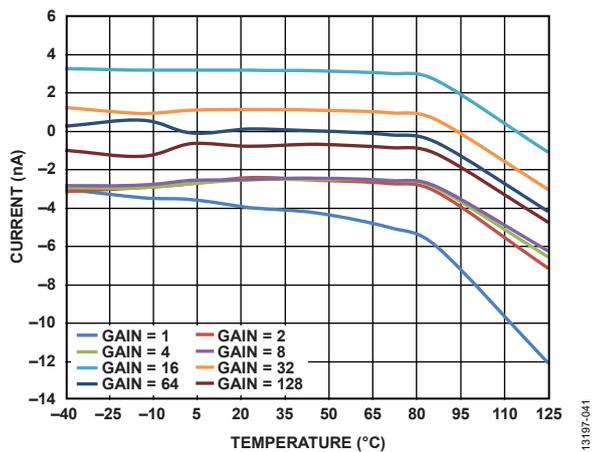


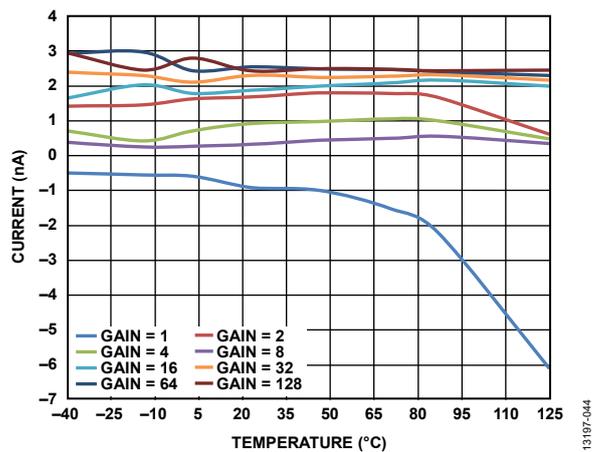
図 1. デジタル電流と温度の関係

13197-040



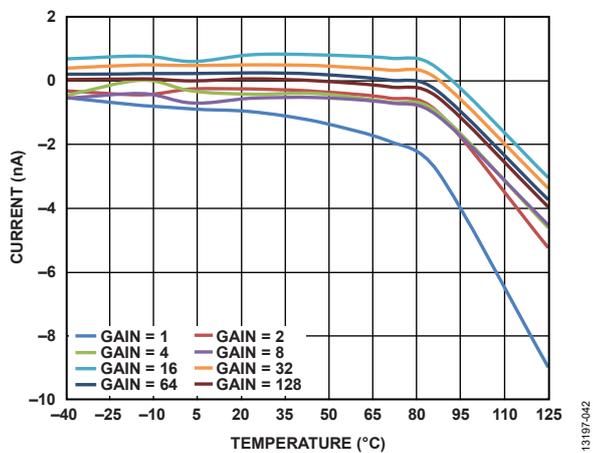
13197-041

図 41. 絶対アナログ入力電流と温度の関係(通常消費電力モード)



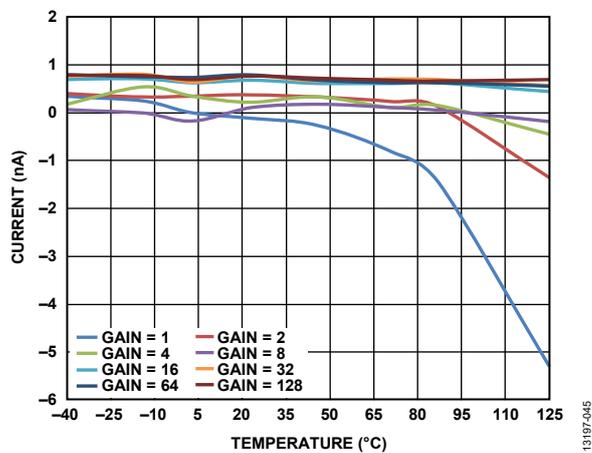
13197-044

図 44. 差動アナログ入力電流と温度の関係(通常消費電力モード)



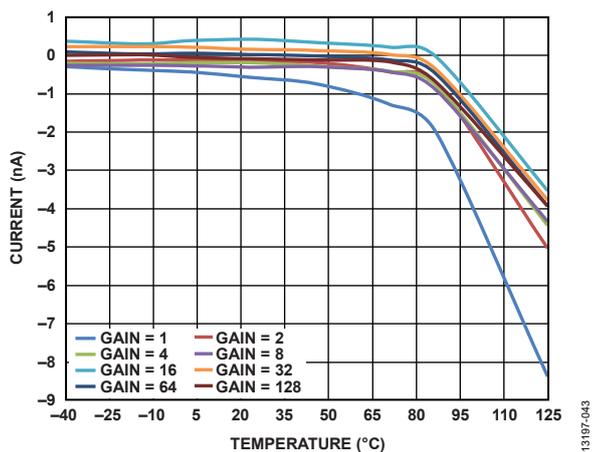
13197-042

図 42. 絶対アナログ入力電流と温度の関係(中消費電力モード)



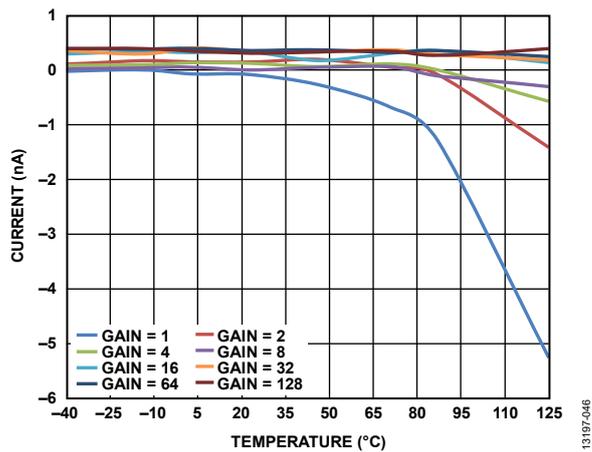
13197-045

図 45. 差動アナログ入力電流と温度の関係(中消費電力モード)



13197-043

図 43. 絶対アナログ入力電流と温度の関係(低消費電力モード)



13197-046

図 46. 差動アナログ入力電流と温度の関係(低消費電力モード)

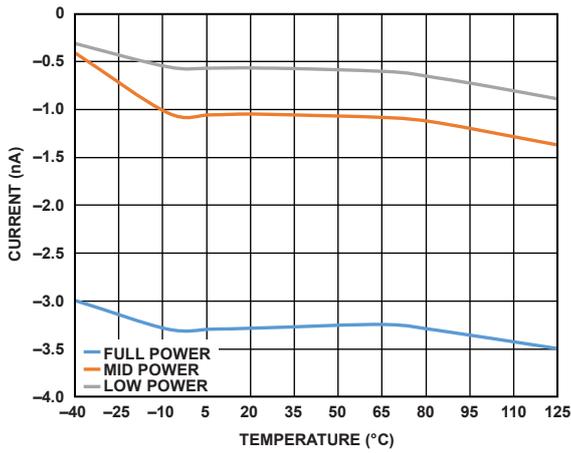


図47. リファレンス入力電流と温度の関係
(リファレンス・バッファはイネーブル)

13197-047

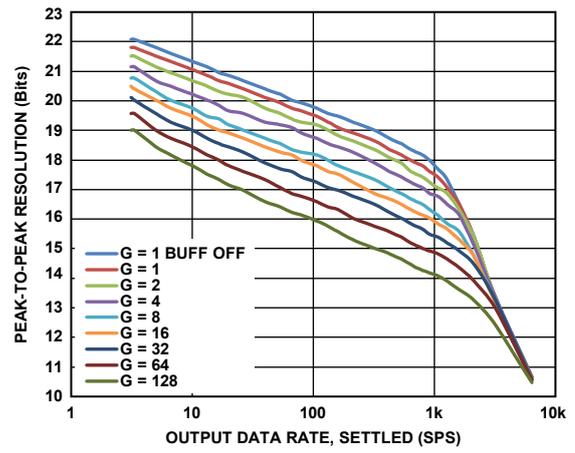


図50. ピーク to ピーク分解能と出力データ・レートの関係
(セトリング済み)、Sinc³ フィルタ (通常消費電力モード)

13197-049

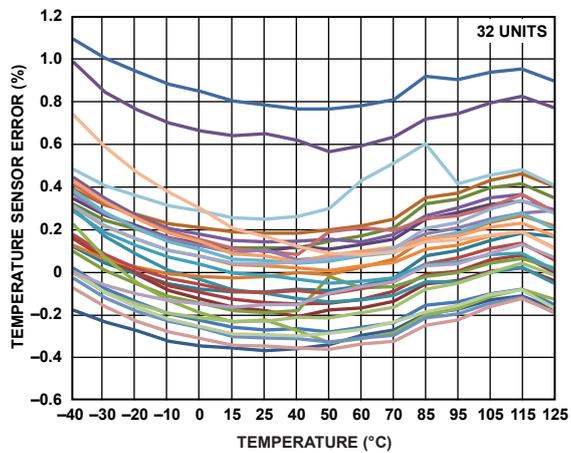


図48. 温度センサーの精度

13197-048

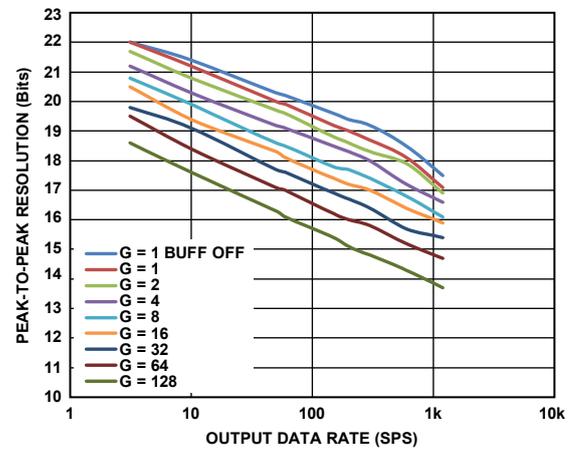


図51. ピーク to ピーク分解能と出力データ・レートの関係、
Sinc⁴+ Sinc¹ フィルタ (通常消費電力モード)

13197-050

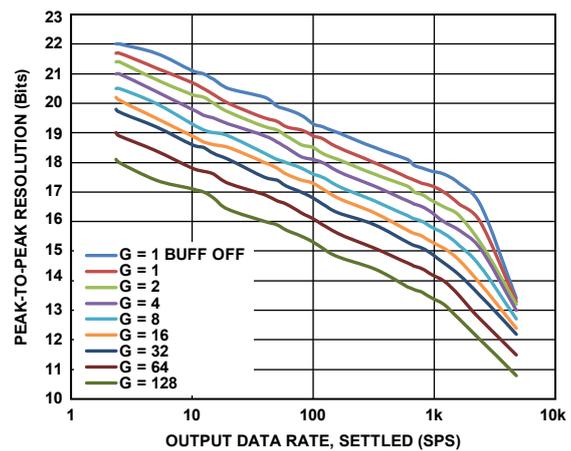


図49. ピーク to ピーク分解能と出力データ・レートの関係
(セトリング済み)、Sinc⁴ フィルタ (通常消費電力モード)

13197-048

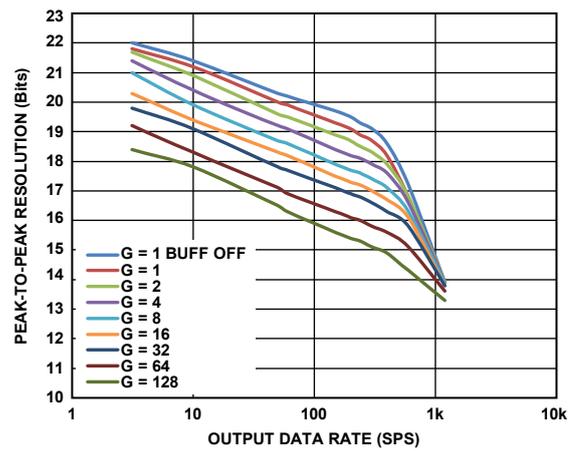


図52. ピーク to ピーク分解能と出力データ・レートの関係、
Sinc³+ Sinc¹ フィルタ (通常消費電力モード)

13197-051

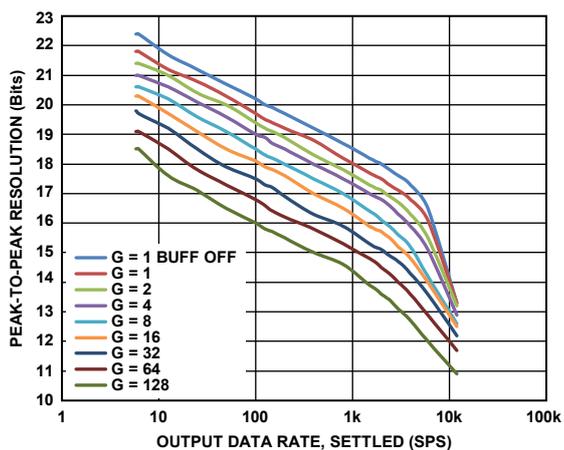


図53. ピーク to ピーク分解能と出力データ・レートの関係 (セトリング済み)、Sinc⁴ フィルタ (中消費電力モード)

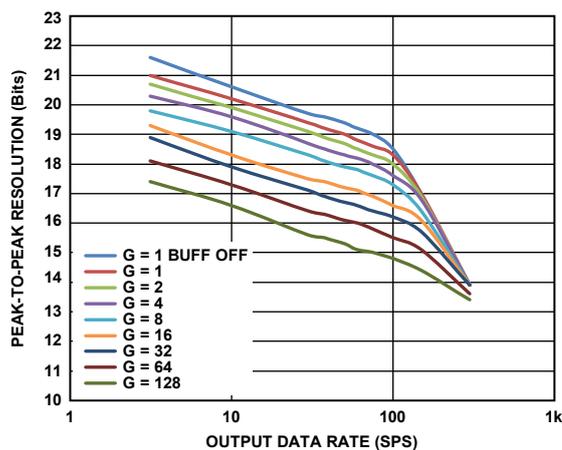


図56. ピーク to ピーク分解能と出力データ・レートの関係、Sinc³+ Sinc¹ フィルタ (中消費電力モード)

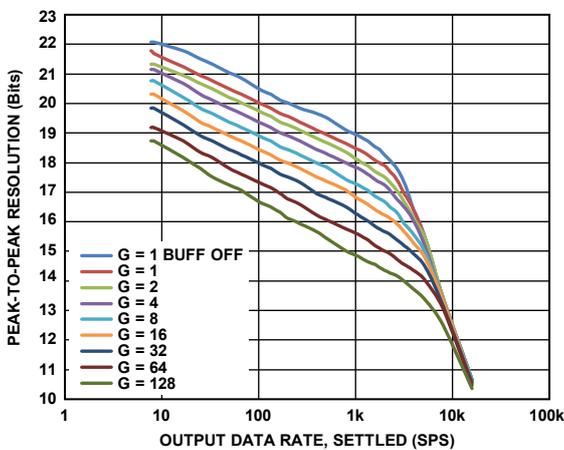


図54. ピーク to ピーク分解能と出力データ・レートの関係 (セトリング済み)、Sinc³ フィルタ (中消費電力モード)

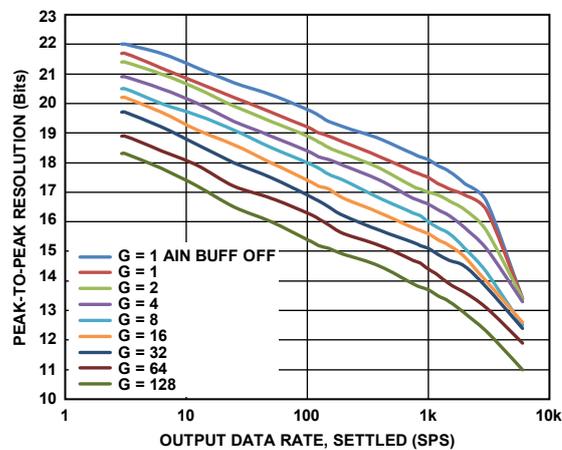


図57. ピーク to ピーク分解能と出力データ・レートの関係 (セトリング済み)、Sinc⁴ フィルタ (低消費電力モード)

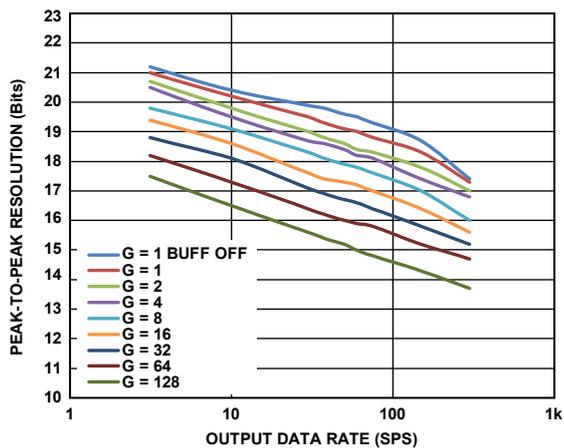


図55. ピーク to ピーク分解能と出力データ・レートの関係、Sinc⁴+ Sinc¹ フィルタ (中消費電力モード)

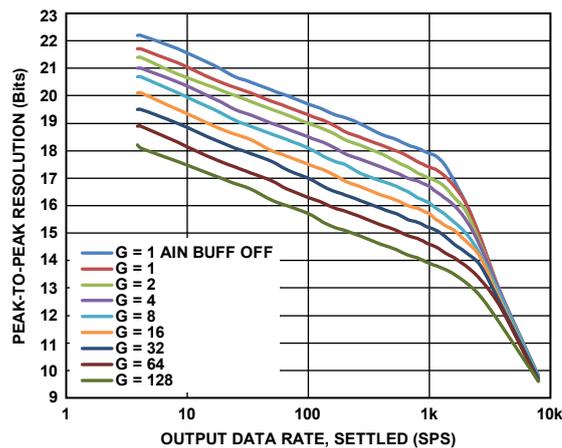


図58. ピーク to ピーク分解能と出力データ・レートの関係 (セトリング済み)、Sinc³ フィルタ (低消費電力モード)

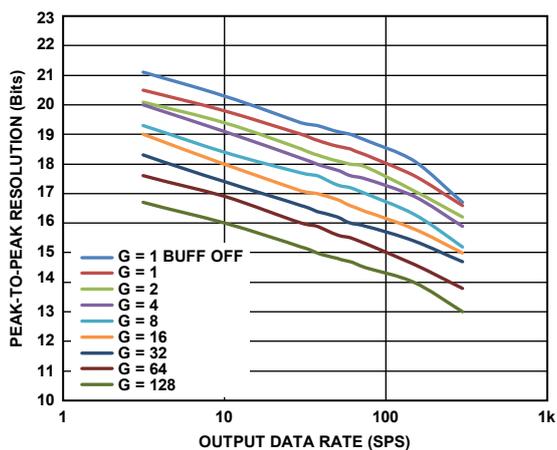


図 59. ピーク to ピーク分解能と出力データ・レートの関係、
Sinc⁴+ Sinc¹ フィルタ (低消費電力モード)

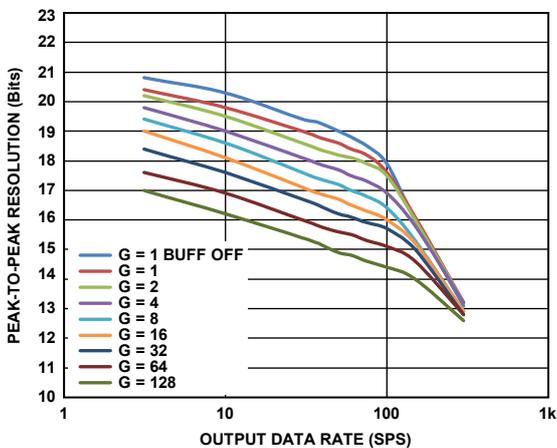


図 60. ピーク to ピーク分解能と出力データ・レートの関係、
Sinc³+ Sinc¹ フィルタ (低消費電力モード)

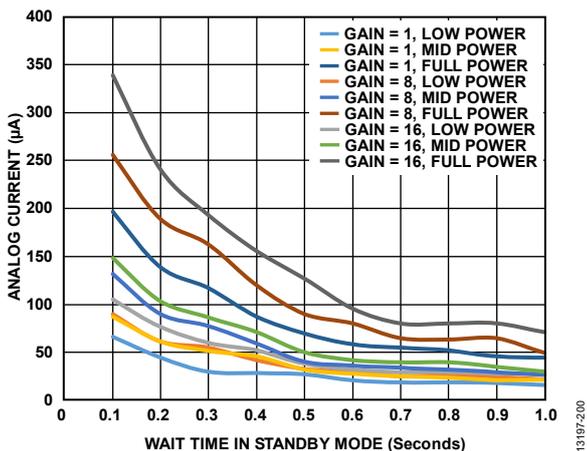


図 61. アナログ電流とスタンバイ・モードの待機時間の関係、
ADC はシングル変換モード (50 SPS)

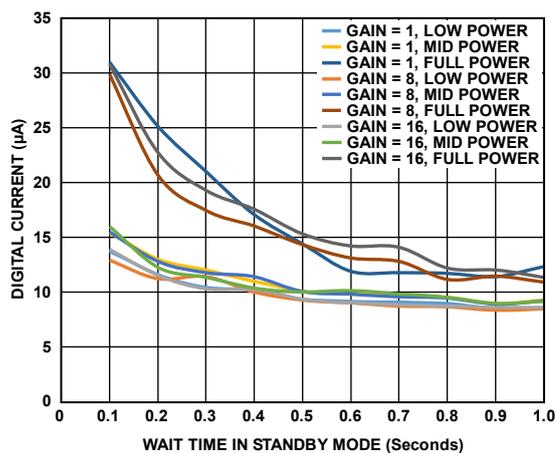


図 62. デジタル電流とスタンバイ・モードの待機時間の関係、
ADC はシングル変換モード (50 SPS)

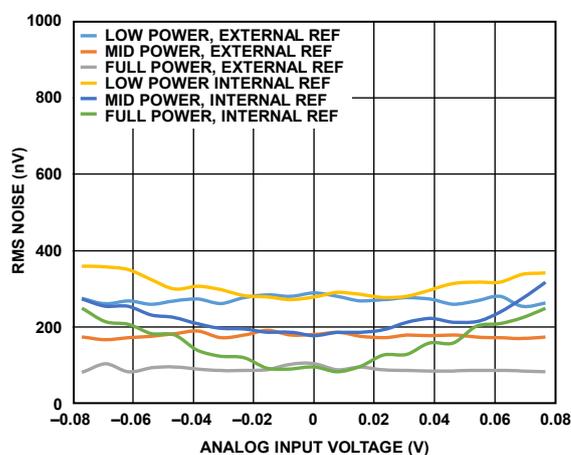


図 63. 内部リファレンスと外部リファレンスのアナログ入力電圧
に対する RMS ノイズ (ゲイン = 32、50 SPS)

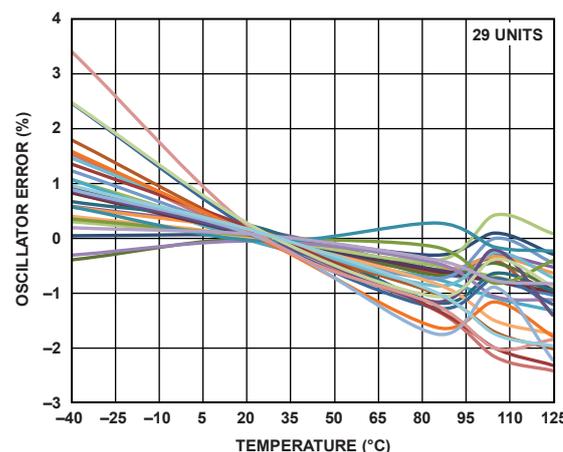


図 64. 内部発振器の誤差と温度の関係

用語の定義

AINP

AINP は正のアナログ入力です。

AINM

AINM は負のアナログ入力です。

積分非直線性 (INL)

INL は、伝達関数のエンドポイントを結ぶ直線からのコードの最大偏差です。伝達関数のエンドポイントとは、ゼロスケール(バイポーラ・ゼロと混同しないこと)の場合は最初のコード遷移(000 ... 000 から 000 ... 001) より 0.5 LSB 下のポイントで、フルスケールの場合は最後のコード遷移 (111 ... 110 から 111 ... 111) より 0.5 LSB 上のポイントです。誤差は、フルスケール範囲の ppm で表示します。

ゲイン誤差

ゲイン誤差は、最後のコード遷移 (111 ... 110 から 111 ... 111) と AINP 電圧 ($AINM + V_{REF}/gain - 3/2$ LSBs) の理想値との間の偏差です。ゲイン誤差は、ユニポーラおよびバイポーラ・アナログ入力範囲の両方に適用されます。

ゲイン誤差は、ADC のスパン誤差を表します。フルスケール誤差は含まれますが、ゼロスケール誤差は含まれません。ユニポーラ入力範囲では、フルスケール誤差からユニポーラ・オフセット誤差を引いたものとして定義されます。一方、バイポーラ入力範囲では、フルスケール誤差からバイポーラ・ゼロ誤差を引いたものとして定義されます。

オフセット誤差

ユニポーラ・モードで動作している場合、オフセット誤差は、AINP 電圧 ($AINM + 0.5$ LSB) の理想値と最初のコード遷移との間の偏差です。

バイポーラ・モードにおいて、オフセット誤差は、AINP 電圧 ($AINM - 0.5$ LSB) の理論値とミッドスケール遷移 (0111 ... 111 ~ 1000 ... 000) との間の偏差です。

オフセット・キャリブレーション範囲

システム・キャリブレーション・モードにおいて、AD7124-4 はアナログ入力を基準にしてオフセットをキャリブレーションします。オフセット・キャリブレーション範囲の仕様は、AD7124-4 によってオフセットを正確にキャリブレーションできる許容可能な電圧範囲を規定しています。

フルスケール・キャリブレーション範囲

フルスケール・キャリブレーション範囲は、システム・キャリブレーション・モードで AD7124-4 によってフルスケールを正確にキャリブレーションできる許容可能な電圧範囲です。

入力スパン

システム・キャリブレーション方式では、AD7124-4 のアナログ入力に順次適用される 2 つの電圧がアナログ入力範囲を規定しています。入力スパン仕様は、AD7124-4 によって正確にゲインをキャリブレーションできる、ゼロから許容可能なフルスケールに至る、最小および最大の入力電圧を規定しています。

RMS ノイズと分解能

表8～表37に、多様な出力データ・レート、ゲイン設定、およびフィルタの組み合わせに対するAD7124-4のRMSノイズ、ピーク to ピーク・ノイズ、実効分解能、ノイズ・フリー(ピーク to ピーク)分解能を示します。ここに示した値は、2.5Vの外部リファレンス電圧を使用した場合のバイポーラ入力範囲です。これらの値は代表値であり、ADCの単一チャンネルの差動入力端子に0Vを入力して、連続変換しているときに生成される値です。実効分解能はRMSノイズを基に計算された値で、ピーク to ピーク分解

能は(括弧内の値)はピーク to ピーク・ノイズ(括弧内の値)を基に計算された値であることを注意してください。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を示します。

$$\text{実効分解能} = \text{Log}_2(\text{入力範囲} / \text{RMS ノイズ})$$

$$\text{ピーク to ピーク分解能} = \text{Log}_2(\text{入力範囲} / \text{ピーク to ピーク・ノイズ})$$

通常消費電力モード

Sinc⁴

表8. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、通常消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	f _{3dB} (Hz)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	9.4	2.34	2.16	0.24 (1.5)	0.15 (0.89)	0.091 (0.6)	0.071 (0.41)	0.045 (0.26)	0.031 (0.17)	0.025 (0.15)	0.023 (0.14)
1920	10	2.5	2.3	0.23 (1.5)	0.14 (0.89)	0.094 (0.6)	0.076 (0.42)	0.048 (0.27)	0.03 (0.19)	0.025 (0.16)	0.025 (0.15)
960	20	5	4.6	0.31 (2.1)	0.22 (1.3)	0.13 (0.89)	0.1 (0.6)	0.069 (0.41)	0.044 (0.26)	0.035 (0.22)	0.034 (0.22)
480	40	10	9.2	0.42 (3)	0.3 (2.1)	0.19 (1.4)	0.14 (0.97)	0.09 (0.63)	0.063 (0.39)	0.053 (0.34)	0.043 (0.27)
384	50	12.5	11.5	0.48 (3.2)	0.33 (2.1)	0.2 (1.3)	0.16 (1.1)	0.1 (0.75)	0.068 (0.43)	0.059 (0.42)	0.048 (0.28)
320	60	15	13.8	0.51 (3.3)	0.35 (2.4)	0.23 (1.3)	0.17 (1.2)	0.11 (0.78)	0.077 (0.5)	0.064 (0.41)	0.056 (0.35)
240	80	20	18.4	0.6 (4.8)	0.41 (3)	0.28 (1.8)	0.19 (1.3)	0.13 (0.86)	0.09 (0.54)	0.072 (0.48)	0.063 (0.45)
120	160	40	36.8	0.86 (6.9)	0.55 (4.1)	0.37 (2.5)	0.29 (2)	0.2 (1.2)	0.13 (0.84)	0.11 (0.7)	0.098 (0.6)
60	320	80	73.6	1.2 (8.9)	0.76 (6.1)	0.53 (4.1)	0.4 (2.7)	0.26 (1.8)	0.18 (1.2)	0.15 (0.95)	0.14 (0.86)
30	640	160	147.2	1.7 (13)	1.1 (8.8)	0.74 (5.7)	0.57 (4.1)	0.38 (2.9)	0.26 (2)	0.22 (1.6)	0.19 (1.4)
15	1280	320	294.4	2.4 (19)	1.6 (13)	1.1 (8.4)	0.82 (6)	0.55 (4)	0.38 (2.5)	0.3 (2.3)	0.26 (1.8)
8	2400	600	592	3.3 (25)	2.3 (16)	1.5 (12)	1.2 (8)	0.76 (6)	0.53 (4)	0.43 (3.2)	0.37 (2.7)
4	4800	1200	1184	4.9 (38)	3.4 (25)	2.4 (20)	2 (13)	1.3 (9.1)	0.83 (6.4)	0.68 (4.8)	0.58 (4.3)
2	9600	2400	2368	8.8 (76)	6.8 (61)	4.9 (34)	4.3 (27)	2.6 (21)	1.7 (13)	1.3 (12)	1.2 (9.4)
1	19,200	4800	4736	17.6 (152)	13.6 (122)	9.8 (68)	8.6 (54)	5.2 (42)	3.4 (26)	2.6 (24)	2.4 (18.8)

表9. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、通常消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	9.4	2.34	24 (21.7)	24 (21.4)	23.7 (21)	23.1 (20.5)	22.7 (20.2)	22.3 (19.8)	21.6 (19)	20.7 (18.1)
1920	10	2.5	24 (21.7)	24 (21.4)	23.7 (21)	23 (20.5)	22.6 (20.1)	22.3 (19.7)	21.6 (19)	20.7 (18.1)
960	20	5	23.9 (21.2)	23.5 (20.8)	23.2 (20.4)	22.5 (20)	22.1 (19.5)	21.8 (19.2)	21.1 (18.4)	20.1 (17.4)
480	40	10	23.5 (20.7)	23 (20.3)	22.6 (19.8)	22.1 (19.3)	21.7 (18.9)	21.2 (18.6)	20.5 (17.8)	19.8 (17.1)
384	50	12.5	23.3 (20.5)	22.9 (20.2)	22.5 (19.6)	21.9 (19.1)	21.5 (18.7)	21.1 (18.5)	20.4 (17.7)	19.6 (17)
320	60	15	23.2 (20.3)	22.8 (20)	22.4 (19.5)	21.8 (19)	21.4 (18.6)	21 (18.3)	20.2 (17.6)	19.4 (16.6)
240	80	20	23 (20)	22.6 (19.7)	22.1 (19.3)	21.6 (18.9)	21.2 (18.5)	20.7 (18.1)	20 (17.3)	19.2 (16.4)
120	160	40	22.5 (19.5)	22.1 (19.2)	21.7 (18.9)	21 (18.3)	20.6 (18)	20.1 (17.5)	19.5 (16.9)	18.6 (16)
60	320	80	22 (19.1)	21.6 (18.6)	21.2 (18.2)	20.6 (17.8)	20.2 (17.4)	19.7 (17)	19 (16.3)	18.1 (15.5)
30	640	160	21.5 (18.5)	21.1 (18.1)	20.7 (17.7)	20.1 (17.2)	19.7 (16.8)	19.2 (16.3)	18.5 (15.6)	17.6 (14.8)
15	1280	320	21 (18)	20.5 (17.6)	20.2 (17.2)	19.5 (16.7)	19.1 (16.3)	18.7 (15.9)	18 (15.1)	17.2 (14.4)
8	2400	600	20.5 (17.5)	20.1 (17.2)	19.7 (16.7)	19 (16.2)	18.6 (15.7)	18.2 (15.3)	17.5 (14.6)	16.7 (13.8)
4	4800	1200	20 (17)	19.5 (16.5)	19 (16)	18.3 (15.6)	17.9 (15.1)	17.5 (14.6)	16.8 (14)	16 (13.2)
2	9600	2400	19.1 (16)	18.5 (15.3)	18 (15.1)	17.2 (14.5)	16.9 (13.9)	16.5 (13.5)	15.9 (12.7)	15 (12)
1	19,200	4800	16.1 (13.3)	16 (13.2)	15.9 (13)	15.5 (12.7)	15.4 (12.4)	15.1 (12.2)	14.6 (11.5)	13.8 (10.8)

Sinc³

表 10. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、通常消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	f _{3dB} (Hz)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	9.4	3.13	2.56	0.23 (1.5)	0.15 (0.89)	0.096 (0.58)	0.07 (0.38)	0.046 (0.25)	0.033 (0.16)	0.023 (0.11)	0.017 (0.09)
1920	10	3.33	2.72	0.24 (1.5)	0.15 (0.89)	0.096 (0.6)	0.07 (0.4)	0.05 (0.26)	0.034 (0.17)	0.023 (0.12)	0.018 (0.09)
1280	20	5	5.44	0.31 (1.8)	0.18 (1.2)	0.12 (0.82)	0.09 (0.55)	0.059 (0.35)	0.041 (0.24)	0.033 (0.18)	0.027 (0.14)
640	30	10	8.16	0.4 (2.6)	0.26 (1.6)	0.17 (1.2)	0.11 (0.82)	0.088 (0.52)	0.055 (0.36)	0.048 (0.27)	0.039 (0.22)
384	50	16.67	13.6	0.53 (3.3)	0.3 (2.2)	0.2 (1.6)	0.17 (1.1)	0.1 (0.75)	0.075 (0.51)	0.062 (0.39)	0.056 (0.33)
320	60	20	16.32	0.55 (3.6)	0.37 (2.4)	0.24 (1.8)	0.19 (1.3)	0.12 (0.8)	0.084 (0.54)	0.068 (0.44)	0.06 (0.37)
160	120	40	32.64	0.78 (5.1)	0.53 (3.4)	0.35 (2.3)	0.26 (1.8)	0.17 (1.1)	0.12 (0.85)	0.1 (0.66)	0.097 (0.55)
80	240	80	65.28	1.1 (7)	0.73 (4.9)	0.49 (3.2)	0.37 (2.6)	0.25 (1.6)	0.17 (1.2)	0.14 (1)	0.12 (0.78)
40	480	160	130.56	1.5 (11)	1.1 (6.8)	0.67 (4.5)	0.52 (3.7)	0.34 (2.2)	0.25 (1.7)	0.19 (1.4)	0.17 (1.2)
20	960	320	261.12	2.3 (16)	1.5 (9.8)	0.99 (6.6)	0.75 (5.1)	0.53 (3.5)	0.35 (2.4)	0.28 (2.1)	0.25 (1.8)
10	1920	640	522.24	3.2 (26)	2.2 (16)	1.5 (11)	1.1 (8.5)	0.73 (5.5)	0.49 (3.9)	0.4 (3.2)	0.35 (2.7)
6	3200	1066.67	870.4	4.9 (38)	3.2 (24)	2.1 (15)	1.6 (12)	1 (7.7)	0.68 (5.6)	0.56 (4.2)	0.48 (3.6)
3	6400	2133.33	1740.8	25 (170)	13 (89)	7.1 (54)	4.3 (35)	2.4 (18)	1.5 (11)	1.1 (8.4)	0.9 (6.7)
2	9600	3200	2611.2	110 (820)	54 (390)	28 (210)	14 (110)	7.4 (57)	3.9 (27)	2.3 (17)	1.7 (13)
1	19,200	6400	5222.4	890 (6500)	430 (3000)	220 (1500)	110 (790)	55 (390)	28 (190)	14 (100)	7.6 (56)

表 11. ゲインと出力データ・レートに対する実効分解能 (ピーク to ピーク分解能)、通常消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	9.4	3.13	24 (21.7)	24 (21.4)	23.6 (21)	23.1 (20.6)	22.7 (20.3)	22.2 (19.9)	21.7 (19.3)	21 (18.7)
1920	10	3.33	24 (21.7)	24 (21.4)	23.6 (21)	23.1 (20.6)	22.6 (20.2)	22.2 (19.8)	21.7 (19.3)	21 (18.7)
1280	20	5	24 (21.4)	23.7 (21)	23.2 (20.5)	22.7 (20.1)	22.3 (19.8)	21.9 (19.3)	21.2 (18.7)	20.5 (18.1)
640	30	10	23.6 (20.9)	23.2 (20.5)	22.8 (20)	22.2 (19.5)	21.8 (19.2)	21.4 (18.7)	20.6 (18.1)	19.9 (17.4)
384	50	16.67	23.2 (20.5)	22.8 (20.1)	22.4 (19.6)	21.8 (19.1)	21.4 (18.7)	21 (18.2)	20.3 (17.6)	19.4 (16.9)
320	60	20	23.1 (20.4)	22.7 (20)	22.3 (19.4)	21.7 (18.9)	21.3 (18.6)	20.8 (18.1)	20.1 (17.4)	19.3 (16.7)
160	120	40	22.6 (19.9)	22.2 (19.5)	21.8 (19)	21.2 (18.4)	20.8 (18.1)	20.3 (17.5)	19.6 (16.9)	18.7 (16.1)
80	240	80	22.1 (19.4)	21.7 (19)	21.3 (18.6)	20.7 (17.9)	20.3 (17.6)	19.8 (17)	19.1 (16.3)	18.3 (15.6)
40	480	160	21.6 (18.8)	21.2 (18.5)	20.8 (18.1)	20.2 (17.4)	19.8 (17.1)	19.3 (16.5)	18.6 (15.8)	17.8 (15)
20	960	320	21.1 (18.3)	20.7 (18)	20.3 (17.5)	19.7 (16.9)	19.2 (16.4)	18.8 (16)	18.1 (15.2)	17.3 (14.4)
10	1920	640	20.6 (17.6)	20.1 (17.2)	19.7 (16.8)	19.1 (16.2)	18.7 (15.8)	18.3 (15.3)	17.6 (14.6)	16.8 (13.8)
6	3200	1066.67	19.9 (17)	19.6 (16.6)	19.2 (16.3)	18.6 (15.6)	18.2 (15.3)	17.8 (14.8)	17.1 (14.2)	16.3 (13.4)
3	6400	2133.33	17.6 (14.8)	17.6 (14.8)	17.4 (14.5)	17.2 (14.1)	17 (14.1)	16.7 (13.8)	16.3 (13.2)	15.4 (12.5)
2	9600	3200	15.5 (12.6)	15.5 (12.6)	15.4 (12.6)	15.4 (12.5)	15.4 (12.4)	15.3 (12.5)	15 (12.2)	14.5 (11.6)
1	19,200	6400	12.5 (9.7)	12.5 (9.7)	12.5 (9.7)	12.5 (9.6)	12.5 (9.6)	12.4 (9.6)	12.4 (9.6)	12.3 (9.5)

ポスト・フィルタ

表 12. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、通常消費電力モード

Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
16.67	0.51 (3.3)	0.34 (2.1)	0.21 (1.3)	0.16 (0.97)	0.11 (0.65)	0.075 (0.41)	0.062 (0.34)	0.051 (0.3)
20	0.53 (3.3)	0.36 (2.1)	0.23 (1.3)	0.18 (1)	0.11 (0.65)	0.078 (0.45)	0.062 (0.34)	0.051 (0.3)
25	0.57 (3.6)	0.37 (2.2)	0.25 (1.6)	0.18 (1.2)	0.12 (0.75)	0.082 (0.47)	0.062 (0.38)	0.055 (0.31)
27.27	0.6 (3.9)	0.38 (2.2)	0.26 (1.6)	0.19 (1.2)	0.13 (0.82)	0.084 (0.55)	0.072 (0.44)	0.063 (0.43)

表 13. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、通常消費電力モード

Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
16.67	23.2 (20.5)	22.8 (20.2)	22.5 (19.9)	21.9 (19.3)	21.5 (18.9)	21 (18.5)	20.3 (17.8)	19.5 (17)
20	23.2 (20.5)	22.7 (20.2)	22.3 (19.9)	21.7 (19.2)	21.5 (18.9)	20.9 (18.4)	20.3 (17.8)	19.5 (17)
25	23.1 (20.4)	22.7 (20.1)	22.2 (19.6)	21.7 (19)	21.3 (18.7)	20.9 (18.3)	20.3 (17.7)	19.5 (17)
27.27	23 (20.3)	22.6 (20.1)	22.2 (19.5)	21.7 (19)	21.2 (18.5)	20.8 (18.1)	20.1 (17.4)	19.2 (16.5)

高速セトリング・フィルタ (Sinc⁴ + Sinc¹)

表 14. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、通常消費電力モード (16 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
384	2.63	0.19 (1.2)	0.11 (0.75)	0.077 (0.52)	0.063 (0.34)	0.036 (0.21)	0.027 (0.17)	0.021 (0.11)	0.019 (0.098)
120	8.42	0.32 (2.1)	0.2 (1.3)	0.13 (0.97)	0.1 (0.63)	0.067 (0.46)	0.045 (0.28)	0.039 (0.23)	0.031 (0.2)
24	42.11	0.69 (4.6)	0.44 (3)	0.29 (2.1)	0.23 (1.6)	0.14 (0.99)	0.1 (0.72)	0.081 (0.54)	0.07 (0.49)
20	50.53	0.71 (5.1)	0.49 (3.1)	0.3 (2.2)	0.25 (1.7)	0.16 (1.1)	0.11 (0.78)	0.09 (0.6)	0.082 (0.57)
2	505.26	2.4 (18)	1.6 (10)	1.1 (8.3)	0.87 (5.5)	0.56 (3.5)	0.47 (2.9)	0.33 (2.1)	0.3 (2)
1	1010.53	4.8 (35)	3 (20)	1.9 (12)	1.4 (8.8)	0.89 (5.2)	0.57 (3.7)	0.49 (3)	0.44 (3)

表 15. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、通常消費電力モード (16 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
384	2.63	24 (22)	24 (21.7)	23.9 (21.2)	23.3 (20.8)	23 (20.5)	22.5 (19.8)	21.8 (19.5)	21 (18.6)
120	8.42	23.9 (21.2)	23.6 (20.8)	23.3 (20.3)	22.5 (19.9)	22.2 (19.4)	21.9 (19.1)	20.9 (18.4)	20.2 (17.6)
24	42.11	22.8 (20)	22.4 (19.7)	22.1 (19.2)	21.4 (18.6)	21.1 (18.3)	20.5 (17.7)	19.9 (17.1)	19.1 (16.3)
20	50.53	22.7 (19.9)	22.3 (19.6)	22 (19.1)	21.2 (18.5)	20.9 (18.1)	20.4 (17.6)	19.7 (17)	18.9 (16.1)
2	505.26	21 (18.1)	20.6 (17.9)	20.2 (17.2)	19.5 (16.8)	19.1 (16.4)	18.4 (15.7)	17.8 (15.2)	17 (14.3)
1	1010.53	20 (17.1)	19.7 (16.9)	19.3 (16.6)	18.8 (16.1)	18.4 (15.9)	18.1 (15.4)	17.3 (14.7)	16.5 (13.7)

高速セトリング・フィルタ (Sinc³ + Sinc¹)

表 16. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、通常消費電力モード (16 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
384	2.78	0.22 (1.4)	0.13 (0.75)	0.081 (0.44)	0.048 (0.3)	0.039 (0.24)	0.026 (0.18)	0.025 (0.13)	0.019 (0.11)
120	8.89	0.31 (2.1)	0.21 (1.3)	0.13 (0.89)	0.1 (0.63)	0.068 (0.47)	0.047 (0.28)	0.036 (0.25)	0.033 (0.17)
24	44.44	0.7 (4.8)	0.46 (3.1)	0.29 (2.1)	0.22 (1.5)	0.14 (0.95)	0.098 (0.67)	0.079 (0.56)	0.071 (0.44)
20	53.33	0.77 (5.2)	0.5 (3.4)	0.31 (2.3)	0.24 (1.6)	0.17 (1)	0.11 (0.73)	0.09 (0.66)	0.077 (0.48)
2	533.33	6.1 (46)	3.2 (23)	1.8 (12)	1.1 (7.5)	0.65 (4.3)	0.4 (2.7)	0.31 (2.2)	0.27 (2)
1	1066.67	44 (320)	22 (160)	11 (80)	5.7 (40)	2.9 (22)	1.5 (11)	0.83 (6.2)	0.54 (4)

表 17. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、通常消費電力モード (16 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
384	2.78	24 (21.8)	24 (21.7)	23.9 (21.4)	23.6 (21)	22.9 (20.3)	22.5 (19.8)	21.6 (19.2)	21 (18.4)
120	8.89	24 (21.2)	23.5 (20.9)	23.2 (20.4)	22.6 (19.9)	22.1 (19.4)	21.7 (19.1)	21 (18.3)	20.2 (17.8)
24	44.44	22.8 (20)	22.4 (19.6)	22.1 (19.2)	21.4 (18.7)	21.1 (18.3)	20.6 (17.8)	19.9 (17.1)	19.1 (16.5)
20	53.33	22.6 (19.9)	22.3 (19.5)	22 (19.1)	21.3 (18.6)	20.8 (18.2)	20.4 (17.7)	19.7 (16.9)	19 (16.3)
2	533.33	19.7 (16.8)	19.6 (16.8)	19.4 (16.6)	19.1 (16.3)	18.9 (16.1)	18.6 (15.8)	17.9 (15.1)	17.2 (14.3)
1	1066.67	16.8 (13.9)	16.8 (13.9)	16.8 (13.9)	16.7 (13.9)	16.7 (13.8)	16.6 (13.8)	16.5 (13.6)	16.1 (13.3)

中消費電力モード

Sinc⁴

表18. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、中消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	f _{3dB} (Hz)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	2.34	0.586	0.52	0.22 (1.4)	0.14 (0.88)	0.095 (0.6)	0.062 (0.38)	0.048 (0.24)	0.036 (0.17)	0.024 (0.14)	0.02 (0.1)
1920	2.5	0.625	0.575	0.25 (1.4)	0.17 (0.88)	0.11 (0.6)	0.073 (0.38)	0.048 (0.24)	0.037 (0.19)	0.024 (0.14)	0.021 (0.1)
960	5	1.25	1.15	0.34 (2)	0.21 (1.2)	0.13 (0.77)	0.085 (0.52)	0.064 (0.36)	0.052 (0.25)	0.04 (0.21)	0.035 (0.2)
480	10	2.5	2.3	0.44 (2.8)	0.28 (1.8)	0.19 (1.1)	0.1 (0.82)	0.1 (0.55)	0.072 (0.41)	0.057 (0.34)	0.048 (0.28)
240	20	5	4.6	0.67 (3.8)	0.4 (2.4)	0.27 (1.6)	0.2 (1.1)	0.14 (0.85)	0.098 (0.64)	0.081 (0.47)	0.07 (0.43)
120	40	10	9.2	0.98 (6)	0.58 (3.6)	0.37 (2.3)	0.27 (1.7)	0.2 (1.1)	0.14 (0.87)	0.11 (0.74)	0.09 (0.57)
96	50	12.5	11.5	1 (7.4)	0.67 (4.2)	0.41 (2.5)	0.28 (1.9)	0.23 (1.3)	0.15 (0.95)	0.13 (0.78)	0.11 (0.7)
80	60	15	13.8	1.1 (7.2)	0.7 (4.3)	0.44 (3)	0.33 (2.1)	0.24 (1.4)	0.17 (1.1)	0.14 (0.89)	0.12 (0.75)
60	80	20	18.4	1.3 (8.4)	0.8 (5.1)	0.53 (3.4)	0.37 (2.4)	0.27 (1.6)	0.2 (1.3)	0.18 (1.1)	0.13 (0.82)
30	160	40	36.8	1.8 (11)	1.2 (7.6)	0.73 (4.6)	0.54 (3.4)	0.39 (2.4)	0.28 (1.9)	0.23 (1.4)	0.19 (1.2)
15	320	80	73.6	2.6 (17)	1.7 (11)	1 (6.6)	0.79 (4.7)	0.58 (3.4)	0.4 (2.5)	0.33 (2)	0.26 (1.5)
8	600	150	138	3.7 (23)	2.3 (15)	1.5 (9.6)	1.2 (7.2)	0.84 (5)	0.56 (4)	0.46 (2.8)	0.4 (2.6)
4	1200	300	276	5.3 (36)	3.6 (24)	2.4 (16)	1.9 (13)	1.3 (8.2)	0.85 (6)	0.68 (4.3)	0.6 (4.5)
2	2400	600	552	9.3 (72)	6.8 (53)	4.8 (35)	4.1 (34)	2.5 (19)	1.7 (13)	1.3 (10)	1.2 (9.7)
1	4800	1200	1104	71 (500)	37 (270)	21 (160)	13 (98)	7.2 (55)	4.3 (33)	3.1 (24)	2.6 (21)

表19. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、中消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	2.34	0.586	24 (21.8)	24 (21.4)	23.6 (21)	23.3 (20.6)	22.6 (20.3)	22.1 (19.7)	21.6 (19.1)	20.9 (18.5)
1920	2.5	0.625	24 (21.8)	23.8 (21.4)	23.5 (21)	23 (20.6)	22.6 (20.3)	22 (19.7)	21.6 (19.1)	20.8 (18.5)
960	5	1.25	23.8 (21.2)	23.5 (21)	23.2 (20.6)	22.8 (20.2)	22.2 (19.7)	21.5 (19.2)	20.9 (18.5)	20.1 (17.6)
480	10	2.5	23.4 (20.8)	23.1 (20.4)	22.7 (20.1)	22.2 (19.6)	21.5 (19.1)	21 (18.5)	20.4 (17.8)	19.6 (17.1)
240	20	5	22.8 (20.3)	22.5 (20)	22.1 (19.6)	21.6 (19.1)	21.1 (18.5)	20.6 (17.9)	19.9 (17.3)	19.1 (16.5)
120	40	10	22.3 (19.7)	22 (19.4)	21.7 (19)	21.1 (18.5)	20.6 (18.1)	20.1 (17.5)	19.4 (16.8)	18.7 (16)
96	50	12.5	22.2 (19.5)	21.8 (19.2)	21.5 (18.9)	21 (18.3)	20.4 (17.9)	19.9 (17.3)	19.2 (16.6)	18.5 (15.8)
80	60	15	22.1 (19.4)	21.7 (19.1)	21.4 (18.7)	20.9 (18.2)	20.3 (17.8)	19.8 (17.2)	19.1 (16.4)	18.4 (15.7)
60	80	20	21.9 (19.2)	21.5 (18.9)	21.1 (18.5)	20.7 (18)	20.1 (17.6)	19.6 (16.9)	18.9 (16.2)	18.2 (15.5)
30	160	40	21.4 (18.8)	21 (18.9)	20.7 (18.5)	20.2 (17.5)	19.6 (17)	19.1 (16.3)	18.4 (15.8)	17.7 (15)
15	320	80	20.9 (18.2)	20.5 (17.8)	20.2 (17.5)	19.6 (17)	19 (16.5)	18.6 (15.9)	17.9 (15.3)	17.2 (14.6)
8	600	150	20.4 (17.7)	20 (17.3)	19.7 (17)	19 (16.4)	18.5 (15.9)	18.1 (15.3)	17.4 (14.8)	16.6 (13.9)
4	1200	300	19.8 (17.1)	19.4 (16.7)	19 (16.3)	18.3 (15.6)	17.9 (15.2)	17.5 (14.7)	16.8 (14)	16 (13.1)
2	2400	600	19 (16.1)	18.5 (15.5)	18 (15.1)	17.2 (14.2)	16.9 (14)	16.5 (13.6)	15.8 (12.9)	15 (12)
1	4800	1200	16.1 (13.3)	16 (13.2)	15.9 (12.9)	15.5 (12.6)	15.4 (12.5)	15.1 (12.2)	14.6 (11.7)	13.9 (10.9)

Sinc³

表20. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、中消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	f _{3dB} (Hz)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	2.34	0.78	0.64	0.25 (1.5)	0.17 (1)	0.087 (0.58)	0.065 (0.4)	0.049 (0.27)	0.034 (0.19)	0.03 (0.16)	0.022 (0.11)
960	5	1.67	1.36	0.35 (2.2)	0.23 (1.3)	0.14 (0.82)	0.1 (0.58)	0.074 (0.43)	0.053 (0.31)	0.041 (0.22)	0.034 (0.17)
480	10	3.33	2.72	0.5 (3.1)	0.31 (1.9)	0.19 (1.3)	0.14 (0.89)	0.1 (0.63)	0.075 (0.44)	0.6 (0.35)	0.049 (0.28)
320	15	5	4.08	0.6 (3.8)	0.38 (2.4)	0.24 (1.6)	0.17 (1.1)	0.13 (0.8)	0.089 (0.54)	0.076 (0.46)	0.062 (0.35)
160	30	10	8.16	0.83 (5.6)	0.54 (3.3)	0.34 (2.2)	0.24 (1.6)	0.18 (1.1)	0.13 (0.77)	0.1 (0.65)	0.088 (0.53)
96	50	16.67	13.6	1.1 (7.5)	0.72 (4.4)	0.44 (2.9)	0.31 (2)	0.24 (1.5)	0.17 (1)	0.14 (0.82)	0.11 (0.7)
80	60	20	16.32	1.2 (7.7)	0.8 (4.8)	0.48 (3.1)	0.35 (2.2)	0.25 (1.6)	0.18 (1.1)	0.15 (0.94)	0.12 (0.77)
40	120	40	32.64	1.7 (11)	1.1 (7)	0.7 (4.6)	0.47 (3.2)	0.36 (2.2)	0.26 (1.7)	0.21 (1.5)	0.18 (1.1)
20	240	80	65.28	2.5 (16)	1.6 (9.7)	0.94 (6.2)	0.7 (5)	0.53 (3.2)	0.37 (2.3)	0.31 (2.1)	0.26 (1.8)
10	480	160	130.6	3.5 (24)	2.2 (15)	1.4 (9.3)	1 (7)	0.78 (5.3)	0.56 (3.9)	0.46 (3.1)	0.38 (2.5)
5	960	320	261.1	6.7 (53)	4.1 (34)	2.5 (19)	1.8 (14)	1.2 (8.7)	0.84 (6.4)	0.67 (5)	0.57 (3.9)
3	1600	533.33	435.2	25 (170)	13 (90)	7.1 (53)	4.2 (30)	2.4 (18)	1.5 (11)	1.1 (7.8)	0.89 (6.8)
2	2400	800	652.8	110 (740)	54 (360)	27 (200)	14 (110)	7.4 (51)	3.9 (29)	2.3 (16)	1.6 (12)
1	4800	1600	1306	880 (5800)	430 (3100)	220 (1500)	110 (760)	55 (400)	27 (180)	14 (110)	7.5 (56)

表21. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、中消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	2.34	0.78	24 (21.7)	23.8 (21.2)	23.6 (21)	23.2 (20.6)	22.6 (20.1)	22.1 (19.6)	21.3 (18.9)	20.7 (18.4)
960	5	1.67	23.8 (21.1)	23.4 (20.8)	23.1 (20.5)	22.6 (20)	22 (19.5)	21.5 (19)	20.8 (18.4)	20.1 (17.8)
480	10	3.33	23.3 (20.6)	22.9 (20.3)	22.6 (19.9)	22.1 (19.4)	21.5 (18.9)	21 (18.4)	20.3 (17.8)	19.6 (17.1)
320	15	5	23 (20.3)	22.6 (20)	22.3 (19.6)	21.8 (19.1)	21.2 (18.6)	20.7 (18.1)	20 (17.4)	19.3 (16.8)
160	30	10	22.5 (19.8)	22.1 (19.5)	21.8 (19.1)	21.3 (18.6)	20.7 (18.1)	20.2 (17.6)	19.5 (16.9)	18.8 (16.2)
96	50	16.67	22.1 (19.4)	21.7 (19.1)	21.4 (18.7)	20.9 (18.2)	20.3 (17.7)	19.8 (17.2)	19.1 (16.5)	18.4 (15.8)
80	60	20	22 (19.3)	21.6 (19)	21.3 (18.6)	20.8 (18.1)	20.2 (17.6)	19.7 (17.1)	19.1 (16.3)	18.3 (15.6)
40	120	40	21.5 (18.8)	21.1 (18.5)	20.8 (18.1)	20.3 (17.6)	19.7 (17.1)	19.2 (16.5)	18.5 (15.7)	17.7 (15.1)
20	240	80	21 (18.3)	20.6 (18)	20.3 (17.6)	19.8 (17)	19.2 (16.6)	18.7 (16)	18 (15.2)	17.2 (14.4)
10	480	160	20.4 (17.7)	20.1 (17.3)	19.8 (17)	19.2 (16.4)	18.6 (15.9)	18.1 (15.3)	17.4 (14.6)	16.7 (13.9)
5	960	320	19.5 (16.5)	19.2 (16.2)	19 (16)	18.4 (15.4)	18 (15.1)	17.5 (14.6)	16.8 (13.9)	16.1 (13.3)
3	1600	533.33	17.6 (14.8)	17.5 (14.8)	17.4 (14.5)	17.2 (14.3)	17 (14.1)	16.7 (13.8)	16.1 (13.3)	15.4 (12.6)
2	2400	800	15.5 (12.7)	15.5 (12.7)	15.5 (12.6)	15.4 (12.6)	15.4 (12.6)	15.3 (12.4)	15 (12.3)	14.6 (11.7)
1	4800	1600	12.5 (9.7)	12.5 (9.7)	12.5 (9.7)	12.5 (9.7)	12.5 (9.6)	12.5 (9.6)	12.4 (9.5)	12.4 (9.4)

ポスト・フィルタ

表22. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、中消費電力モード

Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
16.67	1.1 (6.3)	0.69 (4)	0.41 (2.5)	0.31 (2)	0.23 (1.4)	0.17 (0.96)	0.13 (0.79)	0.11 (0.61)
20	1.1 (6.9)	0.7 (4)	0.41 (2.5)	0.33 (2.1)	0.23 (1.5)	0.18 (0.96)	0.14 (0.81)	0.12 (0.67)
25	1.2 (8)	0.8 (4.6)	0.46 (2.8)	0.36 (2.3)	0.25 (1.5)	0.17 (1)	0.15 (0.9)	0.12 (0.74)
27.27	1.3 (9.2)	0.82 (4.8)	0.48 (2.8)	0.36 (2.3)	0.28 (1.6)	0.19 (1.1)	0.16 (1)	0.13 (0.79)

表23. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、中消費電力モード

Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
16.67	22.1 (19.6)	21.8 (19.2)	21.5 (18.9)	20.9 (18.3)	20.4 (17.8)	19.8 (17.3)	19.2 (16.6)	18.4 (16)
20	22.1 (19.5)	21.8 (19.2)	21.5 (18.9)	20.9 (18.2)	20.4 (17.7)	19.8 (17.3)	19 (16.6)	18.3 (15.8)
25	22 (19.2)	21.6 (19.1)	21.4 (18.8)	20.7 (18.1)	20.3 (17.6)	19.7 (17.2)	18.9 (16.4)	18.2 (15.7)
27.27	21.9 (19)	21.5 (19)	21.3 (18.8)	20.7 (18.1)	21.1 (17.6)	19.7 (17.1)	18.9 (16.3)	18.2 (15.6)

高速セトリング・フィルタ (Sinc⁴ + Sinc¹)

表24. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、中消費電力モード (16 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.63	0.36 (2.4)	0.23 (1.5)	0.15 (0.82)	0.1 (0.71)	0.078 (0.44)	0.056 (0.35)	0.045 (0.26)	0.038 (0.21)
30	8.42	0.67 (4.2)	0.44 (2.7)	0.26 (1.6)	0.18 (1.1)	0.14 (0.8)	0.1 (0.54)	0.08 (0.48)	0.067 (0.41)
6	42.11	1.5 (9)	0.96 (6.1)	0.57 (3.7)	0.42 (2.6)	0.32 (1.9)	0.22 (1.5)	0.18 (1.1)	0.15 (0.95)
5	50.53	1.6 (9.3)	1 (7.7)	0.62 (4)	0.46 (3)	0.33 (2)	0.24 (1.6)	0.2 (1.3)	0.17 (1.2)
2	126.32	2.5 (15)	1.6 (11)	1 (7.2)	0.76 (4.9)	0.57 (3.7)	0.41 (2.7)	0.32 (2.4)	0.29 (1.9)
1	252.63	5.2 (21)	3.1 (19)	1.8 (11)	1.4 (9.8)	0.92 (6.2)	0.62 (4.2)	0.49 (3)	0.41 (3)

表25. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、中消費電力モード (16 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.63	23.7 (21)	23.4 (20.7)	23 (20.5)	22.5 (19.8)	21.9 (19.4)	21.4 (18.8)	20.7 (18.2)	20 (17.5)
30	8.42	22.8 (20.2)	22.4 (19.8)	22.2 (19.5)	21.7 (19.1)	21 (18.6)	20.6 (18.1)	19.9 (17.3)	19.1 (16.5)
6	42.11	21.7 (19.1)	21.3 (18.6)	21.1 (18.4)	20.5 (17.9)	19.9 (17.3)	19.4 (16.7)	18.7 (16)	18 (15.2)
5	50.53	21.5 (19)	21.2 (18.4)	20.9 (18.2)	20.4 (17.8)	19.8 (17.2)	19.3 (16.6)	18.5 (15.9)	17.8 (15)
2	126.32	20.9 (18.3)	20.5 (17.8)	20.2 (17.4)	19.6 (17)	19.1 (16.4)	18.6 (15.8)	17.9 (15.2)	17.1 (14.3)
1	252.63	19.9 (17.3)	19.6 (17)	19.4 (16.8)	18.8 (16)	18.4 (15.6)	17.9 (15.2)	17.3 (14.7)	16.5 (13.7)

高速セトリング・フィルタ (Sinc³ + Sinc¹)

表26. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、中消費電力モード (16 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.78	0.39 (2.4)	0.25 (1.5)	0.16 (1)	0.11 (0.67)	0.08 (0.48)	0.058 (0.31)	0.047 (0.27)	0.039 (0.23)
30	8.89	0.71 (4.2)	0.43 (2.5)	0.27 (1.6)	0.19 (1.1)	0.15 (1)	0.098 (0.64)	0.083 (0.47)	0.068 (0.4)
6	44.44	1.5 (9.5)	0.93 (6)	0.59 (3.8)	0.43 (2.6)	0.32 (2.1)	0.22 (1.5)	0.18 (1.1)	0.15 (0.98)
5	53.33	1.6 (11)	1 (6.9)	0.66 (4.2)	0.46 (2.8)	0.35 (2.3)	0.24 (1.6)	0.2 (1.2)	0.17 (1.1)
2	133.33	6 (37)	3.2 (20)	1.8 (11)	1 (7.2)	0.63 (4.5)	0.43 (3)	0.33 (2.2)	0.27 (1.8)
1	266.67	44 (320)	23 (160)	12 (83)	5.7 (41)	3 (20)	1.6 (9.9)	0.84 (6.4)	0.56 (3.5)

表27. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、中消費電力モード (16 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.78	23.6 (21)	23.3 (20.7)	22.9 (20.3)	22.5 (19.8)	21.9 (19.3)	21.4 (18.9)	20.7 (18.1)	19.9 (17.4)
30	8.89	22.7 (20.2)	22.5 (19.9)	22.2 (19.6)	21.7 (19.1)	21 (18.3)	20.6 (17.9)	19.8 (17.3)	19.1 (16.6)
6	44.44	21.7 (19)	21.4 (18.7)	21 (18.3)	20.5 (17.9)	19.9 (17.2)	19.4 (16.7)	18.7 (16.1)	18 (15.3)
5	53.33	21.5 (18.8)	21.2 (18.5)	20.9 (18.2)	20.4 (17.8)	19.8 (17.1)	19.3 (16.6)	18.6 (16)	17.8 (15.1)
2	133.33	19.7 (17)	19.6 (16.9)	19.4 (16.8)	19.2 (16.4)	18.9 (16.1)	18.5 (15.7)	17.8 (15.1)	17.1 (14.4)
1	266.67	16.8 (13.9)	16.7 (13.9)	16.7 (13.9)	16.7 (13.9)	16.7 (13.9)	16.6 (13.9)	16.5 (13.6)	16.1 (13.4)

低消費電力モード

Sinc⁴

表 28. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、低消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	f _{3dB} (Hz)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	1.17	0.293	0.269	0.22 (1.2)	0.15 (0.89)	0.095 (0.67)	0.071 (0.41)	0.053 (0.26)	0.043 (0.2)	0.035 (0.16)	0.024 (0.12)
1920	1.25	0.3125	0.288	0.24 (1.5)	0.15 (0.89)	0.095 (0.67)	0.071 (0.41)	0.053 (0.26)	0.043 (0.2)	0.035 (0.16)	0.024 (0.12)
960	2.5	0.625	0.575	0.37 (2.1)	0.23 (1.2)	0.13 (0.82)	0.1 (0.61)	0.068 (0.37)	0.055 (0.26)	0.041 (0.23)	0.035 (0.17)
480	5	1.25	1.15	0.5 (3)	0.3 (1.7)	0.18 (1.2)	0.13 (0.77)	0.099 (0.56)	0.078 (0.39)	0.06 (0.31)	0.052 (0.26)
240	10	2.5	2.3	0.65 (4.1)	0.42 (2.5)	0.26 (1.9)	0.2 (1.1)	0.14 (0.8)	0.1 (0.6)	0.085 (0.5)	0.072 (0.43)
120	20	5	4.6	0.9 (5.8)	0.61 (3.5)	0.38 (2.5)	0.28 (1.7)	0.2 (1.2)	0.15 (0.85)	0.12 (0.68)	0.096 (0.6)
60	40	10	9.2	1.3 (8)	0.82 (5)	0.53 (3.7)	0.38 (2.4)	0.29 (1.8)	0.21 (1)	0.17 (0.95)	0.14 (0.9)
48	50	12.5	11.5	1.4 (9.3)	0.95 (6)	0.6 (4.2)	0.46 (2.8)	0.32 (2.1)	0.24 (1.5)	0.2 (1.1)	0.16 (1)
40	60	15	13.8	1.6 (10)	0.99 (6.6)	0.64 (4.5)	0.47 (3.2)	0.35 (2.2)	0.26 (1.7)	0.21 (1.3)	0.17 (1.1)
30	80	20	18.4	1.8 (12)	1.2 (7.5)	0.77 (5.1)	0.55 (3.7)	0.4 (2.7)	0.3 (2)	0.25 (1.6)	0.19 (1.3)
15	160	40	36.8	2.6 (17)	1.8 (11)	1.1 (7.2)	0.85 (5.7)	0.56 (3.9)	0.41 (2.5)	0.33 (2.1)	0.28 (1.6)
8	300	75	69	3.7 (24)	2.5 (17)	1.6 (11)	1.2 (7.5)	0.87 (5.6)	0.58 (3.9)	0.48 (2.9)	0.39 (2.6)
4	600	150	138	5.2 (35)	4 (24)	2.6 (17)	2.1 (13)	1.4 (8.5)	1 (6)	0.76 (5.2)	0.6 (3.9)
2	1200	300	276	9.4 (57)	7.6 (47)	5.8 (36)	4.9 (32)	3 (19)	1.9 (11)	1.4 (9)	1.3 (7.8)
1	2400	600	552	72 (470)	39 (240)	22 (130)	16 (110)	8 (49)	4.8 (29)	3.3 (21)	2.6 (18)

表 29. ゲインと出力データ・レートに対する実効分解能 (ピーク to ピーク分解能)、低消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	1.17	0.29311	24 (22)	23.8 (21.4)	23.7 (20.9)	23.2 (20.5)	22.7 (20.2)	21.8 (19.7)	21.3 (18.9)	20.6 (18.3)
1920	1.25	0.3125	24 (21.7)	23.8 (21.3)	23.6 (20.8)	23.1 (20.5)	22.6 (20.1)	21.8 (19.6)	21.2 (18.9)	20.6 (18.3)
960	2.5	0.625	23.7 (21.2)	23.4 (21)	23.2 (20.5)	22.6 (20)	22.1 (19.7)	21.4 (19.2)	20.8 (18.4)	20.1 (17.8)
480	5	1.25	23.3 (20.7)	23 (20.5)	22.7 (20)	22.1 (19.6)	21.6 (19.1)	20.9 (18.6)	20.3 (17.9)	19.5 (17.2)
240	10	2.5	22.9 (20.2)	22.5 (19.9)	22.2 (19.4)	21.6 (19.1)	21.1 (18.6)	20.5 (18)	19.8 (17.2)	19.1 (16.5)
120	20	5	22.4 (19.7)	22 (19.4)	21.7 (18.9)	21.1 (18.5)	20.6 (18)	20 (17.5)	19.3 (16.8)	18.6 (16)
60	40	10	21.9 (19.2)	21.5 (18.9)	21.2 (18.4)	20.6 (18)	20.1 (17.4)	19.5 (17.3)	18.8 (16.3)	18.1 (15.4)
48	50	12.5	21.7 (19)	21.3 (18.7)	21 (18.2)	20.4 (17.8)	19.9 (17.2)	19.3 (16.7)	18.6 (16.1)	17.9 (15.2)
40	60	15	21.6 (18.9)	21.2 (18.5)	20.9 (18.1)	20.3 (17.6)	19.8 (17.1)	19.2 (16.5)	18.5 (15.9)	17.8 (15.1)
30	80	20	21.4 (18.7)	21 (18.3)	20.6 (17.9)	20.1 (17.4)	19.6 (16.8)	19 (16.2)	18.3 (15.6)	17.6 (14.9)
15	160	40	20.9 (18.2)	20.4 (17.8)	20.1 (17.4)	19.5 (16.8)	19.1 (16.3)	18.5 (15.7)	17.8 (15.2)	17.1 (14.5)
8	300	75	20.4 (17.7)	19.9 (17.2)	19.6 (16.8)	19 (16.3)	18.5 (15.8)	18 (15.3)	17.3 (14.7)	16.6 (13.9)
4	600	150	19.9 (17.1)	19.3 (16.7)	18.9 (16.2)	18.2 (15.6)	17.8 (15.2)	17.3 (14.7)	16.7 (13.9)	16 (13.3)
2	1200	300	19 (16.4)	18.3 (15.7)	17.7 (15.1)	17 (14.3)	16.7 (14)	16.3 (13.8)	15.7 (13.1)	14.9 (12.3)
1	2400	600	16.1 (13.4)	16 (13.4)	15.8 (13.3)	15.3 (12.5)	15.2 (12.5)	15 (12.4)	14.5 (11.9)	13.9 (11)

Sinc³

表 30. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、低消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	f _{3dB} (Hz)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	1.17	0.39	0.32	0.26 (1.5)	0.17 (0.9)	0.099 (0.6)	0.072 (0.36)	0.055 (0.27)	0.039 (0.21)	0.032 (0.16)	0.026 (0.13)
480	5	1.67	1.36	0.51 (3.1)	0.31 (1.9)	0.2 (1.3)	0.15 (0.86)	0.11 (0.65)	0.078 (0.45)	0.063 (0.37)	0.05 (0.28)
240	10	3.33	2.72	0.75 (4.5)	0.45 (2.8)	0.29 (2)	0.21 (1.3)	0.16 (0.9)	0.11 (0.65)	0.085 (0.51)	0.071 (0.39)
160	15	5	4.08	0.88 (5.5)	0.55 (3.3)	0.3 (2.4)	0.26 (1.6)	0.19 (1.2)	0.14 (0.79)	0.1 (0.62)	0.089 (0.53)
80	30	10	8.16	1.3 (7.8)	0.77 (4.9)	0.47 (3.3)	0.36 (2.2)	0.27 (1.7)	0.19 (1.2)	0.15 (0.94)	0.12 (0.72)
48	50	16.67	13.6	1.7 (9.9)	1 (6.4)	0.63 (4.6)	0.47 (3.1)	0.36 (2.2)	0.26 (1.7)	0.2 (1.3)	0.16 (1)
40	60	20	16.32	1.8 (12)	1.1 (7)	0.71 (5)	0.52 (3.4)	0.39 (2.5)	0.27 (1.8)	0.21 (1.4)	0.18 (1.3)
20	120	40	32.64	2.5 (17)	1.6 (10)	0.9 (6.17)	0.73 (5)	0.55 (3.7)	0.41 (2.5)	0.3 (1.9)	0.26 (1.6)
10	240	80	65.28	3.5 (25)	2.4 (16)	1.5 (9.9)	1.1 (7.6)	0.8 (5.3)	0.56 (3.5)	0.45 (2.8)	0.37 (2.3)
5	480	160	130.6	6.8 (48)	4.3 (32)	2.6 (19)	2 (15)	1.3 (9)	0.9 (6.5)	0.7 (4.5)	0.55 (3.3)
3	800	266.67	217.6	25 (180)	13 (98)	7.4 (53)	4.5 (34)	2.7 (18)	1.6 (11)	1.1 (7.7)	0.91 (6)
2	1200	400	326.4	110 (740)	55 (390)	28 (180)	15 (100)	7.6 (57)	4 (32)	2.4 (16)	1.6 (12)
1	2400	800	652.8	870 (5600)	430 (2900)	220 (1400)	110 (670)	56 (370)	28 (180)	14 (100)	7.6 (52)

表 31. ゲインと出力データ・レートに対する実効分解能 (ピーク to ピーク分解能)、低消費電力モード

Filter Word (Dec.)	Output Data Rate (SPS)	Output Data Rate (Zero Latency Mode) (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	1.17	0.39	24 (21.7)	23.8 (21.4)	23.6 (21)	23 (20.7)	22.4 (20.1)	21.9 (19.5)	21.2 (18.9)	20.5 (18.2)
480	5	1.67	23.2 (20.6)	22.9 (20.3)	22.6 (19.9)	22 (19.5)	21.4 (18.9)	20.9 (18.4)	20.2 (17.7)	19.6 (17.1)
240	10	3.33	22.7 (20.1)	22.4 (19.8)	22.1 (19.3)	21.5 (18.9)	20.9 (18.4)	20.4 (17.9)	19.8 (17.2)	19.1 (16.6)
160	15	5	22.4 (19.8)	22.1 (19.5)	21.8 (19)	21.2 (18.6)	20.6 (18)	20.1 (17.6)	19.5 (16.9)	18.8 (16.2)
80	30	10	21.9 (19.3)	21.6 (19)	21.3 (18.5)	20.7 (18.1)	20.1 (17.5)	19.6 (17)	19 (16.3)	18.3 (15.7)
48	50	16.67	21.5 (18.9)	21.2 (18.6)	20.9 (18.1)	20.3 (17.6)	19.7 (17.1)	19.2 (16.5)	18.6 (15.9)	17.9 (15.2)
40	60	20	21.4 (18.7)	21.1 (18.4)	20.8 (17.9)	20.2 (17.5)	19.6 (16.9)	19.1 (16.4)	18.5 (15.8)	17.7 (15.1)
20	120	40	20.9 (18.2)	20.6 (17.9)	20.3 (17.4)	19.7 (16.9)	19.1 (16.4)	18.6 (15.9)	18 (15.3)	17.2 (14.6)
10	240	80	20.4 (17.6)	20 (17.2)	19.7 (16.9)	19.1 (16.3)	18.6 (15.9)	18.1 (15.4)	17.4 (14.8)	16.7 (14.1)
5	480	160	19.5 (16.7)	19.2 (16.3)	18.8 (16)	18.2 (15.4)	17.9 (15.1)	17.4 (14.6)	16.8 (14.1)	16.1 (13.5)
3	800	266.67	17.6 (14.8)	17.5 (14.6)	17.4 (14.5)	17.1 (14.2)	16.8 (14.1)	16.6 (13.8)	16.1 (13.3)	15.4 (12.7)
2	1200	400	15.5 (12.7)	15.5 (12.7)	15.4 (12.7)	15.4 (12.6)	15.3 (12.4)	15.2 (12.3)	15 (12.2)	14.5 (11.6)
1	2400	800	12.5 (9.8)	12.5 (9.8)	12.5 (9.8)	12.5 (9.8)	12.5 (9.7)	12.5 (9.7)	12.5 (9.6)	12.3 (9.6)

ポスト・フィルタ

表 32. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、低消費電力モード

Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
16.67	1.7 (12)	0.96 (5.8)	0.65 (4)	0.45 (2.6)	0.34 (1.9)	0.25 (1.5)	0.2 (1.2)	0.16 (0.92)
20	1.7 (11)	1.1 (6.4)	0.65 (4.2)	0.46 (2.6)	0.36 (1.9)	0.26 (1.5)	0.21 (1.2)	0.17 (0.93)
25	1.8 (11)	1.1 (6.7)	0.68 (4.2)	0.52 (2.7)	0.37 (2)	0.26 (1.6)	0.22 (1.2)	0.17 (1.1)
27.27	1.9 (11)	1.1 (7.3)	0.69 (4.4)	0.54 (2.9)	0.4 (2.1)	0.27 (1.8)	0.23 (1.4)	0.18 (1.3)

表 33. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、低消費電力モード

Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
16.67	21.5 (18.8)	21.3 (18.7)	20.9 (18.2)	21.4 (17.9)	19.8 (17.3)	19.3 (16.7)	18.6 (16.1)	17.9 (15.4)
20	21.5 (18.8)	21.2 (18.6)	20.9 (18.2)	20.4 (17.9)	19.7 (17.3)	19.2 (16.7)	18.6 (16.1)	17.8 (15.4)
25	21.4 (18.8)	21.2 (18.5)	20.8 (18.2)	20.2 (17.8)	19.7 (17.3)	19.2 (16.6)	18.5 (15.9)	17.8 (15.1)
27.27	21.3 (18.7)	21.1 (18.4)	20.8 (18.1)	20.2 (17.7)	19.6 (17.2)	19.1 (16.4)	18.4 (15.8)	17.7 (14.9)

高速セトリング・フィルタ ($\text{Sinc}^4 + \text{Sinc}^1$)表34. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、低消費電力モード (8 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.27	0.53 (3.4)	0.34 (2.2)	0.19 (1.2)	0.16 (0.97)	0.1 (0.61)	0.082 (0.48)	0.065 (0.38)	0.058 (0.37)
30	7.27	0.89 (5.4)	0.6 (3.6)	0.36 (2.2)	0.27 (1.8)	0.21 (1.2)	0.15 (0.93)	0.12 (0.65)	0.093 (0.59)
6	36.36	2.1 (12)	1.4 (8.3)	0.82 (5.6)	0.64 (3.9)	0.43 (2.7)	0.33 (2.1)	0.25 (1.6)	0.21 (1.4)
5	43.64	2.2 (13)	1.4 (9.7)	0.93 (6.5)	0.71 (4.2)	0.5 (3.1)	0.35 (2.4)	0.28 (1.7)	0.23 (1.5)
2	109.1	3.7 (25)	2.5 (18)	1.5 (10)	1.3 (7.5)	0.86 (5.6)	0.59 (3.5)	0.47 (3.2)	0.39 (2.4)
1	218.18	8.4 (52)	5.4 (34)	3.3 (21)	2.6 (16)	1.6 (9.8)	0.97 (6.1)	0.75 (5.4)	0.63 (4.7)

表35. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、低消費電力モード (8 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.27	23.2 (20.5)	22.8 (20.1)	22.7 (20)	21.9 (19.3)	21.5 (19)	20.9 (18.3)	20.2 (17.6)	19.4 (16.7)
30	7.27	22.4 (19.8)	22 (19.4)	21.7 (19.1)	21.1 (18.4)	20.5 (18)	20 (17.4)	19.4 (16.9)	18.7 (16)
6	36.36	21.2 (18.6)	20.8 (18.1)	20.5 (17.8)	19.9 (17.3)	19.5 (16.8)	18.9 (16.2)	18.3 (15.6)	17.5 (14.8)
5	43.64	21.1 (18.5)	20.7 (18)	20.4 (17.6)	19.8 (17.2)	19.3 (16.6)	18.8 (16)	18.1 (15.5)	17.4 (14.7)
2	109.1	20.4 (17.6)	19.9 (17.1)	19.6 (16.9)	18.9 (16.3)	18.5 (15.8)	18 (15.4)	17.3 (14.6)	16.6 (14)
1	218.18	19.2 (16.6)	18.8 (16.2)	18.5 (15.9)	17.9 (15.2)	17.6 (15)	17.3 (14.7)	16.7 (13.8)	15.9 (13)

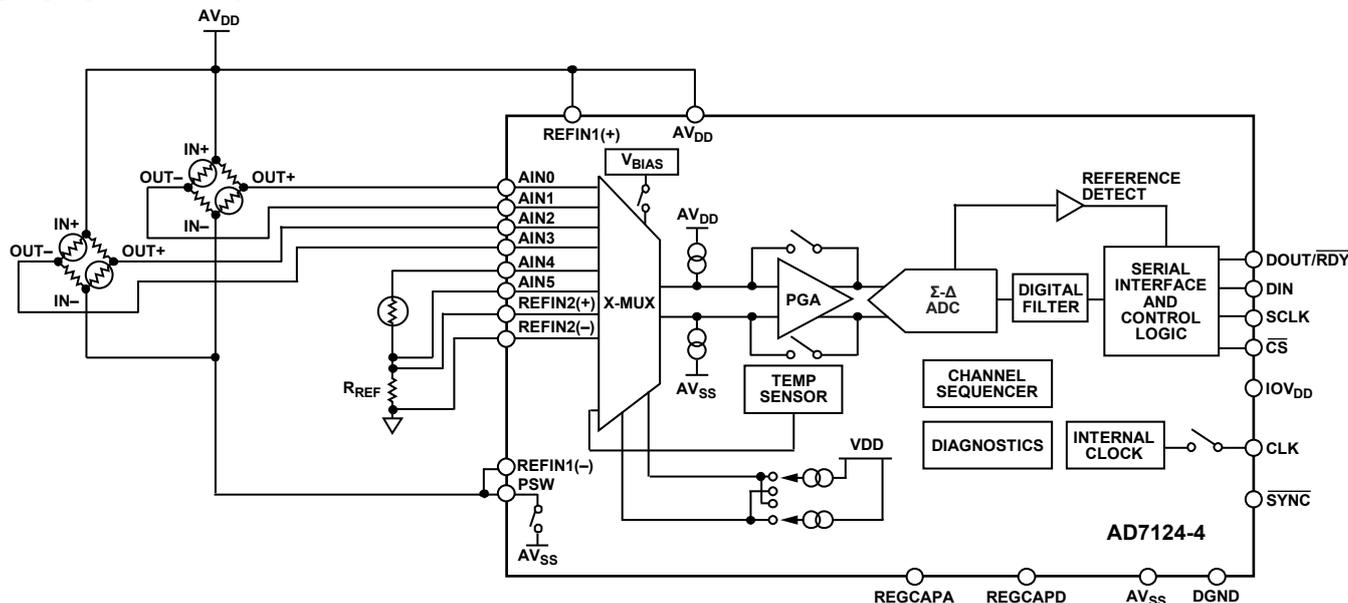
高速セトリング・フィルタ ($\text{Sinc}^3 + \text{Sinc}^1$)表36. ゲインと出力データ・レート (μV) に対する RMS ノイズ (ピーク to ピーク・ノイズ)、低消費電力モード (8 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	0.53 (3.6)	0.33 (2.1)	0.21 (1.4)	0.15 (0.93)	0.11 (0.6)	0.073 (0.44)	0.064 (0.39)	0.051 (0.29)
30	8	0.92 (5.4)	0.58 (3.4)	0.4 (2.3)	0.28 (1.6)	0.2 (1.1)	0.14 (0.79)	0.11 (0.62)	0.094 (0.51)
6	40	2.1 (13)	1.3 (8.3)	0.83 (6)	0.61 (4.1)	0.44 (3)	0.33 (2.1)	0.26 (1.6)	0.21 (1.3)
5	48	2.3 (14)	1.5 (8.6)	0.87 (6.6)	0.7 (4.4)	0.5 (3.3)	0.36 (2.3)	0.3 (1.7)	0.23 (1.4)
2	120	11 (72)	5.9 (39)	3.2 (23)	1.9 (15)	1.1 (8.5)	0.7 (4.7)	0.5 (3.3)	0.4 (2.4)
1	240	88 (530)	45 (250)	22 (140)	11 (82)	5.8 (40)	3 (22)	01.6 (11)	0.94 (6.3)

表37. ゲインと出力データ・レート (ビット) に対する実効分解能 (ピーク to ピーク分解能)、低消費電力モード (8 による平均化)

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	23.2 (20.4)	22.8 (20.2)	22.5 (19.8)	22 (19.4)	21.4 (19)	21 (18.4)	20.2 (17.6)	19.6 (17)
30	8	22.4 (19.8)	22 (19.5)	21.6 (19)	21.1 (18.6)	20.6 (18.1)	20.1 (17.6)	19.4 (16.9)	18.7 (16.2)
6	40	21.2 (18.6)	20.9 (18.2)	20.5 (17.7)	20 (17.2)	19.4 (16.7)	18.9 (16.2)	18.2 (15.6)	17.5 (14.9)
5	48	21 (18.4)	20.7 (18.1)	20.4 (17.5)	19.8 (17)	19.3 (16.5)	18.7 (16.1)	18 (15.5)	17.4 (14.8)
2	120	18.7 (16.1)	18.7 (16)	18.6 (15.8)	18.3 (15.3)	18.1 (15.2)	17.8 (15)	17.3 (14.6)	16.6 (14)
1	240	15.8 (13.2)	15.8 (13.2)	15.8 (13.2)	15.7 (12.9)	15.7 (12.9)	15.7 (12.8)	15.6 (12.8)	15.3 (12.6)

評価開始にあたって



NOTES
1. SIMPLIFIED BLOCK DIAGRAM SHOWN.

図 65. 基本接続図

概要

AD7124-4 は、 Σ - Δ 変調器、バッファ、リファレンス、ゲイン段、および内蔵デジタル・フィルタリングを備えた低消費電力 ADC で、広いダイナミック・レンジ、低周波信号(圧力トランスデューサなど)、重量計の計測や、温度計測アプリケーションを対象としています。

消費電力モード

AD7124-4 は、高消費電力モード、中消費電力モード、および低消費電力モードの 3 つの電力モードを備えています。これにより、速度、RMS ノイズ、および消費電流に関して高い柔軟性を発揮できます。

アナログ入力

このデバイスは、4 個の差動アナログ入力または 7 個の疑似差動アナログ入力に対応しています。アナログ入力には、バッファありまたはバッファなしのいずれかを使用できます。AD7124-4 は、柔軟性の高いマルチプレクサを採用しているため、あらゆるアナログ入力ピンを正入力 (AINP) または負入力 (AINM) として選択できます。

マルチプレクサ

内蔵マルチプレクサにより、デバイスのチャンネル数が増加します。マルチプレクサが内蔵されているため、チャンネルでのあらゆる変化が変換プロセスと同期されます。

リファレンス

AD7124-4 BグレードおよびTSSOPパッケージのAD7124-4は、ドリフトが10 ppm/°C (max)の2.5Vリファレンスを内蔵し、LFCSPパッケージのAD7124-4はドリフトが15 ppm/°C (max)の2.5Vリファレンスを内蔵しています。

リファレンス・バッファも内蔵されていて、内部リファレンスおよび外部から印加されたリファレンスと一緒に使用できます。

プログラマブル・ゲイン・アレイ (PGA)

PGA を使用して、アナログ入力信号を増幅できます。PGA は、1、2、4、8、16、32、64、および 128 のゲインに対応しています。

バーンアウト電流

外部センサーの存在を検出するため、500 nA、2 μ A、または 4 μ A に設定可能な 2 つのバーンアウト電流を備えています。

 Σ - Δ ADC およびフィルタ

AD7124-4 は、4 次 Σ - Δ 変調器を備え、後段にデジタル・フィルタが搭載されています。デバイスのフィルタ・オプションは次のとおりです。

- Sinc⁴
- Sinc³
- 高速フィルタ
- ポスト・フィルタ
- ゼロ遅延

チャンネル・シーケンサ

AD7124-4 では、最大 16 個の構成(チャンネル)を使用できます。これらのチャンネルは、アナログ入力、リファレンス入力、または電源で構成することができ、電源モニタリングなどの診断機能を変換とインターリーブすることができます。このシーケンサは、イネーブルにされたすべてのチャンネルを自動的に変換します。イネーブルにされた各チャンネルを選択した場合、変換結果を生成するのに必要な時間は、選択したチャンネルのセトリング・タイムと等しくなります。

チャンネルごとの設定

AD7124-4 では、それぞれがゲイン、出力データ・レート、フィルタ・タイプ、リファレンス源で構成された8つまでの異なるセットアップが可能です。その後、各チャンネルがセットアップにリンクされます。

シリアル・インターフェース

AD7124-4 は 3 線式または 4 線式の SPI を備えています。内蔵レジスタには、シリアル・インターフェース経由でアクセスします。

クロック

このデバイスは 614.4 kHz の内部クロックを備えています。このクロックまたは外部クロックをデバイスのクロック源として使用します。外部回路でクロック源が必要な場合は、内部クロックの信号をピンから出力することもできます。

温度センサー

内蔵の温度センサーがチップの温度を監視します。

デジタル出力

AD7124-4 は、2 つの汎用デジタル出力を備えています。これらの出力は、外部回路の駆動に使用できます。例えば、これらの出力で外部マルチプレクサを制御できます。

キャリブレーション

内部キャリブレーションとシステム・キャリブレーションの両方が内蔵されているため、デバイス内部のみや、エンド・システム全体のオフセットまたはゲイン誤差を除去することができます。

励起電流

このデバイスには 2 つの励起電流が含まれていて、それぞれ 50 μ A、100 μ A、250 μ A、500 μ A、750 μ A、または 1 mA に設定できます。

バイアス電圧

バイアス電圧発生器が内蔵されているため、熱電対からの信号に適切なバイアスをかけることができます。バイアス電圧は $AV_{DD}/2$ に設定され、あらゆる入力で使用できます。複数のチャンネルに供給できます。

ブリッジ・パワー・スイッチ (PSW)

ローサイド・パワー・スイッチにより、ADC にインターフェースされたブリッジへの電力供給を停止できます。

診断機能

AD7124-4 は、次のさまざまな診断機能を備えています。

- リファレンス検出
- 過電圧/低電圧の検出
- SPI 通信での CRC
- メモリ・マップでの CRC
- SPI 読出し/書込みチェック

これらの診断機能により、アプリケーションでの高い故障検出率を実現できます。

電源

AD7124-4 は、低消費電力モードおよび中消費電力モードで 2.7 V ~ 3.6 V のアナログ電源電圧、通常消費電力モードで 2.9 V ~ 3.6 V のアナログ電源電圧で動作します。このデバイスは 1.65 V ~ 3.6 V のデジタル電源に対応します。

このデバイスには、 AV_{DD} と IOV_{DD} の 2 つの独立した電源ピンがあります。

- AV_{DD} は AV_{SS} を基準とします。 AV_{DD} は、ADC に電力を供給する内部アナログ・レギュレータを駆動します。
- IOV_{DD} は DGND を基準とします。この電源は、SPI インターフェースのロジック・レベルを設定し、デジタル処理のための内部レギュレータを駆動します。

単電源動作 ($AV_{SS} = DGND$)

AV_{DD} に接続された単電源から AD7124-4 に電力を供給する場合、 AV_{SS} と DGND を 1 つのグラウンド・プレーン上で互いに接続することができます。このセットアップでは、真のバイポーラ入力を使用し、コモンモード電圧をシフトする場合、外部レベル・シフト回路が必要になります。ADP162 などの低い静止電流のレギュレータが推奨されます。

分離電源動作 ($AV_{SS} \neq DGND$)

AD7124-4 は、 AV_{SS} を負電圧に設定した状態で動作できるので、真のバイポーラ入力が可能になります。これにより、外部のレベル・シフト回路なしで 0 V を中心とした完全差動入力の信号を AD7124-4 に供給できるようになります。例えば、3.6 V 分離電源を使用した場合は $AV_{DD} = +1.8$ V、 $AV_{SS} = -1.8$ V になります。この場合、AD7124-4 の内部でレベル・シフトが行われ、DGND(公称 0 V) と IOV_{DD} の間でデジタル出力が機能します。

AV_{DD} と AV_{SS} に分離電源を使用する場合は、絶対最大定格を考慮する必要があります(絶対最大定格のセクションを参照)。デバイスの絶対最大定格を超えないように、 IOV_{DD} が 3.6 V 未満に設定されていることを確認してください。

デジタル通信

AD7124-4 は、QSPI™、MICROWIRE™、および DSP と互換性のある 3 線式または 4 線式の SPI インターフェースを備えています。このインターフェースは、SPI モード 3 で動作し、 CS がロー・レベルに接続したままでも動作します。SPI モード 3 の場合、SCLK はアイドル・ハイになり、SCLK の立ち下りエッジは起動エッジ、立ち上がりエッジはサンプル・エッジになります。すなわち、データは立ち下りの起動エッジに同期して出力され、立ち上がりのサンプル・エッジに同期して入力されます。



図 66. SPI モード 3、SCLK のエッジ

13197-089

ADC のレジスタ・マップへのアクセス

コミュニケーション・レジスタは、ADC 内のレジスタ・マップ全体へのアクセスを制御しています。このレジスタは 8 ビットの書き込み専用レジスタです。パワーアップ時またはリセット後に、デジタル・インターフェースは、デフォルトでコミュニケーション・レジスタへの書き込み待ちの状態になります。したがって、すべての通信はコミュニケーション・レジスタへの書き込みによって開始されます。

コミュニケーション・レジスタへのデータ書き込みによって、どのレジスタにアクセスするか決定され、次の動作が書き込みまたは読出しのどちらであるかも決定されます。レジスタ・アドレス・ビット(ビット5からビット0)により、どのレジスタに対して読出しまたは書き込みが実行されるか決まります。

選択されたレジスタへの読出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。

インターフェースの同期が失われた場合、DIN がハイ・レベルで少なくとも 64 シリアル・クロック・サイクルの書き込み動作が実行されると、レジスタの内容を含むデバイスのすべての設定がリセットされ、ADC がデフォルト状態に戻ります。代わりに \overline{CS} をデジタル・インターフェースと一緒に使用し、 \overline{CS} をハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態にリセットされ、実行中のすべての動作がアボートされます。

図 67 と図 68 は、レジスタへの書き込み動作とレジスタからの読出し動作を説明しています。まず、8 ビット・コマンドをコミュニケーション・レジスタに書き込んだ後、アドレス指定されたレジスタのデータを書き込んでいます。

このデバイスが正常に通信しているか確認するには、ID レジスタの読出しが推奨されます。ID レジスタは読出し専用のレジスタで、AD7124-4 では 0x04 の値、AD7124-4 B グレードでは 0x06 の値が格納されています。コミュニケーション・レジスタと ID レジスタの詳細については、表 38 と表 39 を参照してください。

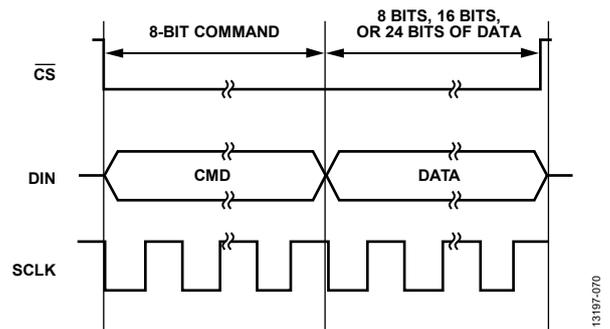


図 67. レジスタへの書き込み
(レジスタ・アドレスを含む 8 ビット・コマンドを送信してから、8 ビット、16 ビット、または 24 ビットのデータを書き込む。データ長は選択されたレジスタによって異なる)

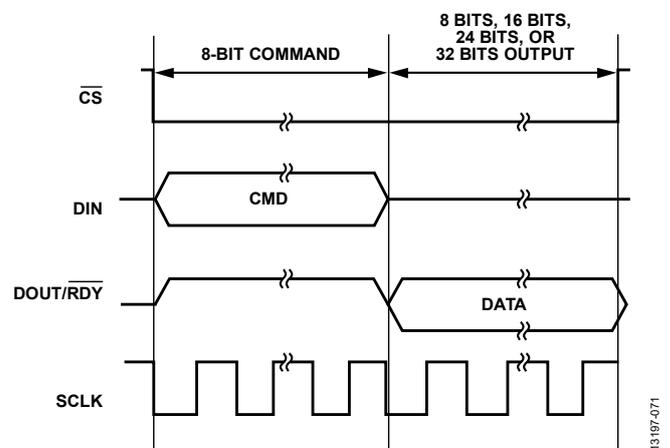


図 68. レジスタからの読出し
(レジスタ・アドレスを含む 8 ビット・コマンドを送信してから、8 ビット、16 ビット、24 ビット、または 32 ビットのデータを読み出す。DOUT のデータ長は選択されたレジスタによって異なる。CRC はイネーブル)

表 38. コミュニケーション・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	COMMS	[7:0]	\overline{WEN}	R/\overline{W}	RS[5:0]						0x00	W

表 39. ID レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x05	ID	[7:0]	DEVICE_ID				SILICON_REVISION				0x04/ 0x06	R

構成概要

パワーオンまたはリセット後の AD7124-4 のデフォルト設定は、次のとおりです。

- チャンネル:チャンネル0はイネーブル、AIN0 は正入力として選択されており、AIN1 は負入力として選択されている。Setup0 が選択されている。
- セットアップ: 入力バッファとリファレンス・バッファはディスプレイ、ゲインは1に設定され、外部リファレンスが選択されている。
- ADC コントロール: AD7124-4 は低消費電力モード、連続変換モードになっており、内部発振器がイネーブルに設定され、マスター・クロック源として選択されている。
- 診断機能: イネーブルになっている唯一の診断機能は SPI_IGNORE_ERR 機能です。

いくつかの重要なレジスタ設定オプションのみを示しました。このリストは一例であることに留意してください。レジスタの詳細については、内蔵レジスタのセクションを参照してください。

図69 に、ADC 動作の設定を変更するときの推奨フローの概要を示します。このフローは3つのブロックに分割されます。

- チャンネル構成(図69のボックス A を参照)
- セットアップ(図69のボックス B を参照)
- 診断機能(図69のボックス C を参照)
- ADC コントロール(図69のボックス D を参照)

チャンネル構成

AD7124-4 は16個の独立したアナログ入力チャンネルと8個の独立したセットアップを備えています。あらゆるチャンネルで任意のアナログ入力ペアを選択でき、あらゆるチャンネルで8個のセットアップのうち1つを自由に選択できるため、チャンネル構成に関する完全な柔軟性が実現されます。また、各チャンネルに独自の専用セットアップを適用できるため、すべての差動入力を使用しているときにチャンネルごとの構成も可能です。

アナログ入力に加え、電源やリファレンスなどの信号も入力として使用できます。これらの信号を選択した場合、内部でマルチプレクサにルーティングされます。AD7124-4 により、ADC への16個の構成(チャンネル)を定義できます。これにより、診断機能と変換とをインターリーブすることができます。

チャンネル・レジスタ

チャンネル・レジスタは、あるチャンネルの正のアナログ入力または負のアナログ入力とする入力ピンを選択するために使用します。このレジスタには、チャンネル・イネーブル/ディスプレイ・ビットや、このチャンネルで使用するセットアップ(8個のセットアップのいずれか)を選択するためのセットアップ選択ビットも含まれています。

複数のチャンネルがイネーブルになっている状態で AD7124-4 が動作している場合、チャンネル・シーケンサはチャンネル0からチャンネル15までイネーブルにされたチャンネルを順番にスキャンします。チャンネルがディスプレイの場合、この動作はシーケンサによってスキップされます。チャンネル0のチャンネル・レジスタの詳細を表40に示します。

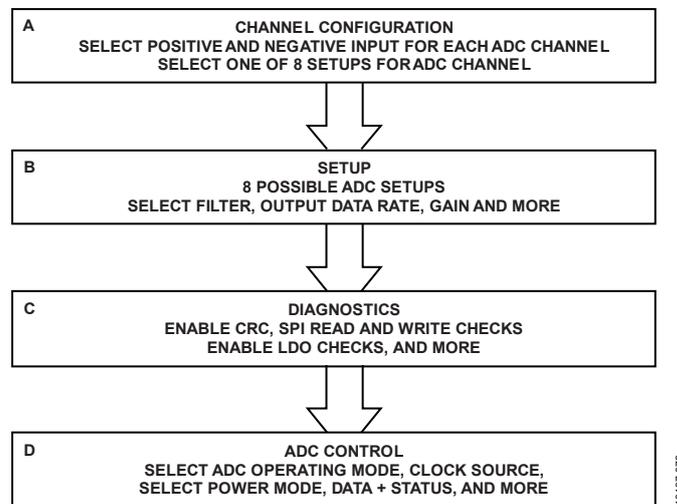


図 69. 推奨する ADC 構成時のフロー

表 40. チャンネル 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x09	CHANNEL_0	[15:8]	Enable	Setup			0	AINP[4:3]			0x8001	RW
		[7:0]	AINP[2:0]			AINM[4:0]						

ADC セットアップ

AD7124-4 には8 個の独立したセットアップがあります。各セットアップは以下の4 つのレジスタで構成されています。

- 設定レジスタ
- フィルタ・レジスタ
- オフセット・レジスタ
- ゲイン・レジスタ

例えば、Setup 0 は、設定レジスタ 0、フィルタ・レジスタ 0、オフセット・レジスタ 0、およびゲイン・レジスタ 0 で構成されています。図 70 に、これらのレジスタのグループを示します。セットアップは、チャンネル・レジスタから選択できます。詳細については、チャンネル構成のセクションで説明しています。これにより、各チャンネルを 8 個の個別のセットアップのいずれかに割り当てることができます。表41 から表44 に、Setup0 に関連する4 つのレジスタを示しています。Setup 1 から Setup7 までは、Setup 0 と全く同じ構造です。

設定レジスタ

設定レジスタにより、バイポーラまたはユニポーラを選択して ADC の出力コーディングを選択できます。バイポーラ・モードの

場合、ADC は負の差動入力電圧にも対応し、出力コーディングはオフセット・バイナリになります。ユニポーラ・モードの場合、ADC は正の差動電圧のみに対応し、コーディングはストレート・バイナリになります。どちらの場合も、入力電圧は AV_{DD} および AV_{SS} 電源電圧を超えないようにしてください。また、これらのレジスタを使用してリファレンス源を選択することもできます。内部 2.5 V リファレンス、REFIN1 (+) と REFIN1 (-) の間に接続された外部リファレンス、REFIN2 (+) と REFIN2 (-) の間に接続された外部リファレンス、または AV_{DD} と AV_{SS} 間のリファレンスの 4 つから選択できます。PGA ゲインも設定でき、1、2、4、8、16、32、64、128 のゲインが用意されています。アナログ入力バッファとリファレンス電圧入力バッファに関する設定は、このレジスタを使用してイネーブルに設定できます。

フィルタ・レジスタ

フィルタ・レジスタは、ADC 変調器の出力で使用するデジタル・フィルタを選択します。フィルタ・タイプと出力データ・レートは、このレジスタのビットをセットして選択します。詳細については、デジタル・フィルタのセクションを参照してください。

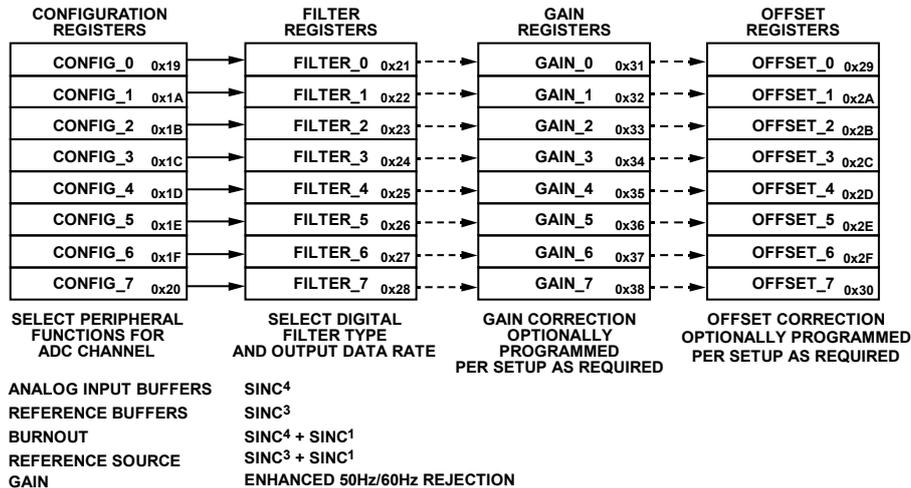


図 70. ADC セットアップ・レジスタのグループ

表 41. 設定 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x19	CONFIG_0	[15:8]	0				Bipolar	Burnout		REF_BUFPP	0x0860	RW
		[7:0]	REF_BUFPM	AIN_BUFPP	AIN_BUFPM	REF_SEL		PGA				

表 42. フィルタ 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x28	FILTER_0	[23:9]	Filter			REJ60	POST_FILTER		SINGLE_CYCLE		0x060180	RW	
		[15:8]	0						FS[10:8]				
		[7:0]	FS[7:0]										

表 43. オフセット 0 レジスタ

Reg.	Name	Bits	Bits[23:0]	Reset	RW
0x29	OFFSET_0	[23:0]	Offset[23:0]	0x800000	RW

表 44. ゲイン 0 レジスタ

Reg.	Name	Bits	Bits[23:0]	Reset	RW
0x31	GAIN_0	[23:0]	Gain[23:0]	0x5XXXXX	RW

オフセット・レジスタ

オフセット・レジスタは、ADC のオフセット・キャリブレーション係数を保持します。オフセット・レジスタのパワーオン・リセット値は0x800000 です。オフセット・レジスタは24 ビットのリード/ライト・レジスタです。ユーザーが内部またはシステム・ゼロスケール・キャリブレーションを開始した場合、またはユーザーがオフセット・レジスタに書き込んだ場合、パワーオン・リセット値は自動的に上書きされます。

ゲイン・レジスタ

ゲイン・レジスタは、ADC のゲイン・キャリブレーション係数を保持する 24 ビット・レジスタです。ゲイン・レジスタはリード/ライト・レジスタです。ゲインは、1 の値で出荷時にキャリブレーションされます。このため、デフォルト値はデバイスごとに異なります。ユーザーが内部またはシステム・フルスケール・キャリブレーションを開始した場合、デフォルト値は自動的に上書きされます。詳細については、キャリブレーションのセクションを参照してください。

診断機能

ERROR_EN レジスタを使用して、AD7124-4 のさまざまな診断機能をイネーブルまたはディスエーブルに設定します。デフォルトでは、SPI_IGNORE 機能がイネーブルに設定されます。これにより ADC に書き込みを行うには不適切なタイミングが表示されます (パワーアップ時やリセット時など)。その他の診断機能として、次のものがあります。

- SPI 読出し/書き込みチェック。有効なレジスタのみにアクセスを制限
- SCLK カウンタ。正しい数の SCLK パルスを使用
- SPI CRC
- メモリ・マップ CRC
- LDO チェック

表 45. エラー・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x06	Error	[23:16]	0				LDO_CAP_ERR	ADC_CAL_ERR	ADC_CONV_ERR	ADC_SAT_ERR	0x000000	R
		[15:8]	AINP_OV_ERR	AINP_UV_ERR	AINM_OV_ERR	AINM_UV_ERR	REF_DET_ERR	0	DLDO_PSM_ERR	0		
		[7:0]	ALDO_PSM_ERR	SPI_IGNORE_ERR	SPI_SCLK_CNT_ERR	SPI_READ_ERR	SPI_WRITE_ERR	SPI_CRC_ERR	MM_CRC_ERR	ROM_CRC_ERR		

表 46. エラー・イネーブル・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x07	ERROR_EN	[23:16]	0	MCLK_CNT_EN	LDO_CAP_CHK_TEST_EN	LDO_CAP_CHK		ADC_CAL_ERR_EN	ADC_CONV_ERR_EN	ADC_SAT_ERR_EN	0x000040	RW
		[15:8]	AINP_OV_ERR_EN	AINP_UV_ERR_EN	AINM_OV_ERR_EN	AINM_UV_ERR_EN	REF_DET_ERR_EN	DLDO_PSM_TRIP_TEST_EN	DLDO_PSM_ERR_EN	ALDO_PSM_TRIP_TEST_EN		
		[7:0]	ALDO_PSM_ERR_EN	SPI_IGNORE_ERR_EN	SPI_SCLK_CNT_ERR_EN	SPI_READ_ERR_EN	SPI_WRITE_ERR_EN	SPI_CRC_ERR_EN	MM_CRC_ERR_EN	ROM_CRC_ERR_EN		

表 47. MCLK カウント・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x08	MCLK_COUNT	[7:0]	MCLK_COUNT							0x00	R	

表 48. ADC コントロール・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADC_CONTROL	[15:8]	0			DOUT_RDY_DEL	CONT_READ	DATA_STATUS	CS_EN	REF_EN	0x0000	RW
		[7:0]	POWER_MORE	Mode				CLK_SEL				

診断がイネーブルになっている場合、対応するフラグがエラー・レジスタに含まれます。ステータス・レジスタ内の ERR フラグを制御するため、すべてのイネーブル・フラグが OR 接続されます。このため、エラーが発生した場合 (例えば、SPI_CRC チェックでエラーが検出された場合)、エラー・レジスタ内の関連するフラグ (SPI_CRC_ERR フラグなど) がセットされます。ステータス・レジスタ内の ERR フラグもセットされます。これは、変換にステータス・ビットを追加する場合に便利です。ERR ビットは、エラーが発生したかどうかを示します。その後、エラー・レジスタでエラーの原因について詳細を確認できます。

AD7124-4 で内部発振器の周波数を監視することもできます。MCLK_COUNT レジスタは、マスター・クロックのパルスを監視します。診断レジスタの詳細を表 45 ~ 表 47 に示します。使用可能な診断機能の詳細については、診断機能のセクションを参照してください。

ADC コントロール・レジスタ

ADC コントロール・レジスタは、AD7124-4 が使用するコア・ペリフェラルとデジタル・インターフェースのモードを設定します。消費電力モード (通常消費電力、中消費電力、または低消費電力) は、このレジスタで選択します。また、連続変換やシングル変換などの動作モードも選択します。スタンバイ・モードやパワーダウン・モードだけでなく、あらゆるキャリブレーション・モードも選択できます。さらに、このレジスタには、クロック源の選択ビットと内部リファレンス電圧のイネーブル・ビットも含まれています。リファレンス電圧の選択ビットは、セットアップの設定レジスタに含まれています (詳細については、ADC セットアップのセクションを参照)。

デジタル・インターフェースの動作も ADC コントロール・レジスタで選択します。このレジスタにより、データとステータスの読出しモードや連続読出しモードをイネーブルに設定できます。詳細については、デジタル・インターフェースのセクションを参照してください。このレジスタの詳細を表 48 に示します。

柔軟な構成

図 71、図 72、および図 73 に黒色の文字で示しているレジスタは、この構成でプログラムするものです。灰色の文字で示しているレジスタは、この構成ではプログラムする必要はありません。

AD7124-4 を実装する場合、差動入力と隣接するアナログ入力を使用して、それらすべてを同じセットアップ、ゲイン補正、およびオフセット補正レジスタで実行するのが最も簡単な方法です。例えば、4 つの差動入力が必要であるとします。この場合、以下の組み合わせの差動入力を使用します。AIN0/AIN1、AIN2/AIN3、AIN4/AIN5、AIN6/AIN7。

レジスタ・ブロック間において点線で示すように、ゲインおよびオフセット・レジスタのプログラミングは、常にオプションです。内部キャリブレーション、システム・オフセット・キャリブレーション、またはフルスケール・キャリブレーションを実行すると、選択したチャンネルのオフセット・レジスタが自動的に更新されます。

代わりに、使用可能な 8 個のセットアップを利用してこれら 4 個の完全差動入力を実装することもできます。4 個の差動入力の一部と他の入力の間で速度、ノイズ、またはゲインの条件が異なる場合、または特定のチャンネルで特定のオフセットまたはゲイン補正を行う必要がある場合は、この方法を使用できます。図 72 では、各差動入力個別のセットアップを使用する方法や、各チャンネルの設定で柔軟性を最大限に発揮する方法について示します。

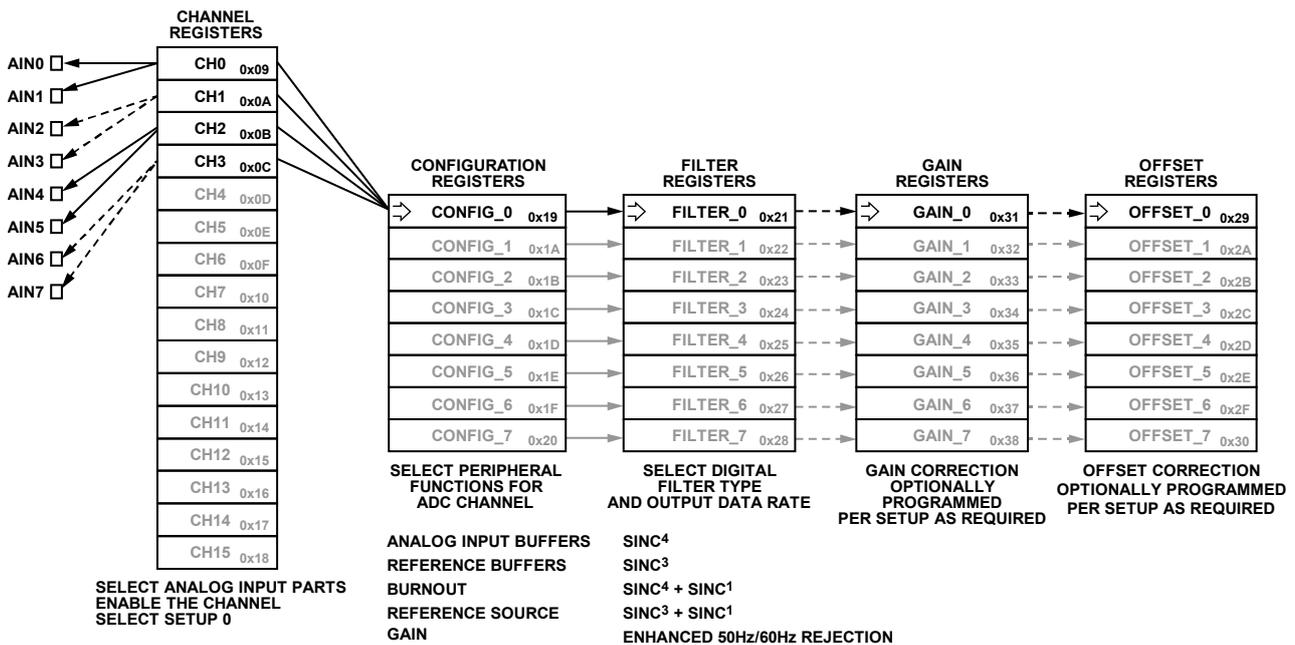


図 71.4 個の完全差動入力すべてが 1 つのセットアップ (CONFIG_0、FILTER_0、GAIN_0、OFFSET_0) を使用

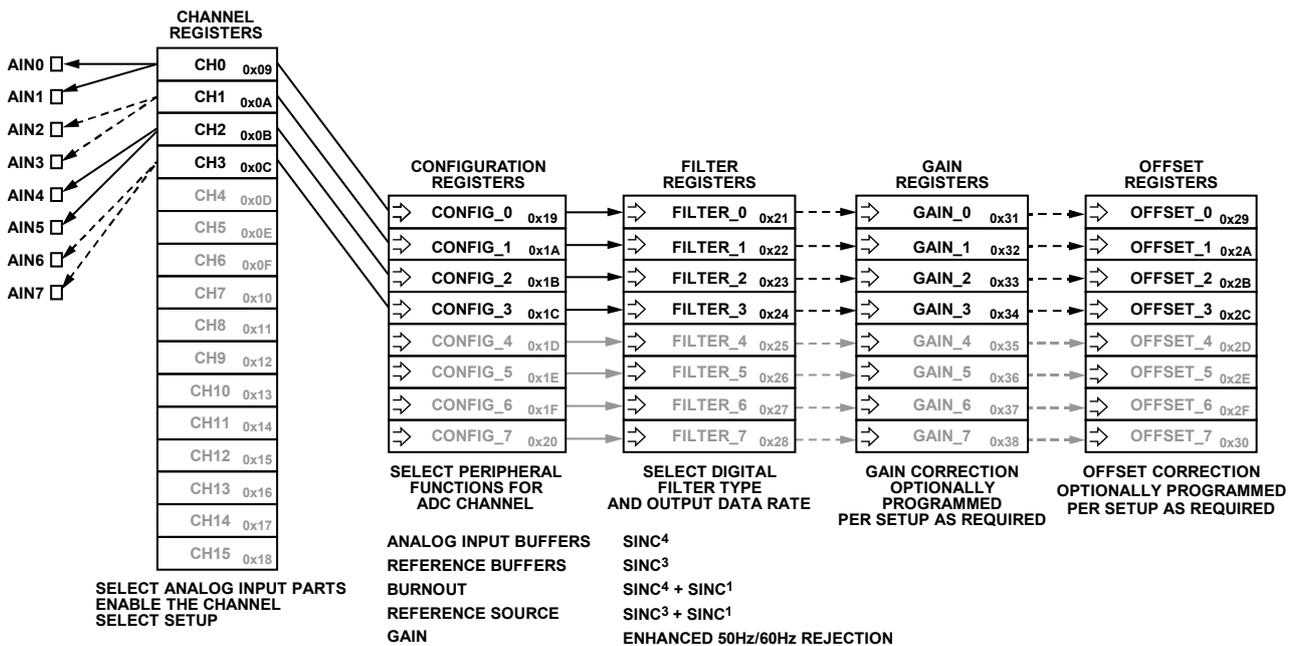


図 72.4 個の完全差動入力チャンネルごとに個別のセットアップを使用

図73では、チャンネル・レジスタによってアナログ入力ピンとダウンストリーム側のセットアップ構成をどのように繋げて行くか例を示しています。この例では、2個の差動入力と2個のシングルエンド入力が必要です。シングルエンド入力は、AIN0/AIN7とAIN6/AIN7の組み合わせです。最初の差動入力ペア(AIN0/AIN1)はSetup 0を使用します。2個のシングルエンド入力ペア(AIN0/AIN7およびAIN6/AIN7)は、診断機能として設定されています。このため、これらは個別のセットアップ(Setup 1)を使用します。最後の差動入力(AIN2/AIN3)も個別のセットアップであるSetup 2を使用します。

使用するセットアップが3個選択されているため、CONFIG_0、CONFIG_1、およびCONFIG_2レジスタが必要に応じてプログラム済みで、FILTER_0、FILTER_1、およびFILTER_2レジスタも

必要に応じてプログラムされています。GAIN_0、GAIN_1、GAIN_2レジスタおよびOFFSET_0、OFFSET_1、OFFSET_2レジスタをプログラムして、オプションのゲインとオフセット補正をセットアップごとに適用できます。

図73に示している例では、CHANNEL_0~CHANNEL_3レジスタを使用しています。これらの各レジスタでMSB(イネーブル・ビット)を設定することで、クロスポイント・マルチプレクサを使用した4つの組み合わせが可能です。AD7124-4の変換時に、シーケンサはCHANNEL_0、CHANNEL_1、CHANNEL_2、CHANNEL_3の昇順で遷移した後、CHANNEL_0に戻ってこのシーケンスを繰り返します。

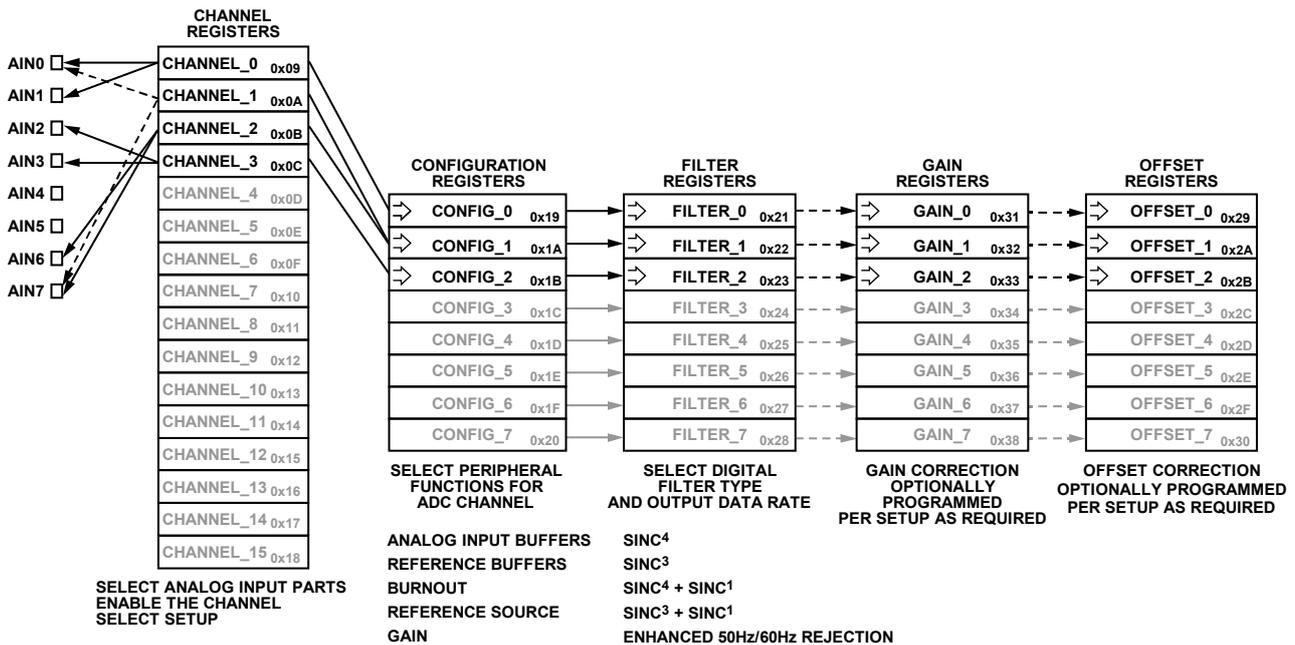


図73. 複数の共有セットアップを使用して差動とシングルエンドを混在させる場合の構成

13197-076

ADC 回路情報

アナログ入力チャンネル

AD7124-4 には、柔軟性の高いマルチプレクサが採用されているため、任意のアナログ入力ピン (AIN0 ~ AIN7) を正入力または負入力として選択できます。この機能により、ピンの接続チェックなどの診断を実行できます。また、プリント基板 (PCB) の設計も簡素になります。例えば、同じ PCB に 2 線式、3 線式、4 線式の測温抵抗体 (RTD) を実装できます。

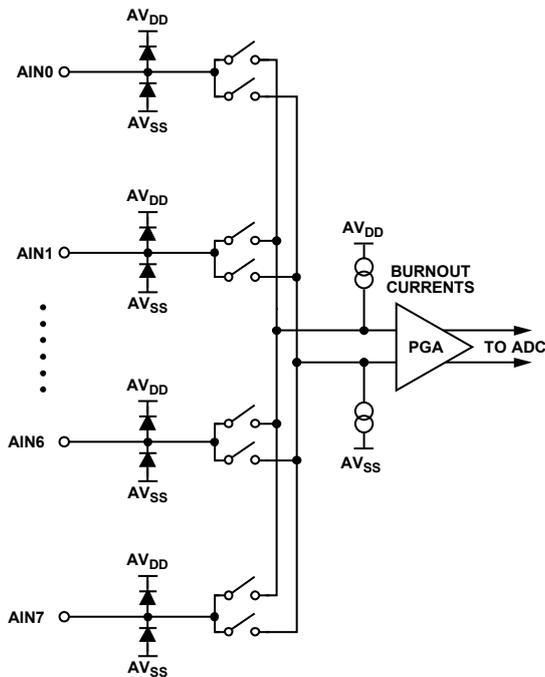


図 74. アナログ入力マルチプレクサ回路

これらのチャンネルは、チャンネル・レジスタの AINP[4:0]ビットと AINM[4:0]ビットを使用して設定します (表 49 を参照)。このデバイスは、4 個の差動入力、7 個の疑似差動入力、またはその両方を使用できるよう設定できます。差動入力を使用する場合は、隣接するアナログ入力ピンを使用して入力ペアを構成します。隣接するピンを使用することで、チャンネル間 mismatches を最小限に抑えることができます。

ゲインが 1 の場合、入力はバッファあり、またはバッファなしのどちらでもかまいませんが、ゲインが 1 よりも大きい場合は自動的にバッファありに設定されます。AINP および AINM バッファは、設定レジスタの AIN_BUFP および AIN_BUFM ビットを使用して個別にイネーブル/ディスエーブルに設定できます (表 50 を参照)。バッファ・モードの場合、入力チャンネルはバッファ・アンプの高インピーダンス入力段に接続されます。このため、入力は大きなソース・インピーダンスに耐えることができ、ストレーン・ゲージや RTD などの外部の抵抗型センサーに直接接続できるよう特別に設計されています。

デバイスが非バッファ・モードで動作する場合は、アナログ入力電流が大きくなります。このバッファなしの入力パスは、駆動源に対して動的負荷になることに注意する必要があります。このため、ADC 入力の駆動源の出カインピーダンスによっては、入力ピンの抵抗/コンデンサ (RC) の組み合わせにより、ゲイン誤差が発生する場合があります。

非バッファ・モード (ゲイン=1) の絶対入力電圧範囲は $AV_{SS} - 50 \text{ mV} \sim AV_{DD} + 50 \text{ mV}$ です。ゲインが 1 でのバッファありモードの絶対入力電圧範囲は、 $AV_{SS} + 100 \text{ mV} \sim AV_{DD} - 100 \text{ mV}$ に制限されています。コモンモード電圧はこれらの限界値を超えてはいけません。これらの限界値を超えると、直線性とノイズ性能が低下します。

ゲインが 1 よりも大きい場合、アナログ入力バッファは自動的にイネーブルになります。入力バッファの前に配置されている PGA は レール to レールです。このため、この場合の絶対入力電圧範囲は $AV_{SS} - 50 \text{ mV} \sim AV_{DD} + 50 \text{ mV}$ になります。

表 49. チャンネル・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x09 to 0x18	CHANNEL_0 to CHANNEL_15	[15:8]	Enable	Setup			0		AINP[4:3]		0x8001	RW
		[7:0]	AINP[2:0]			AINM[4:0]						

表 50. 設定レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x19 to 0x20	CONFIG_0 to CONFIG_7	[15:8]	0				Bipolar	Burnout		REF_BUFPP	0x0860	RW
		[7:0]	REF_BUFPM	AIN_BUFPP	AIN_BUFPM	REF_SEL	PGA					

ゲイン 1 使用時の外部インピーダンス

ゲイン 1 を使用する場合は、PGA がパワーダウンして、消費電流が減少します。電磁両立性 (EMC) を得るために、PGA 出力に容量性ネットワークが内蔵されています。ゲイン 1 の場合は、PGA がバイパスされるので、この容量性ネットワークはアナログ入力ピンに直接接続されます (図 77 を参照)。AD7124-4 B グレードにはプリチャージ・バッファが内蔵されており、チャンネル切り替え時にこの容量性ネットワークを素早く充電できます。プリチャージ・バッファにより、ADC によるサンプリング時にアナログ入力を確実にセトリングさせることができます。

プリチャージ・バッファを内蔵していない AD7124-4 を使用する場合、マルチプレクス・アプリケーションにおいてゲイン 1 で大きな外部負荷を使用すると、セトリング時間に影響を与えます。大きな外部負荷はゲイン 1 のチャンネルの初期誤差に影響を与えます。チャンネルの回復時間は、外部 RC アンチエイリアシング・フィルタによって決まります。ゲイン 1 のチャンネルが選択されると、可能な最大誤差 (初期誤差) は以下のようになります。

$$V_{ERROR} = C_{PAR} \times (V_{IN_PREV_CH} \times GAIN_PREV_CH - V_{IN}) \div (C_{PAR} + C_{FILT}) \quad (1)$$

ここで、

C_{PAR} は内部容量 (10pF/25pF のネットワークと 3pF の寄生容量により 63 pF)。

C_{FILT} は、ゲイン 1 のチャンネルの外部フィルタ容量。

$V_{IN_PREV_CH}$ は、前に選択されたチャンネルの入力電圧。

$GAIN_PREV_CH$ は、前に選択されたチャンネルのゲイン。

速い出力データ・レートが選択された場合、変換における誤差は式 1 と同程度の大きさになります。遅い出力データ・レートの場合は、ADC がアナログ入力を処理する時間が長くなり、フロントエンドがセトリングできるので、誤差は減少します。セトリング・タイムは外部アンチエイリアシング・フィルタの時定数に依存します。

図 75 と図 76 は、抵抗減衰器がアナログ入力に接続され、ADC がマルチプレクスされたときのゲイン 1 のチャンネルで RC フィルタの異なる組み合わせを使用した場合の誤差を示します。

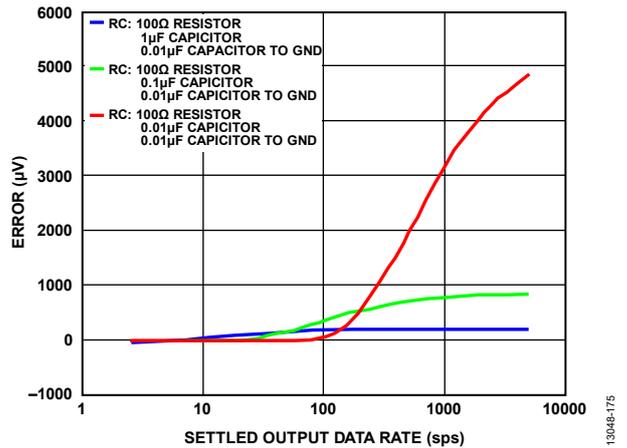


図 75. 誤差とセトリングした出力データ・レートの関係 (減衰器回路に 100 kΩ 抵抗を含む)

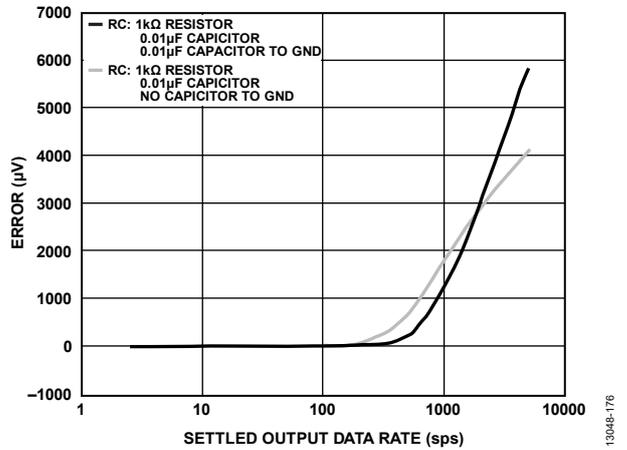


図 76. 誤差とセトリングした出力データ・レートの関係 (減衰器回路に 47 kΩ 抵抗を含む)

図 75 と図 76 から、低い出力データ・レートでは、どのような外部負荷抵抗値や RC フィルタ値を使った場合でも ADC はゲイン 1 のチャンネルがセトリングするのに十分な時間を確保していることがわかります。中程度の出力データ・レートでは、外部 RC 部品の値を小さくすることにより、アナログ入力が許容時間内にセトリングできるように外部フィルタの時定数を減らします。高い出力データ・レートでは、ADC によって許容されるセトリング・タイムは短くなるため、AINP と AINM の間に大きなコンデンサを接続することで誤差を最小限に抑えます。

ゲインが 1 より大きい場合は、PGA を使用して、内部容量性ネットワークをアナログ入力ピンから分離します。このため、ゲインが 1 より大きい場合は、外部回路に対する制約がありません。

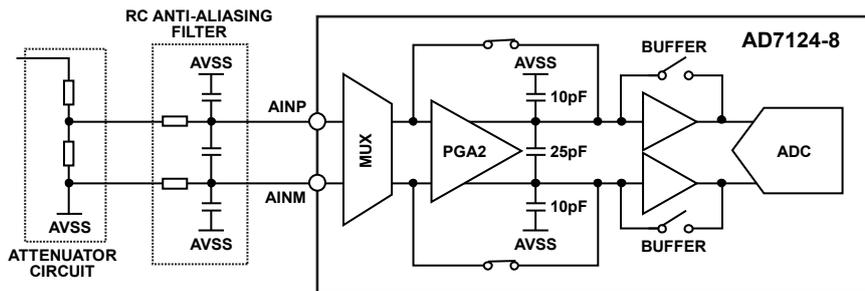


図 77. 入力回路図

プログラマブル・ゲイン・アレイ (PGA)

ゲイン段をイネーブルにすると、マルチプレクサからの出力が PGA の入力に供給されます。PGA が内蔵されているので、AD7124-4 内で小さい振幅の信号を増幅し、優れたノイズ性能を維持することが可能です。

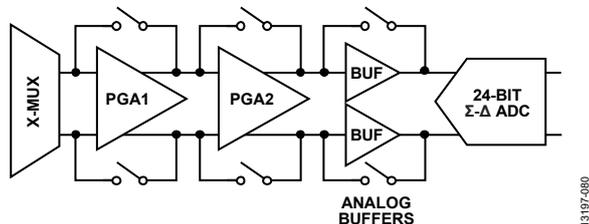


図 78. PGA

AD7124-4 は、設定レジスタの PGA ビットを使用してゲイン=1、2、4、8、16、32、64、128 にプログラムすることができます(表 50 を参照)。PGA は2段で構成されています。ゲインが 1 の場合は、両方の段がバイパスされます。ゲインが 2~8 の場合は1つの段が使用され、ゲインが 8 よりも大きい場合は両方の段が使用されます。

アナログ入力範囲は $\pm V_{REF}/$ ゲインです。このため、2.5 V 外部リファレンスでは、ユニポーラ範囲は 0 mV ~19.53 mV から 0 V ~2.5 V になり、バイポーラ範囲は ± 19.53 mV ~ ± 2.5 V になります。例えば、 $V_{REF} = AV_{DD}$ などの高いリファレンス値の場合、アナログ入力範囲を制限する必要があります。これらの限界値の詳細については、仕様セクションを参照してください。

リファレンス

AD7124-4 は2.5 V リファレンスを内蔵しています。内蔵リファレンスは低ノイズ、低ドリフトで、LFCSP パッケージの AD7124-4 は 15 ppm/°C (max)、TSSOP パッケージの AD7124-4 と AD7124-4 B グレードは 10 ppm/°C (max) のドリフトです。AD7124-4 にリファレンスを内蔵することで、熱電対などのアプリケーションで必要となる外部コンポーネントの数を削減できるので、基板の小型化が可能になります。

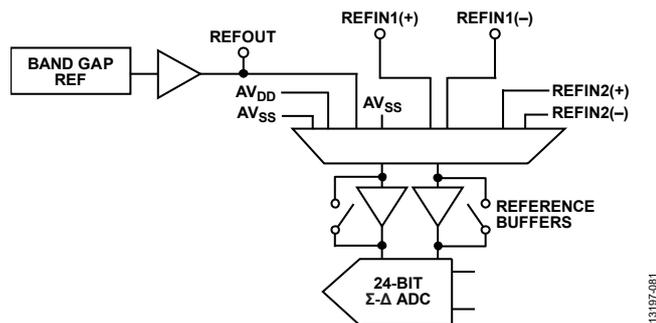


図 79. リファレンス接続

このリファレンスは ADC への電力供給に使用できます (ADC_CONTROL レジスタの REF_EN ビットを 1 に設定)。代わりに、外部リファレンスを適用できます。外部リファレンスの場合、ADC はチャンネルに対して完全差動入力の機能を備えています。さらに、2 つの外部リファレンス・オプション (REFIN1 または REFIN2) のいずれかを選択できます。AD7124-4 のリファレンス源は、設定レジスタの REF_SEL ビットを使用して選択します (表 50 を参照)。内部リファレンスを選択した場合、このリファレンスは内部で変調器に接続されます。REFOUT ピンから出力することもできます。内部リファレンスがアクティブな場合は、REFOUT に 0.1 μ F のデカップリング・コンデンサが必要です。

リファレンス・バッファがディスエーブルになっている場合、差動リファレンス入力のコモンモード範囲は $AV_{SS} - 50$ mV ~ $AV_{DD} + 50$ mV になります。リファレンス入力はオンチップでバッファ付きにすることもできます。バッファには、100 mV のヘッドルームが必要です。REFIN (REFINx (+) - REFINx (-)) の公称リファレンス電圧は 2.5 V ですが、AD7124-4 は 0.5 V ~ AV_{DD} のリファレンス電圧で機能します。

アナログ入力に接続されたトランスデューサの励起電圧 (または励起電流) がデバイスのリファレンス電圧も駆動するようなアプリケーションはレシオメトリックであるため、励起電源の低周波ノイズの影響は除去されます。AD7124-4 を非レシオメトリック・アプリケーションで使用する場合は、低ノイズ・リファレンスを使用します。

AD7124-4 用に推奨される 2.5 V リファレンス電圧源として、低ノイズ、低消費電力リファレンスである ADR4525 があります。バッファなしの場合、リファレンス入力は、高インピーダンスの動的負荷を提供することに注意してください。各リファレンス入力のインピーダンスは動的であるため、リファレンス入力がバッファなしの場合、リファレンス入力の駆動源の出力インピーダンスによっては、これらの入力の抵抗/コンデンサの組み合わせにより、dc ゲイン誤差が生じる可能性があります。

通常、リファレンス電圧源の出力インピーダンスは低いため、システム内でゲイン誤差を発生させることなく、REFINx (+) にデカップリング・コンデンサを接続できます。外部抵抗の両端からリファレンス入力電圧を出力すると、リファレンス入力の外部ソース・インピーダンスが大きくなります。この場合、リファレンス・バッファを使用する必要があります。

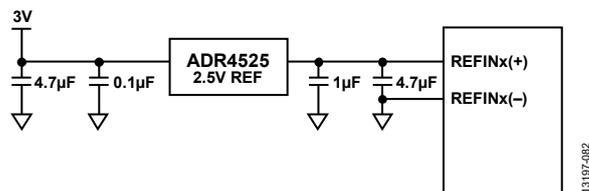


図 80. ADR4525 と AD7124-4 の接続

バイポーラ/ユニポーラ構成

AD7124-4 のアナログ入力は、ユニポーラまたはバイポーラの入力電圧範囲に対応します。これにより、ADC の入力範囲をセンサー出力範囲に対して微調整することができます。分離電源を使用する場合、デバイスは真のバイポーラ入力に対応します。単電源を使用する場合、バイポーラ入力範囲を使用しても、システム AV_{SS} を基準とした負電圧をデバイスに入力できるとは限りません。AINP 入力のユニポーラ信号とバイポーラ信号は、AINM 入力の電圧を基準としています。例えば、AINM が 1.5V で、ADC がゲイン 1 でユニポーラ・モード用に設定されている場合、 $V_{REF} = AV_{DD} = 3$ V のときに AINP 入力の入力電圧範囲は 1.5 V ~ 3 V になります。ADC がバイポーラ・モード用に設定されている場合、AINP 入力のアナログ入力範囲は 0 V ~ AV_{DD} になります。バイポーラ/ユニポーラ・オプションは、設定レジスタでバイポーラ・ビットをプログラムすることで選択します。

データ出力コーディング

ADC がユニポーラ動作用に設定されている場合、出力コードは自然(ストレート) バイナリになり、ゼロ差動入力電圧がコード 00 ... 00、ミッドスケール電圧がコード 100 ... 000、フルスケール入力電圧がコード 111 ... 111 の自然(ストレート) バイナリになります。アナログ入力電圧の出力コードは次のように表されません。

$$Code = (2^N \times A_{IN} \times Gain) / V_{REF}$$

ADC がバイポーラ動作用に設定されている場合、出力コードはオフセット・バイナリになり、負のフルスケール電圧がコード 000 ... 000、ゼロ差動入力電圧がコード 100 ... 000、正のフルスケール入力電圧がコード 111 ... 111 になります。アナログ入力電圧の出力コードは次のように表されます。

$$Code = 2^{N-1} \times ((A_{IN} \times Gain / V_{REF}) + 1)$$

ここで、

$N = 24$

A_{IN} はアナログ入力電圧。

$Gain$ はゲイン設定 (1 ~ 128)。

励起電流

AD7124-4 には、50 μ A、100 μ A、250 μ A、500 μ A、750 μ A、または 1 mA と等しくなるようにプログラムできるソフトウェアで設定可能な 2 個のマッチングがとれた定電流源も内蔵されています。これらの電流源は、外部抵抗ブリッジまたは RTD センサーの励起に使用できます。どちらの電流源も AV_{DD} から電流を供給し、任意のアナログ入力ピンに出力できます(図81 を参照)。

電流を出力できるピンは、 $IO_CONTROL_1$ レジスタの $IOUT1_CH$ および $IOUT0_CH$ ビットを使用してプログラムします(表51 を参照)。各電流源の大きさは、 $IO_CONTROL_1$ レジスタの $IOUT1$ ビットと $IOUT0$ ビットを使用して個別にプログラムできます。さらに、どちらの電流も同じアナログ入力ピンに出力できます。

励起電流を使用する場合、内蔵リファレンスをイネーブルにする必要はありません。

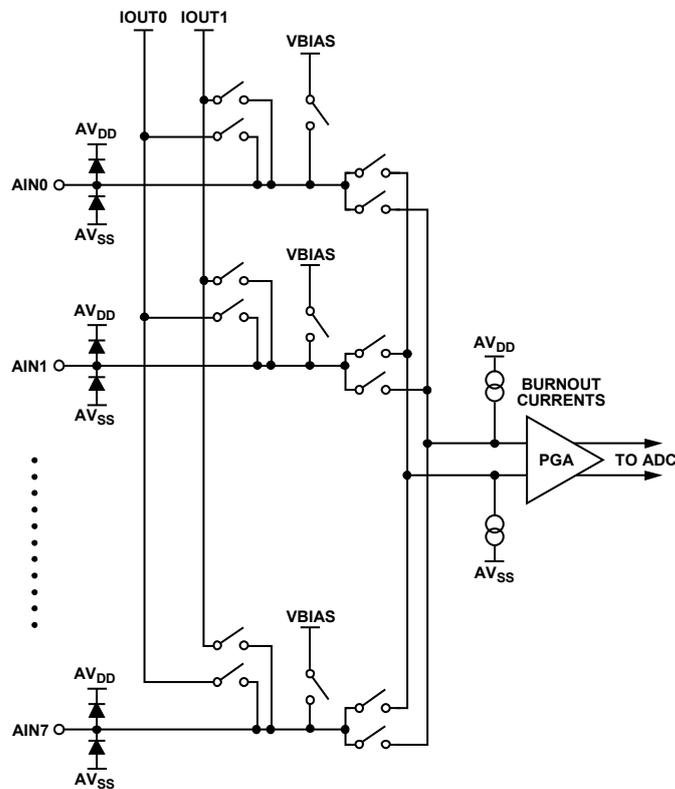


図 81. 励起電流とバイアス電圧の接続

表51. 入出力コントロール 1 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x03	$IO_CONTROL_1$	[23:16]	GPIO_DAT2	GPIO_DAT1	0	0	GPIO_CTRL2	GPIO_CTRL1	0	0	0x000000	RW
		[15:8]	PDSW	IOUT1			IOUT0					
		[7:0]	IOUT1_CH				IOUT0_CH					

ブリッジ・パワーダウン・スイッチ

ストレイン・ゲージやロード・セルなどのブリッジ・アプリケーションでは、ブリッジ自体がシステム内で電流の大半を消費します。例えば、3 V の電源で励起する場合、350 Ω のロード・セルは 8.6 mA の電流を必要とします。システムの消費電流を最小限に抑えるには、ブリッジ・パワーダウン・スイッチを使用してブリッジ（使用していないときに）を切り離すことができます。このスイッチは 30 mA の連続電流に耐え、オン抵抗は 10 Ω (max) です。IO_CONTROL_1 レジスタの PDSW ビットがスイッチを制御します。

ロジック出力

AD7124-4 には、2 つの汎用デジタル出力 P1 と P2 があります。これらは IO_CONTROL_1 レジスタの GPIO_CTRL ビットを使用してイネーブルにします(表 51 を参照)。このピンは、レジスタの GPIO_DATx ビットを使用してハイ・レベルヘブルアップまたはロー・レベルヘブルダウンすることができます。つまり、ピンの値は GPIO_DATx ビットをセットすることで決まります。これらのピンのロジック・レベルは、IOV_{DD} ではなく、AV_{DD} によって決まります。IO_CONTROL_1 レジスタを読み出すと、ピンの実際の値が GPIO_DATx ビットに反映されます。この機能は短絡を検出するときに有用です。

これらのピンを使用して、外部マルチプレクサなどの外部回路を駆動できます。チャンネル数を増やすために外部マルチプレクサを使用する場合、AD7124-4 の汎用出力ピンを使用してマルチプレクサのロジック・ピンを制御できます。汎用出力ピンを使用して、アクティブなマルチプレクサ・ピンを選択できます。マルチプレクサの動作は AD7124-4 から独立しているため、マルチプレクサ・チャンネルを変更するたびに SYNC ピンを使用するか、モードまたは設定レジスタに書き込みを行って変調器とフィルタをリセットしてください。

バイアス電圧発生器

AD7124-4 にはバイアス電圧発生器が内蔵されています(図 81 を参照)。選択した入力チャンネルの負端子に (AV_{DD} - AV_{SS}) / 2 のバイアスがかかります。この機能は、熱電対アプリケーションで便利です。これは、ADC を単電源で動作させる場合、熱電対によって生成された電圧に DC 電圧でバイアスをかける必要があるためです。バイアス電圧発生器は、IO_CONTROL_2 レジスタの VBIASx ビットを使用して制御します(表 53 を参照)。バイアス電圧発生器のパワーアップ時間は、負荷容量によって決まります。詳細については、仕様のセクションを参照してください。

表 53. 入出力コントロール 2 レジスタ

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x04	IO_CONTROL_2	VBIAS7	VBIAS6	0	0	VBIAS5	VBIAS4	0	0	0x0000	RW
		0	0	VBIAS3	VBIAS2			VBIAS1	VBIAS0		

表 54. ADC コントロール・レジスタ

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADC_CONTROL	0			DOUT_RDY_DEL	CONT_READ	DATA_STATUS	CS_EN	REF_EN	0x0000	RW
		POWER_MODE		Mode			CLK_SEL				

クロック

AD7124-4 には、内部 614.4 kHz クロックが搭載されています。この内部クロックの許容誤差は ±5 % です。AD7124-4 のクロック源として、内部クロックまたは外部クロックを使用してください。クロック源は、ADC_CONTROL レジスタの CLK_SEL ビットを使用して選択します(表 54 を参照)。

内部クロックは、CLK ピンから出力することもできます。この機能は、アプリケーションで複数の ADC を使用し、デバイスを同期する必要がある場合に便利です。1 つのデバイスの内蔵クロックをシステム内のすべての ADC のクロック源として使用できます。共通のクロックを使用すれば、すべてのデバイスへ共通のリセットを適用するか、SYNC ピンにパルスを入力して、デバイスを同期できます。

消費電力モード

AD7124-4 には、通常消費電力、中消費電力モード、低消費電力モードの 3 つの消費電力モードがあります。モードは、ADC_CONTROL レジスタの POWER_MODE ビットを使用して選択します。消費電力モードは、デバイスの消費電力に影響を与えるだけでなく、マスター・クロックの周波数も変更します。デバイスは 614.4 kHz クロックを使用します。ただし、このクロックは内部で分周され、分周比は消費電力モードによって決まります。このため、出力データ・レートの範囲と性能は消費電力モードの影響を受けます。

表 52. 消費電力モード

Power Mode	Master Clock (kHz)	Output Data Rate ¹ (SPS)	Current
Full Power	614.4	9.37 to 19,200	See the Specifications section
Mid Power	153.6	2.34 to 4800	
Low Power	76.8	1.17 to 2400	

¹ セトリングなし、sinc³/sinc⁴ フィルタを使用。

スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックへの電力供給が停止します。しかし、LDO はレジスタの内容を保持するため、動作状態を維持します。イネーブルにした場合、リファレンス、内部発振器、デジタル出力 P1 および P2、バイアス電圧発生器、ローサイド・パワー・スイッチがアクティブ状態を維持します。AD7124-4 B グレードでは、イネーブルにすれば、励起電流もスタンバイ・モードでアクティブ状態が維持されます。AD7124-4 では励起電流はディスエーブルになります。対応するビットを正しくセットすることで、必要に応じてこれらのブロックをディスエーブルに設定することもできます。リファレンス検出および LDO コンデンサ検出機能は、スタンバイ・モードでディスエーブルになります。

ADC がスタンバイ・モードの場合、イネーブルになっている他の診断機能はアクティブのままになります。診断機能はスタンバイ・モードでイネーブルまたはディスエーブルに設定できます。ただし、マスター・クロックを必要とする診断機能 (リファレンス検出、過電圧/低電圧検出、LDO トリップ・テスト、メモリ・マップ CRC、および MCLK カウンタ) は、ADC が連続変換モードまたはアイドル・モードになっているときにイネーブルにする必要があります。これらの診断機能は、スタンバイ・モードでイネーブルにしても機能しません。

LDO のみがイネーブルになっている場合、スタンバイ電流は 15 μA (typ) です。スタンバイ・モードでバイアス電圧発生器などの機能がアクティブのままになっている場合、電流は 36 μA (typ) 増加します。スタンバイ・モードで内部発振器がアクティブのままになっている場合、電流は 22 μA (typ) 増加します。スタンバイ・モードを終了する際に、AD7124-4 はパワーアップおよびセトリングに 130MCLK サイクルを必要とします。内部発振器がスタンバイ・モードでディスエーブルになっている場合は、パワーアップおよびセトリングにさらに 40 μs が必要になります。外部マスター・クロックを使用している場合は、必ずスタンバイ・モードを終了するコマンドを発行する前にこの外部マスター・クロックがアクティブになっているようにしてください。ADC がパワーアップおよびセトリングするまでは、ADC_CONTROL レジスタに再度書き込みを行ってはなりません。

パワーダウン・モードでは、LDO を含むすべてのブロックへの電力供給が停止します。すべてのレジスタの内容が失われ、デジタル出力 P1 および P2 がトライステートになります。偶発的にパワーダウン・モードにならないよう、まず ADC をスタンバイ・モードにする必要があります。外部マスター・クロックを使用している場合は、デバイスがパワーダウン・モードになるまでこの外部マスター・クロックをアクティブのままにしてください。パワーダウン・モードを終了するには、 $\overline{\text{CS}}=0$ 、 $\text{DIN}=1$ (シリアル・インターフェース・リセット) の状態で 64 SCLK サイクルが必要で、AD7124-4 は、パワーアップとセトリングに 2 ms (typ) を必要とします。ステータス・レジスタの POR_FLAG を監視して、パワーアップ/セトリングの終了を確認できます。この時間が経過した後に、内蔵レジスタにアクセスできるようになります。パワーダウン電流は 2 μA (typ) です。

デジタル・インターフェース

AD7124-4 のプログラム可能な機能は、一連の内蔵レジスタを使用して制御します。データはデバイスのシリアル・インターフェースを経由してこれらのレジスタに書き込まれます。このインターフェースでは、内蔵レジスタを読み出すこともできます。デバイスとのすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始する必要があります。パワーオンまたはリセットの後、デバイスはコミュニケーション・レジスタに対する書き込みを待ちます。このレジスタに書き込まれたデータにより、次の動作が読み出し動作または書き込み動作であるか決定され、この読み出し動作または書き込み動作を実行するレジスタが決定されます。したがって、デバイス上の他のすべてのレジスタに対する書き込みアクセスは、コミュニケーション・レジスタに対する書き込み動作で開始された後、選択したレジスタに対する書き込みが続きます。デバイス上の他のすべてのレジスタからの読み出し動作は (連続読み出しモードが選択されている場合を除く)、コミュニケーション・レジスタに対する書き込み動作で開始された後、選択したレジスタからの読み出し動作が続きます。

AD7124-4 のシリアル・インターフェースは $\overline{\text{CS}}$ 、 DIN 、 SCLK 、および $\text{DOUT}/\overline{\text{RDY}}$ の 4 つの信号で構成されています。 DIN ラインは内蔵レジスタにデータを転送し、 $\text{DOUT}/\overline{\text{RDY}}$ は内蔵レジスタのデータにアクセスします。 SCLK はデバイスのシリアル・クロック入力であり、すべてのデータ転送 (DIN または $\text{DOUT}/\overline{\text{RDY}}$ での転送) は、この SCLK 信号を基準として実行されます。

$\text{DOUT}/\overline{\text{RDY}}$ ピンはデータ・レディ信号としても機能し、新しいデータワードが出力レジスタから読み出し可能になると、このラインはロー・レベルになります。データ・レジスタからの読み出し動作が完了すると、この信号はハイ・レベルに戻ります。この信号はデータ・レジスタの更新前にもハイ・レベルになり、デバイスからの読み出しが実行できないことを示し、レジスタの更新中にデータが読み出されることを防止します。 $\overline{\text{CS}}$ はデバイスを選択するときに使用します。シリアル・バスに複数のコンポーネントが接続されているシステムでは、これを使用して AD7124-4 をデコードできません。

図3と図4に、デバイスのデコードに $\overline{\text{CS}}$ を使用した AD7124-4 に対するインターフェースのタイミング図を示します。図3に AD7124-4 の出力シフト・レジスタの読み出し動作のタイミングを示します。図4に入力シフト・レジスタに対する書き込み動作のタイミングを示します。連続する SPI コミュニケーション間に遅延を設ける必要があります。図5に、SPI 読み出し/書き込み動作の間に必要な遅延を示します。最初の読み出し動作の後に、 $\text{DOUT}/\overline{\text{RDY}}$ ラインがハイ・レベルに戻った後でも、データ・レジスタから同じワードを複数回読み出すことができます。ただし、次の出力更新が開始される前に、読み出し動作を完了する必要があります。連続読み出しモードでは、データ・レジスタは 1 変換につき 1 回しか読み出すことができません。

$\overline{\text{CS}}$ をロー・レベルに固定すれば、シリアル・インターフェースは 3 線モードで動作可能です。この場合、 SCLK 、 DIN 、および $\text{DOUT}/\overline{\text{RDY}}$ ラインは AD7124-4 と通信します。変換の終了は、ステータス・レジスタの $\overline{\text{RDY}}$ ビットを使用して監視できます。この方式は、マイクロ・コントローラとのインターフェースに適しています。デコード信号として $\overline{\text{CS}}$ が必要な場合は、ポートのピンから出力できます。マイクロ・コントローラ・インターフェースの場合は、各データ転送の間に SCLK をアイドル・ハイ・レベルにすることが推奨されます。

AD7124-4 は、フレーム同期信号として $\overline{\text{CS}}$ を使用して動作させることもできます。この方式は、DSP インターフェースに便利です。この場合、DSP において $\overline{\text{CS}}$ は、通常、 SCLK の立ち下がりエッジの後に発生するため、先頭ビット (MSB) は $\overline{\text{CS}}$ により効果的に出力されます。タイミング数値に従う限り、 SCLK は各データ転送の間も動作を継続できます。

$\overline{\text{CS}}$ を使用して読み出しおよび書き込み動作をフレームする必要があり、診断機能 SPI_READ_ERR、SPI_WRITE_ERR、または SPI_SCLK_CNT_ERR をイネーブルにする場合は、ADC_CONTROL レジスタの $\overline{\text{CS}}_{\text{EN}}$ ビットをセットする必要があります。

DIN 入力に一連の「1」を書き込むことにより、シリアル・インターフェースをリセットすることもできます。詳細については、リセットのセクションを参照してください。リセットすると、インターフェースはコミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。

AD7124-4 は、連続的に変換するように設定することも、シングル変換を実行するように設定することもできます (図82 ~ 図84 を参照)。

シングル変換モード

シングル変換モードでは、AD7124-4 は、一度だけ変換を行い、変換が終了するとスタンバイ・モードに移行します。マスター・クロックが存在する場合 (外部マスター・クロックまたは内部発振器がイネーブル)、 $\text{DOUT}/\overline{\text{RDY}}$ はロー・レベルに移行して変換が完了したことを示します。データ・レジスタからデータワードを読み出すと、 $\text{DOUT}/\overline{\text{RDY}}$ がハイ・レベルに移行します。 $\text{DOUT}/\overline{\text{RDY}}$ がハイ・レベルに移行しても、必要に応じてデータ・レジスタを複数回読み出すことができます。変換の完了近くで ADC_CONTROL レジスタを読み出してはなりません。なぜなら、ADC がスタンバイ・モ

ードであることを示すためにモード・ビットが ADC によって更新されているところだからです。

複数のチャンネルがイネーブルになっていれば、ADC はイネーブル状態にあるチャンネルを自動的にスキャンし、各チャンネルもデータ変換動作を実行します。変換が開始されると、 $\overline{\text{DOUT/RDY}}$ はハイ・レベルに移行し、有効な変換結果が得られて $\overline{\text{CS}}$ がロー・レベルになるまでハイ・レベルを維持します。変換結果が得られると、直ちに $\overline{\text{DOUT/RDY}}$ がロー・レベルに移行します。続いて、ADC は次のチャンネルを選択して、変換を開始します。この変換データは、次の変換を実行している間に、必ず読み出してください。次の変換が完了すると、直ちにデータ・レジスタが更新されます。したがって、変換データを読み出せる期間は限られています。選択した各チャンネルで ADC がシングル変換を実行すると、ADC はスタンバイ・モードに戻ります。

ADC_CONTROL レジスタの DATA_STATUS ビットが 1 にセットされている場合、データ読み出しが実行されるたびに、ステータス・レジスタの内容が変換結果と一緒に出力されます。ステータス・レジスタの下位 4 ビットに、変換結果に対応するチャンネルが表示されます。

連続変換モード

連続変換モードは、パワーアップ時のデフォルト・モードです。AD7124-4 は連続的に変換を実行し、変換が完了するたびに、ステータス・レジスタの RDY ビットがロー・レベルに移行します。 $\overline{\text{CS}}$ がロー・レベルの場合、変換が完了すると、 $\overline{\text{DOUT/RDY}}$ ラインもロー・レベルに移行します。変換結果を読み出すには、コミュニケーション・レジスタに書込みを行って、次の動作がデータ・レジスタからの読み出しであることを示します。データ・レジスタからデータワードを読み出すと、 $\overline{\text{DOUT/RDY}}$ がハイ・レベルに移行します。このレジスタの内容は、必要に応じて何回も読み出すことが可能です。ただし、次の変換の完了時に、データ・レジスタへのアクセスを防止する必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルになると、ADC はイネーブル状態にあるチャンネルを自動的にスキャンし、各チャンネルのデータ変換を実行します。全チャンネルの変換が完了すると、最初のチャンネルに戻って、シーケンスが再度開始されます。チャンネルのデータ変換は、最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ、順番に行われます。データ・レジスタは、各変換が可能な状態になると、直ちに更新されます。 $\overline{\text{DOUT/RDY}}$ ピンは、新しい変換結果が得られるたびに、ロー・レベルに移行します。ADC がイネーブル状態にある次のチャンネルを変換している間に、変換結果を読み出してください。

ADC_CONTROL レジスタの DATA_STATUS ビットが 1 にセットされている場合、データ・レジスタが読み出されるたびに、ステータス・レジスタの内容が変換データと一緒に出力されます。ステータス・レジスタには、変換を実行したチャンネルの情報が表示されます。

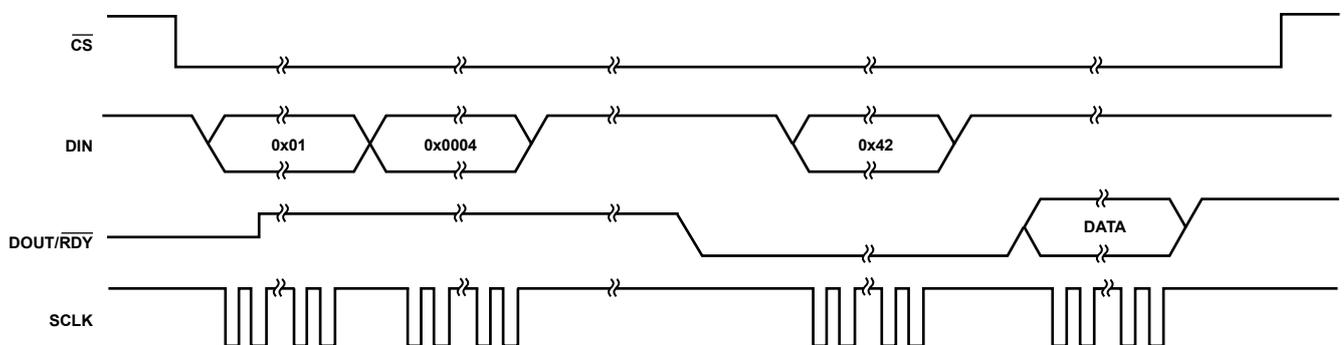


図 82. シングル変換の構成

13197-087

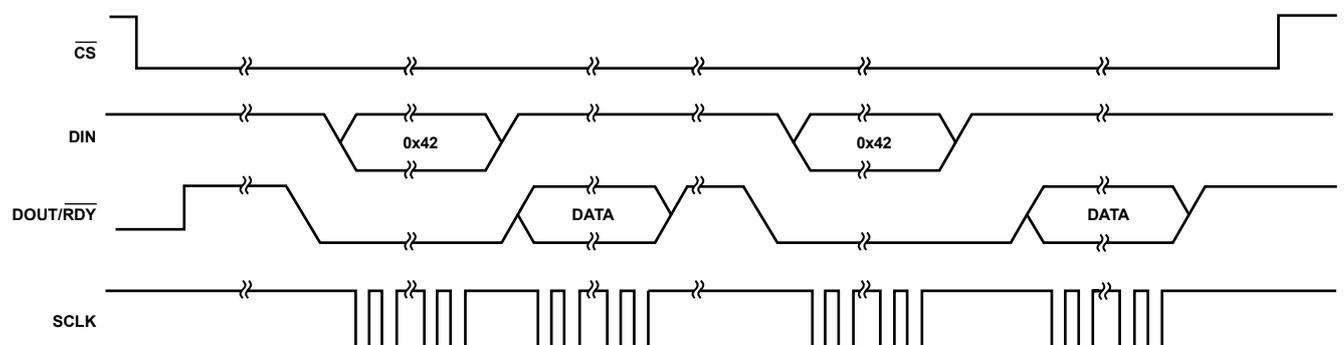


図 83. 連続変換の構成

13197-088

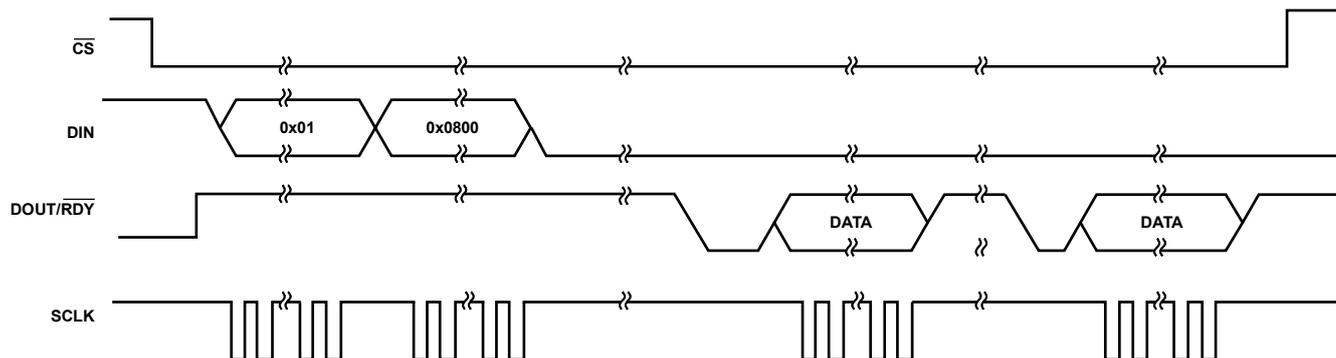


図 84. 連続読出しの構成

連続読出しモード

連続読出しモードでは、ADC データを読み出す前にコミュニケーション・レジスタに書き込む必要はありません。DOUT/RDY がロー・レベルに移行した後に、必要な数の SCLK を適用して変換の終了を示します。変換結果を読み出すと、DOUT/RDY はハイ・レベルに戻り、次の変換結果が得られるまでハイ・レベルを維持します。このモードでは、一度の変換で 1 回しかデータを読み出すことができません。次の変換が完了する前に、必ずデータワードを読み出してください。次の変換が完了する前に変換結果を読み出さなかった場合、またはワードを読み出すのに十分なシリアル・クロックが AD7124-4 に適用されていない場合は、次の変換の完了時にシリアル出力レジスタがリセットされ、新しい変換結果が出力シリアル・レジスタに格納されます。連続読出しモードを使用するには、ADC を連続変換モードに設定する必要があります。

連続読出しモードをイネーブルにするには、ADC_CONTROL レジスタの CONT_READ ビットをセットします。このビットがセットされると、使用可能なシリアル・インターフェースの機能は、データ・レジスタからのデータの読出しのみになります。連続読出しモードを終了するには、DOUT/RDY ピンがロー・レベルになっているときに読出しデータ・コマンド (0x42) を書き込みます。あるいは、CS = 0 かつ DIN = 1 のとき、64 個の SCLK を送信して、ソフトウェア・リセットを実行してください。この動作で、ADC とすべてのレジスタの内容がリセットされます。これらは、インターフェースが連続読出しモードになった後、認識できる唯一のコマンドです。命令がデバイスに書き込まれるまで、連続読出しモードで DIN をロー・レベルに維持する必要があります。

複数の ADC チャンネルがイネーブルで、ADC_CONTROL レジスタの DATA_STATUS がセットされている場合、データにステータス・ビットが付加された状態で各チャンネルが順番に出力されます。ステータス・レジスタには、変換を実行したチャンネルの情報が表示されます。

DATA_STATUS

ステータス・レジスタの内容は、AD7124-4 の各変換結果に付加できます。これは、複数のチャンネルがイネーブルになっている場合に便利な機能です。変換データが出力されるごとに、ステータス・レジスタの内容が付加されます。ステータス・レジスタの下位 4 ビットには、変換を実行したチャンネルが表示されます。さらに、ERROR_FLAG ビットでエラーに対してフラグが立っているか判断できます。すべての変換結果にステータス・レジスタの内容を付加するには、ADC_CONTROL レジスタの DATA_STATUS ビットを 1 にセットします。

シリアル・インターフェース・リセット (DOUT_RDY_DEL および CS_EN ビット)

AD7124-4 では、DOUT/RDY ピンが DOUT ピンから RDY ピンに変わるタイミングをプログラムできます。デフォルトでは、DOUT/RDY ピンの機能は、最後の SCLK 立ち上がりエッジ(プロセッサによって LSB が読み出される SCLK エッジ)から一定時間が経過した後に変更されます。デフォルトでは、この時間は 10 ns (min) ですが、ADC_CONTROL レジスタの DOUT_RDY_DEL ビットを 1 にセットすることで 110 ns (min) に延長できます。

ADC_CONTROL レジスタの CS_EN ビットを 1 にセットすることで、DOUT/RDY ピンは、CS がハイ・レベルになるまで読出し中のレジスタの LSB の出力を継続します。この構成は、CS 信号を使用してすべての読出し動作をフレームする場合に便利です。すべての読出し動作をフレームするのに CS を使用しない場合は、CS_EN を 0 にセットして、読出し動作の最後の SCLK エッジ後に DOUT/RDY が機能を変更するようにします。

SPI_READ_ERR、SPI_WRITE_ERR、SPI_SCLK_CNT_ERR の診断機能をイネーブルにしている場合は、CS_EN を 1 にセットする必要があります。CS 信号を使用してすべての読出し動作および書き込み動作をフレームする必要があります。

シリアル・インターフェースは CS 立ち上がりエッジで常にリセットされます。つまり、インターフェースは既知の状態にリセットされ、コミュニケーション・レジスタへの書き込みを待ちます。このため、複数の 8 ビット・データ転送を実行して読出しまたは書き込み動作を実行する場合、すべてのビットが転送されるまで CS をロー・レベルに維持する必要があります。

リセット

64 個の連続する 1 をデバイスに書き込むことで、AD7124-4 の回路とシリアル・インターフェースをリセットできます。これにより、ロジック、デジタル・フィルタ、アナログ変調器がリセットされ、すべての内蔵レジスタがそれぞれのデフォルト値にリセットされます。リセットは、パワーアップ時に自動的に実行されます。リセットに必要な時間は 90 MCLK サイクルです。リセットが開始されると、ステータス・レジスタの POR_FLAG ビットが 1 にセットされます。リセットが完了すると、0 にセットされます。リセットは、SCLK ラインのノイズによってシリアル・インターフェースの同期が失われた場合に便利です。

キャリブレーション

AD7124-4 には、セットアップごとにオフセット誤差とゲイン誤差を排除するのに使用できる次の 4 つのキャリブレーション・モードがあります。

- 内部ゼロスケール・キャリブレーション・モード
- 内部フルスケール・キャリブレーション・モード
- システム・ゼロスケール・キャリブレーション・モード
- システム・フルスケール・キャリブレーション・モード

キャリブレーション中は、1 チャンネルのみアクティブになります。各変換後、ADC の変換結果は、データ・レジスタを書き込む前に ADC キャリブレーション・レジスタのデータを使用して補正されます。

オフセット・レジスタのデフォルト値は 0x800000 で、ゲイン・レジスタの公称値は 0x5XXXXX です。ADC ゲインのキャリブレーション範囲は、 $0.4 \times V_{REF} / \text{ゲイン} \sim 1.05 \times V_{REF} / \text{ゲイン}$ です。

各キャリブレーション・モードで使用する式は次のとおりです。ユニポーラ・モードにおいて、ADC ゲイン誤差とオフセット誤差を考慮しない場合、データとゲイン・オフセットとの理想的な関係式は以下のようになります。

$$\text{Data} = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (\text{Offset} - 0x800000) \right) \times \frac{\text{Gain}}{0x400000} \times 2$$

バイポーラ・モードにおいて、ADC ゲイン誤差とオフセット誤差を考慮しない場合、データとゲイン・オフセットとの理想的な関係式は以下のようになります。

$$\text{Data} = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (\text{Offset} - 0x800000) \right) \times \frac{\text{Gain}}{0x400000} + 0x800000$$

キャリブレーションを開始するには、ADC_CONTROL レジスタのモード・ビットに適切な値を書き込みます。キャリブレーションを起動すると、DOUT/RDY ピンと、ステータス・レジスタの RDY ビットがハイ・レベルになります。キャリブレーションが完了すると、対応するオフセットまたはゲイン・レジスタの内容が更新され、ステータス・レジスタの RDY ビットがリセットされ、DOUT/RDY ピンがロー・レベルに戻り (CS がロー・レベルの場合)、AD7124-4 がアイドル・モードに復帰します。

内部オフセット・キャリブレーションの最中、選択した正のアナログ入力ピンが切断され、選択した負のアナログ入力ピンに内部で接続されます。このため、選択した負のアナログ入力ピンの電圧が許容値を超えず、過度なノイズや干渉がないことを確認する必要があります。

内部フルスケール・キャリブレーションを実行するため、フルスケール入力電圧がこのキャリブレーション用に選択したアナログ入力に自動的に接続されます。フルスケール誤差を最小限に抑えるため、チャンネルのゲインを変更するたびにフルスケール・キャリブレーションを実行することをお勧めします。内部キャリブレーションを実行する場合は、内部ゼロスケール・キャリブレーションの前に内部フルスケール・キャリブレーションを実行する必要があります。このため、内部フルスケール・キャリブレーションを実行する前に、オフセット・レジスタに値 0x800000 を書き込みます。これにより、オフセット・レジスタを確実にデフォルト値に設定できます。AD7124-4 は出荷時にゲイン 1 でキャリブレーションされています。この結果得られるゲイン係数がデバイスのデフォ

ルトのゲイン係数になります。このデバイスでは、ゲイン 1 でのこれ以上の内部フルスケール・キャリブレーションはサポートされていません。

システム・キャリブレーションでは、システム・ゼロスケール電圧(オフセット)とシステム・フルスケール(ゲイン)電圧が ADC ピンに入力されるまで待ってから、キャリブレーション・モードが開始されます。この結果、ADC に対する外部誤差を排除できます。システム・ゼロスケール・キャリブレーションは、システム・フルスケール・キャリブレーションの前に実行する必要があります。

動作の観点から、キャリブレーションは ADC 変換と同等に扱う必要があります。ステータス・レジスタの RDY ビットまたは DOUT/RDY ピンをモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割込みによるルーチンによってキャリブレーションが終了したことを判断します。

内部/システム・オフセット・キャリブレーションおよびシステム・フルスケール・キャリブレーションの所要時間は、選択したフィルタのセトリング・タイムと同じです。内部フルスケール・キャリブレーションの所要時間は、ゲインが 1 よりも大きい場合は 4 セトリング周期です。

キャリブレーションはあらゆる出力データ・レートで実行できます。出力データ・レートを低くしてキャリブレーションを行うと、精度の高いキャリブレーション結果が得られ、すべての出力データ・レートに対して高精度のキャリブレーション・データが得られます。特定のチャンネルのリファレンス源またはゲインが変更された場合、そのチャンネルに対してキャリブレーションを再実行する必要があります。

オフセット・キャリブレーションおよびシステム・フルスケール・キャリブレーションは、すべての消費電力モードで実行できます。内部フルスケール・キャリブレーションは、低消費電力モードまたは中消費電力モードでのみ実行できます。このため、通常消費電力モードを使用している場合、内部フルスケールキャリブレーションを実行するには、中消費電力モードまたは低消費電力モードを選択する必要があります。ただし、同じゲインを使用する場合、低消費電力モードまたは中消費電力モードで実行した内部フルスケール・キャリブレーションは、通常消費電力モードでも有効です。

通常、オフセット誤差は、ゲイン=1～8 では $\pm 15 \mu\text{V}$ (typ)、高出力データ・レートでは $\pm 200 / \text{ゲイン} \mu\text{V}$ です。内部またはシステム・オフセット・キャリブレーションにより、オフセット誤差はノイズのレベルまで軽減されます。ゲイン誤差は、周囲温度およびゲイン 1 で出荷時にキャリブレーションされています。このキャリブレーション後のゲイン誤差は、 $\pm 0.0025 \%$ (max) です。このため、AD7124-4 では、ゲイン 1 での内部フルスケール・キャリブレーションはサポートされていません。その他のゲインでは、ゲイン誤差は -0.3% です。周囲温度での内部フルスケール・キャリブレーションにより、ゲイン誤差は、ゲイン=2～8 の場合は $\pm 0.016 \%$ (max) に軽減され、それよりも高いゲインでは $\pm 0.025 \%$ (typ) に軽減されます。システム・フルスケール・キャリブレーションにより、ゲイン誤差はノイズのレベルまで軽減されません。

AD7124-4 では、ユーザーが内蔵キャリブレーション・レジスタにアクセスできるため、マイクロプロセッサでデバイスのキャリブレーション係数を読み出し、EEPROM に格納されている独自のキャリブレーション係数を書き込むことができます。内部キャリブレーションまたはセルフキャリブレーションの最中を除くと、オフセット・レジスタとゲイン・レジスタの読出しまたは書込みはいつでも実行できます。キャリブレーション・レジスタの値は 24 ビット幅です。また、レジスタを使用してデバイスのスパンとオフセットを操作することもできます。

スパンとオフセットの限界値

システム・キャリブレーション・モードを使用する場合、対応可能なオフセットおよびスパンの量は制限されています。デバイスが対応可能なオフセットとゲインの量を決定するためのオーバーライド条件は、正のフルスケール・キャリブレーションの限界値が $\leq 1.05 \times V_{REF} / \text{ゲイン}$ となる要件です。これにより、入力範囲は公称範囲を5%超えることができます。AD7124-4 アナログ変調器の内蔵ヘッドルームにより、公称値を5%超える正のフルスケール電圧でもデバイスは正常に動作します。

ユニポーラ・モードとバイポーラ・モードでの入力スパンの範囲の最小値は $0.8 \times V_{REF} / \text{ゲイン}$ で、最大値は $2.1 \times V_{REF} / \text{ゲイン}$ です。ただし、AD7124-4 の入力範囲の上限と下限の差異であるスパンでは、正のフルスケール電圧の制限を考慮する必要があります。対応可能なオフセットの量は、ユニポーラ・モードとバイポーラ・モードのどちらを使用するかによって異なります。オフセットでは、正のフルスケール電圧の制限を考慮する必要があります。ユニポーラ・モードの場合、負(AINMを基準)のオフセットをかなり柔軟に取り扱うことができます。ユニポーラ・モードとバイポーラ・モードのどちらの場合も、デバイスが処理できる正のオフセットの範囲は選択したスパンによって決まります。このため、システム・ゼロスケール・キャリブレーションとフルスケール・キャリブレーションの限界値を決定する際は、オフセット範囲とスパン範囲の合計が $1.05 \times V_{REF} / \text{ゲイン}$ を超えないようにする必要があります。いくつかの例を挙げて、わかりやすく説明します。

デバイスをユニポーラ・モード(必要なスパン $0.8 \times V_{REF} / \text{ゲイン}$)で使用した場合、システム・キャリブレーションが処理できるオフセット範囲は $-1.05 \times V_{REF} / \text{ゲイン} \sim +0.25 \times V_{REF} / \text{ゲイン}$ です。デバイスをユニポーラ・モード(必要なスパン $V_{REF} / \text{ゲイン}$)で使用した場合、システム・キャリブレーションが処理できるオフセット範囲は $-1.05 \times V_{REF} / \text{ゲイン} \sim +0.05 \times V_{REF} / \text{ゲイン}$ です。同様に、デバイスをユニポーラ・モードで使用し、オフセット $0.2 \times V_{REF} / \text{ゲイン}$ を取り除く必要がある場合、システム・キャリブレーションが処理できるスパン範囲は $0.85 \times V_{REF} / \text{ゲイン}$ です。

デバイスをバイポーラ・モード(必要なスパン $\pm 0.4 \times V_{REF} / \text{ゲイン}$)で使用した場合、システム・キャリブレーションが処理できるオフセット範囲は $-0.65 \times V_{REF} / \text{ゲイン} \sim +0.65 \times V_{REF} / \text{ゲイン}$ です。デバイスをバイポーラ・モード(必要なスパン $\pm V_{REF} / \text{ゲイン}$)で使用した場合、システム・キャリブレーションが処理できるオフセット範囲は $-0.05 \times V_{REF} / \text{ゲイン} \sim +0.05 \times V_{REF} / \text{ゲイン}$ です。同様に、デバイスをバイポーラ・モードで使用し、 $\pm 0.2 \times V_{REF} / \text{ゲイン}$ のオフセットを取り除く必要がある場合、システム・キャリブレーションが処理できるスパン範囲は $\pm 0.85 \times V_{REF} / \text{ゲイン}$ です。

システム同期

SYNC入力により、デバイス内のセットアップ状態に一切影響を与えずに、変調器とデジタル・フィルタをリセットできます。これにより、既知の時点、すなわちSYNCの立ち上がりエッジから、アナログ入力のサンプル取得を開始できます。同期機能を実装するには、少なくとも4マスター・クロック・サイクルの間、SYNCをロー・レベルにする必要があります。

複数のAD7124-4が共通のマスター・クロックで動作する場合、データ・レジスタが同時に更新されるようにこれらのデバイスを同期させることができます。SYNCピンの立ち下がりエッジで、デジタル・フィルタとアナログ変調器がリセットされ、AD7124-4は一貫した既知の状態になります。SYNCピンがロー・レベルの間、AD7124-4はこの状態を維持します。SYNCの立ち上がりエッジで、変調器とフィルタはこのリセット状態から抜け出します。デバイスは、次のクロック・エッジで入力サンプルの収集を再開します。複数のAD7124-4デバイスを使用するシステムでは、それぞれのSYNCピンへ入力される共通の信号により、動作が同期されます。通常、各AD7124-4がキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後、この動作が実行されます。その後、各AD7124-4デバイスの変換結果が同期されます。

デバイスは、SYNCがロー・レベルからハイ・レベルに遷移した後のマスター・クロックの立ち下がりエッジでリセットを終了します。このため、複数のデバイスを同期する場合、マスター・クロックの立ち上がりエッジでSYNCピンをハイ・レベルに設定し、すべてのデバイスがマスター・クロックの立ち下がりエッジでサンプリングを開始するように設定する必要があります。SYNCピンを十分な時間にわたりハイ・レベルにしないと、デバイス間で1マスター・クロック・サイクルの差が生じることがあります。つまり、変換結果が得られるタイミングが、デバイスによって最大で1マスター・クロック・サイクル異なる場合があります。

また、SYNCピンを変換開始コマンドとして使用することもできます。このモードでは、SYNCの立ち上がりエッジにより変換が開始され、RDYの立ち下がりエッジにより変換が完了したタイミングが示されます。フィルタのセトリング・タイムは、各データ・レジスタの更新ごとに、適切に割り当てる必要があります。例えば、ADCで sinc^4 フィルタを使用するように設定し、ゼロ遅延をディスエーブルにした場合、セトリング・タイムは $4 / f_{ADC}$ に等しくなります。ここで、 f_{ADC} は1つのチャンネルで連続変換を実行する時の出力データ・レートです。

デジタル・フィルタ

表 55. フィルタ・レジスタ

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x21 to 0x28	FILTER_0 to FILTER_7	Filter			REJ60	POST_FILTER			SINGLE_CYCLE	0x060180	RW
		0						FS[10:8]			
								FS[7:0]			

AD7124-4 は、デジタル・フィルタに関して優れた柔軟性を発揮します。このデバイスには、いくつかのフィルタ・オプションがあります。選択したオプションは、出力データ・レート、セトリング・タイム、50 Hz と 60 Hz の除去に影響を与えます。以降のセクションでは、各フィルタ・タイプについて説明します。具体的には、各フィルタ・オプションで使用可能な出力データ・レート、フィルタ応答とセトリング・タイム、および 50 Hz と 60 Hz の除去について説明します。

フィルタ・レジスタのフィルタ・ビットで、sinc タイプ・フィルタを選択します。

Sinc⁴ フィルタ

AD7124-4 のパワーアップ時に、デフォルトで sinc⁴ フィルタが選択されます。このフィルタは、出力データ・レートの全範囲にわたって優れたノイズ性能を発揮します。また、最高の 50 Hz/60 Hz 除去比も得られますが、セトリング・タイムが長くなります。図 85 の灰色で示しているブロックは使用しません。

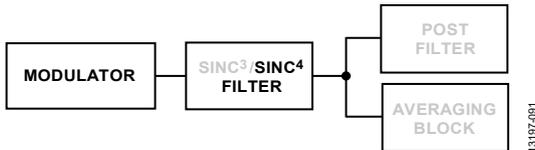


図 85. Sinc⁴ フィルタ

Sinc⁴ 出力データ・レート/セトリング・タイム

出力データ・レート(ADC で連続変換を実行しているときに 1 つのチャンネルで可能な変換レート)は次のようになります。

$$f_{ADC} = f_{CLK} / (32 \times FS[10:0])$$

ここで、

f_{ADC} は出力データ・レート。

f_{CLK} は、マスター・クロック周波数 (通常消費電力モード: 614.4 kHz、中消費電力モード: 153.6 kHz、低消費電力モード: 76.8 kHz)。

$FS[10:0]$ は、フィルタ・レジスタの FS[10:0] ビットの 10 進表示値。FS[10:0] は、1 ~ 2047 の値に設定できます。

出力データ・レートは次のようにプログラムできます。

- 通常消費電力モードの場合: 9.38 SPS ~ 19,200 SPS
- 中消費電力モードの場合: 2.35 SPS ~ 4800 SPS
- 低消費電力モードの場合: 1.17 SPS ~ 2400 SPS

sinc⁴ フィルタのセトリング・タイムは、次のようになります。

$$t_{SETTLE} = (4 \times 32 \times FS[10:0] + Dead\ time) / f_{CLK}$$

ここで $Dead\ time = 61$ ($FS[10:0] = 1$ の場合) または 95 ($FS[10:0] > 1$ の場合)

チャンネルが変更されると、変調器とフィルタがリセットされます。セトリング・タイムによって、チャンネル変更後の最初の変換結果を生成できます。このチャンネルでの後続の変換は $1/f_{ADC}$ で発生します。

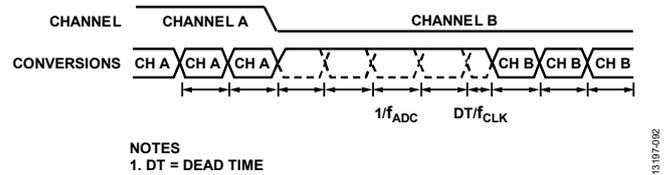


図 86. Sinc⁴ チャンネル変更

1 つのチャンネルで変換が実行され、ステップ変化が発生した場合、ADC はアナログ入力の変換を検出しません。このため、プログラムされた出力データ・レートで変換結果の出力を継続します。ただし、出力データにアナログ入力に正確に反映されるのは、4 回目の変換以降です。ADC が変換を処理しているときにステップ変化が発生した場合、ADC は、ステップ変化後に 5 回の変換を実行して完全にセトリングされた結果を生成します。

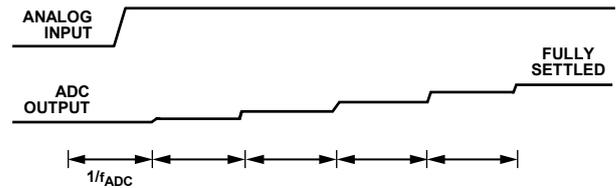


図 87. アナログ入力での非同期ステップ変化

sinc⁴ フィルタの 3 dB 周波数は、次のようになります。

$$f_{3dB} = 0.23 \times f_{ADC}$$

表 56 に、FS[10:0] ビット内の値および対応する出力データ・レートとセトリング・タイムの関係について例を示します。

表 56. Sinc⁴ フィルタの出力データ・レートおよび対応するセトリング・タイムの例

Power Mode	FS[10:0]	Output Data Rate (SPS)	Settling Time (ms)
Full Power ($f_{CLK} = 614.4\text{ kHz}$)	1920	10	400.15
	384	50	80.15
	320	60	66.82
Mid Power ($f_{CLK} = 153.6\text{ kHz}$)	480	10	400.61
	96	50	80.61
	80	60	67.28
Low Power ($f_{CLK} = 76.8\text{ kHz}$)	240	10	401.22
	48	50	81.22
	40	60	67.89

Sinc⁴ ゼロ遅延

ゼロ遅延は、フィルタ・レジスタの SINGLE_CYCLE ビットを 1 にセットすることでイネーブルになります。ゼロ遅延がイネーブルになっている場合、1 つのチャンネルでの連続変換にかかる時間は、セトリング・タイムとほぼ同じになります。変換が 1 つのチャンネルで発生するか、複数のチャンネルを使用するかに関係なく、すべての変換の間の経過時間がほぼ同じになることがこのモードの利点です。1 つのチャンネルでアナログ入力連続的にサンプリングされる場合、出力データ・レートは次のようになります。

$$f_{ADC} = f_{CLK} / (4 \times 32 \times FS[10:0])$$

ここで、

f_{ADC} は出力データ・レート。

f_{CLK} は、マスター・クロック周波数。

$FS[10:0]$ は、セットアップ・フィルタ・レジスタの FS[10:0] ビットの 10 進表示値。

別のチャンネルを選択した場合、最初の変換で次の追加遅延が発生します。

$$Dead\ time / f_{CLK}$$

ここで $Dead\ time = 61$ ($FS[10:0] = 1$ の場合) または 95 ($FS[10:0] > 1$ の場合)

出力データ・レートが低い場合、この追加遅延によるセトリング・タイムへの影響はほとんどありません。ただし、出力データ・レートが高い場合は、この遅延を考慮する必要があります。表 57 に、 $FS[10:0]$ 値のサンプルについて、1 つのチャンネルでの連続変換時の出力データ・レートとチャンネル切り替え時のセトリング・タイムを示します。

チャンネルを切り替えた場合、チャンネル変更後に AD7124-4 でセトリング・タイム全体を使用して最初の変換結果を生成できます。このため、複数のチャンネルがイネーブルになっている場合、ADC は自動的にゼロ遅延モードで動作します。SINGLE_CYCLE ビットの設定は無視されます。

表 57. Sinc⁴ フィルタの出力データ・レートおよび対応するセトリング・タイムの例 (ゼロ遅延)

Power Mode	FS[10:0]	Output Data Rate (SPS)	Settling Time (ms)
Full Power ($f_{CLK} = 614.4\text{ kHz}$)	1920	2.5	400.15
	384	12.5	80.15
	320	15	66.82
Mid Power ($f_{CLK} = 153.6\text{ kHz}$)	480	2.5	400.61
	96	12.5	80.61
	80	15	67.28
Low Power ($f_{CLK} = 76.8\text{ kHz}$)	240	2.5	401.22
	48	12.5	81.22
	40	15	67.89

アナログ入力がある場合、またはチャンネル変更が発生した場合、ほぼ一定の出力データ・レートで有効な変換結果を得ることができます。1 つのチャンネルで変換が実行され、アナログ入力でステップ変化が発生した場合、ステップ変化が変換プロセスに同期されていれば、ADC は完全にセトリングされた変換結果の出力を継続します。ステップ変化が同期されていない場合、セトリングが不完全な 1 つの変換が ADC から出力されます (図 88 を参照)。

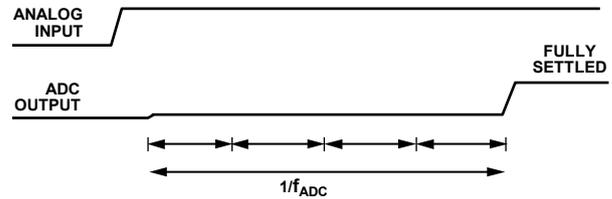


図 88. Sinc⁴ ゼロ遅延動作

シーケンサ

Sinc⁴ フィルタセクションの説明は、デバイスに書き込みを行ってチャンネルを変更する場合など、チャンネルを手動で切り替える場合に該当します。複数のチャンネルがイネーブルになっている場合は、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルにされたすべてのチャンネルを自動的にスキャンします。この場合、最初の変換に必要な時間は表 56 に示したセトリング・タイム全体になります。後続のすべての変換でも、各変換に必要な時間はセトリング・タイムになりますが、デッド・タイムは 30 に減少します。

Sinc⁴ 50 Hz/60 Hz 除去比

図 89 に、出力データ・レートが 50 SPS にプログラム済みで、ゼロ遅延がディスエーブルの場合の sinc⁴ フィルタの周波数応答を示します。同じ設定でゼロ遅延がイネーブルの場合、フィルタ応答は同じままですが、出力データ・レートは 12.5 SPS になります。安定したマスター・クロックの場合、sinc⁴ フィルタは 120 dB (min) を超える 50 Hz ($\pm 1\text{ Hz}$) 除去比を実現します。

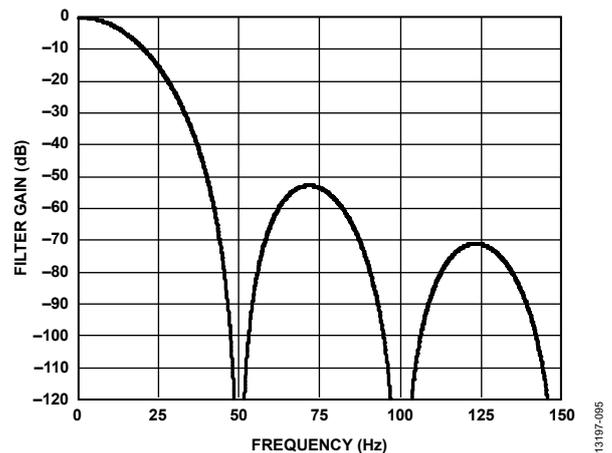


図 89. Sinc⁴ フィルタ応答

(50 SPS 出力データ・レート、ゼロ遅延ディスエーブル、または 12.5 SPS 出力データ・レート、ゼロ遅延はイネーブル)

図90に、出力データ・レートが60 SPSにプログラム済みで、ゼロ遅延がディスエーブルの場合の sinc^4 フィルタの周波数応答を示します。同じ設定でゼロ遅延がイネーブルの場合、フィルタ応答は同じままですが、出力データ・レートは15 SPSになります。安定したマスター・クロックの場合、 sinc^4 フィルタは120 dB (min) を超える60 Hz (± 1 Hz) 除去比を実現します。

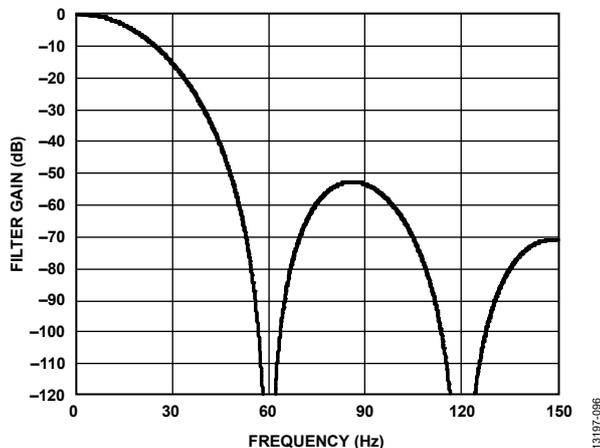


図90. Sinc^4 フィルタ応答

(60 SPS 出力データ・レート、ゼロ遅延ディスエーブル、または15 SPS 出力データ・レート、ゼロ遅延はイネーブル)

出力データ・レートが10 SPSでゼロ遅延がディスエーブルの場合、または2.5 SPSでゼロ遅延がイネーブルの場合、50 Hzと60 Hzの同時除去が実現します。安定したマスター・クロックの場合、 sinc^4 フィルタは120 dB (min) の50 Hz (± 1 Hz) / 60 Hz (± 1 Hz) 除去が実現します。

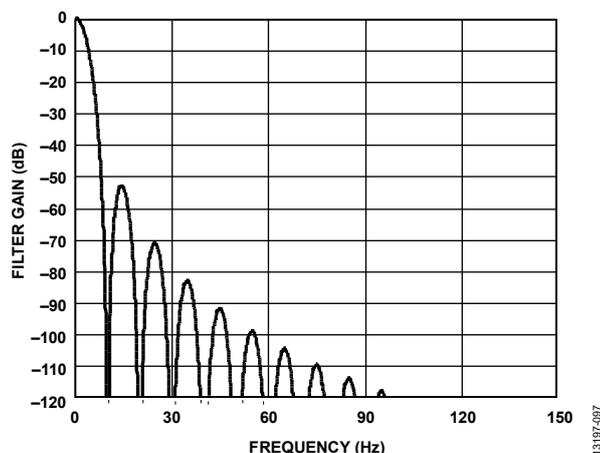


図91. Sinc^4 フィルタ応答

(10 SPS 出力データ・レート、ゼロ遅延ディスエーブル、または2.5 SPS 出力データ・レート、ゼロ遅延はイネーブル)

50 Hz / 60 Hz の同時除去は、フィルタ・レジスタの REJ60 ビットを使用して実現できます。 Sinc フィルタが50 Hzにノッチを配置した場合、REJ60 ビットは60 Hzに1次ノッチを配置します。出力データ・レートは、ゼロ遅延がディスエーブルの場合は50 SPSで、ゼロ遅延がイネーブルの場合は12.5 SPSです。図92に sinc^4 フィルタの周波数応答を示します。安定したマスター・クロックの場合、フィルタは82 dB (min) の50 Hz ± 1 Hz と60 Hz ± 1 Hz の除去を実現します。

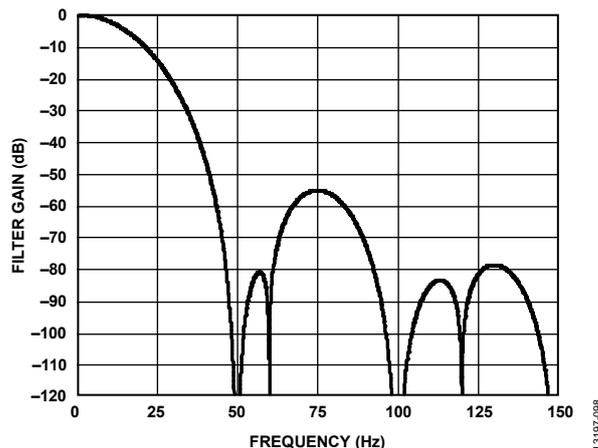


図92. Sinc^4 フィルタ応答

(50 SPS 出力データ・レート、ゼロ遅延ディスエーブル、または12.5 SPS 出力データ・レート、ゼロ遅延イネーブル、REJ60 = 1)

Sinc³ フィルタ

sinc^4 フィルタの代わりに sinc^3 フィルタを使用できます。このフィルタは、フィルタ・レジスタのフィルタ・ビットを使用して選択します。このフィルタは、優れたノイズ性能、中程度のセトリング・タイム、中程度の50 Hz / 60 Hz (± 1 Hz) 除去比を備えています。図93の灰色で示しているブロックは使用しません。

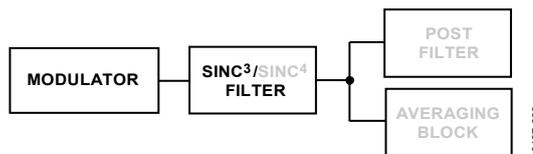


図93. Sinc^3 フィルタ

Sinc^3 出力データ・レートとセトリング・タイム

出力データ・レート(ADCで連続変換を実行しているときに1つのチャンネルで可能な変換レート)は次のようになります。

$$f_{ADC} = f_{CLK} / (32 \times FS[10:0])$$

ここで、

f_{ADC} は出力データ・レート。

f_{CLK} は、マスター・クロック周波数(通常消費電力モード: 614.4 kHz、中消費電力モード: 153.6 kHz、低消費電力モード: 76.8 kHz)。

$FS[10:0]$ は、フィルタ・レジスタの $FS[10:0]$ ビットの10進表示値。 $FS[10:0]$ は、1 ~ 2047の値に設定できます。

出力データ・レートは次のようにプログラムできます。

- 通常消費電力モードの場合: 9.38 SPS ~ 19,200 SPS
- 中消費電力モードの場合: 2.35 SPS ~ 4800 SPS
- 低消費電力モードの場合: 1.17 SPS ~ 2400 SPS

sinc^3 フィルタのセトリング・タイムは、次のようになります。

$$t_{SETTLE} = (3 \times 32 \times FS[10:0] + \text{Dead time}) / f_{CLK}$$

ここで $\text{Dead time} = 61$ ($FS[10:0] = 1$ の場合) および 95 ($FS[10:0] > 1$ の場合)

3 dB 周波数は、次のとおりです。

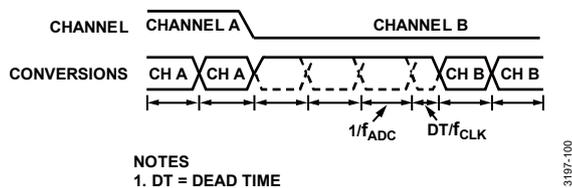
$$f_{3dB} = 0.262 \times f_{ADC}$$

表 58 に、FS[10:0]設定および対応する出力データ・レートとセトリング・タイムの例を示します。

表 58. Sinc³ フィルタの出力データ・レートおよび対応するセトリング・タイムの例

Power Mode	FS[10:0]	Output Data Rate (SPS)	Settling Time (ms)
Full Power ($f_{CLK} = 614.4 \text{ kHz}$)	1920	10	300.15
	384	50	60.15
	320	60	50.15
Mid Power ($f_{CLK} = 153.6 \text{ kHz}$)	480	10	300.61
	96	50	60.61
	80	60	50.61
Low Power ($f_{CLK} = 76.8 \text{ kHz}$)	240	10	301.22
	48	50	61.22
	40	60	51.22

チャンネルが変更されると、変調器とフィルタがリセットされます。セトリング・タイム全体を使用すれば、チャンネル変更後の最初の変換結果を生成できます(図94を参照)。このチャンネルでの後続の変換は $1/f_{ADC}$ で発生します。



NOTES
1. DT = DEAD TIME

図 94. Sinc³ チャンネル変更

1 つのチャンネルで変換が実行され、ステップ変化が発生した場合、ADC はアナログ入力の変換を検出しません。このため、プログラムされた出力データ・レートで変換結果の出力を継続します。ただし、出力データがアナログ入力を正確に反映するのは、3 回目の変換以降です。ADC が変換を処理しているときにステップ変化が発生した場合、ADC はステップ変化後に変換を 4 回実行して完全にセトリングされた結果を生成します。

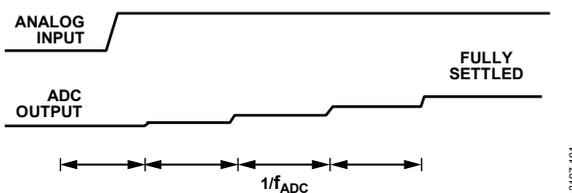


図 95. アナログ入力での非同期ステップ変化

Sinc³ ゼロ遅延

ゼロ遅延は、フィルタ・レジスタの SINGLE_CYCLE ビットを 1 にセットすることでイネーブルになります。ゼロ遅延がイネーブルになっている場合、1 つのチャンネルでの連続変換にかかる時間は、セトリング・タイムとほぼ同じになります。変換が 1 つのチャンネルで発生するか、複数のチャンネルを使用するかに関係なく、すべての変換の間の経過時間がほぼ同じになることがこのモードの利点です。

1 つのチャンネルでアナログ入力が連続的にサンプリングされる場合、出力データ・レートは次のようになります。

$$f_{ADC} = f_{CLK} / (3 \times 32 \times FS[10:0])$$

ここで、

f_{ADC} は出力データ・レート。

f_{CLK} は、マスター・クロック周波数。

FS[10:0] は、フィルタ・レジスタの FS[10:0] ビットの 10 進表示値。

チャンネルを切り替えた場合、最初の変換で次の追加遅延が発生します。

$$Dead\ time / f_{CLK}$$

ここで $Dead\ time = 61$ (FS[10:0]=1 の場合) または 95 (FS[10:0]>1 の場合)

出力データ・レートが低い場合、この追加遅延によるセトリング・タイムへの影響はほとんどありません。ただし、出力データ・レートが高い場合は、この遅延を考慮する必要があります。表 59 に、FS[10:0] のサンプルについて、1 つのチャンネルでの連続変換時の出力データ・レートとチャンネル切り替え時のセトリング・タイムを示します。

別のチャンネルを選択した場合、チャンネル変更後に AD7124-4 でセトリング・タイム全体を使用して最初の変換結果を生成できます。このため、複数のチャンネルがイネーブルになっている場合、ADC は自動的にゼロ遅延モードで動作します。SINGLE_CYCLE ビットの設定は無視されます。

アナログ入力がある場合、またはチャンネル変更が発生した場合、ほぼ一定の出力データ・レートで有効な変換結果を得ることができます。1 つのチャンネルで変換が実行され、アナログ入力でステップ変化が発生した場合、ステップ変化が変換プロセスに同期されていれば、ADC は完全にセトリングされた変換結果の出力を継続します。ステップ変化が同期されていない場合、セトリングが不完全な 1 つの変換が ADC から出力されます(図96を参照)。

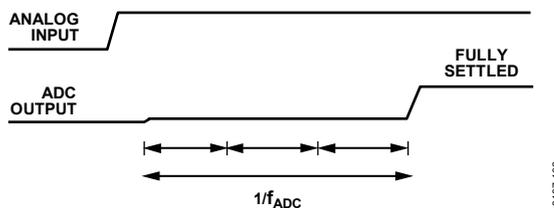


図 96. Sinc³ ゼロ遅延動作

表 59. Sinc³ フィルタの出力データ・レートおよび対応するセトリング・タイムの例 (ゼロ遅延)

Power Mode	FS[10:0]	Output Data Rate (SPS)	Settling Time (ms)
Full Power ($f_{CLK} = 614.4 \text{ kHz}$)	1920	3.33	300.15
	384	16.67	60.15
	320	20	50.15
Mid Power ($f_{CLK} = 153.6 \text{ kHz}$)	480	3.33	300.61
	96	16.67	60.61
	80	20	50.61
Low Power ($f_{CLK} = 76.8 \text{ kHz}$)	240	3.33	301.22
	48	16.67	61.22
	40	20	51.22

シーケンサ

Sinc³ フィルタ セクションの説明は、デバイスに書き込みを行ってチャンネルを変更する場合など、チャンネルを手動で切り替える場合に該当します。複数のチャンネルがイネーブルになっている場合は、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルにされたすべてのチャンネルを自動的にスキャンします。この場合、最初の変換に必要な時間は表58に示したセトリング・タイム全体になります。後続のすべての変換でも、各変換に必要な時間はセトリング・タイムになりますが、デッド・タイムは30に減少します。

Sinc³ 50 Hz/60 Hz 除去比

図97に、出力データ・レートが50 SPSにプログラム済みで、ゼロ遅延がディスエーブルの場合の Sinc³ フィルタの周波数応答を示します。同じ設定でゼロ遅延がイネーブルの場合、フィルタ応答は同じままですが、出力データ・レートは16.67 SPSになります。安定したマスター・クロックの場合、Sinc³ フィルタは50 Hz ± 1 Hz で95 dB (min) の除去比を実現します。

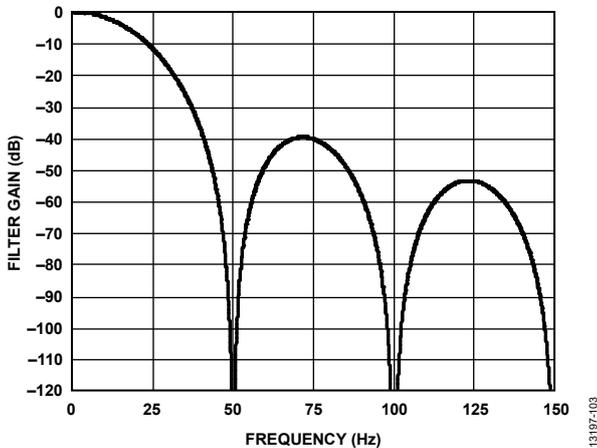


図97. Sinc³ フィルタ応答

(50 SPS 出力データ・レート、ゼロ遅延ディスエーブル、または 16.67 SPS 出力データ・レート、ゼロ遅延イネーブル)

図98に、出力データ・レートが60 SPSにプログラム済みで、ゼロ遅延がディスエーブルの場合の Sinc³ フィルタの周波数応答を示します。同じ設定でゼロ遅延がイネーブルの場合、フィルタ応答は同じままですが、出力データ・レートは20 SPSになります。安定したマスター・クロックの場合、Sinc³ フィルタの60 Hz ± 1 Hz での除去比は95 dB (min) です。

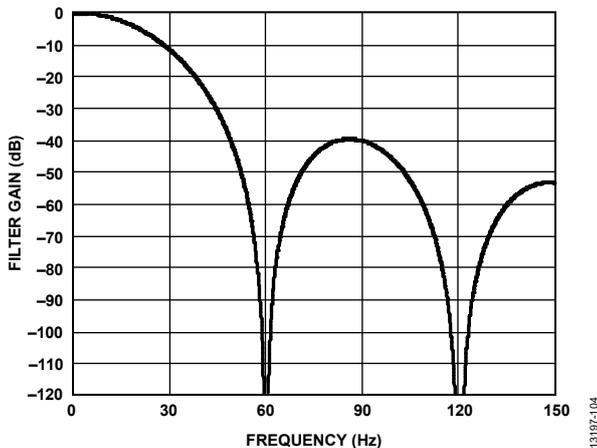


図98. Sinc³ フィルタ応答

(60 SPS 出力データ・レート、ゼロ遅延ディスエーブル、または 20 SPS 出力データ・レート、ゼロ遅延イネーブル)

出力データ・レートが10 SPSでゼロ遅延がディスエーブルの場合、または3.33 SPSでゼロ遅延がイネーブルの場合、50 Hz/60 Hzの同時除去が実現します。Sinc³ フィルタの50 Hz ± 1 Hz/60 Hz ± 1 Hzでの除去比は100 dB (min) です(図99を参照)。

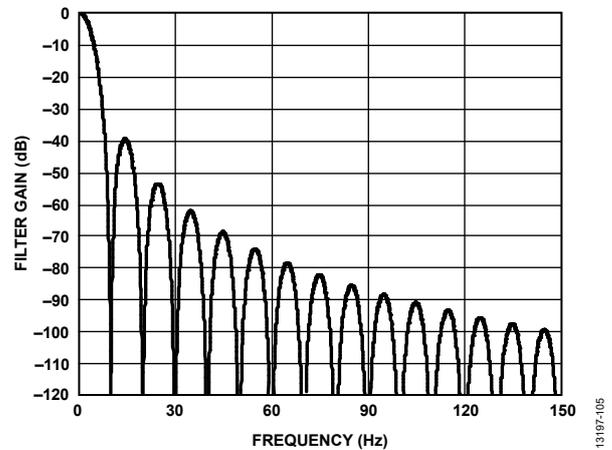


図99. Sinc³ フィルタ応答

(10 SPS 出力データ・レート、ゼロ遅延ディスエーブル、または 3.33 SPS 出力データ・レート、ゼロ遅延はイネーブル)

フィルタ・レジスタの REJ60 ビットを使用すれば、50 Hz と60 Hz の同時除去を達成できます。Sinc フィルタが50 Hz にノッチを配置した場合、REJ60 ビットは60 Hz に1次ノッチを配置します。出力データ・レートは、ゼロ遅延がディスエーブルの場合は50 SPSで、ゼロ遅延がイネーブルの場合は16.67 SPSです。図100に、この設定の場合の Sinc³ フィルタの周波数応答を示します。安定したマスター・クロックの場合、50 Hz と60 Hz (±1 Hz) での除去比は67 dB (min) を上回ります。

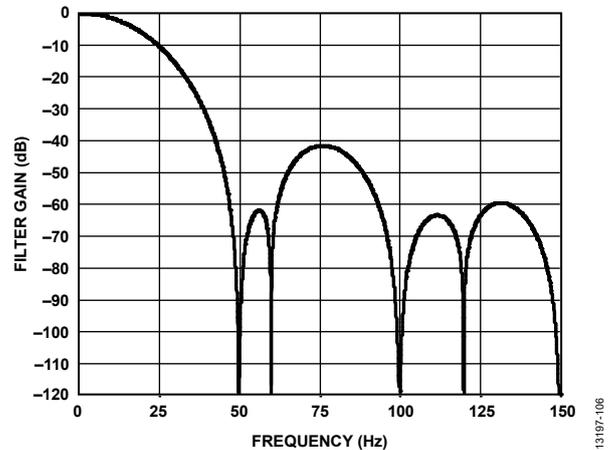


図100. Sinc³ フィルタ応答

(50 SPS 出力データ・レート、ゼロ遅延ディスエーブル、または 16.67 SPS 出力データ・レート、ゼロ遅延はイネーブル、REJ60 = 1)

高速セトリング・モード (Sinc⁴ + Sinc¹ フィルタ)

高速セトリング・モードにおいて、セトリング・タイムは最初のフィルタ・ノッチの逆数に近くなります。このため、1/50 Hz または 1/60 Hz に近い出力データ・レートで50 Hz および/または60 Hz の除去を達成できます。セトリング・タイムは、出力データ・レートの逆数にほぼ等しくなります。このため、1つの以上のチャンネルで変換する場合、変換時間はほぼ一定になります。

高速セトリング・モードは、フィルタ・レジスタのフィルタ・ビットを使用してイネーブルにします。高速セトリング・モードでは、 sinc^4 フィルタの後で sinc^1 フィルタを使用します。 sinc^1 フィルタは、通常消費電力モードおよび中消費電力モードの場合は 16 による平均をとり、低消費電力モードの場合は 8 による平均をとります。図 101 の灰色で示しているブロックは使用しません。

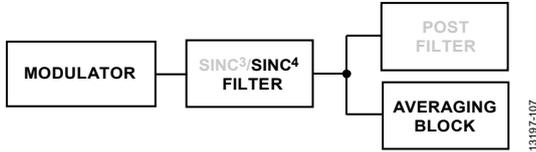


図 101. 高速セトリング・モード、 $\text{Sinc}^4 + \text{Sinc}^1$ フィルタ

出力データ・レートとセトリング・タイム、 $\text{Sinc}^4 + \text{Sinc}^1$ フィルタ

1 つのチャンネルでの連続変換時の出力データ・レートは、次のようになります。

$$f_{ADC} = f_{CLK} / ((4 + \text{Avg} - 1) \times 32 \times \text{FS}[10:0])$$

ここで、

f_{ADC} は出力データ・レート。

f_{CLK} は、マスター・クロック周波数 (通常消費電力モード:

614.4kHz、中消費電力モード: 153.6 kHz、低消費電力モード: 76.8 kHz)。

Avg は、通常消費電力モードまたは中消費電力モードの場合は 16、低消費電力モードの場合は 8。

$\text{FS}[10:0]$ は、フィルタ・レジスタの $\text{FS}[10:0]$ ビットの 10 進表示値。 $\text{FS}[10:0]$ は、1 ~ 2047 の値に設定できます。

別のチャンネルを選択した場合、最初の変換で追加遅延が発生します。セトリング・タイムは、次のようになります。

$$t_{SETTLE} = ((4 + \text{Avg} - 1) \times 32 \times \text{FS}[10:0] + \text{Dead time}) / f_{CLK}$$

ここで $\text{Dead time} = 95$ 。

3 dB 周波数は、次のとおりです。

$$f_{3dB} = 0.44 \times f_{ADC}$$

表 60 に、 $\text{FS}[10:0]$ サンプルの設定および対応する出力データ・レートとセトリング・タイムを示します。

表 60. 出力データ・レートおよび対応するセトリング・タイムの例 (高速セトリング・モード、 $\text{Sinc}^4 + \text{Sinc}^1$)

Power Mode	FS[10:0]	First Notch (Hz)	Output Data Rate (SPS)	Settling Time (ms)
Full Power ($f_{CLK} = 614.4 \text{ kHz}$, Average by 16)	120	10	8.42	118.9
	24	50	42.11	23.9
	20	60	50.53	19.94
Mid Power ($f_{CLK} = 153.6 \text{ kHz}$, Average by 16)	30	10	8.42	119.36
	6	50	42.11	24.36
	5	60	50.53	20.4
Low Power ($f_{CLK} = 76.8 \text{ kHz}$, Average by 8)	30	10	7.27	138.72
	6	50	36.36	28.72
	5	60	43.64	24.14

アナログ入力がある場合、またはチャンネル変更が発生した場合、ほぼ一定の出力データ・レートで有効な変換結果を得ることができます。

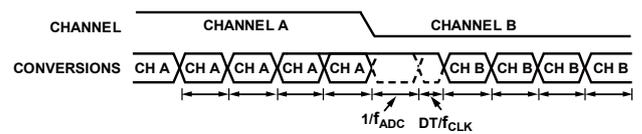


図 102. 高速セトリング、 $\text{Sinc}^4 + \text{Sinc}^1$ フィルタ

デバイスが 1 つのチャンネルで変換を実行していて、アナログ入力でステップ変化が発生した場合、ADC は変化を検出せず、変換結果の出力を継続します。ステップ変化が変換と同期されている場合は、完全にセトリングされた結果のみが ADC から出力されます。ただし、ステップ変化が変換プロセスに同期されていない場合、セトリングが不完全な中間結果が 1 つ出力されます (図 103 を参照)。

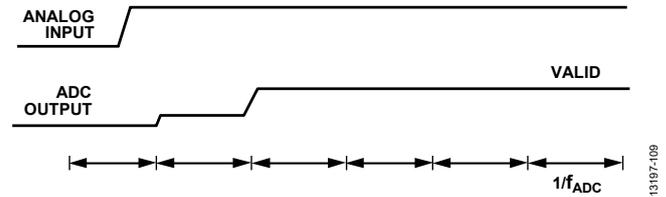


図 103. アナログ入力でのステップ変化、 $\text{Sinc}^4 + \text{Sinc}^1$ フィルタ

シーケンサ

高速セトリング・モード ($\text{Sinc}^4 + \text{Sinc}^1$ フィルタ) セクションの説明は、デバイスに書き込みを行ってチャンネルを変更する場合など、チャンネルを手動で切り替える場合に該当します。複数のチャンネルがイネーブルになっている場合は、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルにされたすべてのチャンネルを自動的にスキップします。この場合、最初の変換に必要な時間は表 60 に示したセトリング・タイム全体になります。後続のすべての変換でも、各変換に必要な時間はセトリング・タイムになりますが、デッド・タイムは 30 に減少します。

50 Hz と 60 Hz の除去、 $\text{Sinc}^4 + \text{Sinc}^1$ フィルタ

図 104 に、 $\text{FS}[10:0]$ を通常消費電力モードで 24、中消費電力モードおよび低消費電力モードで 6 に設定した場合の周波数応答を示します。表 60 に対応する出力データ・レートを示します。 Sinc フィルタは、最初のノッチを次の周波数に配置します。

$$f_{NOTCH} = f_{CLK} / (32 \times \text{FS}[10:0])$$

sinc^1 フィルタは、 f_{NOTCH} / Avg (Avg は、通常消費電力モードと中消費電力モードでは 16、低消費電力モードでは 8) にノッチを配置します。また、ノッチはこの周波数の整数倍のところにも配置されます。このため、通常消費電力モードまたは中消費電力モードで $\text{FS}[10:0]$ を 6 に設定した場合、ノッチは Sinc フィルタにより 800 Hz に配置され、平均化により 50 Hz と 50 Hz の整数倍のところにも配置されます。低消費電力モードの場合、ノッチは Sinc フィルタにより 400 Hz に配置され、平均化により 50 Hz と 50 Hz の整数倍のところにも配置されます。

50 Hz のノッチは 1 次ノッチです。このため、ノッチの幅は広くありません。安定したマスター・クロックの場合、正確に 50 Hz の除去比が良好であることを意味します。ただし、 $50 \text{ Hz} \pm 1 \text{ Hz}$ の帯域では、除去比が大幅に低下します。安定したクロックの場合、 $50 \text{ Hz} \pm 0.5 \text{ Hz}$ での除去比は 40 dB (min) です。このため、高速セトリング・モードを使用する場合は、優れたマスター・クロック源を使用することをお勧めします。

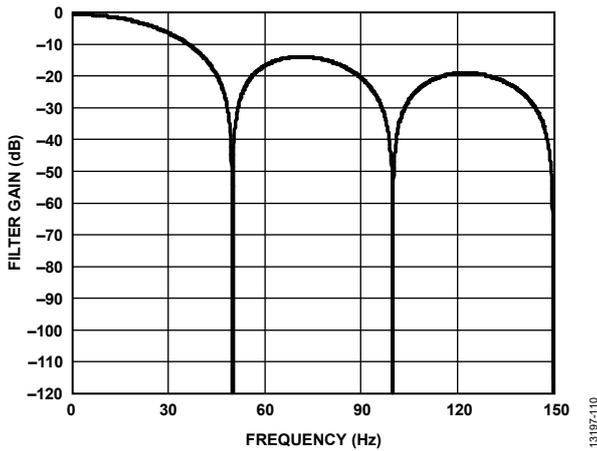


図 104. 50 Hz の除去

図 105 に、FS[10:0]を通常消費電力モードで 20、または中消費電力モードおよび低消費電力モードで 5 に設定した場合のフィルタ応答を示します。この場合、ノッチは 60 Hz と 60 Hz の整数倍のところに配置されます。60 Hz ± 0.5 Hz での除去比は 40 dB (min) です。

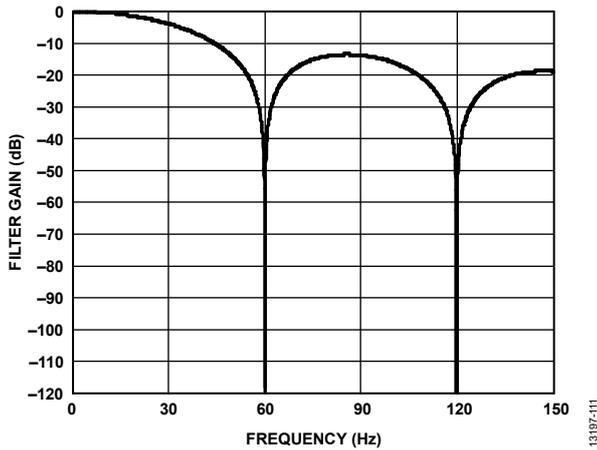


図 105. 60 Hz の除去

FS[10:0]を通常消費電力モードで 384、または中消費電力モードおよび低消費電力モードで 30 に設定すると、50 Hz / 60 Hz の同時除去を達成できます。ノッチは 10 Hz と 10 Hz の整数倍のところに配置されるので、50 Hz と 60 Hz の同時除去が実現します。50 Hz ± 0.5 Hz および 60 Hz ± 0.5 Hz での除去比は 44 dB (typ) です。

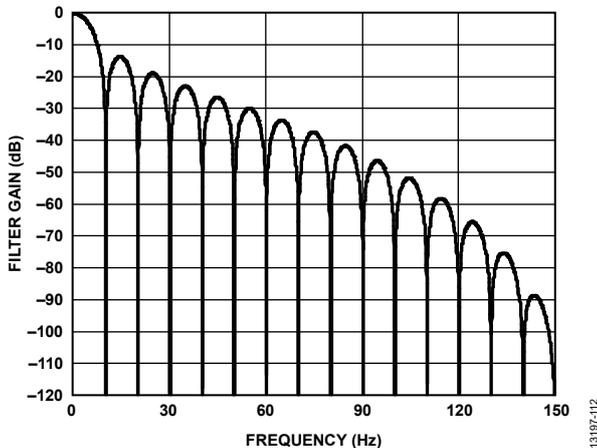


図 106. 50 Hz と 60 Hz の同時除去

高速セトリング・モード (SINC³ + SINC¹ フィルタ)

高速セトリング・モードにおいて、セトリング・タイムは最初のフィルタ・ノッチの逆数に近くなります。このため、1/50 Hz または 1/60 Hz に近い出力データ・レートで 50 Hz および/または 60 Hz の除去を達成できます。セトリング・タイムは、出力データ・レートの逆数にはほぼ等しくなります。このため、1 つの以上のチャンネルで変換する場合、変換時間はほぼ一定になります。

高速セトリング・モードは、フィルタ・レジスタのフィルタ・ビットを使用してイネーブルにします。高速セトリング・モードでは、sinc³ フィルタの後で sinc¹ フィルタを使用します。sinc¹ フィルタは、通常消費電力モードおよび中消費電力モードの場合は 16 による平均をとり、低消費電力モードの場合は 8 による平均をとります。図 107 の灰色で示しているブロックは使用しません。

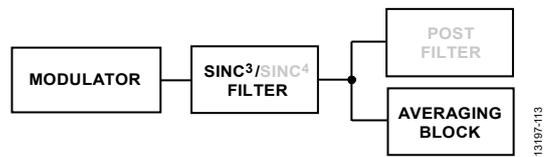


図 107. 高速セトリング・モード、Sinc³ + Sinc¹ フィルタ

出力データ・レートとセトリング・タイム、 Sinc³ + Sinc¹ フィルタ

1 つのチャンネルでの連続変換時の出力データ・レートは、次のようになります。

$$f_{ADC} = f_{CLK} / ((3 + Avg - 1) \times 32 \times FS[10:0])$$

ここで、

f_{ADC} は出力データ・レート。

f_{CLK} は、マスター・クロック周波数 (通常消費電力モード: 614.4 kHz、中消費電力モード: 153.6 kHz、低消費電力モード: 76.8 kHz)。

Avg は、通常消費電力モードまたは中消費電力モードの場合は 16、低消費電力モードの場合は 8。

$FS[10:0]$ は、フィルタ・レジスタの FS[10:0] ビットの 10 進表示値。FS[10:0] は、1 ~ 2047 の値に設定できます。

別のチャンネルを選択した場合、最初の変換で追加遅延が発生します。セトリング・タイムは、次のようになります。

$$t_{SETTLE} = ((3 + Avg - 1) \times 32 \times FS[10:0] + Dead\ time) / f_{CLK}$$

ここで $Dead\ time = 95$ 。

3 dB 周波数は、次のとおりです。

$$f_{3dB} = 0.44 \times f_{NOTCH}$$

表 61 に、FS[10:0] サンプルの設定および対応する出力データ・レートとセトリング・タイムを示します。

表 61. 出力データ・レートおよび対応するセトリング・タイムの例 (高速セトリング・モード、Sinc³ + Sinc¹)

Power Mode	FS[10:0]	First Notch (Hz)	Output Data Rate (SPS)	Settling Time (ms)
Full Power ($f_{CLK} = 614.4\text{ kHz}$, Average by 16)	120	10	8.89	112.65
	24	50	44.44	22.65
	20	60	53.33	18.9
Mid Power ($f_{CLK} = 153.6\text{ kHz}$, Average by 16)	30	10	8.89	113.11
	6	50	44.44	23.11
	5	60	53.33	19.36
Low Power ($f_{CLK} = 76.8\text{ kHz}$, Average by 8)	30	10	8	126.22
	6	50	40	26.22
	5	60	48	22.06

アナログ入力がある場合、またはチャンネル変更が発生した場合、ほぼ一定の出力データ・レートで有効な変換結果を得ることができます。

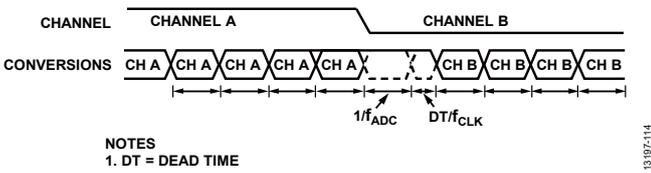


図 108. 高速セトリング、Sinc³ + Sinc¹ フィルタ

デバイスが 1 つのチャンネルで変換を実行している、アナログ入力でステップ変化が発生した場合、ADC は変化を検出せず、変換結果の出力を継続します。ステップ変化が変換と同期されている場合は、完全にセトリングされた結果のみが ADC から出力されます。ただし、ステップ変化が変換プロセスに同期されていない場合は、セトリングが不完全な中間結果が 1 つ出力されます (図 109 を参照)。

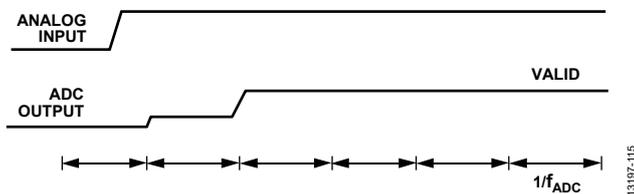


図 109. アナログ入力でのステップ変化、Sinc³ + Sinc¹ フィルタ

シーケンサ

高速セトリング・モード (Sinc³ + Sinc¹ フィルタ) セクションの説明は、デバイスに書き込みを行ってチャンネルを変更する場合など、チャンネルを手動で切り替える場合に該当します。複数のチャンネルがイネーブルになっている場合は、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルにされたすべてのチャンネルを自動的にスキップします。この場合、最初の変換に必要な時間は表 61 に示したセトリング・タイム全体になります。後続のすべての変換でも、各変換に必要な時間はセトリング・タイムになりますが、デッド・タイムは 30 に減少します。

50 Hz と 60 Hz の除去、Sinc³ + Sinc¹ フィルタ

図 110 に、FS[10:0] を通常消費電力モードで 24、中消費電力モードおよび低消費電力モードで 6 に設定した場合の周波数応答を示します。表 61 に対応する出力データ・レートを示します。

sinc フィルタは、最初のノッチを次の周波数に配置します。

$$f_{\text{NOTCH}} = f_{\text{CLK}} / (32 \times \text{FS}[10:0])$$

平均化ブロックは、 $f_{\text{NOTCH}} / \text{Avg}$ (Avg は、通常消費電力モードと中消費電力モードでは 16、低消費電力モードでは 8) にノッチを配置します。また、ノッチはこの周波数の整数倍のところに配置されます。このため、通常消費電力モードまたは中消費電力モードで FS[10:0] を 6 に設定した場合、ノッチは Sinc フィルタにより 800 Hz に配置され、平均化により 50 Hz と 50 Hz の整数倍のところに配置されます。低消費電力モードの場合、ノッチは Sinc フィルタにより 400 Hz に配置され、平均化により 50 Hz と 50 Hz の整数倍のところに配置されます。

50 Hz のノッチは 1 次ノッチです。このため、ノッチの幅は広くありません。安定したマスター・クロックの場合、正確に 50 Hz での除去比が良好であることを意味します。ただし、50 Hz ± 1 Hz の帯域では、除去比が大幅に低下します。安定したクロックの場合、50 Hz ± 0.5 Hz での除去比は 40 dB (min) です。このため、高速セトリング・モードを使用する場合は、優れたマスター・クロック源を使用することをお勧めします。

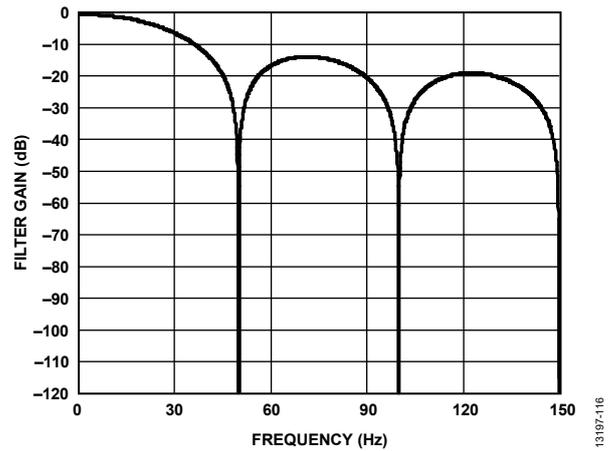


図 110. 50 Hz の除去

図 111 に、FS[10:0] を通常消費電力モードで 20、または中消費電力モードおよび低消費電力モードで 5 に設定した場合のフィルタ応答を示します。この場合、ノッチは 60 Hz と 60 Hz の整数倍のところに配置されます。60 Hz ± 0.5 Hz での除去比は 40 dB (min) です。

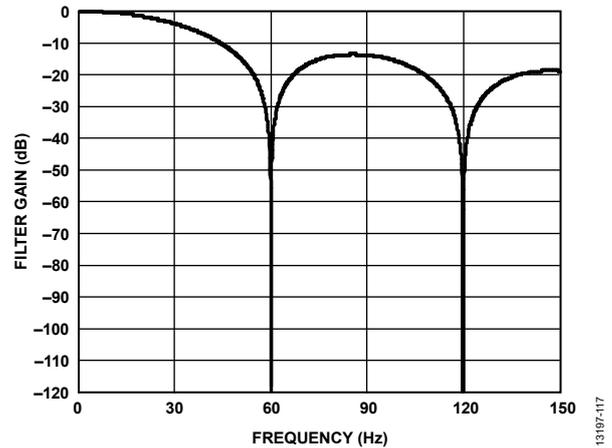


図 111 60 Hz の除去

FS[10:0] を通常消費電力モードで 384、または中消費電力モードおよび低消費電力モードで 30 に設定すると、50 Hz / 60 Hz の同時除去を達成できます。ノッチは 10 Hz と 10 Hz の整数倍のところに配置されるので、50 Hz と 60 Hz の同時除去が実現します。50 Hz ± 0.5 Hz および 60 Hz ± 0.5 Hz での除去比は 42 dB (typ) です。

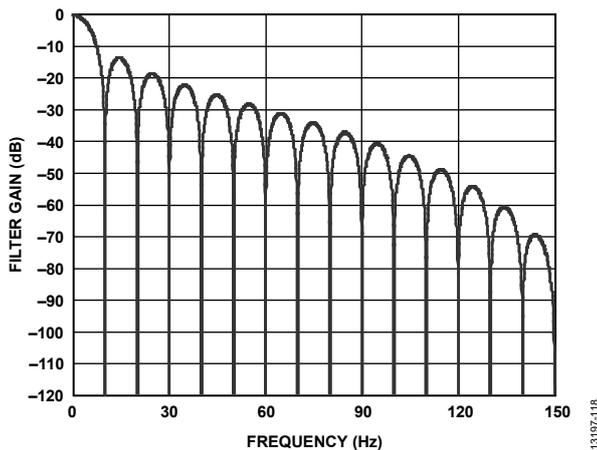


図 112. 50 Hz と 60 Hz の同時除去

ポスト・フィルタ

ポスト・フィルタは50Hzと60Hzを同時に除去するので、セトリング・タイムと除去比のトレード・オフが可能です。これらのフィルタは、27.27 SPS まで動作可能で、50 Hz ± 1 Hz と 60 Hz ± 1 Hz における干渉信号を最大 90 dB で除去できます。これらのフ

ィルタは、 sinc^3 フィルタの出力をポスト・フィルタリングすることで実現されます。ポスト・フィルタをイネーブルにするには、すべてのフィルタ・ビットを1にセットする必要があります。ポスト・フィルタ・オプションは、フィルタ・レジスタの POST_FILTER ビットを使用して選択します。図 113 の灰色で示しているブロックは使用しません。

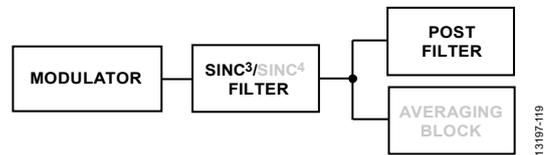


図 113. ポスト・フィルタ

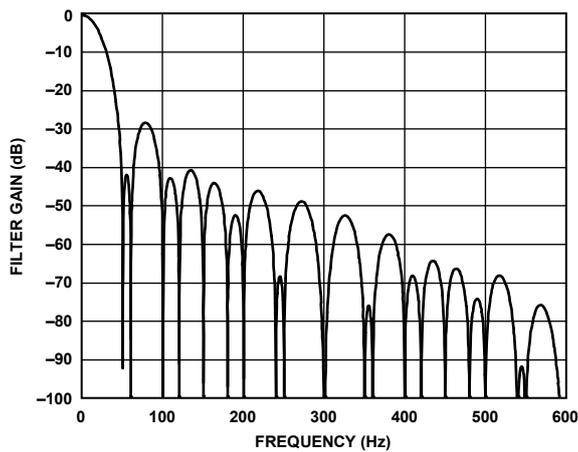
表 62 に、出力データ・レートおよび対応するセトリング・タイムと除去比を示します。

1 つのチャンネルで連続変換を行っている場合、最初の変換には t_{SETTLE} の時間が必要です。後続の変換は $1/f_{\text{ADC}}$ で発生します。(手動またはシーケンサを使用して) 複数のチャンネルがイネーブルになっている場合、イネーブルにされた各チャンネルで有効な変換結果を生成するには、セトリング・タイムが必要です。

表 62. AD7124-4 ポスト・フィルタ:出力データ・レート、セトリング・タイム (t_{SETTLE})、除去

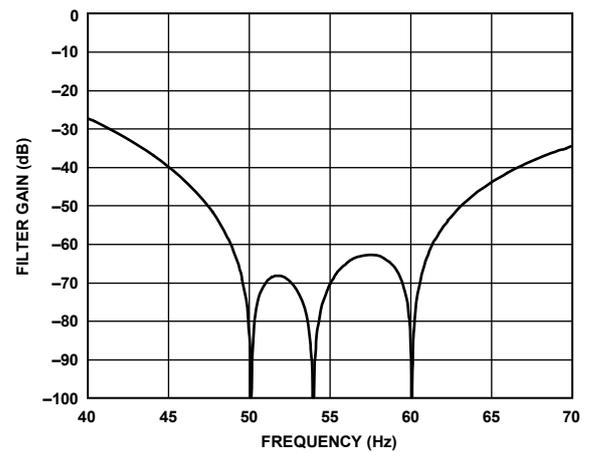
Output Data Rate (SPS)	$f_{3\text{dB}}$ (Hz)	t_{SETTLE} , Full Power Mode (ms)	t_{SETTLE} , Mid Power Mode (ms)	t_{SETTLE} , Low Power Mode (ms)	Simultaneous Rejection of 50 Hz ± 1 Hz and 60 Hz ± 1 Hz (dB) ¹
27.27	17.28	38.498	38.998	39.662	47
25	15.12	41.831	42.331	42.995	62
20	13.38	51.831	52.331	52.995	86
16.67	12.66	61.831	62.331	62.995	92

¹ 安定したマスター・クロックを使用。



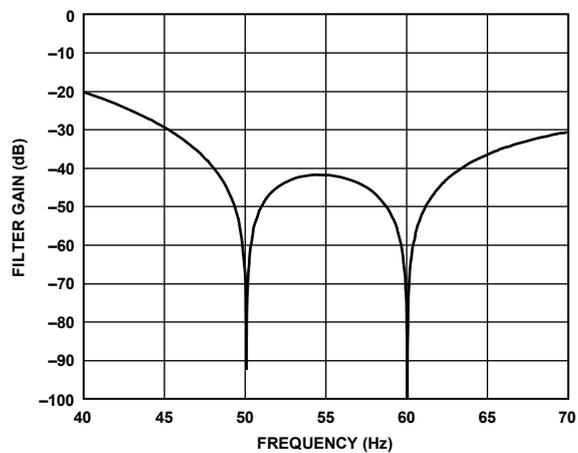
13197420

図 114. DC ~ 600 Hz、出力データ・レート 27.27 SPS、セトリング・タイム 36.67 ms



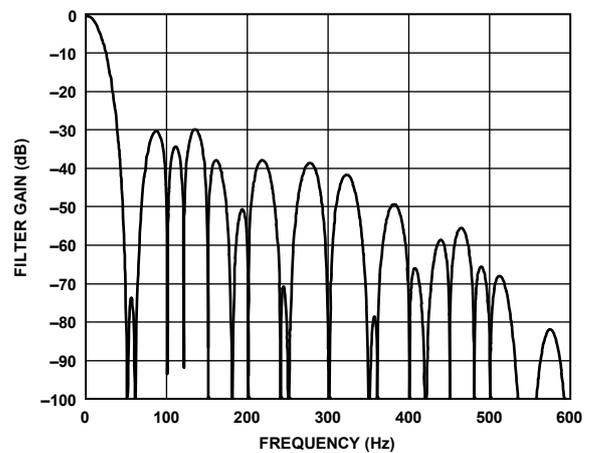
13197423

図 117. 40 Hz ~ 70 Hz の拡大図、出力データ・レート 25 SPS、セトリング・タイム 40 ms



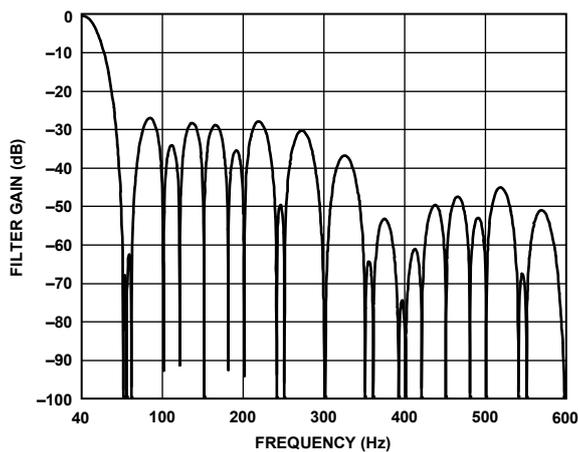
13197421

図 115. 40 Hz ~ 70 Hz の拡大図、出力データ・レート 27.27 SPS、セトリング・タイム 36.67 ms



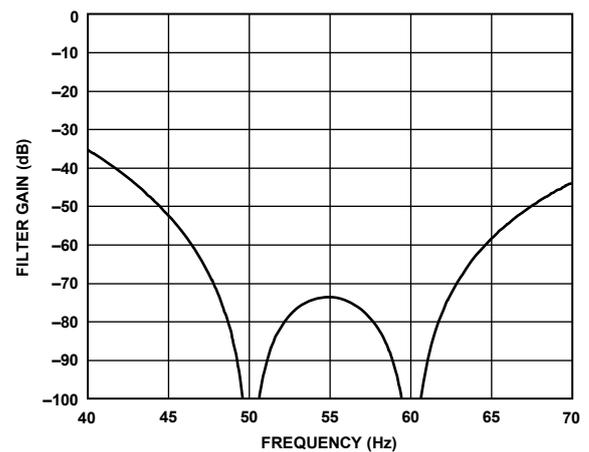
13197424

図 118. DC ~ 600 Hz、出力データ・レート 20 SPS、セトリング・タイム 50 ms



13197422

図 116. DC ~ 600 Hz、出力データ・レート 25 SPS、セトリング・タイム 40 ms



13197425

図 119. 40 Hz ~ 70 Hz の拡大図、出力データ・レート 20 SPS、セトリング・タイム 50 ms

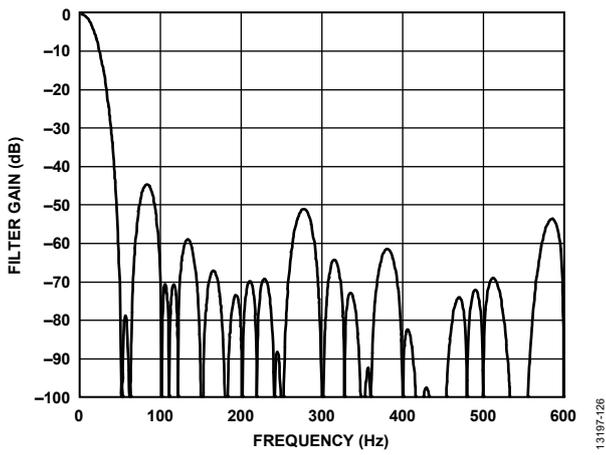


図120. DC ~ 600 Hz、出力データ・レート 16.667 SPS、セトリング・タイム 60 ms

13197-126

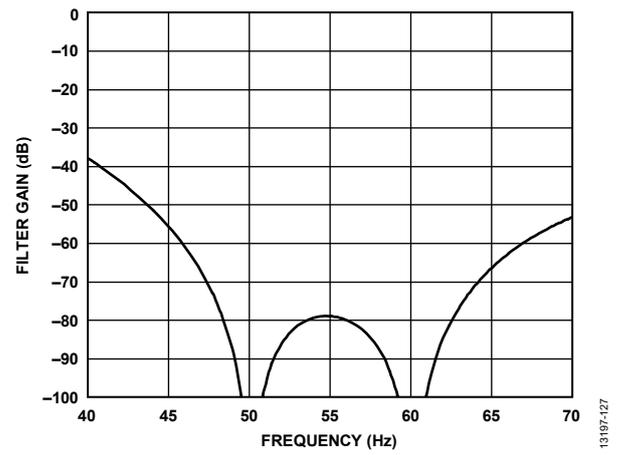


図121. 40 Hz ~ 70 Hz の拡大図、出力データ・レート 16.667 SPS、セトリング・タイム 60 ms

13197-127

フィルタ・オプション一覧

AD7124-4 には、いくつかのフィルタ・オプションがあります。選択したフィルタは、出力データ・レート、セトリング・タイム、RMS ノイズ、阻止帯域の減衰量、50 Hz/60 Hz の除去に影響を与えます。

表 63 に、いくつかのサンプル設定および対応するスループットと 50 Hz/60 Hz の除去比を示します。

表 63. フィルター一覧¹

Filter	Power Mode	Output Data Rate (SPS)	REJ60	50 Hz Rejection (dB) ²
Sinc ⁴	All	10	0	120 dB (50 Hz and 60 Hz)
	All	50	0	120 dB (50 Hz only)
	All	50	1	82 dB (50 Hz and 60 Hz)
	All	60	0	120 dB (60 Hz only)
Sinc ⁴ , Zero Latency	All	12.5	0	120 dB (50 Hz only)
	All	12.5	1	82 dB (50 Hz and 60 Hz)
	All	15	0	120 dB (60 Hz only)
Sinc ³	All	10	0	100 dB (50 Hz and 60 Hz)
	All	50	0	95 dB (50 Hz only)
	All	50	1	67 dB (50 Hz and 60 Hz)
	All	60	0	95 dB (60 Hz only)
Fast Settling (Sinc ⁴ + Sinc ¹)	Full/mid	50.53	0	40 dB (60 Hz only)
	Low	43.64	0	40 dB (60 Hz only)
	Full/mid	42.11	0	40 dB (50 Hz only)
	Low	36.36	0	40 dB (50 Hz only)
	Full/mid	8.4	0	40 dB (50 Hz and 60 Hz)
	Low	7.27	0	40 dB (50 Hz and 60 Hz)
Fast Settling (Sinc ³ + Sinc ¹)	Full/mid	53.33	0	40 dB (60 Hz only)
	Low	48	0	40 dB (60 Hz only)
	Full/mid	44.44	0	40 dB (50 Hz only)
	Low	40	0	40 dB (50 Hz only)
	Full/mid	8.89	0	40 dB (50 Hz and 60 Hz)
	Low	8	0	40 dB (50 Hz and 60 Hz)
Post Filter	All	27.27	0	47 dB (50 Hz and 60 Hz)
	All	25	0	62 dB (50 Hz and 60 Hz)
	All	20	0	85 dB (50 Hz and 60 Hz)
	All	16.67	0	90 dB (50 Hz and 60 Hz)

¹ これらの計算では、マスター・クロックが安定であると仮定しています。

² 高速セトリング・モードの場合、50 Hz/60 Hz の除去比は 50 Hz および/または 60 Hz ±0.5 Hz の帯域で計測されます。他のすべてのモードでは、50 Hz および/または 60 Hz ±1 Hz の領域が使用されます。

診断機能

AD7124-4 には、さまざまな診断機能が内蔵されています。これらの機能を使用して、次の内容を確認できます。

- 読出し/書込み動作が有効なレジスタに対してのみ行われる
- 有効なデータのみが内蔵レジスタに書き込まれる
- LDO で適切なデカップリングが使用される
- 外部リファレンスが存在する(使用する場合)
- ADC 変調器とフィルタが仕様範囲内で動作している

シグナル・チェーンのチェック

リファレンスや電源電圧などの機能を ADC への入力として選択できます。このため、AD7124-4 は、デバイスに接続された電圧をチェックできます。AD7124-4 は、チャンネル・レジスタの $V_{20MV_P} \sim V_{20MV_M}$ チャンネルを選択することでチャンネルに内部入力することが可能な内部 20 mV 信号も生成します。この機能を使用すれば、PGA をチェックできます。例えば、PGA の設定が増加するに従って、アナログ入力範囲の割合を表す信号が半減します。これにより、PGA が正常に機能していることをチェックできます。

リファレンス電圧の検出

AD7124-4 は、外部リファレンスをリファレンス源として選択した場合に、変換またはキャリブレーション用の有効なリファレンスが存在するかどうかを検出する内蔵回路を備えています。これは、リファレンスを外部から得る RTD やストレーン・ゲージなどのアプリケーションに有用な機能です。

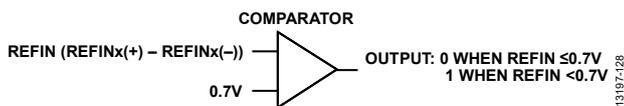


図 122. リファレンス検出回路

この機能は、ERROR_EN レジスタの REF_DET_ERR_EN ビットを 1 にセットするとイネーブルになります。選択した REFINx(+) ピンと REFINx(-) ピン間の電圧が 0.7 V を下回るか、REFINx(+) 入力または REFINx(-) 入力がオープン・サーキットになっている場合、AD7124-4 は有効なリファレンスが存在しないことを検出します。この場合、エラー・レジスタの REF_DET_ERR ビットが 1 にセットされます。ステータス・レジスタの ERR ビットもセットされます。

AD7124-4 の通常変換中に REF_DET_ERR ビットがアクティブになると、変換結果はすべて 1 に戻ります。このため、変換を実行中に REF_DET_ERR を連続的に監視する必要はありません。ADC データ・レジスタから読み出した変換結果がオール 1 であるかどうかを確認するだけで十分です。

AD7124-4 のオフセット・キャリブレーション中またはフルスケール・キャリブレーション中に REF_DET_ERR ビットがアクティブになると、レジスタに正しくない係数がロードされないように、対応するキャリブレーション・レジスタの更新が禁止され、REF_DET_ERR ビットがセットされます。キャリブレーションを実行するたびに有効なリファレンスが存在していることを確認するには、キャリブレーション・サイクルの終わりに REF_DET_ERR ビットのステータスをチェックします。

デバイスがスタンバイ・モードを終了すると、リファレンス検出フラグがセットされます。このため、スタンバイ・モードの終了後にエラー・レジスタを読み出して、フラグを 0 にリセットしてください。

キャリブレーション・エラー、変換エラー、飽和エラー

AD7124-4 では、変換プロセスとキャリブレーション・プロセスを監視することもできます。これらの診断は、変換中またはキャリブレーション中に使用するアナログ入力だけでなく、変調器やデジタル・フィルタもチェックします。これらの機能は、ERROR_EN レジスタの ADC_CAL_ERR_EN、ADC_CONV_ERR_EN、ADC_SAT_ERR_EN ビットを使用してイネーブルにできます。これらの機能をイネーブルにすると、エラーが発生した場合に ADC_CAL_ERR、ADC_CONV_ERR、ADC_SAT_ERR ビットがセットされます。

デジタル・フィルタでオーバーフローまたはアンダーフローが発生している場合は、ADC_CONV_ERR がセットされます。また、ADC 変換がオール 0 またはオール 1 にクランプされます。このフラグは、データ・レジスタの更新に併せて更新され、エラー・レジスタの読出しによってのみクリアされます。

変調器が 20 個の連続する 1 または 0 を出力した場合、ADC_SAT_ERR フラグがセットされます。これは、変調器が飽和状態になったことを示しています。

オフセット・キャリブレーションを実行した場合、結果のオフセット係数は 0x7FFFF ~ 0xF80000 である必要があります。係数がこの範囲外の場合、オフセット・レジスタは更新されず、ADC_CAL_ERR フラグがセットされます。フルスケール・キャリブレーションの最中に、デジタル・フィルタのオーバーフローがチェックされます。オーバーフローが発生した場合、エラー・フラグがセットされ、ゲイン・レジスタは更新されません。

過電圧/低電圧の検出

過電圧/低電圧モニタは、AINx アナログ入力ピンの絶対電圧をチェックします。データシートの仕様を満たすには、絶対電圧が仕様範囲に収まっている必要があります。データシートの限界値を超えて ADC を動作させると、直線性が低下します。

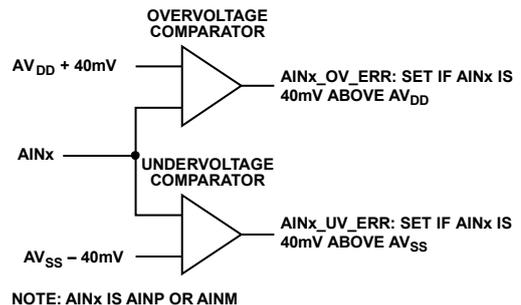


図 123. アナログ入力過電圧/低電圧モニタ

正のアナログ入力 (AINP) と負のアナログ入力 (AINM) の過電圧／低電圧は個別にチェックできます。ERROR_EN レジスタの AINP_OV_ERR_EN ビットと AINP_UV_ERR_EN ビットにより、過電圧／低電圧の診断を個別に実行できます。AINP の電圧が AV_{DD} を上回った場合に過電圧のフラグが立ち、AINP の電圧が AV_{SS} を下回った場合に低電圧のフラグが立ちます。同様に、負のアナログ入力ピンの過電圧／低電圧チェックは、ERROR_EN レジスタの AINM_OV_ERR_EN ビットと AINM_UV_ERR_EN ビットを使用してイネーブルにします。エラー・フラグは、エラー・レジスタの AINP_OV_ERR、AINP_UV_ERR、AINM_OV_ERR、AINM_UV_ERR です。

この機能をイネーブルにすると、対応するフラグがエラー・レジスタ内でセットされます。このため、過電圧／低電圧チェックをイネーブルにした場合、エラー・レジスタを読み出してフラグが 0 にリセットされたことを確認する必要があります。

電源モニタ

ADC は、外部電圧の変換のほかに、AV_{DD} ピンと IOV_{DD} ピンの電圧を監視できます。AV_{DD} から AV_{SS} または IOV_{DD} から DGND への入力を選択すると、電圧 (AV_{DD} から AV_{SS} または IOV_{DD} から DGND) は内部で 1/6 に減衰され、ここで得られた電圧が Σ - Δ 変調器に入力されます。この機能は、電源電圧の変動を監視するときに便利です。

LDO モニタリング

AD7124-4 には、いくつかの LDO チェック機能が内蔵されています。外部電源のように、アナログおよびデジタル LDO によって生成した電圧は ADC への入力として選択可能です。また、AD7124-4 は連続的に LDO 電圧を監視できます。

電源モニタ

ALDO と DLDO によって生成された電圧は、それぞれ ERROR_EN レジスタの ALDO_PSM_ERR_EN ビットと DLDO_PSM_ERR_EN ビットをイネーブルにすることで監視できます。イネーブルにすると、LDO の出力電圧が連続的に監視されます。ALDO 電圧が 1.6 V を下回ると、ALDO_PSM_ERR フラグがアサートされます。DLDO 電圧が 1.55 V を下回ると、DLDO_PSM_ERR フラグがアサートされます。対応する LDO 電圧が回復するまで、ビットはセットされたままになります。ただし、エラー・レジスタが読み出されたときのみ、ビットがクリアされません。

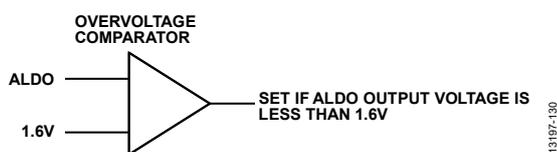


図 124. アナログ LDO モニタ

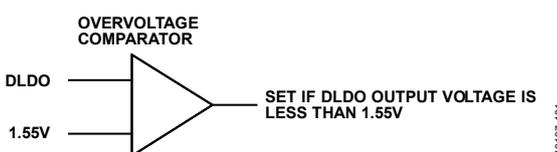


図 125. デジタル LDO モニタ

AD7124-4 は、電源モニタリングに使用する回路もテストできます。ALDO_PSM_TRIP_TEST_EN ビットまたは DLDO_PSM_TRIP_TEST_EN ビットをセットすると、テスト回路への入力は LDO 出力ではなく、GND に接続されます。対応する ALDO_PSM_ERR ビットまたは DLDO_PSM_ERR ビットをセットします。

LDO コンデンサ検出

アナログおよびデジタル LDO には、0.1 μ F の外部デカップリング・コンデンサが必要です。AD7124-4 は、このデカップリング・コンデンサが存在するかどうかチェックできます。ERROR_EN レジスタの LDO_CAP_CHK ビットを使用して、チェック対象の LDO がオフになり、LDO 出力の電圧が監視されず、電圧が低下すると、エラーが発生したとみなされ、エラー・レジスタの LDO_CAP_ERR ビットがセットされます。

アナログ LDO とデジタル LDO で同時にデカップリング・コンデンサが存在するかテストすることはできません。また、このテストは変換プロセスを妨害します。

デカップリング・コンデンサが存在しないことをチェックするための回路も AD7124-4 でテストできます。ERROR_EN レジスタの LDO_CAP_CHK_TEST_EN ビットがセットされた場合、デカップリング・コンデンサは内部で LDO から切断され、故障状態になります。このため、LDO コンデンサのテストを実行する場合、故障状態が報告されます。つまり、エラー・レジスタの LDO_CAP_ERR ビットがセットされます。

MCLK カウンタ

出力データ・レート、フィルタ・セトリング・タイム、およびフィルタ・ノッチ周波数はマスター・クロックに依存しているため、安定したマスター・クロックは重要です。AD7124-4 では、マスター・クロックを監視できます。ERROR_EN レジスタの MCLK_CNT_EN ビットをセットすると、MCLK_COUNT レジスタが 131 マスター・クロック・サイクルごとに 1 つインクリメントされます。このレジスタは一定期間にわたり監視できます。マスター・クロック周波数は、MCLK_COUNT レジスタの結果から判断できます。MCLK_COUNT レジスタは、最大値に到達した後にラップ・アラウンドします。

レジスタのインクリメントはレジスタの読出しに同期しないことに留意してください。レジスタの読出しがレジスタのインクリメントと同時に発生すると、無効な値を読み出す可能性があります。これを防ぐために、レジスタの読出しを 1 回ではなく 4 回行い、後でそのレジスタを再び 4 回読み出します。4 つの値を読み出すことにより、タイミング瞬間の始めと終わりの正確なレジスタ値を特定することができます。

SPI SCLK カウンタ

SPI SCLK カウンタは、各読出し／書込み動作で使用される SCLK パルスの数をカウントします。この機能を使用する場合、CS はすべての読出し／書込み動作をフレームする必要があります。すべての読出し／書込み動作は、8 SCLK パルスの整数倍です (8、16、32、40、48)。SCLK カウンタが SCLK パルスをカウントして、結果が 8 の整数倍でない場合はエラーがフラグされ、エラー・レジスタの SPI_SCLK_CNT_ERR ビットがセットされます。書込み動作が実行され、SCLK に含まれる SCLK パルスの数が正しくない場合、この値はアドレス指定されたレジスタに書き込まれず、書込み動作はアボートされます。

SCLK カウントは、ERROR_EN レジスタの SPI_SCLK_CNT_ERR_EN ビットをセットすることでイネーブルになります。

SPI 読出し／書込みエラー

SCLK カウンタと一緒に、AD7124-4 は読出し／書込み動作をチェックして、有効なレジスタがアドレス指定されたかどうかを確認できます。ERROR_EN レジスタの SPI_READ_ERR_EN ビットまたは SPI_WRITE_ERR_EN ビットがセットされると、AD7124-4 は、読出し／書込み動作のアドレスをチェックします。このデータシートで説明しているユーザー・レジスタ以外のレジスタに対して書込み／読出しを試行すると、エラーがフラグされます。エラー・レジスタの SPI_READ_ERR ビットまたは SPI_WRITE_ERR ビットがセットされ、読出し／書込み動作がアボートされます。

この機能に加え、SCLK カウンタと CRC により、シリアル・インターフェースの信頼性が向上します。無効なレジスタに対して読出し／書込みは行われません。SCLK パルスの数が正しくない場合、シリアル・インターフェースが非同期になり、間違ったレジスタにアクセスするようになります。AD7124-4 は、診断機能によってこれらの問題を防止します。

SPI_IGNORE エラー

特定の期間、内蔵レジスタにアクセスできなくなる場合があります。例えば、パワーアップ時に内蔵レジスタはデフォルト値に設定されます。ユーザーはこの動作が完了するまで待ってから、レジスタに書き込む必要があります。また、オフセットまたはゲイン・キャリブレーションの実行中は、レジスタにアクセスできません。エラー・レジスタの SPI_IGNORE_ERR ビットは、内蔵レジスタに書き込むことができないときにエラーを通知します。この診断機能はデフォルトでイネーブルになっています。この機能は、ERROR_EN レジスタの SPI_IGNORE_ERR_EN ビットを使用してディスエーブルにできます。

SPI_IGNORE_ERR がイネーブルになっているときに実行された書込み動作は無視されます。

チェックサム保護

AD7124-4 は、インターフェースの信頼性を向上するために、チェックサム・モードを使用できます。チェックサムを使用すると、レジスタには有効なデータのみが書き込まれ、検証済みのレジスタからのデータ読み出しが可能になります。レジスタへの書込み時にエラーが発生した場合、エラー・レジスタの CRC_ERR ビットがセットされます。ただし、レジスタへの書込みが正常に行われたか確認するため、レジスタ・データのリードバックを実行し、チェックサムの確認を行ってください。

CRC チェックサム計算では、常に次の多項式が使用されます。

$$x^8 + x^2 + x + 1$$

ERROR_EN レジスタの CRC_ERR_EN ビットを使用して、チェックサムをイネーブルまたはディスエーブルに設定します。

チェックサムは、読出しと書込みの各データ交換トランザクションの最後に付加されます。書込みトランザクションのチェックサム計算は、8 ビット・コマンド・ワードと 8 ～ 24 ビットのデータを使用して計算されます。読出しトランザクションは、8 ビットのコマンド・ワードと 8 ～ 32 ビットのデータ出力を使用して計算されます。図 126 と図 127 に、SPI での読出しおよび書込みトランザクションを示します。

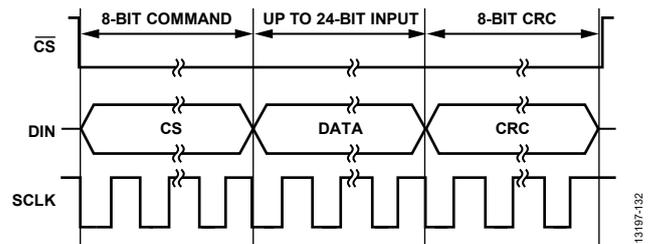


図 126. CRC 付き SPI 書込みトランザクション

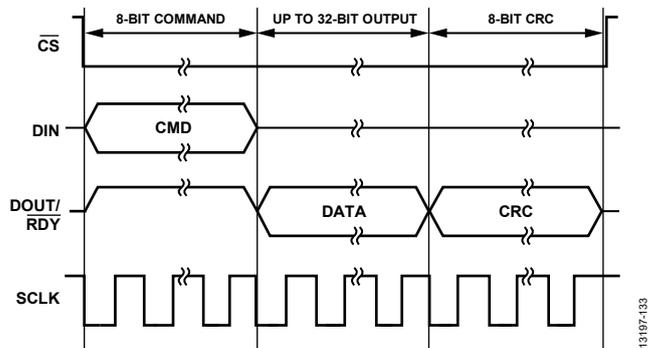


図 127. CRC 付き SPI 読出しトランザクション

連続読出しモードがアクティブのときにチェックサム保護がイネーブルになっている場合、チェックサム値を計算する際に考慮する必要がある暗黙的なデータ読出しコマンド 0x42 がすべてのデータ転送の前に実行されます。これにより、ADC データが 0x000000 であっても、チェックサム値はゼロになりません。

メモリ・マップ・チェックサム保護

信頼性を向上するため、内蔵レジスタでは CRC の計算も実行されます。ステータス・レジスタ、データ・レジスタ、エラー・レジスタ、および MCLK カウンタ・レジスタの内容は絶えず変化するため、このチェックの対象外です。CRC は、1/2400 秒ごとに実行されます。メモリ・マップにアクセスするたびに、CRC が再計算されます。CRC の再計算が実行されるイベントは次のとおりです。

- ユーザー書込み
- オフセット／フルスケール・キャリブレーション
- デバイスがシングル変換モードで動作していて、変換の完了後に ADC がスタンバイ・モードになったとき
- 既存の連続読出しモードを終了したとき (ADC_CONTROL レジスタの CONT_READ ビットを 0 にセット)

メモリ・マップ CRC 機能は、ERROR_EN レジスタの MM_CRC_ERR_EN ビットを 1 にセットしてイネーブルにします。エラーが発生した場合、エラー・レジスタの MM_CRC_ERR ビットが 1 にセットされます。

ROM チェックサム保護

パワーアップ時、すべてのレジスタはデフォルト値に設定されます。これらのデフォルト値はリード・オンリ・メモリ (ROM) に保存されています。堅牢性を高めるため、ROM の内容に対しては CRC の計算も実行されます。CRC はパワーアップ時に実行されます。

ROM CRC 機能は、ERROR_EN レジスタの ROM_CRC_ERR_EN ビットを 1 にセットすることでイネーブルになります。エラーが発生すると、エラー・レジスタの ROM_CRC_ERR ビットが 1 にセットされます。

この機能がイネーブルのときは、内部マスター・クロックは (イネーブルされていれば) スタンバイ・モードでアクティブのままになります。

CRC の計算

8 ビット幅のチェックサムは、次の多項式を使用して生成されます。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するため、データは 8 ビットごとに左側にシフトされ、8 ビットのロジック 0 で終わる数値を生成します。多項式の MSB が、データの左端にあるロジック 1 と整列するように、多項式の位置を調整します。排他的論理和(XOR) 関数をデータに適用して、新しく短い数値を生成します。多項式の MSB が、得られたデータの左端にあるロジック 1 と整列するように、多項式の位置を再度調整します。このプロセスは、元のデータが多項式の値よりも小さくなるまで繰り返されます。これが 8 ビットのチェックサムです。

24 ビット・ワードに対する多項式による CRC 計算例:0x654321 (8 ビット・コマンドと 16 ビット・データ)

この例では、多項式ベースのチェックサムを使用して、8 ビットのチェックサムを計算します。

初期値 011001010100001100100001

01100101010000110010000100000000

8 ビット左にシフト

$$x^8 + x^2 + x + 1 = 100000111$$

多項式

100100100000110010000100000000	XOR の結果
100000111	多項式
100011000110010000100000000	XOR の結果
100000111	多項式
11111110010000100000000	XOR の結果
100000111	多項式の値
1111101110000100000000	XOR の結果
100000111	多項式の値
111100000000100000000	XOR の結果
100000111	多項式の値
11100111000100000000	XOR の結果
100000111	多項式の値
1100100100100000000	XOR の結果
100000111	多項式の値
100101010100000000	XOR の結果
100000111	多項式の値
101101100000000	XOR の結果
100000111	多項式の値
1101011000000	XOR の結果
100000111	多項式の値
101010110000	XOR の結果
100000111	多項式の値
1010001000	XOR の結果
100000111	多項式の値
10000110	チェックサム = 0x86

バーンアウト電流

AD7124-4には、0.5 μA、2 μA、または4 μA にプログラム可能な2つの定電流発生器が内蔵されています。一方の発生器は、AV_{DD}からAINPに電流を供給し、もう一方はAINMからAV_{SS}に電流をシンクします。これらの電流により、断線を検出できます。

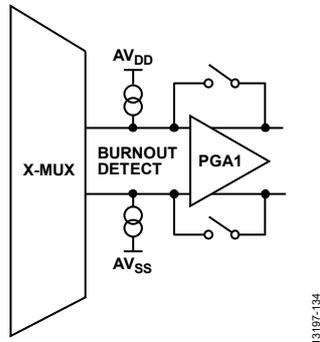


図 128. バーンアウト電流

これらの電流は、選択したアナログ入力ペアに切り換えられます。両方の電流がオンまたはオフになります。設定レジスタのバーンアウト・ビットにより、バーンアウト電流のイネーブル/ディスエーブルと一緒に振幅が設定されます。チャンネルで計測を行う前に、これらの電流を使用して外部トランスデューサが動作可能であることを確認します。バーンアウト電流がオンになると、外部トランスデューサ回路にバーンアウト電流が流れ、アナログ入力チャンネルの入力電圧を計測できるようになります。計測した電圧がほぼフルスケールの場合、その理由を確認する必要があります。計測値がほぼフルスケールに近い場合、フロントエンド・センサーがオープン・サーキットになっている可能性があります。また、フロントエンド・センサーに過負荷がかかり、フルスケールで出力されたか、またはリファレンスが存在しないために REF_DET_ERR ビットがセットされ、データがオール 1 にクランプされた可能性もあります。

変換値がフルスケールに近い場合は、判断を下す前にこれら3つの項目をチェックする必要があります。計測された電圧が 0V の場合は、トランスデューサの短絡が考えられます。通常の動作では、バーンアウト・ビットを 0 にセットしてこれらのバーンアウト電流をオフにします。電流源はバッファをオンにして、通常の絶対入力電圧の仕様範囲内で動作します。

温度センサー

AD7124-4には、チップ温度を監視するのに便利な温度センサーが内蔵されています。これは、チャンネル・レジスタの AINP[4:0] ビットと AINM[4:0] ビットを使用して選択します。感度は約 13,584 codes/°C です。温度センサーの式は次のとおりです。

$$\text{温度}(\text{°C}) = ((\text{変換結果} - 0x800000) / 13,584) - 272.5$$

温度センサーの精度は±0.5°C (typ) です。

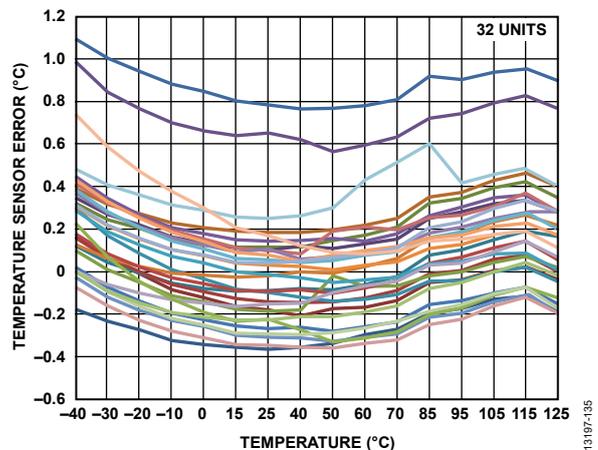


図 129. 温度センサーの誤差と温度の関係

グラウンディングとレイアウト

アナログ入力とリファレンス電圧入力は差動であるため、アナログ変調器内の多くの電圧はコモンモード電圧です。このデバイスの優れたコモンモード除去比により、これらの入力でのコモンモード・ノイズが除去されます。AD7124-4 のアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部のカップリングを最小限に抑えるように個別のピンが採用されています。デジタル・フィルタは、マスター・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、ノイズ源がアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス電圧入力のノイズも除去します。このため、AD7124-4 は従来の高分解能コンバータよりも優れた耐ノイズ干渉性を発揮します。ただし、AD7124-4 の分解能は高く、コンバータのノイズ・レベルは非常に低いため、接地とレイアウトについては注意が必要です。

ADC を実装する基板は、アナログ部とデジタル部を分離し、ボードの特定の領域に収納するように設計する必要があります。一般に、エッチング部分を最小限に抑えると、最適なシールド効果を発揮できるため、この方法はグラウンド・プレーンに最適です。

どのようなレイアウトを使用する場合も、システム内における電流の流れには十分注意を払い、すべてのリターン電流用の経路と目的の場所まで電流を流す経路をできるだけ近づけて配置するよう心がけてください。

このデバイスの下にデジタル・ラインを配置することは避けて下さい。この様なレイアウトは、デバイスのチップとのノイズ結合が起きてしまいます。AD7124-4 の下には、アナログ・グラウンドを配置すれば、ノイズ結合を避けることができます。低インピーダンス経路を確保し、電源ラインのグリッチを軽減できるように、AD7124-4 への電源ラインには可能な限り幅広いパターンを使用してください。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイ

ズの放射を防止します。また、クロック信号がアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号のクロスオーバーは回避する必要があります。デジタル信号とアナログ信号のパターンは、ボードの反対側で、互いに直角になるように配置してください。これにより、ボード上でフィードスルーの効果を削減できます。マイクロストリップ技術を使用すれば最善の結果が得られますが、両面ボードでは常に使用できるとは限りません。この技法を使用する場合、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能 ADC を使用する場合は、デカップリングが重要になります。AD7124-4 には、AV_{DD} と IOV_{DD} の2つの電源ピンがあります。AV_{DD} ピンはAV_{SS} を基準としていて、IOV_{DD} ピンは DGND を基準としています。1 μF のタンタル・コンデンサと0.1 μF のコンデンサを並列に接続して、AV_{DD} を各ピンのAV_{SS} へデカップリングします。0.1 μF のコンデンサは、デバイスの各電源ピンのできるだけ近くに配置します。理想的には、デバイスの隣に配置する必要があります。1 μF のタンタル・コンデンサと0.1 μF のコンデンサを並列に接続して、IOV_{DD} をDGND へデカップリングします。すべてのアナログ入力をAV_{SS} へデカップリングする必要があります。外部リファレンスを使用する場合は、REFINx (+) ピンと REFINx (-) ピンをAV_{SS} へデカップリングします。

AD7124-4 は、AV_{DD} 電源およびIOV_{DD} 電源を調整する2つのオンボード LDO レギュレータも備えています。REGCAPA ピンは、0.1 μF コンデンサを使用してAV_{SS} に接続することをお勧めします。同様に、REGCAPD ピンは、0.1 μF コンデンサを使用してDGND に接続することをお勧めします。

AD7124-4 を分離電源動作で使用する場合は、AV_{SS} に分離プレーンを使用する必要があります。

アプリケーション情報

AD7124-4 は、低価格で高分解能の A/D 変換機能を提供します。Σ-Δ アーキテクチャの A/D 変換機能を備えているため、ノイズの多い環境に強く、センサー計測や産業およびプロセス制御のアプリケーションでの使用に最適です。

熱電対を使用した温度計測

図 130 に、熱電対から AD7124-4 への接続を示します。熱電対アプリケーションで、熱電対によって発生した電圧は絶対リファレンスを基準にして計測されます。このため、この変換には内部リファレンスが使用されます。冷接点の計測はレシオメトリック構成を使用するため、リファレンスは外部から適用されます。

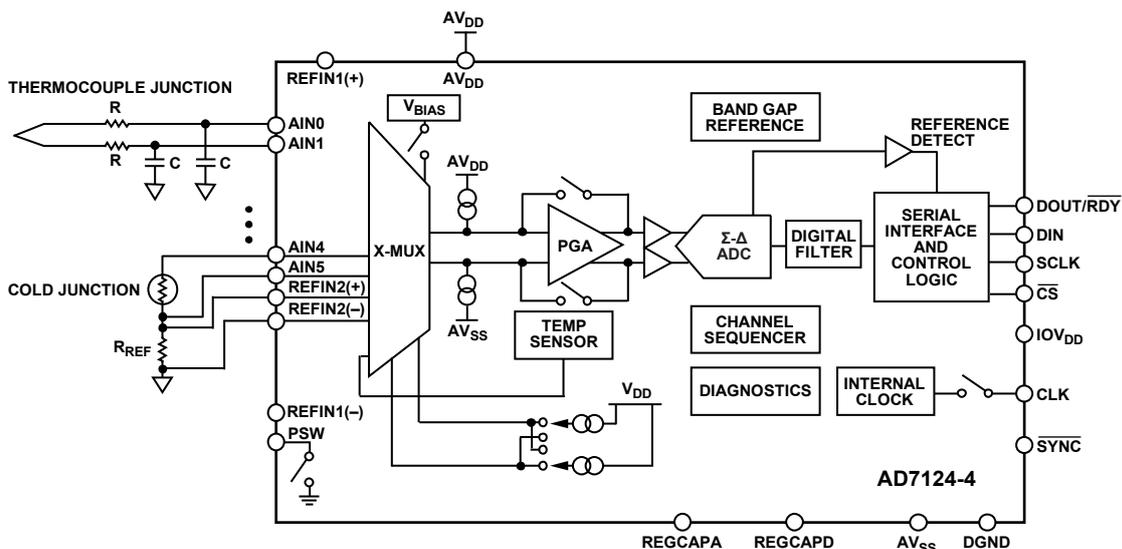
熱電対からの信号は小さいため、PGA をイネーブルにして AD7124-4 を動作させ、熱電対からの信号を増幅します。入力チャンネルはバッファされるため、大容量のデカップリング・コンデンサをフロントエンドに配置すれば、熱電対のリードに含まれるノイズの混入を除去できます。バイアス電圧発生器は、熱電対によって発生した電圧に $(AV_{DD} - AV_{SS}) / 2$ のバイアスを付加するようにコモンモード電圧を提供します。グラウンドを中心とする熱電対の電圧の場合、AD7124-4 を分離電源(±1.8 V) で動作させることができます。

冷接点補償は、図 130 に示すサーミスタを使用して実行されます。サーミスタには内部励起電流が供給されます。さらに、冷接点計測用のリファレンス電圧は、サーミスタと直列接続された高精度抵抗から取り出します。これにより、励起電流の変動が計測に影響を与えないようにレシオメトリック計測を実行できます(これは、計測するサーミスタ抵抗に対する高精度リファレンス抵抗の比率)。

ほとんどの変換結果が熱電対から読み出されます。冷接点温度は安定しているか、またはゆっくりと変化するため、冷接点は定期的にしかり読み出されません。T タイプの熱電対を使用する場合、 $-200\text{ }^{\circ}\text{C} \sim +400\text{ }^{\circ}\text{C}$ の温度を計測できます。この温度範囲で発生する電圧は $-8.6\text{ mV} \sim +17.2\text{ mV}$ です。AD7124-4 の内部リファレンスは 2.5 V です。このため、PGA は 128 に設定します。熱電対が AIN0/AIN1 チャンネルを使用し、サーミスタが AIN4/AIN5 チャンネルに接続されている場合、変換プロセスは次のようになります。

1. ADC をリセットします。
2. 消費電力モードを選択します。
CHANNEL_0 レジスタのアナログ入力を AIN0/AIN1 に設定します。このチャンネルに Setup 0 を割り当てます。ゲインが 128 になるように Setup 0 を設定し、内部リファレンスを選択します。フィルタ・タイプを選択して、出力データ・レートを設定します。
3. AIN0 で VBIAS をイネーブルにします。
4. CHANNEL_1 レジスタのアナログ入力を AIN4/AIN5 に設定します。このチャンネルに Setup 1 を割り当てます。ゲインが 1 になるように Setup 1 を設定し、外部リファレンス REFIN2 (+) を選択します。フィルタ・タイプを選択して、出力データ・レートを設定します。
5. 励起電流 (IOUTx) をイネーブルにして、適切な値を選択します。この電流を AIN4 ピンに出力します。
6. AIN0/AIN1 チャンネルをイネーブルにします。RDY がロー・レベルに移行するまで待ちます。変換結果を読み出します。
7. 引き続き、AIN0/AIN1 チャンネルから 9 つの変換結果を読み出します。
8. CHANNEL_0 をディスエーブルにして、CHANNEL_1 をイネーブルにします。
9. RDY がロー・レベルに移行するまで待ちます。1 つの変換結果を読み出します。
10. ステップ 5 ~ ステップ 8 を繰り返します。

T タイプ熱電対を直線化する式を使用して、熱電対電圧をサーミスタ電圧と一緒に処理して、熱電対ヘッドの実際の温度を計算します。



NOTES
1. SIMPLIFIED BLOCK DIAGRAM SHOWN.

図 130. 熱電対アプリケーション

13197-136

わかりやすいように、外部アンチエイリアシング・フィルタは省略しています。ただし、このフィルタは、変調器周波数および変調器周波数の整数倍での干渉を排除するのに必要です。さらに、EMI 目的で何らかのフィルタリングが必要になることもあります。アナログ入力とリファレンス入力の両方にバッファを配置できるので、RC 組み合わせ回路をリファレンス入力ピンまたはアナログ入力ピンに接続できます。

必要な消費電力モードは、システムで求められる性能とシステムで許容される電流消費量によって決まります。フィールド・トランスミッタでは、必ず低消費電力にする必要があります。このアプリケーションでは、低消費電力モードまたは中消費電力モードが最適です。プロセス制御アプリケーションでは、消費電力は最重要項目ではありません。このため、通常消費電力モードを選択できます。通常消費電力モードは、高いスループットと低いノイズを提供します。

AD7124-4 の内蔵診断機能により、回路の接続チェック、電源、リファレンス、および LDO 電圧のモニタリング、すべての変換結果とキャリブレーションでの誤差のチェックだけでなく、あらゆる読出し/書込み動作のモニタリングを実行できます。熱電対アプリケーションでは、リファレンス検出およびバーンアウト電流を使用して回路の接続が検証されます。外部リファレンス REF_{IN2}(±) が存在しない場合は、REF_DET_ERR フラグがセットされます。バーンアウト電流 (設定レジスタで利用可能) は断線を検出します。例えば、熱電対が接続されておらず、チャンネルでバーンアウト電流がイネーブルになっている場合、ADC はフルスケールに等しいか、それに近い変換結果を出力します。最高の性能を発揮するには、バーンアウト電流を定期的にイネーブルにして接続をチェックします。ただし、バーンアウト電流をイネーブルにすると、変換結果に誤差が追加されるため、接続を検証したら直ちにディスエーブルにします。LDO のデカップリング・コンデンサもチェックできます。コンデンサが存在しない場合、ADC はエラーを通知します。

アナログ入力の過電圧/低電圧モニタは、変換プロセスの一部として AINP および AINM の過電圧を検出するのに便利です。電源電圧とリファレンス電圧は、ADC への入力として選択可能です。このため、これらの電圧を定期的にチェックして、システムの仕様範囲内にあるか確認できます。また、LDO 電圧が仕様範囲内にあることもチェックできます。変換プロセスとキャリブレーション・プロセスもチェックできます。これにより、無効な変換結果やキャリブレーションに対してフラグが立ちます。

最後に、CRC チェック、SCLK カウンタ、および SPI 読出し/書込みチェックにより、無効な読出し/書込み動作を検出できるため、インターフェースの信頼性がさらに向上します。CRC チェックは、プロセッサと ADC の間でビットが転送されるときに、ビットが破損していないか確認します。

RTD を使用した温度計測

3 線式 RTD 構成を最適化するには、2 個の整合された電流源が必要です。2 個の整合された電流源を内蔵している AD7124-4 は、これらのアプリケーションに最適です。3 線式構成の例を図 131 に示します。この 3 線式構成において、電流源を 1 つしか使用しない場合 (AIN0 の出力)、RL1 に励起電流が流れて AIN1 と AIN2 の間に電圧誤差が発生するため、リード抵抗に誤差が発生します。説明した方式では、2 つ目の RTD 電流源 (AIN3 から出力可能) が、RL1 を流れる励起電流により発生する誤差を補償します。2 つ目の RTD 電流は RL2 を通過します。RL1 と RL2 が等しく (通常、リードの材質と長さが同じ)、励起電流が一致する場合、RL2 の両端の誤差電圧と RL1 の両端の誤差電圧が等しくなり、AIN1 と AIN2 の間に誤差電圧は発生しなくなります。RL3 の両端に 2 倍の電圧が発生します。ただし、これはコモンモード電圧であるため、誤差は発生しません。AD7124-4 のリファレンス電圧も、いずれかの整合した電流源を使用して生成されます。これは高精度の抵抗を使用して生成させ、ADC の差動リファレンス・ピンに入力されます。この方式では、アナログ入力電圧スパンがリファレンス電圧に比例することが保証されます。励起電流の温度ドリフトに起因するアナログ入力電圧に含まれるすべての誤差が、リファレンス電圧の変動によって補償されます。

例えば、PT100 は -200°C ~ +600°C の温度を計測します。抵抗は 0°C で 100 Ω (typ)、600°C で 313.71 Ω (typ) です。500 μA の励起電流を使用した場合、RTD の全温度範囲を使用したときに RTD の両端にかかる最大電圧は、次のようになります。

$$500 \mu\text{A} \times 313.71 \Omega = 156.86 \text{ mV}$$

ゲインが 16 にプログラムされている場合、この値は AD7124-4 内で 2.51 V に増幅されます。

リファレンス抵抗の両端に発生する電圧は 2.51 V 以上にする必要があります。このため、リファレンス抵抗値は、次の値以上に設定してください。

$$2.51 \text{ V} / 500 \mu\text{A} = 5020 \Omega$$

このため、5.11 kΩ の抵抗を使用します。

$$5.11 \text{ k}\Omega \times \text{励起電流} = 5.11 \text{ k}\Omega \times 500 \mu\text{A} = 2.555 \text{ V}$$

もう一つの考慮事項として、出力の適合範囲があります。出力の適合範囲は $A_{VDD} - 0.37 \text{ V}$ と等しくなります。3.3 V のアナログ電圧源を使用する場合、AIN0 の電圧は $(3.3 \text{ V} - 0.37 \text{ V}) = 2.93 \text{ V}$ 未満にしてください。前述の計算から、AIN0 の最大電圧は、次に示すようにリファレンス抵抗の両端にかかる電圧と RTD の両端にかかる電圧の合計と等しいため、この仕様は満たされます。

$$2.555 \text{ V} + 156.86 \text{ mV} = 2.712 \text{ V}$$

RTD を読み出すための標準的な手順は、次のとおりです。

1. ADC をリセットします。
2. 消費電力モードを選択します。
3. CHANNEL_0 レジスタのアナログ入力を AIN1/AIN2 に設定します。このチャンネルに Setup 0 を割り当てます。ゲインが 16 になるように Setup 0 を構成し、リファレンス源 REFIN2 (+) を選択します。フィルタ・タイプを選択して、出力データ・レートを設定します。
4. 励起電流を 500 μA にプログラムして、AIN0 ピンと AIN3 ピンに電流を出力します。
5. RDY がロー・レベルに移行するまで待ちます。変換値を読み出します。
6. ステップ 4 を繰り返します。

プロセッサで、PT100 の直線化ルーチンを実装します。

わかりやすいように、外部アンチエイリアシング・フィルタは省略しています。ただし、このフィルタは、変調器周波数および変調器周波数の整数倍での干渉を排除するのに必要です。また、EMI 目的で何らかのフィルタリングが必要になることもあります。アナログ入力とリファレンス入力の両方にバッファを配置できるので、RC 組み合わせ回路をリファレンス入力ピンまたはアナログ入力ピンに接続できます。

AD7124-4 では、入力ピンから励起電流を出力できます。例えば、AIN3 ピンはアナログ入力として機能することも、電流源として機能することもできます。このオプションにより、最小限のピンを使用して複数のセンサーを ADC に接続できます。ただし、アンチエイリアシング・フィルタの抵抗は、RTD と直列接続になっています。これにより、アンチエイリアシング抵抗の両端に電圧がかかるため、変換結果に誤差が発生します。この誤差を最小限に抑えるには、アンチエイリアシング・フィルタの抵抗を最小限にします。

使用する消費電力モードは、システムで求められる性能とシステムで許容される電流消費量によって決まります。フィールド・トランスミッタでは、必ず低消費電流にする必要があります。このアプリケーションでは、低消費電力モードまたは中消費電力モードが最適です。プロセス制御アプリケーションでは、消費電力は最重要項目ではありません。このため、通常消費電力モードを選択できます。通常消費電力モードは、高いスループットと低いノイズを提供します。

AD7124-4 の内蔵診断機能により、回路の接続チェック、電源、リファレンス、および LDO 電圧のモニタリング、すべての変換結果とキャリブレーションでの誤差のチェックだけでなく、あらゆる読み出し/書き込み動作のモニタリングを実行できます。RTD アプリケーションにおいて、回路の接続は、リファレンス検出およびバーンアウト電流を使用して検証されます。外部リファレンス REFIN2 (+) が存在しない場合は、REF_DET_ERR フラグがセットされます。バーンアウト電流 (設定レジスタで利用可能) は断線を検出します。LDO のデカップリング・コンデンサもチェックできます。コンデンサが存在しない場合、ADC はエラーを通知します。

アナログ入力の過電圧/低電圧モニタは、変換プロセスの一部として AINP および AINM の過電圧を検出するのに便利です。電源電圧とリファレンス電圧は、ADC への入力として選択可能です。このため、これらの電圧を定期的にチェックして、システムの仕様範囲内にあるか確認できます。また、LDO 電圧が仕様範囲内にあることもチェックできます。変換プロセスとキャリブレーション・プロセスもチェックできます。これにより、無効な変換結果やキャリブレーションに対してフラグが立ちます。

最後に、CRC チェック、SCLK カウンタ、および SPI 読み出し/書き込みチェックにより、無効な読み出し/書き込み動作を検出できるため、インターフェースの信頼性がさらに向上します。CRC チェックは、プロセッサと ADC の間でビットが転送されるときに、ビットが破損していないか確認します。

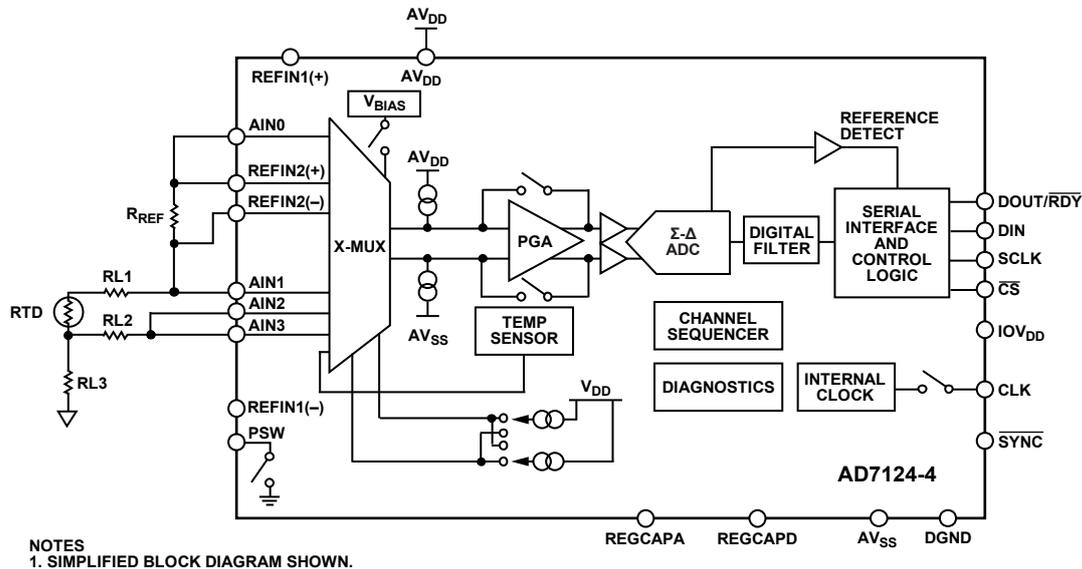


図 131.3 線式 RTD アプリケーション

13197-137

流量計

図 132 に、圧力差から流量を計算する、流量計アプリケーションで使用する AD7124-4 を示します。このデバイスは、2 つの圧力トランスデューサで構成されます。圧力トランスデューサは、ブリッジ回路に配置され、OUT+ 端子と OUT- 端子の間で差動出力電圧を生成します。トランスデューサの定格フルスケール圧力(この場合は、300 mmHg)で、差動出力電圧は入力電圧の 3 mV/V (IN+ ピンと IN- ピン間の電圧)になります。

励起電圧が 3 V の場合、トランスデューサのフルスケール出力範囲は 9 mV になります。リファレンス入力範囲に電源電圧が含まれるため、ブリッジの励起電圧は ADC のリファレンス電圧を直接供給できます。

トランスデューサをベースにしたアプリケーションにおいて AD7124-4 を使用するもう一つの利点は、低消費電力アプリケーションでローサイド・パワー・スイッチをフルに利用できることです。ローサイド・パワー・スイッチは、ブリッジの冷接点側に直列接続します。通常の動作では、スイッチが閉じて計測が行われます。消費電力が問題となるアプリケーションでは、AD7124-4 をスタンバイ・モードにして、アプリケーションの消費電力を大幅に削減できます。さらに、スタンバイ・モードでローサイド・パワー・スイッチを開くことができるため、フロントエンド・トランスデューサでの不要な電力消費を防止できます。スタンバイ・モードを終了して、ローサイド・パワー・スイッチが閉じたら、フロントエンド回路が完全にセトリングされたことを確認してから、AD7124-4 からの読出しを行う必要があります。必要に応じて、スタンバイ・モードを終了する前にパワー・スイッチを閉じることができます。これにより、ADC がパワーアップしてアナログ入力のサンプリングを開始する前に、センサーをパワーアップできるようになります。

この図では、サーミスタを使用して温度補償が行われています。サーミスタには内部励起電流が供給されます。さらに、温度計測のリファレンス電圧は、サーミスタと直列に接続された高精度の抵抗から供給されます。これにより、励起電流の変動が計測に影響を与えないようにレシオメトリック計測を実行できます(これは、計測するサーミスタ抵抗に対する高精度リファレンス抵抗の比率)。

センサーの感度が 3 mV/V で、励起電圧が 3 V の場合、センサーからの最大出力は 9 mV です。AD7124-4 の PGA を 128 に設定して、センサー信号を増幅できます。

AD7124-4 の PGA は、次の値に信号を増幅します。

$$9 \text{ mV} \times 128 = 1.152 \text{ V}$$

この値は、リファレンス電圧(3 V)を超えていません。

センサーを読み出すための標準的な手順は、次のとおりです。

1. ADC をリセットします。
2. 消費電力モードを選択します。
3. CHANNEL_0 レジスタのアナログ入力を AIN0/AIN1 に設定します。このチャンネルに Setup 0 を割り当てます。ゲインが 128 になるように Setup 0 を構成し、リファレンス源 REF1N1 (±) を選択します。フィルタ・タイプを選択して、出力データ・レートを設定します。
4. CHANNEL_1 レジスタのアナログ入力を AIN2/AIN3 に設定します。このチャンネルに Setup 0 を割り当てます(両方のチャンネルが同じセットアップを使用します)。
5. CHANNEL_2 レジスタのアナログ入力を AIN4/AIN5 に設定します。このチャンネルに Setup 1 を割り当てます。ゲインが 1 になるように Setup 1 を構成し、リファレンス源 REF1N2 (±) を選択します。フィルタ・タイプを選択して、出力データ・レートを設定します。
6. 励起電流をプログラムして、AIN4 ピンに電流を出力します。
7. CHANNEL_0 と CHANNEL_1 の両方をイネーブルにします。DATA_STATUS ビットをイネーブルにして、変換を実行するチャンネルを特定します。ADC は、これらのチャンネルを自動的に循環します。
8. RDY がロー・レベルに移行するまで待ちます。変換値を読み出します。
9. 温度を読み出せるようになるまでステップ 8 を繰り返します(例えば、圧力センサーの読出し値を 10 回変換すること)。
10. CHANNEL_0 と CHANNEL_1 をディスエーブルにします。CHANNEL_2 をイネーブルにします。
11. RDY がロー・レベルに移行するまで待ちます。変換結果を読み出します。
12. ステップ 6 ~ ステップ 10 を繰り返します。

プロセッサで、変換情報が圧力に変換され、流量を計算できるようになります。通常、プロセッサには、各圧力センサーのルックアップ・テーブルが含まれているため、温度の変動を補償できます。

わかりやすいように、外部アンチエイリアシング・フィルタは省略しています。ただし、このフィルタは、変調器周波数および変調器周波数の整数倍での干渉を排除するのに必要です。また、EMI 目的で何らかのフィルタリングが必要になることもあります。アナログ入力とリファレンス入力の両方にバッファを配置できるので、RC 組み合わせ回路をリファレンス入力ピンまたはアナログ入力ピンに接続できます。

使用する消費電力モードは、システムで求められる性能とシステムで許容される電流消費量によって決まります。フィールド・トランスミッタでは、必ず低消費電流にする必要があります。このアプリケーションでは、低消費電流モードまたは中消費電流モードが最適です。プロセス制御アプリケーションでは、消費電力は最重要項目ではありません。このため、通常消費電力モードを選択できます。通常消費電力モードは、高いスループットと低いノイズを提供します。

内蔵レジスタ

ADC は、多数の内蔵レジスタを使用して制御/設定を行います。以降のセクションでは、これらについて説明します。以降の説明では、特に指定のない限り、セットはロジック 1 状態を意味し、クリアはロジック 0 状態を意味します。

表 64. レジスタの一覧

Addr.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	COMMS	WEN	R/W	RS[5:0]						0x00	W	
0x00	Status	RDY	ERROR_FLAG	0	POR_FLAG	CH_ACTIVE					0x00	R
0x01	ADC CONTROL	0			DOUT_RDY_DEL	CONT_READ	DATA_STATUS	CS_EN	REF_EN	0x0000	RW	
		POWER_MODE			Mode			CLK_SEL				
0x02	Data	Data [23:16]									0x000000	R
		Data [15:8]										
		Data [7:0]										
0x03	IO CONTROL_1	GPIO_DAT2	GPIO_DAT1	0	0	GPIO_CTRL2	GPIO_CTRL1	0	0	0x000000	RW	
		PDSW	0	IOUT1			IOUT0					
		IOUT1_CH				IOUT0_CH						
0x04	IO CONTROL_2	VBIAS7	VBIAS6	0	0	VBIAS5	VBIAS4	0	0	0x0000	RW	
		0	0	VBIAS3	VBIAS2	0	0	VBIAS1	VBIAS0			
0x05	ID	DEVICE_ID				SILICON_REVISION				0x04/0x06	R	
0x06	Error	0				LDO_CAP_ERR	ADC_CAL_ERR	ADC_CONV_ERR	ADC_SAT_ERR	0x000000	R	
		AINP_OV_ERR	AINP_UV_ERR	AINM_OV_ERR	AINM_UV_ERR	REF_DET_ERR	0	DLDO_PSM_ERR	0			
		ALDO_PSM_ERR	SPI_IGNORE_ERR	SPI_SCLK_CNT_ERR	SPI_READ_ERR	SPI_WRITE_ERR	SPI_CRC_ERR	MM_CRC_ERR	ROM_CRC_ERR			
0x07	ERROR_EN	0	MCLK_CNT_EN	LDO_CAP_CHK_TEST_EN	LDO_CAP_CHK		ADC_CAL_ERR_EN	ADC_CONV_ERR_EN	ADC_SAT_ERR_EN	0x000040	RW	
		AINP_OV_ERR_EN	AINP_UV_ERR_EN	AINM_OV_ERR_EN	AINM_UV_ERR_EN	REF_DET_ERR_EN	DLDO_PSM_TRIP_TEST_EN	DLDO_PSM_ERR_EN	ALDO_PSM_TRIP_TEST_EN			
		ALDO_PSM_ERR_EN	SPI_IGNORE_ERR_EN	SPI_SCLK_CNT_ERR_EN	SPI_READ_ERR_EN	SPI_WRITE_ERR_EN	SPI_CRC_ERR_EN	MM_CRC_ERR_EN	ROM_CRC_ERR_EN			
0x08	MCLK COUNT	MCLK_COUNT									0x00	R
0x09 to 0x18	CHANNEL_0 to CHANNEL_15	Enable	Setup			0		AINP[4:3]			0x8001 ¹	RW
		AINP[2:0]				AINM[4:0]						
0x19 to 0x20	CONFIG_0 to CONFIG_7	0			Bipolar		Burnout		REF_BUFP	0x0860	RW	
		REF_BUFM	AIN_BUFP	AIN_BUFM	REF_SEL		PGA					
0x21 to 0x28	FILTER_0 to FILTER_7	Filter			REJ60	POST_FILTER		SINGLE_CYCLE	0x060180	RW		
		0					FS[10:8]					
		FS[7:0]										
0x29 to 0x30	OFFSET_0 to OFFSET_7	Offset [23:16]									0x800000	RW
		Offset [15:8]										
		Offset [7:0]										
0x31 to 0x38	GAIN_0 to GAIN_7	Gain [23:16]									0x5XXXXX	RW
		Gain [15:8]										
		Gain [7:0]										

¹ CHANNEL_0 は 0x8001 にリセットされます。その他のすべてのチャンネルは 0x0001 にリセットされます。

コミュニケーション・レジスタ

RS[5:0] = 0, 0, 0, 0, 0, 0

コミュニケーション・レジスタは、8 ビットの書き込み専用レジスタです。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始する必要があります。コミュニケーション・レジスタに書き込まれたデータにより、次の動作が読出しまたは書き込みであるか決定され、この動作の対象となるレジスタが決定され、アクセスするレジスタを選択する RS[5:0] ビットが決定されます。

読出し動作または書き込み動作の場合、選択されたレジスタに対する後続の読出し動作または書き込み動作が完了すると、インターフェー

スはコミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。これはインターフェースのデフォルト状態であり、パワーアップ時またはリセット後に ADC はデフォルト状態になり、コミュニケーション・レジスタに対する書き込み動作を待ちます。

インターフェース・シーケンスが失われた場合、DIN がハイ・レベルの状態でも 64 シリアル・クロック・サイクル以上の書き込み動作を行うと、ADC はデバイス全体をリセットしてこのデフォルト状態に戻ります。表 65 に、コミュニケーション・レジスタのビット配置を示します。ビット 7 がデータ・ストリームの最初のビットです。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WEN (0)	R/W (0)	RS[5:0] (0)					

表 65. コミュニケーション・レジスタ・ビットの説明

ビット	ビット名	説明
7	WEN	書き込みイネーブル・ビット。このビットに「0」を書き込むと、コミュニケーション・レジスタに対する書き込み動作が実際に実行されます。書き込まれた最初のビットが 1 の場合、デバイスはレジスタ内の後続ビットに対するクロック駆動を停止します。このビットに 0 が書き込まれるまで、このビット位置にとどまります。WEN ビットに 0 が書き込まれると、次の 7 ビットがコミュニケーション・レジスタにロードされます。
6	R/W	このビット位置が 0 にセットされている場合、次の動作が指定されたレジスタに対する書き込み動作であることを示します。この位置が 1 にセットされている場合、次の動作が指定されたレジスタからの読出し動作であることを示します。
5:0	RS[5:0]	レジスタ・アドレス・ビット。これらのアドレス・ビットは、このシリアル・インターフェース通信中に選択される ADC のレジスタを指定します。表 64 を参照してください。

ステータス・レジスタ

RS[5:0] = 0, 0, 0, 0, 0, 0

パワーオン/リセット = 0x00

ステータス・レジスタは、8 ビットの読出し専用レジスタです。ADC のステータス・レジスタにアクセスするには、コミュニケーション・レジスタに書き込みを行って、次の動作が読出しであることを指定し、レジスタ・アドレス・ビット RS[5:0] を 0 にセットします。

表 66 に、ステータス・レジスタのビット配置を示します。ビット 7 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RDY (0)	ERROR_FLAG (0)	0 (0)	POR_FLAG (0)	CH_ACTIVE (0)			

表 66. ステータス・レジスタ・ビットの説明

ビット	ビット名	説明
7	RDY	ADC のレディ・ビット。このビットは、ADC のデータ・レジスタにデータが書き込まれるとクリアされます。RDY ビットは、ADC のデータ・レジスタの読出しが完了した後に自動的にセットされます。または、データ・レジスタが新しい変換結果で更新される前の一定期間にわたりセットされ、変換データを読み出してはいけないことを示します。また、デバイスへの電力供給を停止した場合、またはスタンバイ・モードにした場合もセットされます。変換の終了は、DOUT/RDY ピンによっても示されます。このピンをステータス・レジスタの代わりに使用して、ADC の変換データを監視することができます。
6	ERROR_FLAG	ADC エラー・ビット。このビットは、エラー・レジスタのいずれかのエラー・ビットがセットされたことを示します。エラー・レジスタ内で 1 つ以上のエラー・ビットがセットされると、このビットはハイ・レベルになります。エラー・レジスタを読み出すことで、このビットはクリアされます。
5	0	このビットが 0 にセットされます。
4	POR_FLAG	パワーオン・リセット・フラグ。このビットは、パワーオン・リセットが発生したことを示します。パワーオン・リセットは、パワーアップ時に電源電圧がスレッシュホールド電圧を下回った場合、リセットを実行した場合、およびパワーダウン・モードを終了した場合に実行されます。このビットをクリアするには、ステータス・レジスタを読み出す必要があります。

ビット	ビット名	説明
3:0	CH_ACTIVE	これらのビットにより、ADC で変換中のチャンネルが表示されます。 0000 = チャンネル 0 0001 = チャンネル 1 0010 = チャンネル 2 0011 = チャンネル 3 0100 = チャンネル 4 0101 = チャンネル 5 0110 = チャンネル 6 0111 = チャンネル 7 1000 = チャンネル 8 1001 = チャンネル 9 1010 = チャンネル 10 1011 = チャンネル 11 1100 = チャンネル 12 1101 = チャンネル 13 1110 = チャンネル 14 1111 = チャンネル 15

ADC_CONTROL レジスタ

RS[5:0] = 0, 0, 0, 0, 0, 1

パワーオン/リセット = 0x0000

表 67 に、レジスタのビット配置を示します。ビット 15 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0 (0)	0 (0)	0 (0)	DOUT_RDY_DEL (0)	CONT_READ (0)	DATA_STATUS (0)	CS_EN (0)	REF_EN (0)
POWER_MODE (0)		Mode (0)				CLK_SEL (0)	

表 67. ADC コントロール・レジスタ・ビットの説明

ビット	ビット名	説明
15:13	0	正常に動作させるには、これらのビットをロジック 0 にプログラムする必要があります。
12	DOUT_RDY_DEL	SCLK の非アクティブ・エッジから DOUT/RDY ハイ・レベルまでの時間を制御します。DOUT_RDY_DEL がクリアされている場合、遅延は 10 ns (min) です。DOUT_RDY_DEL がセットされている場合、遅延は 100 ns (min) に増加します。この機能は、CS がロー・レベルに接続されている場合 (CS_EN ビットが 0 にセットされている場合) に便利です。
11	CONT_READ	データ・レジスタの連続読出し。このビットが 1 にセットされ、(データ・レジスタが選択されると)、データ・レジスタが連続的に読出しを行えるようにシリアル・インターフェースが設定されます。つまり、RDY ピンがロー・レベルになって変換が完了したことが示された後、SCLK パルスが入力されたときにデータ・レジスタの内容が DOUT ピンに自動的に格納されます。後続のデータ読出しのために、コミュニケーション・レジスタに書き込む必要はありません。連続読出しをイネーブルにするには、CONT_READ ビットをセットします。連続読出しをディスエーブルにするには、DOUT/RDY がロー・レベルになっているときにデータ読出しコマンドを書き込みます。連続読出しがイネーブルになっている場合、ADC は連続読出しをディスエーブルにするための命令を受信できるように DIN ラインのアクティビティを監視します。さらに、DIN で 64 個の連続する 1 が発生した場合、リセットが発生します。このため、命令がデバイスに書き込まれるまで DIN をロー・レベルに保持してください。
10	DATA_STATUS	このビットにより、各データ・レジスタの読出し後にステータス・レジスタの内容を転送できるようになります。DATA_STATUS をセットすると、ステータス・レジスタの内容が各データ・レジスタの読出しと一緒に転送されます。ステータス・レジスタはデータ・レジスタの値に対応するチャンネルを特定するため、この機能は複数のチャンネルを選択する場合に便利です。
9	CS_EN	このビットは、データの読出し動作中に DOUT/RDY ピンの動作を制御します。 CS_EN がクリアされている場合、SCLK の非アクティブ・エッジからナノ秒以内に DOUT ピンは RDY に戻ります (遅延は DOUT_RDY_DEL ビットによって決定されます)。 セットされている場合、CS がハイ・レベルになるまで、DOUT/RDY ピンは読出し中のレジスタの LSB を出力し続けます。CS_EN がセットされているときは、CS はすべての読出し動作をフレーム化しなければなりません。CS 診断機能 SPI_WRITE_ERR、SPI_READ_ERR、SPI_SCLK_CNT_ERR を使用するには、CS_EN をセットする必要があります。

ビット	ビット名	説明
8	REF_EN	内部リファレンス電圧イネーブル。このビットがセットされている場合、内部リファレンスがイネーブルになり、REFOUT ピンで出力できるようになります。このビットがクリアされている場合、内部リファレンスがディスエーブルになります。
7:6	POWER_MODE	消費電力モードの選択。これらのビットは、消費電力モードを選択します。消費電流と出力データ・レート範囲は、消費電力モードによって決まります。 00 = 低消費電力。 01 = 中消費電力。 10 = 通常消費電力。 11 = 通常消費電力。
5:2	Mode	これらのビットは、ADC の動作モードを制御します。表 68 を参照してください。
1:0	CLK_SEL	これらのビットは、ADC のクロック源を選択します。内蔵 614.4 kHz クロックまたは外部クロックを使用できます。外部クロックを使用できることにより、複数の AD7124-4 デバイスを同期できます。また、正確な外部クロックで ADC を駆動した場合、50 Hz/60 Hz の除去性能が向上します。 00 = 内部 614.4 kHz クロック。内部クロックは CLK ピンに出力されません。 01 = 内部 614.4 kHz クロック。このクロックは CLK ピンに出力されます。 10 = 外部 614.4 kHz クロック。 11 = 外部クロック。AD7124-4 内で外部クロックは 4 で除算されます。

表 68. 動作モード

モード値	説明
0000	連続変換モード (デフォルト)。連続変換モードでは、ADC は連続して変換を行い、変換結果がデータ・レジスタに格納されます。RDY は変換が完了すると、ロー・レベルに移行します。デバイスを連続読出しモードに設定すると、これらの変換結果を読み出すことができます。連続読出しモードでは、SCLK パルスが入力されると、変換結果が自動的に DOUT ラインに出力されます。代わりに、コミュニケーション・レジスタへ書き込みを行うことにより、ADC に変換結果を出力するように命令できます。ADC のパワーオン、リセット、または再設定の後、最初の有効な変換結果を生成するのにフィルタのセトリング・タイム全体が必要になります。後続の変換結果は、選択した出力データ・レートで得られます。このレートは選択したフィルタによって異なります。
0001	シングル変換モード。シングル変換モードを選択した場合、ADC がパワーアップし、選択したチャンネルでシングル変換を実行します。変換には、フィルタのセトリング・タイム全体が必要になります。変換結果がデータ・レジスタに格納され、RDY がロー・レベルに移行し、ADC がスタンバイ・モードに戻ります。データが読み出されるか、別の変換を実行するまで、変換はデータ・レジスタに残り、RDY はアクティブ (ロー・レベル) のままになります。
0010	スタンバイ・モード。スタンバイ・モードでは、LDO を除く AD7124-4 のすべてのセクションへの電力供給を停止できます。スタンバイ・モードの間は、内部リファレンス、内部発振器、ローサイド・パワー・スイッチ、およびバイアス電圧発生器をイネーブルまたはディスエーブルにできます。スタンバイ・モードでは、内蔵レジスタの内容は保持されます。 ADC がスタンバイ・モードの場合、イネーブルになっている診断機能はアクティブのままになります。スタンバイ・モードの間、診断機能をイネーブル/ディスエーブルに設定できます。ただし、マスター・クロックを必要とする診断機能 (リファレンス検出、過電圧/低電圧の検出、LDO トリップ・テスト、メモリ・マップ CRC、および MCLK カウンタ) は、ADC を連続変換モードまたはアイドル・モードにしてからイネーブルにする必要があります。これらの診断機能は、スタンバイ・モードでイネーブルにしても機能しません。
0011	パワーダウン・モード。パワーダウン・モードでは、電流源、パワー・スイッチ、パーンアウト電流、バイアス電圧発生器、およびクロック回路を含む AD7124-4 のすべての回路への電力供給が停止します。LDO への電力供給も停止します。パワーダウン・モードでは、内蔵レジスタの内容は保持されません。このため、パワーダウン・モードの終了後には、すべてのレジスタを再プログラムする必要があります。
0100	アイドル・モード。アイドル・モードでは、変調器のクロックが引き続き機能しますが、ADC フィルタと変調器がリセット状態に保持されます。
0101	内部ゼロスケール (オフセット) キャリブレーション。内部短絡が自動的に入力へ接続されます。RDY は、キャリブレーションが開始されるとハイ・レベルになり、キャリブレーションが完了するとロー・レベルに戻ります。キャリブレーション後、ADC はアイドル・モードになります。計測したオフセット係数が、選択したチャンネルのオフセット・レジスタに格納されます。ゼロスケール・キャリブレーションを実行する場合は、1 つのチャンネルのみを選択します。内部ゼロスケール・キャリブレーションの所要時間は、1 セトリング周期です。
0110	内部フルスケール (ゲイン) キャリブレーション。フルスケール入力電圧が、このキャリブレーション向けに選択したアナログ入力へ自動的に接続されます。RDY は、キャリブレーションが開始されるとハイ・レベルになり、キャリブレーションが完了するとロー・レベルに戻ります。キャリブレーション後、ADC はアイドル・モードになります。計測したフルスケール係数が、選択したチャンネルのゲイン・レジスタに格納されます。フルスケール誤差を最小限に抑えるには、チャンネルのゲインを変更するたびにフルスケール・キャリブレーションを実行する必要があります。フルスケール・キャリブレーションを実行する場合は、1 つのチャンネルのみを選択します。AD7124-4 は出荷時にゲイン 1 でキャリブレーションされています。ゲイン 1 でのこれ以上の内部フルスケール・キャリブレーションはサポートされていません。内部フルスケール・キャリブレーションの所要時間は、ゲインが 1 よりも大きい場合は 4 セトリング周期になります。 内部フルスケール・キャリブレーションは、通常消費電力モードでは実行できません。このため、通常消費電力モードを使用している場合は、内部フルスケール・キャリブレーション向けに中消費電力モードまたは低消費電力モードを選択してください。同じリファレンスとゲインが使用されるため、このキャリブレーションは通常消費電力モードで有効です。内部ゼロスケール・キャリブレーションおよび内部フルスケール・キャリブレーションを実行する場合は、内部ゼロスケール・キャリブレーションの前に、内部フルスケール・キャリブレーションを実行する必要があります。このため、内部フルスケール・キャリブレーションを実行する前に、オフセット・レジスタに 0x800000 を書き込みます。これにより、オフセット・レジスタがデフォルト値にリセットされます。

モード値	説明
0111	システム・ゼロスケール(オフセット)キャリブレーション。選択したチャンネルの入力ピンにシステム・ゼロスケール入力を接続します。RDYは、キャリブレーションが開始されるとハイ・レベルになり、キャリブレーションが完了するとロー・レベルに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したオフセット係数が、選択したチャンネルのオフセット・レジスタに格納されます。システム・ゼロスケール・キャリブレーションは、チャンネルのゲインを変更するたびに実行する必要があります。フルスケール・キャリブレーションを実行する場合は、1つのチャンネルのみを選択します。システム・ゼロスケール・キャリブレーションの所要時間は1セトリング周期です。
1000	システム・フルスケール(ゲイン)キャリブレーション。選択したチャンネルの入力ピンにシステム・フルスケール入力を接続します。RDYは、キャリブレーションが開始されるとハイ・レベルになり、キャリブレーションが完了するとロー・レベルに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したフルスケール係数が、選択したチャンネルのゲイン・レジスタに格納されます。フルスケール・キャリブレーションは、チャンネルのゲインを変更するたびに実行する必要があります。フルスケール・キャリブレーションを実行する場合は、1つのチャンネルのみを選択します。システム・フルスケール・キャリブレーションの所要時間は1セトリング周期です。
1001 to1111	予備

データ・レジスタ

RS[5:0] = 0, 0, 0, 0, 1, 0

パワーオン/リセット = 0x000000

ADCの変換結果がこのデータ・レジスタに格納されます。これは読み出し専用レジスタです。このレジスタからの読み出し動作が完了すると、RDYビット/ピンがセットされます。

IO_CONTROL_1 レジスタ

RS[5:0] = 0, 0, 0, 0, 1, 1

パワーオン/リセット = 0x000000

表 69 に、レジスタのビット配置を示します。ビット 23 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO_DAT2 (0)	GPIO_DAT1 (0)	0 (0)	0 (0)	GPIO_CTRL2 (0)	GPIO_CTRL1 (0)	0 (0)	0 (0)
PDSW (0)	0 (0)	IOUT1 (0)		IOUT0 (0)			
IOUT1_CH (0)				IOUT0_CH (0)			

表 69. IO_CONTROL_1 レジスタ・ビットの説明

ビット	ビット名	説明
23	GPIO_DAT2	デジタル出力 P2。GPIO_CTRL2 がセットされている場合、GPIO_DAT2 ビットが P2 汎用出力ピンの値をセットします。GPIO_DAT2 がハイ・レベルの場合、P2 出力ピンはハイ・レベルになります。GPIO_DAT2 がロー・レベルの場合、P2 出力ピンはロー・レベルになります。GPIO_CTRL2 がセットされている場合、IO_CONTROL_1 レジスタを読み出すと、GPIO_DAT2 ビットに P2 ピンのステータスが反映されます。
22	GPIO_DAT1	デジタル出力 P1。GPIO_CTRL1 がセットされている場合、GPIO_DAT1 ビットが P1 汎用出力ピンの値をセットします。GPIO_DAT1 がハイ・レベルの場合、P1 出力ピンはハイ・レベルになります。GPIO_DAT1 がロー・レベルの場合、P1 出力ピンはロー・レベルになります。GPIO_CTRL1 がセットされている場合、IO_CONTROL_1 レジスタを読み出すと、GPIO_DAT1 ビットに P1 ピンのステータスが反映されます。
21, 20	0	正常に動作させるには、このビットをロジック 0 にプログラムする必要があります。
19	GPIO_CTRL2	デジタル出力 P2 イネーブル。GPIO_CTRL2 がセットされている場合、デジタル出力 P2 がアクティブになります。GPIO_CTRL2 がクリアされている場合、このピンはアナログ入力 AIN3 として機能します。
18	GPIO_CTRL1	デジタル出力 P1 イネーブル。GPIO_CTRL1 がセットされている場合、デジタル出力 P1 がアクティブになります。GPIO_CTRL1 がクリアされている場合、このピンはアナログ入力 AIN2 として機能します。
17, 16	0	正常に動作させるには、このビットをロジック 0 にプログラムする必要があります。
15	PDSW	ブリッジ・パワーダウン・スイッチ制御ビット。このビットをセットすると、AGND へのブリッジ・パワーダウン・スイッチ PDSW が閉じます。スイッチは最大 30 mA でシンクできます。このビットをクリアすると、ブリッジ・パワーダウン・スイッチが開きます。ADC をスタンバイ・モードにすると、ブリッジ・パワーダウン・スイッチはアクティブのままになります。
14	0	正常に動作させるには、このビットをロジック 0 にプログラムする必要があります。

ビット	ビット名	説明
13:11	IOUT1	これらのビットは、IOUT1 の励起電流の値を設定します。 000 = オフ 001 = 50 μ A 010 = 100 μ A 011 = 250 μ A 100 = 500 μ A 101 = 750 μ A 110 = 1000 μ A 111 = 1000 μ A
10:8	IOUT0	これらのビットは、IOUT0 の励起電流の値を設定します。 000 = オフ 001 = 50 μ A 010 = 100 μ A 011 = 250 μ A 100 = 500 μ A 101 = 750 μ A 110 = 1000 μ A 111 = 1000 μ A
7:4	IOUT1_CH	IOUT1 の励起電流のチャンネル選択ビット 0000 = IOUT1 はAIN0 ピンで出力可能 0001 = IOUT1 はAIN1 ピンで出力可能 0010 = 予備 0011 = 予備 0100 = IOUT1 はAIN2 ピンで出力可能 0101 = IOUT1 はAIN3 ピンで出力可能 0110 = 予備 0111 = 予備 1000 = 予備 1001 = 予備 1010 = IOUT1 はAIN4 ピンで出力可能 1011 = IOUT1 はAIN5 ピンで出力可能 1100 = 予備 1101 = 予備 1110 = IOUT1 はAIN6 ピンで出力可能 1111 = IOUT1 はAIN7 ピンで出力可能
3:0	IOUT0_CH	IOUT0 の励起電流のチャンネル選択ビット 0000 = IOUT0 はAIN0 ピンで出力可能 0001 = IOUT0 はAIN1 ピンで出力可能 0010 = 予備 0011 = 予備 0100 = IOUT0 はAIN2 ピンで出力可能 0101 = IOUT0 はAIN3 ピンで出力可能 0110 = 予備 0111 = 予備 1000 = 予備 1001 = 予備 1010 = IOUT0 はAIN4 ピンで出力可能 1011 = IOUT0 はAIN5 ピンで出力可能 1100 = 予備 1101 = 予備 1110 = IOUT0 はAIN6 ピンで出力可能 1111 = IOUT0 はAIN7 ピンで出力可能

IO_CONTROL_2 レジスタ

RS[5:0] = 0, 0, 0, 1, 0, 0

パワーオン/リセット = 0x0000

表 70 に、レジスタのビット配置を示します。ビット 15 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。内部バイアス電圧は複数のチャンネルでイネーブルにできます。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VBIAS7 (0)	VBIAS6 (0)	0 (0)	0 (0)	VBIAS5 (0)	VBIAS4 (0)	0 (0)	0 (0)
0 (0)	0 (0)	VBIAS3 (0)	VBIAS2 (0)	0 (0)	0 (0)	VBIAS1 (0)	VBIAS0 (0)

表 70. IO_CONTROL_2 レジスタ・ビットの説明

ビット	ビット名	説明
15	VBIAS7	AIN7 チャンネルでバイアス電圧がイネーブルになります。セットすると、内部バイアス電圧が AIN7 に出力されます。
14	VBIAS6	AIN6 チャンネルでバイアス電圧がイネーブルになります。セットすると、内部バイアス電圧が AIN6 に出力されます。
13, 12	0	正常に動作させるには、このビットをロジック 0 にプログラムする必要があります。
11	VBIAS5	AIN5 チャンネルでバイアス電圧がイネーブルになります。セットすると、内部バイアス電圧が AIN5 に出力されます。
10	VBIAS4	AIN4 チャンネルでバイアス電圧がイネーブルになります。セットすると、内部バイアス電圧が AIN4 に出力されます。
9, 8, 7, 6	0	正常に動作させるには、このビットをロジック 0 にプログラムする必要があります。
5	VBIAS3	AIN3 チャンネルでバイアス電圧がイネーブルになります。セットすると、内部バイアス電圧が AIN3 に出力されます。
4	VBIAS2	AIN2 チャンネルでバイアス電圧がイネーブルになります。セットすると、内部バイアス電圧が AIN2 に出力されます。
3, 2	0	正常に動作させるには、このビットをロジック 0 にプログラムする必要があります。
1	VBIAS1	AIN1 チャンネルでバイアス電圧がイネーブルになります。セットすると、内部バイアス電圧が AIN1 に出力されます。
0	VBIAS0	AIN0 チャンネルでバイアス電圧がイネーブルになります。セットすると、内部バイアス電圧が AIN0 に出力されます。

ID レジスタ

RS[5:0] = 0, 0, 0, 1, 0, 1

パワーオン/リセット = 0x04 (AD7124-4)/0x06 (AD7124-4 B グレード)

AD7124-4 の識別番号がこの ID レジスタに格納されます。このレジスタは読み出し専用です。

エラー・レジスタ

RS[5:0] = 0, 0, 0, 1, 1, 0

パワーオン/リセット = 0x000000

AD7124-4 は、過電圧のチェックや SPI インターフェースのチェックなどの診断機能を備えています。エラー・レジスタには、さまざまな診断機能のフラグが含まれています。これらの機能は、ERROR_EN レジスタを使用してイネーブルまたはディスエーブルにします。

表 71 に、レジスタのビット配置を示します。ビット 23 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0 (0)				LDO_CAP_ERR (0)	ADC_CAL_ERR (0)	ADC_CONV_ERR (0)	ADC_SAT_ERR (0)
AINP_OV_ERR (0)	AINP_UV_ERR (0)	AINM_OV_ERR (0)	AINM_UV_ERR (0)	REF_DET_ERR (0)	0 (0)	DLDO_PSM_ERR (0)	0 (0)
ALDO_PSM_ERR (0)	SPI_IGNORE_ERR (0)	SPI_SCLK_CNT_ERR (0)	SPI_READ_ERR (0)	SPI_WRITE_ERR (0)	SPI_CRC_ERR (0)	MM_CRC_ERR (0)	ROM_CRC_ERR (0)

表 71. エラー・レジスタ・ビットの説明

ビット	ビット名	説明
23:20	0	正常に動作させるには、これらのビットをロジック 0 にプログラムする必要があります。
19	LDO_CAP_ERR	アナログ/デジタル LDO デカップリング・コンデンサのチェック。このフラグは、アナログ/デジタル LDO に必要なデカップリング・コンデンサが AD7124-4 に接続されていない場合にセットされます。
18	ADC_CAL_ERR	キャリブレーションのチェック。キャリブレーションが開始されたが完了しなかった場合、このフラグがセットされてキャリブレーション中にエラーが発生したことが示されます。関連するキャリブレーション・レジスタは更新されません。
17	ADC_CONV_ERR	このビットは、変換が有効であるかどうかを示します。このフラグは、変換中にエラーが発生した場合にセットされます。
16	ADC_SAT_ERR	ADC 飽和フラグ。このフラグは、変換中に変調器が飽和した場合にセットされます。
15	AINP_OV_ERR	AINP での過電圧検出。
14	AINP_UV_ERR	AINP での低電圧検出。
13	AINM_OV_ERR	AINM での過電圧検出。
12	AINM_UV_ERR	AINM での低電圧検出。
11	REF_DET_ERR	リファレンス検出。このフラグは、ADC に使用する外部リファレンスがオープン・サーキットになっているか、0.7 V 未満になっていることを示します。
10	0	正常に動作させるには、このビットをロジック 0 にプログラムする必要があります。
9	DLDO_PSM_ERR	デジタル LDO エラー。このフラグは、デジタル LDO でエラーが検出された場合にセットされます。
8	0	正常に動作させるには、このビットをロジック 0 にプログラムする必要があります。
7	ALDO_PSM_ERR	アナログ LDO エラー。このフラグは、アナログ LDO 電圧でエラーが検出された場合にセットされます。
6	SPI_IGNORE_ERR	内部レジスタの CRC チェックの実行中は、内蔵レジスタに書き込むことができません。ADC によってユーザー命令は無視されます。このビットは、レジスタの CRC チェックが実行されるとセットされます。チェックが完了すると、ビットがクリアされます。書き込み動作はチェック完了後のみに実行できます。
5	SPI_SCLK_CNT_ERR	すべてのシリアル通信は、8 ビットの整数倍です。このビットは、SCLK サイクル数が 8 の整数倍でない場合にセットされます。
4	SPI_READ_ERR	このビットは、SPI 読出し動作中にエラーが発生した場合にセットされます。
3	SPI_WRITE_ERR	このビットは、SPI 書き込み動作中にエラーが発生した場合にセットされます。
2	SPI_CRC_ERR	このビットは、シリアル通信の CRC チェックでエラーが発生した場合にセットされます。
1	MM_CRC_ERR	メモリ・マップ・エラー。レジスタに書き込みが行われるたびに、メモリ・マップで CRC 計算が実行されます。この後、内蔵レジスタで定期的な CRC チェックが実行されます。レジスタの内容が変更された場合は、MM_CRC_ERR ビットがセットされます。
0	ROM_CRC_ERR	ROM エラー。パワーアップ時に ROM の内容（デフォルトのレジスタ値を含む）に対して CRC の計算が実行されます。ROM の内容が変更された場合は、ROM_CRC_ERR ビットがセットされます。

ERROR_EN レジスタ

RS[5:0] = 0, 0, 0, 1, 1, 1

パワーオン/リセット = 0x000040

このレジスタの適切なビットをセットすることで、すべての診断機能をイネーブまたはディスエーブにできます。

表 72 に、レジスタのビット配置を示します。ビット 23 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0 (0)	MCLK_CNT_ERR_EN (0)	LDO_CAP_CHK_TEST_EN (0)	LDO_CAP_CHK (0)		ADC_CAL_ERR_EN (0)	ADC_CONV_ERR_EN (0)	ADC_SAT_ERR_EN (0)
AINP_OV_ERR_EN (0)	AINP_UV_ERR_EN (0)	AINM_OV_ERR_EN (0)	AINM_UV_ERR_EN (0)	REF_DET_ERR_EN (0)	DLDO_PSM_TRIP_TEST_EN (0)	DLDO_PSM_ERR_EN (0)	ALDO_PSM_TRIP_TEST_EN (0)
ALDO_PSM_ERR_EN (0)	SPI_IGNORE_ERR_EN (0)	SPI_SCLK_CNT_ERR_EN (0)	SPI_READ_ERR_EN (0)	SPI_WRITE_ERR_EN (0)	SPI_CRC_ERR_EN (0)	MM_CRC_ERR_EN	ROM_CRC_ERR_EN

表 72. ERROR_EN レジスタ・ビットの説明

ビット	ビット名	説明
23	0	正常に動作させるには、このビットをロジック 0 にプログラムする必要があります。
22	MCLK_CNT_EN	マスター・クロック・カウンタ。このビットがセットされている場合、マスター・クロック・カウンタがイネーブルになり、MCLK_COUNT レジスタ経由で結果が報告されます。カウンタは、ADC で使用するマスター・クロックを監視します。外部クロックがクロック源の場合、MCLK カウンタはこの外部クロックを監視します。同様に、ADC に対するクロック源として内部発振器を選択した場合、MCLK カウンタは内部発振器を監視します。
21	LDO_CAP_CHK_TEST_EN	アナログ/デジタル LDO デカップリング・コンデンサ・チェックのテスト。このビットがセットされた場合、デカップリング・コンデンサは内部で LDO から切断され、故障状態になります。これにより、アナログ/デジタル LDO デカップリング・コンデンサのチェックに使用する回路をテストできます。
20:19	LDO_CAP_CHK	アナログ/デジタル LDO デカップリング・コンデンサのチェック。これらのビットにより、コンデンサのチェックがイネーブルになります。チェックがイネーブルになると、ADC は選択した電源に外部のデカップリング・コンデンサが存在するかどうかチェックします。チェックが完了すると、LDO_CAP_CHK ビットが両方とも 0 にリセットされます。 00=チェックはディスエーブル。 01=アナログ LDO コンデンサをチェック。 10=デジタル LDO コンデンサをチェック。 11=チェックはディスエーブル。
18	ADC_CAL_ERR_EN	このビットがセットされている場合、キャリブレーション・エラーのチェックがイネーブルになります。
17	ADC_CONV_ERR_EN	このビットがセットされている場合、変換が監視され、変換中にエラーが発生した場合に ADC_CONV_ERR ビットがセットされます。
16	ADC_SAT_ERR_EN	このビットがセットされている場合、ADC 変調器の飽和チェックがイネーブルになります。
15	AINP_OV_ERR_EN	このビットがセットされている場合、イネーブルになっているすべての AINP チャンネルで、過電圧モニタがイネーブルになります。
14	AINP_UV_ERR_EN	このビットがセットされている場合、イネーブルになっているすべての AINP チャンネルで、低電圧モニタがイネーブルになります。
13	AINM_OV_ERR_EN	このビットがセットされている場合、イネーブルになっているすべての AINM チャンネルで、過電圧モニタがイネーブルになります。
12	AINM_UV_ERR_EN	このビットがセットされている場合、イネーブルになっているすべての AINM チャンネルで、低電圧モニタがイネーブルになります。
11	REF_DET_ERR_EN	このビットがセットされている場合、ADC で使用するすべての外部リファレンスが連続的に監視されます。外部リファレンスがオープン・サーキットになっているか、値が 0.7 V 未満の場合は、エラーのフラグが立ちます。
10	DLDO_PSM_TRIP_TEST_EN	デジタル LDO を監視するテスト・メカニズムをチェックします。このビットがセットされている場合、テスト回路への入力は LDO 出力ではなく、DGND に接続されます。エラー・レジスタの DLDO_PSM_ERR ビットがセットされます。
9	DLDO_PSM_ERR_ERR	このビットがセットされている場合、デジタル LDO 電圧が連続的に監視されます。デジタル LDO から出力される電圧が仕様範囲外の場合は、エラー・レジスタの DLDO_PSM_ERR ビットがセットされます。
8	ALDO_PSM_TRIP_TEST_EN	アナログ LDO を監視するテスト・メカニズムをチェックします。このビットがセットされている場合、テスト回路への入力は LDO 出力ではなく、AVss に接続されます。エラー・レジスタの ALDO_PSM_ERR ビットがセットされます。
7	ALDO_PSM_ERR_EN	このビットがセットされている場合、アナログ LDO 電圧が連続的に監視されます。アナログ LDO から出力される電圧が仕様範囲外の場合は、エラー・レジスタの ALDO_PSM_ERR ビットがセットされます。
6	SPI_IGNORE_ERR_EN	内部レジスタの CRC チェックの実行中は、内蔵レジスタにアクセスできません。ADC によってユーザー書き込み命令は無視されます。エラー・レジスタの SPI_IGNORE_ERR ビットが、書き込み動作を実行してはいけないことを通知するには、このビットをセットします。
5	SPI_SCLK_CNT_ERR_EN	このビットがセットされている場合、SCLK カウンタはイネーブルになります。ADC へのすべての読出し/書き込み動作は、8 ビットの整数倍です。すべてのシリアル接続で、SCLK カウンタは SCLK パルスの数をカウントします。CS を使用して、各読出し/書き込み動作をフレームする必要があります。通信中に使用された SCLK パルスの数が 8 の整数倍でない場合は、エラー・レジスタの SPI_SCLK_CNT_ERR ビットがセットされます。例えば、読出し動作または書き込み動作中に SCLK ピンで発生したグリッチが SCLK パルスとして解釈されることがあります。この場合、検出された SCLK パルスの数が多すぎるため、SPI_SCLK_CNT_ERR ビットがセットされます。CSSCLK カウンタ機能を使用する場合は、ADC_CONTROL レジスタの EN を 1 にセットする必要があります。
4	SPI_READ_ERR_EN	このビットがセットされている場合、読出し動作中にエラーが発生すると、エラー・レジスタの SPI_READ_ERR ビットがセットされます。ユーザーが無効なアドレスから読み出そうとすると、エラーが発生します。SPI 読出しチェック機能を使用する場合は、ADC_CONTROL レジスタの CS_EN を 1 にセットする必要があります。
3	SPI_WRITE_ERR_EN	このビットがセットされている場合、書き込み動作中にエラーが発生すると、エラー・レジスタの SPI_WRITE_ERR ビットがセットされます。ユーザーが無効なアドレスまたは読出し専用レジスタに書き込もうとすると、エラーが発生します。CSSPI 書き込みチェック機能を使用する場合は、ADC_CONTROL レジスタの CS_EN を 1 にセットする必要があります。

ビット	ビット名	説明
2	SPI_CRC_ERR_EN	このビットにより、すべての読出し/書き込み動作のCRCチェックがイネーブルになります。CRCチェックでエラーが発生した場合、エラー・レジスタのSPI_CRC_ERRビットがセットされます。さらに、AD7124-4から読み出したすべてのデータに8ビットCRCワードが付加されます。
1	MM_CRC_ERR_EN	このビットがセットされている場合、レジスタに書き込みが行われるたびに、メモリ・マップでCRC計算が実行されます。この後、内蔵レジスタで定期的なCRCチェックが実行されます。レジスタの内容が変更された場合は、MM_CRC_ERRビットがセットされます。
0	ROM_CRC_ERR_EN	このビットがセットされている場合、パワーオン時にROMの内容に対してCRCの計算が実行されます。ROMの内容が変更された場合は、ROM_CRC_ERRビットがセットされます。

MCLK_COUNT レジスタ

RS[5:0] = 0, 0, 1, 0, 0, 0

パワーオン/リセット = 0x00

このレジスタを使用して、マスター・クロック周波数をモニタできます。

表 73 に、レジスタのビット配置を示します。ビット 7 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MCLK_COUNT (0)							

表 73. MCLK_COUNT レジスタ・ビットの説明

ビット	ビット名	説明
7:0	MCLK_COUNT	このレジスタにより、内部/外部発振器の周波数を判断できます。クロック・カウンタはサンプリング・クロックの131パルスごとに内部でインクリメントされます(通常消費電力モードでは614.4 kHz、中消費電力モードでは153.6 kHz、低消費電力モードでは768 kHz)。8ビット・カウンタは、最大値に到達した後にラップ・アラウンドします。カウンタ出力は、このレジスタを介してリードバックされます。レジスタのインクリメントはレジスタの読出しに同期しないことに留意してください。レジスタの読出しとレジスタのインクリメントが同時に発生すると、無効な値を読み出す可能性があります。これを防ぐために、1回ではなく4回レジスタを読み出し、後でそのレジスタを再び4回読み出します。4つの値を読み出すことで、タイミング瞬間の始めと終わりの正確なレジスタ値を特定することができます。

チャンネル・レジスタ

RS[5:0] = 0, 0, 1, 0, 0, 1 to 0, 1, 1, 0, 0, 0

パワーオン/リセット = 0x8001 (CHANNEL_0)、0x0001 (その他のすべてのチャンネル・レジスタ)

AD7124-4 は、CHANNEL_0 ~ CHANNEL_15 の 16 個のチャンネル・レジスタを備えています。チャンネル・レジスタは、アドレス 0x09 (CHANNEL_0) から開始し、アドレス 0x18 (CHANNEL_15) で終了します。各レジスタを介して、チャンネルを設定したり (AINP 入力および AINM 入力)、チャンネルをイネーブルまたはディスエーブルにしたり、セットアップを選択したりできます。セットアップは、ユーザーが定義した 8 個の異なるオプションから選択できます。ADC は、変換時にイネーブルされたすべてのチャンネルを自動的に循環します。これにより、必要に応じて、シーケンス内で複数のチャンネルを複数回サンプリングできます。さらに、シーケンスに診断機能を追加できるようになります。

表 74 に、レジスタのビット配置を示します。ビット 15 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Enable (1)	Setup (0)			0 (0)		AINP[4:3](00)	
AINP[2:0](000)				AINM[4:0](00001)			

表 74. チャンネル・レジスタ・ビットの説明

ビット	ビット名	説明
15	Enable	チャンネル・イネーブル・ビットこのビットをセットすると、変換シーケンスのデバイス・チャンネルがイネーブルになります。デフォルトでは、チャンネル 0 のイネーブル・ビットのみがセットされます。変換は、最も番号が小さいイネーブルにされたチャンネルから開始され、チャンネル番号順に連続的に実行された後、最も番号が小さいチャンネルにラップ・アラウンドします。 ADC が特定のチャンネルの結果を書き込むと、ステータス・レジスタの 4 つの LSB がチャンネル番号 0 ~ 15 にセットされます。これにより、データに対応するチャンネルを特定できます。ADC_CONTROL レジスタの DATA_STATUS ビットがセットされている場合、ステータス・レジスタを読み出すと、その内容が各変換結果に付加されます。この機能は、複数のチャンネルがイネーブルに設定され、読み出した変換値に対応するチャンネルを判断する場合に使用します。

ビット	ビット名	説明
14:12	Setup	セットアップの選択。これらのビットは、このチャンネル用の ADC の設定に使用するセットアップ(8 個のセットアップのいずれか)を特定します。セットアップは、アナログ設定、出力データ・レート/フィルタ選択、オフセット・レジスタ、およびゲイン・レジスタの 4 つのレジスタで構成されています。すべてのチャンネルが同じセットアップを使用できます。この場合、すべてのアクティブ・チャンネルのこれらのビットに同じ 3 ビット値を書き込む必要があります。あるいは、最大 8 つのチャンネルを異なる構成にすることもできます。
11:10	0	正常に動作させるには、これらのビットをロジック 0 にプログラムする必要があります。
9:5	AINP[4:0]	<p>正のアナログ入力 AINP 入力の選択。これらのビットは、このチャンネルの正入力に接続されるアナログ入力を選択します。</p> <p>00000 = AIN0(デフォルト) 00001 = AIN1 00010 = AIN2 00011 = AIN3 00100 = AIN4 00101 = AIN5 00110 = AIN6 00111 = AIN7 01000 to 01111 = 予備 10000 = 温度センサー 10001 = AV_{SS} 10010 = 内部リファレンス 10011 = DGND</p> <p>10100 = (AV_{DD} - AV_{SS})/6+。 (AV_{DD} - AV_{SS})/6- と組み合わせて使用し、電源 AV_{DD} - AV_{SS} を監視。 10101 = (AV_{DD} - AV_{SS})/6-。 (AV_{DD} - AV_{SS})/6+ と組み合わせて使用し、電源 AV_{DD} - AV_{SS} を監視。 10110 = (IOV_{DD} - DGND)/6+。 (IOV_{DD} - DGND)/6- と組み合わせて使用し、IOV_{DD} - DGND を監視。 10111 = (IOV_{DD} - DGND)/6-。 (IOV_{DD} - DGND)/6+ と組み合わせて使用し、IOV_{DD} - DGND を監視。 11000 = (ALDO - AV_{SS})/6+。 (ALDO - AV_{SS})/6- と組み合わせて使用し、アナログ LDO を監視。 11001 = (ALDO - AV_{SS})/6-。 (ALDO - AV_{SS})/6+ と組み合わせて使用し、アナログ LDO を監視。 11010 = (DLDO - DGND)/6+。 (DLDO - DGND)/6- と組み合わせて使用し、デジタル LDO を監視。 11011 = (DLDO - DGND)/6-。 (DLDO - DGND)/6+ と組み合わせて使用し、デジタル LDO を監視。 11100 = V_{20MV_P}。 V_{20MV_M} と組み合わせて使用し、20 mV p-p 信号を ADC に入力。 11101 = V_{20MV_M}。 V_{20MV_P} と組み合わせて使用し、20 mV p-p 信号を ADC に入力。 11110 = 予備 11111 = 予備</p>
4:0	AINM[4:0]	<p>負のアナログ入力 AINM 入力の選択。これらのビットは、このチャンネルの負入力に接続されるアナログ入力を選択します。</p> <p>00000 = AIN0 00001 = AIN1(デフォルト) 00010 = AIN2 00011 = AIN3 00100 = AIN4 00101 = AIN5 00110 = AIN6 00111 = AIN7 01000 ~ 01111 = 予備 10000 = 温度センサー 10001 = AV_{SS} 10010 = 内部リファレンス 10011 = DGND</p> <p>10100 = (AV_{DD} - AV_{SS})/6+。 (AV_{DD} - AV_{SS})/6- と組み合わせて使用し、電源 AV_{DD} - AV_{SS} を監視。 10101 = (AV_{DD} - AV_{SS})/6-。 (AV_{DD} - AV_{SS})/6+ と組み合わせて使用し、電源 AV_{DD} - AV_{SS} を監視。 10110 = (IOV_{DD} - DGND)/6+。 (IOV_{DD} - DGND)/6- と組み合わせて使用し、IOV_{DD} - DGND を監視。 10111 = (IOV_{DD} - DGND)/6-。 (IOV_{DD} - DGND)/6+ と組み合わせて使用し、IOV_{DD} - DGND を監視。 11000 = (ALDO - AV_{SS})/6+。 (ALDO - AV_{SS})/6- と組み合わせて使用し、アナログ LDO を監視。 11001 = (ALDO - AV_{SS})/6-。 (ALDO - AV_{SS})/6+ と組み合わせて使用し、アナログ LDO を監視。 11010 = (DLDO - DGND)/6+。 (DLDO - DGND)/6- と組み合わせて使用し、デジタル LDO を監視。</p>

ビット	ビット名	説明
		11011 = (DLDO - DGND)/6-, (DLDO - DGND)/6+ と組み合わせて使用し、デジタル LDO を監視。 11100 = V_20MV_P, V_20MV_M と組み合わせて使用し、20 mV p-p 信号を ADC に入力。 11101 = V_20MV_M, V_20MV_P と組み合わせて使用し、20 mV p-p 信号を ADC に入力。 11110 = 予備 11111 = 予備

設定レジスタ

RS[5:0] = 0, 1, 1, 0, 0, 1 to 1, 0, 0, 0, 0, 0

パワーオン/リセット = 0x0860

AD7124-4 には、CONFIG_0 ~ CONFIG_7 の 8 個の設定レジスタがあります。各設定レジスタはセットアップに関連付けられていて、CONFIG_x は Setup x に関連付けられています。設定レジスタで、リファレンス源、極性、リファレンス・バッファを設定します。

表 75 に、レジスタのビット配置を示します。ビット 15 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0 (0)				Bipolar (1)	Burnout (0)		REF_BUFPM (0)
REF_BUFPM (0)	AIN_BUFPM (1)	AIN_BUFPM (1)	REF_SEL (0)		PGA (0)		

表 75. 設定レジスタ・ビットの説明

ビット	ビット名	説明
15:12	0	正常に動作させるには、これらのビットをロジック 0 にプログラムする必要があります。
11	Bipolar	極性選択ビット。このビットがセットされている場合、バイポーラ動作が選択されます。このビットがクリアされている場合、ユニポーラ動作が選択されます。
10:9	Burnout	これらのビットでは、センサー・バーンアウト検出の電流源の大きさを選択します。 00 = バーンアウト電流源オフ (デフォルト) 01 = バーンアウト電流源オン、0.5 μ A 10 = バーンアウト電流源オン、2 μ A 11 = バーンアウト電流源オン、4 μ A
8	REF_BUFPM	REFINx (+) のバッファをイネーブル。このビットがセットされている場合、正のリファレンス入力(内部または外部)はバッファありに設定されます。このビットがクリアされている場合、正のリファレンス入力(内部または外部)はバッファなしに設定されます。
7	REF_BUFMM	REFINx (-) のバッファをイネーブル。このビットがセットされている場合、負のリファレンス入力(内部または外部)はバッファありに設定されます。このビットがクリアされている場合、負のリファレンス入力(内部または外部)はバッファなしに設定されます。
6	AIN_BUFPM	AINP のバッファをイネーブル。このビットがセットされている場合、選択した正のアナログ入力ピンはバッファありに設定されます。このビットがクリアされている場合、選択した正のアナログ入力ピンはバッファなしに設定されます。
5	AIN_BUFMM	AINM のバッファをイネーブル。このビットがセットされている場合、選択した負のアナログ入力ピンはバッファありに設定されます。このビットがクリアされている場合、選択した負のアナログ入力ピンはバッファなしに設定されます。
4:3	REF_SEL	リファレンス・ソース選択ビット。これらのビットでは、この設定レジスタを使用して、チャンネルで変換を実行する際に使用するリファレンス・ソースを選択します。 00 = REFIN1(+)/REFIN1(-) 01 = REFIN2(+)/REFIN2(-) 10 = 内部リファレンス 11 = AV _{DD}
2:0	PGA	ゲイン選択ビット。これらのビットでは、この設定レジスタを使用して、チャンネルで変換を実行する際に使用するゲインを選択します。
	PGA	ゲイン
	000	1
	001	2
	010	4
	011	8
	100	16
	101	32
	110	64
	111	128
		V _{REF} = 2.5 V (バイポーラ・モード) の場合の入力レンジ
		±2.5 V
		±1.25 V
		±625 mV
		±312.5 mV
		±156.25 mV
		±78.125 mV
		±39.06 mV
		±19.53 mV

フィルタ・レジスタ

RS[5:0] = 1, 0, 0, 0, 0, 1 to 1, 0, 1, 0, 0, 0

パワーオン/リセット = 0x060180

AD7124-4には、FILTER_0～FILTER_7の8個のフィルタ・レジスタがあります。各フィルタ・レジスタはセットアップに関連付けられており、FILTER_xはSetup_xに関連付けられています。フィルタ・レジスタで、フィルタ・タイプと出力ワード・レートを設定します。

表 76 に、レジスタのビット配置を示します。ビット 15 がデータ・ストリームの最初のビットです。括弧内の値は、ビットのパワーオン/リセット時のデフォルト・ステータスを示しています。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Filter (0)			REJ60 (0)	POST_FILTER (0)		SINGLE_CYCLE (0)	
0 (0)				FS[10:8] (0)			
FS[7:0] (0)							

表 76. フィルタ・レジスタ・ビットの説明

ビット	ビット名	説明																											
23:21	Filter	<p>フィルタ・タイプの選択ビット。これらのビットでは、フィルタ・タイプを選択します。</p> <p>000 = sinc⁴フィルタ(デフォルト)</p> <p>001 = 予備</p> <p>010 = sinc³フィルタ</p> <p>011 = 予備</p> <p>100 = sinc⁴フィルタを使用した高速セトリング・フィルタ。sinc⁴フィルタの後に平均化ブロックが続くので、セトリング・タイムが変換時間と等しくなります。通常消費電力モードおよび中消費電力モードでは 16 で平均化が行われ、低消費電力モードでは 8 で平均化が行われます。</p> <p>101 = sinc³フィルタを使用した高速セトリング・フィルタ。sinc³フィルタの後に平均化ブロックが続くので、セトリング・タイムが変換時間と等しくなります。通常消費電力モードおよび中消費電力モードでは 16 で平均化が行われ、低消費電力モードでは 8 で平均化が行われます。</p> <p>110 = 予備</p> <p>111 = ポスト・フィルタをイネーブル。AD7124-4 は、いくつかのポスト・フィルタを備えており、POST_FILTER ビットを使用して選択できます。ポスト・フィルタには、単純な sinc³/sinc⁴ フィルタよりもセトリング・タイムが大幅に優れたシングル・サイクル・セトリングがあります。これらのフィルタは、優れた 50 Hz と 60 Hz の除去比を実現します。</p>																											
20	REJ60	このビットがセットされている場合、Sinc フィルタの 1 次ノッチが 50 Hz に配置されると、このフィルタの 1 次ノッチが 60 Hz に配置されます。これにより、50 Hz と 60 Hz の同時除去が実現します。																											
19:17	POST_FILTER	<p>ポスト・フィルタのタイプ選択ビット。このフィルタ・ビットを 1 にセットすると、sinc³ フィルタの後に、ほぼゼロ遅延の出力データ・レートで優れた 50 Hz と 60 Hz の除去を実現するポスト・フィルタが続きます。</p> <table border="1"> <thead> <tr> <th>POST_FILTER</th> <th>出力データ・レート (SPS)</th> <th>50 Hz および 60 Hz ± 1 Hz (dB) での除去</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>予備</td> <td>該当せず</td> </tr> <tr> <td>001</td> <td>予備</td> <td>該当せず</td> </tr> <tr> <td>010</td> <td>27.27</td> <td>47</td> </tr> <tr> <td>011</td> <td>25</td> <td>62</td> </tr> <tr> <td>100</td> <td>予備</td> <td>該当せず</td> </tr> <tr> <td>101</td> <td>20</td> <td>86</td> </tr> <tr> <td>110</td> <td>16.7</td> <td>92</td> </tr> <tr> <td>111</td> <td>予備</td> <td>該当せず</td> </tr> </tbody> </table>	POST_FILTER	出力データ・レート (SPS)	50 Hz および 60 Hz ± 1 Hz (dB) での除去	000	予備	該当せず	001	予備	該当せず	010	27.27	47	011	25	62	100	予備	該当せず	101	20	86	110	16.7	92	111	予備	該当せず
POST_FILTER	出力データ・レート (SPS)	50 Hz および 60 Hz ± 1 Hz (dB) での除去																											
000	予備	該当せず																											
001	予備	該当せず																											
010	27.27	47																											
011	25	62																											
100	予備	該当せず																											
101	20	86																											
110	16.7	92																											
111	予備	該当せず																											
16	SINGLE_CYCLE	シングル・サイクル変換のイネーブル・ビット。このビットがセットされている場合、AD7124-4 は、ゼロ遅延 ADC として機能するように 1 回の変換サイクルでセトリングされます。複数のアナログ入力チャンネルがイネーブルになっている場合、またはシングル変換モードを選択した場合、このビットの設定は無視されます。高速フィルタを使用した場合、このビットの設定は無視されます。																											
15:11	0	正常に動作させるには、これらのビットをロジック 0 にプログラムする必要があります。																											
10:0	FS[10:0]	フィルタ出力データ・レートの選択ビット。これらのビットは、sinc ³ や sinc ⁴ フィルタだけでなく、高速セトリング・フィルタの出力データ・レートを設定します。さらに、フィルタの最初のノッチの位置とカットオフ周波数に影響を与えます。ゲインの選択に関連して、これらのビットは出力ノイズ、つまりデバイスの実効分解能も決定します(ノイズの表を参照)。FS には、1～2047 の値を指定できます。																											

オフセット・レジスタ

RS[5:0] = 1, 0, 1, 0, 0, 1 to 1, 1, 0, 0, 0, 0
パワーオン/リセット = 0x800000

AD7124-4 には、OFFSET_0 ~ OFFSET_7 の 8 個のオフセット・レジスタがあります。各オフセット・レジスタはセットアップに関連付けられており、OFFSET_x は Setup x に関連付けられています。オフセット・レジスタは 24 ビット・レジスタで、ADC のオフセット・キャリブレーション係数を保持し、パワーオン・リセット値は 0x800000 です。これらのレジスタは、リード/ライト・レジスタです。これらのレジスタは、関連するゲイン・レジスタと組み合わせて使用し、レジスタ・ペアを形成します。ユーザーによって内部またはシステム・ゼロスケール・キャリブレーションが開始された場合、パワーオン・リセット値は自動的に上書きされます。オフセット・レジスタに書き込む場合は、ADC をスタンバイ・モードまたはアイドル・モードにする必要があります。

ゲイン・レジスタ

RS[5:0] = 1, 1, 0, 0, 0, 1 to 1, 1, 1, 0, 0, 0
パワーオン/リセット = 0x5XXXXX

AD7124-4 には、GAIN_0 ~ GAIN_7 の 8 個のゲイン・レジスタがあります。各ゲイン・レジスタはセットアップに関連付けられており、GAIN_x は Setup x に関連付けられています。ゲイン・レジスタは 24 ビット・レジスタで、ADC のフルスケール・キャリブレーション係数を保持します。AD7124-4 は、出荷時にゲイン 1 でキャリブレーションされています。パワーオン時およびリセット後には、出荷時に生成されたこの値がゲイン・レジスタに含まれます。ゲイン・レジスタはリード/ライト・レジスタです。ただし、レジスタに書き込む場合、ADC をスタンバイ・モードまたはアイドル・モードにする必要があります。ユーザーによって内部またはシステム・フルスケール・キャリブレーションが開始された場合、またはフルスケール・レジスタに書き込みが行われた場合は、デフォルト値が自動的に上書きされます。

外形寸法

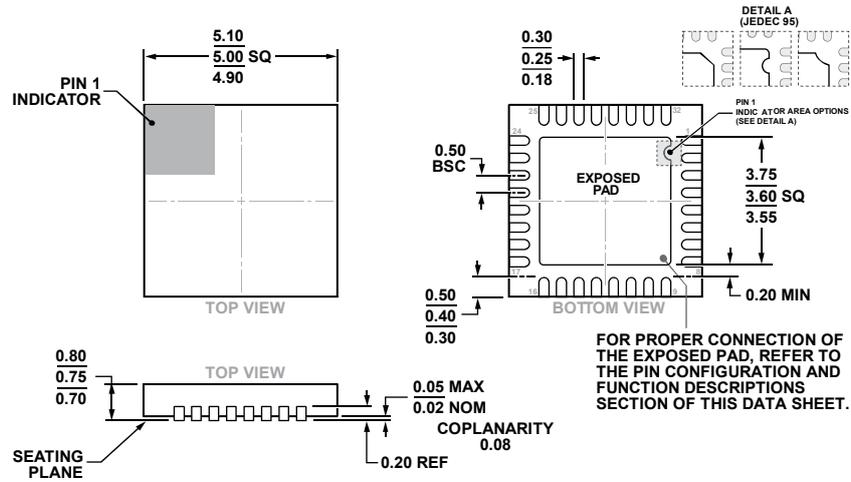
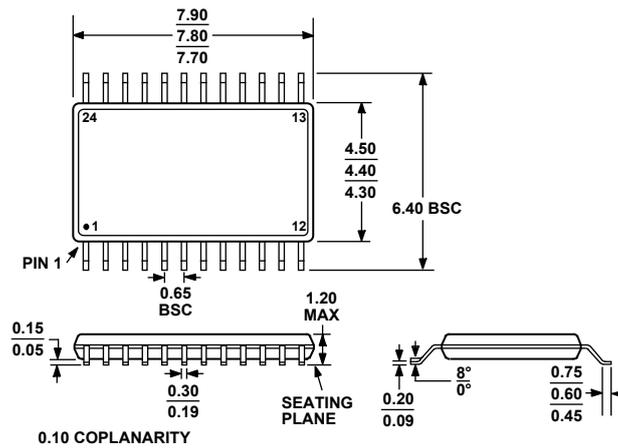


FIGURE 133

10-20-2017-C

COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5

図 133. 32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSOP]
5 mm × 5 mm ボディ、0.75 mm パッケージ高
(CP-32-12)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AD

図 134. 24 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
(RU-24)
寸法: mm

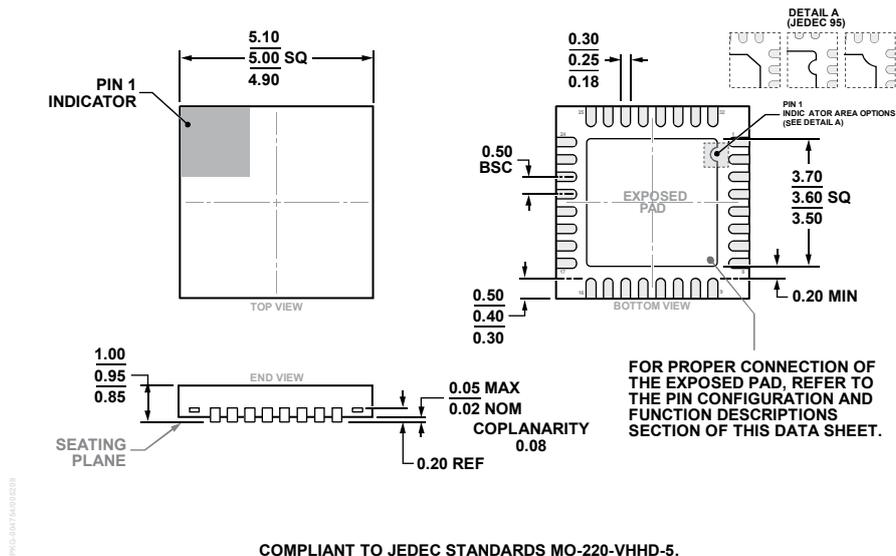


図 135. 32 ピンのリード・フレーム・チップ・スケール・パッケージ[LFCSP]
 5 mm × 5 mm ボディ、0.95 mm パッケージ高
 (CP-32-30)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7124-4BCPZ	-40°C to +125°C	32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP]	CP-32-12
AD7124-4BCPZ-RL	-40°C to +125°C	32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP]	CP-32-12
AD7124-4BCPZ-RL7	-40°C to +125°C	32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP]	CP-32-12
AD7124-4BBCPZ	-40°C to +125°C	32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP]	CP-32-30
AD7124-4BBCPZ-RL	-40°C to +125°C	32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP]	CP-32-30
AD7124-4BBCPZ-RL7	-40°C to +125°C	32 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP]	CP-32-30
AD7124-4BRUZ	-40°C to +125°C	24 ピンの薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]	RU-24
AD7124-4BRUZ-RL	-40°C to +125°C	24 ピンの薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]	RU-24
AD7124-4BRUZ-RL7	-40°C to +125°C	24 ピンの薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]	RU-24
EVAL-AD7124-4SDZ		Evaluation Board	
EVAL-SDP-CB1Z		Evaluation Controller Board	

¹ Z = RoHS 準拠製品