



8ピン LFCSP 収容の 1MSPS 超低消費電力 12ビット ADC

データシート

AD7091

特長

- 高速スループット・レート：1MSPS
- $V_{DD} = 2.09V \sim 5.25V$ で仕様規定
- INL： $\pm 1LSB$ (最大)
- アナログ入力範囲： $0V \sim V_{DD}$
- 超低消費電力：
 - 3V、1MSPS で $367\mu A$ (代表値)
 - 3V、パワーダウン・モードで $324nA$ (代表値)
- V_{DD} によるリファレンスの供給
- 柔軟な消費電力/スループット・レート管理
- 高速シリアル・インターフェース：
 - SPI®/QSPI™/MICROWIRE®/DSP 互換
- BUSY インジケータ
- パワーダウン・モード
- 8ピン、2mm × 2mm LFCSP パッケージ
- 温度範囲： $-40^{\circ}C \sim +125^{\circ}C$

アプリケーション

- バッテリー駆動のシステム
 - ハンドヘルド計測器
 - 医療用計測器
 - モバイル通信
- 計測器および制御システム
- データ・アキュイジション・システム
- 光センサー
- 診断/モニタリング機能
- エネルギー・ハーベスト

概要

AD7091は、12ビットの逐次比較型A/Dコンバータ (SAR ADC) で、超低消費電力 (3V、1MSPSで $367\mu A$ (代表値)) であると同時に高速スループット・レート (50MHz SCLKで1MSPS) を実現します。このデバイスは $2.09V \sim 5.25V$ の単電源で動作します。また、変換クロックと高速シリアル・インターフェースを内蔵しています。

変換プロセスとデータ・アキュイジションは、 \overline{CONVST} 信号と内蔵発振器を使って制御されます。AD7091は、変換後にデータの読出しを可能にすると同時に1MSPSのスループット・レートを實現するシリアル・インターフェースを内蔵しています。また、高度な設計技術と製造プロセス技術を使って、高いスループット・レートで非常に小さい消費電力を達成しています。

Rev. B

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

機能ブロック図

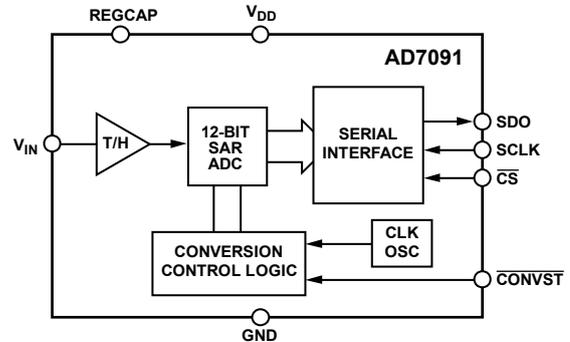


図 1.

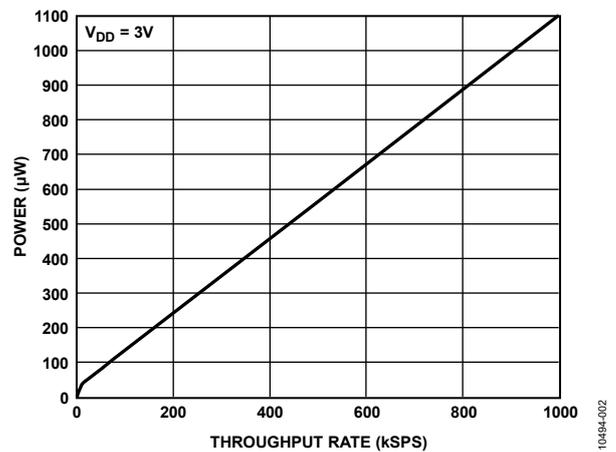


図 2. 消費電力とスループット・レートの関係

リファレンスは、内部で V_{DD} から供給されます。この設計ではADCに対して最大のダイナミック入力範囲が可能となっており、AD7091のアナログ入力範囲は $0V \sim V_{DD}$ です。

製品のハイライト

- 最小消費電力の12ビットSAR ADCを提供。
- 超低消費電力で高いスループット・レート。
- 柔軟な消費電力/スループット・レート管理。
スループット・レートに比例した平均消費電力。パワーダウン・モードにより、デバイスが変換を行っていないときは平均消費電力を軽減可能。
- リファレンス電圧は電源から供給。
- 単電源動作。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	コンバータの動作	10
アプリケーション	1	ADC の伝達関数	10
機能ブロック図	1	代表的な接続図	11
概要	1	アナログ入力	11
製品のハイライト	1	動作モード	12
改訂履歴	2	消費電力	13
仕様	3	マルチプレクサ・アプリケーション	14
タイミング仕様	4	シリアル・インターフェース	15
絶対最大定格	5	BUSY インジケータ・イネーブル	15
熱抵抗	5	BUSY インジケータ・ディスエーブル	16
ESD に関する注意	5	ソフトウェア・リセット	17
ピン配置およびピン機能の説明	6	8/16 ビット SPI バスとのインターフェース	17
代表的な性能特性	7	外形寸法	18
用語の定義	9	オーダー・ガイド	18
動作原理	10		
回路説明	10		

改訂履歴

3/15—Rev. A to Rev. B

Changes to Typical Connection Diagram Section	11
Changes to Busy Indicator Enabled Section	15

6/13—Rev. 0 to Rev. A

Changes to Figure 22	13
Added Multiplexer Applications Section	14
Updated Outline Dimensions	18

10/12—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = 2.09V \sim 5.25V$ 、 $f_{SAMPLE} = 1MSPS$ 、 $f_{SCLK} = 50MHz$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE¹					
Signal-to-Noise Ratio (SNR) ²	$f_{IN} = 10 \text{ kHz sine wave}$ $V_{DD} < 2.7 \text{ V}$		68		dB
	$V_{DD} \geq 2.7 \text{ V}$	67	69		dB
Signal-to-Noise-and-Distortion Ratio (SINAD) ²		66.3	68		dB
Total Harmonic Distortion (THD) ²			-86	-74	dB
Spurious-Free Dynamic Range (SFDR) ²			-85	-75	dB
Aperture Delay ²			5		ns
Aperture Jitter ²			40		ps
Full Power Bandwidth ²	At -3 dB		1.5		MHz
	At -0.1 dB		1.2		MHz
DC ACCURACY					
Resolution		12			Bits
Integral Nonlinearity (INL) ²			± 0.6	± 1	LSB
Differential Nonlinearity (DNL) ²	Guaranteed no missing codes to 12 bits		± 0.3	± 0.9	LSB
Offset Error ²		-8.5	± 0.7	+5	LSB
Gain Error ²			± 1.2	± 4	LSB
Total Unadjusted Error (TUE) ²			1.1		LSB
ANALOG INPUT					
Input Voltage Range		0		V_{DD}	V
DC Leakage Current				± 1	μA
Input Capacitance ³	During acquisition phase		7		pF
	Outside acquisition phase		1		pF
LOGIC INPUTS					
Input High Voltage (V_{INH})		$0.7 \times V_{DD}$			V
Input Low Voltage (V_{INL})				$0.3 \times V_{DD}$	V
Input Current (I_{IN})	Typically 10 nA, $V_{IN} = 0 \text{ V}$ or V_{DD}			± 1	μA
Input Capacitance (C_{IN}) ³				5	pF
LOGIC OUTPUTS					
Output High Voltage (V_{OH})	$I_{SOURCE} = 200 \mu A$	$V_{DD} - 0.2$			V
Output Low Voltage (V_{OL})	$I_{SINK} = 200 \mu A$			0.4	V
Floating State Leakage Current				± 1	μA
Floating State Output Capacitance ³				5	pF
Output Coding			Straight binary		
CONVERSION RATE					
Conversion Time				650	ns
Track-and-Hold Acquisition Time ^{2,3}	Full-scale step input			350	ns
Throughput Rate				1	MSPS
POWER REQUIREMENTS					
V_{DD}		2.09		5.25	V
I_{DD}	$V_{IN} = 0 \text{ V}$				
Normal Mode—Static ⁴	$V_{DD} = 5.25 \text{ V}$		9.3	27	μA
	$V_{DD} = 3 \text{ V}$		9.1	28	μA
Normal Mode—Operational	$V_{DD} = 5.25 \text{ V}$, $f_{SAMPLE} = 1 \text{ MSPS}$		450	554	μA
	$V_{DD} = 3 \text{ V}$, $f_{SAMPLE} = 1 \text{ MSPS}$		367	442	μA
Power-Down Mode	$V_{DD} = 3 \text{ V}$, $f_{SAMPLE} = 100 \text{ kSPS}$		45		μA
	$V_{DD} = 5.25 \text{ V}$		0.374	8.2	μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Power Dissipation Normal Mode—Static ⁴	V _{DD} = 3 V		0.324	8	μA
	V _{DD} = 3 V, T _A = -40°C to +85°C		0.324	1.8	μA
Normal Mode—Operational	V _{IN} = 0 V				
	V _{DD} = 5.25 V		50	142	μW
Power-Down Mode	V _{DD} = 3 V		27	84	μW
	V _{DD} = 5.25 V, f _{SAMPLE} = 1 MSPS		2.4	3	mW
Power-Down Mode	V _{DD} = 3 V, f _{SAMPLE} = 1 MSPS		1.1	1.4	mW
	V _{DD} = 5.25 V		2	44	μW
	V _{DD} = 3 V		1	24	μW

¹ 動的性能は、SCLK がバースト・モードで動作している場合に得られる値です。アクイジション・フェーズ時に SCLK を自走クロックとして動作させると、動的性能は低下します。

² 用語の定義のセクションを参照してください。

³ 初期リリース時のサンプル・テストにより、適合性が確保されています。

⁴ SCLK はバースト・モードで動作し、 $\overline{\text{CS}}$ はハイでアイドルリング中です。SCLK が自走クロックとして動作し、 $\overline{\text{CS}}$ がローにプルダウンされている場合、I_{DD} の静的電流は V_{DD} = 5.25V (代表値) で 60μA まで増加します。

タイミング仕様

特に指定のない限り、V_{DD} = 2.09V~5.25V、T_A = -40°C~+125°C。信号は、出力ピンに 12pF の負荷容量を接続し、10%~90%の V_{DD} で仕様規定されています。¹

表 2.

パラメータ	T _{MIN} 、T _{MAX} でのリミット	単位	説明
f _{SCLK}	50	MHz max	シリアル読出しクロックの周波数
t ₁	8	ns max	変換終了から SDO がスリーステート状態から抜け出すまでの遅延時間
t ₂	7	ns max	SCLK の立下がりエッジ発生後のデータ・アクセス時間
t ₃	0.4 t _{SCLK}	ns min	SCLK ハイ・パルス幅
t ₄	3	ns min	SCLK からデータまでの有効ホールド時間
t ₅	0.4 t _{SCLK}	ns min	SCLK ロー・パルス幅
t ₆	15	ns max	SCLK 立下がりエッジからの SDO 高インピーダンスまでの時間
t ₇	10	ns min	CONVSTパルス幅
t ₈	650	ns max	変換時間
t ₉	6	ns min	変換終了までの $\overline{\text{CS}}$ ロー時間
t ₁₀	18	ns max	$\overline{\text{CS}}$ 立下がりエッジから SDO がスリーステート状態から抜け出すまでの遅延時間
t ₁₁	8	ns min	変換終了までの $\overline{\text{CS}}$ ハイ時間
t ₁₂	8	ns min	変換終了から $\overline{\text{CS}}$ 立下がりエッジまでの遅延時間
t ₁₃	100	μs max	パワーアップ時間
t _{QUIET}	50	ns min	最後の SCLK エッジから次の $\overline{\text{CONVST}}$ パルスまでの時間

¹ 初期リリース時のサンプル・テストにより、適合性が確保されています。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
Analog Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Output Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Input Current to Any Pin Except Supplies ¹	± 10 mA
Operating Temperature Range	-40°C to $+125^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature	150°C
ESD	
Human Body Model (HBM)	± 2.5 kV
Field-Induced Charged Device Model (FICDM)	± 1.5 kV

¹最大 100mA までの過渡電流では SCR ラッチアップは生じません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

表 4. 熱抵抗

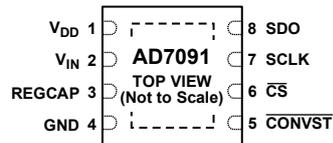
Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead LFCSP	36.67	6.67	$^\circ\text{C}/\text{W}$

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND FOR MAXIMUM THERMAL CAPABILITY, SOLDER THE EXPOSED PAD TO THE SUBSTRATE, GND.

10494-003

図 3.

表 5. ピン機能の説明

ピン番号	記号	説明
1	V _{DD}	電源入力。V _{DD} 範囲は 2.09V~5.25V。この電源ピンは GND へデカップリングします。推奨されるコンデンサ値は 10μF と 0.1μF です。
2	V _{IN}	アナログ入力。シングルエンド・アナログ入力範囲は 0V~V _{DD} です。
3	REGCAP	内部低ドロップアウト (LDO) レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。1μF のコンデンサを使用して、この出力ピンを GND へ個別にデカップリングします。このピンの標準電圧は 1.8V です。
4	GND	グラウンド。このピンは、AD7091 の全回路に対するグラウンド基準ポイントです。アナログ入力信号はこの GND 電圧を基準とする必要があります。
5	CONVST	変換開始。アクティブ・ローのエッジ・トリガ・ロジック入力。CONVST の立下がりエッジで、トラック & ホールドがホールド・モードになり、変換が開始されます。
6	CS	チップ・セレクト。アクティブ・ローのロジック入力。CS をロー・レベルにするとシリアル・バスがイネーブルされ、このモードで CS は SPI バス上の出力データのフレーム化に使用されます。
7	SCLK	シリアル・クロック。このピンはシリアル・クロック入力として機能します。
8	SDO	シリアル・データ出力。変換出力データがこのピンにシリアル・データ・ストリームとして出力されます。ビットは SCLK 入力の立下がりエッジで出力されます。データは MSB ファーストです。
9	EPAD	露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性と熱能力を向上させるために、この露出パッドを基板の GND にハンダ付けしてください。

代表的な性能特性

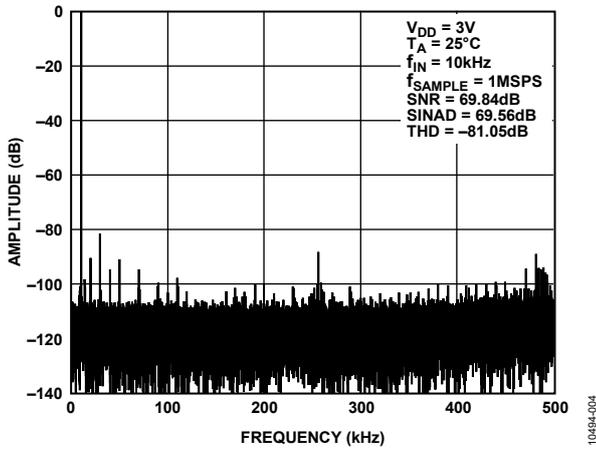


図 4. 代表的な動的性能

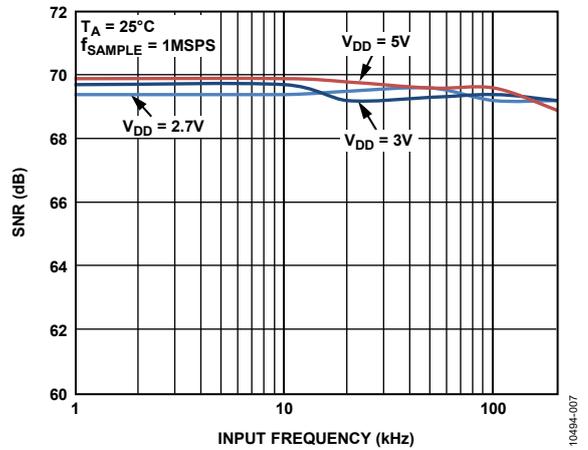


図 7. 様々な電源電圧での S/N 比とアナログ入力周波数の関係

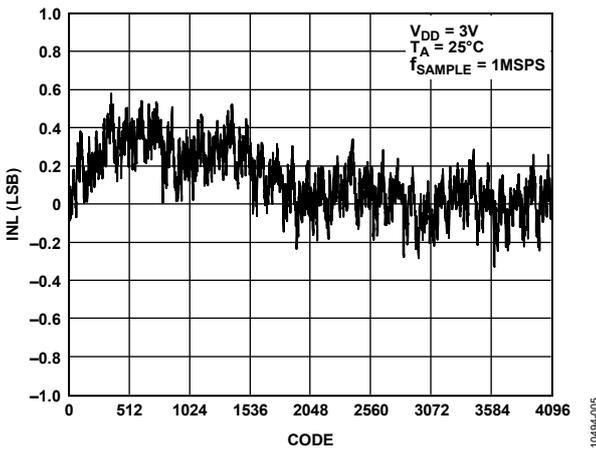


図 5. 代表的な INL 性能

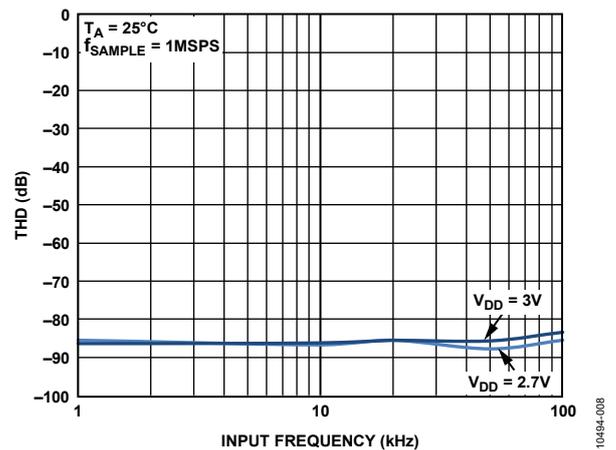


図 8. 様々な電源電圧でのアナログ入力周波数対 THD

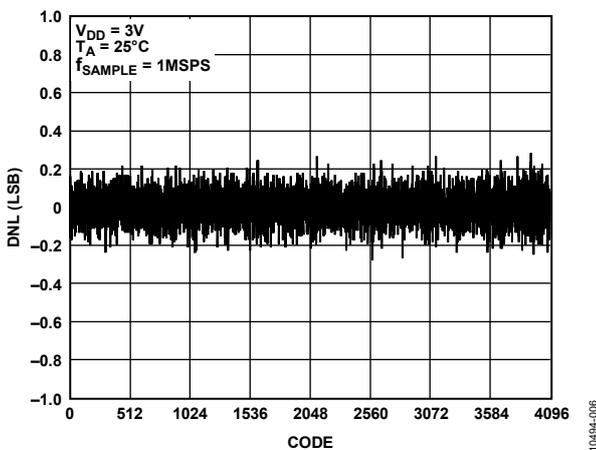


図 6. 代表的な DNL 性能

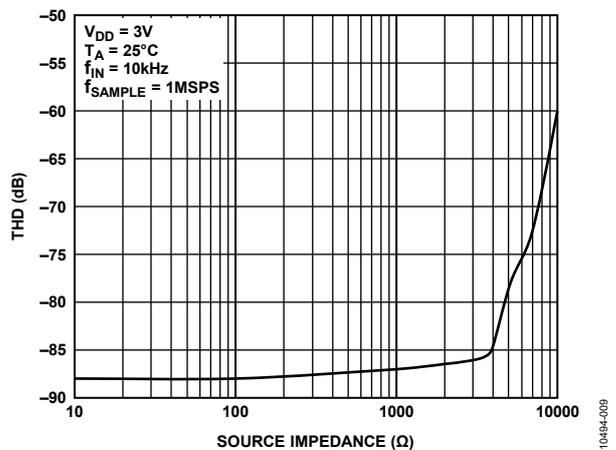


図 9. THD と信号源インピーダンスの関係

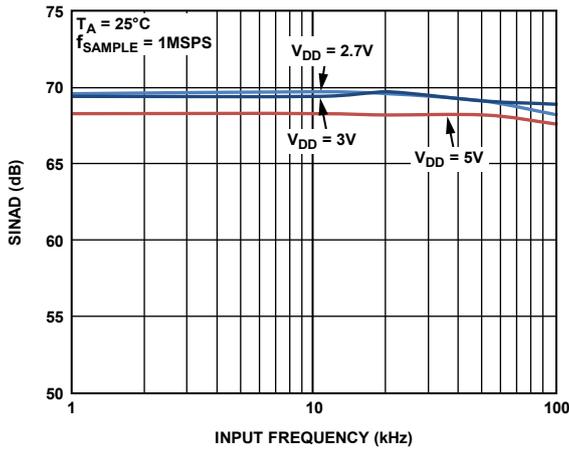


図 10. 様々な電源電圧でのアナログ入力周波数対 SINAD

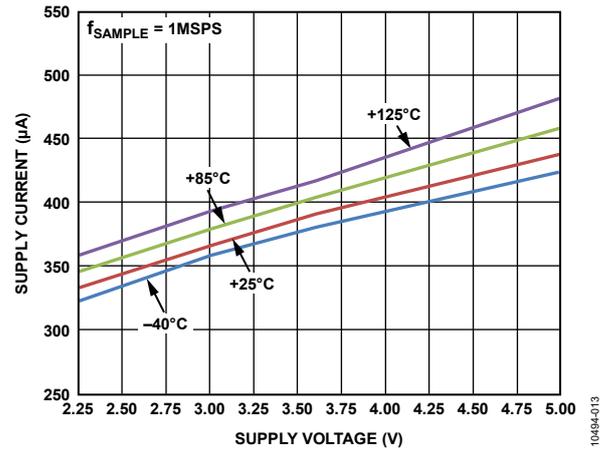


図 13. 様々な温度での動作電源電流と電源電圧の関係

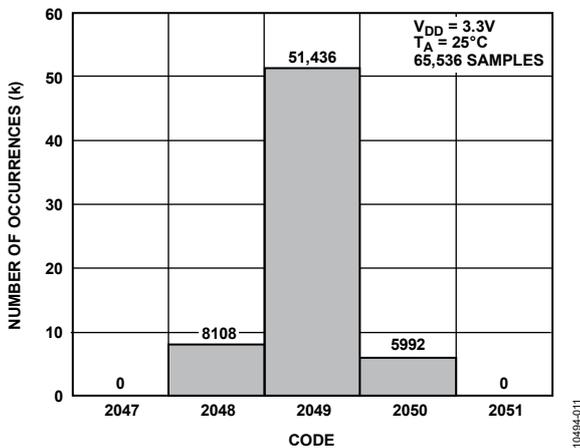


図 11. コード中心 ($V_{DD}/2$) でのコードのヒストグラム

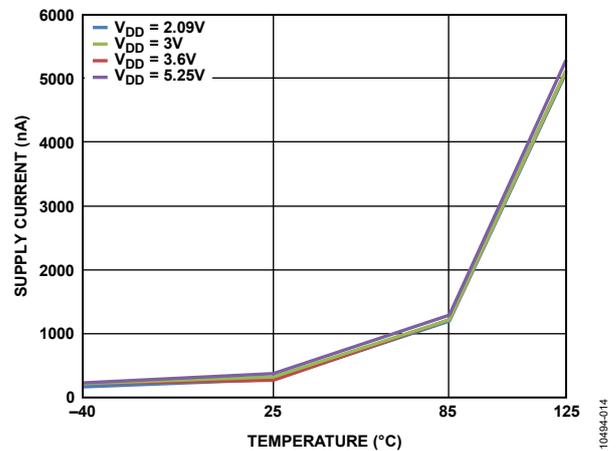


図 14. 様々な電源電圧でのパワーダウン電源電流と温度の関係

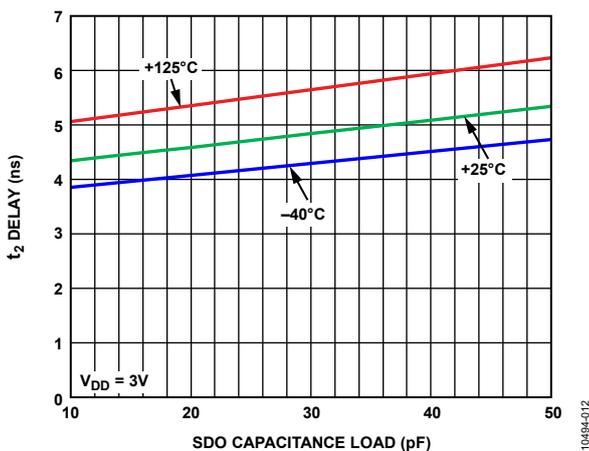


図 12. t_2 遅延と SDO 容量負荷の関係、 $V_{DD} = 3\text{V}$

用語の定義

積分非直線性 (INL)

ADC 伝達関数の両端を結ぶ直線からの最大許容誤差です。AD7091 の場合、伝達関数のエンドポイントとは、ゼロスケール (最初のコード遷移より 0.5LSB 下のポイント) とフルスケール (最後のコード遷移より 0.5LSB 上のポイント) を言います。

微分非直線性 (DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差です。

オフセット誤差

オフセット誤差は、最初のコード遷移 (00 ... 000 ~ 00 ... 001) の理論値 (GND + 0.5LSB など) からの差を言います。

ゲイン誤差

ゲイン誤差は、オフセット誤差を調整した後の最後のコード遷移 (111 ... 110 ~ 111 ... 111) の理論値 ($V_{DD} - 1.5LSB$ など) からの差を言います。

トラック & ホールド・アクイジション時間

変換終了後、トラック & ホールド・アンプはトラック・モードに戻ります。トラック & ホールド・アクイジション時間は、変換終了後にトラック & ホールド・アンプの出力が最終値の ±0.5LSB 以内に収まるまでに要する時間です。

S/N 比 (SNR)

S/N 比は、ADC 出力で測定された信号とノイズの比です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリグ周波数 ($f_{SAMPLE}/2$) までの全非基本波の和で表します (DC を除く)。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。サイン波を入力した場合の、理想 N ビット・コンバータに対する信号対ノイズ比の理論値は次式で表されます。

$$S/N \text{ 比} = (6.02N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、S/N 比は 74dB になります。

信号/ノイズ+歪み (SINAD)

SINAD は、A/D コンバータ出力での信号対 (ノイズ+歪み) 比の測定値です。信号はサイン波の rms 値で、ノイズはサンプリグ周波数の 1/2 ($f_{SAMPLE}/2$) までのすべての非基本波信号の rms 和です (DC 以外の高調波を含む)。

総合未調整誤差 (TUE)

TUE は包括的な仕様で、ゲイン、リニアリティ、オフセットの誤差を含みます。

全高調波歪み (THD)

THD は高調波の rms 値の総和と基本波の比です。AD7091 の場合、THD は次のように定義されます。

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅。

V_2, V_3, V_4, V_5, V_6 は、2 次 ~ 6 次の高調波の rms 振幅。

スプリアスフリー・ダイナミック・レンジ (SFDR)

高調波またはスプリアス・ノイズと呼ばれる SFDR は、ADC 出力スペクトル内の (DC を除いて $f_{SAMPLE}/2$ まで) 次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。

アパーチャ遅延

サンプリグ・クロックの前縁エッジと ADC がサンプルを取得するポイントとの間の時間間隔の測定値。

アパーチャ・ジッタ

実際にデータがサンプルされる時点のサンプル間での変動。

フル・パワー帯域幅

再生された基本波が 0.1dB 低下する入力周波数、またはフルスケール入力に対して 3dB 低下する入力周波数を意味します。

動作原理

回路説明

AD7091 は、12 ビットの逐次比較型 A/D コンバータ (SAR ADC) で、超低消費電力 (3V、1MSPS で 367 μ A (代表値)) であると同時に高速スループット・レート (50MHz SCLK で 1MSPS) を実現します。このデバイスは 2.09V~5.25V の単電源で動作します。

AD7091 は、トラック & ホールド・アンプ、A/D コンバータ (ADC) およびシリアル・インターフェースを内蔵しており、小型の 8 ピン LFCSP パッケージに収容されています。このパッケージは、代替ソリューションに比べてスペースを大幅に削減します。このデバイスからのデータのアクセスには、シリアル・クロック入力を使います。SAR ADC のクロックは内部で生成されます。

アナログ入力範囲は 0V~V_{DD} です。この ADC は外部リファレンスが不要で、内蔵リファレンスもありません。リファレンス電圧は電源から供給されるため、0V~V_{DD} の最大のダイナミック入力範囲となっています。

AD7091 はパワーダウン・オプションを備えているため、変換の間で消費電力を節約できます。パワーダウン機能は標準のシリアル・インターフェースを使って実行できます (動作モードのセクション参照)。

コンバータの動作

AD7091 は、電荷再配分式 DAC を採用した SAR ADC です。図 15 と図 16 に、ADC の簡略化した回路図を示します。

図 15 はアキュイジション・フェーズの ADC を示しており、SW2 は閉じて、SW1 は位置 A にあります。コンパレータは平衡状態にあり、サンプリング・コンデンサが V_{IN} 上の信号を取得します。

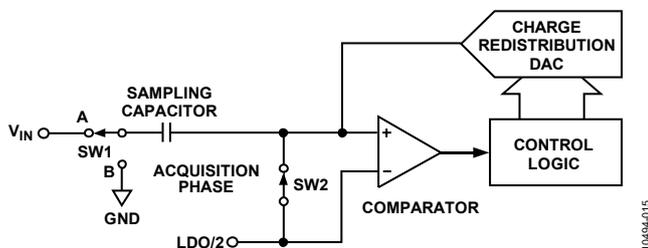


図 15. ADC アキュイジション・フェーズ

ADC が変換を開始すると、SW2 が開いて、SW1 が位置 B に移動し、コンパレータが非平衡状態になります (図 16 参照)。コントロール・ロジックと電荷再配分式 DAC を使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを生成します。図 17 に、ADC の伝達関数を示します。

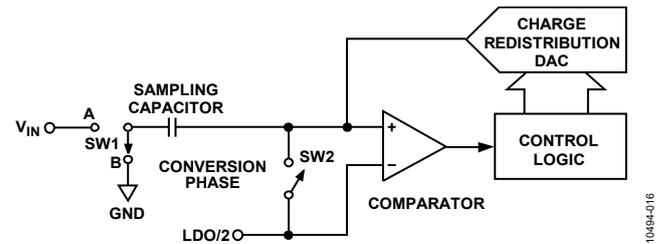


図 16. ADC 変換フェーズ

ADC の伝達関数

AD7091 の出力コーディングはストレート・バイナリです。デザイン上のコード遷移は LSB の連続する整数値の中間 (0.5LSB、1.5LSB など) で発生します。AD7091 の LSB サイズは V_{DD}/4096 になります。AD7091 の理想的な伝達特性を図 17 に示します。

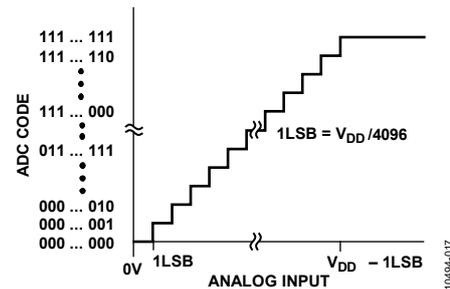


図 17. AD7091 の伝達特性

代表的な接続図

図 19 に、AD7091 の代表的な接続図を示します。2.09V~5.25V の範囲の正電源を V_{DD} ピンに接続します。リファレンスは内部で V_{DD} から供給されます。そのため、規定の性能を達成するには V_{DD} を十分にデカップリングしなければなりません。デカップリング・コンデンサの代表値は 100nF と 10 μ F です。アナログ入力範囲は 0V~ V_{DD} です。レギュレータ・バイパス・デカップリング・コンデンサ (REGCAP) の代表値は 1 μ F です。変換結果は MSB ファーストの 12 ビット・ワードで出力されます。

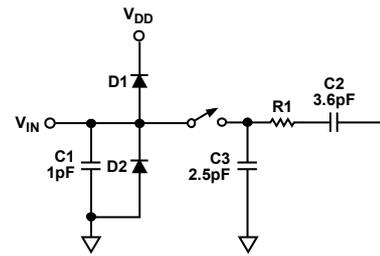
また、AD7091 が必要とする電源電流は非常に小さいため、電源ソースとして高精度リファレンスを使用することができます。5V 電源が必要な場合は、REF195 または ADR4550 などのリファレンスを使用できます。3V 電源が必要な場合は、REF193 または ADR4530 を推奨します。電源のノイズが非常に大きい場合、または、システムの電源電圧が 5V や 3V 以外 (例えば 15V) の場合に、この構成は特に有用です。

BUSY インジケータ機能が必要な場合は、100k Ω (代表値) のプルアップ抵抗を V_{DD} と SDO ピンの間に接続してください (図 19 参照)。

更に、消費電力が問題となるアプリケーションに対しては、パワーダウン・モードを使って ADC の消費電力性能を向上させることができます (詳細については、動作モードのセクション参照)。

アナログ入力

図 18 に、AD7091 のアナログ入力構造の等価回路を示します。D1 と D2 のダイオードにより、アナログ入力の ESD 保護機能が提供されます。ダイオードが順方向にバイアスされて、電流が流れるのを防止するため、アナログ入力信号が V_{DD} を 300mV 以上超えないようにしてください。各ダイオードが損傷なしに許容できる最大電流は 10mA です。



NOTES
1. DURING THE CONVERSION PHASE, THE SWITCH IS OPEN.
DURING THE TRACK PHASE, THE SWITCH IS CLOSED.

10494-019

図 18. アナログ入力の等価回路

図 18 に示すコンデンサ C1 は約 1pF (代表値) で、主にピン容量に起因します。抵抗 R1 はスイッチのオン抵抗で構成される集中定数部品です。この抵抗は約 500 Ω (代表値) です。コンデンサ C2 は ADC のサンプリング・コンデンサで、容量は 3.6pF (代表値) です。

高調波歪みと S/N 比が重要となるアプリケーションでは、アナログ入力を低インピーダンス・ソースで入力する必要があります。信号源インピーダンスが大きいと、ADC の AC 性能に重大な影響を与えます。このため、図 19 に示すような入力バッファ・アンプが必要になることがあります。オペ・アンプの選択は、アプリケーションに依存します。

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、許容可能な全高調波歪み (THD) の大きさに依存します。ソース・インピーダンスが増加すると THD が大きくなるため、性能が低下します。図 9 に、電源電圧 = 3V、サンプリング・レート = 1MSPS での、THD とソース・インピーダンスの関係を示します。

仕様規定された性能を実現するには、外付けフィルタ (例えば、図 19 に示す 1 極のローパス RC フィルタなど) を、AD7091 に接続されたアナログ入力に使用してください。

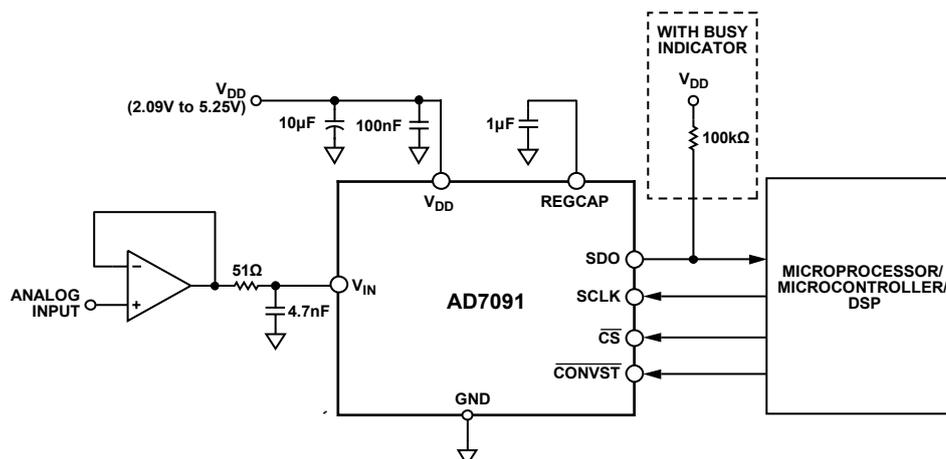


図 19. 代表的な接続図

10494-018

動作モード

AD7091 の動作モードは、変換完了時に $\overline{\text{CONVST}}$ 信号のロジック・レベルを制御することにより選択されます。ノーマル・モードとパワーダウン・モードの 2 つの動作モードがあります。これらの動作モードにより柔軟なパワー・マネジメント・オプションを提供でき、様々なアプリケーション条件に対して消費電力とスループット・レートの比を最適化することが可能です。

変換終了時の $\overline{\text{CONVST}}$ ピンのロジック・レベルにより、AD7091 がノーマル・モードを維持するか、パワーダウン・モードを開始するかが決定されます（ノーマル・モードのセクションとパワーダウン・モードのセクション参照）。同様に、デバイスがパワーダウン・モードにある場合、ノーマル・モードに戻るか、パワーダウン・モードに留まるかが $\overline{\text{CONVST}}$ によって制御されます。

ノーマル・モード

このモードは最高のスループット・レート性能を得るためのモードです。ノーマル・モードでは、AD7091 は常時フル・パワーオン状態にあるため、パワーアップ時間を気にする必要はありません。図 20 に、ノーマル・モードでの AD7091 の一般的なタイミング図を示します。

ノーマル・モードでは、シリアル・インターフェースのセクションで説明するように $\overline{\text{CONVST}}$ の立下がりエッジで変換が開始されます。デバイスを常時パワーオン状態にするには、 t_7 後に $\overline{\text{CONVST}}$ がハイ・レベルに戻り、変換が完了するまでハイ・レベルに維持しておく必要があります。変換終了時に（図 20 では EOC と表示）、 $\overline{\text{CONVST}}$ のロジック状態が調べられます。

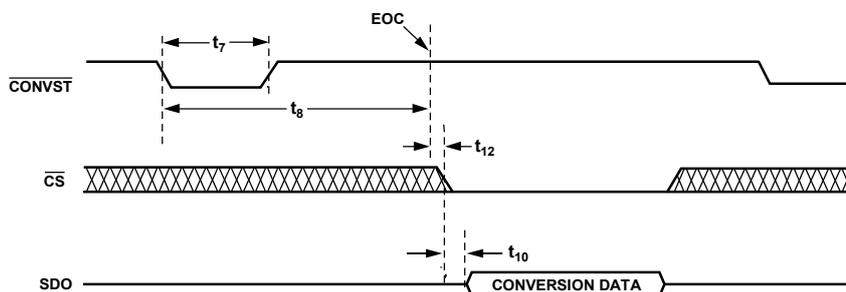
変換結果レジスタに格納されているデータをリードバックするには、変換が完了して、 $\overline{\text{CS}}$ がロー・レベルになるのを待つ必要があります。変換データはその後 SDO ピンに出力されます（図 20 参照）。出力シフト・レジスタは 12 ビット幅であるため、データはシリアル・クロック入力 (SCLK) の制御のもとで 12 ビットのワードとしてデバイスからシフト出力されます。データをリードバックした後、 t_{QUIET} 時間経過後に、 $\overline{\text{CONVST}}$ を再度ロー・レベルにして次の変換を開始することができます。

パワーダウン・モード

パワーダウン・モードは、低スループット・レートと低消費電力が要求されるアプリケーションでの使用を目的としています。このモードでは、ADC は各変換後、または一連の変換を高いスループット・レートで実行した後にパワーダウンされます。後者の場合、これら複数の変換バーストの間の比較的長い時間、ADC はパワーダウンされます。AD7091 がパワーダウン・モードになると、アナログ回路はすべてパワーダウンされますが、シリアル・インターフェースは動作を続けます。

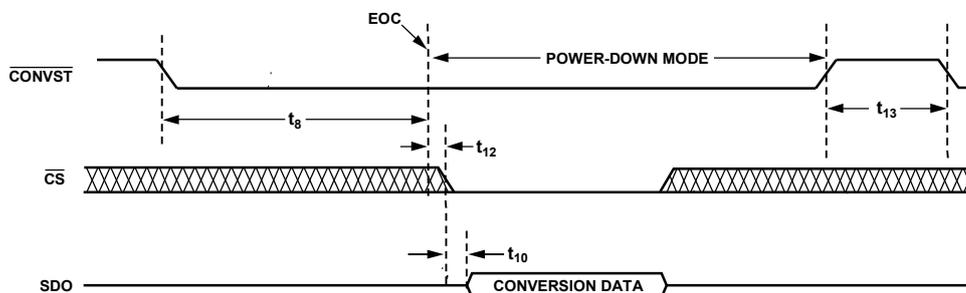
パワーダウン・モードを開始するときは、 $\overline{\text{CONVST}}$ をロー・レベルにし、変換が終わるまで（図 21 では EOC と表示）ロー・レベルを維持します。変換の完了後、 $\overline{\text{CONVST}}$ ピンのロジック・レベルが調べられます。 $\overline{\text{CONVST}}$ 信号がロー・レベルの場合、デバイスはパワーダウン・モードを開始します。

AD7091 のシリアル・インターフェースはパワーダウン・モードでも動作を続けるため、デバイスがパワーダウン・モードを開始した後でも変換結果をリードバックすることができます。



- NOTES
1. XXX IS DON'T CARE.
 2. EOC IS THE END OF A CONVERSION.

図 20. ノーマル・モードでのシリアル・インターフェースの読出しタイミング



- NOTES
1. XXX IS DON'T CARE.
 2. EOC IS THE END OF A CONVERSION.

図 21. パワーダウン・モードの開始と終了

CONVST をハイ・レベルにすることで、いつでもパワーダウン・モードを終了して AD7091 をパワーアップさせることができます。CONVST の立上がりエッジで、デバイスはパワーアップを開始します。AD7091 のパワーアップ時間は 100 μ s です。次の変換を開始する場合は、ノーマル・モードのセクションで説明したとおりにインターフェースを動作させます。

消費電力

AD7091 の 2 つの動作モードであるノーマル・モードとパワーダウン・モード（詳細については、動作モードのセクション参照）では、消費電力とスループット・レート性能の関係は異なります。ノーマル・モードとパワーダウン・モードを組み合わせることで、最適な消費電力性能を実現することができます。

スタティク電流の消費量を最適化するには、SCLK をバースト・モードにして CS をアイドル・ハイにする必要があります。これに従わない場合、スタティク電流は増加します。

また、V_{DD} 電源を注意深く選択することにより、AD7091 の消費電力を改善できます（図 13 参照）。

ノーマル・モードでの消費電力

V_{DD} 電源 = 3V、かつスループット・レート = 1MSPS で、ノーマル・モードのデバイスの I_{DD} 消費電流は 367 μ A です（内訳は 9.1 μ A のスタティク電流と変換時の 357.9 μ A のダイナミック電流）。ダイナミック消費電流はスループット・レートに比例します。

次の例では、スループット・レート = 500kSPS、電源 = 3V のノーマル・モードで動作する場合の AD7091 の消費電力を計算しています。

全体の消費電力に対して、ダイナミック変換時間に消費する電力は、次のように 537 μ W となります。

$$(500\text{kSPS}/1\text{MSPS}) \times 357.9\mu\text{A} \times 3\text{V} = 537\mu\text{W}$$

ノーマル・モードのスタティク動作時の総消費電力に対して占める部分は、

$$9.1\mu\text{A} \times 3\text{V} = 27\mu\text{W}$$

したがって、500kSPS での総消費電力は、

$$537\mu\text{W} + 27\mu\text{W} = 564\mu\text{W}$$

ノーマル・モードとパワーダウン・モードを組み合わせたときの消費電力

ノーマル・モードとパワーダウン・モードを組み合わせることで、最適な消費電力性能を実現することができます。この場合、10kSPS 未満の一定サンプリング・レートでの動作が可能です。

図 22 に、5kSPS のスループットでノーマル・モードとパワーダウン・モードを組み合わせた場合の AD7091 の変換シーケンスを示します。V_{DD} 電源電圧 = 3V では、スタティク電流は 9.1 μ A になります。1MSPS でのダイナミック電流は 357.9 μ A です。パワーダウン・モードでの消費電流は 324nA です。AD7091 では、変換完了に 650ns（代表値）を要し、パワーダウン・モードからのパワーアップには 100 μ s を要します。

全体の消費電力に対して、ダイナミック変換時間に消費する電力は、次のように 5 μ W となります。

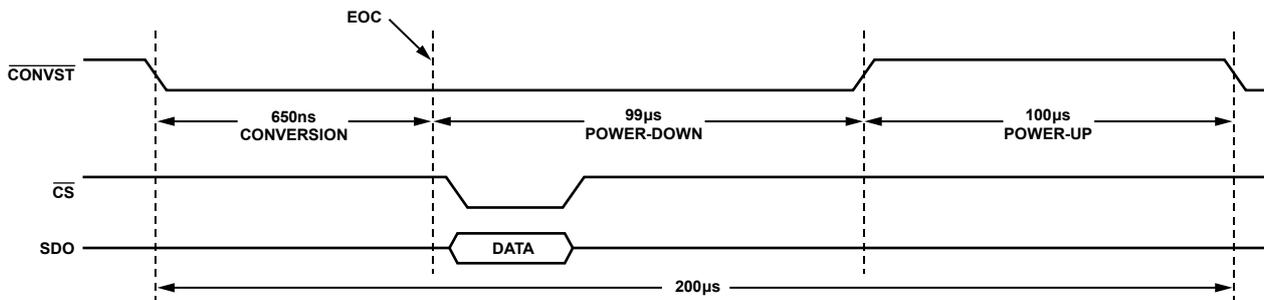
$$(5\text{kSPS}/1\text{MSPS}) \times 357.9\mu\text{A} \times 3\text{V} = 5\mu\text{W}$$

ノーマル・モードのスタティク動作とパワーダウン・モードでの総消費電力に対して占める部分は、

$$\left((100\mu\text{s} + 650\text{ns}) / 200\mu\text{s} \right) \times 9.1\mu\text{A} \times 3\text{V} + \left(99.4\mu\text{s} / 200\mu\text{s} \right) \times 324\text{nA} \times 3\text{V} = 14\mu\text{W}$$

したがって、5kSPS での総消費電力は、

$$5\mu\text{W} + 14\mu\text{W} = 19\mu\text{W}$$



NOTES

1. EOC IS THE END OF A CONVERSION.

図 22. ノーマル・モードとパワーダウン・モードでの変換シーケンス、スループット・レート = 5kSPS

10484-022

図 23 と図 24 に、 V_{DD} 電源を 3V で動作させたときの AD7091 の代表的な消費電力とスループット・レートの関係を示します。図 24 は、パワーダウン・モードを使用した場合に低減できる消費電力を、低スループット・レートでノーマル・モードのみを使用した場合と比較して示しています。

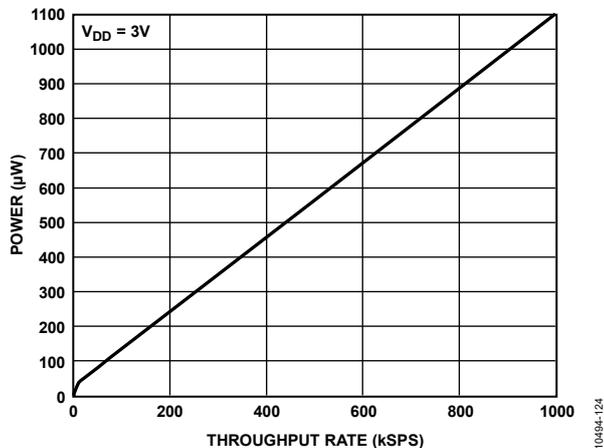


図 23. 消費電力とスループット・レートの関係 (フル・レンジ)

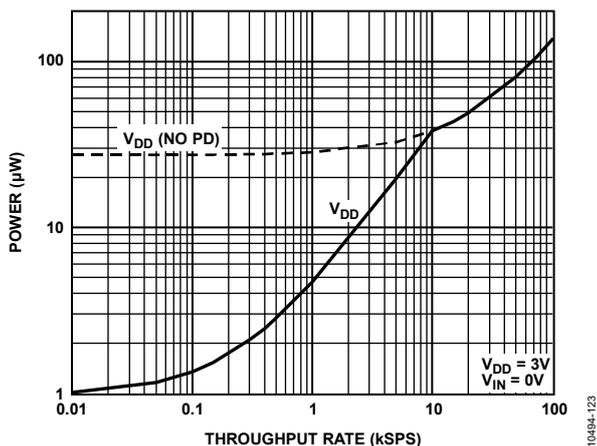


図 24. 消費電力とスループット・レートの関係 (下側レンジ)

マルチプレクサ・アプリケーション

シグナル・チェーンの中にマルチプレクサを使用することで、AD7091 に入力する複数のアナログ信号を切り替えることができます。このようなアプリケーションでは、マルチプレクサのスイッチング時間を制御することで入力信号を正確に A/D 変換できます。AD7091 が入力信号をフルに取得するには、マルチプレクサで変換開始の少なくとも 350ns 前までに変換したいチャンネルに切り替える必要があります。また、 $CONVST$ 立下がりエッジ後、マルチプレクサは少なくとも 200ns の間このチャンネルに保持する必要があります。

シリアル・インターフェース

AD7091 のシリアル・インターフェースは、SCLK、SDO、CONVST、CS の 4 本の信号から構成されています。シリアル・インターフェースは、変換結果レジスタからのデータのアクセスとデバイス動作モードの制御に使用されます。

- SCLK ピンは、デバイスのシリアル・クロック入力です。
- SDO ピンは、変換結果を出力します。データ転送は、SCLK を基準として実行されます。
- CONVST ピンは、AD7091 の変換プロセスの開始と動作モードの選択（動作モードのセクション参照）に使用されます。
- CS ピンはデータのフレーム化に使用されます。CS の立下がりエッジで SDO は高インピーダンス状態から抜け出します。CS の立上がりエッジで SDO は高インピーダンス状態に戻ります。

変換終了時の CS のロジック・レベルで、BUSY インジケータ機能の有効/無効が指定されます。この機能は、CS と SCLK を基準とする MSB の伝搬遅延に影響を与えます。

BUSY インジケータの有効化

BUSY インジケータ機能を有効にすると、変換完了を示す割込み信号として SDO ピンを使用することができます。この構成の接続図を図 25 に示します。V_{DD} と SDO ピンの間にプルアップ抵抗が必要なことに注意してください。

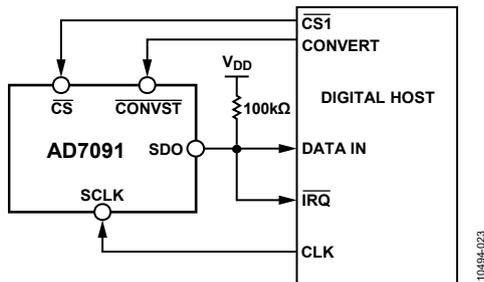


図 25. BUSY インジケータ使用時の接続図

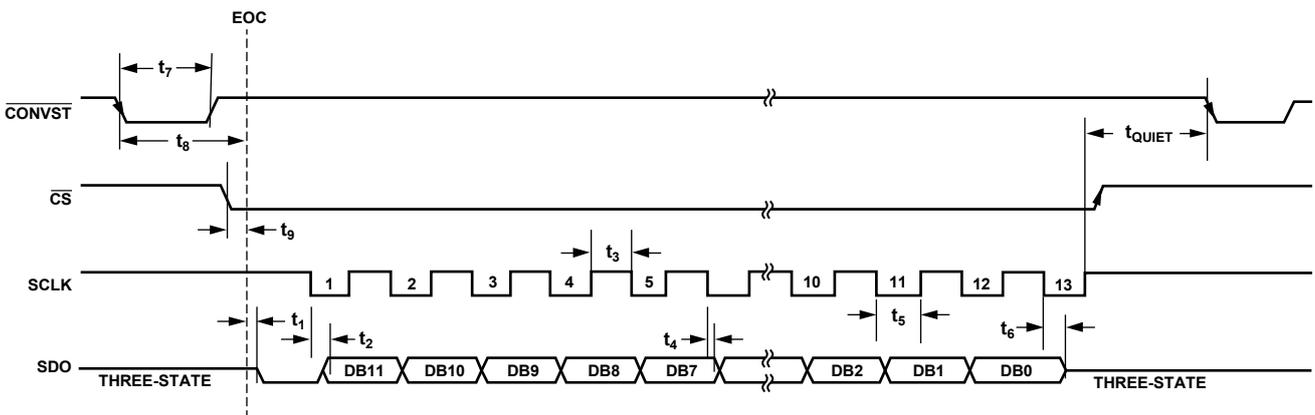
BUSY インジケータにより、ホストは変換完了後に SDO ピンがスリーステート状態を抜け出すタイミングを検出することができます。BUSY インジケータを有効にする場合、13 サイクルの SCLK がが必要です。すなわち、12 クロック・サイクルはデータの出力に、残りのクロック・サイクルは SDO ピンをスリーステート状態に戻すために、それぞれ必要です。

BUSY インジケータ機能を有効にするときは、変換を先に開始させる必要があります。CONVST がハイ・レベルからロー・レベルへ変化すると、変換が開始されます。これにより、トラック & ホールドがホールド・モードになり、この時点でアナログ入力がサンプルされます。AD7091 をパワーダウン・モードにしない場合は、変換完了前に CONVST をハイ・レベルにする必要があります。

変換の完了には 650ns を要します。変換プロセスが終了すると、トラック & ホールドはトラック・モードに戻ります。BUSY インジケータ機能を有効にするときは、変換終了の前に CS をロー・レベルにしてください（図 26 参照）。BUSY インジケータは、この最初の変換では有効でなく、次の変換からのみ有効となります。BUSY インジケータを有効なまま保持するには、各変換の終了前までに CS を確実にロー・レベルにしておく必要があります。

変換結果は、SCLK と変換終了時の CS のロジック・レベルの制御のもとで 12 ビットのワードとしてデバイスからシフト出力されます。変換終了時に、SDO はロー・レベルになります。変換結果の MSB (DB11) が SCLK の最初の立下がりエッジで出力されるまで、SDO はロー・レベルを維持します。DB10~DB0 は、SCLK の後続の立下がりエッジでシフト出力されます。SCLK の 13 番目の立下がりエッジで、SDO は高インピーダンス状態に戻ります。データは SCLK の立下がりエッジで伝送され、次の SCLK の立上がりエッジと立下がりエッジで有効になります。図 26 に、動作タイミング図を示します。

更に変換が必要な場合は、CONVST を再度ロー・レベルにし、このサイクルを繰り返します。



NOTES
1. EOC IS THE END OF A CONVERSION.

図 26. BUSY インジケータ使用時のシリアル・ポートのタイミング

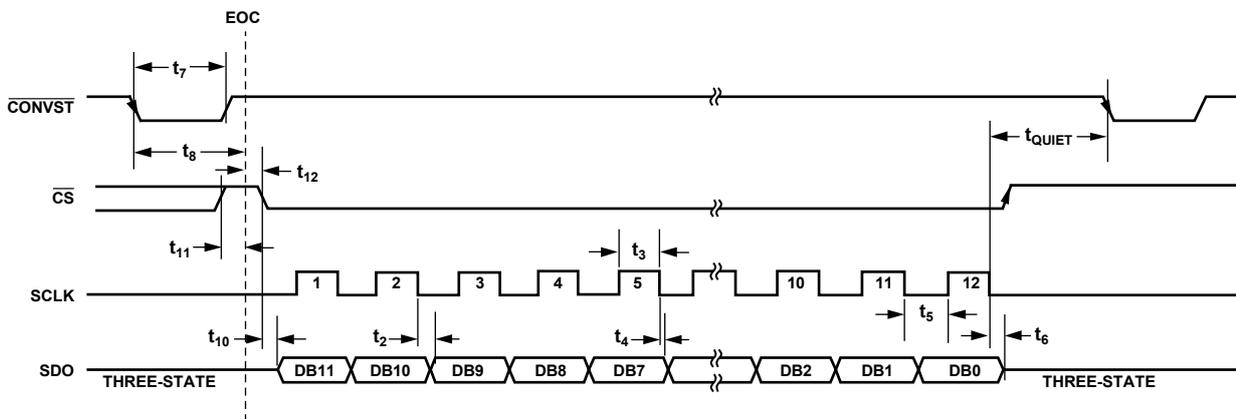
BUSY インジケータの無効化

BUSY インジケータを使用しないで AD7091 を動作させるときは、変換を先に開始させる必要があります。CONVST がハイ・レベルからロー・レベルへ変化すると、変換が開始されます。これにより、トラック & ホールドがホールド・モードになり、この時点でアナログ入力がサンプルされます。AD7091 をパワーダウン・モードにしない場合は、変換完了前に CONVST をハイ・レベルにする必要があります。

変換の完了には 650ns を要します。変換プロセスが終了すると、トラック & ホールドはトラック・モードに戻ります。BUSY インジケータ機能が有効化されるのを防ぐため、変換終了前に CS をハイ・レベルにする必要があります (図 27 参照)。

変換結果は、SCLK と CS の制御のもとで 12 ビットのワードとしてデバイスからシフト出力されます。MSB (ビット DB11) は、CS の立下がりエッジで出力されます。DB10~DB0 は、SCLK の後続の立下がりエッジでシフト出力されます。SCLK の 12 番目の立下がりエッジで、SDO は高インピーダンス状態に戻ります。すべてのデータが出力された後、CS をハイ・レベルに戻します。データは SCLK の立下がりエッジで伝送され、次の SCLK の立下がりエッジと立下がりエッジで有効になります。図 27 に、動作タイミング図を示します。

更に変換が必要な場合は、CONVST を再度ロー・レベルにし、このサイクルを繰り返します。



NOTES

1. EOC IS THE END OF A CONVERSION.

図 27. BUSY インジケータ非使用時のシリアル・ポートのタイミング

10484-025

ソフトウェア・リセット

AD7091 のパワーアップ時には、ソフトウェア・リセットを開始する必要があります。ソフトウェア・リセット・コマンドを正しく実行しないと、デバイスが故障する可能性があることに注意してください。ソフトウェア・リセット動作のタイミング図を図 28 に示します。

ソフトウェア・リセットを起動するときは、

1. $\overline{\text{CONVST}}$ をロー・レベルにして変換を開始します。
2. 変換完了後に $\overline{\text{CS}}$ をロー・レベルにして変換結果をリードバックします。
3. 2 番目と 8 番目の SCLK サイクルの間、 $\overline{\text{CS}}$ をハイ・レベルにして読出し動作サイクルを短くします。
4. 次の変換の終了時に、ソフトウェア・リセットが実行されます。

ソフトウェア・リセットの実行後直ちに $\overline{\text{CONVST}}$ をロー・レベルにすることで、次の変換を開始できます。

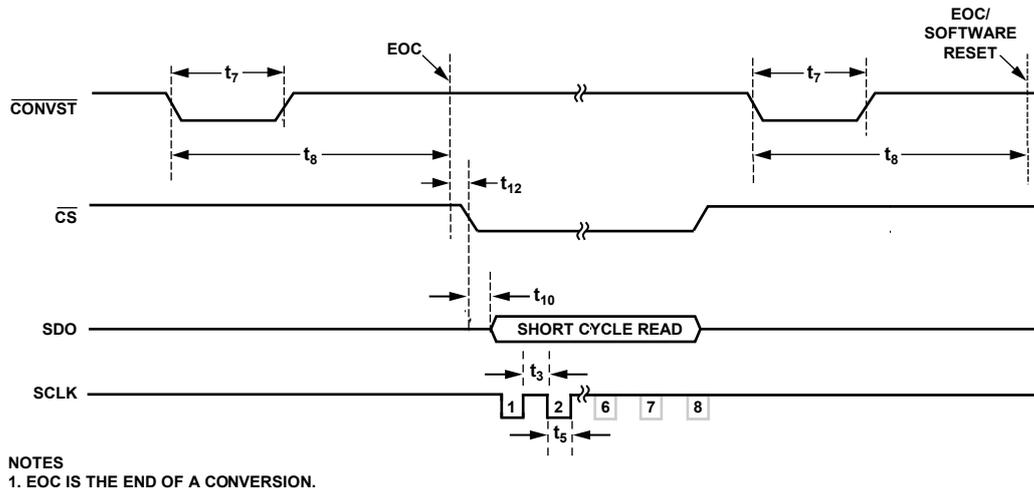
8/16 ビット SPI バスとのインターフェース

AD7091 は、従来型の 8/16 ビット SPI バスとインターフェースさせることもできます。

変換の実行と変換結果の読出しは、ホスト SPI インターフェースを 16 ビットに設定して実現することができます。この設定により、変換の完了には標準インターフェース方法に対して SCLK を 4 サイクル追加する必要があります (BUSY インジケータの有効化のセクションと BUSY インジケータの無効化のセクション参照)。

BUSY インジケータ機能を有効にした場合は 13 番目の SCLK 立下がりエッジ後に、BUSY インジケータ機能を無効にした場合は 12 番目の SCLK 立下がりエッジ後に、SDO は高インピーダンス状態に戻ります。ホストでは、追加の 4 ビットをドント・ケアとして扱う必要があります。その他の全タイミングを図 26 と図 27 に示します。ここでは、 t_{QUIET} は 16 番目の SCLK サイクルの後に開始されています。

ソフトウェア・リセットは、SPI バスを 8 ビットに設定し、ソフトウェア・リセットのセクションで説明するように動作させることにより、実行することができます。



NOTES
1. EOC IS THE END OF A CONVERSION.

図 28. ソフトウェア・リセットのタイミング

10494-028

外形寸法

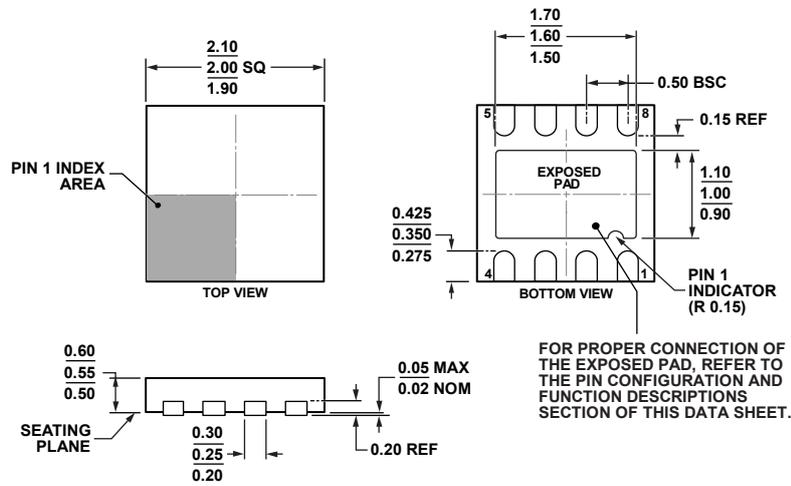


図 29.8 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_UD]
 2.00mm × 2.00mm ボディ、極薄、デュアル・リード
 (CP-8-10)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
AD7091BCPZ-RL	-40°C to +125°C	8-Lead Lead Frame Chip Scale Package [LFCSP_UD]	CP-8-10	92
AD7091BCPZ-RL7	-40°C to +125°C	8-Lead Lead Frame Chip Scale Package [LFCSP_UD]	CP-8-10	92
EVAL-AD7091SDZ		Evaluation Board		
EVAL-SDP-CB1Z		Evaluation Controller Board		

¹ Z = RoHS 準拠製品

メモ

メモ