



10ピンLFCSPまたはMSOP採用の 1 MSPS、超低消費電力12ビットADC

データシート

AD7091R

特長

- 高速スループット・レート: 1 MSPS
- $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ で仕様を規定
- ロジック電圧 V_{DRIVE} : 1.65 V ~ 5.25 V
- INL: $\pm 1\text{ LSB}$ 最大
- アナログ入力範囲: 0 V ~ V_{REF}
- 超低消費電力
 - 3 V、1 MSPS で 349 μA (typ)
 - 3 V、パワーダウン・モードで 264 nA (typ)
- $\pm 4.5\text{ ppm}/^\circ\text{C}$ (typ) ドリフトの 2.5 V リファレンス電圧を内蔵
- 広い入力帯域幅
- 柔軟な消費電力/スループット・レート管理
- 高速シリアル・インターフェース
 - SPI®/QSPI™/MICROWIRE™/DSP に互換
- BUSY インジケータ
- パワーダウン・モード
- 10 ピンの 3 mm × 2 mm LFCSP パッケージまたは 10 ピンの MSOP パッケージを採用
- 温度範囲: $-40^\circ\text{C} \sim +125^\circ\text{C}$

アプリケーション

- バッテリー駆動のシステム
 - ハンドヘルド型計測器
 - 医用計測機器
 - モバイル通信
- 計装システムおよび制御システム
- データ・アキュイジション・システム
- 光センサー
- 診断/モニタ機能
- エネルギー・ハーベスト

概要

AD7091Rは、超低消費電力(3 V、1 MSPSで 349 μA (typ))と同時に高速スループット・レート (50 MHz SCLK で 1 MSPS)を提供する 12 ビット逐次比較型 A/Dコンバータ (ADC)です。このデバイスは 2.7 ~ 5.25 V の単電源で動作し、7 MHzを超える入力周波数を処理できる広帯域トラック・アンド・ホールド・アンプを内蔵しています。また、AD7091Rは、変換クロック、正確なリファレンス電圧、高速シリアル・インターフェースも内蔵しています。

変換プロセスとデータ・アキュイジションは、CONVST信号と内蔵発振器を使って制御されます。AD7091R は、変換後にデータの読出しを可能にすると同時に 1 MSPS のスループット・レートを実現するシリアル・インターフェースを内蔵しています。

この AD7091Rでは高度なデザイン技術と製造プロセス技術を使っ

機能ブロック図

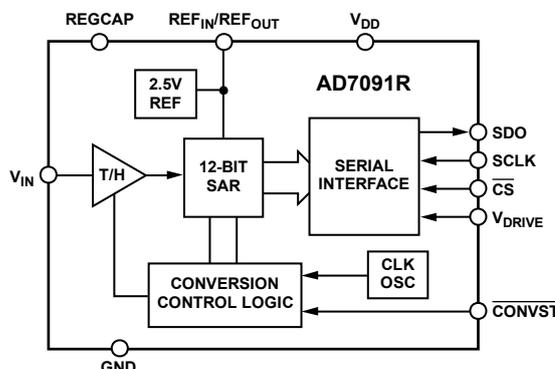


図 1.

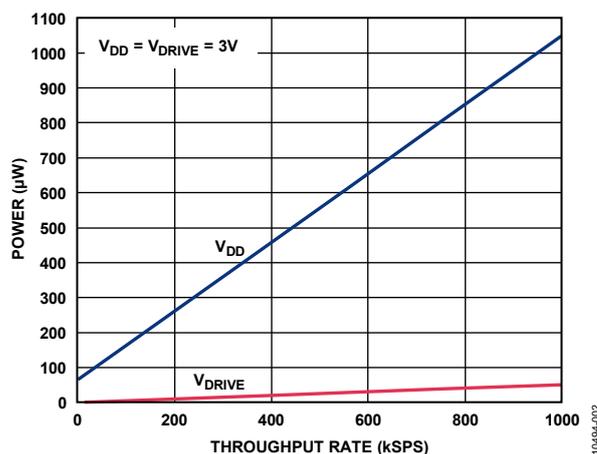


図 2.消費電力とスループット・レートとの関係

て、高いスループット・レートで非常に小さい消費電力を可能にしています。正確な 2.5 V のリファレンス電圧を内蔵しています。

製品のハイライト

1. 最小消費電力の 12 ビット SAR ADC を提供。
2. 正確な 2.5 V リファレンス電圧を内蔵。
3. 超低消費電力で高いスループット・レート。
4. フレキシブルな消費電力/スループット・レート管理平均消費電力がスループット・レートに比例。パワーダウン・モードにより、デバイスの変換非実行時に平均消費電力を削減可能。
5. V_{DRIVE} 機能付き単電源動作。AD7091Rは 2.7 V ~ 5.25 V の単電源で動作します。 V_{DRIVE} 機能を使うと、シリアル・インターフェースを 1.8 V ~ 3.3 V のプロセッサへ容易に接続することができます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	回路説明.....	12
アプリケーション.....	1	コンバータの動作.....	12
機能ブロック図.....	1	ADCの伝達関数.....	12
概要.....	1	内蔵/外付けリファレンス電圧.....	12
製品のハイライト.....	1	代表的な接続図.....	13
改訂履歴.....	2	アナログ入力.....	13
仕様.....	3	動作モード.....	14
タイミング仕様.....	5	消費電力.....	14
絶対最大定格.....	6	シリアル・インターフェース.....	16
熱抵抗.....	6	BUSY インジケータ使用時.....	16
ESDの注意.....	6	BUSY インジケータ非使用時.....	17
ピン配置およびピン機能説明.....	7	ソフトウェア・リセット.....	18
代表的な性能特性.....	8	8/16 ビット SPIとのインターフェース.....	18
用語.....	11	外形寸法.....	20
動作原理.....	12	オーダー・ガイド.....	20

改訂履歴

8/12—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 1.65\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$ 内蔵リファレンス電圧、 $f_{SAMPLE} = 1\text{ MSPS}$ 、 $f_{SCLK} = 50\text{ MHz}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE ¹	$f_{IN} = 10\text{ kHz sine wave}$				
Signal-to-Noise Ratio (SNR) ²		66.5	69		dB
	$f_{SAMPLE} = 500\text{ kSPS}$	67.5	70		dB
Signal-to-Noise-and-Distortion Ratio (SINAD) ²		66	69		dB
Total Harmonic Distortion (THD) ²			-84	-79	dB
Spurious Free Dynamic Range (SFDR) ²			-85	-78	dB
Aperture Delay ²			5		ns
Aperture Jitter ²			40		ps
Full Power Bandwidth ²	At -3 dB		7.5		MHz
	At -0.1 dB		1.2		MHz
DC ACCURACY					
Resolution		12			Bits
Integral Nonlinearity (INL) ^{2, 3}	$V_{DRIVE} \leq 3.3\text{ V}$		± 0.8	± 1	LSB
	$V_{DRIVE} > 3.3\text{ V}$ with external V_{REF}			± 1	LSB
Differential Nonlinearity (DNL) ²	Guaranteed no missing codes to 12 bits		± 0.3	± 0.9	LSB
Offset Error ²			± 0.6	± 2	LSB
Gain Error ²			± 0.8	± 3	LSB
Total Unadjusted Error (TUE) ²			-2		LSB
ANALOG INPUT					
Input Voltage Range		0		V_{REF}	V
DC Leakage Current				± 1	μA
Input Capacitance ⁴	During acquisition phase		7		pF
	Outside acquisition phase		1		pF
VOLTAGE REFERENCE INPUT/OUTPUT					
REF_{OUT}		2.485	2.5	2.525	V
REF_{IN}		2.7		V_{DD}	V
Drift			± 4.5	± 25	ppm/ $^\circ\text{C}$
LOGIC INPUTS					
Input High Voltage (V_{INH})		$0.7 \times V_{DRIVE}$			V
Input Low Voltage (V_{INL})				$0.3 \times V_{DRIVE}$	V
Input Current (I_{IN})	Typically 10 nA, $V_{IN} = 0\text{ V}$ or V_{DRIVE}			± 1	μA
Input Capacitance (C_{IN}) ⁴				5	pF
LOGIC OUTPUTS					
Output High Voltage (V_{OH})	$I_{SOURCE} = 200\text{ }\mu\text{A}$	$V_{DRIVE} - 0.2$			V
Output Low Voltage (V_{OL})	$I_{SINK} = 200\text{ }\mu\text{A}$			0.4	V
Floating State Leakage Current				± 1	μA
Floating State Output Capacitance ⁴				5	pF
Output Coding			Straight binary		
CONVERSION RATE					
Conversion Time				650	ns
Track-and-Hold Acquisition Time ^{2, 4}	Full-scale step input			350	ns
Throughput Rate				1	MSPS

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER REQUIREMENTS					
V_{DD}		2.7		5.25	V
V_{DRIVE}		1.65		5.25	V
I_{DD}	$V_{IN} = 0$ V				
Normal Mode—Static ⁵	$V_{DD} = 5.25$ V		22	60	μ A
	$V_{DD} = 3$ V		21.6	33	μ A
Normal Mode—Operational	$V_{DD} = 5.25$ V, $f_{SAMPLE} = 1$ MSPS		388	449	μ A
	$V_{DD} = 3$ V, $f_{SAMPLE} = 1$ MSPS		349	408	μ A
	$V_{DD} = 3$ V, $f_{SAMPLE} = 100$ kSPS		55		μ A
Power-Down Mode	$V_{DD} = 5.25$ V		0.334	4.4	μ A
	$V_{DD} = 5.25$ V, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		0.334	1.4	μ A
	$V_{DD} = 3$ V		0.264	4.2	μ A
	$V_{DD} = 3$ V, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		0.264	1.2	μ A
I_{DRIVE}	$V_{IN} = 0$ V				
Normal Mode—Static ⁶	$V_{DRIVE} = 5.25$ V		32	500	nA
	$V_{DRIVE} = 3$ V		28	500	nA
Normal Mode—Operational	$V_{DRIVE} = 5.25$ V, $f_{SAMPLE} = 1$ MSPS		42	86	μ A
	$V_{DRIVE} = 3$ V, $f_{SAMPLE} = 1$ MSPS		17	20	μ A
Power-Down Mode	$V_{DRIVE} = 5.25$ V		7	41	nA
	$V_{DRIVE} = 3$ V		2	28	nA
Total Power Dissipation ($P_{DD} + P_{DRIVE}$)	$V_{IN} = 0$ V				
Normal Mode—Static ⁵	$V_{DD} = V_{DRIVE} = 5.25$ V		116	318	μ W
	$V_{DD} = V_{DRIVE} = 3$ V		65	101	μ W
Normal Mode—Operational	$V_{DD} = V_{DRIVE} = 5.25$ V, $f_{SAMPLE} = 1$ MSPS		2.3	2.9	mW
	$V_{DD} = V_{DRIVE} = 3$ V, $f_{SAMPLE} = 1$ MSPS		1	1.3	mW
Power-Down Mode	$V_{DD} = V_{DRIVE} = 5.25$ V		1.8	24	μ W
	$V_{DD} = V_{DRIVE} = 3$ V		0.8	13	μ W

¹ ダイナミック性能は、バースト SCLK で実現します。アクイジション・フェーズでフリー・ランニング SCLK 動作させると、ダイナミック性能が低下します。

² 用語のセクションを参照してください。

³ $V_{DRIVE} < V_{DD} + 0.7$ V の場合。

⁴ 初期リリース時はサンプル・テストにより適合性を保証。

⁵ SCLK はバースト・モードで動作し、 \overline{CS} はハイ・レベルでアイドル。フリー・ランニング SCLK 動作で \overline{CS} をロー・レベルした場合、 I_{DD} スタティック電流は $V_{DD} = 5.25$ V で $30 \mu\text{A}$ (typ) 増加します。

⁶ SCLK はバースト・モードで動作し、 \overline{CS} はハイ・レベルでアイドル。フリー・ランニング SCLK 動作で \overline{CS} をロー・レベルした場合、 I_{DRIVE} スタティック電流は $V_{DRIVE} = 5.25$ V で $32 \mu\text{A}$ (typ) 増加します。

タイミング仕様

特に指定がない限り、 $V_{DD} = 2.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 1.65\text{ V} \sim 5.25\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。¹

表 2.Parameter	Limit at T_{MIN} , T_{MAX}	Unit	Description
f_{SCLK}	50	MHz max	Frequency of serial read clock
t_1	8	ns max	Delay from the end of a conversion until SDO three-state is disabled
t_2	7	ns max	Data access time after SCLK falling edge
t_3	$0.4 t_{SCLK}$	ns min	SCLK high pulse width
t_4	3	ns min	SCLK to data valid hold time
t_5	$0.4 t_{SCLK}$	ns min	SCLK low pulse width
t_6	15	ns max	SCLK falling edge to SDO high impedance
t_7	10	ns min	\overline{CONVST} pulse width
t_8	650	ns max	Conversion time
t_9	6	ns min	\overline{CS} low time before the end of a conversion
t_{10}	18	ns max	Delay from \overline{CS} until SDO three-state is disabled
t_{11}	8	ns min	\overline{CS} high time before the end of a conversion
t_{12}	8	ns min	Delay from the end of a conversion until \overline{CS} falling edge
t_{13}	50	ms typ	Power-up time with internal reference ²
	100	μs max	Power-up time with external reference
t_{QUIET}	50	ns min	Time between last SCLK edge and next \overline{CONVST} pulse

¹ 初期リリース時はサンプル・テストにより適合性を保証。

² $2.2\ \mu\text{F}$ のリファレンス・コンデンサを使用。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{DRIVE} to GND	-0.3 V to +7 V
Analog Input Voltage to GND	-0.3 V to $V_{REF} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output Voltage to GND	-0.3 V to $V_{DRIVE} + 0.3$ V
Input Current to Any Pin Except Supplies ¹	± 10 mA
Operating Temperature Range	-40°C to $+125^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature	150°C
ESD	
HBM	± 2.5 kV
FICDM	± 1.5 kV

¹最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

表 4. 熱抵抗

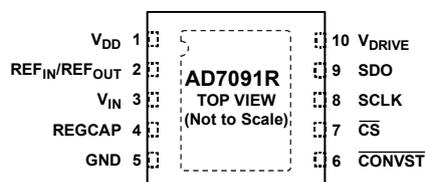
Package Type	θ_{JA}	θ_{JC}	Unit
10-Lead LFCSP	33.2	4	$^\circ\text{C}/\text{W}$
10-Lead MSOP	25.67	1.67	$^\circ\text{C}/\text{W}$

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND FOR MAXIMUM THERMAL CAPABILITY, SOLDER THE EXPOSED PAD TO THE SUBSTRATE, GND.

10494-003

図 3.10 ピン LFCSP のピン配置



10494-004

図 4.10 ピン MSOP のピン配置

表 5. ピン機能の説明

ピン番号		記号	説明
LFCSP	MSOP		
1	1	V _{DD}	電源入力。V _{DD} 範囲は 2.7 V~5.25 V。この電源ピンは GND へデカップリングする必要があります。推奨コンデンサ値は、10 μF と 0.1 μF です。
2	2	REF _{IN} /REF _{OUT}	リファレンス電圧入出力。このピンは GND へデカップリングしてください。推奨デカップリング・コンデンサ値は 2.2 μF です。内蔵 2.5 V リファレンスを使用するか、あるいは内蔵リファレンス電圧を外付け電源電圧でオーバードライブすることができます。外付けリファレンスのリファレンス電圧範囲は 2.7 V ~V _{DD} です。
3	3	V _{IN}	アナログ入力。シングルエンド・アナログ入力範囲は 0 V~V _{REF} です。
4	4	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。この出力ピンは、1 μF のコンデンサを使って個別に GND へデカップリングする必要があります。このピンの電圧は 1.8 V (typ) です。
5	5	GND	アナログ・グラウンド。このピンは、AD7091R の全回路に対するグラウンド基準ポイントです。アナログ入力信号はこの GND 電圧を基準とする必要があります。
6	6	CONVST	変換開始。アクティブ・ローのエッジ・トリガ・ロジック入力。CONVST の立下がりエッジで、トラック・アンド・ホールドがホールド・モードになり、変換が開始されます。
7	7	CS	チップ・セレクト。アクティブ・ローのロジック入力。CS をロー・レベルにするとシリアル・バスがイネーブルされ、このモードで CS は SPI バス上の出力データのフレーム化に使用されます。
8	8	SCLK	シリアル・クロック。このピンはシリアル・クロック入力としても機能します。
9	9	SDO	シリアル・データ出力。変換出力データがこのピンにシリアル・データ・ストリームとして出力されます。ビットは SCLK 入力の立下がりエッジで出力されます。データは MSB ファーストです。
10	10	V _{DRIVE}	ロジック電源入力。このピンに入力される電圧により、インターフェースの動作電圧が決定されます。V _{DRIVE} と GND の間にデカップリング・コンデンサを接続する必要があります。推奨値は 10 μF と 0.1 μF です。このピンの電圧範囲は 1.65 V~5.25 V です。
11	N/A	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは内部で接続されていません。ハンダ接続の信頼性と熱能力を向上させるために、このエクスポーズド・パッドをサブストレート GND にハンダ付けしてください。

代表的な性能特性

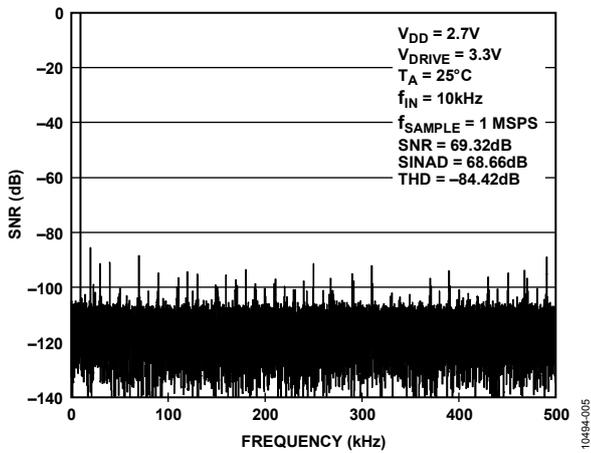


図 5. ダイナミック性能

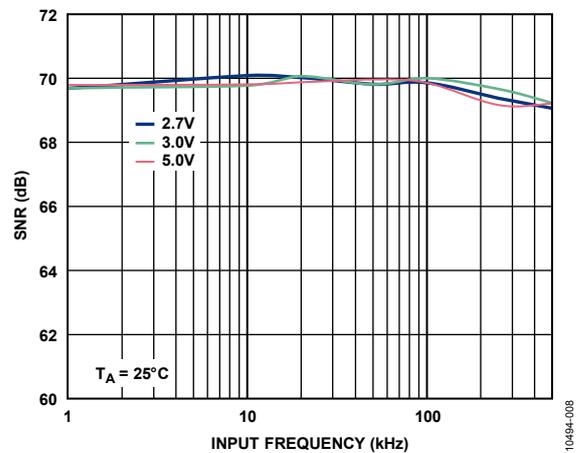


図 8. 様々な電源電圧でのアナログ入力周波数対 SNR

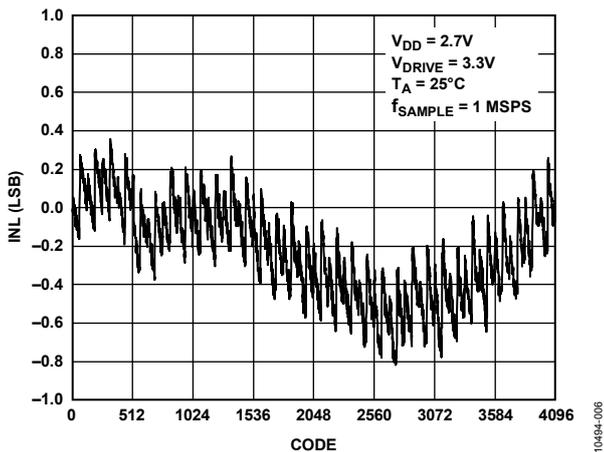


図 6. INL 性能

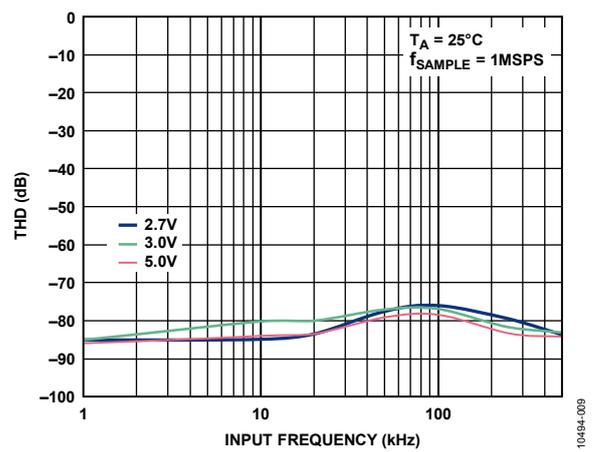


図 9. 様々な電源電圧でのアナログ入力周波数対 THD

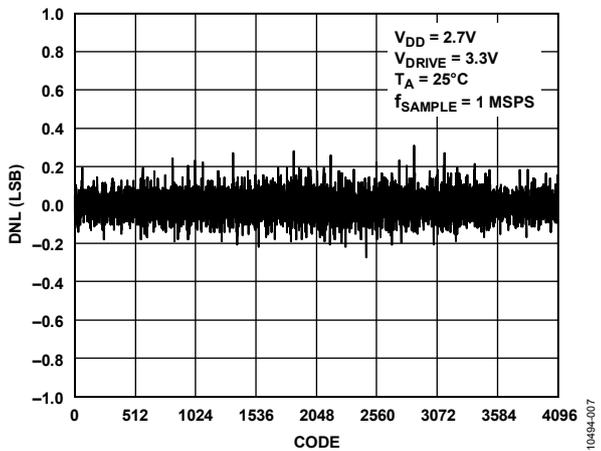


図 7. DNL 性能

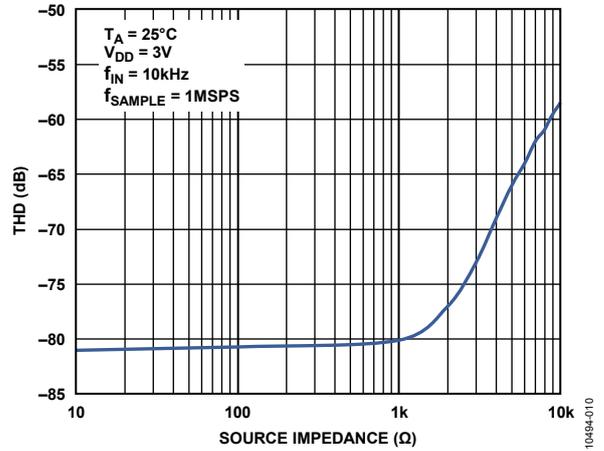


図 10. ソース・インピーダンス対 THD

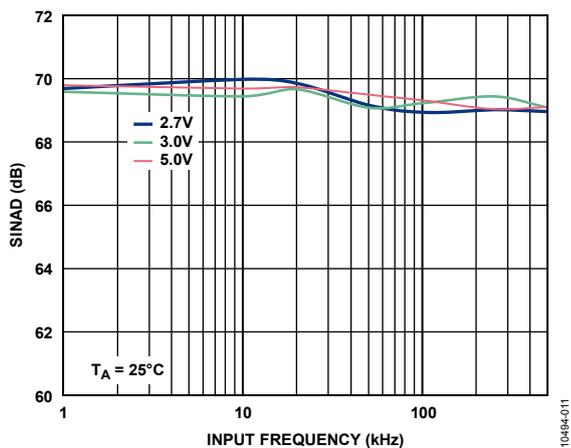


図 11. 様々な電源電圧でのアナログ入力周波数対 SINAD

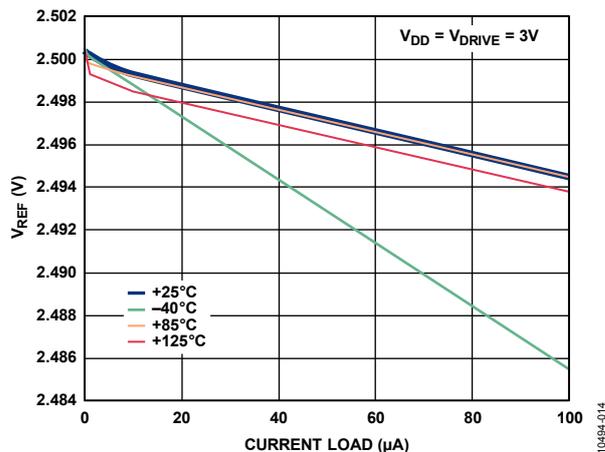


図 14. 様々な温度でのリファレンス電流負荷対電圧出力

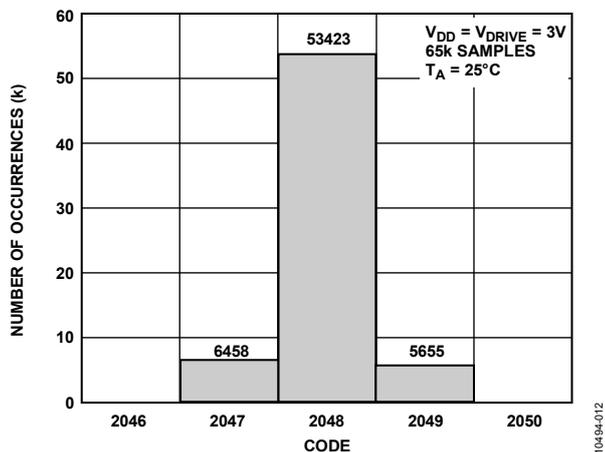


図 12. コード中心 ($V_{REF}/2$)でのコードのヒストグラム

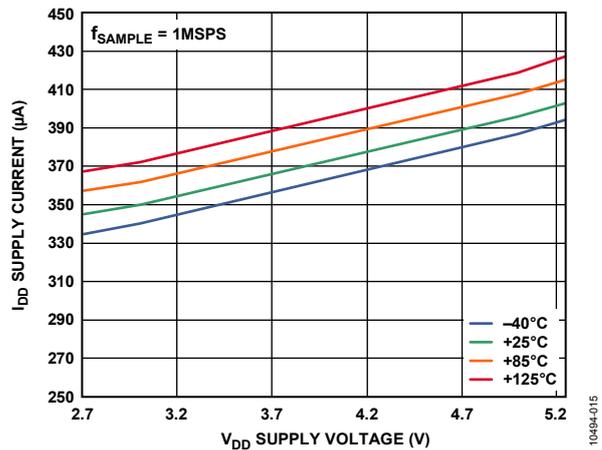


図 15. 様々な温度での V_{DD} 電源電圧対動作 I_{DD} 電源電流

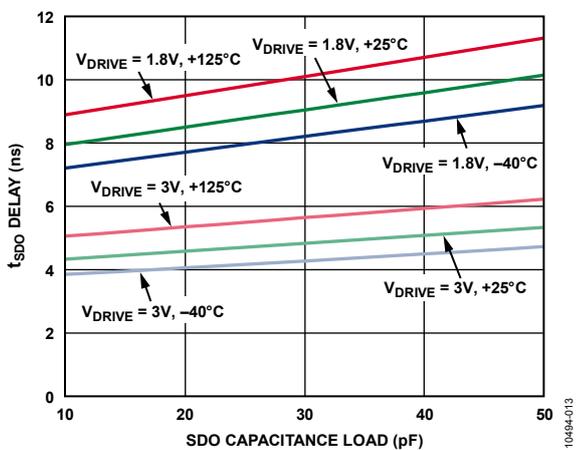


図 13. SDO 容量負荷および V_{DRIVE} 対 t_{SDO} 遅延

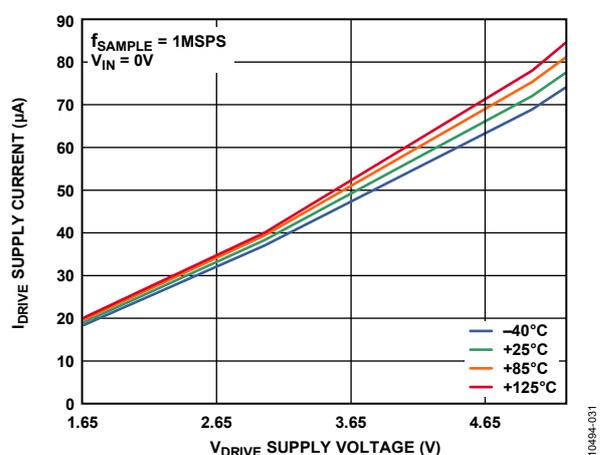


図 16. 様々な温度での V_{DRIVE} 電源電圧対動作 I_{DRIVE} 電源電流

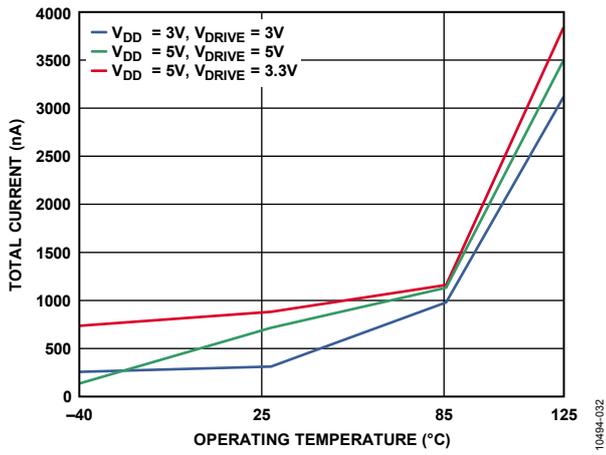


図 17. 様々な電源電圧での総合パワーダウン電源電流 (I_{DD} および I_{DRIVE}) 温度特性

用語

積分非直線性(INL)

ADC伝達関数の両端を結ぶ直線からの最大許容誤差をいいます。
AD7091Rの場合、伝達関数の両端とは、ゼロスケール(最初のコード遷移より 0.5 LSB下のポイント)とフルスケール(最後のコード遷移より 0.5 LSB上のポイント)をいいます。

微分非直線性(DNL)

ADCの2つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

オフセット誤差

オフセット誤差は、最初のコード変化(00...000)→(00...001)の理論値(GND + 0.5 LSB など)からの差をいいます。

ゲイン誤差

オフセット誤差調整後の最後のコード変化((111...110)→(111...111))と理論値($V_{REF} - 1.5 \text{ LSB}$ など)との差をいいます。

トラック・アンド・ホールド・アキュイジション・タイム

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アキュイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の $\pm 0.5 \text{ LSB}$ 以内に出力が収まるために要する時間です(詳細については、シリアル・インターフェースのセクションをご覧ください)。

信号対ノイズ比(SNR)

SNRは、ADC出力での信号のノイズに対する測定された比です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数($f_{SAMPLE}/2$)までの全非基本波の和で表します(DCを除く)。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対ノイズ比の理論値は次式で表されます。

$$\text{信号対ノイズ比} = (6.02N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、SNRは 74 dB になります。

信号対ノイズおよび歪み比(SINAD)

SINADは、A/Dコンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は正弦波の rms 値で、ノイズはサンプル周波数の 1/2 ($f_{SAMPLE}/2$)までのすべての非基本波信号の rms 和です(DC以外の高調波を含む)。

総合未調整誤差(TUE)

TUEは包括的な仕様で、ゲイン、リニアリティ、オフセットの誤差を含みます。

全高調波歪み(THD)

THDは高調波のrms値総和と基本波の比です。AD7091Rの場合、THDは次のように定義されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅。 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、2次～6次の高調波の rms 振幅。

スプリアス・フリー・ダイナミックレンジ(SFDR)

高調波またはスプリアス・ノイズと呼ばれる SFDRは、ADC出力スペクトル内の(DCを除いて $f_{SAMPLE}/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。一般に、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、最大の高調波はノイズ・ピークになります。

アパーチャ遅延

サンプリング・クロックの前縁エッジと ADC がサンプルを取得するポイントとの間の時間間隔の測定値。

アパーチャ・ジッタ

実際にデータがサンプルされる時点のサンプル間での変動。

フル・パワー帯域幅

再生された基本波が 0.1 dB 低下する入力周波数、またはフルスケール入力に対して 3 dB 低下する入力周波数を意味します。

動作原理

回路説明

AD7091Rは、超低消費電力(3 V、1 MSPSで 349 μ A (typ))と同時に高速スループット・レート (50 MHz SCLK で 1 MSPS)を提供する 12 ビット逐次比較型 A/Dコンバータ (ADC)です。このデバイスは 2.7 V~5.25 Vの単電源で動作することができます。

AD7091Rは、トラック・アンド・ホールドADCとシリアル・インターフェースを内蔵しており、10 ピンLFCSPまたは 10 ピンMSOPパッケージを採用しています。このパッケージは、代替ソリューションに比べて大幅なスペース削減を提供します。このデバイスからのデータのアクセスには、シリアル・クロック入力を使います。逐次比較型ADC のクロックは内部で発生されます。AD7091Rのリファレンス電圧は、正確な内蔵リファレンス・ソースにより内部で発生されます。AD7091Rのアナログ入力範囲は 0 V~ V_{REF} です。

AD7091Rはパワーダウン・オプションを持っているため、変換の間で消費電力を節約することができます。パワーダウン機能は標準のシリアル・インターフェースを使って実現されています(動作モードのセクション参照)。

コンバータの動作

AD7091Rは、電荷再分配型DACを採用した逐次比較型ADCです。図 18 と図 19 に、ADCの簡略化した回路図を示します。図 18 に、アキュイジション・フェーズにあるADCを示します。SW2 は閉じて、SW1 は位置Aにあり、コンパレータは平衡状態にあり、サンプリング・コンデンサは V_{IN} 上の信号を取得します。

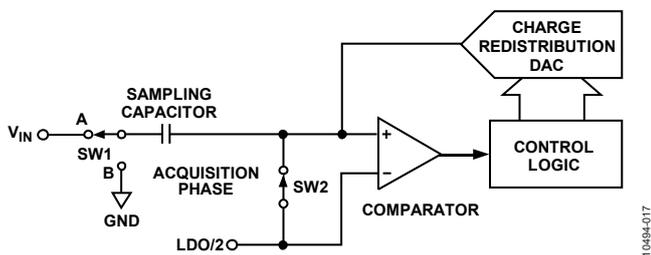


図 18.ADC アキュイジション・フェーズ

ADC が変換を開始すると、SW2 が開いて、SW1 が位置 B に移動して、コンパレータが不平衡状態になります(図 19)。コントロール・ロジックと電荷再分配式 DAC を使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。図 20 に、ADC の伝達関数を示します。

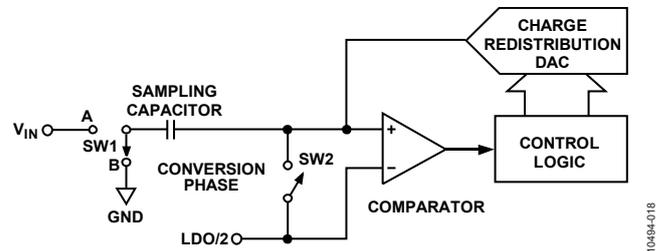


図 19.ADC 変換フェーズ

ADCの伝達関数

AD7091Rの出力コーディングはストレート・バイナリです。デザイン上のコード変化はLSBの連続する整数値の中間(0.5 LSB、1.5 LSBなど)で発生します。AD7091RのLSB サイズは $V_{REF}/4096$ になります。AD7091Rの理論伝達特性を図 20 に示します。

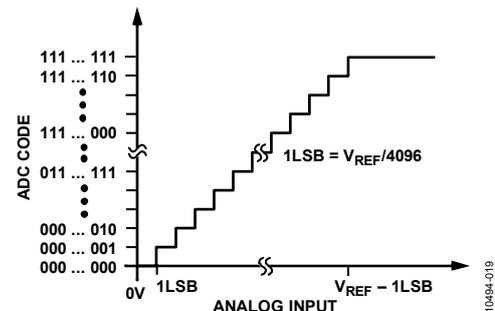


図 20.AD7091Rの理論伝達特性

内蔵/外付けリファレンス電圧

AD7091Rでは、内蔵リファレンス電圧または外付けリファレンス電圧を選択することができます。

内蔵リファレンス電圧は、正確な 2.5 V の低温度ドリフト・リファレンス電圧を提供します。この内蔵リファレンス電圧は REF_{IN}/REF_{OUT} ピンに出力されます。内蔵リファレンス電圧を使用する場合、規定性能を実現するため、このピンを 2.2 μ F (typ)のコンデンサでデカップリングする必要があります。フル充電の 2.2 μ F リファレンス・コンデンサを使用する場合、この内蔵リファレンス電圧は 2.5 V REF_{OUT} 電圧レベルまでフル充電するために 50 ms (typ)を要します。

パワーダウン・モードでは、内蔵リファレンス電圧はシャットダウンします。パワーダウン・モードが終わった後、リファレンス・コンデンサを再充電して変換を開始するまでに十分な時間が必要です。リファレンス・コンデンサの再充電に必要な時間は、パワーダウン・モードを終了するときコンデンサに残っていた電荷量に依存します。

内蔵リファレンスを AD7091Rの外部で使用する場合、このリファレンスをバッファした後に外部回路へ供給することが推奨されます。

あるいは、AD7091R リファレンス電圧を外部から供給することもできます。外付けリファレンスをデバイスへ入力すると、内蔵リファレンス電圧が自動的に上書きされます。外付けリファレンス電圧範囲は 2.7 V~5.25 Vである必要があり、 REF_{IN}/REF_{OUT} ピンに接続します。

代表的な接続図

図 22 に、AD7091R の一般的な接続図を示します。

2.7 V ~ 5.25 V 範囲の正電源を V_{DD} ピンに接続し、デカップリング・コンデンサの typ 値は 100 nF と 10 μ F とします。これらのコンデンサはできるだけデバイス・ピンの近くに配置します。電源を V_{DD} ピンへ接続し、AD7091R を内蔵 2.5 V リファレンスで動作させ、規定の性能を実現するため REF_{IN}/REF_{OUT} ピンを 2.2 μ F (typ) のコンデンサでデカップリングし、アナログ入力範囲は 0 V ~ V_{REF} とします。レギュレータ・バイパス・デカップリング・コンデンサ (REGCAP) の typ 値は 1 μ F です。 V_{DRIVE} 入力へ加えられる電圧が、シリアル・インターフェースの電圧を制御します。したがって、このピンをマイクロプロセッサの電源に接続する必要があります。 V_{DRIVE} の範囲は 1.65 V ~ 5.25 V とすることができます。 V_{DRIVE} デカップリング・コンデンサの typ 値は 100 nF と 10 μ F です。変換結果は MSB ファーストの 12 ビット・ワードで出力されます。

AD7091R のパワーアップ時に、ユーザーがソフトウェア・リセットを開始する必要があります (ソフトウェア・リセットのセクション参照)。

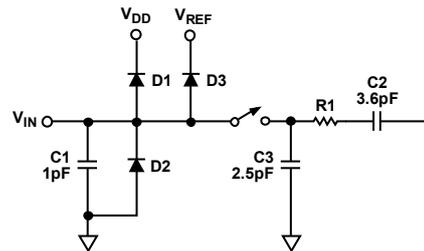
外付けリファレンスをデバイスへ入力すると、内蔵リファレンス電圧が自動的に上書きされます。外付けリファレンス電圧範囲は 2.7 V ~ 5.25 V である必要があり、 REF_{IN}/REF_{OUT} ピンに接続します。

BUSY インジケータ機能が必要な場合は、100 k Ω (typ) のプルアップ抵抗を V_{DRIVE} と SDO ピンの間に接続する必要があります。さらに、消費電力が問題となるアプリケーションに対しては、パワーダウン・モードを使って、ADC 消費電力性能を向上させることができます (詳細については、動作モードのセクション参照)。

アナログ入力

図 21 に、AD7091R のアナログ入力構造の等価回路を示します。D1 と D2 のダイオードにより、アナログ入力の ESD 保護機能を提供します。D3 ダイオードは、 V_{IN} と V_{REF} の間の寄生ダイオードです。ダイオードが順方向バイアスされて、電流が流れるのを防止するため、アナログ入力信号が V_{REF} または V_{DD} を 300 mV 以上超えないようにしてください。各ダイオードが損傷なしに許容できる

最大電流は 10 mA です。



NOTES
1. DURING THE CONVERSION PHASE, THE SWITCH IS OPEN.
DURING THE TRACK PHASE, THE SWITCH IS CLOSED.

図 21. アナログ入力の等価回路

図 21 に示すコンデンサ C1 は約 1 pF (typ) で、主にピン容量に起因します。抵抗 R1 はスイッチのオン抵抗で構成される集中定数部品です。この抵抗は約 500 Ω (typ) です。コンデンサ C2 は ADC のサンプリング・コンデンサで、容量は 3.6 pF (typ) です。

高調波歪みと信号対ノイズ比が重要であるアプリケーションでは、アナログ入力を低インピーダンス・ソースで入力する必要があります。ソース・インピーダンスが大きいと、ADC の AC 性能が大きく影響を受けます。このために、図 22 に示す入力バッファ・アンプの使用が必要になります。オペ・アンプの選択は、アプリケーションに依存します。

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、許容可能な全高調波歪み (THD) の大きさに依存します。ソース・インピーダンスが増加すると THD が大きくなるため、性能が低下します。図 10 に、電源電圧 = 3 V、サンプリング・レート = 1 MSPS の場合の、THD とソース・インピーダンスの関係を示します。

外付けフィルタを一例えば、1 極のローパス RC フィルタ、または図 22 と同等— AD7091R に接続されたアナログ入力に接続して規定性能を実現してください。

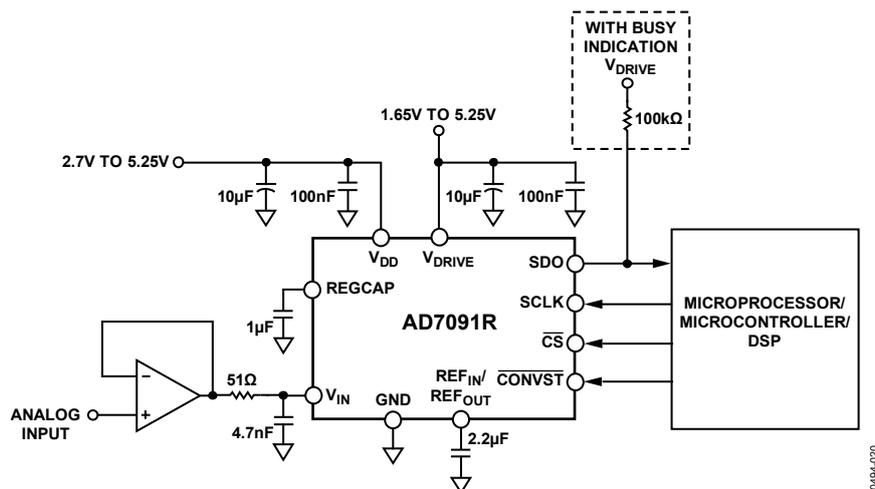


図 22. AD7091R の代表的な接続図

動作モード

AD7091Rの動作モードは、変換完了時に $\overline{\text{CONVST}}$ 信号のロジック状態を制御することにより選択されます。

変換終了時の $\overline{\text{CONVST}}$ ピンのロジック・レベルにより、AD7091Rのノーマル・モードを維持するか、パワーダウン・モードを開始するかが決定されます(ノーマル動作モードとパワーダウン・モードのセクション参照)。同様に、すでにパワーダウン・モードにある場合、デバイスがノーマル動作に戻るか、パワーダウン・モードに留まるかが $\overline{\text{CONVST}}$ によって制御されます。これらの動作モードは、柔軟なパワー・マネジメント・オプションを提供し、様々なアプリケーション条件に対して消費電力とスループット・レートの比を最適化するために選択することができます。

ノーマル動作モード

このモードは最高のスループット・レート性能を得るためのモードです。ノーマル・モードでは、AD7091Rが常時フル・パワーオン状態にあるためパワーアップ時間を気にする必要はありません。図 29 に、ノーマル・モードでの AD7091Rの一般的なタイミング図を示します。

このモードでは、変換はシリアル・インターフェースのセクションで説明するように $\overline{\text{CONVST}}$ の立下がりエッジで開始されます。デバイスを常時パワーアップさせておくためには、 t_{H} 後に $\overline{\text{CONVST}}$ 信号がハイ・レベルに戻り、変換が完了するまでハイ・レベルに維持しておく必要があります。変換の終わりに(図 27 では EOC と表示)、 $\overline{\text{CONVST}}$ のロジック状態が調べられます。

変換結果レジスタに格納されているデータをリードバックするときは、変換が完了して、 $\overline{\text{CS}}$ がロー・レベルになるのを待つ必要があります。変換データはその後 SDO ピンに出力されます(図 29 参照)。出力シフトレジスタは 12 ビット幅であるため、データはシリアル・クロック入力(SCLK)の制御のもとで 12 ビットのワードとしてデバイスからシフト出力されます。データをリードバックした後、 t_{QUIET} 時間経過後に、 $\overline{\text{CONVST}}$ を再度ロー・レベルにして次の変換を開始することができます。

パワーダウン・モード

パワーダウン動作モードは、低いスループット・レートと低消費電力が要求されるアプリケーションでの使用を目的としています。このモードでは、ADCが各変換の間にパワーダウンされるか、または一連の変換を高いスループット・レートで実行した後に、これら複数の変換バーストの間の比較的長い期間にADCがパワーダウンされます。AD7091Rがパワーダウン・モードになると、内蔵リファレンスを含む全アナログ回路がパワーダウンされますが、シリアル・インターフェースは動作を続けます。

パワーダウン・モードを開始するときは、 $\overline{\text{CONVST}}$ をロー・レベルにし、変換が終わるまで(図 30 では EOC と表示)ロー・レベルを維持します。変換の完了後、 $\overline{\text{CONVST}}$ ピンのロジック・レベルが調べられます。この時点で $\overline{\text{CONVST}}$ 信号がロー・レベルの場合、デバイスはパワーダウン・モードを開始します。

AD7091Rのシリアル・インターフェースはパワーダウン・モードで動作を続けるため、デバイスがパワーダウン・モードを開始した後に変換結果をリードバックすることができます。

この動作モードを終了して AD7091Rをパワーアップさせるときは、 $\overline{\text{CONVST}}$ を任意の時にハイ・レベルにします。 $\overline{\text{CONVST}}$ の立下がりエッジで、デバイスはパワーアップを開始します。AD7091Rの内部回路は、パワーダウン・モードからのパワーアップに 100 μs を要します。内蔵リファレンス電圧を使用する場合、正確な変換が可能になるまでに、リファレンス・コンデンサをフルに再充電する必要があります。

パワーダウン・モードを終了した後に次の変換を開始するときには、インターフェースをノーマル動作モードのセクションで説明するように動作させます。

消費電力

AD7091Rの2つの動作モードでは—ノーマル・モードとパワーダウン・モード(詳細については、動作モードのセクション参照)—消費電力とスループット・レート性能の関係は異なります。ノーマル・モードとパワーダウン・モードの組み合わせを使うと、最適な消費電力性能を実現することができます。

デバイス全体の消費電力を計算するときは、 I_{DRIVE} 電流も考慮する必要があります。図 16 に、様々な電源電圧での I_{DRIVE} 電流を示します。図 23 と図 24 に、様々なスループット・レートに対する V_{DRIVE} 消費電力を示します。

AD7091R消費電力の改善は、 V_{DD} 電源電圧、 V_{DRIVE} 電源電圧、SDO ライン容量を注意深く選択することにより実現することができます(図 15 と図 16 参照)。

ノーマル動作モード

V_{DD} 電源 = 3 V、かつスループット・レート = 1 MSPS で、ノーマル動作モードのデバイス I_{DD} 消費電流は 349 μA です(内訳は 21.6 μA のスタティック電流と変換時の 327.4 μA のダイナミック電流)。ダイナミック消費電流はスループット・レートに比例します。

次の計算例では、スループット・レート = 500 kSPS、電源 = 3 V のノーマル動作モードで動作する場合の AD7091R消費電力を計算しています。

全体の消費電力に対するダイナミック変換時間の部分は、次のように 491 μW です。

$$((500 \text{ kSPS}/1 \text{ MSPS}) \times 327.4 \mu\text{A}) \times 3 \text{ V} = 491 \mu\text{W}$$

ノーマル・モードのスタティック動作での総合消費電力に対して占める部分は、

$$21.6 \mu\text{A} \times 3 \text{ V} = 65 \mu\text{W}$$

したがって、500 kSPS での総合消費電力は、

$$491 \mu\text{W} + 65 \mu\text{W} = 556 \mu\text{W}$$

ノーマル・モードとパワーダウン・モードの組み合わせ

ノーマル・モードとパワーダウン・モードの組み合わせを使うと、最適な消費電力性能を実現することができます。

AD7091Rの内部回路は、パワーダウン・モードからのパワーアップに 100 μs を要します。したがって、パワーダウン・モードは 10 kSPSより低いサンプリング・レートで動作することができます。

内蔵リファレンス電圧を使うときは、リファレンス・コンデンサの再充電も考慮する必要があります。AD7091Rでは 2.2 μF のリファレンス・コンデンサを 50 ms (typ)でフル充電することができますが、リファレンス・コンデンサの充電時間はパワーダウン・モード終了時にコンデンサに残っている電荷に依存します。リファレンス・コンデンサの電荷消失速度は小さいため、再充電時間はかなり短くなります。

図 25 に、外付けリファレンス電圧使用、スループット = 5 kSPS、ノーマル・モードとパワーダウン・モードの組み合わせを使用した AD7091R 変換シーケンスを示します。V_{DD} 電源電圧 = 3 Vでは、スタティック電流は 21.6 μAになります。1 MSPSでのダイナミック電流は 327.4 μAです。パワーダウン・モードでの消費電流は 264 nAです。AD7091Rでの変換の完了には 650 nsを要し、外付けリファレンスを使用する場合、パワーダウン・モードからのパワーアップには 100 μs を要します。

全体の消費電力に対するダイナミック変換時間の部分は、次のように 4.9 μW です。

$$((5 \text{ kSPS}/1 \text{ MSPS}) \times 327.4 \mu\text{A}) \times 3 \text{ V} = 4.9 \mu\text{W}$$

ノーマル・モードのスタティック動作とパワーダウン・モードでの総合消費電力に対して占める部分は、

$$((100.6 \mu\text{s}/200 \mu\text{s}) \times 21.6 \mu\text{A}) \times 3 \text{ V} +$$

$$((99.4 \mu\text{s}/200 \mu\text{s}) \times 264 \text{ nA}) \times 3 \text{ V} = 33 \mu\text{W}$$

変換時間 650 ns はスタティック動作時間に含まれません。

5 kSPS での総合消費電力は、

$$4.9 \mu\text{W} + 33 \mu\text{W} = 37.9 \mu\text{W}$$

図23 と図24に、V_{DD} 電源 = 3 V、かつV_{DRIVE} 電源 = 3 VでのAD7091Rの消費電力(typ)とスループット・レートの関係を示します。V_{DRIVE} 電源の消費電力は、V_{DD} 電源の場合と同じ方法で計算できます。

さらに、図24に、パワーダウン・モードを使用した場合に実現できる消費電力の削減を、低スループット・レートでノーマル・モードのみを使用した場合に比較して示します。

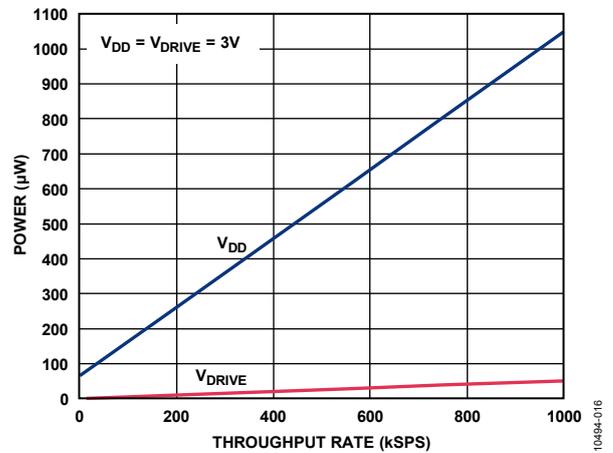


図 23.スループット・レート対消費電力 (フル・レンジ)

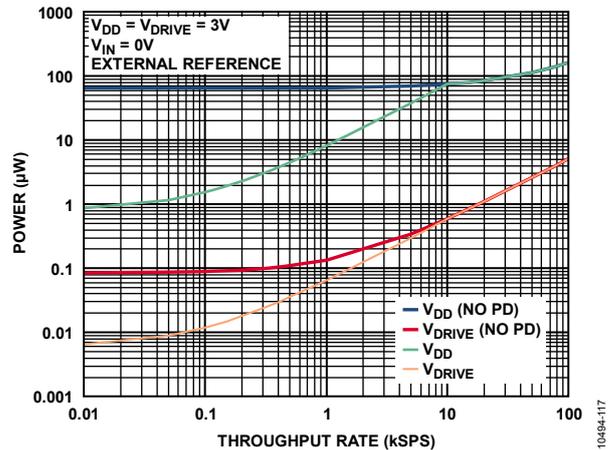


図 24.スループット・レート対消費電力 (下側レンジ)

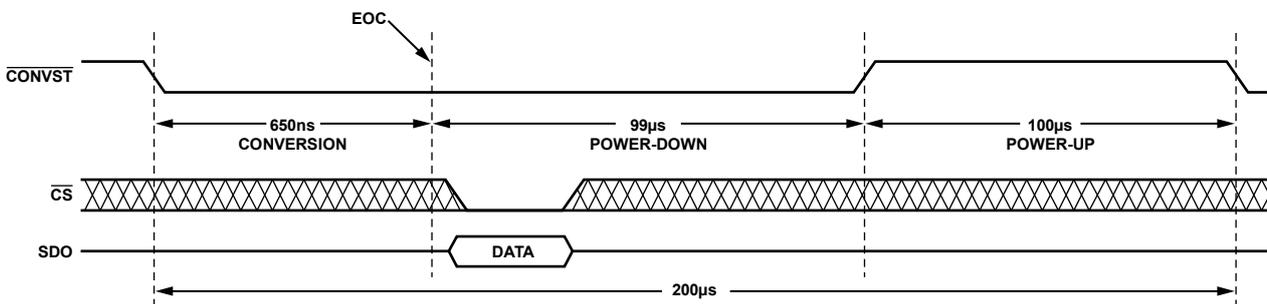


図 25.10 SPS、ノーマル・モードとパワーダウン・モード使用

シリアル・インターフェース

AD7091R のシリアル・インターフェースは、SDO、SCLK、CONVST、CSの4本の信号から構成されています。シリアル・インターフェースは、変換結果レジスタからのデータのアクセスとデバイス動作モードの制御に使用されます。SCLKはデバイスのシリアル・クロック入力であり、SDOのデータ転送は、このSCLKを基準として実行されます。CONVST信号は変換プロセスの起動とAD7091R動作モードの選択に使われます（動作モードのセクション参照）。CSはデータのフレーム化に使われます。CSの立下がりエッジでSDOは高インピーダンス状態から抜け出します。CSの立上りエッジでSDOは高インピーダンス状態へ戻ります。

変換終了時のCSのロジック・レベルで、BUSYインジケータ機能のイネーブル/ディスエーブルが指定されます。この機能は、CSとSCLKを基準とするMSBの伝搬遅延に影響を与えます。

BUSYインジケータ使用時

BUSYインジケータ機能をイネーブルすると、SDOピンを変換完了を示す割り込み信号として使用することができます。この構成の接続図を図26に示します。V_{DRIVE}とSDOピンの間にプルアップ抵抗が必要なことに注意してください。このプルアップ抵抗により、ホストは変換完了後にSDOピンがスリー・ステート状態を抜け出すタイミングを検出することができます。このモードでは、SCLKで13サイクルが必要です。すなわち、12クロック・サイクルはデータの出力に、残りのクロック・サイクルはSDOピンをスリー・ステート状態に戻すために、それぞれ必要です。

BUSYインジケータ機能をイネーブルするときは、先に変換を開始させる必要があります。CONVSTがハイ・レベルからロー・レベルへ変化すると、変換が開始されます。これにより、トラック・アンド・ホールドかホールド・モードになり、この時点でアナログ入力サンプルされます。AD7091Rをパワーダウン・モードにしない場合は、変換完了前にCONVSTをハイ・レベルにする

必要があります。変換の完了には650 nsを要します。変換プロセスが終了すると、トラック・アンド・ホールドはトラック・モードに戻ります。BUSYインジケータ機能をイネーブルするときは、変換終了の前にCSをロー・レベルにしてください。

変換結果は、SCLKと変換終了時のCSロジック状態の制御のもとで12ビットのワードとしてデバイスからシフト出力されます。変換終了時に、SDOはロー・レベルになります。変換結果のMSB(DB11)がSCLKの最初の立下がりエッジで出力されるまで、SDOはロー・レベルを維持します。DB10~DB0は、SCLKの後続立下がりエッジでシフト出力されます。SCLKの13番目の立下がりエッジで、SDOは高インピーダンス状態に戻ります。データはSCLKの立下がりエッジで伝送され、次のSCLKの立上りエッジと立下がりエッジで有効になります。このモードのタイミング図を図27に示します。

さらに変換が必要な場合は、CONVSTを再度ロー・レベルにし、読み出しサイクルを繰り返します。

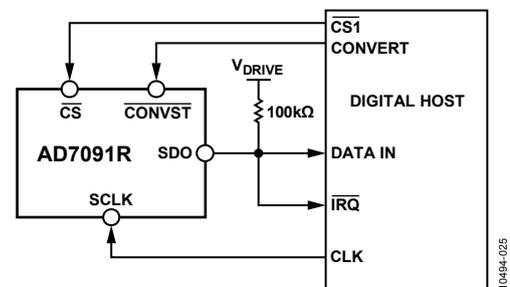
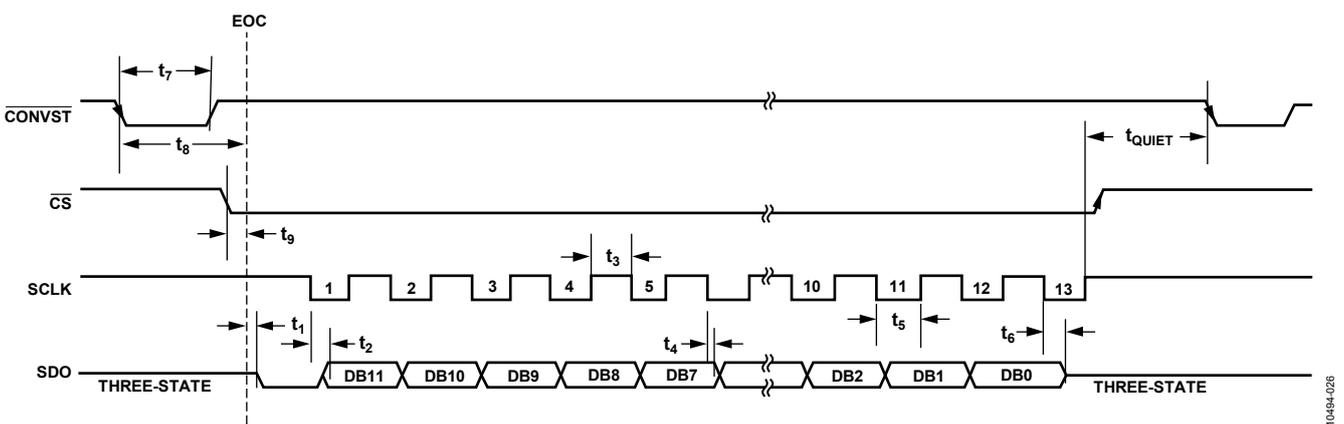


図 26. BUSYインジケータ使用時の接続図



NOTES

1. EOC IS THE END OF A CONVERSION.

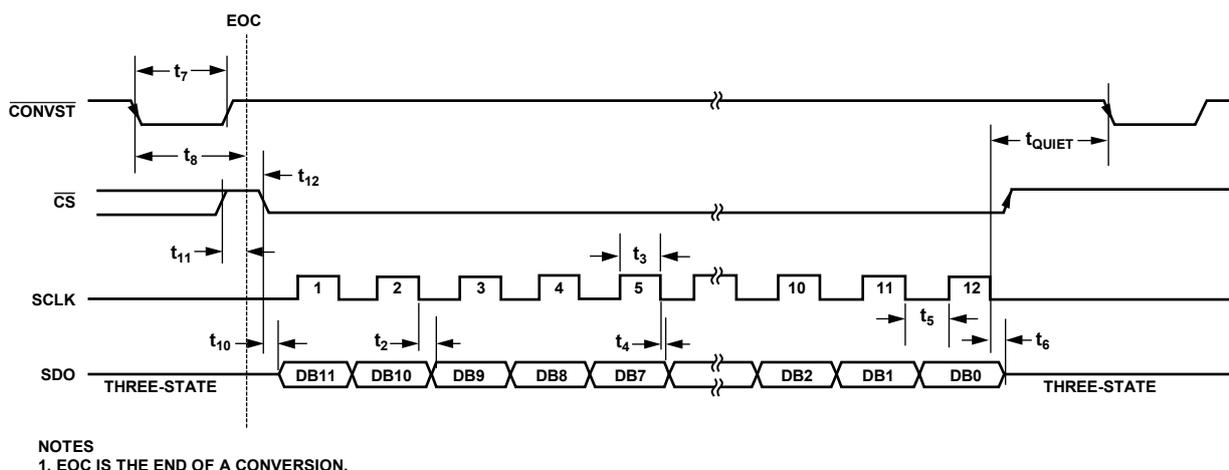
図 27. BUSYインジケータ使用時のシリアル・ポートのタイミング

BUSY インジケータ非使用時

BUSY インジケータ機能をイネーブルしないで AD7091R を動作させるときは、先に変換を開始させる必要があります。CONVST がハイ・レベルからロー・レベルへ変化すると、変換が開始されます。これにより、トラック・アンド・ホールドかホールド・モードになり、この時点でアナログ入力サンプルされます。AD7091R をパワーダウン・モードにしない場合は、変換完了前に CONVST をハイ・レベルにする必要があります。変換の完了には 650 ns を要します。変換プロセスが終了すると、トラック・アンド・ホールドはトラック・モードに戻ります。BUSY インジケータ機能がイネーブルされるのを防止するため、変換終了前に CS をハイ・レベルにする必要があります。

データは、SCLK と \overline{CS} の制御のもとで 12 ビットのワードとしてデバイスからシフト出力されます。MSB (ビット DB11) は、 \overline{CS} の立下がりエッジで出力されます。DB10~DB0 は、SCLK の後続立下がりエッジでシフト出力されます。SCLK の 12 番目の立下がりエッジで、SDO は高インピーダンス状態に戻ります。すべてのデータが出力された後、 \overline{CS} をハイ・レベルに戻します。このモードでは SCLK をロー・レベルにアイドルさせて、MSB が失われないようにする必要があります。データは SCLK の立下がりエッジで伝送され、次の SCLK の立ち上がりエッジと立下がりエッジで有効になります。図 28 に、動作タイミング図を示します。

さらに変換が必要な場合は、 \overline{CONVST} を再度ロー・レベルにし、読み出しサイクルを繰り返します。



10494-027

図 28. BUSY 非使用時のシリアル・ポートのタイミング

ソフトウェア・リセット

AD7091Rの電源を加えるとき、ユーザーはソフトウェア・リセットを起動する必要があります。ソフトウェア・リセット・コマンドを正しく実行しないと、デバイス故障が発生する可能性があることに注意してください。

ソフトウェア・リセットを起動するときは、

1. 変換を開始します。
2. 変換完了後にCSをロー・レベルにして変換結果をリードバックします。
3. 2番目と8番目のSCLKサイクルの間、CSをハイ・レベルにして、読み出し動作サイクルを短くします。
4. 次の変換の終わりに、ソフトウェア・リセットが実行されます。

内蔵リファレンス電圧を使用する場合、リファレンス・コンデンサがフル充電されて規定性能を満たすまで待つ必要があります。

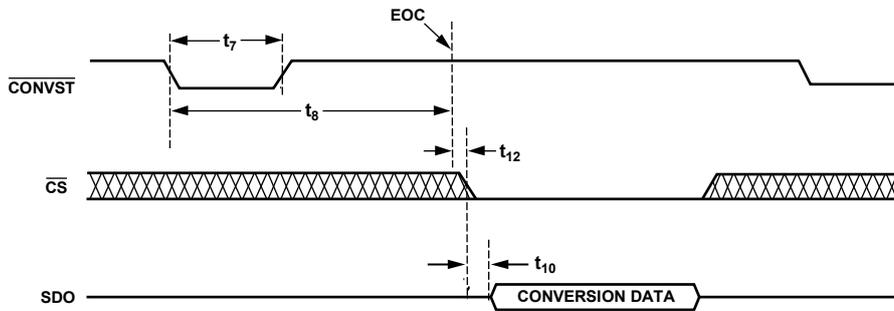
図 31 に、動作タイミング図を示します。

8/16 ビット SPIとのインターフェース

AD7091Rを従来型の8/16ビットSPIバスとインターフェースさせることもできます。

変換の実行と変換結果の読み出しは、ホストSPIインターフェースを16ビットに設定して実現することができます。この設定により、標準インターフェース方法に比べて変換の完了にはSCLKで4サイクルの追加が必要です(BUSYインジケータ使用時とBUSYインジケータ非使用時のセクション参照)。BUSYインジケータ機能をイネーブルした場合は13番目のSCLK立下がりエッジの後に、BUSYインジケータ機能をディスエーブルした場合は12番目のSCLK立下がりエッジ後に、SDOは高インピーダンス状態に戻ります。ホストでは、追加の4ビットをdon't careとして扱う必要があります。その他の全タイミングを図27と図28に示します。ここでは、 t_{QUIET} は16番目のSCLKサイクルの後に開始されています。

ソフトウェア・リセットは、SPIバスを8ビットに設定し、ソフトウェア・リセットのセクションで説明する動作を実行することにより、実行することができます。

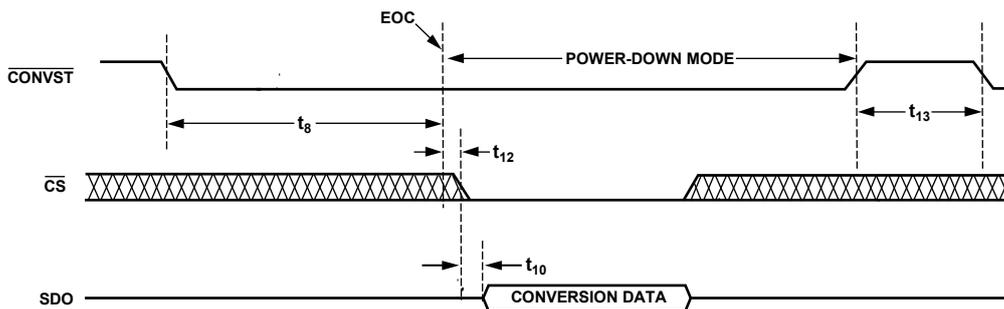


NOTES

1. DON'T CARE.
2. EOC IS THE END OF A CONVERSION.

10494-028

図 29. シリアル・インターフェース読み出しタイミング—ノーマル・モード

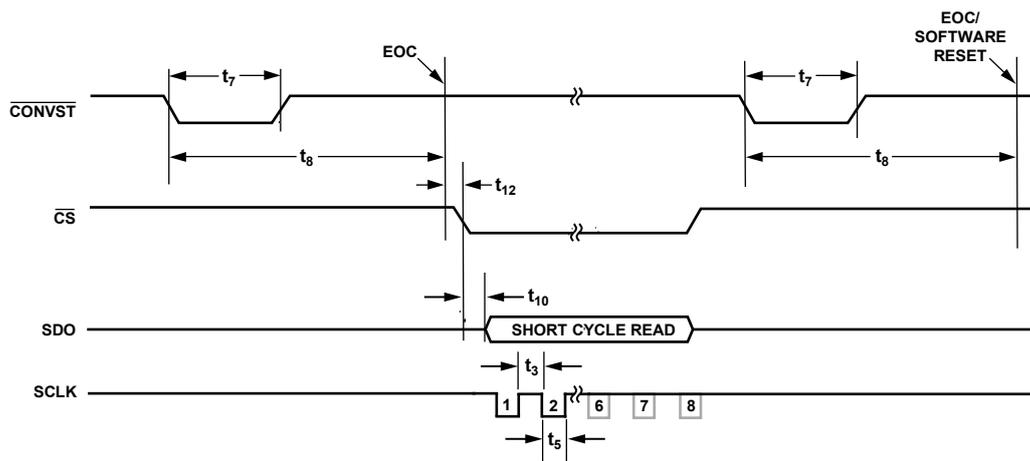


NOTES

1. DON'T CARE.
2. EOC IS THE END OF A CONVERSION.

10494-029

図 30. パワーダウン・モードの開始/終了



NOTES

1. \overline{XX} DON'T CARE.
2. EOC IS THE END OF A CONVERSION.

10494-030

図 31.ソフトウェア・リセットのタイミング

外形寸法

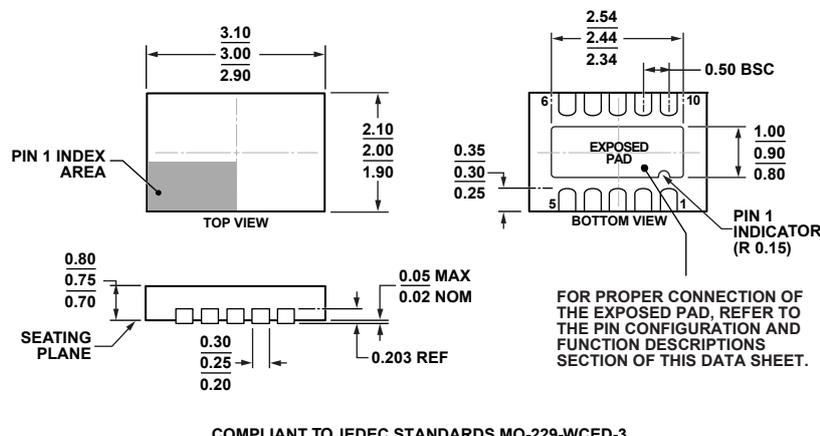


図 32.10 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WD]
3 mm × 2 mm ボディ、極薄、デュアル・リード
(CP-10-12)
寸法: mm

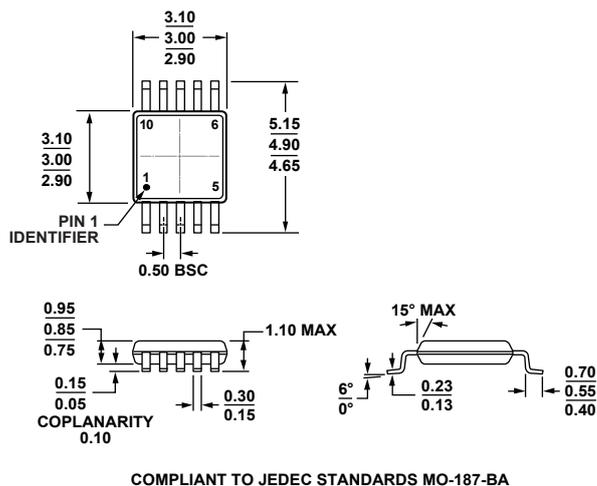


図 33.10 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-10)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
AD7091RBCPZ-RL	-40°C to +125°C	10-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-10-12	C7P
AD7091RBCPZ-RL7	-40°C to +125°C	10-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-10-12	C7P
AD7091RBRMZ	-40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	DRQ
AD7091RBRMZ-RL7	-40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	DRQ
EVAL-AD7091RSDZ		Evaluation Board		
EVAL-SDP-CB1Z		Evaluation Controller Board		

¹ Z = RoHS 準拠製品。