



4 チャンネル、I²C、超低消費電力、 12 ビット ADC、20 ピン LFCSP / TSSOP 採用

データシート

AD7091R-5

特長

- I²C 互換シリアル・インターフェースは標準モードと高速モードをサポート
- 超低消費電力: 3 V 時、高速モードで 90 μ W (typ)
- $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ で仕様を規定
- ドリフト 5 ppm/ $^{\circ}$ C (typ) の高精度 2.5 V リファレンスを内蔵
- 4 つのシングルエンド・アナログ入力チャンネル
- アラート機能
- ビジー機能
- 自動サイクル・モード
- 広い入力帯域幅
- 入力周波数 1 kHz 時の S/N 比 (SNR) は 68 dB (typ)
- 柔軟な消費電力/スループット・レート管理
- パイプライン遅延なし
- パワーダウン・モード
- $V_{DD} = 5.25\text{ V}$ 時 550 nA (typ)
- $V_{DD} = 3\text{ V}$ 時 435 nA (typ)
- 20 ピン LFCSP / TSSOP パッケージ
- 動作温度範囲: $-40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$

アプリケーション

- バッテリー駆動のシステム
- パーソナル・デジタル・アシスタント (PDA)
- 医用計測機器
- モバイル通信
- 計装システムおよび制御システム
- データ・アキュイジション・システム
- 光センサー
- 診断/モニタリング機能

概要

AD7091R-5 は、超低消費電力の 12 ビット、マルチチャンネル、逐次比較型 A/D コンバータ (ADC) です。AD7091R-5 は 2.7 V ~ 5.25 V の単電源で動作し、高速モードの場合、3 V 時の消費電流はわずか 24 μ A (typ) です。

AD7091R-5 は、I²C インターフェースと互換性のある 2 線式シリアル・インターフェースを備えています。変換プロセスは、 $\text{CONVST}/\text{GPO}_1$ ピン経由でのサンプル・モード、ソフトウェア制御を通じて選択する自動サイクル・モード、または I²C の書き込み動作によって変換が行われるコマンド・モードで制御できます。

デバイスは、最大 1.5 MHz の入力周波数を処理できる広帯域トラック&ホールド・アンプを内蔵しています。AD7091R-5 は、内蔵変換クロック、高精度 2.5 V 内部リファレンス電圧、プログラマブルな範囲外ユーザー・アラート機能も備えています。

機能ブロック図

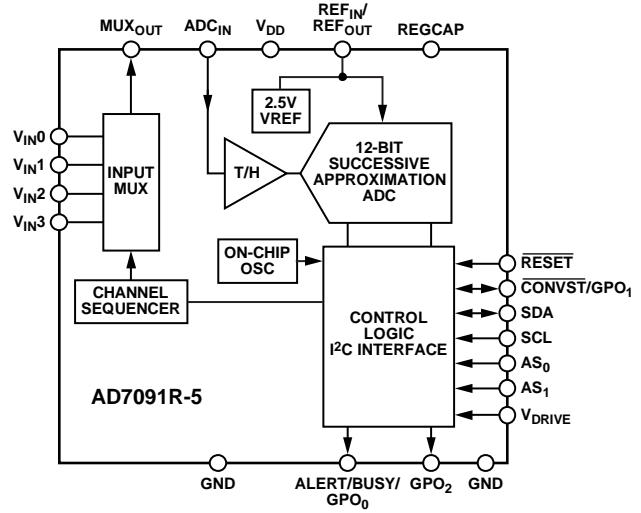


図 1.

AD7091R-5 には、チャンネル・シーケンサ付きの 4 つのシングルエンド・アナログ入力があり、順次変換するチャンネルを事前にプログラムで選択できます。

AD7091R-5 は、高度な設計技法を採用しているため、性能を損なうことなく超低消費電力を実現できます。また、柔軟なパワー・マネージメントのオプションも備えています。内蔵されている設定レジスタにより、さまざまな動作状態を設定できます。これらの設定には、パワー・マネージメント、アラート機能、ビジー表示、チャンネル・シーケンシング、汎用出力ピンが含まれます。MUX_OUT ピンと ADC_IN ピンを使用することで、ADC によるアキュイジションの前に、マルチプレクサ出力のシグナル・コンディショニングを実行できます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	変換結果レジスタ	20
アプリケーション	1	チャンネル・レジスタ	21
機能ブロック図	1	設定レジスタ	22
概要	1	アラート表示レジスタ	24
仕様	3	チャンネル x ロー・リミット・レジスタ	26
I ² C タイミング仕様	5	チャンネル x リミット・レジスタ	26
絶対最大定格	6	チャンネル x ヒステリシス・レジスタ	26
熱抵抗	6	I ² C インターフェース	27
ESD に関する注意	6	シリアル・バスのアドレス・バイト	27
ピン配置およびピン機能の説明	7	一般的な I ² C のタイミング	27
代表的な性能特性	9	AD7091R-5 への書込み	28
用語	14	16 ビット・レジスタに対する 2 バイト・データの書込み	28
動作原理	15	複数のレジスタへの書込み	28
回路説明	15	AD7091R-5 からのデータの読出し	29
コンバータの動作	15	16 ビット・レジスタからの 2 バイト・データの読出し	29
ADC の伝達関数	15	動作モード	30
リファレンス	15	サンプル・モード	30
電源	16	コマンド・モード	30
デバイスのリセット	16	自動サイクル・モード	32
アナログ入力	16	パワーダウン・モード	32
ドライバ・アンプの選択	17	アラート	33
代表的な接続図	17	ビジー	33
I ² C レジスタ	19	チャンネル・シーケンサ	33
レジスタのアドレス指定	19	外形寸法	34
スレーブ・アドレス	19	オーダー・ガイド	34
I ² C レジスタ・アクセス	19		

改訂履歴

7/15—Revision 0:初版

仕様

特に指定のない限り、 $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $f_{SCL} = 400\text{ kHz}$ 、高速 SCL モード、 $V_{REF} = 2.5\text{ V}$ 内部/外部、 $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
	$f_{IN} = 1\text{ kHz}$ sine wave				
Signal-to-Noise Ratio (SNR)			68		dB
Signal-to-Noise-and-Distortion Ratio (SINAD)			67		dB
Total Harmonic Distortion (THD)			-80		dB
Spurious-Free Dynamic Range (SFDR)			-81		dB
Channel to Channel Isolation			-105		dB
Aperture Delay			5		ns
Aperture Jitter			40		ps
Full Power Bandwidth	At -3 dB		1.5		MHz
	At -0.1 dB		1.2		MHz
DC ACCURACY					
Resolution		12			Bits
Integral Nonlinearity (INL)		-1.25	± 0.8	+1.25	LSB
Differential Nonlinearity (DNL)	Guaranteed no missing codes to 12 bits	-0.9	± 0.3	+0.9	LSB
Offset Error	$T_A = 25\text{ }^\circ\text{C}$	-1.5	± 0.3	+1.5	mV
Offset Error Matching	$T_A = 25\text{ }^\circ\text{C}$	-1.5	± 0.3	+1.5	mV
Offset Error Drift			2		ppm/ $^\circ\text{C}$
Gain Error	$T_A = 25\text{ }^\circ\text{C}$	-0.1	0.0	+0.1	% FS
Gain Error Matching	$T_A = 25\text{ }^\circ\text{C}$	-0.1	0.0	+0.1	% FS
Gain Error Drift			1		ppm/ $^\circ\text{C}$
ANALOG INPUT					
Input Voltage Range ¹	At ADC_{IN}	0		V_{REF}	V
DC Leakage Current		-1		+1	μA
Input Capacitance ²	During acquisition phase		10		pF
	Outside acquisition phase		1.5		pF
Multiplexer On Resistance	$V_{DD} = 5.0\text{ V}$		50		Ω
	$V_{DD} = 2.5\text{ V}$		100		Ω
VOLTAGE REFERENCE INPUT/OUTPUT					
REF_{OUT} ³	Internal reference output, $T_A = 25\text{ }^\circ\text{C}$	2.49	2.5	2.51	V
REF_{IN} ³	External reference input	1.0		V_{DD}	V
Drift			5		ppm/ $^\circ\text{C}$
Power-On Time	$C_{REF} = 2.2\text{ }\mu\text{F}$		50		ms
LOGIC INPUTS					
Input Voltage					
High (V_{IH})		$0.7 \times V_{DRIVE}$			V
Low (V_{IL})				$0.3 \times V_{DRIVE}$	V
Input Current (I_{IN})	$V_{IN} = 0\text{ V}$ or V_{DRIVE}	-1	0.01	+1	μA
LOGIC OUTPUTS					
Output Voltage					
High (V_{OH})	$I_{SOURCE} = 200\text{ }\mu\text{A}$	$V_{DRIVE} - 0.2$			V
Low (V_{OL})	$I_{SINK} = 200\text{ }\mu\text{A}$			0.4	V
Floating State Leakage Current		-1		+1	μA
Output Coding		Straight (natural) binary			

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CONVERSION RATE					
Conversion Time			550		ns
Update Rate					
Autocycle Setting 00		90	100	110	μ s
Autocycle Setting 01		180	200	220	μ s
Autocycle Setting 10		360	400	440	μ s
Autocycle Setting 11		720	800	880	μ s
Throughput Rate	$f_{SCL} = 400$ kHz, command mode			22.22	kSPS
POWER REQUIREMENTS					
V_{DD}		2.7		5.25	V
V_{DRIVE} Range		1.8		5.25	V
I_{DD}	$V_{IN} = 0$ V				
Normal Mode—Static	$V_{DD} = 5.25$ V		22	50	μ A
	$V_{DD} = 3$ V		21.6	46	μ A
Normal Mode—Operational	$V_{DD} = 5.25$ V, $f_{SCL} = 400$ kHz		26	55	μ A
	$V_{DD} = 3$ V, $f_{SCL} = 400$ kHz		24	52	μ A
	$V_{DD} = 5.25$ V, $f_{SCL} = 100$ kHz		25	54	μ A
	$V_{DD} = 3$ V, $f_{SCL} = 100$ kHz		23	51	μ A
Power-Down Mode	$V_{DD} = 3$ V, autocycle mode		70	105	μ A
	$V_{DD} = 5.25$ V		0.550	17	μ A
	$V_{DD} = 5.25$ V, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		0.550	8	μ A
	$V_{DD} = 3$ V		0.435	15	μ A
I_{DRIVE}	$V_{IN} = 0$ V				
Normal Mode—Static	$V_{DRIVE} = 5.25$ V		2	4	μ A
	$V_{DRIVE} = 3$ V		1	3.5	μ A
Normal Mode—Operational	$V_{DRIVE} = 5.25$ V, $f_{SCL} = 400$ kHz		6	15	μ A
	$V_{DRIVE} = 3$ V, $f_{SCL} = 400$ kHz		5	14	μ A
	$V_{DRIVE} = 5.25$ V, $f_{SCL} = 100$ kHz		5	14	μ A
	$V_{DRIVE} = 3$ V, $f_{SCL} = 100$ kHz		4	13	μ A
Total Power Dissipation ⁴	$V_{IN} = 0$ V				
Normal Mode—Static	$V_{DD} = V_{DRIVE} = 5.25$ V		130	290	μ W
	$V_{DD} = V_{DRIVE} = 3$ V		70	150	μ W
Normal Mode—Operational	$V_{DD} = V_{DRIVE} = 5.25$ V, $f_{SCL} = 400$ kHz		170	370	μ W
	$V_{DD} = V_{DRIVE} = 3$ V, $f_{SCL} = 400$ kHz		90	200	μ W
	$V_{DD} = V_{DRIVE} = 5.25$ V, $f_{SCL} = 100$ kHz		160	360	μ W
	$V_{DD} = V_{DRIVE} = 3$ V, $f_{SCL} = 100$ kHz		85	195	μ W
Power-Down Mode	$V_{DD} = V_{DRIVE} = 3$ V, autocycle mode		210	315	μ W
	$V_{DD} = 5.25$ V		3	95	μ W
	$V_{DD} = 5.25$ V, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		3	33	μ W
	$V_{DD} = V_{DRIVE} = 3$ V		1.4	50	μ W

¹ マルチプレクサの入力電圧は、 V_{DD} を超えてはいけません。

² 初期リリース時にサンプル・テストにより適合性を保証。

³ パラメータの説明で、多機能ピンの特定の機能について示している箇所では、仕様に関するピン名のみを示しています。多機能ピンのすべてのピン名については、Pin Configurations and Function Descriptions のセクションを参照してください。

⁴ 総消費電力には、 V_{DD} 、 V_{DRIVE} 、 REF_{IN} の消費電力が含まれます（注³を参照）。

I²C タイミング仕様

これらの値はすべて、入力フィルタがイネーブルの状態です。C_B は、バス・ラインに容量性負荷が存在することを表し、立上がり時間と立下がり時間は $0.3 \times V_{DRIVE} \sim 0.7 \times V_{DRIVE}$ で測定した値です (Figure 2 を参照)。特に指定のない限り、V_{DD} = 2.7 V ~ 5.25 V、V_{DRIVE} = 1.8 V ~ 5.25 V、V_{REF} = 2.5 V 内部/外部、T_A = T_{MIN} ~ T_{MAX}。

表 2.

Parameter	Limit at T _{MIN} , T _{MAX}			Unit	Description
	Min	Typ	Max		
f _{SCL}			100	kHz	Serial clock frequency, standard mode
			400		Fast mode
t ₁	4			μs	SCL high time, standard mode
	0.6			μs	Fast mode
t ₂	4.7			μs	SCL low time, standard mode
	1.3			μs	Fast mode
t ₃	250			ns	Data setup time, standard mode
	100			ns	Fast mode
t ₄ ¹	0		3.45	μs	Data hold time, standard mode
	0		0.9	μs	Fast mode
t ₅	4.7			μs	Setup time for a repeated start condition, standard mode
	0.6			μs	Fast mode
t ₆	4			μs	Hold time for a repeated start condition, standard mode
	0.6			μs	Fast mode
t ₇	4.7			μs	Bus-free time between a stop and a start condition, standard mode
	1.3			μs	Fast mode
t ₈	4			μs	Setup time for a stop condition, standard mode
	0.6			μs	Fast mode
t ₉			1000	ns	Rise time of the SDA signal, standard mode
	20 + 0.1C _B		300	ns	Fast mode
t ₁₀			300	ns	Fall time of the SDA signal, standard mode
	20 + 0.1C _B		300	ns	Fast mode
t ₁₁			1000	ns	Rise time of the SCL signal, standard mode
	20 + 0.1C _B		300	ns	Fast mode
t _{11A}			1000	ns	Rise time of the SCL signal after a repeated; not shown in Figure 2, standard mode
	20 + 0.1C _B		300	ns	Start condition and after an acknowledge bit, fast mode
t ₁₂			300	ns	Fall time of the SCL signal, standard mode
	20 + 0.1C _B		300	ns	Fast mode
t _{SP}	0		50	ns	Pulse width of the suppressed spike; not shown in Figure 2, fast mode
t _{RESETPW}	10			ns	RESET pulse width (see Figure 35)
t _{RESET_DELAY}	50			ns	RESET pulse delay upon power-up (see Figure 35)

¹ SCL 立下がりエッジの不定領域をブリッジするには、デバイスは SDA のデータ・ホールド時間を提供する必要があります。

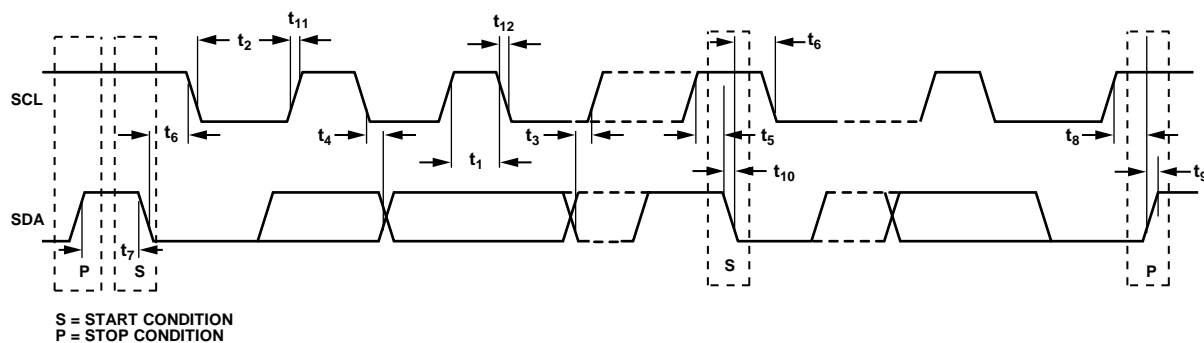


図 2.2 線式シリアル・インターフェースのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{DRIVE} to GND	-0.3 V to +7 V
Analog Input Voltage to GND	-0.3 V to $V_{REF} + 0.3$ V
Digital Input ¹ Voltage to GND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output ² Voltage to GND	-0.3 V to $V_{DRIVE} + 0.3$ V
Input Current to Any Pin Except Supplies ³	± 10 mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
ESD	
Human Body Model (HBM)	1.5 kV
Field Induced Charged Device Model (FICDM)	500 V

¹ デジタル入力ピンには、 AS_0 、 \overline{RESET} 、 AS_1 、 SCL 、 SDA 、 \overline{CONVST}/GPO_1 が含まれます。

² デジタル出力ピンには、 $ALERT/BUSY/GPO_0$ 、 GPO_2 、 SDA が含まれます。

³ 最大 100 mA までの過渡電流では、SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で規定しています。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
20-Lead LFCSP_WQ	52	6.5	°C/W
20-Lead TSSOP	84.3	18.4	°C/W

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

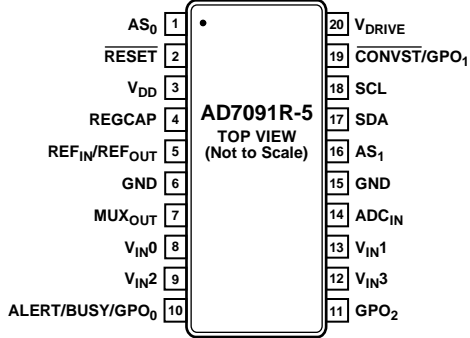


図 3. 20 ピン TSSOP のピン配置

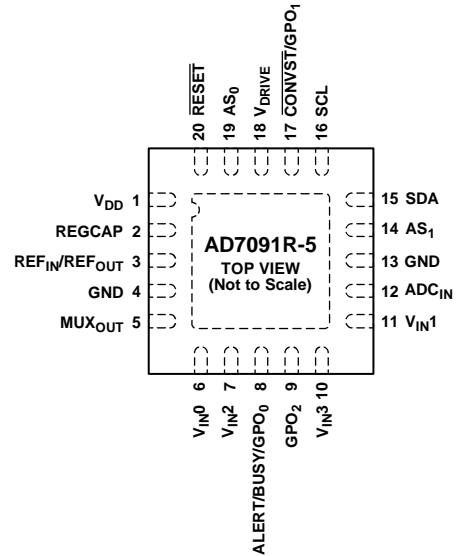


図 4. 20 ピン LFCSP のピン配置

NOTES
1. EXPOSED PAD. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO GND.

12089-003

表 5. ピン機能の説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	19	AS ₀	I ² C アドレス・ビット 0。このピンと AS ₁ のロジック状態により、AD7091R-5 の固有の I ² C アドレスが選択されます。デバイスのアドレスは、これらのピンのロジック状態に依存します。
2	20	RESET	リセット。ロジック入力。このピンをロー・レベルにプルダウンすると、デバイスがリセットされます。
3	1	V _{DD}	電源入力。V _{DD} 範囲は 2.7 V ~ 5.25 V。この電源ピンは GND へデカップリングします。
4	2	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。2.2 μF のコンデンサを使用して、この出力ピンを GND へデカップリングします。
5	3	REF _{IN} /REF _{OUT}	電圧リファレンス出力は 2.5 V。このピンは GND へデカップリングします。推奨デカップリング・コンデンサ値は 2.2 μF です。2.5 V 内部リファレンスを使用するか、このピンに加える電圧で内部リファレンス電圧をオーバードライブすることができます。外付けリファレンスの電圧範囲は 1.0 V ~ V _{DD} です。
6, 15	4, 13	GND	チップのグラウンド・ピン。これらのピンは、AD7091R-5 の全回路に対するグラウンド基準ポイントです。
7	5	MUX _{OUT}	マルチプレクサ出力。マルチプレクサの出力がこのピンに現れます。外部フィルタリングまたはバッファリングが不要な場合は、このピンを ADC _{IN} ピンに直接接続します。あるいは、コンディショニング・ネットワークの出力を ADC _{IN} ピンに接続します。
8	6	V _{IN0}	チャンネル 0 のアナログ入力。シングルエンド・アナログ入力。アナログ入力範囲は 0 V ~ V _{REF0} 。
9	7	V _{IN2}	チャンネル 2 のアナログ入力。シングルエンド・アナログ入力。アナログ入力範囲は 0 V ~ V _{REF0} 。
10	8	ALERT/BUSY/GPO ₀	このピンは多機能ピンで、設定レジスタによって機能が決定されます。 アラート出力ピン (ALERT)。このピンは ALERT として機能する場合、変換結果がレジスタ設定の制限値外になったことを示すロジック出力です。 ビジー出力 (BUSY)。BUSY ピンは、変換が実行されていることを示します。 汎用デジタル出力 0 (GPO ₀)。
11	9	GPO ₂	汎用デジタル出力 2。
12	10	V _{IN3}	チャンネル 3 のアナログ入力。シングルエンド・アナログ入力。アナログ入力範囲は 0 V ~ V _{REF0} 。
13	11	V _{IN1}	チャンネル 1 のアナログ入力。シングルエンド・アナログ入力。アナログ入力範囲は 0 V ~ V _{REF0} 。
14	12	ADC _{IN}	ADC 入力。このピンを使用すれば、ADC に直接アクセスできます。外部フィルタリングまたはバッファリングが不要な場合は、このピンを MUX _{OUT} ピンに直接接続します。あるいは、コンディショニング・ネットワークの入力を MUX _{OUT} ピンに接続します。

ピン番号		記号	説明
TSSOP	LFCSP		
16	14	AS ₁	I ² C アドレス・ビット 1。このピンと AS ₀ のロジック状態により、AD7091R-5 の固有の I ² C アドレスが選択されます。デバイスのアドレスは、これらのピンのロジック状態に依存します。
17	15	SDA	シリアル・データ入力/出力。このオープンドレイン出力には、プルアップ抵抗が必要です。電圧チャンネルの出力コーディングはストレート・バイナリです。
18	16	SCL	デジタル入力シリアル I ² C バス・クロック。この入力には、プルアップ抵抗が必要です。I ² C モードでのデータ転送レートは、100 kHz (標準モード) と 400 kHz (高速モード) の両方の動作モードと互換性があります。
19	17	CONVST/GPO ₁	このピンは多機能ピンで、設定レジスタと変換モードによって機能が決定されます。 変換開始の入力信号 (CONVST)。エッジ・トリガ・ロジック入力。CONVST の立下がりエッジで ADC がホールド・モードになり、変換が開始されます。EOC での CONVST のロジック・レベルが AD7091R-5 の消費電力モードを制御します。 汎用デジタル出力 1 (GPO ₁)。コマンド・モードまたは自動サイクル・モードの場合、このピンは汎用デジタル出力として機能できます。
20	18	V _{DRIVE}	ロジック電源入力。このピンに供給される電圧により、インターフェースの動作電圧が決定されます。V _{DRIVE} と GND の間にデカップリング・コンデンサを接続します。推奨値は 10 μF と 0.1 μF です。このピンの電圧範囲は 1.8 V ~ 5.25 V であり、V _{DD} の電圧範囲と異なってもかまいませんが、V _{DD} 値を上回る場合は相違が 0.3 V を超えてはいけません。
N/A ¹	21	EPAD	露出パッド。露出パッドは内部で接続されていません。パッドを GND にハンダ付けすることが推奨されます。

¹ N/A は該当なしを意味します。

代表的な性能特性

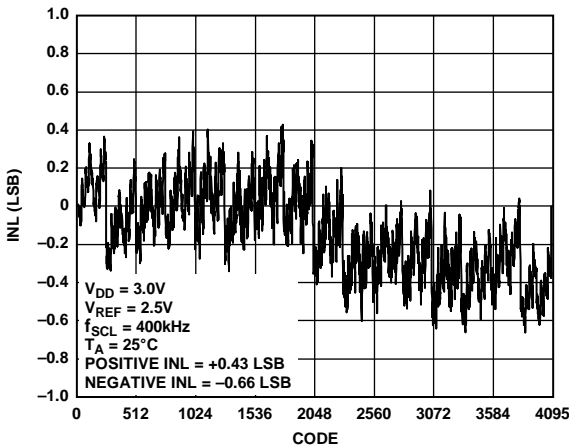


図 5. 積分非直線性とコードの関係

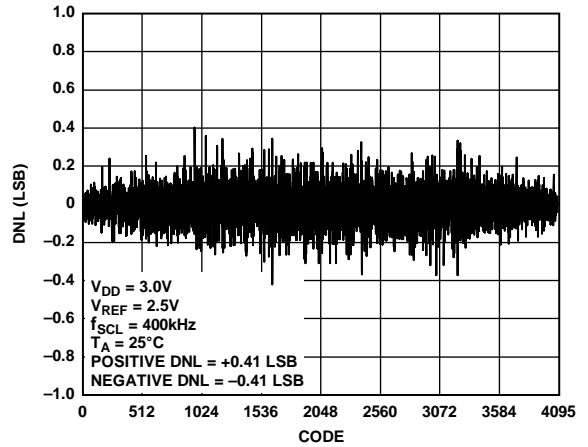


図 8. 微分非直線性とコードの関係

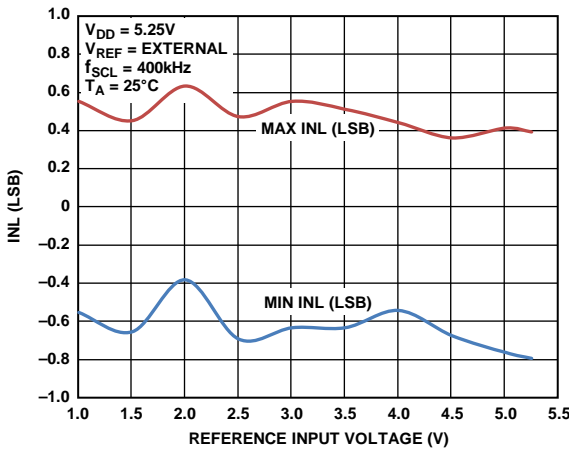


図 6. 最小/最大 INL と外部リファレンス入力電圧の関係

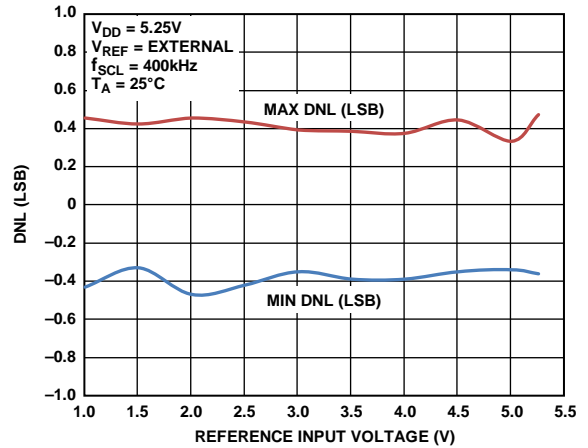


図 9. 最小/最大 DNL と外部リファレンス入力電圧の関係

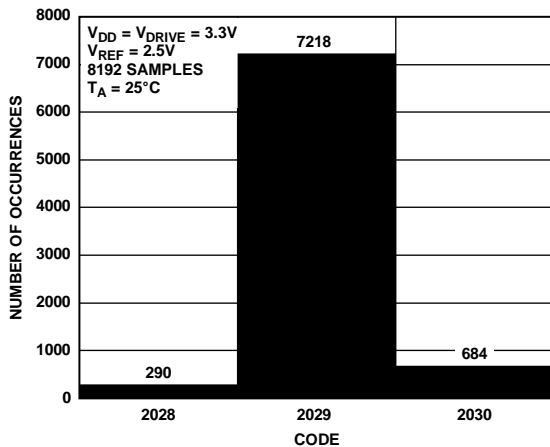


図 7. コード中心での DC 入力のヒストグラム

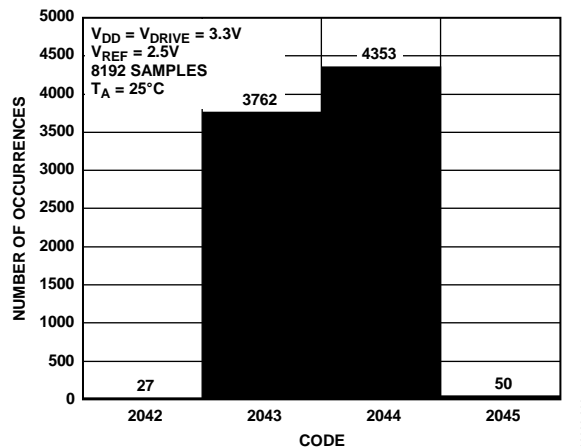


図 10. コード遷移での DC 入力のヒストグラム

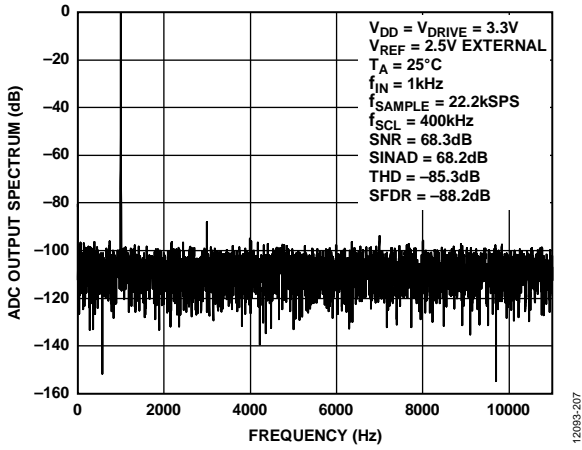


図 11. 10 kHz FFT、 $V_{DD} = 3.0V$ 、 $V_{REF} = 2.5V$ 外部

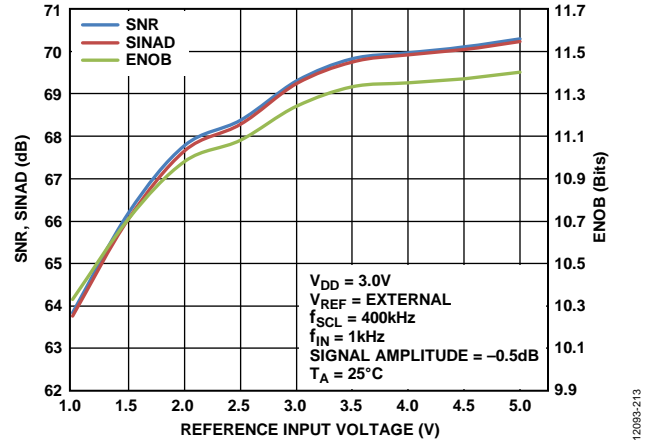


図 14. SNR、SINAD、ENOB とリファレンス入力電圧の関係

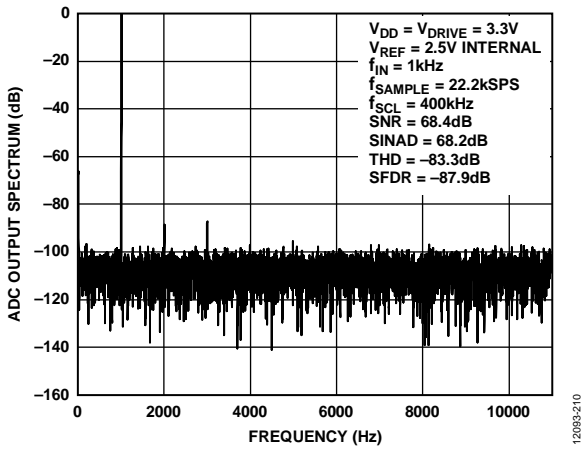


図 12. 10 kHz FFT、 $V_{DD} = 3.0V$ 、 $V_{REF} = 2.5V$ 内部

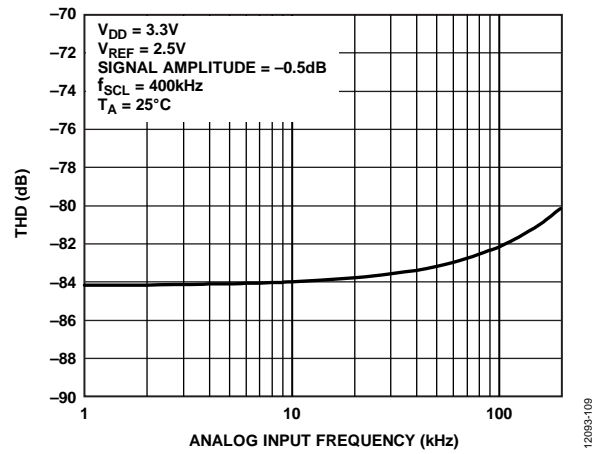


図 15. THD とアナログ入力周波数の関係

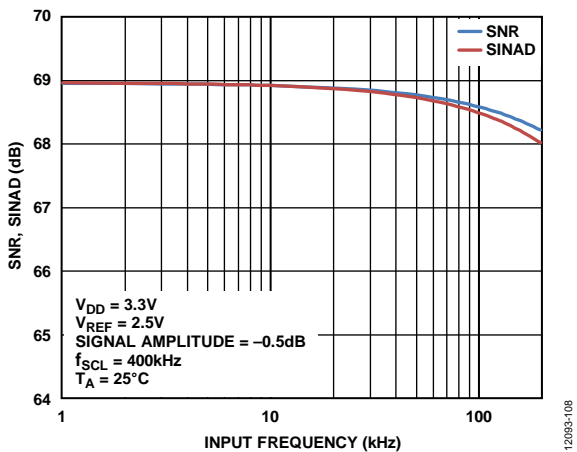


図 13. SNR、SINAD と入力周波数の関係

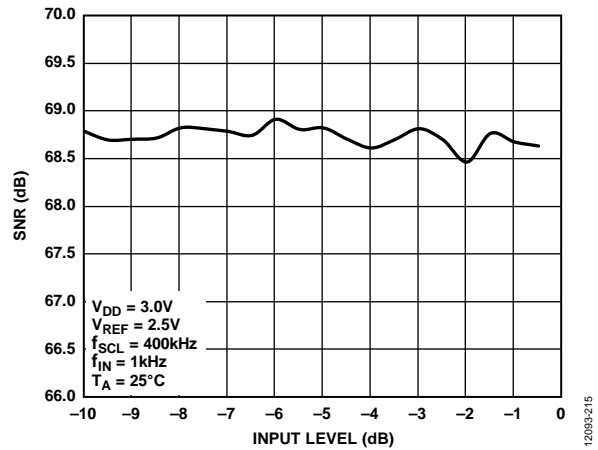


図 16. SNR と入力レベルの関係

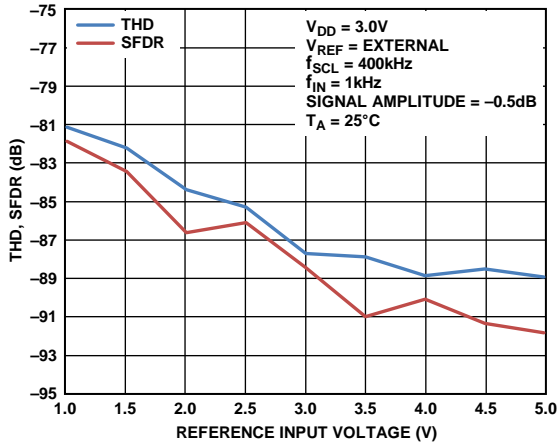


図 17. THD、SFDR とリファレンス入力電圧の関係

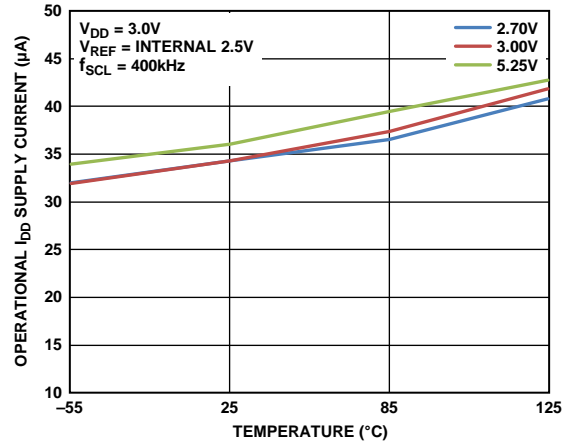


図 20. 各種 V_{DD} 電源電圧での動作 I_{DD} 電源電流と温度の関係

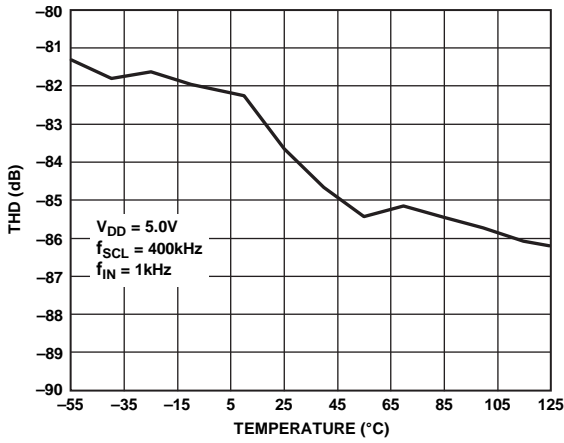


図 18. THD と温度の関係

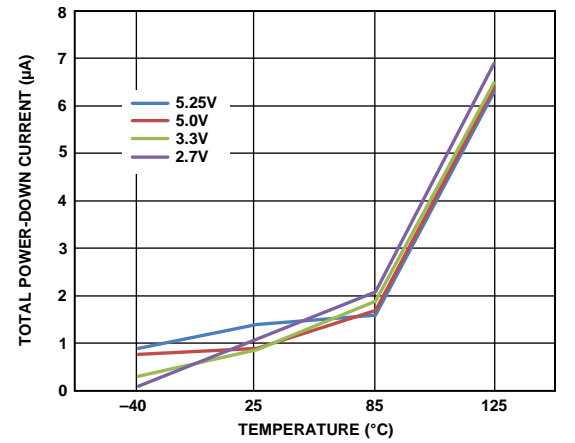


図 21. 各種 V_{DD} 電源電圧での合計パワーダウン電流と温度の関係

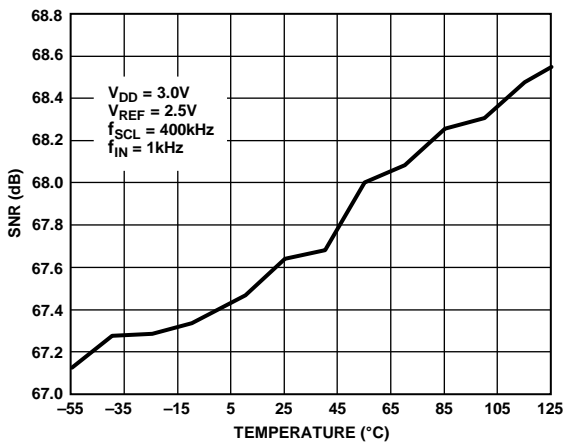


図 19. SNR と温度の関係

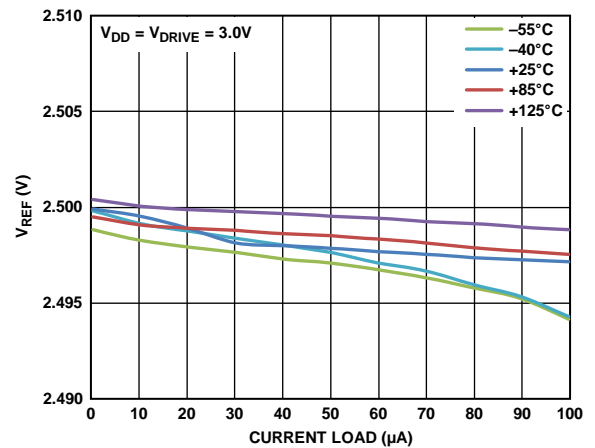


図 22. 各種温度でのリファレンス電圧出力 (V_{REF}) と電流負荷の関係

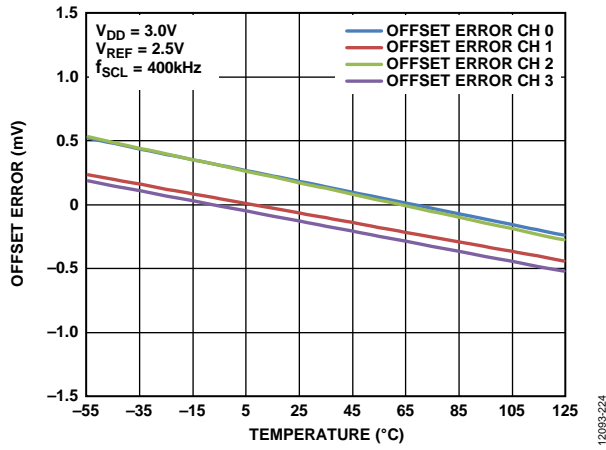


図 23. オフセット誤差と温度の関係

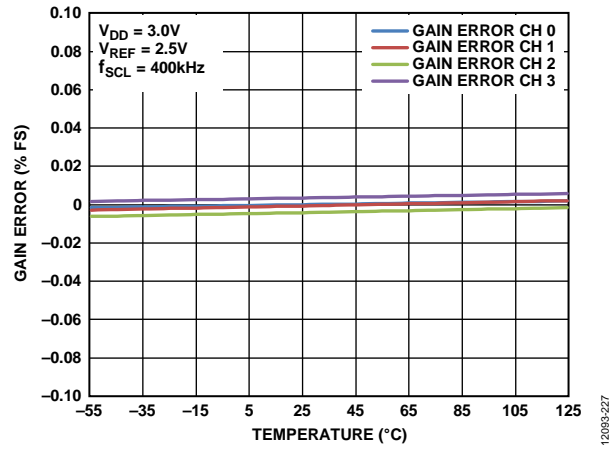


図 26. ゲイン誤差と温度の関係

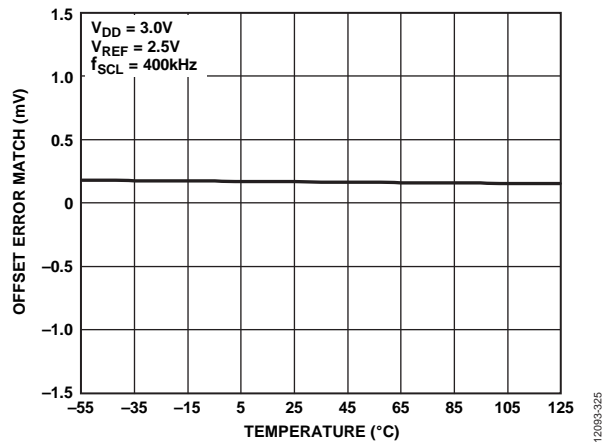


図 24. オフセット誤差整合と温度の関係

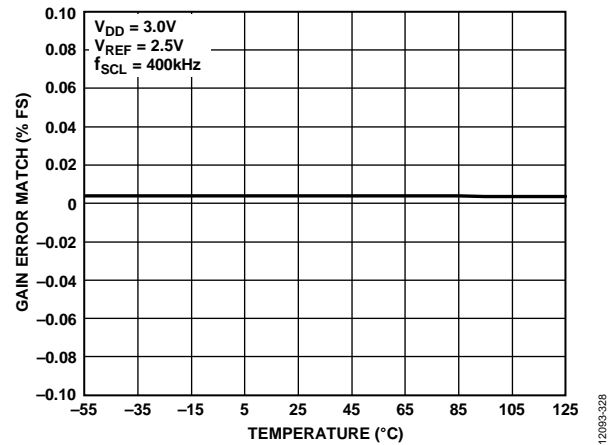


図 27. ゲイン誤差整合と温度の関係

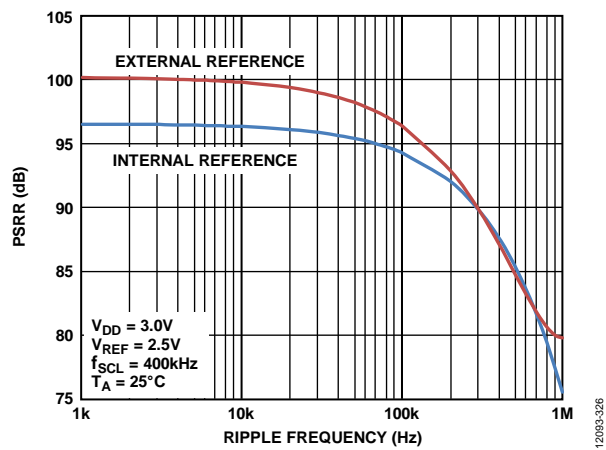


図 25. PSRR とリップル周波数の関係

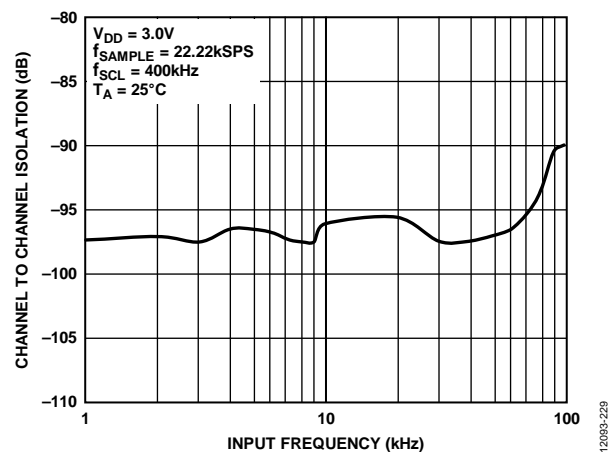


図 28. チャンネル間絶縁と入力周波数の関係

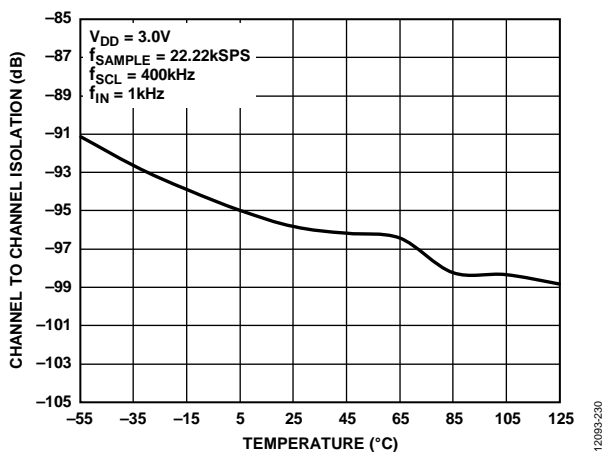


図 29. チャンネル間絶縁と温度の関係

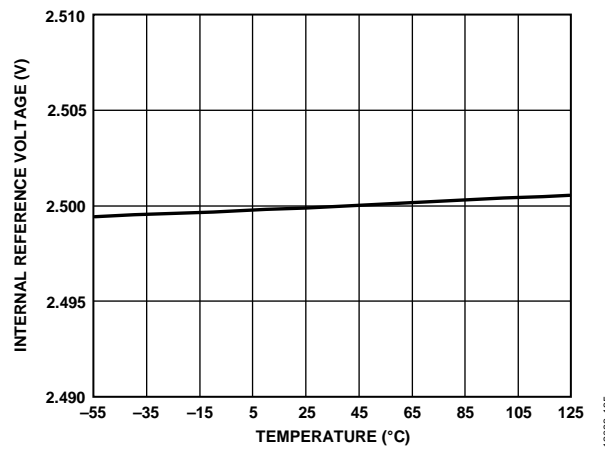


図 31. 内部リファレンス電圧と温度の関係

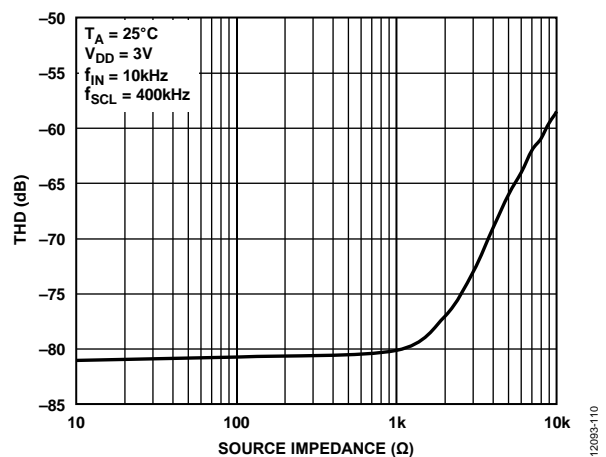


図 30. THD と信号源インピーダンスの関係

用語

積分非直線性 (INL)

ADC 伝達関数の両端を結ぶ直線からの最大許容誤差です。AD7091R-5 の場合、伝達関数の両端は、ゼロ・スケール（最初のコード遷移より $\frac{1}{2}$ LSB 下のポイント）とフルスケール（最後のコード遷移より $\frac{1}{2}$ LSB 上のポイント）に相当します。

微分非直線性 (DNL)

ADC の 2 つの隣接コード間における 1 LSB 変化の測定値と理論値の差です。

オフセット誤差

オフセット誤差は、最初のコード遷移 (00 ... 000 から 00 ... 001) と理想的な遷移 (GND + 0.5 LSB など) との偏差です。

オフセット誤差整合

オフセット誤差整合は、任意の 2 つの入力チャンネル間のオフセット誤差の差です。

ゲイン誤差

AD7091R-5 の場合、ゲイン誤差は、オフセット誤差を調整した後の最後のコード遷移 (111 ... 110 から 111 ... 111) と理想的な遷移 ($V_{REF} - 1.5$ LSB など) の間の偏差です。

ゲイン誤差整合

ゲイン誤差整合は、任意の 2 つの入力チャンネル間のゲイン誤差の差です。

過渡応答時間

変換終了後、トラック&ホールド・アンプはトラック・モードに戻ります。トラック&ホールド・アクイジション時間は、変換終了後にトラック&ホールド・アンプの出力が最終値の ± 0.5 LSB 以内に収まるまでに要する時間です。詳細については、I²C Interface のセクションを参照してください。

信号/ノイズ+歪み (SINAD)

SINAD は、ADC 出力で信号/ノイズ+歪みの測定値です。信号は基本波の rms 振幅で表します。ノイズは $1/2$ サンプリング周波数 ($f_s/2$) までの非基本波の総和で表します (DC を除く)。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。サイン波入力を持つ理想的な N ビット・コンバータの理論的な SINAD は次式で求めます。

$$\text{信号} / (\text{ノイズ} + \text{歪み}) = (6.02N + 1.76) \text{ (dB)}$$

したがって、12 ビット・コンバータの場合、SINAD は 74 dB になります。

チャンネル間絶縁

チャンネル間絶縁とは、選択したチャンネルとその他のすべてのチャンネル間のクロストーク・レベルの測定値です。この値を測定するには、非選択入力チャンネルのすべてにフルスケールの 10 kHz のサイン波信号を入力し、その信号の減衰量を DC 信号が入力されている選択されたチャンネルで調べます。Figure 28 に、AD7091R-5 のすべてのチャンネル間での最悪の条件を示します。

全高調波歪み (THD)

THD は高調波の rms 値の総和と基本波の比です。AD7091R-5 の場合、この値は次のように定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅。

V_2, V_3, V_4, V_5, V_6 は、2 次 ~ 6 次の高調波の rms 振幅。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、基本波 rms 値に対する ADC 出力スペクトル内の (DC を除いて $f_s/2$ まで) 次に大きい成分の rms 値の比として定義されます。一般に、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋め込まれている ADC の場合はノイズ・ピークになります。

動作原理

回路説明

AD7091R-5 は、超低消費電力の 12 ビット単電源 ADC です。デバイスは 2.7 V ~ 5.25 V の電源で動作します。AD7091R-5 は、標準 I²C 動作モードと高速 I²C 動作モードの両方で機能することができます。

AD7091R-5 は、4:1 マルチプレクサと内蔵トラック&ホールド・アンプを備えていて、20 ピン LFCSP パッケージまたは 20 ピン TSSOP パッケージに収められています。これらのパッケージは、代替ソリューションに比べて大幅に優れた省スペース性を発揮します。このデバイスからのデータにアクセスするには、シリアル・クロック入力を使用します。逐次比較型 ADC を制御するための内部発生クロックが実装されています。AD7091R-5 のリファレンス電圧は、外部から提供されるか、高精度内蔵リファレンス・ソースにより内部で発生されます。AD7091R-5 のアナログ入力範囲は 0 V ~ V_{REF} です。

AD7091R-5 はパワーダウン・オプションを備えているため、変換の間で消費電力を節約できます。パワーダウン機能には、標準のシリアル・インターフェースを通じてアクセスします (Modes of Operation のセクションを参照)。

コンバータの動作

AD7091R-5 は、電荷再配分式 D/A コンバータ (DAC) を採用した逐次比較型 ADC です。Figure 32 と Figure 33 に、ADC の簡略化した回路図を示します。Figure 32 に、アキュイジション・フェーズにある ADC を示します。スイッチ 2 (SW2) が閉じていて、スイッチ 1 (SW1) が位置 A にある場合、コンパレータは平衡状態に保持されて、サンプリング・コンデンサは ADC_{IN} 上の信号を取得します。

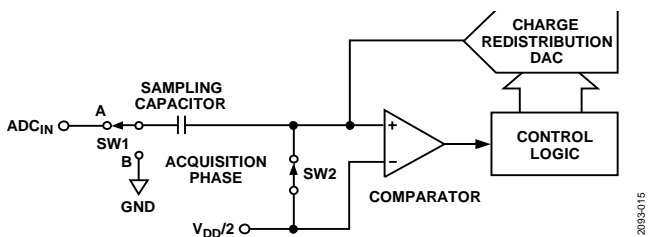


図 32. ADC アキュイジション・フェーズ

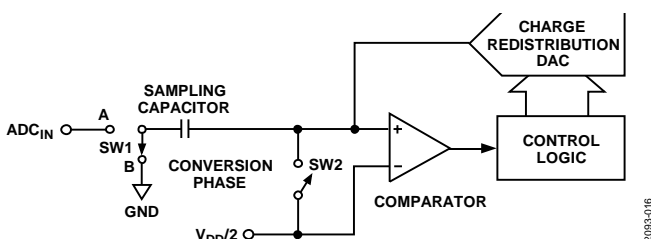


図 33. ADC 変換フェーズ

ADC が変換を開始すると、SW2 が開いて、SW1 が位置 B に移動し、コンパレータが非平衡状態になります (Figure 33 を参照)。コントロール・ロジックと電荷再配分式 DAC を使用して、サンプリング・コンデンサに対して一定量の電荷を加算および減算し、コンパレータを平衡状態に戻すようにします。SAR の判定が行われると、コンパレータの入力が平衡状態に戻ります。これらの SAR の判定から、コントロール・ロジックは ADC 出力コードを生成します。

ADC の伝達関数

AD7091R-5 の出力コーディングはストレート・バイナリです。設計上のコード遷移は LSB の連続する整数値の中間 (½ LSB、1½ LSB など) で発生します。AD7091R-5 の LSB サイズは V_{REF}/4096 になります。AD7091R-5 の理論上の伝達特性を Figure 34 に示します。

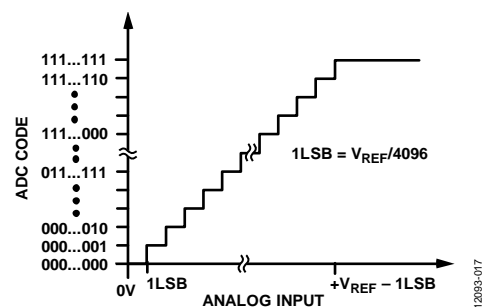


図 34. 伝達特性

リファレンス

AD7091R-5 は、2.5 V の内部リファレンスまたは外付けリファレンスで動作できます。設定レジスタの P_DOWN LSB ビットのロジック状態により、内部リファレンスが使用されるかが決まります。P_DOWN LSB ビットを 1 に設定すると、ADC の内部リファレンスが選択されます。

P_DOWN LSB ビットを 0 に設定した場合は、REF_{IN}/REF_{OUT} ピンを通じて 2.5 V ~ V_{DD} の外部リファレンスを供給します。パワーアップ時に、内部リファレンスはデフォルトでディスエーブルになります。

内部リファレンス回路は、2.5 V バンド・ギャップ・リファレンスとリファレンス・バッファで構成されています。AD7091R-5 を内部リファレンス・モードで動作させる場合、2.5 V の内部リファレンスは REF_{IN}/REF_{OUT} ピンに出力されます。通常、このピンは 2.2 μF のコンデンサを使用して GND にデカップリングします。内部リファレンスをシステムの他の部分に適用する場合は、内部リファレンスをバッファした後に適用することが推奨されます。

リファレンス・バッファがパワーアップしてから 2.2 μF デカップリング・コンデンサを充電するまで 50 ms かかります。

電源

AD7091R-5 は、コア電源 (V_{DD}) とデジタル入出力インターフェース電源 (V_{DRIVE}) の 2 つの電源ピンを使用します。 V_{DRIVE} では、1.8 V ~ 5.25 V のあらゆるロジックと直接インターフェースすることができます。システムのロジック・レベルに応じて V_{DRIVE} と V_{DD} を接続して、必要に応じて電源の数を削減できます。AD7091R-5 は、 V_{DRIVE} と V_{DD} 間の電源シーケンスに依存しません。さらに、AD7091R-5 は、広い周波数範囲にわたって電源の変動による影響を受けません (Figure 25 を参照)。

AD7091R-5 は各変換フェーズの終わりに自動的にパワーダウンします。このため、消費電力はサンプリング・レートに直接的に比例します。AD7091R-5 は自動パワーダウン機能を備えているので、低サンプリング・レートのアプリケーション (数 Hz のものを含む) やバッテリー駆動のアプリケーションに最適なデバイスとなっています。

表 6. 推奨パワー・マネジメント・デバイス¹

Product	Description
ADP7102	20 V, 300 mA, low noise, CMOS LDO
ADM7160	Ultralow noise, 200 mA linear regulator
ADP162	Ultralow quiescent current, CMOS linear regulator

¹最新の推奨されるパワー・マネジメント・デバイスについては、AD7091R-5 製品ページを参照してください。

デバイスのリセット

パワーアップ時には、デバイスが正常に初期化されるように **RESET** ピンに少なくとも 10 ns のパルス幅のリセット・パルスを提供する必要があります。リセット・パルスを提供しないと、デバイスが誤動作することがあります。電源の確立に関するリセット・パルスのタイミングについては、Figure 35 を参照してください。

RESET ピンは、いつでもデバイスとすべての内部レジスタ (コマンド・レジスタを含む) の内容をデフォルト状態にリセットできます。リセット動作をアクティブにするには、**RESET** ピンが **SCL** 信号に同期されていない間、このピンを 10 ns 以上ロー・レベルに設定します。通常動作を確保するには、**RESET** ピンを常に安定したロジック・レベルに保持する必要があります。

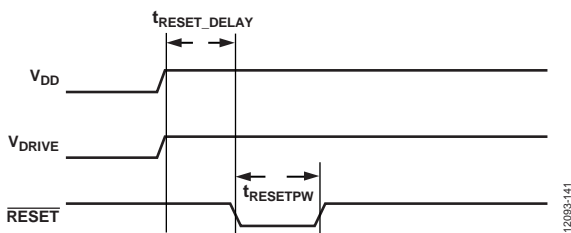


図 35. **RESET** ピンのパワーアップのタイミング

アナログ入力

Figure 36 に、AD7091R-5 のアナログ入力構造の等価回路を示します。D1 と D2 のダイオードにより、アナログ入力の ESD 保護機能が実現します。アナログ入力信号が電源レールを上回る場合は相違が 300 mV を超えないようにしてください。300 mV を超えると、ダイオードが順方向にバイアスされて、基板に電流が流れます。各ダイオードがデバイスに損傷を与えずに許容できる最大電流は 10 mA です。

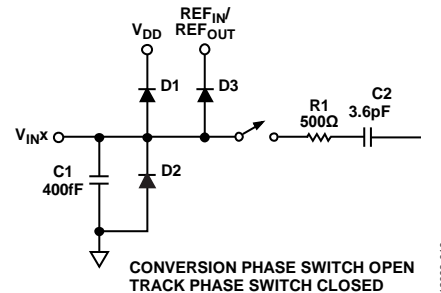


図 36. アナログ入力の等価回路

図 36 に示す C1 コンデンサは約 400 fF (typ) で、主にピン容量に起因します。R1 抵抗はスイッチのオン抵抗で構成される集中定数コンポーネントです。この抵抗は約 500 Ω (typ) です。C2 コンデンサは ADC のサンプリング・コンデンサで、容量は 3.6 pF (typ) です。

高調波歪みと S/N 比が重視されるアプリケーションでは、低インピーダンスのソースからアナログ入力を駆動してください。信号源インピーダンスが大きいと、ADC の AC 性能に重大な影響を与えます。このため、Figure 37 に示す入力バッファ・アンプが必要になることもあります。オペアンプの選択は、アプリケーションに依存します。

アナログ入力を駆動するアンプが存在しない場合は、信号源インピーダンスを低い値に制限します。最大信号源インピーダンスは、許容可能な全高調波歪み (THD) の大きさに依存します。信号源インピーダンスが増加すると THD が大きくなるため、性能が低下します。

仕様規定された性能を実現するには、AD7091R-5 V_{INX} ピンへのアナログ入力信号経路で外付けフィルタを使用します。このフィルタには、1 極のローパス RC フィルタまたは同等のフィルタを使用できます。

MUX_{OUT} ピンを ADC_{IN} ピンに直接接続します。必要に応じて、バッファ・アンプを経路に挿入します。チャンネルをシーケンシングする場合、バッファへの入力と MUX_{OUT} の間にフィルタを配置しないでください。フィルタを配置すると、クロストークが発生します。バッファを実装しない場合、チャンネルをシーケンシングするときに MUX_{OUT} と ADC_{IN} の間にフィルタを配置しないでください。フィルタを配置すると、クロストークが発生します。

ドライバ・アンプの選択

AD7091R-5 は簡単に駆動できますが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7091R-5 の SNR と遷移ノイズ性能を維持するには、ドライバ・アンプによって生成されるノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、AD7091R-5 アナログ入力回路の R1 と C2 から構成される 1 極ローパス・フィルタ、または外付けフィルタ（使用した場合）により除去されます。AD7091R-5 のノイズは 350 $\mu\text{V rms}$ (typ) であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{Loss} = 20 \log \left(\frac{350}{\sqrt{350^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、

f_{-3dB} は AD7091R-5 (1.5 MHz) の入力帯域幅 (MHz)、または入力フィルタのカットオフ周波数 (使用する場合)。 N はアンプのノイズ・ゲイン (例えば、バッファ構成ではゲイン = 1。Figure 37 を参照)。

e_n は、オペ・アンプの等価入力ノイズ電圧 (nV/ $\sqrt{\text{Hz}}$)。

- AC アプリケーションの場合、ドライバは AD7091R-5 に見合う THD 性能を備えている必要があります。
- MUX_{OUT} と ADC_{IN} の間にバッファを配置する場合、ドライバ・アンプと AD7091R-5 アナログ入力回路は、コンデンサ・アレイへのフル・スケール・ステップに対して 12 ビット・レベル (0.0244 %、244 ppm) でセトリングする必要があります。アンプのデータシートでは、一般に 0.1 % ~ 0.01 % でのセトリングが仕様規定されていて、12 ビット・レベルでのセトリング時間とは大幅に異なることがあります。ドライバを選択する前に、アンプのセトリング時間を確認してください。

表 7. 推奨ドライバ・アンプ

Product	Description ¹
ADA4805-1	Low noise, low power, wide bandwidth amplifier
AD8031	Low voltage, low power, single channel amplifier
AD8032	Low voltage, low power, dual channel amplifier
AD8615	Low frequency, low voltage amplifier

¹最新の推奨される ADC ドライバ製品については、AD7091R-5 製品ページを参照してください。

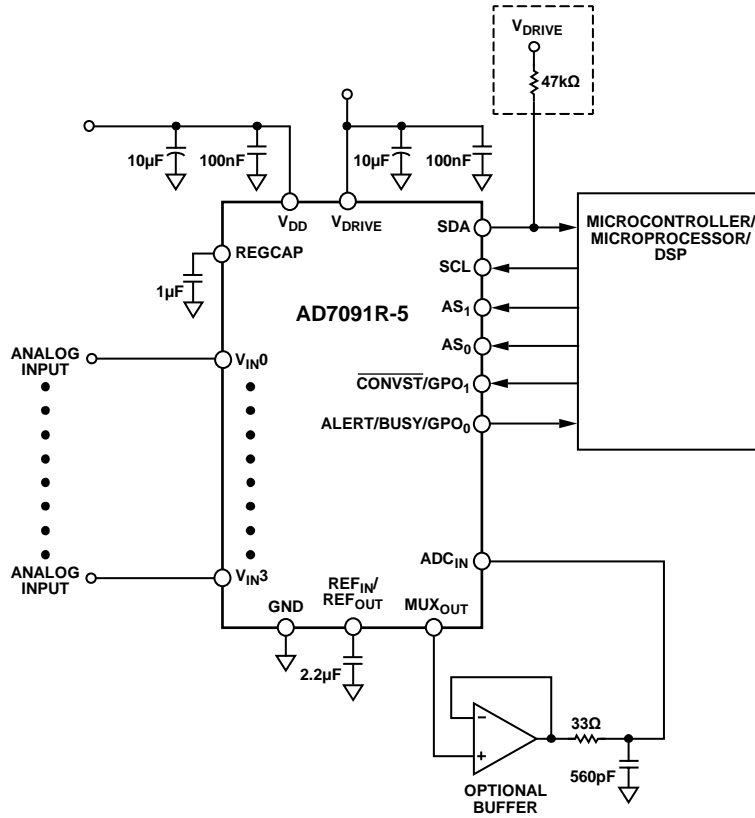
代表的な接続図

図 37 と図 38 に、AD7091R-5 の一般的な接続図を示します。

2.7 V ~ 5.25 V の範囲の正電源を V_{DD} ピンに接続します。V_{DD} デカップリング・コンデンサの代表値は、100 nF と 10 μF です。これらのコンデンサはデバイス・ピンのできるだけ近く配置してください。規定の性能を達成するため、REF_{IN}/REF_{OUT} ピンをデカップリングしてください。REF_{IN}/REF_{OUT} コンデンサの代表値は 2.2 μF で、これは 0 V ~ V_{REF} のアナログ入力範囲を提供します。レギュレータ・バイパス (REGCAP) デカップリング・コンデンサの代表値は 1 μF です。V_{DRIVE} 入力へ加えられる電圧が、シリアル・インターフェースの電圧を制御します。このため、このピンをマイクロプロセッサの電源に接続してください。V_{DRIVE} を 1.8 V ~ 5.25 V の範囲に設定します。V_{DRIVE} デカップリング・コンデンサの代表値は、100 nF と 10 μF です。16 ビット変換結果 (3 アドレス・ビット、1 アラート・ビット、12 データ・ビット) は 2 バイトで出力され、最上位バイト (MSB) が最初に示されます。

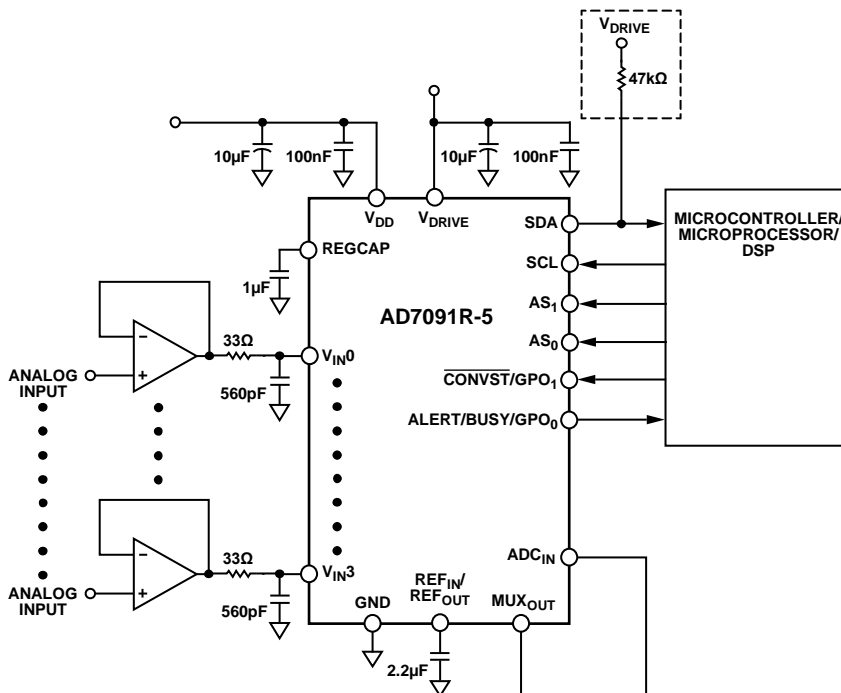
外付けリファレンスが必要な場合は、設定レジスタを使用して内部リファレンスをディスエーブルにします。外付けリファレンス電圧を 1.0 V ~ 5.25 V の範囲で選択して、REF_{IN}/REF_{OUT} ピンに接続します。

消費電力が問題となるアプリケーションの場合は、ADC のパワーダウン・モードを使用して消費電力性能を向上させます。詳細については、Modes of Operation のセクションを参照してください。



12093-018

図 37. オプションのバッファ使用時の代表的な接続図



12093-140

図 38. オプションのバッファ未使用時の代表的な接続図

I²C レジスタ

AD7091R-5 には、複数のユーザープログラマブル・レジスタがあります。Table 9 に、レジスタの完全なリストを示します。

このレジスタは、リード/ライト (R/W) または読出し専用 (R) です。リード/ライト・レジスタでは、データの書込みと読出しを行えます。読出し専用レジスタでは、データの読出しのみを行えます。読出し専用レジスタまたは未実装レジスタ・アドレスへの書込みは、NOP (無動作) コマンドとみなされます。この I²C コマンドは、AD7091R-5 によって無視されます。読出し専用レジスタに書込みを行うと、次の I²C フレームの前に変換を実行しない限り、後続の I²C フレームへの出力はすべてゼロになります。同様に、未実装レジスタの読出しを行うと、ゼロが出力されます。

レジスタのアドレス指定

AD7091R-5 でのシリアル転送は、9 つの SCL サイクルで構成されます。データは 9 ビット (トランスミッタからの 8 ビットのデータと後続のレシーバからのアクノレッジ・ビット) のグループとしてシリアル・バスを介して転送されます。SDA ラインでのデータ遷移は、クロック信号のロー期間に発生し、ハイ期間中は安定している必要があります。レシーバは、アクノレッジ・ビット中に SDA ラインをロー・レベルにプルダウンして、先行バイトが正常に受信されたことを通知します。そうでない場合は、このトランザクションをキャンセルします。マスターが送信する先頭バイトは、7 ビットのスレーブ・アドレスと後続のデータ方向ビットで構成されている必要があります。バス上の各デバイスは固有のスレーブ・アドレスを持っているため、先頭バイトによりトランザクション時に 1 つのスレーブ・デバイスとの交信がセットアップされます。

このトランザクションは、スレーブ・デバイスへの書込み (データ方向ビット = 0) またはスレーブ・デバイスからのデータの読出し (データ方向ビット = 1) に使用できます。読出しトランザクションの場合、(別の書込みトランザクションで) スレーブ・デバイスに最初に書込みを行った後、どのレジスタから読み出すかを通知する必要があります。読出しと書込みを 1 つのトランザクション内で行うことはできません。

I²C レジスタ・アクセス

表 9. レジスタの説明

Address	Register Name	Default	Access
0x00	Conversion result	0x0000	R
0x01	Channel	0x0000	R/W
0x02	Configuration	0x00C0	R/W
0x03	Alert indication	0x0000	R
0x04	Channel 0 low limit	0x0000	R/W
0x05	Channel 0 high limit	0x01FF	R/W
0x06	Channel 0 hysteresis	0x01FF	R/W
0x07	Channel 1 low limit	0x0000	R/W
0x08	Channel 1 high limit	0x01FF	R/W
0x09	Channel 1 hysteresis	0x01FF	R/W
0x0A	Channel 2 low limit	0x0000	R/W
0x0B	Channel 2 high limit	0x01FF	R/W
0x0C	Channel 2 hysteresis	0x01FF	R/W
0x0D	Channel 3 low limit	0x0000	R/W
0x0E	Channel 3 high limit	0x01FF	R/W
0x0F	Channel 3 hysteresis	0x01FF	R/W

トランザクションが完了すると、マスターはバスの制御を維持して、次のスタート・ビットを発生させて新しいトランザクションを開始できます (SCL がハイ・レベルになっているときの SDA でのハイ・レベルからロー・レベルへの遷移)。この動作は反復開始と呼ばれます。代わりに、SCL ラインを解放した後、SDA ラインを解放することにより、バスを放棄することもできます。SCL がハイ・レベルになっている間、SDA でのロー・レベルからハイ・レベルへの遷移をストップ・ビット (P) と呼びます。これにより、I²C バスはアイドル状態のままになります (バスによって電流は消費されません)。

スレーブ・アドレス

デバイスに書き込む先頭バイトは、スレーブ・アドレス・バイトです。AD7091R-5 には、7 ビット・スレーブ・アドレスがあります。AD7091R-5 では、7 ビット・スレーブ・アドレスの 3 個の MSB は 3' b010 に固定されています。4 個の LSB は、外部ピンを使用してユーザーが設定します。各デバイスに 2 個のアドレス選択ピンがあり、各ピンでハイ、ロー、または未使用を検出できます。結果として 9 個の組み合わせが可能です。

Table 8 に、アドレス選択ピンの各種構成での AD7091R-5 のスレーブ・アドレスの 4 個の LSB を示します。

表 8. スレーブ・アドレス

AS ₁ ¹	AS ₀ ¹	A3	A2	A1	A0
V _{DD}	V _{DD}	0	0	0	0
V _{DD}	NC	0	0	1	0
V _{DD}	GND	0	0	1	1
NC	V _{DD}	1	0	0	0
NC	NC	1	0	1	0
NC	GND	1	0	1	1
GND	V _{DD}	1	1	0	0
GND	NC	1	1	1	0
GND	GND	1	1	1	1

¹ NC は AS_x ピンをフロート状態のままにすることを意味し、V_{DD} はハイ・レベルへプルアップすることを意味し、GND はロー・レベルへプルダウンすることを意味します。

変換結果レジスタ

変換結果レジスタは、16ビットの読み出し専用レジスタです。ここでは、最新のADC変換結果がストレート・バイナリ・フォーマットで格納されます。変換されたチャンネルのチャンネルIDとアラート・ステータスも、このレジスタに含まれます。

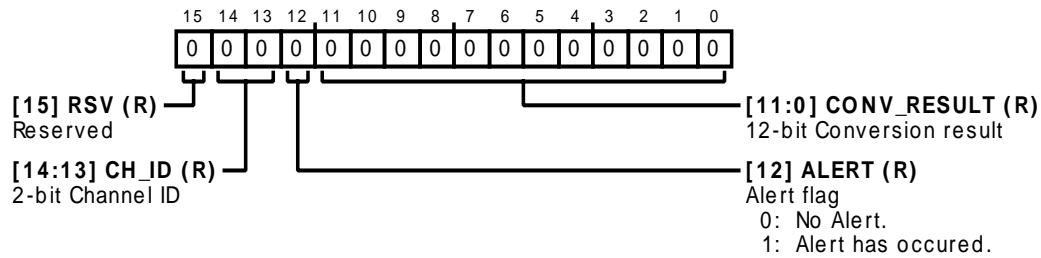


表 10. 変換結果ビット・マップ

MSB															LSB
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
RSV	CH_ID		ALERT	CONV_RESULT											

表 11. 変換結果レジスタのビットの説明

ビット	名前	説明	リセット	アクセス
15	RSV	予約済み	0x0	R
[14:13]	CH_ID	変換したチャンネルの2ビット・チャンネルID	0x0	R
		B14 B13 アナログ入力チャンネル		
		0 0 チャンネル0		
		0 1 チャンネル1		
		1 0 チャンネル2		
		1 1 チャンネル3		
12	ALERT	アラート・フラグ 0: アラート未発生 1: アラートが発生	0x0	R
[11:0]	CONV_RESULT	12ビット変換結果	0x000	R

チャンネル・レジスタ

AD7091R-5のチャンネル・レジスタは8ビットのリード/ライト・レジスタです。4個の各アナログ入力チャンネルには、チャンネル・レジスタの対応するビットが1個あります。チャンネル変換シーケンスに含めるチャンネルを選択するには、チャンネル・レジスタの対応するチャンネル・ビットを1に設定します。1つの変換による遅延の後に、チャンネル変換シーケンスが更新されます。新しい値を使用してチャンネル・レジスタをプログラムした場合、変換シーケンスは新しい値の最小番号のチャンネルにリセットされます。

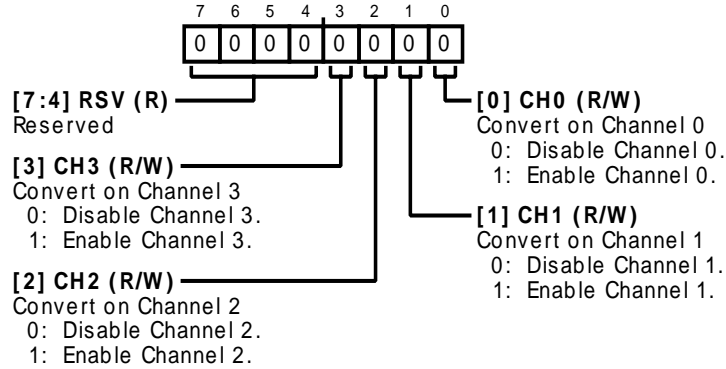


表 12. チャンネル・ビット・マップ

MSB				LSB			
B7	B6	B5	B4	B3	B2	B1	B0
RSV				CH3	CH2	CH1	CH0

表 13. チャンネル・レジスタのビットの説明

ビット	名前	説明	リセット	アクセス
[7:4]	RSV	予約済み	0x00	R
3	CH3	チャンネル 3 で変換 0: チャンネル 3 ディスエーブル 1: チャンネル 3 イネーブル	0x0	R/W
2	CH2	チャンネル 2 で変換 0: チャンネル 2 ディスエーブル 1: チャンネル 2 イネーブル	0x0	R/W
1	CH1	チャンネル 1 で変換 0: チャンネル 1 ディスエーブル 1: チャンネル 1 イネーブル	0x0	R/W
0	CH0	チャンネル 0 で変換 0: チャンネル 0 ディスエーブル 1: チャンネル 0 イネーブル	0x0	R/W

設定レジスタ

設定レジスタは、AD7091R-5 の動作モードを設定する 16 ビットのリード/ライト・レジスタです。

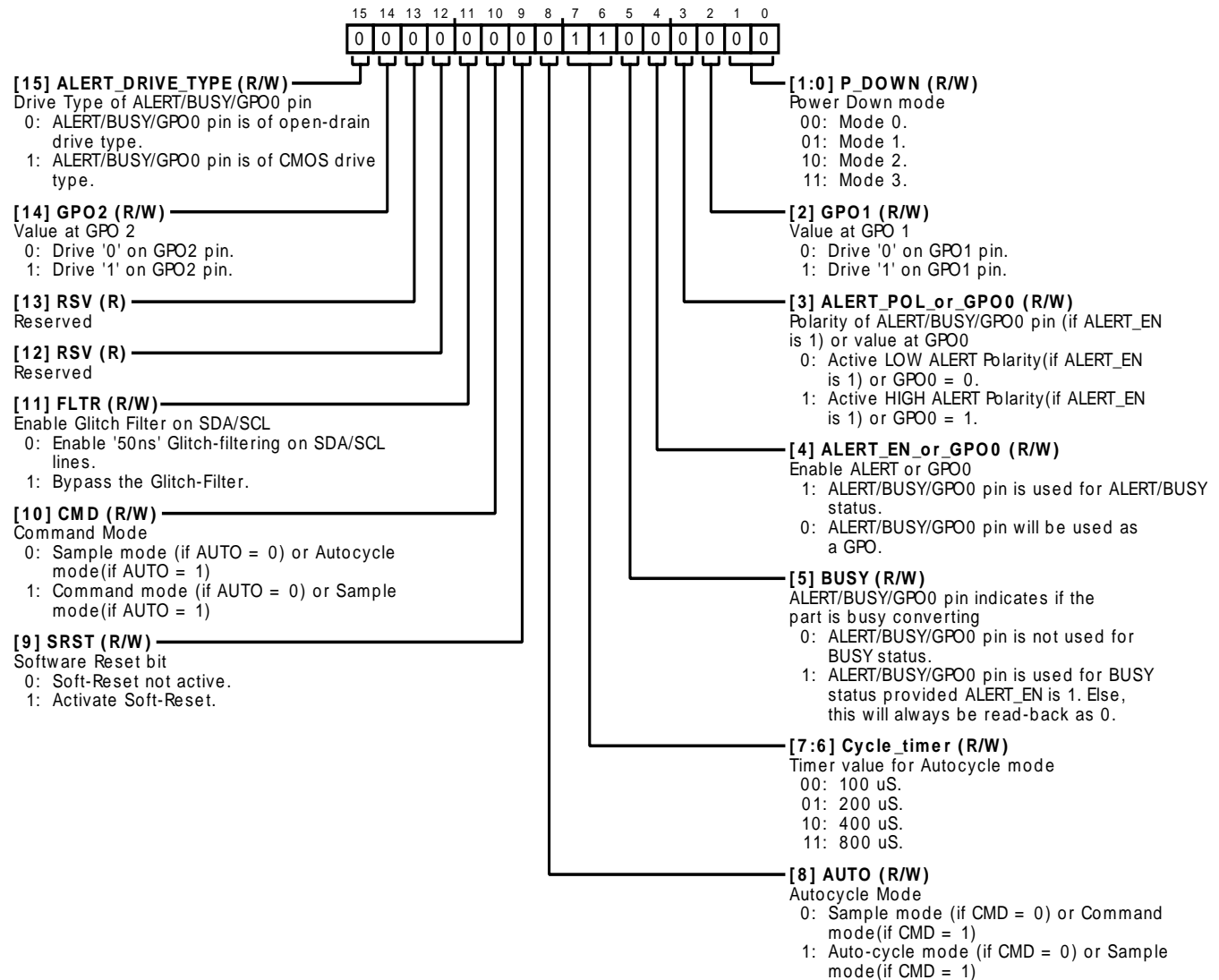


表 14. 設定ビット・マップ

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
ALERT_DRIVE_TYPE	GPO2	RSV	RSV	FLTR	CMD	SRST	AUTO	CYCLE_TIMER	BUSY	ALERT_EN_OR_GPO0	ALERT_POL_OR_GPO0	GPO1	P_DOWN		

表 15. 設定レジスタのビットの説明¹

ビット	名前	説明	リセット	アクセス
15	ALERT_DRIVE_TYPE	ALERT/BUSY/GPO ₀ ピンのドライブ・タイプ。 0: ALERT/BUSY/GPO ₀ ピンは、オープンドレイン・ドライブ・タイプ。 1: ALERT/BUSY/GPO ₀ ピンは、CMOS ドライブ・タイプ。	0x0	RW
14	GPO2	GPO ₂ の値。 0: GPO ₂ ピンを 0 にドライブ。 1: GPO ₂ ピンを 1 にドライブ。	0x0	RW
13	RSV	予約済み。	0x00	R
12	RSV	予約済み。	0x00	R

ビット	名前	説明	リセット	アクセス																				
11	FLTR	SDA/SCL でグリッチ・フィルタをイネーブルにします。 0: SDA/SCL ラインで 50 ns のグリッチ・フィルタリングをイネーブルにします。 1: グリッチ・フィルタをバイパスします。	0x0	RW																				
10	CMD	コマンド・モード。 0: サンプル・モード (AUTO=0 の場合) または自動サイクル・モード (AUTO=1 の場合)。 1: コマンド・モード (AUTO=0 の場合) またはサンプル・モード (AUTO=1 の場合)。	0x0	RW																				
9	SRST	ソフトウェア・リセット・ビット。このビットをセットすると、内部デジタル・コントロール・ロジック・レジスタ、変換結果レジスタ、およびアラート表示レジスタがリセットされますが、他のメモリマップド・レジスタはリセットされません。このビットは、次のクロック・サイクルで自動的にクリアされます。 0: ソフト・リセットが非アクティブ。 1: ソフト・リセットがアクティブ。	0x0	RWAC																				
8	AUTO	自動サイクル・モード。 0: サンプル・モード (CMD=0 の場合) またはコマンド・モード (CMD=1 の場合)。 1: 自動サイクル・モード (CMD=0 の場合) またはサンプル・モード (CMD=1 の場合)。	0x0	RW																				
[7:6]	CYCLE_TIMER	自動サイクル・モードのタイマー値。 00:100 μ s。 01:200 μ s。 10:400 μ s。 11:800 μ s。	0x3	RW																				
5	BUSY	ALERT/BUSY/GPO ₀ ピンは、デバイスが変換中であるかどうかを示します。 0: ALERT/BUSY/GPO ₀ ピンはビジー・ステータスに使用されません。 1: ALERT_EN_OR_GPO0 が 1 の場合、ALERT/BUSY/GPO ₀ ピンはビジー・ステータスに使用されます。それ以外の場合、このビットは常に 0 としてリードバックされます。	0x0	RW																				
4	ALERT_EN_OR_GPO0	ALERT/BUSY/GPO ₀ ピンまたは GPO ₀ をイネーブルにします。 1: ALERT/BUSY/GPO ₀ ピンは ALERT/BUSY ステータスに使用されます。 0: ALERT/BUSY/GPO ₀ ピンは GPO として使用されます。	0x0	RW																				
3	ALERT_POL_OR_GPO0	ALERT/BUSY/GPO ₀ ピンの極性 (ALERT_EN_OR_GPO0 が 1 の場合) または GPO ₀ の値。 0: アクティブ・ロー ALERT/BUSY/GPO ₀ 極性 (ALERT_EN_OR_GPO0 が 1 の場合) または GPO ₀ =0。 1: アクティブ・ハイ ALERT/BUSY/GPO ₀ 極性 (ALERT_EN_OR_GPO0 が 1 の場合) または GPO ₀ =1。	0x0	RW																				
2	GPO1	GPO ₁ の値。 0: CONVST/GPO ₁ ピンを 0 にドライブ。 1: CONVST/GPO ₁ ピンを 1 にドライブ。	0x0	RW																				
[1:0]	P_DOWN	パワーダウン・モード。 <table border="1" data-bbox="494 1579 1284 1769"> <thead> <tr> <th>設定</th> <th>モード</th> <th>スリープ・モード/ バイアス・ジェネレータ</th> <th>内部リファレンス</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>モード0</td> <td>オフ</td> <td>オフ</td> </tr> <tr> <td>01</td> <td>モード1</td> <td>オフ</td> <td>オン</td> </tr> <tr> <td>10</td> <td>モード2</td> <td>オン</td> <td>オフ</td> </tr> <tr> <td>11</td> <td>モード3</td> <td>オン</td> <td>オン</td> </tr> </tbody> </table>	設定	モード	スリープ・モード/ バイアス・ジェネレータ	内部リファレンス	00	モード0	オフ	オフ	01	モード1	オフ	オン	10	モード2	オン	オフ	11	モード3	オン	オン	0x0	R/W
設定	モード	スリープ・モード/ バイアス・ジェネレータ	内部リファレンス																					
00	モード0	オフ	オフ																					
01	モード1	オフ	オン																					
10	モード2	オン	オフ																					
11	モード3	オン	オン																					

¹ AD7091R-5 は、PC 標準グリッチ・フィルタをサポートしていますが、クロック・ストレッチングや一般的なコール・アドレス指定はサポートしていません。

アラート表示レジスタ

8ビット・アラート表示レジスタは、アラート・イベントの情報を提供する読み出し専用レジスタです。Channel x Low Limit Registerのセクションと Channel x High Limit Registerのセクションで説明したように、変換結果により ALERT/BUSY/GPO₀ ピンがアクティブになった場合、アラート・レジスタを読み出してアラートの発生源を判断します。このレジスタには、チャンネルあたり2つのステータス・ビットがあり、1つは上限、もう1つは下限に対応しています。ステータスが1のビットは、どこで（どのチャンネルで）超過が発生したか示し、上限または下限のどちらで超過が発生したかを示します。最初のアラートの受信とアラート・レジスタの問い合わせの間に別のチャンネルで2番目のアラート・イベントが発生した場合、そのアラート・イベントに対応するビットもセットされます。

アラート表示レジスタの内容は、読み出すとリセットされます。AD7091R-5がI²Cインターフェースを使用してアラート表示レジスタを読み出すと、このレジスタはバイトの4番目のSCLクロックでリセットされます。このときまで、このレジスタのデータはI²Cシフト・レジスタに移動されます。

未実装チャンネルのアラート・ビットは、常にゼロを返します。

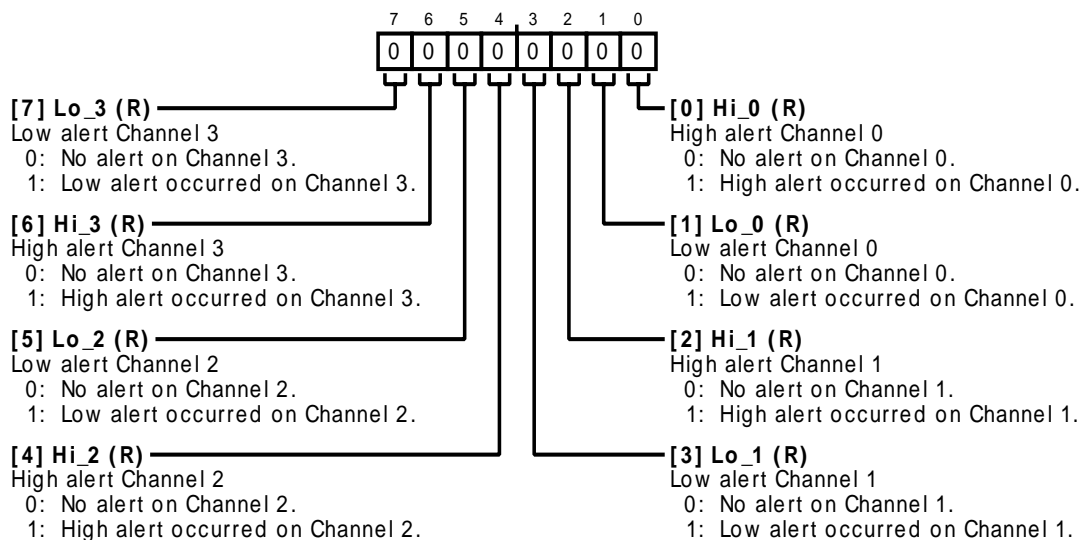


表 16. アラート表示ビット・マップ

MSB							LSB
B7	B6	B5	B4	B3	B2	B1	B0
LO_3	HI_3	LO_2	HI_2	LO_1	HI_1	LO_0	HI_0

表 17. アラート表示レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_3	チャンネル3ロー・アラート・ステータス 0: チャンネル3にアラートなし 1: チャンネル3でロー・アラートが発生	0x0	R
6	HI_3	チャンネル3ハイ・アラート・ステータス 0: チャンネル3にアラートなし 1: チャンネル3でハイ・アラートが発生	0x0	R
5	LO_2	チャンネル2ロー・アラート・ステータス 0: チャンネル2にアラートなし 1: チャンネル2でロー・アラートが発生	0x0	R
4	HI_2	チャンネル2ハイ・アラート・ステータス 0: チャンネル2にアラートなし 1: チャンネル2でハイ・アラートが発生	0x0	R
3	LO_1	チャンネル1ロー・アラート・ステータス 0: チャンネル1にアラートなし 1: チャンネル1でロー・アラートが発生	0x0	R

ビット	ビット名	説明	リセット	アクセス
2	HI_1	チャンネル1ハイ・アラート・ステータス 0: チャンネル1にアラートなし 1: チャンネル1でハイ・アラートが発生	0x0	R
1	LO_0	チャンネル0ロー・アラート・ステータス 0: チャンネル0にアラートなし 1: チャンネル0でロー・アラートが発生	0x0	R
0	HI_0	チャンネル0ハイ・アラート・ステータス 0: チャンネル0にアラートなし 1: チャンネル0でハイ・アラートが発生	0x0	R

チャンネル X ロー・リミット・レジスタ

AD7091R-5 の各アナログ入力チャンネルには、独自のロー・リミット・レジスタがあります。ロー・リミット・レジスタは 16 ビットのリード/ライト・レジスタです。レジスタ・アドレスについては、Table 9 を参照してください。ロー・リミット・レジスタは、ALERT 出力をアクティブにする変換値の下限を格納します。

16 ビットのうち、ビット B11～ビット B0 の 12 個の最下位ビット (LSB) のみを使用されます。ビット B15～ビット B12 は使用されません。

チャンネル X リミット・レジスタ

AD7091R-5 の各アナログ入力チャンネルには、独自のリミット・レジスタがあります。リミット・レジスタは 16 ビットのリード/ライト・レジスタです。レジスタ・アドレスについては、Table 9 を参照してください。リミット・レジスタは、ALERT 出力をアクティブにする変換値の上限を格納します。

表 18. チャンネル x ロー・リミット・ビット・マップ

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
RSV				CHx LOW LIMIT											

表 19. チャンネル x ロー・リミット・レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RSV	予約済み	0x00	R
[11:0]	CHx LOW LIMIT	チャンネル x のロー・リミット値	0x000	R/W

表 20. チャンネル x 上限ビット・マップ

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
RSV				CHx HIGH LIMIT											

表 21. チャンネル x リミット・レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RSV	予約済み	0x00	R
[11:0]	CHx HIGH LIMIT	チャンネル x のリミット値	0xFFFF	R/W

表 22. チャンネル x ヒステリシス・ビット・マップ

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
RSV				CHx HYSTERISIS											

表 23. チャンネル x ヒステリシス・レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RSV	予約済み	0x00	R
[11:0]	CHx HYSTERISIS	チャンネル x のヒステリシス値	0xFFFF	R/W

16 ビットのうち、ビット B11～ビット B0 の 12 個の最下位ビット (LSB) のみを使用されます。ビット B15～ビット B12 は使用されません。

チャンネル X ヒステリシス・レジスタ

AD7091R-5 の各アナログ入力チャンネルには、独自のヒステリシス・レジスタがあります。ヒステリシス・レジスタは 16 ビットのリード/ライト・レジスタです。レジスタ・アドレスについては、Table 9 を参照してください。ヒステリシス・レジスタは、リミット・レジスタを使用しているときにヒステリシス値 (N) を格納します。ヒステリシス値は、リミットを超過した場合の ALERT/ BUSY/GPO₀ ピンのリセット・ポイントを決定します。

16 ビットのうち、ビット B11～ビット B0 の 12 個の最下位ビット (LSB) のみを使用されます。ビット B15～ビット B12 は使用されません。

I²C インターフェース

AD7091R-5の制御はI²C互換シリアル・バスを使用して実行します。AD7091R-5は、プロセッサなどのマスター・デバイスの制御下にあるスレーブ・デバイスとしてこのバスに接続されます。

シリアル・バスのアドレス・バイト

デバイスに書き込む先頭バイトは、スレーブ・アドレス・バイトです。すべてのI²C互換デバイスと同様、AD7091R-5には7ビットのシリアル・アドレスがあります。このアドレスの3個のMSBは010に設定されています。4個のLSBは、3ステート入力ピンAS₀およびAS₁を使用してプログラムすることができます (Table 24を参照)。

Table 24でHighはピンをV_{DRIVE}に接続することを意味し、LowはピンをGNDに接続することを意味します。NCはピンをフロート状態のままにすることを意味します。NCの場合、ピンの浮遊容量は30 pF以下にしてフローティング状態を正しく検出できるようにする必要があります。このため、PCBパターンはできるだけ短くする必要があります。

表 24.3 ステート入力ピンを使用したスレーブ・アドレスの制御

AS ₁	AS ₀	Slave Address (A6 to A0)	
		Binary	Hex
High	High	010 0000	0x20
High	NC	010 0010	0x22
High	Low	010 0011	0x23
NC	H	010 1000	0x28
NC	NC	010 1010	0x2A
NC	Low	010 1011	0x2B
Low	High	010 1100	0x2C
Low	NC	010 1110	0x2E
Low	Low	010 1111	0x2F

一般的なI²Cのタイミング

図 39に、I²C準拠のインターフェースを使用した一般的な読出し動作と書き込み動作のタイミング図を示します。

バスを駆動するデバイスが存在しないときは、SCLとSDAはハイ・レベルになります。これはアイドル状態と呼ばれます。バスがアイドル状態のとき、マスターは、シリアル・クロック・ライン (SCL) がハイ・レベルになっている間にシリアル・デー

タ・ライン (SDA) がハイ・レベルからロー・レベルに遷移することによる開始条件を確立してデータ転送を開始します。これは、データ・ストリームが後続することを示します。マスター・デバイスは、クロックを生成する必要があります。

データは9ビット (トランスマッタからの8ビットのデータと後続のレシーバからのアクノレッジ・ビット (ACK)) のグループとしてシリアル・バスを介して転送されます。SDAラインでのデータ遷移は、クロック信号のロー期間中に発生し、ハイ期間中は安定している必要があります。レシーバは、アクノレッジ・ビット中にSDAラインをロー・レベルにプルダウンして、先行バイトが正常に受信されたことを通知する必要があります。そうでない場合は、このトランザクションをキャンセルします。

マスターが送信する先頭バイトは、7ビットのスレーブ・アドレスと後続のデータ方向ビットで構成する必要があります。バス上の各デバイスは固有のスレーブ・アドレスを持っているため、先頭バイトによりトランザクション時に1つのスレーブ・デバイスとの通信がセットアップされます。

このトランザクションは、スレーブ・デバイスへの書き込み (データ方向ビット = 0) またはスレーブ・デバイスからのデータの読出し (データ方向ビット = 1) に使用できます。読出しトランザクションの場合、(別の書き込みトランザクションで) スレーブ・デバイスに最初に書き込みを行った後で、どのレジスタから読み出すかを通知する必要があります。読出しと書き込みを1つのトランザクション内で行うことはできません。

トランザクションが完了すると、マスターはバスの制御を維持して、次のスタート・ビットを発生させて新しいトランザクションを開始できます (SCLがハイ・レベルになっているときのSDAでのハイ・レベルからロー・レベルへの遷移)。この動作を反復開始 (SR) と呼びます。代わりに、SCLラインを解放した後で、SDAラインを解放することにより、バスを放棄することもできます。SCLがハイ・レベルになっている間、SDAでのロー・レベルからハイ・レベルへの遷移のことをストップ・ビット (P) と呼びます。これにより、I²Cバスはアイドル状態のままになります (バスによって電流は消費されません)。

図 39の例に、スレーブ・デバイスとしてのAD7091R-5との単純な書き込みトランザクションを示します。この例では、後続の読出しトランザクション用にAD7091R-5のレジスタ・ポインタがセットアップされています。

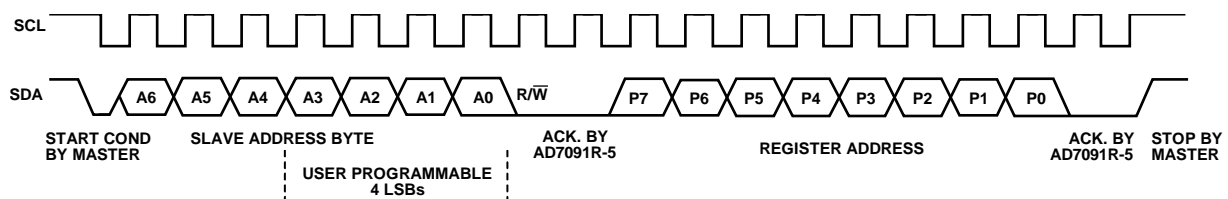


図 39. 一般的なI²Cのタイミング

動作モード

AD7091R-5では、I²C インターフェースを使用して次の3つの方法で変換を開始できます。CONVST/GPO₁ピンを使用したサンプル・モード、コマンド・モード、自動サイクル・モード。CONVST/GPO₁ピン・モードでは、変換はオン・デマンドで行われます。CONVST/GPO₁ピンがトグルされると、ADC変換が実行されます。コマンド・モードでは、変換結果レジスタの読出しにより変換が開始されます。自動サイクル・モードでは、選択したチャンネルで、周期的にバックグラウンドで変換が実行されます。このモードは、信号が特定のしきい値レベルを超えるかどうかを監視し、絶対値はあまり重要ではありません。

サンプル・モード

パワーアップ時に、デバイスはサンプル・モードでウェイク・アップし、変換対象としてチャンネル0を選択します。サンプル・モードは、設定レジスタのCMDと自動ビットの両方に0または1の値を書き込むことで、後から選択することもできます。-サンプル・モードでは、アクティブ・ロー CONVST/GPO₁ピンをトグルして変換を制御します。

チャンネル0以外のチャンネル、またはチャンネル・シーケンスで変換を実行するには、変換を開始する前に、チャンネル・レジスタへ書き込みを行って、変換対象のチャンネルを選択します。各 CONVST パルスで、選択したシーケンス内の次のチャンネルが変換されます。変換は、選択した最小番号のチャンネル (0, 1...7) から開始されます。

CONVST/GPO₁ピンのハイ・レベルからロー・レベルへの遷移により、トラック&ホールド回路がホールド・モードになり、アナログ入力が増幅されます。変換が開始され、完了するまで約 550 ns かかります。変換プロセスが終了すると、トラック&ホールド回路はトラック・モードに戻ります。

変換結果レジスタに格納されているデータをリードバックするには、変換が完了するまで待ちます。アドレス・ポインタが変換結果レジスタをポイントしている場合は、Figure 42で説明しているプロトコルを使用して変換データを読み出すことができます。ポイントしていない場合、変換データを読み出すには、変換結果レジスタをポイントするようにアドレス・ポインタを設定する必要があります。変換結果の読出しが完了したら、再度 CONVST ピンをロー・レベルにプルダウンして、別の変換を開始できます。

I²Cバスでアクティビティが発生している場合、CONVST ピンをトグルしないでください。

コマンド・モード

コマンド・モードでは、AD7091R-5はオン・デマンドで、1つのチャンネルまたはチャンネル・シーケンスで変換を行います。この動作モードでは、コマンド・レジスタに書き込み動作が行われたときに、自動的に変換が選択されるように設定できます。コマンド・モードでは、AD7091R-5は、変換結果レジスタが読み出されたときに、プログラムされている次のチャンネルを変換します。このモードに移行するには、チャンネルの組み合わせをチャンネル・レジスタに書き込みます。設定レジスタで **CMD=1** および **auto=0** を書き込んで、コマンド・モードの動作を選択します。書き込み動作の後に、AD7091R-5を再度アドレス指定して、変換結果レジスタから読出し動作が要求されていることを示す必要があります。

ACK サイクル中に変換の開始を防止するため、前のバイトのACKが送信された後に、SCLの最初の立上がりエッジで変換を開始します。I²Cバスに送信される最初の3つのビットは、変換データが属しているチャンネルに対応するため、I²Cバスに変換データを送信する必要のあるタイミングに関する問題は発生しません。変換の完了後に、ADCはパワーダウンします。変換結果レジスタからの後続の読出しが開始された後に、シーケンス内で次の変換が開始されます。デバイスは、シーケンス内のすべてのチャンネルが変換されるまで、シーケンス内の最小番号のチャンネルから選択されたチャンネルを順番にスキップします。シーケンス内のすべてのチャンネルが変換された後、シーケンスを無限に繰り返すことができるように、シーケンスは有効になっている最小番号のチャンネルにロールバックします。

コマンド・モードでの変換を停止する場合、マスターはデータの最後のバイトをアックノレッジしません。このNACKによりAD7091R-5の転送が停止され、マスターはバス上で停止条件をアサートできるようになります。I²C NACK条件を受信すると、AD7091R-5は変換を停止しますが、設定レジスタの内容は維持されます。デバイスのアドレスが再指定され、変換結果レジスタからの読出しが開始した後に、AD7091R-5は以前に選択したチャンネル・シーケンスで変換を開始します。

変換シーケンスは、シーケンス内の最初に選択されたチャンネルから開始されます。つまり、チャンネル1、チャンネル2、チャンネル3を選択し、チャンネル1の結果が読み出された後に停止条件が発生した場合、変換の再開時にチャンネル2が変換され、変換シーケンスが続行されます。変換と変換の間にチャンネル・レジスタが書き込まなかった場合は、このようになります。ただし、チャンネル・レジスタが書き込まれた場合は、チャンネル1から変換が開始されます。

図 43 の例は、チャンネル 0、チャンネル 1、チャンネル 2 を含むチャンネル・シーケンスで変換を行っているコマンド・モードを示しています。

1. マスター・デバイスが SDA 上で開始条件をアサートします。
2. マスターは、7 ビットのスレーブ・アドレスと後続の書き込みビット (ロー・レベル) を送信します。
3. アドレス指定されたスレーブ・デバイス (AD7091R-5) は SDA 上でアクノレッジをアサートします。
4. マスターは設定レジスタ・アドレス (0x02) を送信します。
5. スレーブは SDA 上でアクノレッジをアサートします。
6. マスターは、最初のデータ・バイト (0x03) を設定レジスタに送信します。これにより、コマンド・モードが選択されます。
7. スレーブは SDA 上でアクノレッジをアサートします。
8. マスターは 2 番目のデータ・バイト (0x00) を設定レジスタに送信します。
9. スレーブは SDA 上でアクノレッジをアサートします。
10. マスターはチャンネル・レジスタ・アドレス (0x01) を送信します。
11. スレーブは SDA 上でアクノレッジをアサートします。
12. マスターは、データ・バイト (0x07) をチャンネル・レジスタに送信した後 (これにより、チャンネル 0、チャンネル 1、チャンネル 2 が選択される)、書き込みビットを送信します。
13. スレーブは SDA 上でアクノレッジをアサートします。
14. マスターは変換結果レジスタ・アドレス (0x00) を送信します。
15. スレーブは SDA 上でアクノレッジをアサートします。
16. マスターは、反復開始と 7 ビット・スレーブ・アドレスを送信した後、読出しビット (ハイ・レベル) を送信します。
17. スレーブ (AD7091R-5) は SDA 上でアクノレッジをアサートします。
18. マスターは、チャンネル・アドレス・ビット、アラート・ビット、チャンネル 0 の変換結果の 4 個の MSB を含むデータ・バイトを受信します。
19. その後、マスターは SDA 上でアクノレッジをアサートします。
20. マスターは、チャンネル 0 の変換結果の 8 個の LSB を含む 2 番目のデータ・バイトを受信します。その後、マスターは SDA 上でアクノレッジをアサートします。
21. チャンネル 1 とチャンネル 2 でステップ 18 ~ ステップ 20 を繰り返します。
22. マスターが選択したすべてのチャンネルから変換結果を受信した後、スレーブは選択されたシーケンス内の最初のチャンネルを再度変換して出力します。ステップ 18 ~ ステップ 21 を繰り返します。
23. マスターは SDA 上で非アクノレッジと停止条件をアサートして、コマンド・モードを終了します。

変換シーケンスを変更するには、新しいシーケンスをコマンド・モードへ再度書込みます。既存の変換シーケンスが実行されているときにチャンネル・レジスタに対する新しい書き込みを行うと、既存の変換シーケンスが終了し、新しいシーケンスの最初に選択されたチャンネルが変換されます。400 kHz I²C クロックを使用して、このモードで実現できる最大スループットは (400 kHz/18) = 22.22 kSPS です。

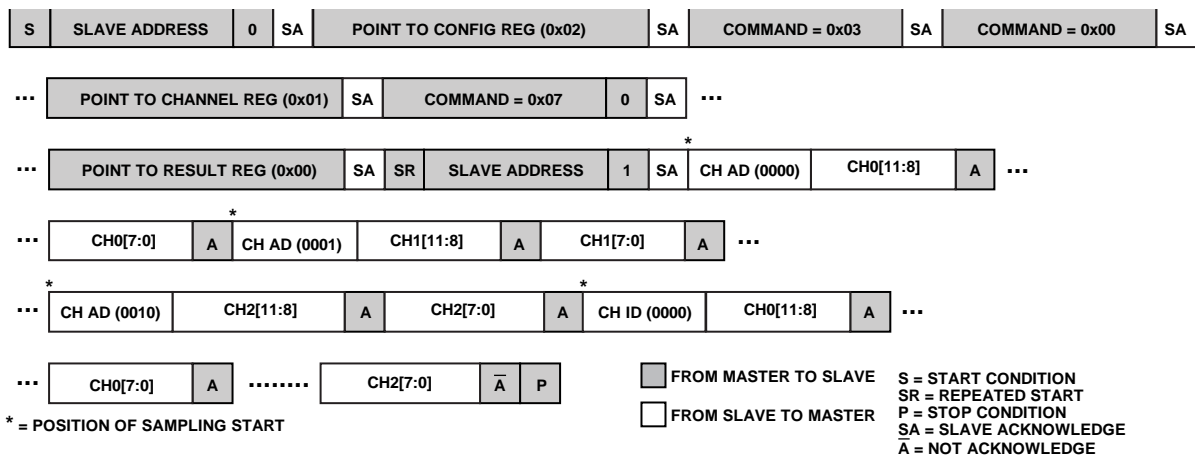


図 43. コマンド・モード動作

12083-062

自動サイクル・モード

AD7091R-5 は、プログラマブルなシーケンスで連続的にチャンネルの変換を行うように設定できるため、システム監視に最適な動作モードです。これらの変換は、設定レジスタの **CYCLE_TIMER** ビットで選択した間隔で自動的に実行されます。一般に、アラート機能を介して範囲外の状態を検出するように設定したリミット・レジスタを使用して、選択した複数のチャンネルを自動的に監視する場合は、このモードを使用します。読出しと書き込みはいつでも実行できます（変換結果レジスタには最新の交換結果が含まれています）。

このモードに移行するには、監視する必要があるチャンネルの組み合わせをチャンネル・レジスタに書き込みます。変換と変換の間に必要な間隔は、設定レジスタの **CYCLE_TIMER** ビットに書き込むことによって選択します。その後、設定レジスタで **CMD = 0** および **auto = 1** を書き込むことによって、自動サイクル・モード動作を選択できます。チャンネル・レジスタで複数のチャンネル・ビットを設定した場合、ADC は最小番号のチャンネルから順番にチャンネル・シーケンスを自動的にスキップします。シーケンスの完了後、ADC は最小番号のチャンネルの変換を再度開始し、このモードが終了するまでシーケンスをループします。

変換が完了すると、変換結果がリミット・レジスタの内容と比較されます。比較の結果でアラート・レジスタが自動的に更新されます。

リミット・レジスタの違反が検出された場合、変換結果レジスタのアラート・ビットがセットされます。設定レジスタで **ALERT/BUSY/GPO₀** ビン機能を選択した場合は、設定レジスタの **ALERT_POL_OR_GPO0** ビットによって決定された極性で **ALERT/BUSY/GPO₀** ビンがアサートされます。

自動サイクル・モードがアクティブなときにサイクル外変換が必要な場合は、コマンド・モードまたはサンプル・モードに進む前に自動サイクル・モードをディスエーブルにする必要があります。変換完了後に、自動サイクル・モードを再度イネーブルにすることができます。自動サイクル・モードでは、AD7091R-5 が停止条件を受信してもパワーダウンを実行しません。このため、変換とアラート監視は引き続き機能します。

設定レジスタの **CYCLE_TIMER** 値は、自動サイクル・モードの変換時間を制御します。4つの個別の時間間隔を使用できます。それぞれが **BASE_TIME** の倍数です。使用するリセット値は $8 \times \text{BASE_TIME}$ です。AD7091R-5 のベース時間は約 $100 \mu\text{s}$ です。

自動サイクル・モードになっているときにチャンネル・レジスタまたは設定レジスタに書き込みを行うと、サイクル・タイマーがリセットされます。この処理により、サイクル・タイマーの計算に最新情報が使用されるようになります。

表 25. 自動サイクル間隔時間

Command	Interval Time	Approximate Interval
00	1 × BASE_TIME	100 μs (10 kSPS)
01	2 × BASE_TIME	200 μs (5 kSPS)
10	4 × BASE_TIME	400 μs (2.5 kSPS)
11	8 × BASE_TIME	800 μs (1.25 kSPS)

AD7091R-5 が自動サイクル・モードになっているときに、リミット・レジスタおよびヒステリシス・レジスタに書き込みを行わないでください。これらのレジスタに書き込みが行われると、レジスタが更新されるときに内部サイクル・タイマー・カウンタが 1 SCL 期間にわたり停止します。自動サイクル・モードになっているときにチャンネル・レジスタおよび設定レジスタに書き込みを行うと、サイクル・タイマー・カウンタが再スタートされます。

アラート表示レジスタは、読み出すとクリアされるため、レジスタの読出しはアラートが示されている場合のみに実行してください。それ以外の場合に読み出すと、アラート・レジスタと変換結果レジスタのアラート・ビットを誤ってクリアする可能性があります。

パワーダウン・モード

パワーダウン・モードは、低いスループット・レートと低消費電力が要求されるアプリケーション、つまり、各変換の間に ADC がパワーダウンされるか、高いスループット・レートで変換のバーストを実行した後に、これら複数の変換バーストの間の比較的長い期間で ADC がパワーダウンされるアプリケーションでの使用を目的としています。AD7091R-5 がパワーダウン・モードになると、すべてのアナログ回路がパワーダウンされます。ただし、シリアル・インターフェースはアクティブになります。

AD7091R-5 のシリアル・インターフェースはパワーダウン・モードで動作を続けるため、デバイスがパワーダウン・モードに移行した後に変換結果をリードバックすることができます。

パワーダウン・モードに移行するには、設定レジスタのパワーダウン設定ビットを設定します（Table 15 を参照）。フル・パワーダウン・モードに移行するには、スリープ・モード/バイアス・ジェネレータ・ビットを 1 に設定し、内部リファレンス・ビットを 0 に設定します。これにより、すべてのアナログ回路と内部リファレンスがパワーダウンします。内部リファレンスがイネーブルになっている場合、設定レジスタの時間ビット 0 が 1 に設定されているときには常に電力が消費されます。

この動作モードを終了して AD7091R-5 をパワーアップするには、**P_DOWN** ワードの **MSB** を 1 に設定します。内部リファレンスをパワーアップするには、**P_DOWN** の **LSB** も 1 に設定する必要があります。内部リファレンスを使用していて、デバイスがフル・パワーダウン・モードになっている場合は、内部リファレンスがパワーアップしてセトリングされるまで待ってから変換を実行してください。リファレンス・バッファのパワーアップ時に $2.2 \mu\text{F}$ のデカップリング・コンデンサを充電するまで 50ms かかります。パワーアップが完了すると、ADC が完全にパワーアップし、入力信号が正常に取り込まれます。次の変換を開始するときは、Modes of Operation のセクションで説明するとおりインターフェースを動作させます。

アラート

アラート機能は、範囲外インジケータとして使用します。アラート・イベントは、変換結果レジスタの値がチャンネル x リミット・レジスタの CHx 上限値を超えた場合、またはチャンネル x 下限レジスタの CHx 下限値を超えた場合にトリガされます。

詳細なアラート情報には、アラート・レジスタでアクセスできます。このレジスタには、チャンネルあたり2つのステータス・ビットがあり、1つは上限、もう1つは下限に対応しています。すべてのチャンネルのアラート信号の論理 OR により、共通のアラート値が作成されます。この値には、変換結果レジスタのアラート・ビットでアクセスでき、ALERT/BUSY/GPO₀ ピンを駆動するように設定できます。設定レジスタの次のビットを設定すると、ALERT/BUSY/GPO₀ ピンが ALERT 出力として設定されます。

- ALERT_EN_OR_GPO0 ビット (ビット 4) を 1 に設定します。
- ビジー・ビット (ビット 5) を 0 に設定します。
- ALERT/BUSY/GPO₀ ピンをアクティブ・ローにするには、ALERT_POL_OR_GPO0 ビット (ビット 3) を 0 に設定し、ALERT/BUSY/GPO₀ ピンをアクティブ・ハイにするには 1 に設定します。

アラート・レジスタ、アラート・ビット、および ALERT/BUSY/GPO₀ ピンは、アラート・レジスタの内容を読み出すとクリアされます。さらに、変換結果が、選択したチャンネルのヒステリシス値を超えると、そのチャンネルに対応するアラート・ビットが自動的にリセットされます。ソフトウェア・リセットを発行してもアラート・ステータスがクリアされます。

ALERT/BUSY/GPO₀ ピンには、ALERT/BUSY/GPO₀ ピンがアクティブ・ローの場合に複数の AD7091R-5 デバイスを接続することが可能なオープンドレイン設定があります。ALERT/BUSY/GPO₀ ピン配置は、ALERT_DRIVE_TYPE ビット (設定レジスタのビット 15) で制御できます。

ALERT_POL_OR_GPO0 ビット (設定レジスタのビット 3) は、アラート出力のアクティブ極性を設定します。パワーアップのデフォルトは、アクティブ・ローです。

ALERT/BUSY/GPO₀ 出力ピンを使用する場合、出力はオープンドレイン設定であるため、外部プルアップ抵抗が必要です。外部プルアップ抵抗を V_{DRIVE} に接続します。抵抗値はアプリケーションによって異なります。ただし、ALERT/BUSY/GPO₀ 出力ピンでの過度なシンク電流を防止できるように十分大きくする必要があります。

ビジー

ALERT/BUSY/GPO₀ ピンを BUSY 出力として設定した場合、ピンは変換が実行されているときにビジー状態を示します。設定レジスタの次のビットを設定すると、ALERT/BUSY/GPO₀ ピンが BUSY として設定されます。

- ALERT_EN_OR_GPO0 ビット (ビット 4) を 1 に設定します。
- ビジー・ビット (ビット 5) を 1 に設定します。
- ALERT/BUSY/GPO₀ ピンをアクティブ・ローにするには、ALERT_POL_OR_GPO0 ビット (ビット 3) を 0 に設定し、ALERT/BUSY/GPO₀ ピンをアクティブ・ハイにするには 1 に設定します。

ALERT/BUSY/GPO₀ 出力ピンを使用する場合、出力はオープンドレイン設定であるため外部プルアップ抵抗が必要です。外部プルアップ抵抗を V_{DRIVE} に接続します。抵抗値はアプリケーションによって異なります。ただし、ALERT/BUSY/GPO₀ 出力ピンでの過度なシンク電流を防止できるように十分大きくする必要があります。

チャンネル・シーケンサ

AD7091R-5 は、チャンネルを繰り返しスキャンするのに便利なチャンネル・シーケンサを備えています。シーケンスに含めるチャンネルは、チャンネル・レジスタで設定します。チャンネル・レジスタのすべてのビットが 0 の場合は、デフォルトでチャンネル 0 が選択され、すべての変換がこのチャンネルで実行されます。チャンネル・レジスタが 0 以外の場合、変換シーケンスは、チャンネル・レジスタでイネーブルになっている最小番号のチャンネルから開始されます。シーケンスは、イネーブルになっているすべてのチャンネルを昇順でスキャンします。シーケンス内のすべてのチャンネルが変換されると、シーケンスが再度開始されます。

1 つの変換による遅延の後に、チャンネル変換シーケンスが更新されます。新しい値を使用してチャンネル・レジスタをプログラムした場合、変換シーケンスは新しい値の最小番号のチャンネルにリセットされます。

外形寸法

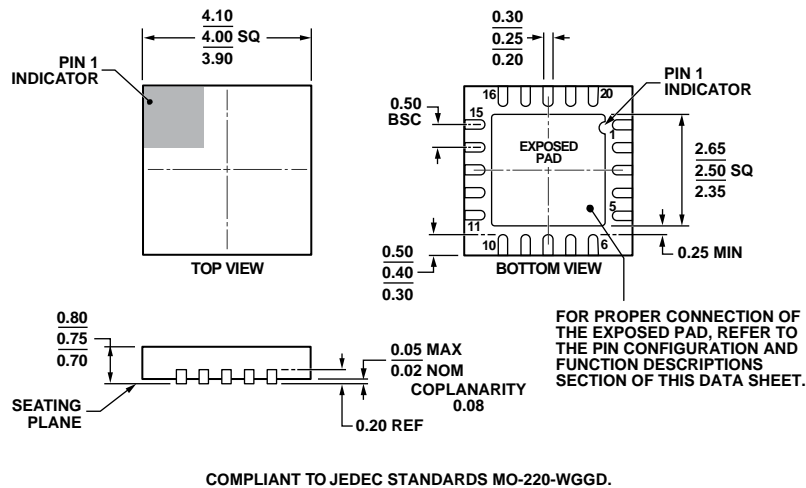


図 44. 20 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WQ]
4 mm × 4 mm ボディ、超薄型クワッド
(CP-20-10)
寸法単位: mm

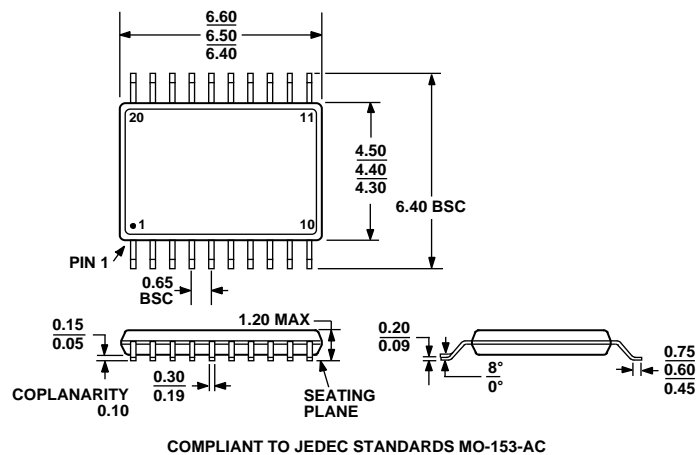


図 45. 20 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
(RU-20)
寸法単位: mm

オーダー・ガイド

Model ¹	Channels	Temperature Range	Package Description	Package Option
AD7091R-5BCPZ	4	-40°C to +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-10
AD7091R-5BCPZ-RL7	4	-40°C to +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-10
AD7091R-5BRUZ	4	-40°C to +125°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	RU-20
AD7091R-5BRUZ-RL7	4	-40°C to +125°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	RU-20
EVAL-AD7091R-5SDZ			Evaluation Board	
EVAL-SDP-CB1Z			Evaluation Controller Board	

¹ Z = RoHS 準拠製品。

FC は、Philips Semiconductors (現 NXP Semiconductors) が開発した通信プロトコルを指します。