

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2011年9月14日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2011年9月14日

製品名： AD5791

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： データシート 5頁、6頁の出力セトリングタイムに関する記述と、それに関するタイミングチャート。

DAC出力のタイミングスペックにおいて t_{13} 、 t_{14} のタイミングスペックの内容と、タイミングチャート上の記載が間違っております。正しくは添付の資料の通りです。なおこの資料は英文資料の RevB の 5、6 頁の写しです。この Revision の英文データシートは、正しく修正されています。

TIMING CHARACTERISTICS

$V_{CC} = 2.7\text{ V to }5.5\text{ V}$; all specifications T_{MIN} to T_{MAX} , unless otherwise noted.

Table 4.

Parameter	Limit ¹		Unit	Test Conditions/Comments
	$IOV_{CC} = 1.71\text{ V to }3.3\text{ V}$	$IOV_{CC} = 3.3\text{ V to }5.5\text{ V}$		
t_1^2	40	28	ns min	SCLK cycle time
	92	60	ns min	SCLK cycle time (readback and daisy-chain modes)
t_2	15	10	ns min	SCLK high time
t_3	9	5	ns min	SCLK low time
t_4	5	5	ns min	\overline{SYNC} to SCLK falling edge setup time
t_5	2	2	ns min	SCLK falling edge to \overline{SYNC} rising edge hold time
t_6	48	40	ns min	Minimum \overline{SYNC} high time
t_7	8	6	ns min	\overline{SYNC} rising edge to next SCLK falling edge ignore
t_8	9	7	ns min	Data setup time
t_9	12	7	ns min	Data hold time
t_{10}	13	10	ns min	\overline{LDAC} falling edge to \overline{SYNC} falling edge
t_{11}	20	16	ns min	\overline{SYNC} rising edge to \overline{LDAC} falling edge
t_{12}	14	11	ns min	\overline{LDAC} pulse width low
t_{13}	130	130	ns typ	\overline{LDAC} falling edge to output response time
t_{14}	130	130	ns typ	\overline{SYNC} rising edge to output response time (\overline{LDAC} tied low)
t_{15}	50	50	ns min	\overline{CLR} pulse width low
t_{16}	140	140	ns typ	\overline{CLR} pulse activation time
t_{17}	0	0	ns min	\overline{SYNC} falling edge to first SCLK rising edge
t_{18}	65	60	ns max	\overline{SYNC} rising edge to SDO tristate ($C_L = 50\text{ pF}$)
t_{19}	62	45	ns max	SCLK rising edge to SDO valid ($C_L = 50\text{ pF}$)
t_{20}	0	0	ns min	\overline{SYNC} rising edge to SCLK rising edge ignore
t_{21}	35	35	ns typ	\overline{RESET} pulse width low
t_{22}	150	150	ns typ	\overline{RESET} pulse activation time

¹ All input signals are specified with $t_r = t_f = 1\text{ ns/V}$ (10% to 90% of IOV_{CC}) and timed from a voltage level of $(V_{IL} + V_{IH})/2$.

² Maximum SCLK frequency is 35 MHz for write mode and 16 MHz for readback and daisy-chain modes.

COPY

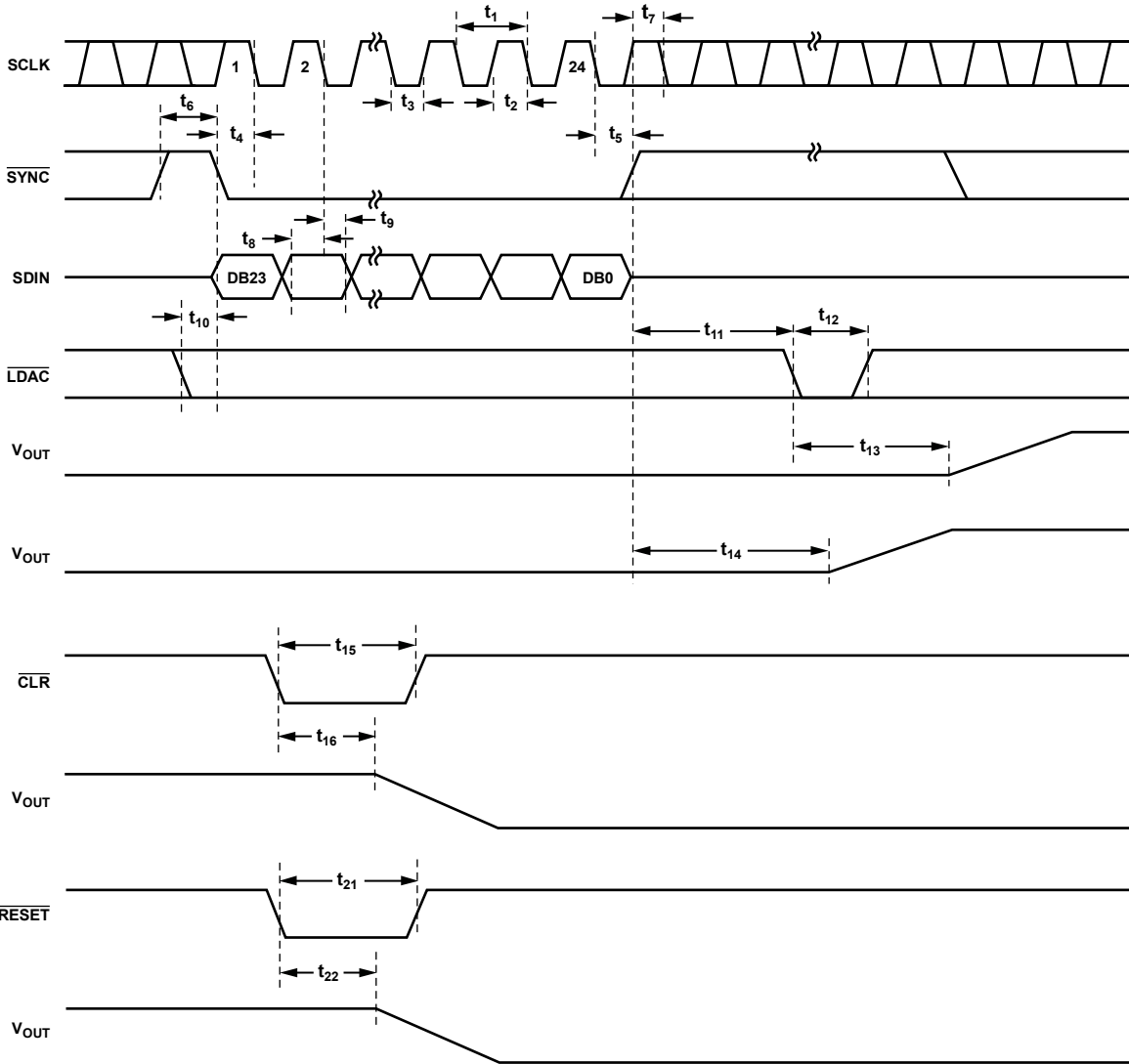


Figure 2. Write Mode Timing Diagram

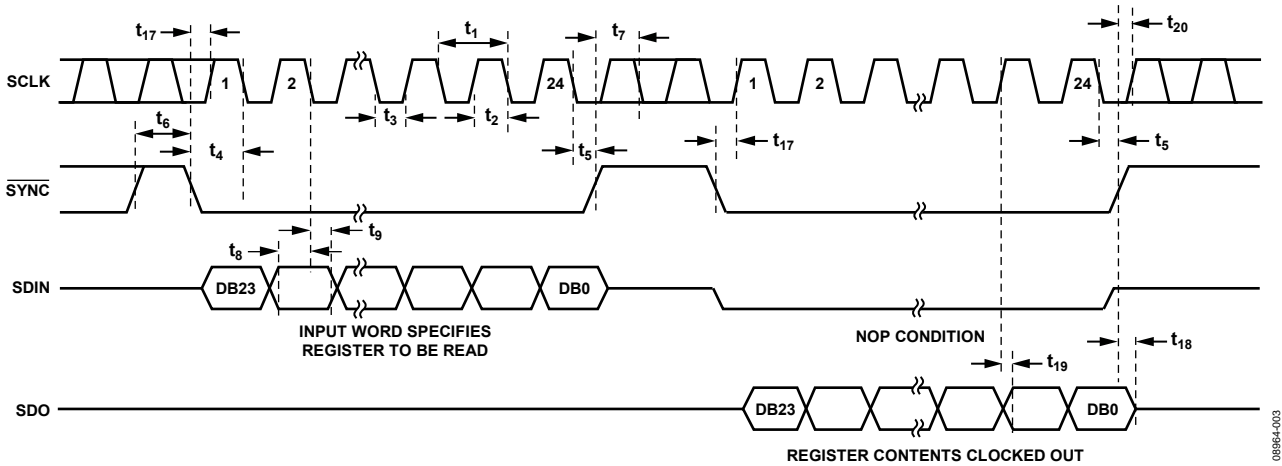


Figure 3. Readback Mode Timing Diagram



特長

- 分解能: 1 ppm
- INL: 1 ppm
- ノイズ・スペクトル密度: 7.5 nV/√Hz
- 直線性の長時間安定性: 0.19 LSB
- 温度ドリフト: 0.05 ppm/°C 以下
- セトリング・タイム: 1μs
- グリッチ・インパルス: 1 nV-sec
- 動作温度範囲: -40°C~+125°C
- 20ピン TSSOP パッケージを採用
- 広い電源範囲: 最大±16.5 V
- 35 MHz のシュミット・トリガ付きデジタル・インターフェース
- 1.8 V 互換のデジタル・インターフェース

アプリケーション

- 医療計測機器
- テストおよび計測機器
- 工業用制御
- ハイエンド科学計装機器と航空宇宙計装機器

概要

AD5791 は、最大 33 V の両電源で動作する、バッファなし電圧出力の 1 チャンネル 20 ビット DAC です。AD5791 には、5 V ~ (V_{DD} - 2.5) V の正リファレンス電圧と (V_{SS} + 2.5 V) ~ 0 V の負リファレンス電圧を入力することができます。AD5791 は最大±1 LSB の相対精度仕様を持ち、最大±1 LSB の DNL 仕様で単調性を保証しています。

このデバイスは、最大 35 MHz のクロック・レートで動作し、かつ標準 SPI、QSPI™、MICROWIRE™、DSP の各インターフェース規格と互換性を持つ多機能 3 線式シリアル・インターフェースを採用しています。このデバイスは、パワーオン・リセット回路を内蔵しており、この回路がパワーアップ時に DAC 出力を 0 V にして既知の出力インピーダンス状態を維持するため、デバイスに

機能ブロック図

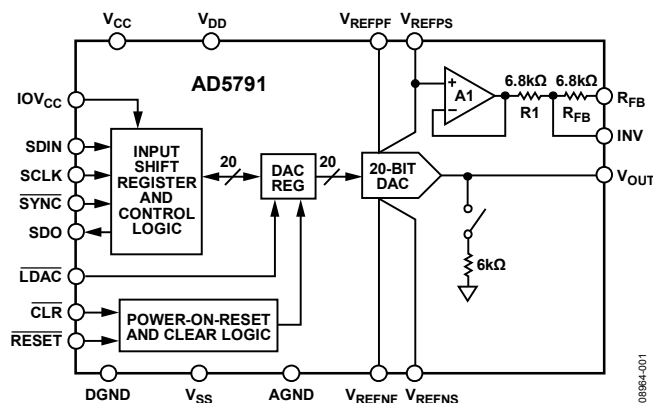


図 1.

表 1. 相補デバイス

Part No.	Description
AD8675	Ultra precision, 36 V, 2.8 nV/√Hz rail-to-rail output op amp
AD8676	Ultra precision, 36 V, 2.8 nV/√Hz dual rail-to-rail output op amp
ADA4898-1	High voltage, low noise, low distortion, unity gain stable, high speed op amp

表 2. 関連デバイス

Part No.	Description
AD5781	18-bit, 0.5 LSB INL, voltage output DAC

に対する有効な書込みが行われるまでこの状態を維持することができます。このデバイスは、出力を所定の負荷状態にする出力クランプ機能を内蔵しています。

製品のハイライト

- 1 ppm の精度。
- 最大±16.5 V の広い電源範囲。
- 40°C~+125°C の動作温度範囲。
- 7.5 nV/√Hz の低いノイズ・スペクトル密度。
- 0.05 ppm/°C の低温度ドリフト。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2010 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	DACアーキテクチャ.....	19
アプリケーション.....	1	シリアル・インターフェース.....	19
機能ブロック図.....	1	ハードウェア・コントロール・ピン.....	20
概要.....	1	内部レジスタ.....	21
製品のハイライト.....	1	AD5791 の特長.....	24
改訂履歴.....	2	0 Vへのパワーオン・リセット.....	24
仕様.....	3	AD5791 の設定.....	24
タイミング特性.....	5	DACの出力状態.....	24
絶対最大定格.....	8	直線性の補償.....	24
ESDの注意.....	8	出力アンプの構成.....	24
ピン配置およびピン機能説明.....	9	アプリケーション情報.....	26
代表的な性能特性.....	10	代表的な動作回路.....	26
用語.....	17	外形寸法.....	27
動作原理.....	19	オーダー・ガイド.....	27

改訂履歴

7/10—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 12.5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -16.5\text{ V} \sim -12.5\text{ V}$ 、 $V_{REFP} = 10\text{ V}$ 、 $V_{REFN} = -10\text{ V}$ 、 $V_{CC} = 2.7\text{ V} \sim +5.5\text{ V}$
 $IOV_{CC} = 1.71\text{ V} \sim 5.5\text{ V}$ 、 $R_L = \text{無負荷}$ 、 $C_L = \text{無負荷}$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 3.

Parameter	A,B Version ¹			Unit	Test Conditions/Comments
	Min	Typ	Max		
STATIC PERFORMANCE ²					
Resolution	20			Bits	
Integral Nonlinearity Error (Relative Accuracy)	-1	±0.25	+1	LSB	B version, $V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $T_A = 0^\circ\text{C}$ to 105°C
	-1.5	±0.25	+1.5	LSB	B version, $V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-1.5	±0.5	+1.5	LSB	B version, $V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-3	±1	+3	LSB	B version, $V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-4	±2	+4	LSB	A version ⁴
Differential Nonlinearity Error	-1	±0.5	+1	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-1.5	±0.75	+1.5	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-2.5	±1	+2.5	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
Linearity Error Long Term Stability ⁵		0.16		LSB	After 500 hours at $T_A = 125^\circ\text{C}$
		0.19		LSB	After 1000 hours at $T_A = 125^\circ\text{C}$
		0.11		LSB	After 1000 hours at $T_A = 100^\circ\text{C}$
Full-Scale Error	-3	±0.1	+3	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-5	±0.25	+5	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-9	±0.8	+9	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
Full-Scale Error Temperature Coefficient		±0.02		ppm FSR/ $^\circ\text{C}$	
Zero-Scale Error	-1.5	±0.1	+1.5	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-2.5	±0.15	+2.5	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-9	±0.75	+9	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
Zero-Scale Error Temperature Coefficient ³		±0.04		ppm FSR/ $^\circ\text{C}$	
Gain Error	-6	±0.3	+6	ppm FSR	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-10	±0.4	+10	ppm FSR	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-20	±0.4	+20	ppm FSR	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
Gain Error Temperature Coefficient ³		±0.04		ppm FSR/ $^\circ\text{C}$	
Midscale Error	-3	±1	+3	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-3	±1	+3	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-3	±1	+3	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
Midscale Error Temperature Coefficient ³		±0.005		ppm FSR/ $^\circ\text{C}$	
R_1 , R_{FB} Matching		0.01		%	
OUTPUT CHARACTERISTICS ³					
Output Voltage Range	V_{REFN}		V_{REFP}	V	
Output Slew Rate		50		V/ μs	
Output Voltage Settling Time		1		μs	10 V step to 0.02%, AD845 output buffer
		1		μs	500 code step to ±1 LSB, AD797 output buffer ⁶
Output Noise Spectral Density		7.5		nV/ $\sqrt{\text{Hz}}$	at 1 kHz, DAC code = midscale
		7.5		nV/ $\sqrt{\text{Hz}}$	at 10 kHz, DAC code = midscale
		7.5		nV/ $\sqrt{\text{Hz}}$	At 100 kHz, DAC code = midscale
Output Voltage Noise		1.1		μV p-p	DAC code = midscale, 0.1 Hz to 10 Hz bandwidth ⁷
Digital-to-Analog Glitch Impulse		15		nV-sec	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
		5		nV-sec	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
		1		nV-sec	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
Output Enabled Glitch Impulse		45		nV-sec	On removal of output ground clamp
Digital Feedthrough		0.4		nV-sec	
DC Output Impedance (Normal Mode)		3.4		k Ω	
DC Output Impedance (Output Clamped to Ground)		6		k Ω	
Spurious Free Dynamic Range		100		dB	1 kHz tone, 10 kHz sample rate
Total Harmonic Distortion		97		dB	1 kHz tone, 10 kHz sample rate

Parameter	A,B Version ¹			Unit	Test Conditions/Comments
	Min	Typ	Max		
REFERENCE INPUTS ³					
V_{REFP} Input Range	5		$V_{DD} - 2.5\text{ V}$	V	V_{REFP} , V_{REFN} , code dependent, typical at midscale code. V_{REFP} , V_{REFN}
V_{REFN} Input Range	$V_{SS} + 2.5\text{ V}$		0		
DC Input Impedance	5	6.6		k Ω	
Input Capacitance		15		pF	
LOGIC INPUTS ³					
Input Current ⁸	-1		+1	μA	$\text{IOV}_{CC} = 1.71\text{ V to }5.5\text{ V}$ $\text{IOV}_{CC} = 1.71\text{ V to }5.5\text{ V}$
Input Low Voltage, V_{IL}			$0.3 \times \text{IOV}_{CC}$	V	
Input High Voltage, V_{IH}	$0.7 \times \text{IOV}_{CC}$			V	
Pin Capacitance		5		pF	
LOGIC OUTPUT (SDO) ³					
Output Low Voltage, V_{OL}			0.4	V	$\text{IOV}_{CC} = 1.71\text{ V to }5.5\text{ V}$, sinking 1 mA $\text{IOV}_{CC} = 1.71\text{ V to }5.5\text{ V}$, sourcing 1 mA
Output High Voltage, V_{OH}	$\text{IOV}_{CC} - 0.5\text{ V}$			V	
High Impedance Leakage Current			± 1	μA	
High Impedance Output Capacitance		3		pF	
POWER REQUIREMENTS					
V_{DD}	7.5		$V_{SS} + 33$	V	All digital inputs at DGND or IOV_{CC} $\text{IOV}_{CC} \leq V_{CC}$ SDO disabled $V_{DD} \pm 10\%$, $V_{SS} = 15\text{ V}$ $V_{SS} \pm 10\%$, $V_{DD} = 15\text{ V}$ $V_{DD} \pm 200\text{ mV}$, 50 Hz/60 Hz, $V_{SS} = -15\text{ V}$ $\Delta V_{SS} \pm 200\text{ mV}$, 50 Hz/60 Hz, $V_{DD} = 15\text{ V}$
V_{SS}	$V_{DD} - 33$		-2.5	V	
V_{CC}	2.7		5.5	V	
IOV_{CC}	1.71		5.5	V	
I_{DD}		4.2	5.2	mA	
I_{SS}		4	4.9	mA	
I_{CC}		600	900	μA	
IOI_{CC}		52	140	μA	
DC Power Supply Rejection Ratio ^{3,9}		± 0.6		$\mu\text{V/V}$	
AC Power Supply Rejection Ratio ³		± 0.6		$\mu\text{V/V}$	
		95		dB	
		95		dB	

¹ 温度範囲: -40°C ~ $+125^{\circ}\text{C}$, typ 値は $+25^{\circ}\text{C}$ および $V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$, $V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$ 。

² 性能は AD8676BRZ 電圧リファレンス・バッファと AD8675ARZ 出力バッファを使ってキャラクタライズしています。

³ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁴ 全電圧リファレンス範囲に有効。

⁵ 直線性誤差は INL 誤差と DNL 誤差を意味し、いずれのパラメータも規定時間経過後に規定の大きさのドリフトがあることを想定しています。

⁶ AD5791 はゲイン=2 のモードに設定し、AD797 に 25 pF の補償コンデンサを使用しています。

⁷ AD8676BRZ 電圧リファレンス・バッファ のノイズ成分を含みます。

⁸ 各ロジック・ピンに流入する電流。

⁹ AD8676BRZ 電圧リファレンス・バッファ の PSRR を含みます。

タイミング特性

特に指定のない限り、 $V_{CC} = 2.7 \sim 5.5 \text{ V}$; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 4.

Parameter	Limit ¹		Unit	Test Conditions/Comments
	$IOV_{CC} = 1.71 \text{ V to } 3.3 \text{ V}$	$IOV_{CC} = 3.3 \text{ V to } 5.5 \text{ V}$		
t_1^2	40	28	ns min	SCLK cycle time
	92	60	ns min	SCLK cycle time (readback and daisy-chain modes)
t_2	15	10	ns min	SCLK high time
t_3	9	5	ns min	SCLK low time
t_4	5	5	ns min	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
t_5	2	2	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge hold time
t_6	48	40	ns min	Minimum $\overline{\text{SYNC}}$ high time
t_7	8	6	ns min	$\overline{\text{SYNC}}$ rising edge to next SCLK falling edge ignore
t_8	9	7	ns min	Data setup time
t_9	12	7	ns min	Data hold time
t_{10}	13	10	ns min	$\overline{\text{LDAC}}$ falling edge to $\overline{\text{SYNC}}$ falling edge
t_{11}	20	16	ns min	$\overline{\text{SYNC}}$ rising edge to $\overline{\text{LDAC}}$ falling edge
t_{12}	14	11	ns min	$\overline{\text{LDAC}}$ pulse width low
t_{13}	130	130	ns typ	$\overline{\text{LDAC}}$ falling edge to output response time
t_{14}	10	10	$\mu\text{s typ}$	Output settling time (20 V step)
t_{15}	130	130	ns typ	$\overline{\text{SYNC}}$ rising edge to output response time ($\overline{\text{LDAC}}$ tied low)
t_{16}	50	50	ns min	$\overline{\text{CLR}}$ pulse width low
t_{17}	140	140	ns typ	$\overline{\text{CLR}}$ pulse activation time
t_{18}	0	0	ns min	$\overline{\text{SYNC}}$ falling edge to first SCLK rising edge
t_{19}	65	60	ns max	$\overline{\text{SYNC}}$ rising edge to SDO tristate ($C_L = 50 \text{ pF}$)
t_{20}	62	45	ns max	SCLK rising edge to SDO valid ($C_L = 50 \text{ pF}$)
t_{21}	0	0	ns min	$\overline{\text{SYNC}}$ rising edge to SCLK rising edge ignore
t_{22}	35	35	ns typ	$\overline{\text{RESET}}$ pulse width low
t_{23}	150	150	ns typ	$\overline{\text{RESET}}$ pulse activation time

¹ すべての入力信号は $t_r = t_f = 1 \text{ ns/V}$ (IOV_{CC} の 10% から 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。

² 最大 SCLK 周波数は、書き込みモードでは 35 MHz に、リードバック・モードとディジーチェーン・モードでは 16 MHz に、それぞれ異なります。

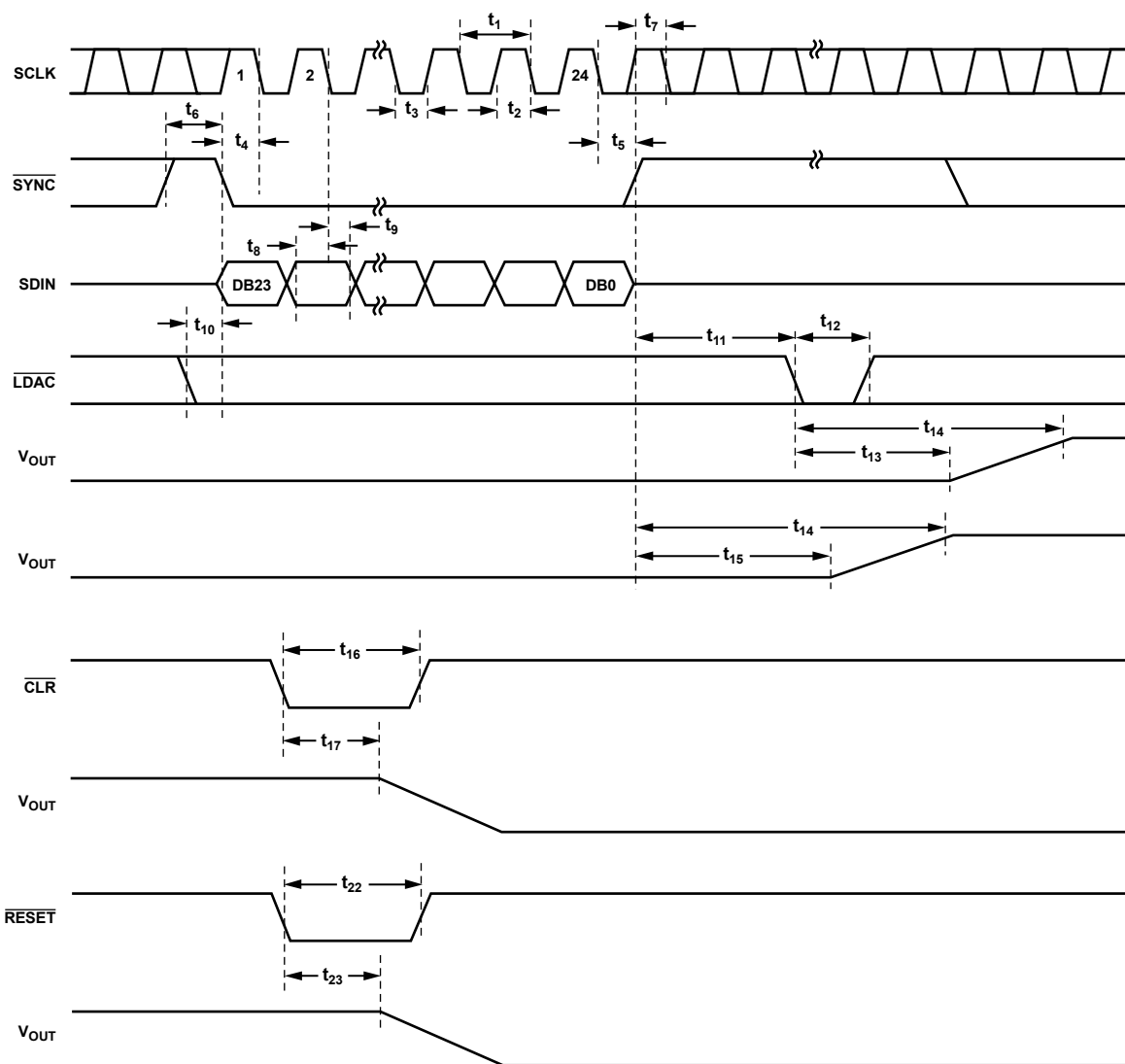


図 2.書き込みモードのタイミング図

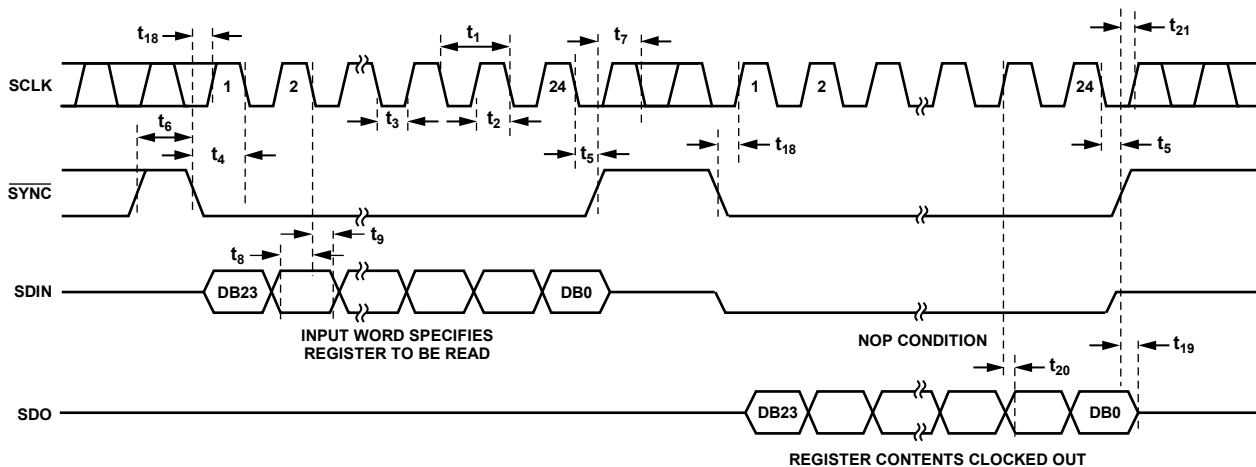


図 3.リードバック・モードのタイミング図

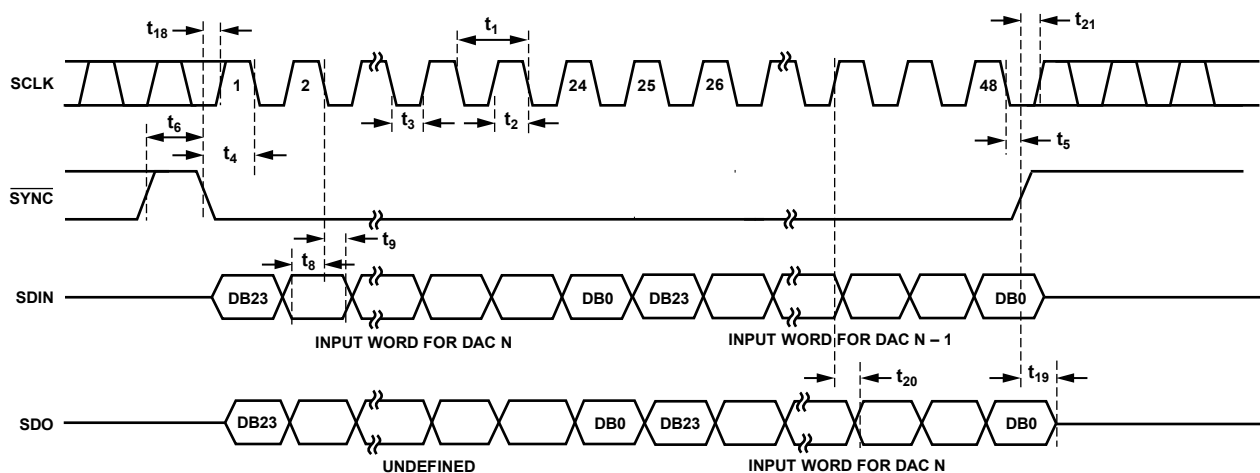


図 4. ディジーチェーン・モードのタイミング図

08964-004

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 5.

Parameter	Rating
V_{DD} to AGND	-0.3 V to +34 V
V_{SS} to AGND	-34 V to +0.3 V
V_{DD} to V_{SS}	-0.3 V to +34 V
V_{CC} to DGND	-0.3 V to +7 V
IOV_{CC} to DGND	-0.3 V to $V_{CC} + 0.3$ V or +7 V (whichever is less)
Digital Inputs to DGND	-0.3 V to $IOV_{CC} + 0.3$ V or +7 V (whichever is less)
V_{OUT} to AGND	-0.3 V to $V_{DD} + 0.3$ V
V_{REFPF} to AGND	-0.3 V to $V_{DD} + 0.3$ V
V_{REFPS} to AGND	-0.3 V to $V_{DD} + 0.3$ V
V_{REFNF} to AGND	$V_{SS} - 0.3$ V to +0.3 V
V_{REFNS} to AGND	$V_{SS} - 0.3$ V to +0.3 V
DGND to AGND	-0.3 V to +0.3 V
Operating Temperature Range, T_A	
Industrial	-40°C to $+125^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Maximum Junction Temperature, $T_{J\text{max}}$	150°C
Power Dissipation	$(T_{J\text{max}} - T_A)/\theta_{JA}$
TSSOP Package	
θ_{JA} Thermal Impedance	$143^\circ\text{C}/\text{W}$
θ_{JC} Thermal Impedance	$45^\circ\text{C}/\text{W}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020
ESD (Human Body Model)	1.5 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

このデバイスは、1.5 kV の ESD 定格を持ち、ESD に敏感な高性能集積回路です。取り扱いと組み立てでは適切な注意が必要です。

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

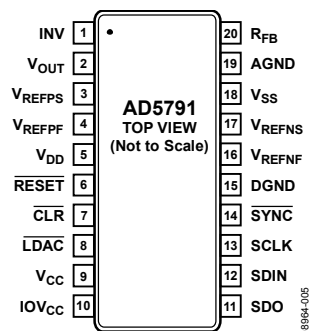


図 5. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	INV	外付けアンプの反転入力への接続。詳細については、AD5791 の特長のセクションを参照してください。
2	V _{OUT}	アナログ出力電圧。
3	V _{REFFPS}	正のリファレンス検出電圧入力。5 V～V _{DD} - 2.5 V の電圧範囲を接続することができます。このピンと V _{REFFPF} ピンを使ってユニティ・ゲイン・アンプを接続する必要があります。詳細については、AD5791 の特長のセクションを参照してください。
4	V _{REFFPF}	正のリファレンス・フォース電圧入力。5 V～V _{DD} - 2.5 V の電圧範囲を接続することができます。このピンと V _{REFFPS} ピンを使ってユニティ・ゲイン・アンプを接続する必要があります。詳細については、AD5791 の特長のセクションを参照してください。
5	V _{DD}	正のアナログ電源接続。7.5 V～16.5 V の電圧範囲を接続することができます。V _{DD} は AGND へデカップリングする必要があります。
6	RESET	アクティブ・ローのリセット・ロジック入力ピン。このピンをアサートすると、AD5791 はパワーオン状態に戻ります。
7	CLR	アクティブ・ローのクリア・ロジック入力ピン。このピンをアサートすると、DACレジスタはユーザ指定値に設定され(表 13 参照)、DAC出力が更新されます。出力値は、使用されるDACレジスタ・コーディング(バイナリまたは 2 の補数)に依存します。
8	LDAC	アクティブ・ローのロード DAC ロジック入力ピン。DAC レジスタの更新に使われ、DAC レジスタが更新されるとアナログ出力が変化します。このピンをロー・レベルに固定すると、出力が SYNC の立上がりエッジで更新されます。書込みサイクルで LDAC をハイ・レベルにすると、入力レジスタが更新されますが、出力の更新は LDAC の立下がりエッジまで待たされます。LDAC ピンは解放のままにしないでください。
9	V _{CC}	デジタル電源接続。2.7 V～5.5 V の電圧範囲を接続することができます。V _{CC} ピンは DGND にデカップリングする必要があります。
10	IOV _{CC}	デジタル・インターフェース電源ピン。デジタル・スレッショールド・レベルは、このピンに入力される電圧を基準とします。1.71 V～5.5 V の電圧範囲を接続することができます。IOV _{CC} は、V _{CC} を超えることはできません。
11	SDO	シリアル・データ出力ピン。データは、シリアル・クロック入力の立上がりエッジで出力されます。
12	SDIN	シリアル・データ入力ピン。このデバイスは、24 ビットのシフトレジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
13	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 35 MHz のレートで転送できます。
14	SYNC	アクティブ・ローのデジタルインターフェース同期入力ピン。これは、入力データに対するフレーム同期信号です。SYNC がロー・レベルになると、入力シフトレジスタがイネーブルされ、データは後続のクロックの立下がりエッジで入力されます。入力シフトレジスタは、SYNC の立上がりエッジで更新されます。
15	DGND	デジタル回路のグラウンド基準ピン。
16	V _{REFNF}	負のリファレンス・フォース電圧入力。V _{SS} + 2.5 V～0 V の電圧範囲を接続することができます。このピンと V _{REFNS} ピンを使ってユニティ・ゲイン・アンプを接続する必要があります。詳細については、AD5791 の特長のセクションを参照してください。
17	V _{REFNS}	負のリファレンス検出電圧入力。V _{SS} + 2.5 V～0 V の電圧範囲を接続することができます。このピンと V _{REFNF} ピンを使ってユニティ・ゲイン・アンプを接続する必要があります。詳細については、AD5791 の特長のセクションを参照してください。
18	V _{SS}	負のアナログ電源接続。-16.5 V～-2.5 V の電圧範囲を接続することができます。V _{SS} ピンは AGND にデカップリングする必要があります。
19	AGND	アナログ回路のグラウンド基準ピン。
20	R _{FB}	外付けアンプの帰還接続。詳細については、AD5791 の特長のセクションを参照してください。

代表的な性能特性

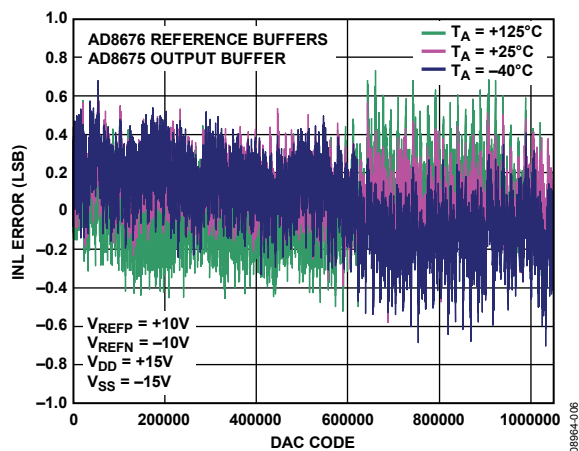


図 6. DAC コード対積分非直線性誤差、±10 V 範囲

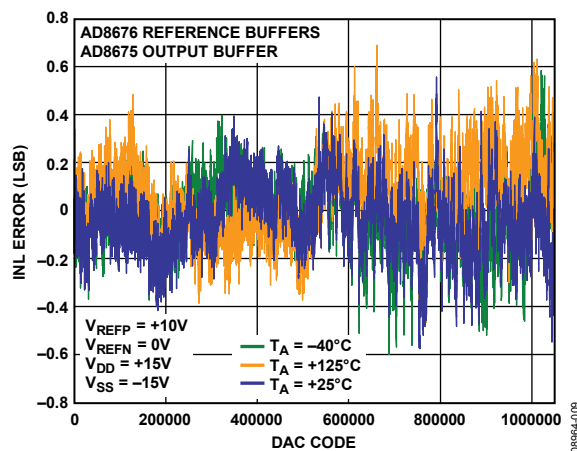
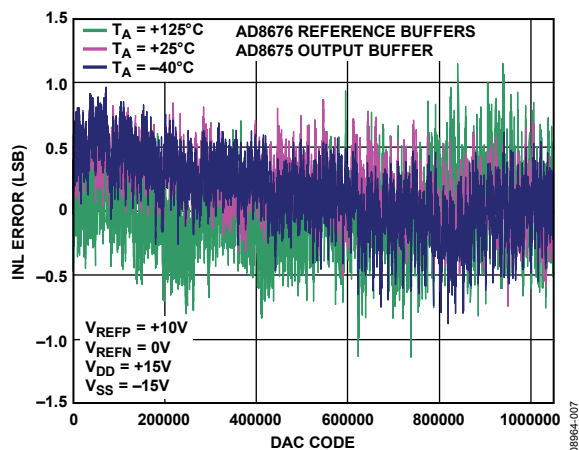
図 9. DAC コード対積分非直線性誤差
±10 V 範囲、X2 ゲイン・モード

図 7. DAC コード対積分非直線性誤差、10 V 範囲

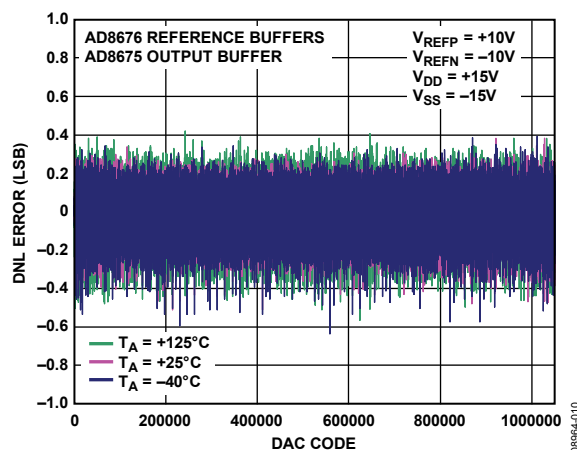


図 10. DAC コード対微分非直線性誤差、±10 V 範囲

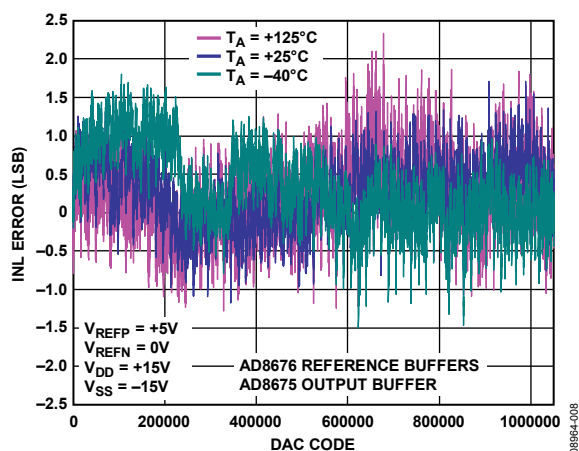


図 8. DAC コード対積分非直線性誤差、5 V 範囲

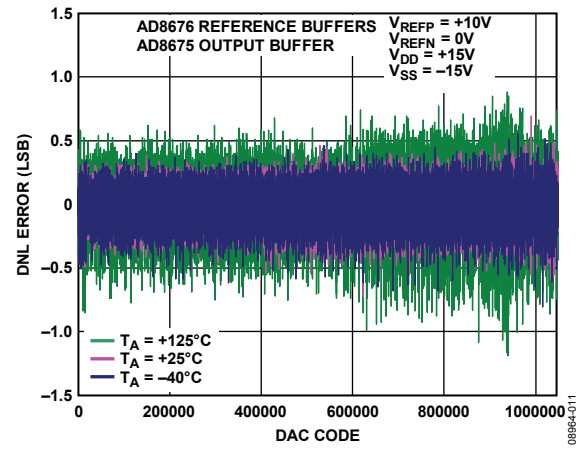


図 11. DAC コード対微分非直線性誤差、10 V 範囲

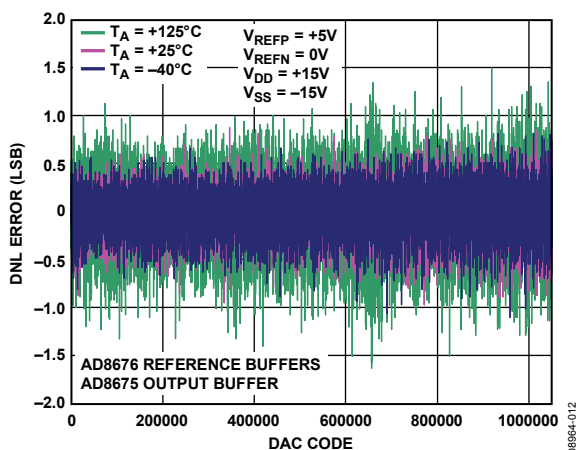


図 12. DAC コード対微分非直線性誤差、5 V 範囲

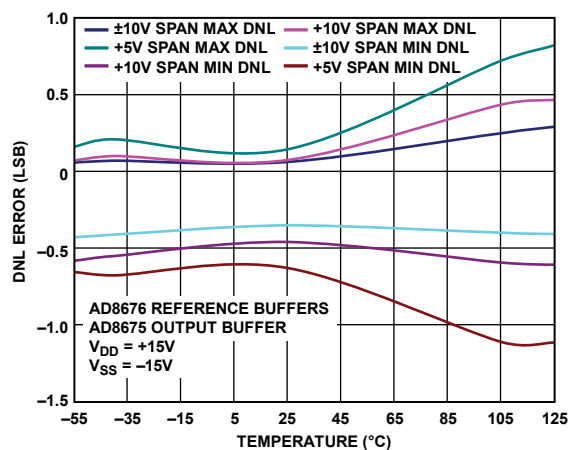


図 15. 微分非直線性誤差の温度特性

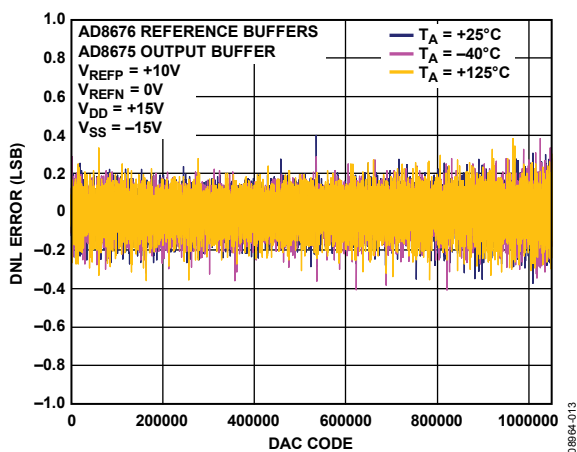


図 13. DAC コード対微分非直線性誤差
±10 V 範囲、X2 ゲイン・モード

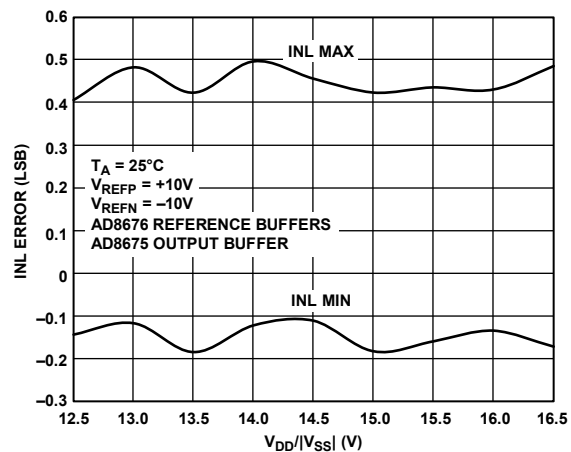


図 16. 電源電圧対積分非直線性誤差、±10 V 範囲

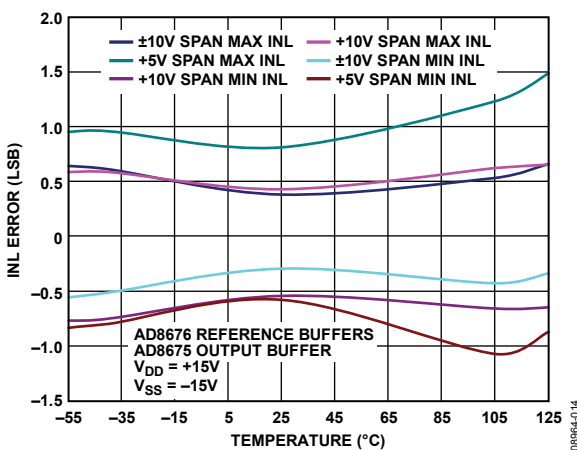


図 14. 積分非直線性誤差の温度特性

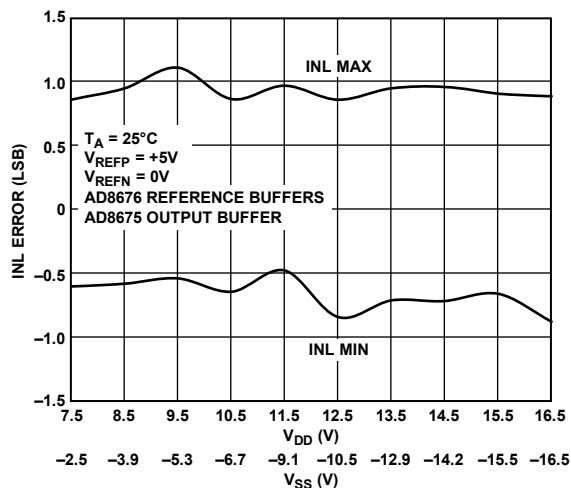


図 17. 電源電圧対積分非直線性誤差、5 V 範囲

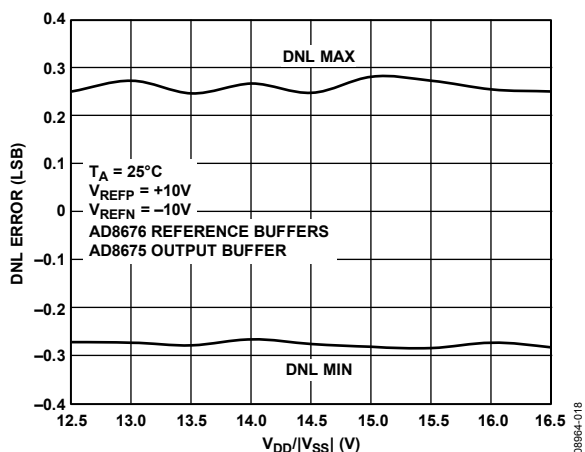


図 18. 電源電圧対微分非直線性誤差、±10 V 範囲

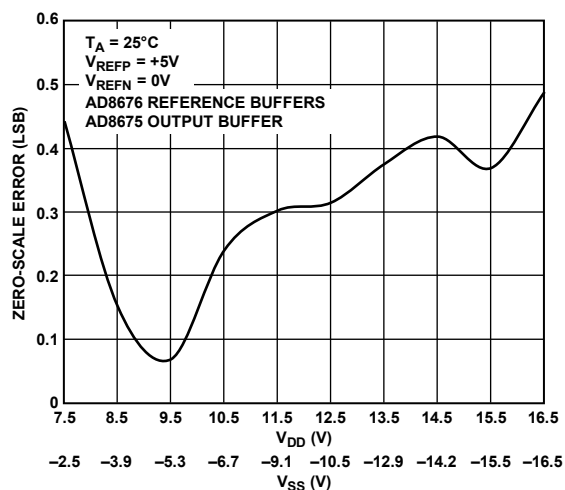


図 21. 電源電圧対ゼロスケール誤差、5 V 範囲

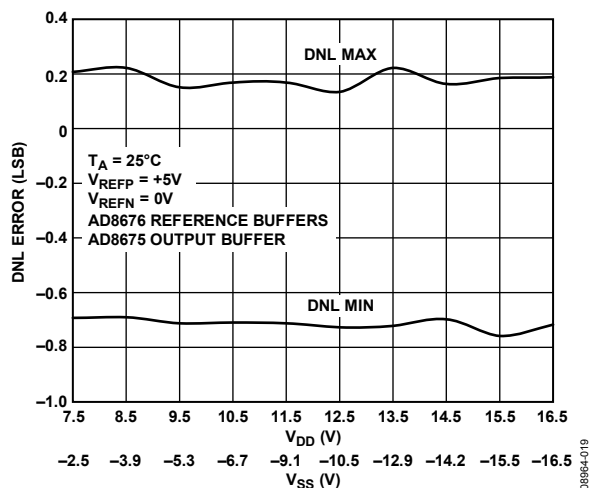


図 19. 電源電圧対微分非直線性誤差、5 V 範囲

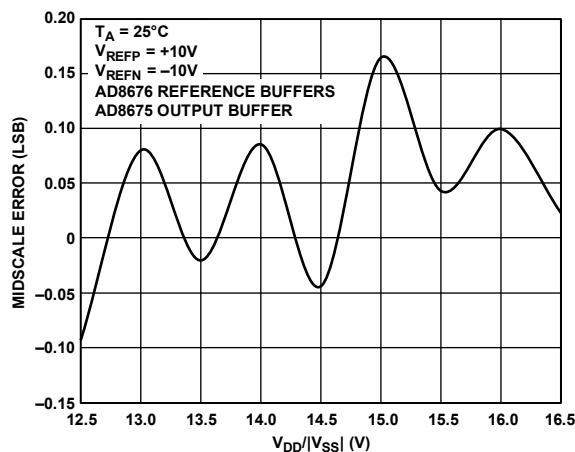


図 22. 電源電圧対ミッドスケール誤差、±10 V 範囲

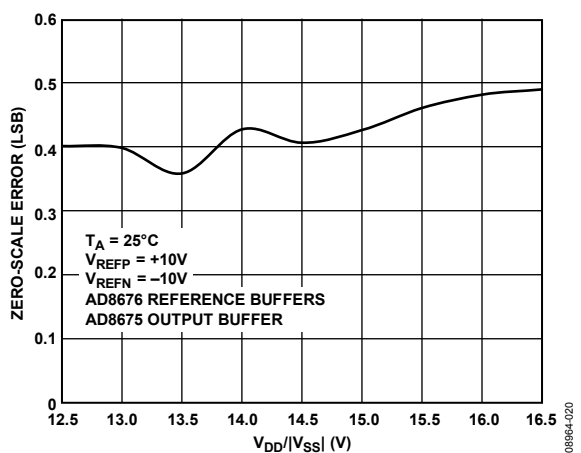


図 20. 電源電圧対ゼロスケール誤差、±10 V 範囲

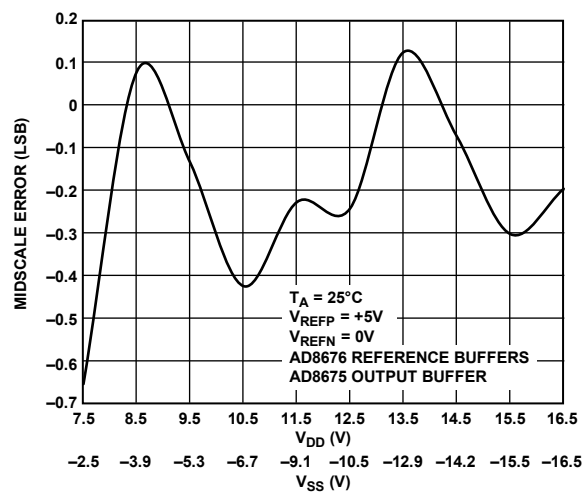


図 23. 電源電圧対ミッドスケール誤差、5 V 範囲

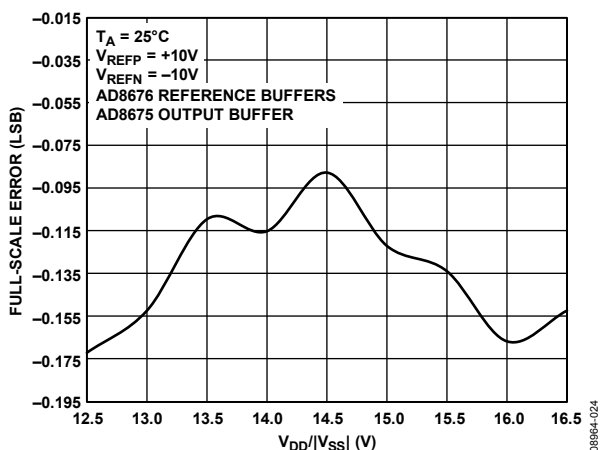


図 24.電源電圧対フルスケール誤差、±10 V 範囲

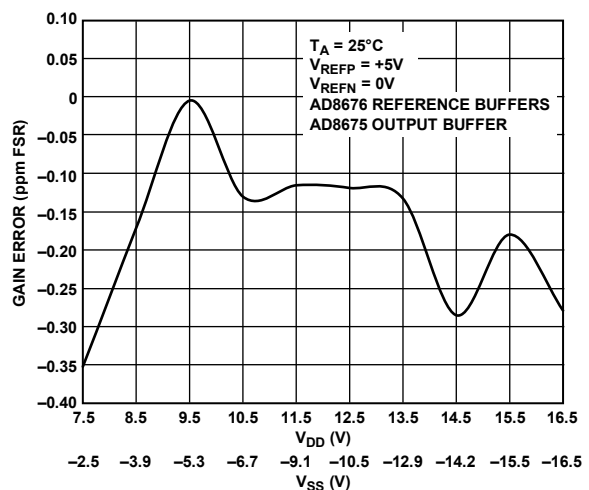


図 27.電源電圧対ゲイン誤差、5 V 範囲

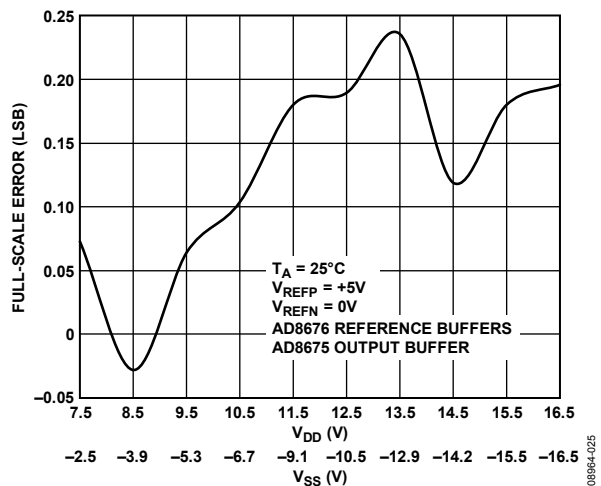


図 25.電源電圧対フルスケール誤差、5 V 範囲

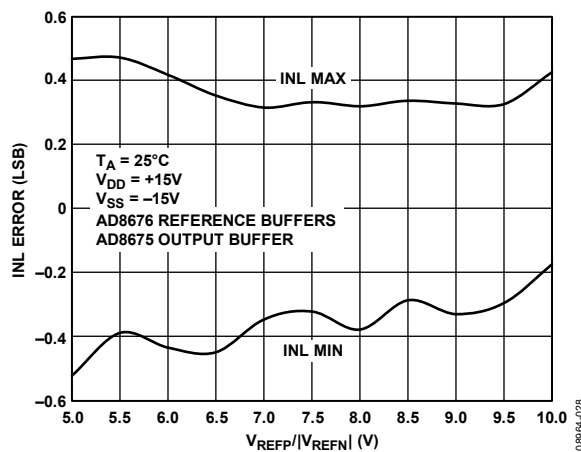


図 28.リファレンス電圧対積分非直線性誤差

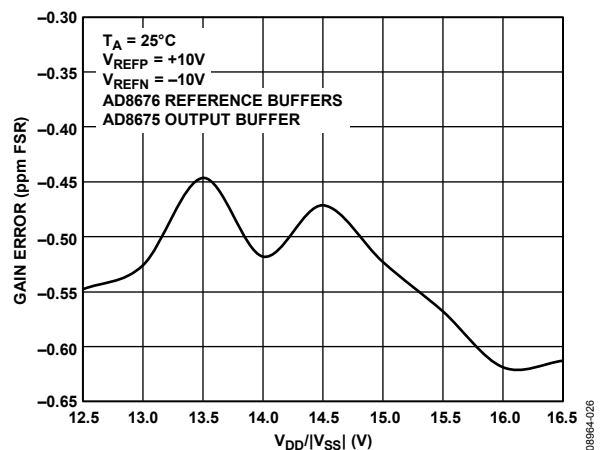


図 26.電源電圧対ゲイン誤差、±10 V 範囲

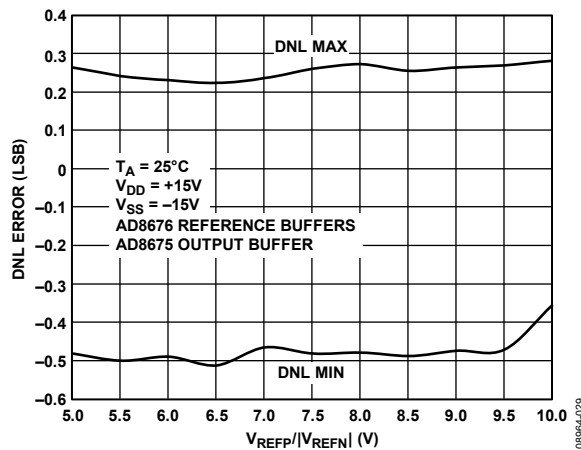


図 29.リファレンス電圧対微分非直線性誤差

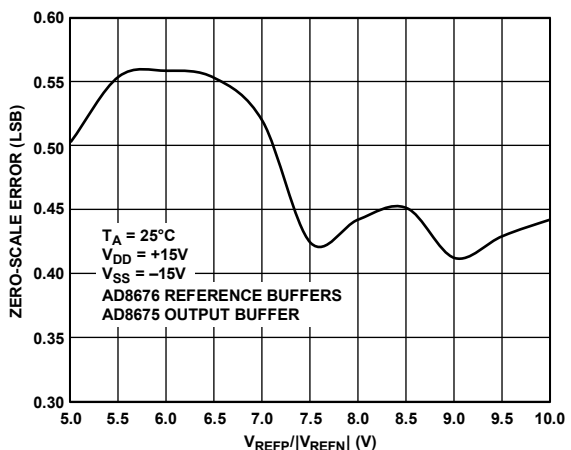


図 30. リファレンス電圧対ゼロスケール誤差

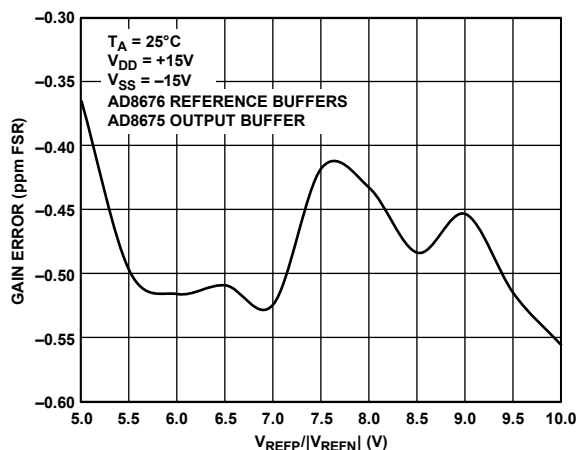


図 33. リファレンス電圧対ゲイン誤差

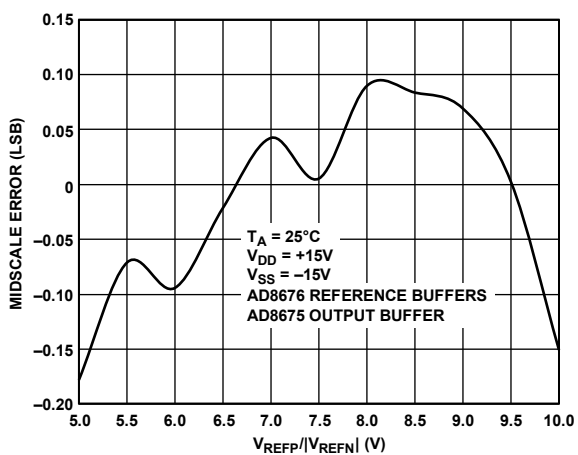


図 31. リファレンス電圧対ミッドスケール誤差

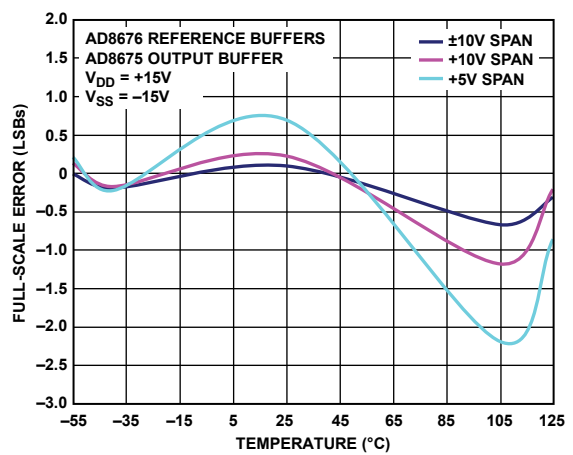


図 34. フルスケール誤差の温度特性

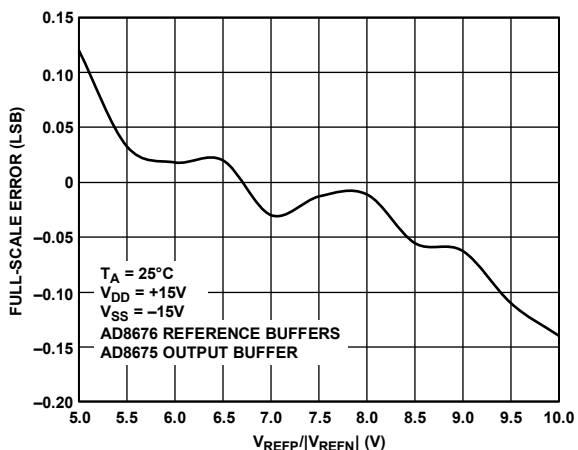


図 32. リファレンス電圧対フルスケール誤差

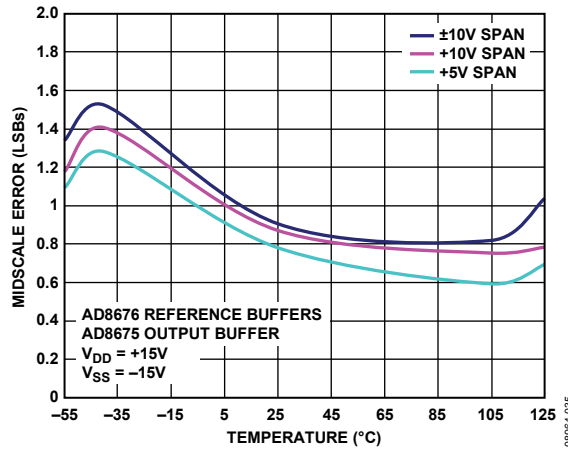


図 35. ミッドスケール誤差の温度特性

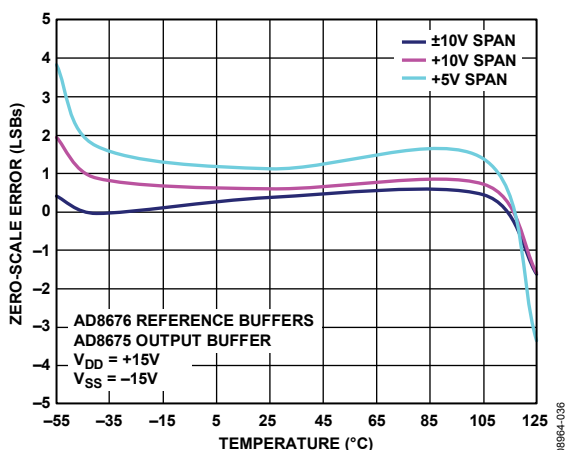


図 36. ゼロスケール誤差の温度特性

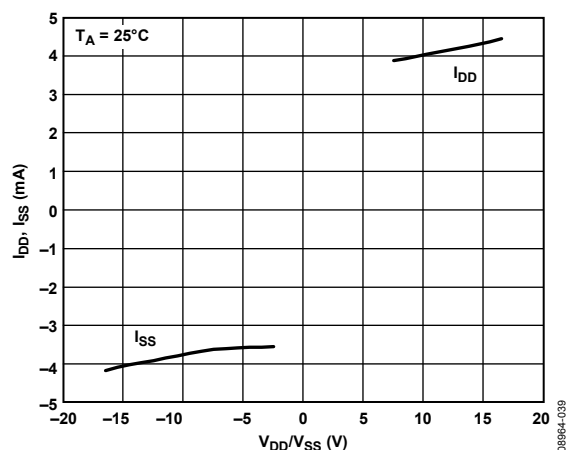


図 39. 電源電圧対電源電流

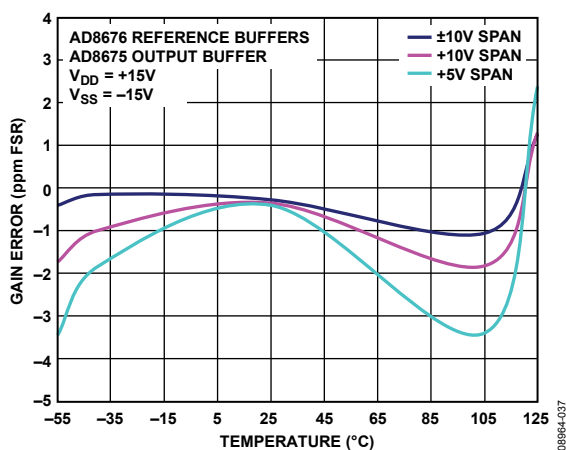


図 37. ゲイン誤差の温度特性

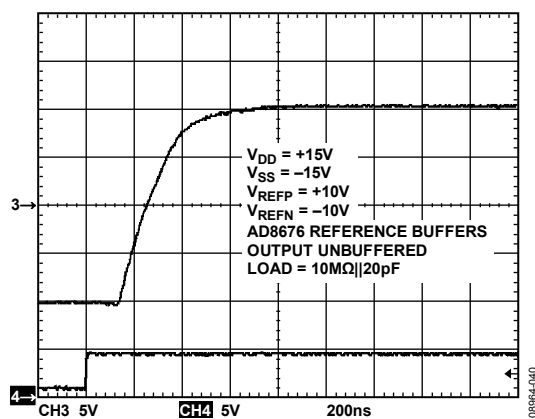


図 40. 立上がりフルスケール電圧ステップ

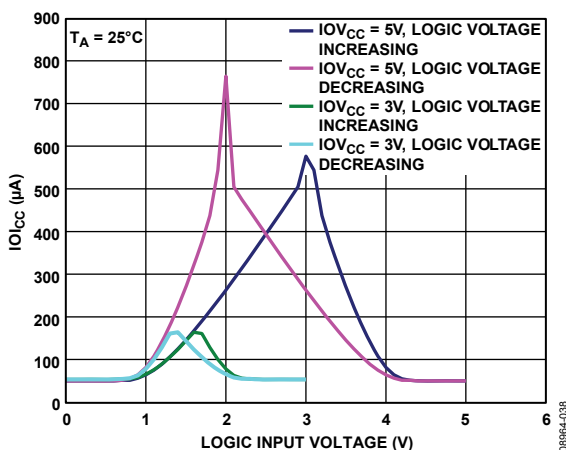


図 38. ロジック入力電圧対 IO_{CC}

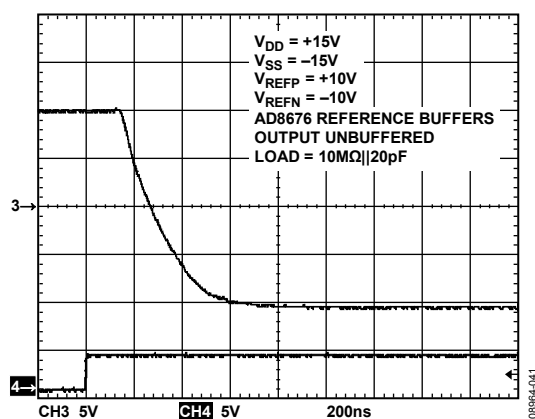


図 41. 立下がりフルスケール電圧ステップ

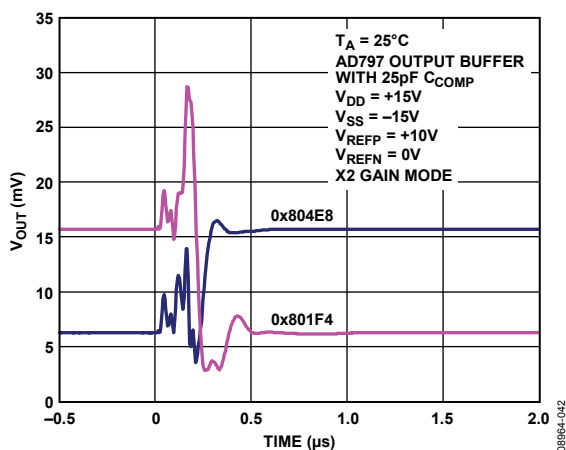


図 42. 500 コード・ステップのセットリング・タイム

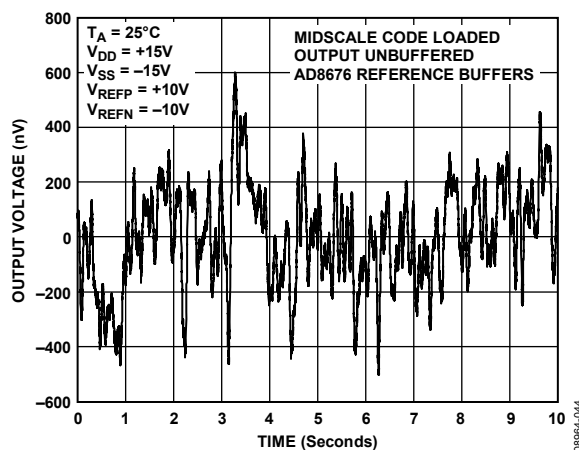


図 44. 電圧出力ノイズ、0.1 Hz ~ 10 Hz 帯域幅

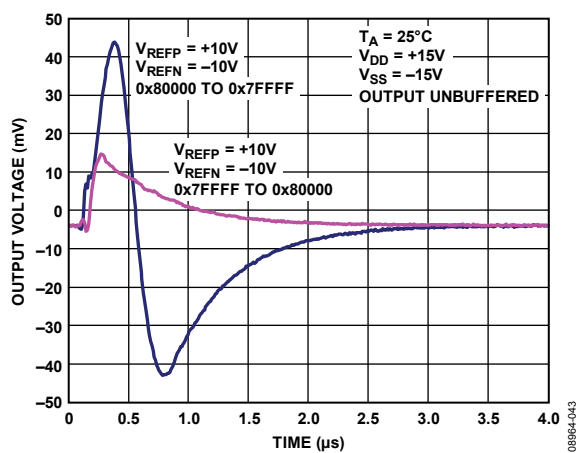


図 43. デジタルからアナログへのグリッチ・インパルス

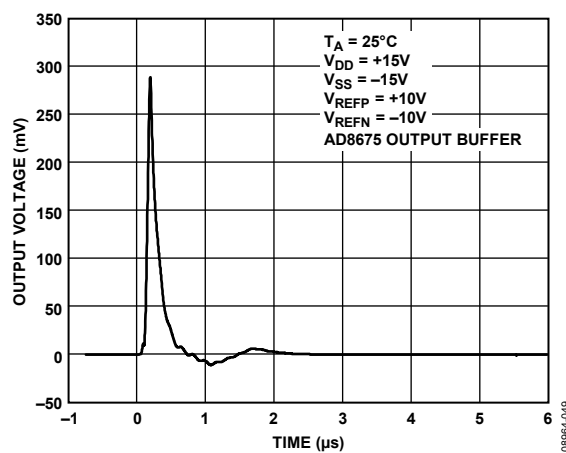


図 45. 出力クランプなしのグリッチ・インパルス

用語

相対精度

相対精度すなわち積分非直線性(INL)は、DAC伝達関数の上下両端を結ぶ直線からの最大乖離(LSB数で表示)を表します。INL誤差(typ)対コードのプロットを図 6 に示します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 ± 1 LSB の微分非直線性の仕様は、単調性を保証するものです。この DAC は単調性を保証しています。DNL 誤差(typ)対コードのプロットを図 10 に示します。

直線性誤差長時間安定性

直線性誤差長時間安定性は、長時間での DAC 直線性の安定度を表わします。周囲温度を上げた 500 時間と 1000 時間に対して LSB 数で規定されます。

ゼロスケール誤差

ゼロスケール誤差は、ゼロスケール・コード(0x00000)を DAC レジスタにロードしたときの出力として測定されます。理論的には出力電圧は V_{REFNS} である必要があります。ゼロスケール誤差は LSB 数で表わされます。

ゼロスケール誤差の温度係数

ゼロスケール誤差温度係数は、温度変化に対するゼロスケール誤差の変化を意味し、ppm FSR/ $^{\circ}$ C で表されます。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0x3FFFF)を DAC レジスタにロードしたときの出力として測定されます。理論的には、出力電圧は $V_{REFPS} - 1$ LSB である必要があります。フルスケール誤差は LSB 数で表わされます。

フルスケール誤差温度係数

フルスケール誤差温度係数は、温度変化に対するフルスケール誤差の変化を意味し、ppm FSR/ $^{\circ}$ C で表されます。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論値からの実際の DAC 伝達特性の傾きの差をフルスケール範囲の ppm 値で表したものです。

ゲイン誤差の温度係数

ゲイン誤差温度係数は、温度変化に対するゲイン誤差の変化を表し、ppm FSR/ $^{\circ}$ C で表されます。

ミッドスケール誤差

ミッドスケール誤差は、ミッドスケール・コード(0x20000)を DAC レジスタにロードしたときの出力誤差を表わします。理論的には、出力電圧は $(V_{REFPS} - V_{REFNS})/2 + V_{REFNS}$ である必要があります。ミッドスケール誤差は LSB 数で表わされます。

ミッドスケール誤差温度係数

ミッドスケール誤差温度係数は、温度変化に対するミッドスケール誤差の変化を意味し、ppm FSR/ $^{\circ}$ C で表されます。

出力スルーレート

スルーレートは、出力電圧の変化率の制約を表わします。AD5791 出力電圧のスルーレートは、 V_{OUT} ピンに存在する容量負荷により決定されます。容量負荷と AD5791 の 3.4 k Ω の出力インピーダンスの組み合わせにより、スルーレートが設定されます。スルー・レートは出力電圧変化の 10% から 90% までで測定され、V/ μ s で表されます。

出力電圧セトリング・タイム

規定の電圧変化に対して、出力電圧が規定のレベルまでに安定するために要する時間を表します。高速セトリング・アプリケーションの場合、AD5791 の 3.4 k Ω 出力インピーダンスから負荷をバッファするために高速バッファ・アンプが必要です。この場合、セトリング・タイムを決めるのがこのアンプになります。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。これは nV-sec で表すグリッチの面積として規定され、主要キャリ変化時に、デジタル入力コードが 1 LSB だけ変化したときに測定されます(図 43 参照)。

出カイナーブル時グリッチ・インパルス

これは、DAC 出力でグラウンドへのクランプを除いたときに、アナログ出力に混入するインパルスを表します。グリッチの面積を表す単位 nV-sec で表わされます(図 45 参照)。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に混入するインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

スプリアス・フリー・ダイナミックレンジ(SFDR)

スプリアス・フリー・ダイナミックレンジとは、基本波信号がスプリアス・ノイズにより干渉または歪みを受けない DAC の有効ダイナミックレンジを意味します。SFDR は、基本波の振幅と、DC からナイキスト周波数(DAC サンプルング・レートの 1/2、すなわち fs/2)までの高調波または非高調波スプリアスの最大振幅との差として表されます。SFDR は、信号がデジタル的に発生された正弦波の場合に測定されます。

総合高調波歪み(THD)

THD は、DAC 出力の 2 次から 5 次の高調波の rms 和と基本波の比を表します。

DC 電源除去比

DC 電源除去比は、DAC へ加えた電源の DC 変化に対応する出力電圧の除去能力を表わします。電源電圧の与えられた DC 変化に対して測定され、 $\mu\text{V/V}$ で表わされます。

AC 電源除去比(AC PSRR)

AC 電源除去比は、DAC へ加えた電源の AC 変化に対応する出力電圧の除去能力を表わします。電源電圧の与えられた振幅と周波数の変化に対して測定され、デシベルで表わされます。

動作原理

AD5791 は高精度、高速セトリング、20 ビット、シリアル入力、電圧出力の 1 チャンネル DAC です。7.5 V~16.5 V の V_{DD} 電源電圧と -16.5 V~-2.5 V の V_{SS} 電源で動作し、データは 3 線式シリアル・インターフェースを使って 24 ビット・ワード・フォーマットで AD5791 に書込まれます。AD5791 は、 V_{OUT} ピンを約 6 k Ω の内部抵抗を経由して AGND へクランプして DAC 出力を 0 V でパワーアップさせるパワーオン・リセット回路を内蔵しています。

DACアーキテクチャ

AD5791 のアーキテクチャは、2 つの一致した DAC セクションから構成されています。簡略化した回路図を図 46 に示します。20 ビット・データ・ワードの上位 6 ビットはデコードされて、63 個のスイッチ (E0~E62) を駆動します。これらの各スイッチは、63 個の一致した抵抗の 1 つを V_{REFP} または V_{REFN} 電圧に接続します。データ・ワードの残りの 14 ビットは、14 ビット電圧モード R-2R ラダー回路のスイッチ (S0~S13) を駆動します。仕様性能を得るためには、リファレンス入力を外付けアンプを使って入力する必要があります。

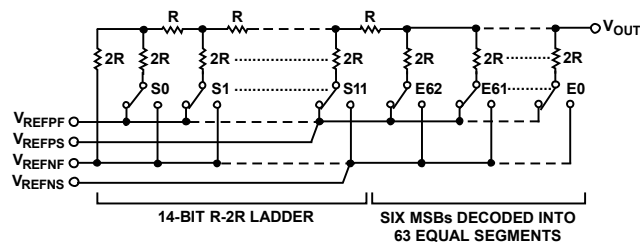


図 46. DAC のラダー構造

シリアル・インターフェース

AD5791 は、SPI、QSPI、MICROWIRE、大部分の DSP の各インターフェース規格と互換性を持つ 3 線式シリアル・インターフェース (SYNC、SCLK、SDIN) を内蔵しています (タイミング図については図 2 参照)。

入力シフトレジスタ

入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK (最大 50 MHz) の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。入力レジスタは、 R/\overline{W} ビット、3 ビットのアドレス・ビット、12 ビットのレジスタ・ビットで構成されています (表 7 参照)。図 2 に、動作タイミング図を示します。

表 7. 入力シフトレジスタのフォーマット

MSB						LSB
DB23	DB22	DB21	DB20	DB19	DB0	
R/ \overline{W}	Register address			Register data		

表 8. 入力シフトレジスタのデコーディング

R/ \overline{W}	Register Address			Description
X ¹	0	0	0	No operation (NOP; used in readback operations)
0	0	0	1	Write to the DAC register
0	0	1	0	Write to the control register
0	0	1	1	Write to the clearcode register
0	1	0	0	Write to the software control register
1	0	0	1	Read from the DAC register
1	0	1	0	Read from the control register
1	0	1	1	Read from the clearcode register

¹ X = don't care.

スタンドアロン動作

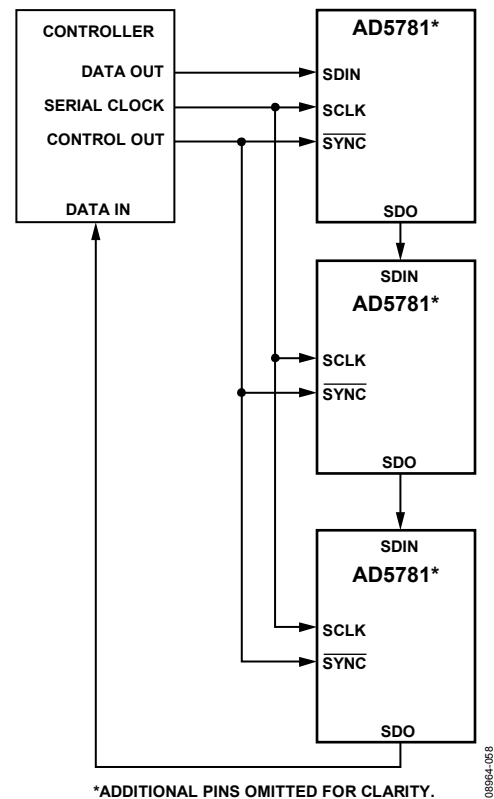
このシリアル・インターフェースは、連続および非連続シリアル・クロックで動作します。正しいクロック・サイクル数間、 $\overline{\text{SYNC}}$ をロー・レベルに維持することが可能な場合のみ、連続 SCLK ソースを使用することができます。ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後に $\overline{\text{SYNC}}$ をハイ・レベルにしてデータをラッチする必要があります。 $\overline{\text{SYNC}}$ の最初の立下がりエッジで書き込みサイクルが開始されます。 $\overline{\text{SYNC}}$ をハイ・レベルに戻す前に、24 個の立下がりクロック・エッジを SCLK に入力する必要があります。24 番目の立下がり SCLK エッジの前に $\overline{\text{SYNC}}$ をハイ・レベルにすると、書込まれたデータは無効になります。 $\overline{\text{SYNC}}$ をハイ・レベルにする前に、24 個より多くの立下がり SCLK エッジを入力した場合も、入力データは無効になります。入力シフトレジスタは、 $\overline{\text{SYNC}}$ の立上がりエッジで更新されます。次のシリアル転送を行うときは、 $\overline{\text{SYNC}}$ をロー・レベルに戻す必要があります。シリアル・データ転送の終了後、データは自動的に入力シフトレジスタからアドレス指定されたレジスタへ転送されます。書き込みサイクルが完了した後、 $\overline{\text{SYNC}}$ がハイ・レベルの間に LDAC をロー・レベルにすることにより、出力を更新することができます。

ディジーチェーン動作

複数のデバイスを使うシステムでは、SDO ピンを使って複数のデバイスをディジーチェーン接続することができます。このディジーチェーン・モードは、システム診断とシリアル・インターフェースのライン数の削減に有効です。 $\overline{\text{SYNC}}$ の最初の立下がりエッジで書き込みサイクルが開始されます。SCLK は $\overline{\text{SYNC}}$ がロー・レベルのとき、連続的に入力シフトレジスタに入力されます。24 個を超えるクロック・パルスが入力されると、データはシフトレジスタからはみ出して、SDO ピンに出力されます。データは SCLK の立上がりエッジで出力され、SCLK の立下がりエッジで有効になります。最初のデバイスの SDO をチェーン内にある次のデバイスの SDIN 入力に接続すると、複数デバイスのインターフェースが構成されます。システム内の各デバイスは、24 個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は $24 \times N$ になります。ここで、N はチェーン内の AD5791 の合計デバイス数です。すべてのデバイスに対するシリアル転送が完了したら、 $\overline{\text{SYNC}}$ をハイ・レベルにします。この動作により、ディジーチェーン内にある各デバイス内の入力データがラッチされて、入力シフトレジスタにさらにデータが入力されるのを防止します。シリアル・クロックとしては、連続クロックまたは不連続クロックが可能です。

正しいクロック・サイクル数間、 $\overline{\text{SYNC}}$ をロー・レベルに維持することが可能な場合のみ、連続 SCLK ソースを使用することができます。ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後に $\overline{\text{SYNC}}$ をハイ・レベルにしてデータをラッチする必要があります。

すべてのディジーチェーン・シーケンスで、DAC レジスタへの書き込みと他のレジスタへの書き込みをミックスすることはできません。ディジーチェーン接続されたデバイスに対するすべての書き込みは、DAC レジスタへの書き込みか、またはコントロール・レジスタ、クリア・コード・レジスタ、ソフトウェア・コントロール・レジスタへの書き込みである必要があります。



*ADDITIONAL PINS OMITTED FOR CLARITY.

08964-058

図 47. ディジーチェーン・ブロック図

リードバック

すべての内蔵レジスタ値は、SDO ピンを使ってリードバックすることができます。表 8 に、レジスタのデコード方法を示します。レジスタ読出しのアドレスを指定すると、次の 24 クロック・サイクルでデータが SDO ピンに出力されます。クロックは、 $\overline{\text{SYNC}}$ がロー・レベルの間に入力する必要があります。 $\overline{\text{SYNC}}$ がハイ・レベルに戻ると、SDO ピンはスリー・ステートになります。1 個のレジスタを読出すときは、NOP 機能を使ってデータを出力することができます。複数のレジスタを読出すときは、アドレス指定された最初のレジスタのデータを出力すると同時に、2 番目に読出すレジスタのアドレス指定を行うことができます。リードバック動作を完了させるためには SDO ピンをイネーブルする必要があります。SDO ピンはデフォルトでイネーブルされています。

ハードウェア・コントロール・ピン

ロード DAC 機能 (LDAC)

データが DAC の入力レジスタへ転送された後、DAC レジスタと DAC 出力を更新する方法は 2 つあります。 $\overline{\text{SYNC}}$ と LDAC の状態に応じて、同期 DAC 更新または非同期 DAC 更新を選択することができます。

同期 DAC 更新

このモードでは、データを入力シフトレジスタへ入力中に LDAC をロー・レベルにします。DAC 出力は、 $\overline{\text{SYNC}}$ の立上がりエッジで更新されます。

非同期 DAC 更新

このモードでは、データを入力シフトレジスタへ入力中に $\overline{\text{LDAC}}$ をハイ・レベルにします。SYNCをハイ・レベルにした後に $\overline{\text{LDAC}}$ をロー・レベルにすると、DAC 出力が非同期的に更新されます。更新は、 $\overline{\text{LDAC}}$ の立下がりエッジで行われるようになります。

リセット機能(RESET)

AD5791 をパワーオン状態にリセットときは、RESETピンをアサートするか、ソフトウェア・リセット制御機能を使うことができます(表 14 参照)。RESETピンを使用しない場合は、IOV_{CC}へ接続しておく必要があります。

表 9. ハードウェア・コントロール・ピンの真理値表

LDAC	CLR	RESET	Function
X ¹	X ¹	0	The AD5791 is in reset mode. The device cannot be programmed.
X ¹	X ¹	↑	The AD5791 is returned to its power-on state. All registers are set to their default values.
0	0	1	The DAC register is loaded with the clearcode register value and the output is set accordingly.
0	1	1	The output is set according to the DAC register value.
1	0	1	The DAC register is loaded with the clearcode register value and the output is set accordingly.
↑	1	1	The output is set according to the DAC register value.
↑	0	1	The output remains at the clear code value.
↑	1	1	The output remains set according to the DAC register value.
↑	0	1	The output remains at the clear code value.
1	↑	1	The DAC register is loaded with the clearcode register value and the output is set accordingly.
0	↑	1	The DAC register is loaded with the clearcode register value and the output is set accordingly.
1	↓	1	The output remains at the clear code value
0	↓	1	The output is set according to the DAC register value.

¹ X = don't care.

内部レジスタ

DACレジスタ

表 10 に、DACレジスタに対するデータの読み書き方法を示します。

表 10. DAC レジスタ

MSB				LSB	
DB23	DB22	DB21	DB20	DB19	DB0
R/W	Register address			DAC register data	
R/W	0	0	1	20-bits of data	

次式で DAC の理論伝達関数が表わされます。

$$V_{OUT} = \frac{(V_{REFP} - V_{REFN}) \times D}{2^{20}} + V_{REFN}$$

ここで、

V_{REFN} は V_{REFN} 入力ピンに入力される負電圧。

V_{REFP} は V_{REFP} 入力ピンに入力される正電圧。

D は DAC に書込まれる 20 ビット・コード。

コントロール・レジスタ

コントロール・レジスタは、AD5791 の動作モードを制御します。

表 11. コントロール・レジスタ

MSB													LSB			
DB23	DB22	DB21	DB20	DB19...DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
R/W	Register address			Control register data												
R/W	0	1	0	Reserved	Reserved	LIN COMP			SDODIS	BIN/2sC	DACTRI	OPGND	RBUF	Reserved		

表 12. Control レジスタ機能

Function	Description
Reserved	These bits are reserved and should be programmed to zero.
RBUF	Output amplifier configuration control. 0: internal amplifier, A1, is powered up and Resistor R_{FB} and R1 are connected in series as shown in Figure 50. This allows an external amplifier to be connected in a gain of two configurations. See the AD5791 Features section for further details. 1: (default) internal amplifier, A1, is powered down and Resistor R_{FB} and R1 are connected in parallel as shown in Figure 49 so that the resistance between the R_{FB} and INV pins is 3.4 k Ω , equal to the resistance of the DAC. This allows the R_{FB} and INV pins to be used for input bias current compensation for an external unity gain amplifier. See the AD5791 Feature section for further details.
OPGND	Output ground clamp control. 0: DAC output clamp to ground is removed and the DAC is placed in normal mode. 1: (default) DAC output is clamped to ground through a ~6 k Ω resistance, and the DAC is placed in tristate mode.
DACTRI	DAC tristate control. 0: DAC is in normal operating mode. 1: (default) DAC is in tristate mode.
BIN/2sC	DAC register coding select. 0: (default) DAC register uses twos complement coding. 1: DAC register uses offset binary coding.
SDODIS	SDO pin enable/disable control. 0: (default) SDO pin is enabled. 1: SDO pin is disabled (tristate).
LIN COMP	Linearity error compensation for varying reference input spans. See the AD5791 Features section for further details.
	0 0 0 0 (Default) reference input span up to 10 V.
	1 0 0 1 Reference input span between 10 V and 12 V.
	1 0 1 0 Reference input span between 12 V and 16 V.
	1 0 1 1 Reference input span between 16 V and 19 V.
	1 1 0 0 Reference input span between 19 V and 20 V.
R/W	Read/write select bit. 0: AD5791 is addressed for a write operation. 1: AD5791 is addressed for a read operation.

クリア・コード・レジスタ

クリア・コード・レジスタは、 \overline{CLR} ピンまたは CLR ビットがアサートされたときに DAC 出力となる値を設定します。出力値は、使用される DAC コーディング(バイナリまたは 2 の補数)に依存します。デフォルト・レジスタ値は 0 です。

表 13. クリア・コード・レジスタ

MSB										LSB					
DB23	DB22	DB21	DB20	DB19						DB0					
R/W	Register address									Clearcode register data					
R/W	0	1	1	20-bits of data											

ソフトウェア・コントロール・レジスタ

書込み専用レジスタであり、特定のビットに1を書込むと、対応するピンでロー・パルスを発生することと同じ効果を持ちます。

表 14. ソフトウェア・コントロール・レジスタ

MSB				LSB				
DB23	DB22	DB21	DB20	DB19	DB3	DB2	DB1	DB0
R/W	Register address			Software control register data				
0	1	0	0	Reserved		RESET	CLR ¹	LDAC ²

¹ LDACピンがロー・レベルのとき、CLR機能は無効です。

² CLRピンがロー・レベルのとき、LDAC機能は無効です。

表 15. ソフトウェア・コントロール・レジスタ機能

Function	Description
LDAC	Setting this bit to a 1 updates the DAC register and consequently the DAC output.
CLR	Setting this bit to a 1 sets the DAC register to a user defined value (see Table 13) and updates the DAC output. The output value depends on the DAC register coding that is being used, either binary or twos complement.
RESET	Setting this bit to a 1 returns the AD5791 to its power-on state.

AD5791の特長

0 Vへのパワーオン

AD5641 は、パワーアップ時に出力電圧を制御し、さらにすべてのレジスタをデフォルト値に設定するパワーオン・リセット回路を内蔵しています。パワーオン時、DAC はスリー・ステートになり(リファレンス入力は切断)、出力は約 6 kΩ の抵抗を介してグラウンドへクランプされます。DAC は、コントロール・レジスタを使って別の指定が行われるまでこの状態を維持します。この機能は、デバイスのパワーアップ時の DAC 出力状態が既知である必要のあるアプリケーションで特に便利です。

AD5791 の設定

パワーオン後、出力を書込む前に AD5791 を通常の動作モードに設定する必要があります。このためには、コントロール・レジスタに書き込みを行う必要があります。DACTRI ビットをクリアすると、DAC はスリー・ステートから抜け出し、OPGND ビットをクリアすると、出力クランプが解除されます。この時点で、DAC レジスタに別の値が書込まれていないかぎり、出力が V_{REFN} になります。

DACの出力状態

DAC 出力は、コントロール・レジスタの DACTRI ビットと OPGND ビットで選択される 3 つの状態にすることができます(表 16 参照)。

表 16. AD5791 出力状態の真理値表

DACTRI	OPGND	Output State
0	0	Normal operating mode
0	1	Output is clamped via ~6 kΩ to AGND
1	0	Output is in tristate
1	1	Output is clamped via ~6 kΩ to AGND

直線性の補償

AD5791 の積分非直線性(INL)は、入力されるリファレンス電圧振幅に従い変化するため、コントロール・レジスタの LIN COMP ビットに書込んで INL のこの変動を補償することができます。このデータシートの仕様は、10 V 以下のリファレンス振幅に対して LIN COMP = 0000 に、リファレンス振幅 = 20 V に対して LIN COMP = 1100 に、それぞれ設定して取得されています。LIN COMP ビットのデフォルト値は 0000 です。中間の LIN COMP 値は 10 V ~ 20 V のリファレンス振幅に対して設定することができます(表 12 参照)。

出力アンプの構成

出力アンプを AD5791 に接続する方法は、入力するリファレンス電圧と所要出力電圧振幅に応じて多数あります。

ユニティ・ゲイン構成

図 48 に、ユニティ・ゲインに設定された出力アンプを示します。この構成では出力振幅は $V_{REFN} \sim V_{REFP}$ になります。

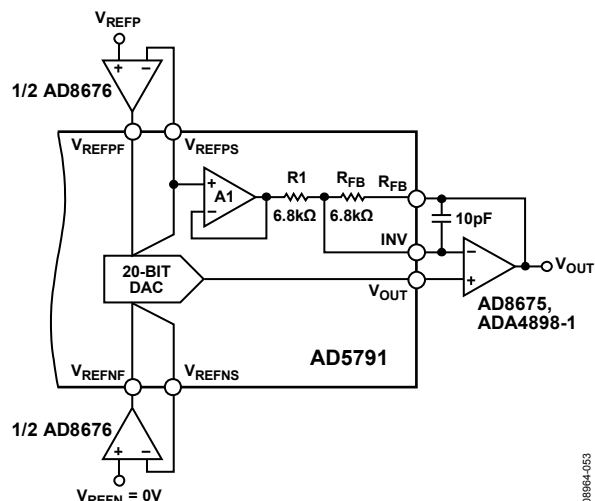


図 48. ユニティ・ゲイン構成の出力アンプ

出力アンプの 2 つ目のユニティ・ゲイン構成は、アンプの入力バイアス電流からオフセットを除去する構成です。これは、アンプの帰還パスに DAC の出力抵抗に等しい抵抗を挿入することにより実現されます。DAC 出力抵抗は 3.4 kΩ で、R1 と RFB を並列接続することにより、チップ上で DAC 抵抗に等しい抵抗を得ることができます。抵抗はすべて 1 つのシリコン・チップ上にあるため、温度係数が一致しています。この動作モードをイネーブルするときは、コントロール・レジスタの RBUF ビットをロジック 1 に設定する必要があります。図 49 に、出力アンプを AD5791 へ接続する方法を示します。この構成で、出力アンプはユニティ・ゲインで、出力振幅は $V_{REFN} \sim V_{REFP}$ になります。このユニティ・ゲイン構成を使うと、コンデンサをアンプ帰還パスに接続してダイナミック性能を向上させることができます。

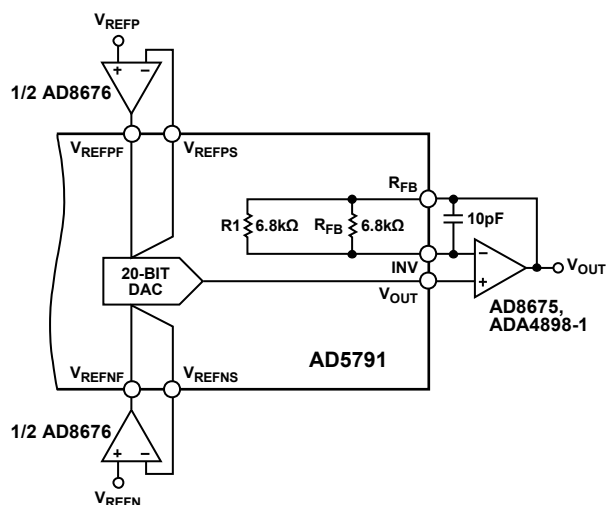


図 49. アンプ入力バイアス電流補償付きのユニティ・ゲイン出力アンプ

ゲイン=2の構成

図 50 に、ゲイン=2 の出力アンプを示します。ゲインは、一致する内蔵 $6.8\text{ k}\Omega$ 抵抗で設定されます。これらの抵抗はDAC抵抗の正確に2倍であるため、外付けアンプの入力バイアス電流からオフセットを除去する効果を持っています。この構成では、出力振幅は $(2 \times V_{\text{REFN}} - V_{\text{REFP}}) \sim V_{\text{REFP}}$ になります。この構成を使って、 $V_{\text{REFN}} = 0\text{ V}$ として、シングルエンド・リファレンス入力からバイポーラ出力振幅を発生します。この動作モードにする場合は、コントロール・レジスタのRBUFビットをロジック 0 にクリアする必要があります。

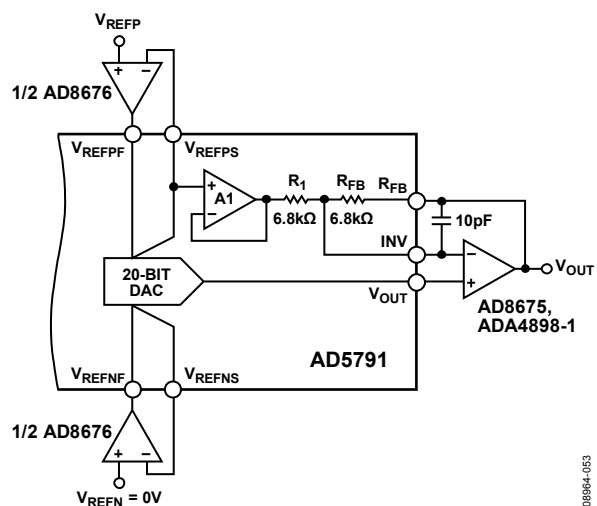


図 50.ゲイン=2 の出力アンプ

08964-053

アプリケーション情報

代表的な動作回路

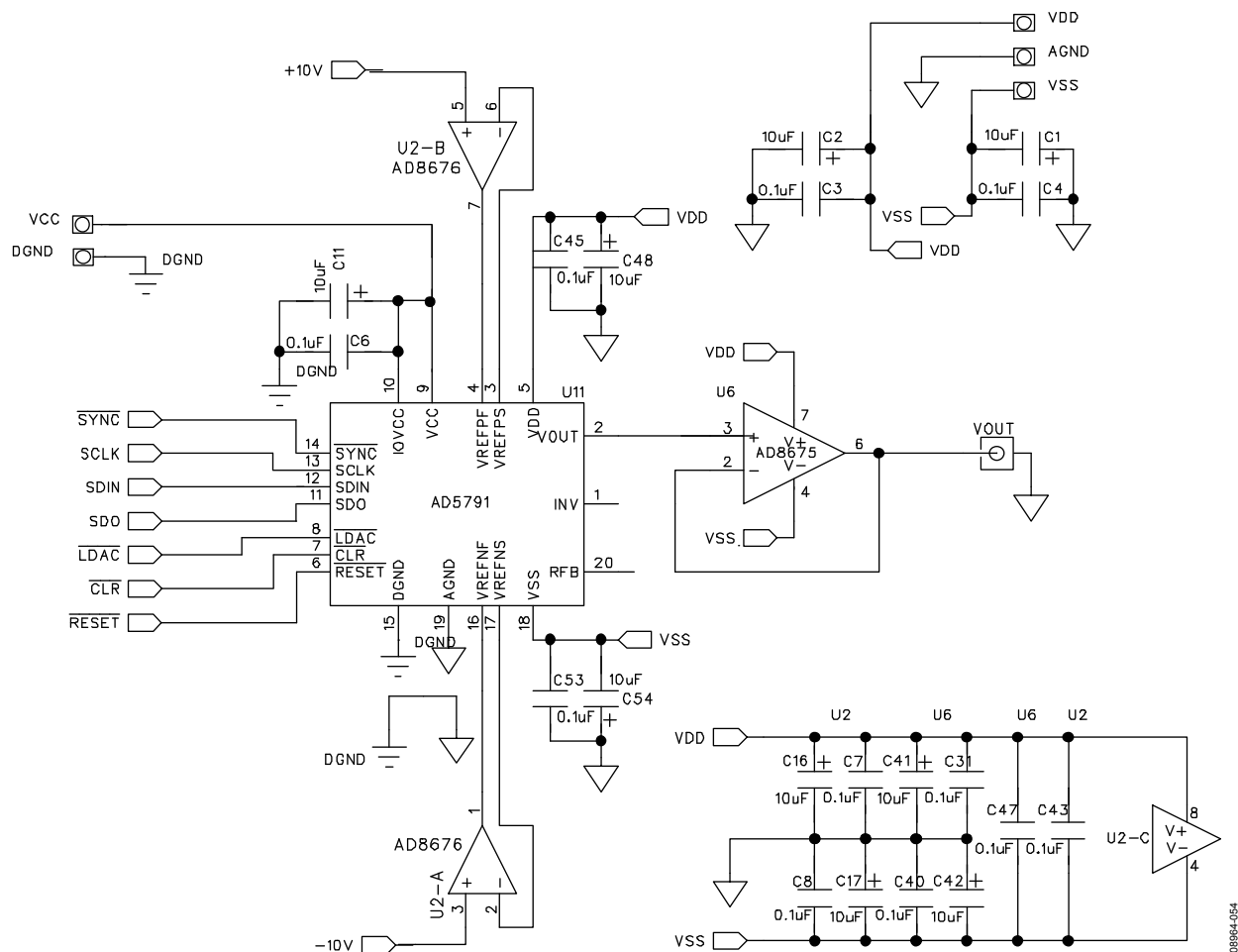
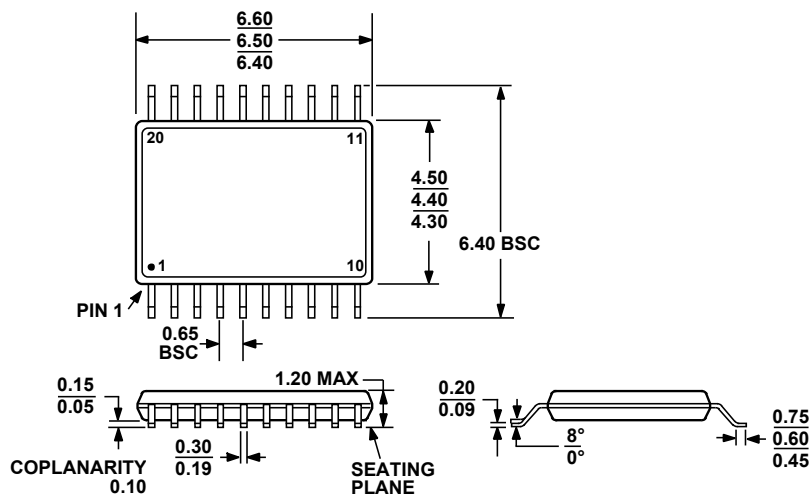


図 51. 代表的な動作回路

図 51 に、AD5791 の代表的な動作回路を示します。この回路では、AD8676 をリファレンス・バッファとして、AD8675 を出力バッファとして、それぞれ使っています。規定の直線性を満たすために

は、リファレンス入力にフォース・センス・バッファを使う必要があります。AD5791 の出力インピーダンスは 3.4 k Ω であるため、低抵抗高容量の負荷を駆動するときは出力バッファが必要です。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AC

図 52.20 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-20)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	INL	Package Description	Package Option
AD5791BRUZ	-40°C to +125°C	±1.5 LSB	20-Lead TSSOP	RU-20
AD5791ARUZ	-40°C to +125°C	±4 LSB	20-Lead TSSOP	RU-20

¹ Z = RoHS 準拠製品。