



即使用可能な18ビット、±1 LSB INLの 電圧出力DAC

データシート

AD5780

特長

- 真の 18 ビット電圧出力 DAC、±1 LSB INL
- 出力ノイズ・スペクトル密度: 8 nV/√Hz
- 直線性誤差の長時間安定性: 0.025 LSB
- ゲイン誤差温度係数: ±0.018 ppm/°C
- 出力電圧セトリング・タイム: 2.5 μs
- ミッドスケール・グリッチ・インパルス: 3.5 nV-sec
- 高精度リファレンス・バッファを内蔵
- 動作温度範囲: -40°C~+125°C
- 4 mm × 5 mm の LFCSP パッケージを採用
- 広い電源範囲: 最大±16.5 V
- 35 MHz のシュミット・トリガ付きデジタル・インターフェース
- 1.8 V 互換のデジタル・インターフェース

アプリケーション

- 医療計測機器
- テスト機器と計測機器
- 工業用制御
- 科学計装機器と航空宇宙計装機器
- データ・アキュイジション・システム
- ゲインとオフセットのデジタル調整
- 電源制御

概要

AD5780¹ は、バッファなし電圧出力の真の 18 ビット DAC で、最大 33 V の両電源で動作します。AD5780 には 5 V~V_{DD} - 2.5 V の正リファレンス入力範囲と V_{SS} + 2.5 V~0 V の負リファレンス入力範囲を入力することができます。両リファレンス入力にはバッファが付いているため、外付けバッファは不要です。AD5780 は最大±1 LSB の相対精度仕様を提供し、±1 LSB DNL の最大値仕様で単調性動作を保証しています。

このデバイスは、最大 35 MHz のクロック・レートで動作し、かつ標準 SPI、QSPI™、MICROWIRE™、DSP の各インターフェース規格と互換性を持つ多機能 3 線式シリアル・インターフェースを採用しています。このデバイスは、パワーオン・リセット回路を内蔵しており、この回路がパワーアップ時に DAC 出力を 0 V にして既知の出力インピーダンス状態を維持するため、デバイスに対する有効な書込みが行われるまでこの状態を維持することができます。このデバイスは、出力を所定の負荷状態にする出力クランプ機能を内蔵しています。

¹米国特許 No. 7,884,747 と 8,089,380 により保護されています。

機能ブロック図

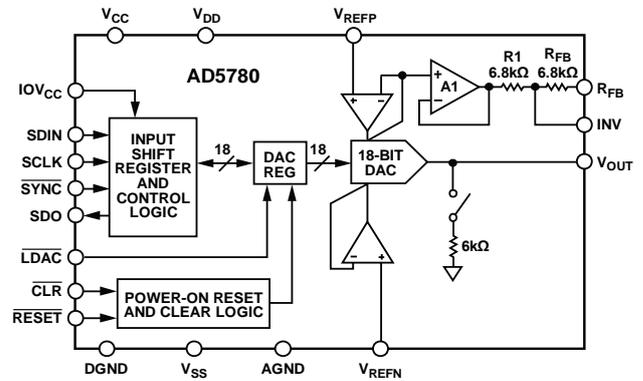


図 1.

表 1. 関連デバイス

Part No.	Description
AD5790	20-bit, 2 LSB accurate DAC
AD5791	20-bit, 1 ppm accurate DAC
AD5781	18-bit, 0.5 LSB accurate DAC
AD5541A/AD5542A	16-bit, 1 LSB accurate 5 V DAC
AD5760	16-bit, 0.5 LSB accurate DAC

製品のハイライト

1. 真の 18 ビット精度
2. 広い電源範囲: 最大±16.5 V。
3. -40°C~+125°C の動作温度範囲。
4. 低ノイズ: 8 nV/√Hz
5. 低いゲイン誤差温度係数: ±0.018 ppm/°C

関連製品

出力アンプ・バッファ: [AD8675](#)、[ADA4898-1](#)、[ADA4004-1](#)

外付けリファレンス電圧: [ADR445](#)

DC/DC デザイン・ツール: [ADIsimPower™](#)

その他の関連製品については [AD5780](#) 製品ページをご覧ください。

目次

特長	1	DAC アーキテクチャ	19
アプリケーション	1	シリアル・インターフェース	19
機能ブロック図	1	ハードウェア・コントロール・ピン	20
概要	1	内部レジスタ	21
製品のハイライト	1	AD5780 の特長	24
関連製品	1	0 V へのパワーオン・リセット	24
改訂履歴	2	AD5780 の設定	24
仕様	3	DAC の出力状態	24
タイミング特性	5	出力アンプの構成	24
絶対最大定格	8	アプリケーション情報	26
ESD の注意	8	代表的な動作回路	26
ピン配置およびピン機能説明	9	評価用ボード	27
代表的な性能特性	10	外形寸法	28
用語	18	オーダー・ガイド	28
動作原理	19		

改訂履歴

3/12—Rev. B to Rev. C

Changes to Data Sheet Title and added Patent 8,089,3801

2/12—Rev. A to Rev. B

Deleted Linearity Compensation Section24

12/11—Rev. 0 to Rev. A

Edits to Table 23

Changes to Figure 4817

Changes to DAC Register Section21

Changes to Table 10 and Table 1122

11/11—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 12.5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -16.5\text{ V} \sim -12.5\text{ V}$ 、 $V_{REFP} = 10\text{ V}$ 、 $V_{REFN} = -10\text{ V}$ 、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $IOV_{CC} = 1.71\text{ V} \sim 5.5\text{ V}$ 、 $R_L = \text{無負荷}$ 、 $C_L = \text{無負荷}$ 、 $T_{MIN} \sim T_{MAX}$ 。

表 2.

Parameter	A, B Versions ¹			Unit	Test Conditions/Comments
	Min	Typ	Max		
STATIC PERFORMANCE²					
Resolution	18			Bits	
Integral Nonlinearity Error (Relative Accuracy)	-0.85		+0.85	LSB	B grade, $V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $T_A = 25^\circ\text{C}$
	-1		+1	LSB	B grade, $V_{REFx} = \pm 10\text{ V}$, $+10\text{ V}$, and $+5\text{ V}$
Differential Nonlinearity Error	-2		+2	LSB	A grade, $V_{REFx} = \pm 10\text{ V}$, $+10\text{ V}$, and $+5\text{ V}$
	-0.25		+0.75	LSB	B grade, $V_{REFx} = \pm 10\text{ V}$, $+10\text{ V}$, and $+5\text{ V}$
Long-Term Linearity Error Stability ³	-1		+1	LSB	A grade, $V_{REFx} = \pm 10\text{ V}$, $+10\text{ V}$, and $+5\text{ V}$
		0.025		LSB	After 750 hours at $T_A = 135^\circ\text{C}$
Full-Scale Error	-3	± 0.95	+3	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-5.5	± 0.675	+0.5	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-10	± 0.45	+10	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
Full-Scale Error Temperature Coefficient		± 0.026		ppm/ $^\circ\text{C}$	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
Zero-Scale Error	-4.8	± 0.325	+4.8	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-10	± 0.175	+10	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
Zero-Scale Error Temperature Coefficient	-20.5	± 0.225	+20.5	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
		± 0.025		ppm/ $^\circ\text{C}$	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
Gain Error	-19	± 2.3	+19	ppm FSR	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-35	± 1.9	+35	ppm FSR	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-68	± 0.9	+68	ppm FSR	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
Gain Error Temperature Coefficient		± 0.018		ppm/ $^\circ\text{C}$	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
R_1 , R_{FB} Matching		0.015		%	
OUTPUT CHARACTERISTICS					
Output Voltage Range	V_{REFN}		V_{REFP}	V	
Output Voltage Settling Time		2.5		μs	10 V step to 0.02%, using the ADA4898-1 buffer in unity-gain mode
		3.5		μs	500 code step to $\pm 1\text{ LSB}^4$
Output Noise Spectral Density		8		nV/ $\sqrt{\text{Hz}}$	At 1 kHz, DAC code = midscale
		8		nV/ $\sqrt{\text{Hz}}$	At 10 kHz, DAC code = midscale
Output Voltage Noise		1.1		$\mu\text{V p-p}$	DAC code = midscale, 0.1 Hz to 10 Hz bandwidth
Midscale Glitch Impulse ⁴		14		nV-sec	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
		3.5		nV-sec	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
		4		nV-sec	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
MSB Segment Glitch Impulse ⁴		14		nV-sec	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, see Figure 43
		3.5		nV-sec	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$, see Figure 44
		4		nV-sec	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$, see Figure 45
Output Enabled Glitch Impulse		57		nV-sec	On removal of output ground clamp
Digital Feedthrough		0.27		nV-sec	
DC Output Impedance (Normal Mode)		3.4		k Ω	
DC Output Impedance (Output Clamped to Ground)		6		k Ω	

Parameter	A, B Versions ¹			Unit	Test Conditions/Comments
	Min	Typ	Max		
REFERENCE INPUTS					
V _{REFP} Input Range	5		V _{DD} - 2.5	V	T _A = 0°C to 105°C V _{REFP} , V _{REFN}
V _{REFN} Input Range	V _{SS} + 2.5		0	V	
Input Bias Current	-20	-0.63	+20	nA	
Input Capacitance	-4	-0.63	+4	pF	
LOGIC INPUTS					
Input Current ⁵	-1		+1	μA	IOV _{CC} = 1.71 V to 5.5 V IOV _{CC} = 1.71 V to 5.5 V
Input Low Voltage, V _{IL}			0.3 × IOV _{CC}	V	
Input High Voltage, V _{IH}	0.7 × IOV _{CC}			V	
Pin Capacitance		5		pF	
LOGIC OUTPUT (SDO)					
Output Low Voltage, V _{OL}			0.4	V	IOV _{CC} = 1.71 V to 5.5 V, sinking 1 mA IOV _{CC} = 1.71 V to 5.5 V, sourcing 1 mA
Output High Voltage, V _{OH}	IOV _{CC} - 0.5			V	
High Impedance Leakage Current			±1	μA	
High Impedance Output Capacitance		3		pF	
POWER REQUIREMENTS					
V _{DD}	7.5		V _{SS} + 33	V	All digital inputs at DGND or IOV _{CC} IOV _{CC} ≤ V _{CC} SDO disabled ΔV _{DD} ± 10%, V _{SS} = -15 V ΔV _{SS} ± 10%, V _{DD} = 15 V ΔV _{DD} ± 200 mV, 50 Hz/60 Hz, V _{SS} = -15 V ΔV _{SS} ± 200 mV, 50 Hz/60 Hz, V _{DD} = 15 V
V _{SS}	V _{DD} - 33		-2.5	V	
V _{CC}	2.7		5.5	V	
IOV _{CC}	1.71		5.5	V	
I _{DD}		10.3	14	mA	
I _{SS}		-10	-14	mA	
I _{CC}		600	900	μA	
IOI _{CC}		52	140	μA	
DC Power Supply Rejection Ratio		±7.5		μV/V	
AC Power Supply Rejection Ratio		±1.5		μV/V	
		90		dB	
		90		dB	

¹ 温度範囲: -40°C~+125°C、typ 値条件: T_A = 25°C、V_{DD} = +15 V、V_{SS} = -15 V、V_{REFP} = +10 V、V_{REFN} = -10 V。

² AD8675ARZ 出力バッファを使用して性能をキャラクタライズ。

³ 直線性誤差は INL 誤差と DNL 誤差を意味します。いずれのパラメータも規定時間経過後に規定量だけドリフトすることが予想されます。

⁴ AD5780 はユニティ・ゲイン・モードに設定され、出力に RC ローパス・フィルタを使用しています。R = 300 Ω、C = 143 pF (出力バッファから見た合計容量および端子容量など)。

⁵ 各ロジック・ピンに流入する電流。

タイミング特性

特に指定のない限り、 $V_{CC} = 2.7 \sim 5.5 \text{ V}$;すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 3.

Parameter	Limit ¹		Unit	Test Conditions/Comments
	$IOV_{CC} = 1.71 \text{ V to } 3.3 \text{ V}$	$IOV_{CC} = 3.3 \text{ V to } 5.5 \text{ V}$		
t_1^2	40	28	ns min	SCLK cycle time
	92	60	ns min	SCLK cycle time (readback and daisy-chain modes)
t_2	15	10	ns min	SCLK high time
t_3	9	5	ns min	SCLK low time
t_4	5	5	ns min	SYNC to SCLK falling edge setup time
t_5	2	2	ns min	SCLK falling edge to SYNC rising edge hold time
t_6	48	40	ns min	Minimum SYNC high time
t_7	8	6	ns min	SYNC rising edge to next SCLK falling edge ignore
t_8	9	7	ns min	Data setup time
t_9	12	7	ns min	Data hold time
t_{10}	13	10	ns min	LDAC falling edge to SYNC falling edge
t_{11}	20	16	ns min	SYNC rising edge to LDAC falling edge
t_{12}	14	11	ns min	LDAC pulse width low
t_{13}	130	130	ns typ	LDAC falling edge to output response time
t_{14}	130	130	ns typ	SYNC rising edge to output response time (LDAC tied low)
t_{15}	50	50	ns min	CLR pulse width low
t_{16}	140	140	ns typ	CLR pulse activation time
t_{17}	0	0	ns min	SYNC falling edge to first SCLK rising edge
t_{18}	65	60	ns max	SYNC rising edge to SDO tristate ($C_L = 50 \text{ pF}$)
t_{19}	62	45	ns max	SCLK rising edge to SDO valid ($C_L = 50 \text{ pF}$)
t_{20}	0	0	ns min	SYNC rising edge to SCLK rising edge ignore
t_{21}	35	35	ns typ	RESET pulse width low
t_{22}	150	150	ns typ	RESET pulse activation time

¹すべての入力信号は $t_r = t_f = 1 \text{ ns/V}$ (IOV_{CC} の 10% から 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。

²最大 SCLK 周波数は、書込モードでは 35 MHz に、リードバック・モードとダイジーチェーン・モードでは 16 MHz に、それぞれ異なります。

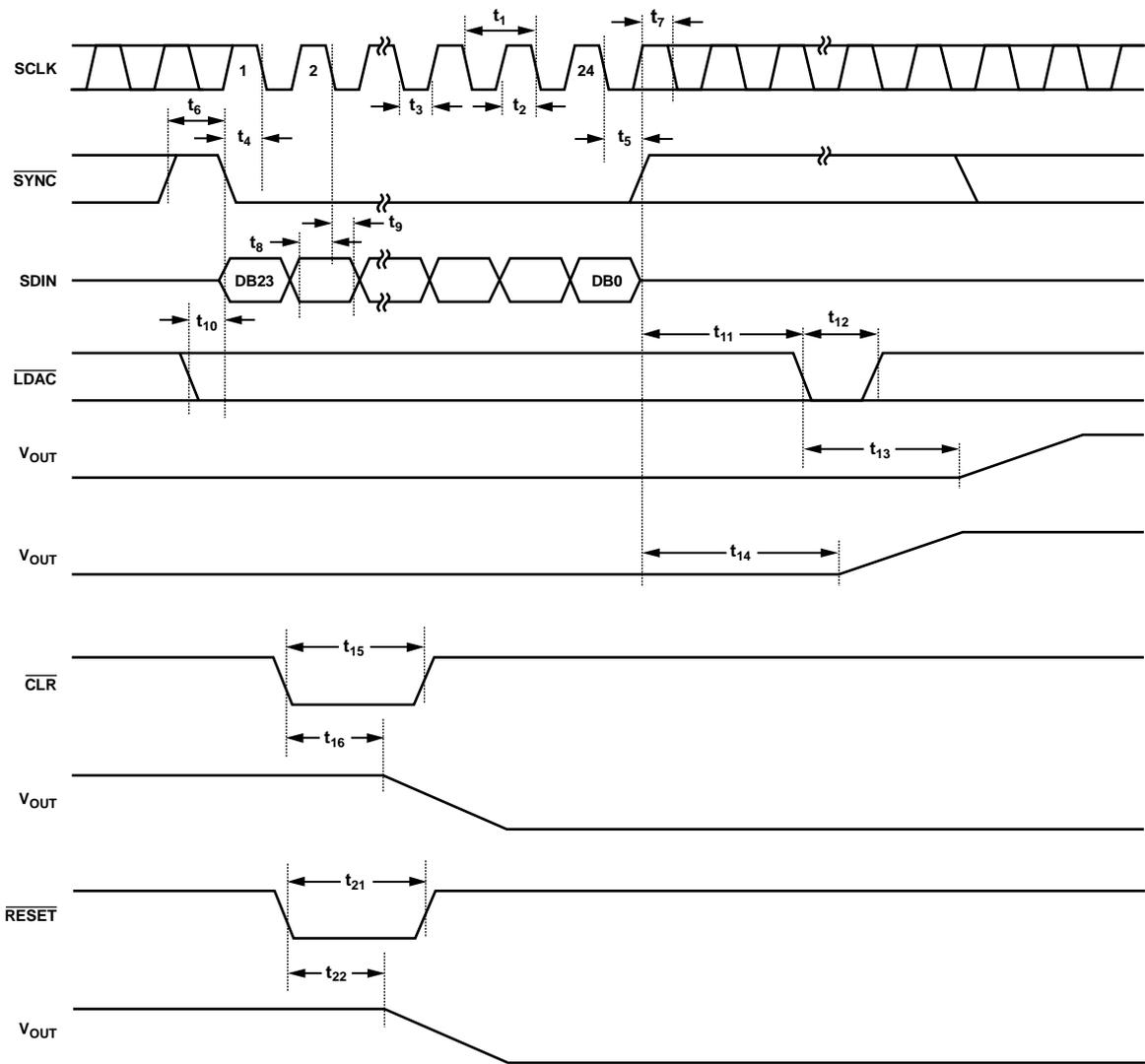


図 2.書き込みモードのタイミング図

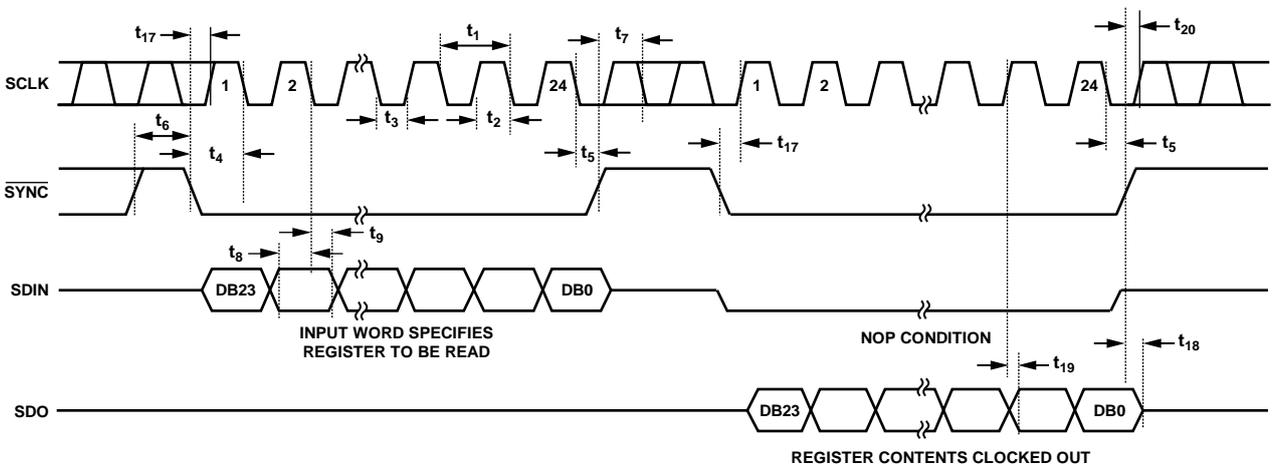


図 3.リードバック・モードのタイミング図

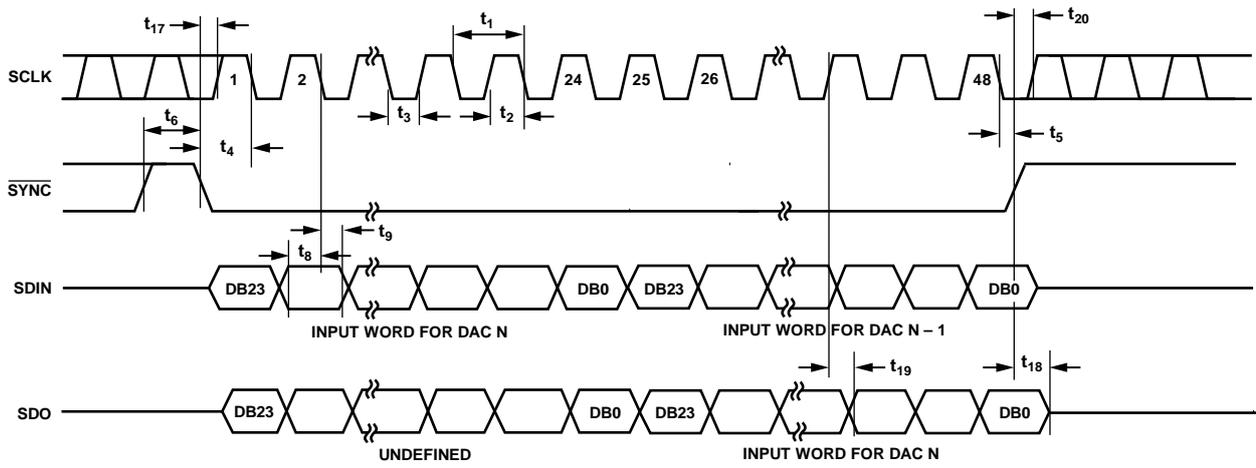


図 4. デジタルチェーン・モードのタイミング図

09849-004

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 4.

Parameter	Rating
V_{DD} to AGND	-0.3 V to +34 V
V_{SS} to AGND	-34 V to +0.3 V
V_{DD} to V_{SS}	-0.3 V to +34 V
V_{CC} to DGND	-0.3 V to +7 V
IOV_{CC} to DGND	-0.3 V to $V_{CC} + 3\text{ V}$ or +7 V (whichever is less)
Digital Inputs to DGND	-0.3 V to $IOV_{CC} + 0.3\text{ V}$ or +7 V (whichever is less)
V_{OUT} to AGND	-0.3 V to $V_{DD} + 0.3\text{ V}$
V_{REFP} to AGND	-0.3 V to $V_{DD} + 0.3\text{ V}$
V_{REFN} to AGND	$V_{SS} - 0.3\text{ V}$ to +0.3 V
DGND to AGND	-0.3 V to +0.3 V
Operating Temperature Range, T_A	
Industrial	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature, T_J max	150°C
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
LFCSP Package	
θ_{JA} Thermal Impedance	31.0°C/W
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020
ESD (Human Body Model)	1.6 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

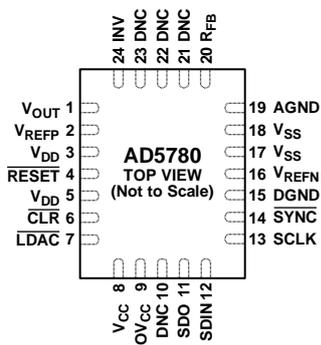
このデバイスは、1.6 kV の ESD 定格を持ち、ESD に敏感な高性能集積回路です。取り扱いと組み立てでは適切な注意が必要です。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
 1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
 2. NEGATIVE ANALOG SUPPLY CONNECTION (V_{SS}).
 A VOLTAGE IN THE RANGE OF -16.5 V TO -2.5 V CAN BE CONNECTED. V_{SS} SHOULD BE DECOUPLED TO AGND. THE PADDLE CAN BE LEFT ELECTRICALLY UNCONNECTED PROVIDED THAT A SUPPLY CONNECTION IS MADE AT THE V_{SS} PINS. IT IS RECOMMENDED THAT THE PADDLE BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

09849-005

図 5. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	V_{OUT}	アナログ出力電圧。
2	V_{REFP}	正のリファレンス電圧入力。5 V \sim $V_{DD} - 2.5\text{ V}$ の電圧範囲をこのピンへ接続することができます。
3、5	V_{DD}	正のアナログ電源接続。7.5 V \sim 16.5 V の電圧範囲をこのピンへ接続することができます。 V_{DD} ピンは AGND にデカップリングする必要があります。
4	\overline{RESET}	アクティブ・ローのリセット。このピンをアサートすると、AD5780 はパワーオン状態に戻ります。
6	\overline{CLR}	アクティブ・ロー入力。このピンをアサートすると、DAC レジスタはユーザ指定値に設定され(表 12 参照)、DAC 出力が更新されます。出力値は、使用される DAC レジスタ・コーディング(バイナリまたは 2 の補数)に依存します。
7	\overline{LDAC}	アクティブ・ローのロード DAC ロジック入力。DAC レジスタの更新に使われ、DAC レジスタが更新されるとアナログ出力が変化します。このピンをロー・レベルに固定すると、出力が SYNC の立上がりエッジで更新されます。書込みサイクルで LDAC をハイ・レベルにすると、入力レジスタが更新されますが、出力の更新は LDAC の立下がりエッジまで待たされます。LDAC ピンは未接続のままにしないでください。
8	V_{CC}	デジタル電源。電圧範囲は 2.7 V \sim 5.5 V。 V_{CC} ピンは DGND にデカップリングする必要があります。
9	IOV_{CC}	デジタル・インターフェース電源。デジタル・スレッシュホールド・レベルは、このピンに入力される電圧を基準とします。電圧範囲は 1.71 V \sim 5.5 V。
10、21、22、23	DNC	接続なし。これらのピンは接続しないでください。
11	SDO	シリアル・データ出力。
12	SDIN	シリアル・データ入力。このデバイスは、24 ビットの入力シフトレジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
13	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 35 MHz のレートで転送できます。
14	\overline{SYNC}	レベル・トリガの制御入力(アクティブ・ロー)。これは、入力データに対するフレーム同期信号です。 \overline{SYNC} がロー・レベルになると、入力シフトレジスタがイネーブルされ、データは後続のクロックの立下がりエッジで入力されます。DAC は、 \overline{SYNC} の立上がりエッジで更新されます。
15	DGND	デジタル回路のグラウンド基準ピン。
16	V_{REFN}	負のリファレンス電圧入力。
17、18	V_{SS}	負のアナログ電源接続。 -16.5 V \sim -2.5 V の電圧範囲をこのピンへ接続することができます。 V_{SS} は AGND にデカップリングする必要があります。
19	AGND	アナログ回路のグラウンド基準ピン。
20	R_{FB}	外付けアンプの帰還接続。詳細については、AD5780 の特長のセクションを参照してください。
24	INV	外付けアンプに対する反転入力接続。詳細については、AD5780 の特長のセクションを参照してください。
EPAD	V_{SS}	負のアナログ電源接続 (V_{SS})。 -16.5 V \sim -2.5 V の電圧範囲をこのピンへ接続することができます。 V_{SS} は AGND にデカップリングする必要があります。電源接続が V_{SS} ピンで行われる場合は、このパドルを電氣的に接続しないでおくことができます。熱性能強化のために、パドルを銅プレーンへ熱的に接続することが推奨されます。

代表的な性能特性

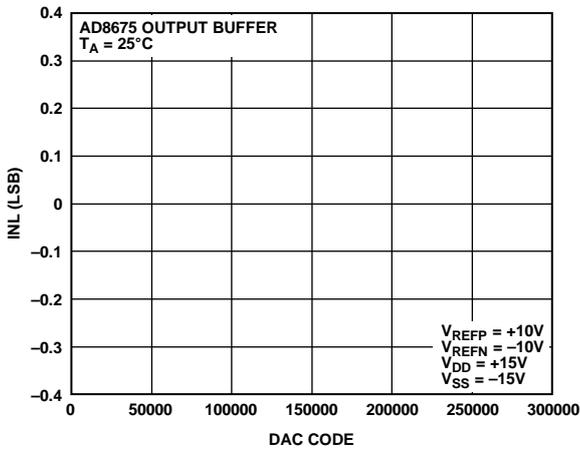


図 6. DAC コード対積分非直線性誤差、±10 V 範囲

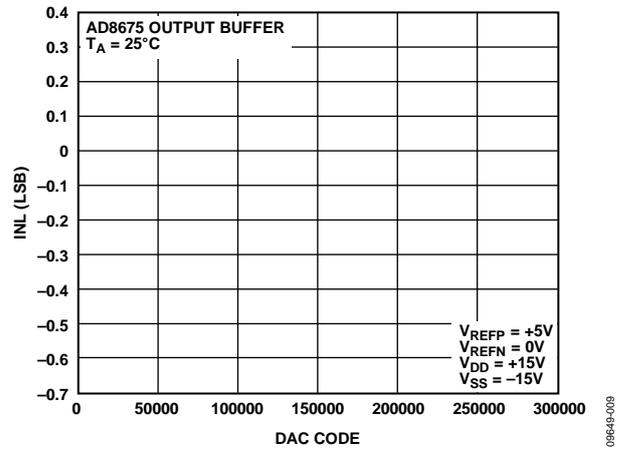


図 9. DAC コード対積分非直線性誤差、5 V 範囲
X2 ゲイン・モード

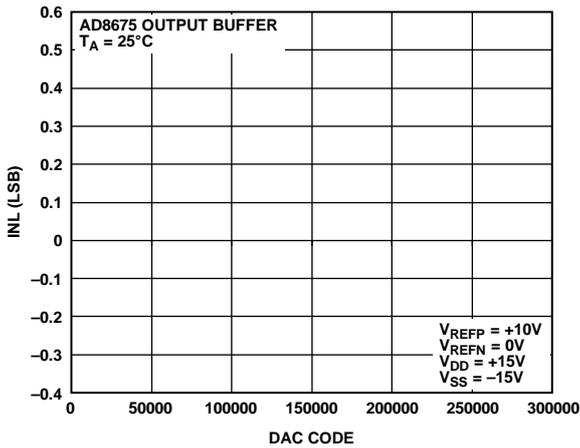


図 7. DAC コード対積分非直線性誤差、10 V 範囲

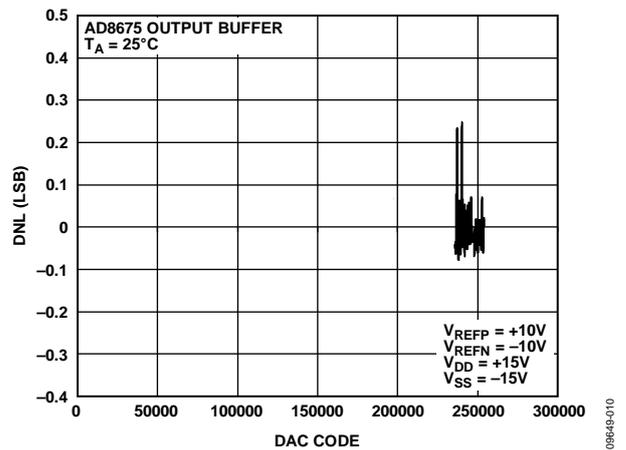


図 10. DAC コード対微分非直線性誤差、±10 V 範囲

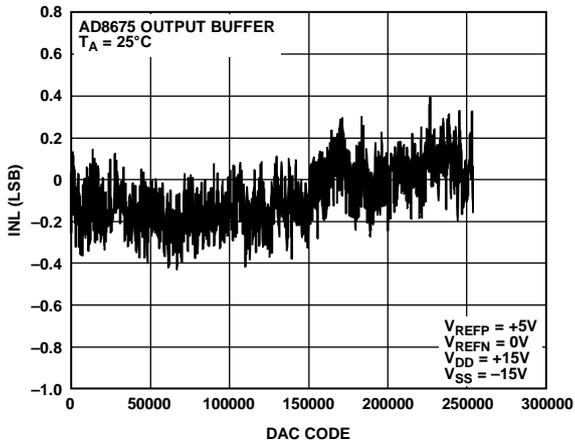


図 8. DAC コード対積分非直線性誤差、5 V 範囲

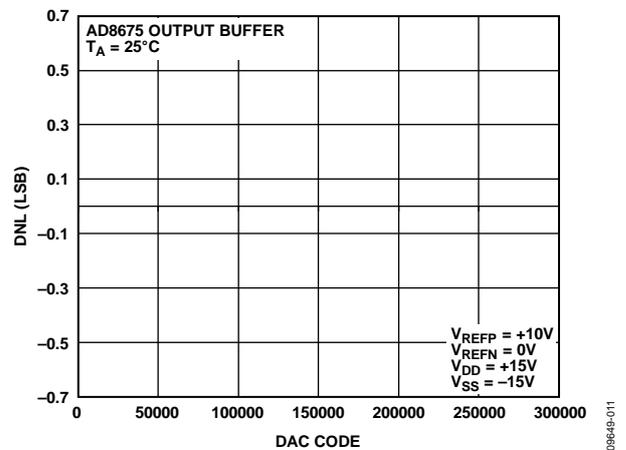


図 11. DAC コード対微分非直線性誤差、10 V 範囲

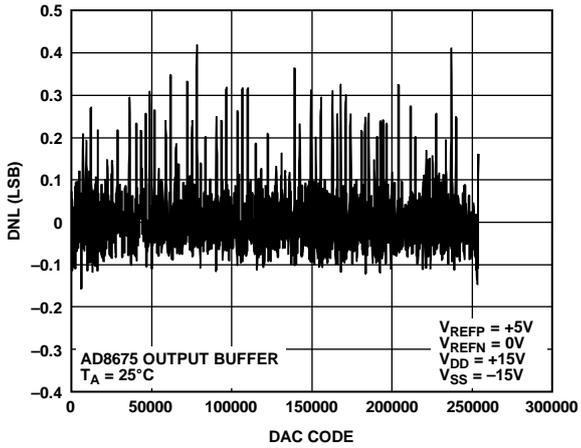


図 12. DAC コード対微分非直線性誤差、5 V 範囲

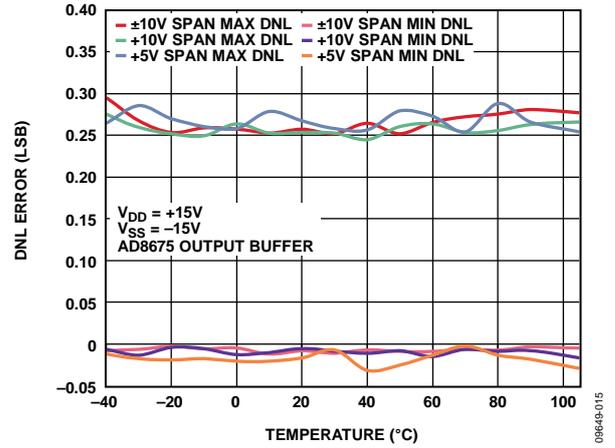


図 15. 微分非直線性誤差の温度特性

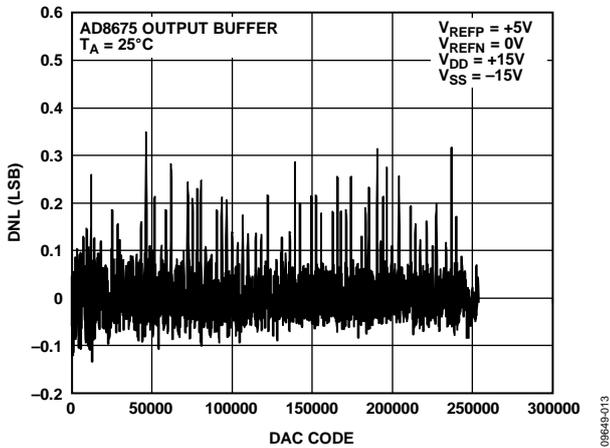


図 13. DAC コード対微分非直線性誤差、5 V 範囲 X2 ゲイン・モード

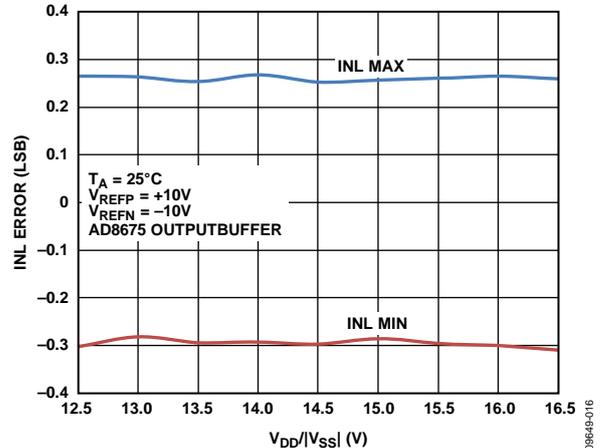


図 16. 電源電圧対積分非直線性誤差、±10 V 範囲

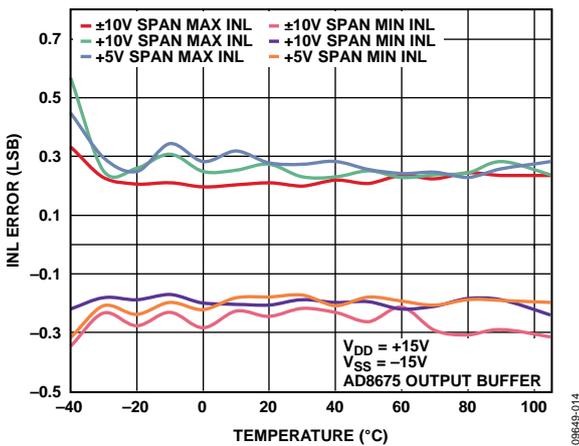


図 14. 積分非直線性誤差の温度特性

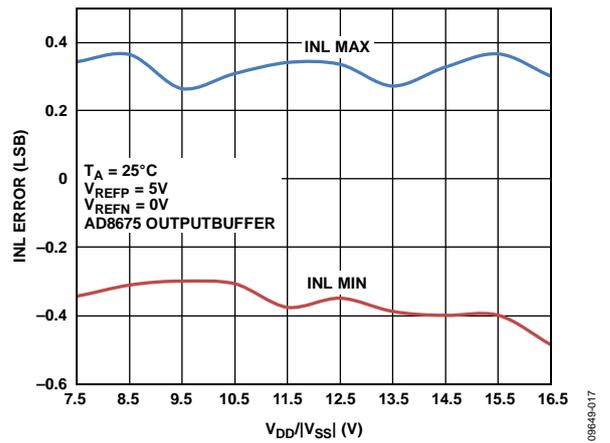


図 17. 電源電圧対積分非直線性誤差、5 V 範囲

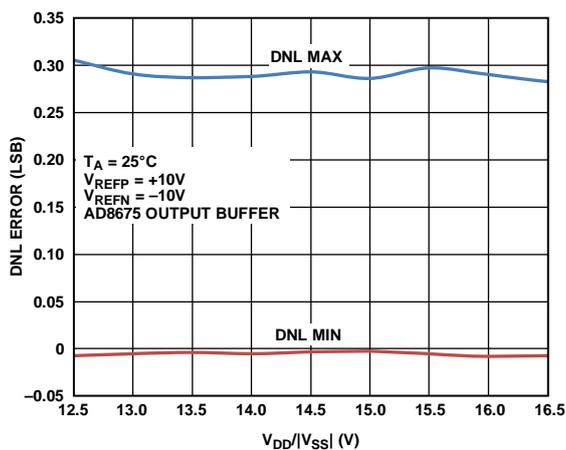


図 18.電源電圧対微分非直線性誤差、±10 V 範囲

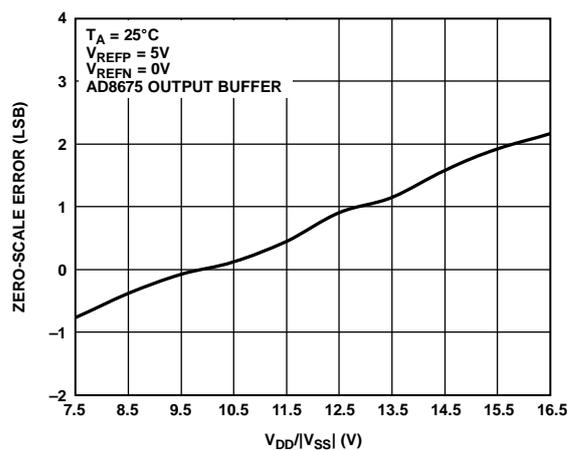


図 21.電源電圧対ゼロスケール誤差、5 V 範囲

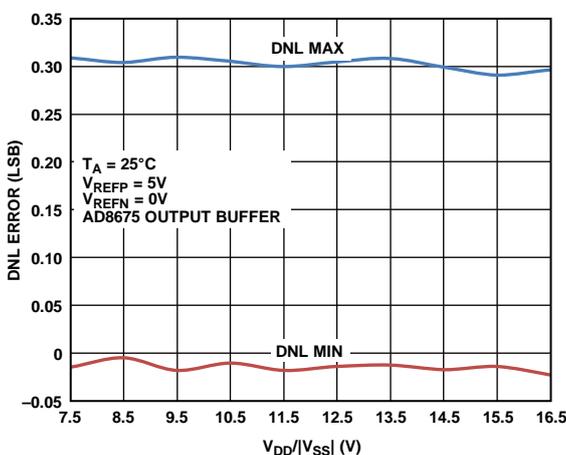


図 19.電源電圧対微分非直線性誤差、5 V 範囲

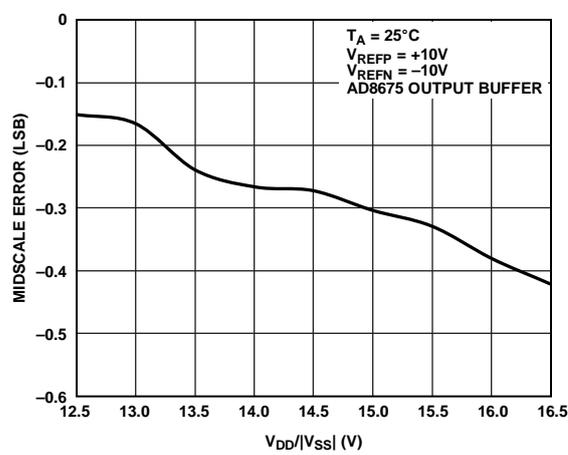


図 22.電源電圧対ミッドスケール誤差、±10 V 範囲

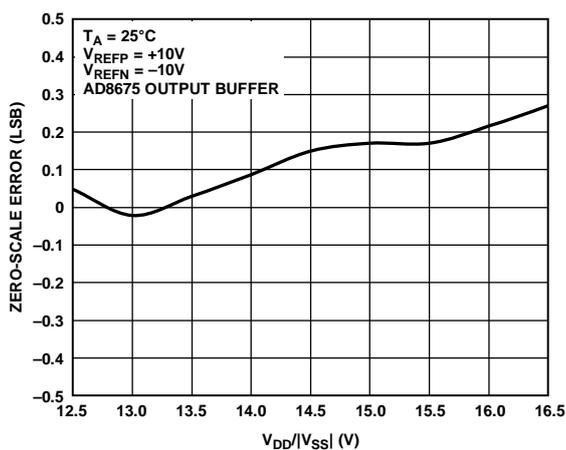


図 20.電源電圧対ゼロスケール誤差、±10 V 範囲

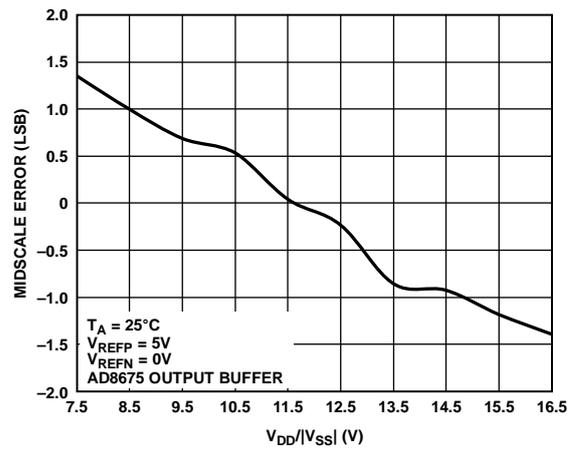


図 23.電源電圧対ミッドスケール誤差、5 V 範囲

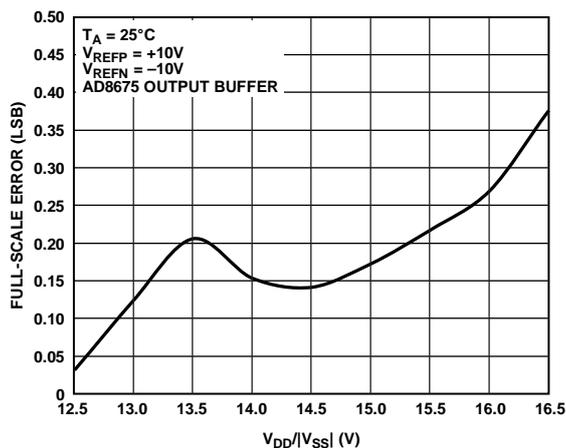


図 24.電源電圧対フルスケール誤差、±10 V 範囲

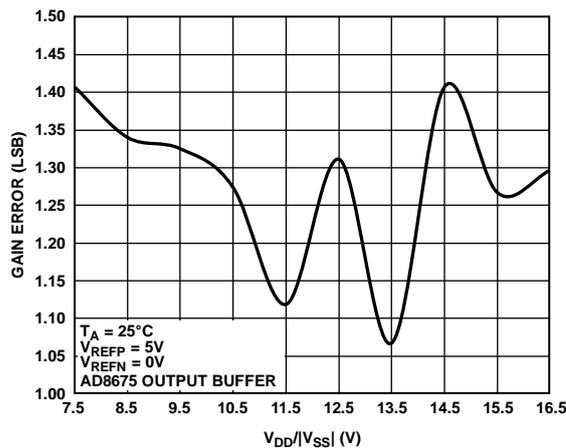


図 27.電源電圧対ゲイン誤差、5 V 範囲

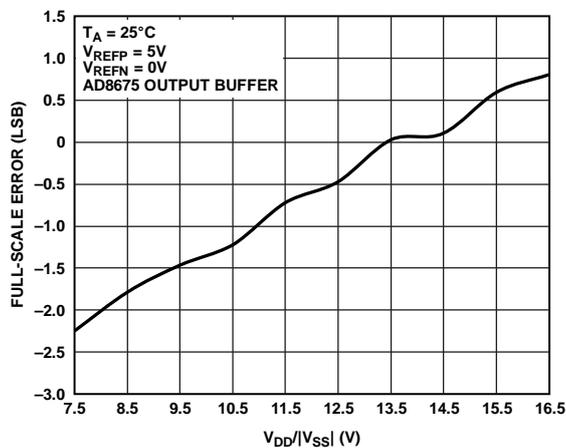


図 25.電源電圧対フルスケール誤差、5 V 範囲

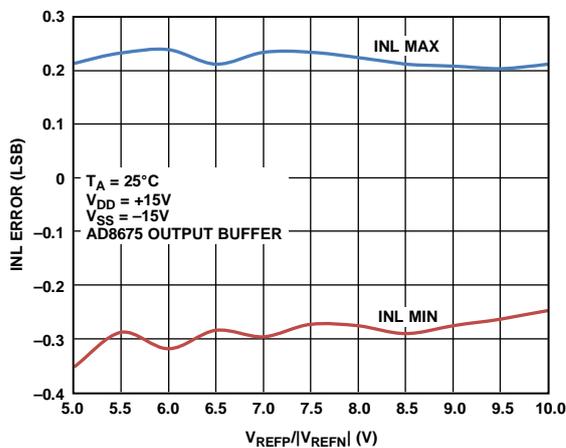


図 28.リファレンス電圧対積分非直線性誤差

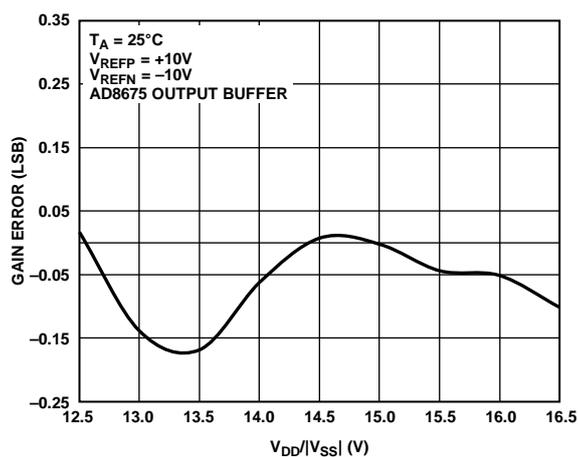


図 26.電源電圧対ゲイン誤差、±10 V 範囲

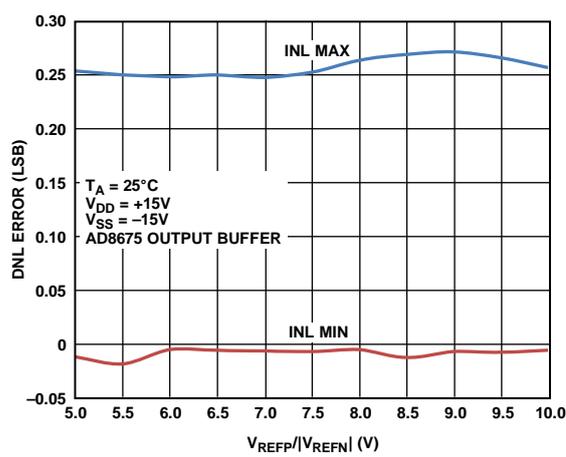


図 29.リファレンス電圧対微分非直線性誤差

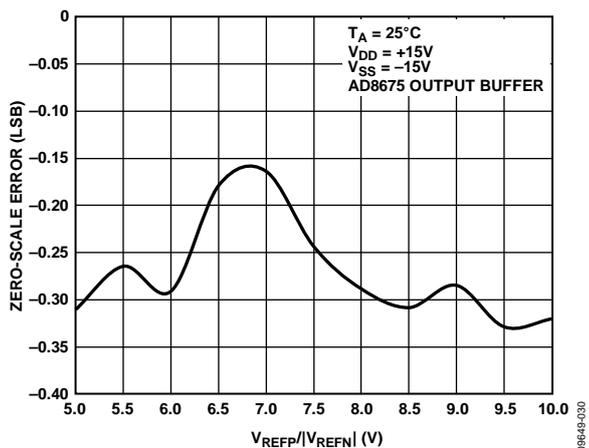


図 30. リファレンス電圧対ゼロスケール誤差

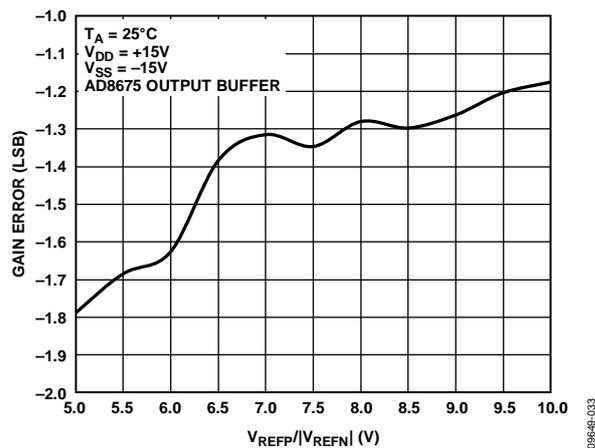


図 33. リファレンス電圧対ゲイン誤差

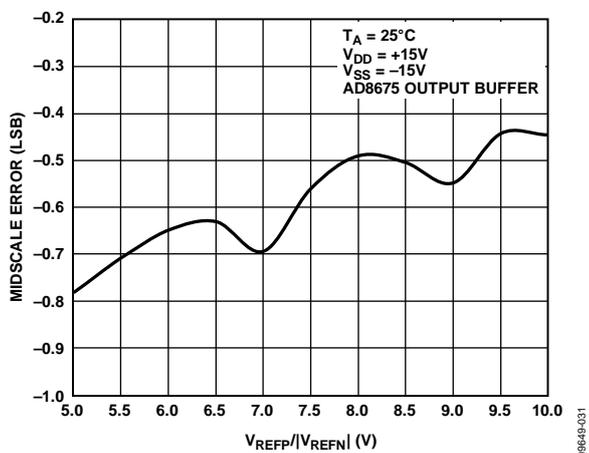


図 31. リファレンス電圧対ミッドスケール誤差

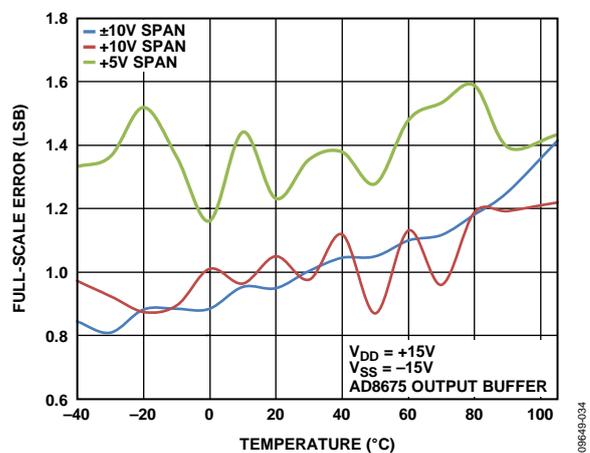


図 34. フルスケール誤差の温度特性

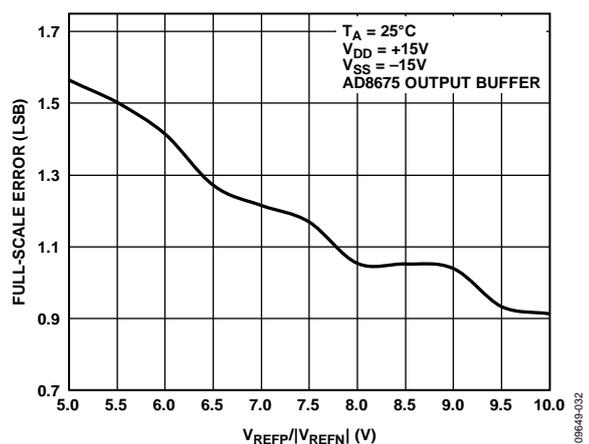


図 32. リファレンス電圧対フルスケール誤差

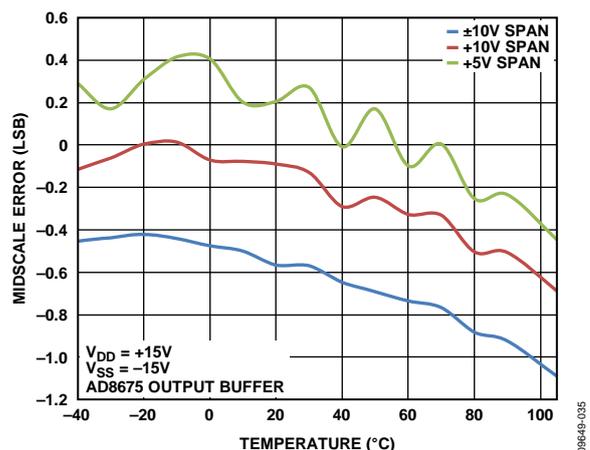


図 35. ミッドスケール誤差の温度特性

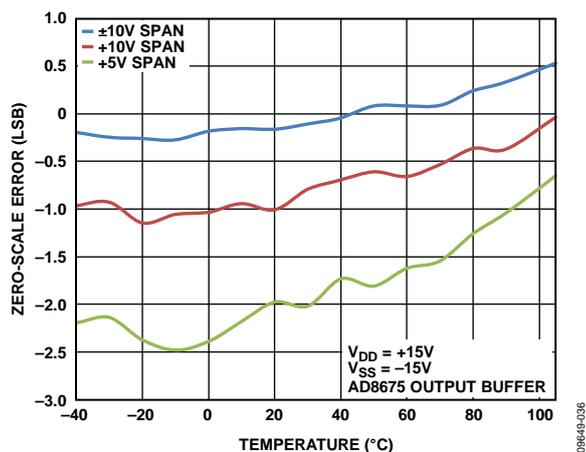


図 36. ゼロスケール誤差の温度特性

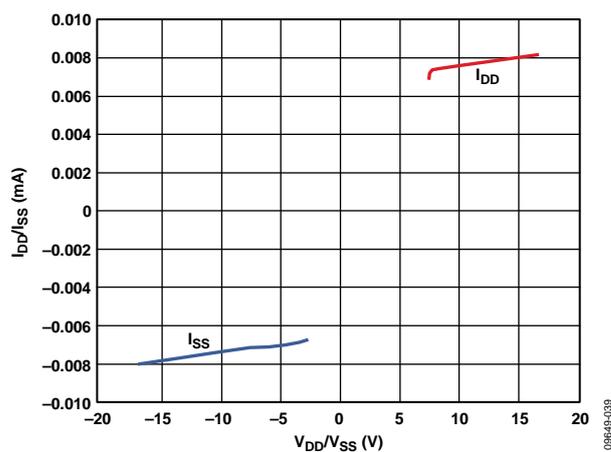


図 39. 電源電圧対電源電流

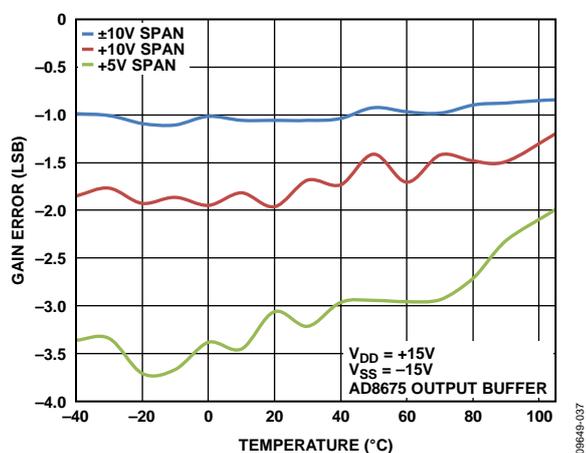


図 37. ゲイン誤差の温度特性

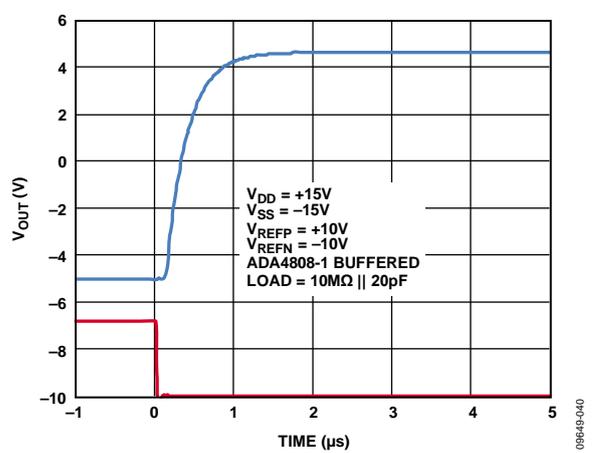


図 40. 立上がりフルスケール電圧ステップ

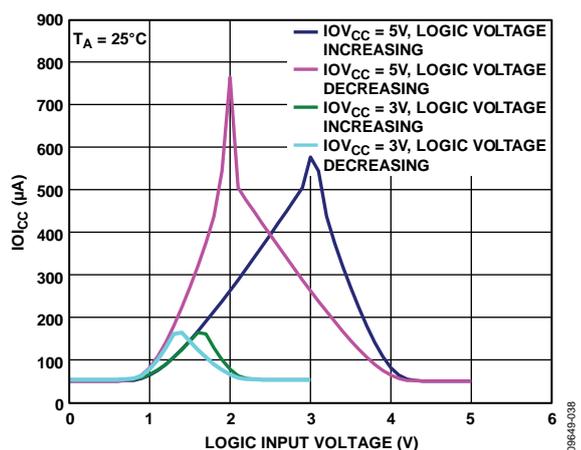


図 38. ロジック入力電圧対 IOI_{CC}

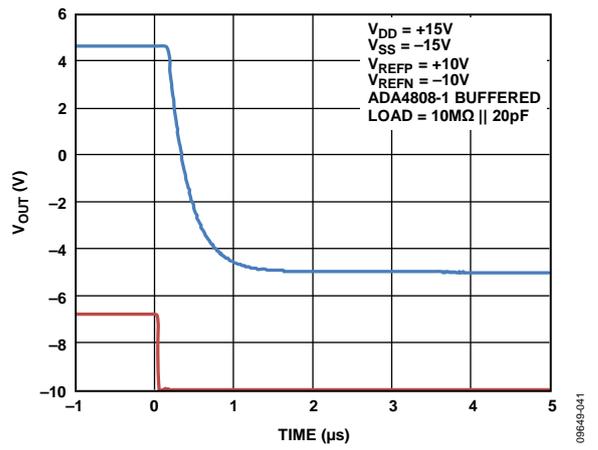


図 41. 立下がりフルスケール電圧ステップ

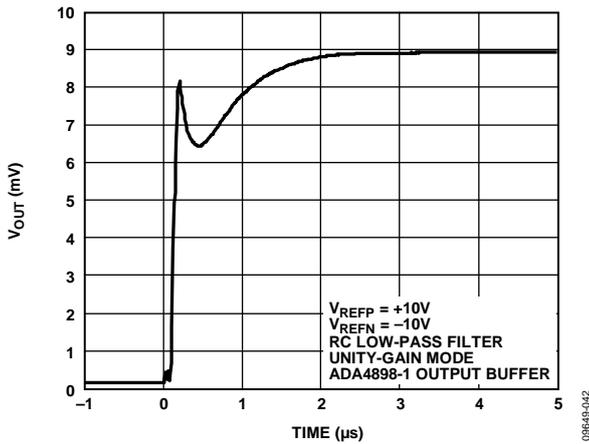


図 42. 500 コード・ステップのセタリング・タイム

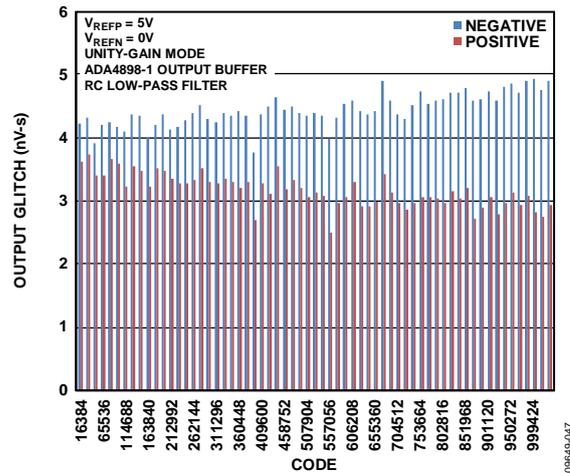


図 45. $V_{REF} = 5V$ での 6 MSB セグメント
グリッチ・エネルギー

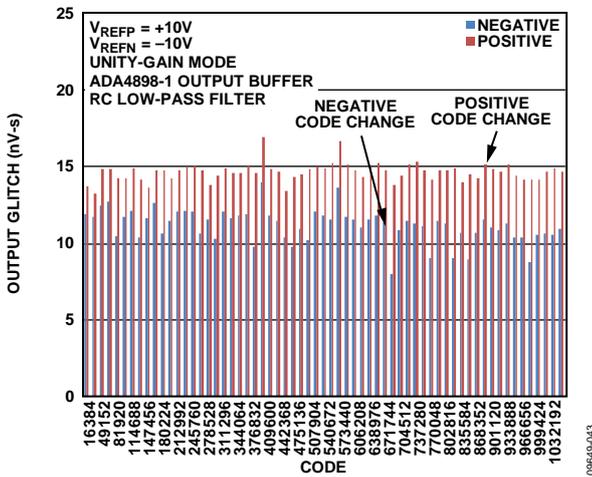


図 43. $V_{REF} = \pm 10V$ での 6 MSB セグメント
グリッチ・エネルギー

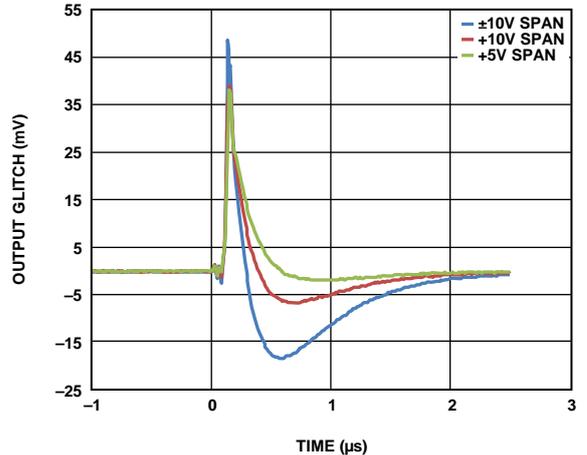


図 46. $\pm 10V$ でのミッドスケール・ピーク to ピーク・グリッチ

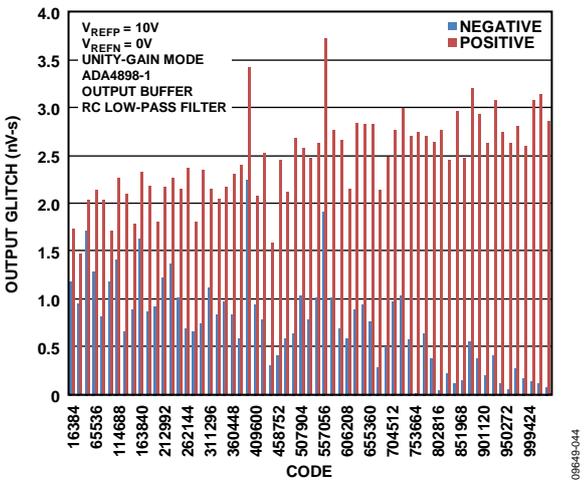


図 44. $V_{REF} = 10V$ での 6 MSB セグメント
グリッチ・エネルギー

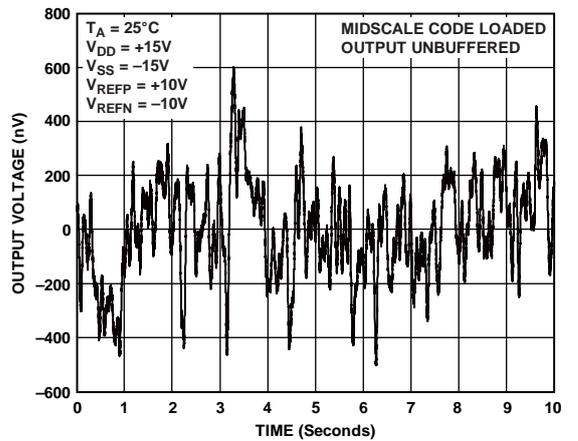


図 47. 電圧出力ノイズ、0.1 Hz~10 Hz 帯域幅

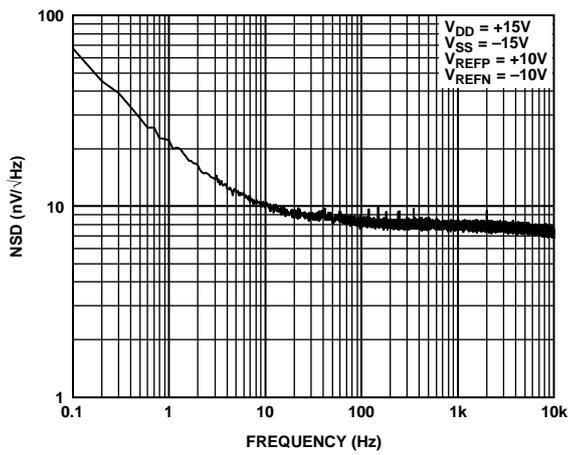


図 48. ノイズ・スペクトル密度の周波数特性

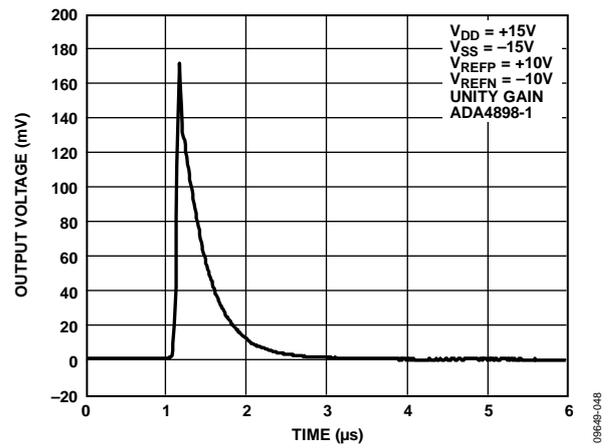


図 49. 出カクランプなしのグリッチ・インパルス

用語

相対精度

相対精度すなわち積分非直線性(INL)は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。INL 誤差(typ)対コードのプロットを図 6 に示します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 ± 1 LSB の微分非直線性の規定により、単調性が保証されます。この DAC は単調性が保証されています。DNL 誤差(typ)対コードのプロットを図 10 に示します。

直線性誤差長時間安定性

直線性誤差長時間安定性は、長時間での DAC 直線性の安定度を表わします。周囲温度を上げた 500 時間と 1000 時間に対して LSB 数で規定されます。

ゼロスケール誤差

ゼロスケール誤差は、ゼロスケール・コード(0x00000)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力電圧は V_{REFN} である必要があります。ゼロスケール誤差は LSB 数で表わされます。

ゼロスケール誤差の温度係数

ゼロスケール誤差温度係数は、温度変化に対するゼロスケール誤差の変化を意味し、ppm FSR/ $^{\circ}$ C で表されます。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0x3FFFF)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力電圧は $V_{REFP} - 1$ LSB である必要があります。フルスケール誤差は LSB 数で表わされます。

フルスケール誤差温度係数

フルスケール誤差温度係数は、温度変化に対するフルスケール誤差の変化を意味し、ppm FSR/ $^{\circ}$ C で表されます。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論値からの実際の DAC 伝達特性の傾きの差をフルスケール範囲の ppm 値で表したものです。

ゲイン誤差の温度係数

ゲイン誤差温度係数は、温度変化に対するゲイン誤差の変化を表し、ppm FSR/ $^{\circ}$ C で表されます。

ミッドスケール誤差

ミッドスケール誤差は、ミッドスケール・コード(0x20000)を DAC レジスタにロードしたときの出力誤差を表わします。理論的には、出力電圧は $(V_{REFP} - V_{REFN})/2 + V_{REFN}$ である必要があります。ミッドスケール誤差は LSB 数で表わされます。

出力電圧セトリング・タイム

規定の電圧変化に対して、出力電圧が規定のレベルまでに安定するために要する時間を表します。高速セトリング・アプリケーションの場合、AD5780 の 3.4 k Ω 出力インピーダンスから負荷をバッファするために高速バッファ・アンプが必要です。この場合、セトリング・タイムを決めるのがこのアンプになります。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。これは nV-sec で表すグリッチの面積として規定され、主要キャリ変化時に、デジタル入力コードが 1 LSB だけ変化したときに測定されます(図 49 参照)。

出カインイーブル時グリッチ・インパルス

これは、DAC 出力でグラウンドへのクランプを除いたときに、アナログ出力に混入するインパルスを表します。グリッチの面積を表す単位 nV-sec で表わされます(図 49 参照)。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

全高調波歪み(THD)

総合高調波歪みは、DAC 出力の高調波の rms 値総和と基本波の比です。2 次~5 次高調波のみを含みます。

DC 電源除去比

DC 電源除去比は、DAC へ加えた電源の DC 変化に対応する出力電圧の除去能力を表わします。電源電圧の与えられた DC 変化に対して測定され、 μ V/V で表わされます。

AC 電源除去比(AC PSRR)

AC 電源除去比は、DAC へ加えた電源の AC 変化に対応する出力電圧の除去能力を表わします。電源電圧の与えられた振幅と周波数の変化に対して測定され、デシベルで表わされます。

動作原理

AD5780 は高精度、高速セトリング、18 ビット、シリアル入力、電圧出力の 1 チャンネル DAC です。このデバイスは 7.5 V ~ 16.5 V の V_{DD} 電源と、-16.5 V ~ -2.5 V の V_{SS} 電源で動作します。データは、3 線式のシリアル・インターフェースを使って 24 ビット・ワード・フォーマットで AD5780 に書込まれます。AD5780 は、DAC 出力をゼロにし、かつ V_{OUT} ピンを約 6 k Ω の内蔵抵抗を介して AGND にクランプしてパワーアップするパワーオン・リセット回路を採用しています。

DAC アーキテクチャ

AD5780 のアーキテクチャは、2 つの一致した DAC セクションから構成されています。簡略化した回路図を図 50 に示します。18 ビット・データ・ワードの上位 6 ビットはデコードされて、63 個のスイッチ (E0 ~ E62) を駆動します。これらの各スイッチは、63 個の一致した抵抗の 1 つをバッファ付き V_{REFP} またはバッファ付き V_{REFN} 電圧に接続します。データ・ワードの残りの 12 ビットは、12 ビット電圧モード R-2R ラダー回路のスイッチ (S0 ~ S11) を駆動します。

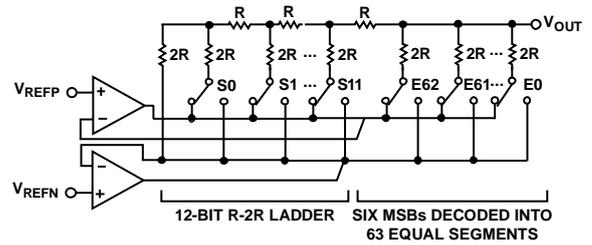


図 50. DAC ラダー構造シリアル・インターフェース

シリアル・インターフェース

AD5780 は、SPI、QSPI、MICROWIRE、大部分の DSP の各インターフェース規格と互換性を持つ 3 線式シリアル・インターフェース (SYNC、SCLK、SDIN) を内蔵しています (タイミング図については図 2 参照)。

入カシフトレジスタ

入カシフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK (最大 35 MHz) の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。入カレジスタは、 $\overline{R}/\overline{W}$ ビット、3 ビットのアドレス・ビット、20 ビットのデータビットで構成されています (表 6 参照)。図 2 に、動作タイミング図を示します。

表 6. 入カシフトレジスタのフォーマット

MSB				LSB
DB23	DB22	DB21	DB20	DB19 to DB0
$\overline{R}/\overline{W}$	Register address			Register data

表 7. 入カシフトレジスタのデコーディング

$\overline{R}/\overline{W}$	Register Address			Description
X ¹	0	0	0	No operation (NOP). Used in readback operations.
0	0	0	1	Write to the DAC register.
0	0	1	0	Write to the control register.
0	0	1	1	Write to the clearcode register.
0	1	0	0	Write to the software control register.
1	0	0	1	Read from the DAC register.
1	0	1	0	Read from the control register.
1	0	1	1	Read from the clearcode register.

¹ X = don't care.

スタンドアロン動作

このシリアル・インターフェースは、連続および非連続シリアル・クロックで動作します。正しいクロック・サイクル数間、SYNCをロー・レベルに維持することが可能な場合にのみ、連続SCLKソースを使用することができます。

ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後にSYNCをハイ・レベルにしてデータをラッチする必要があります。SYNCの最初の立下がりエッジで書き込みサイクルが開始されます。SYNCをハイ・レベルに戻す前に、24個の立下がりクロック・エッジをSCLKに入力する必要があります。24番目の立下がりSCLKエッジの前にSYNCをハイ・レベルにすると、書込まれたデータは無効になります。SYNCをハイ・レベルにする前に、24個より多くの立下がりSCLKエッジを入力した場合も、入力データは無効になります。

入力シフトレジスタは、SYNCの立下がりエッジで更新されます。次のシリアル転送を行うときは、SYNCをロー・レベルに戻す必要があります。シリアル・データ転送の終了後、データは自動的に入力シフトレジスタからアドレス指定されたレジスタへ転送されます。書き込みサイクルが完了した後、SYNCがハイ・レベルの間にLDACをロー・レベルにすることにより、出力を更新することができます。

ディジーチェーン動作

複数のデバイスを使うシステムでは、SDOピンを使って複数のデバイスをディジーチェーン接続することができます。このディジーチェーン・モードは、システム診断とシリアル・インターフェースのライン数の削減に有効です。SYNCの最初の立下がりエッジで書き込みサイクルが開始されます。SCLKはSYNCがロー・レベルのとき、連続的に入力シフトレジスタに入力されます。24個を超えるクロック・パルスが入力されると、データはシフトレジスタからはみ出して、SDOピンに出力されます。データはSCLKの立下がりエッジで出力され、SCLKの立下がりエッジで有効になります。最初のデバイスのSDOをチェーン内にある次のデバイスのSDIN入力に接続すると、複数デバイスのインターフェースが構成されます。システム内の各デバイスは、24個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は $24 \times N$ になります。ここで、Nはチェーン内のAD5780の合計デバイス数です。すべてのデバイスに対するシリアル転送が完了したら、SYNCをハイ・レベルにします。この動作により、ディジーチェーン内にある各デバイス内の入力データがラッチされて、入力シフトレジスタにさらにデータが入力されるのを防止します。シリアル・クロックとしては、連続クロックまたは不連続クロックが可能です。

正しいクロック・サイクル数間、SYNCをロー・レベルに維持することが可能な場合にのみ、連続SCLKソースを使用することができます。ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後にSYNCをハイ・レベルにしてデータをラッチする必要があります。

すべてのディジーチェーン・シーケンスで、DACレジスタへの書き込みと他のレジスタへの書き込みをミックスすることはできません。ディジーチェーン接続されたデバイスに対するすべての書き込みは、DACレジスタへの書き込みか、またはコントロール・レジスタ、クリア・コード・レジスタ、ソフトウェア・コントロール・レジスタへの書き込みである必要があります。

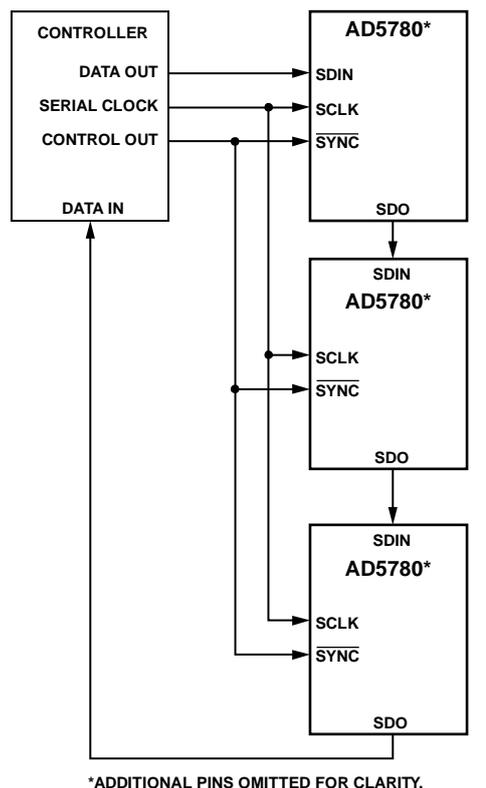


図 51.ディジーチェーン・ブロック図

リードバック

すべての内蔵レジスタ値は、SDOピンを使ってリードバックすることができます。表 7 に、レジスタのデコード方法を示します。レジスタ読出しのアドレスを指定すると、次の 24 クロック・サイクルでデータがSDOピンに出力されます。クロックは、SYNCがロー・レベルの間に入力する必要があります。SYNCがハイ・レベルに戻ると、SDOピンはスリー・ステートになります。1 個のレジスタを読出すときは、NOP機能を使ってデータを出力することができます。複数のレジスタを読出すときは、アドレス指定された最初のレジスタのデータを出力すると同時に、2 番目に読出すレジスタのアドレス指定を行うことができます。リードバック動作を完了させるためにはSDOピンをイネーブルする必要があります。SDOピンはデフォルトでイネーブルされています。

ハードウェア・コントロール・ピン

ロード DAC 機能 (LDAC)

データがDACの入力レジスタへ転送された後、DACレジスタとDAC出力を更新する方法は 2 つあります。SYNCとLDACの状態に応じて、同期DAC更新または非同期DAC更新を選択することができます。

同期 DAC 更新

このモードでは、データを入力シフトレジスタへ入力中にLDACをロー・レベルにします。DAC出力は、SYNCの立下がりエッジで更新されます。

非同期 DAC 更新

このモードでは、データを入力シフトレジスタへ入力中LDACをハイ・レベルに維持します。SYNCをハイ・レベルにした後にLDACをロー・レベルにすると、DAC出力が非同期的に更新されます。更新は、LDACの立下がりエッジで行われるようになります。

リセット機能(RESET)

AD5780 をパワーオン状態にリセットときは、RESETピンをアサートするか、ソフトウェア・コントロール・レジスタ内のリセット機能を使うことができます(表 13 参照)。RESETピンを使用しない場合は、IOV_{CC}へ接続してください。

非同期クリア機能(CLR)

CLRピンはアクティブ・ローのクリアで、このピンを使って出力をユーザ指定値にクリアすることができます。18 ビットのクリア・コード値をクリア・コード・レジスタに書込みます(表 12 参照)。動作を完了するためには、CLRを最小時間ロー・レベルに維持する必要があります(図 2 参照)。CLR信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します

表 8.ハードウェア・コントロール・ピンの真理値表

LDAC	CLR	RESET	Function
X ¹	X ¹	0	The AD5780 is in reset mode. The device cannot be programmed.
X ¹	X ¹	↑	The AD5780 is returned to its power-on state. All registers are set to their default values.
0	0	1	The DAC register is loaded with the clearcode register value, and the output is set accordingly.
0	1	1	The output is set according to the DAC register value.
1	0	1	The DAC register is loaded with the clearcode register value, and the output is set accordingly.
↓	1	1	The output is set according to the DAC register value.
↓	0	1	The output remains at the clearcode register value.
↑	1	1	The output remains set according to the DAC register value.
↑	0	1	The output remains at the clearcode register value.
1	↓	1	The DAC register is loaded with the clearcode register value and the output is set accordingly.
0	↓	1	The DAC register is loaded with the clearcode register value and the output is set accordingly.
1	↑	1	The output remains at the clearcode register value.
0	↑	1	The output is set according to the DAC register value.

¹ X = don't care.

表 9.DAC レジスタ

MSB					LSB	
DB23	DB22	DB21	DB20	DB19 to DB2	DB1	DB0
R/W	Register address			DAC register data		
R/W	0	0	1	18 bits of data	X ¹	X ¹

¹ X = don't care.

(LDACがハイ・レベルの場合)。CLRピンがロー・レベルの間、出力は新しい値で更新できません。また、クリア動作はソフトウェア・コントロール・レジスタのCLRビットを設定することにより実行することもできます(表 13 参照)。

内部レジスタ

DAC レジスタ

表 9 に、DAC レジスタに対するデータの読み書き方法を示します。次式で DAC の理論伝達関数が表わされます。

$$V_{OUT} = \frac{(V_{REFP} - V_{REFN}) \times D}{2^{18}} + V_{REFN}$$

ここで、
 V_{REFN}は V_{REFN} 入力ピンに入力される負電圧。
 V_{REFP}は V_{REFP} 入力ピンに入力される正電圧。
 Dは DAC に書込まれる 18 ビット・コード。

コントロール・レジスタ

コントロール・レジスタは、AD5780 の動作モードを制御します。

力となる値を設定します。出力値は、使用されるDACコーディング(バイナリまたは2の補数)に依存します。デフォルト・レジスタ値は0です。

クリア・コード・レジスタ

クリア・コード・レジスタは、 $\overline{\text{CLR}}$ ピンまたはCLRビット(ソフトウェア・コントロール・レジスタ)がアサートされたときにDAC出

表 10. コントロール・レジスタ

MSB													LSB		
DB23	DB22	DB21	DB20	DB19 to DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R/W	Register address			Control register data											
R/W	0	1	0	Reserved	Reserved	0000			SDODIS	BIN/2sC	DACTRI	OPGND	RBUF	Reserved	

表 11. コントロール・レジスタ機能

Bit Name	Description
Reserved	These bits are reserved and should be programmed to zero.
RBUF	Output amplifier configuration control. 0: the internal amplifier, A1, is powered up and Resistors R_{FB} and R1 are connected in series as shown in Figure 54. This allows an external amplifier to be connected in a gain of two configuration. See the AD5780 Features section for further details. 1: (default) the internal amplifier, A1, is powered down and Resistors R_{FB} and R1 are connected in parallel, as shown in Figure 53, so that the resistance between the R_{FB} and INV pins is 3.4 k Ω , equal to the resistance of the DAC. This allows the R_{FB} and INV pins to be used for input bias current compensation for an external unity-gain amplifier. See the AD5780 Features section for further details.
OPGND	Output ground clamp control. 0: the DAC output clamp to ground is removed, and the DAC is placed in normal mode. 1: (default) the DAC output is clamped to ground through a ~6 k Ω resistance, and the DAC is placed in tristate mode. Resetting the part puts the DAC in OPGND mode, where the output ground clamp is enabled and the DAC is tristated. Setting the OPGND bit to 1 in the control register overrules any write to the DACTRI bit
DACTRI	DAC tristate control. 0: the DAC is in normal operating mode. 1: (default) the DAC is in tristate mode.
BIN/2sC	DAC register coding selection. 0: (default) the DAC register uses twos complement coding. 1: the DAC register uses offset binary coding.
SDODIS	SDO pin enable/disable control. 0: (default) the SDO pin is enabled. 1: the SDO pin is disabled (tristate).
R/W	Read/write select bit. 0: AD5780 is addressed for a write operation. 1: AD5780 is addressed for a read operation.

表 12. クリア・コード・レジスタ

MSB					LSB	
DB23	DB22	DB21	DB20	DB19 to DB2	DB1	DB0
R/W	Register address			Clearcode register data		
R/W	0	1	1	18 bits of data	X ¹	X ¹

¹ X = don't care.

ソフトウェア・コントロール・レジスタ

書込み専用レジスタであり、特定のビットに1を書込むと、対応するピンでロー・パルスが発生することと同じ効果を持ちます。

表 13.ソフトウェア・コントロール・レジスタ

MSB				LSB			
DB23	DB22	DB21	DB20	DB19 to DB3	DB2	DB1	DB0
R/W	Register address			Software control register data			
0	1	0	0	Reserved	Reset	CLR ¹	LDAC ²

¹LDACピンがロー・レベルのとき、CLR機能は無効になります。

²CLRピンがロー・レベルのとき、LDAC機能は無効になります。

表 14.ソフトウェア・コントロール・レジスタ機能

Bit Name	Description
LDAC	Setting this bit to 1 updates the DAC register and consequently the DAC output.
CLR	Setting this bit to 1 sets the DAC register to a user defined value (see Table 12) and updates the DAC output. The output value depends on the DAC register coding that is being used, either binary or twos complement.
Reset	Setting this bit to 1 returns the AD5780 to its power-on state.

AD5780の特長

0 V へのパワーオン・リセット

AD5780 は、パワーアップ時に出力電圧を制御し、さらにすべてのレジスタをデフォルト値に設定するパワーオン・リセット回路を内蔵しています。パワーオン時、DAC はスリー・ステートになり(リファレンス入力は切断)、出力は約 6 kΩ の抵抗を介して AGND へクランプされます。DAC は、コントロール・レジスタを使って別の指定が行われるまでこの状態を維持します。この機能は、デバイスのパワーアップ時の DAC 出力状態が既知である必要のあるアプリケーションで特に便利です。

AD5780 の設定

パワーオン後、出力を書込む前に AD5780 を通常の動作モードに設定する必要があります。このためには、コントロール・レジスタに書き込みを行う必要があります。DACTRI ビットをクリアすると、DAC はスリー・ステートから抜け出し、OPGND ビットをクリアすると、出力クランプが解除されます。この時点で、DAC レジスタに別の値が書込まれていないかぎり、出力が V_{REFN} になります。

DAC の出力状態

DAC 出力は、コントロール・レジスタの DACTRI ビットと OPGND ビットで選択される 3 つの状態に設定することができます(表 15 参照)。

表 15. 出力状態の真理値表

DACTRI	OPGND	Output State
0	0	Normal operating mode.
0	1	Output is clamped via ~6 kΩ to AGND.
1	0	Output is in tristate.
1	1	Output is clamped via ~6 kΩ to AGND.

出力アンプの構成

出力アンプを AD5780 に接続する方法は、入力するリファレンス電圧と所要出力電圧振幅に応じて多数あります。

ユニティ・ゲイン構成

図 52 に、ゲイン = 1 の出力アンプを示します。この構成では、出力振幅は $V_{REFN} \sim V_{REFP}$ になります。

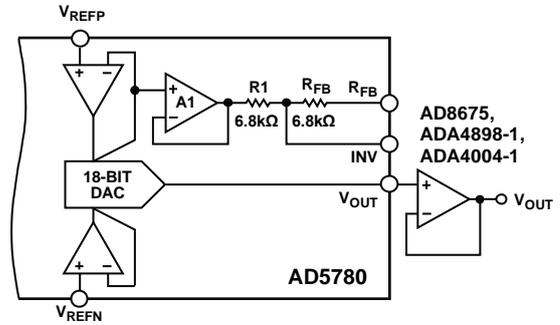


図 52. ユニティ・ゲイン構成の出力アンプ

出力アンプの 2 つ目のユニティ・ゲイン構成は、アンプの入カバイアス電流からオフセットを除去する構成です。これは、アンプの帰還パスに DAC の出力抵抗に等しい抵抗を挿入することにより実現されます。DAC 出力抵抗は 3.4 kΩ です。R1 と RFB を並列接続することにより、チップ上で DAC 抵抗に等しい抵抗を得ることができます。抵抗はすべて 1 つのシリコン・チップ上にあるため、温度係数が一致しています。この動作モードをイネーブルするときは、コントロール・レジスタの RBUF ビットをロジック 1 に設定する必要があります。図 53 に、出力アンプを AD5780 へ接続する方法を示します。この構成で、出力アンプはユニティ・ゲインで、出力振幅は $V_{REFN} \sim V_{REFP}$ になります。このユニティ・ゲイン構成を使うと、コンデンサをアンプ帰還パスに接続してダイナミック性能を向上させることができます。

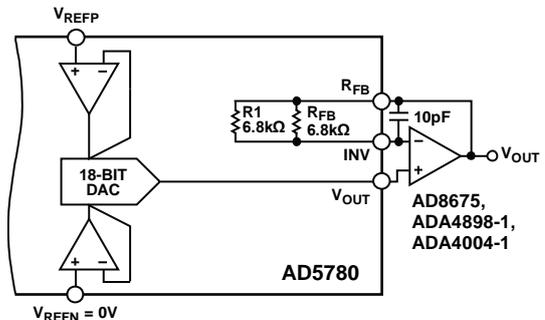


図 53. アンプ入力バイアス電流補償付きのユニティ・ゲイン出力アンプ

ゲイン=2の構成(×2ゲイン・モード)

図 54 に、ゲイン=2の出力アンプを示します。ゲインは、一致する内蔵 6.8 kΩ 抵抗で設定されます。これらの抵抗は DAC 抵抗の正確に 2 倍であるため、外付けアンプの入力バイアス電流からオフセットを除去する効果を持っています。この構成では、出力振幅は $2 \times V_{REFN} - V_{REFP} \sim V_{REFP}$ になります。この構成を使用すると、 $V_{REFN} = 0 \text{ V}$ のシングルエンド・リファレンス入力でバイポーラ出力振幅を発生することができます。この動作モードをイネーブルするときは、コントロール・レジスタの RBUF ビットをロジック 0 に設定する必要があります。

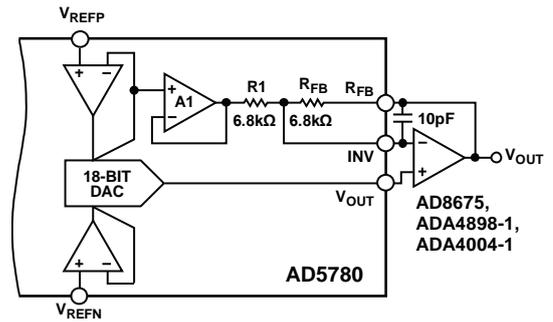
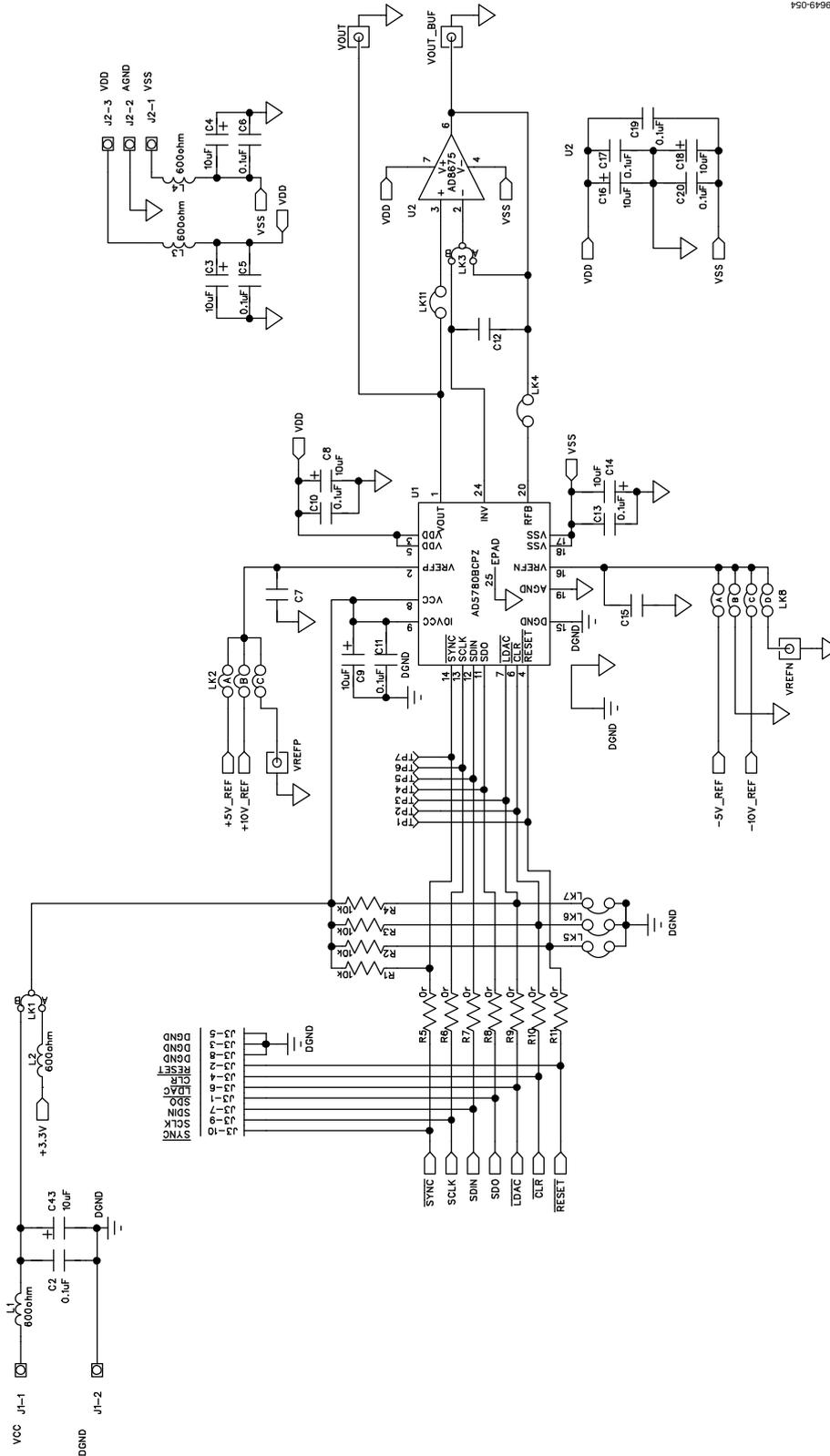


図 54.ゲイン=2の出力アンプ

09649-050

アプリケーション情報

代表的な動作回路



PS0-64960

図 55. 代表的な動作回路

図 55 に、AD5780 の代表的な動作回路を示します。この回路では、AD8675 を出力バッファとして使っています。AD5780 の出力インピーダンスは 3.4 k Ω であるため、低抵抗高容量の負荷を駆動するときは出力バッファが必要です。

評価用ボード

デバイスの高性能を最小の労力で評価することを支援するために AD5780 の 評価用ボード を提供しています。この AD5780 評価キットには、実装/テスト済みの AD5780 プリント回路ボード (PCB)

が含まれています。評価用ボードは、PC の USB ポートにインターフェースされます。評価用ボードでは、AD5780 の設定を容易にするソフトウェアを使うことができます。このソフトウェアは、Microsoft® Windows® XP (SP2)、Vista (32 ビットまたは 64 ビット) または Windows 7 をインストールした PC 上で動作します。評価用ボードの動作を詳しく説明する AD5780 のユーザー・ガイド UG-256 を提供しています。

外形寸法

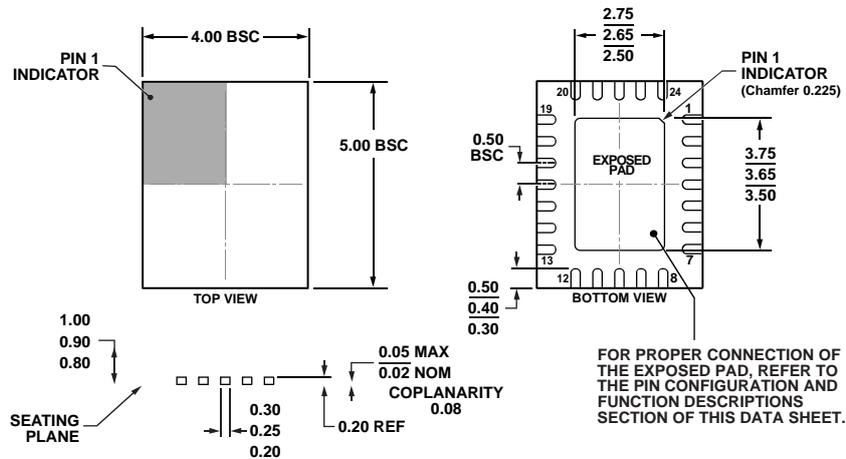


図 56.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 4 mm × 5 mm ボディ、極薄クワッド
 (CP-24-5)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	INL	Package Description	Package Option
AD5780ACPZ	-40°C to +125°C	±2 LSB	24-Lead LFCSP_VQ	CP-24-5
AD5780ACPZ-REEL7	-40°C to +125°C	±2 LSB	24-Lead LFCSP_VQ	CP-24-5
AD5780BCPZ	-40°C to +125°C	±1 LSB	24-Lead LFCSP_VQ	CP-24-5
AD5780BCPZ-REEL7	-40°C to +125°C	±1 LSB	24-Lead LFCSP_VQ	CP-24-5
EVAL-AD5780SDZ			Evaluation Board	

¹ Z = RoHS 準拠製品。