6 チャンネル 14 ビット電流出力 DAC、リファレンス内蔵 SPI インターフェース付き

データシート **AD5770R**

特長

6 チャンネル電流出力 DAC
14 ビット分解能
プログラマブルな出力電流範囲
　チャンネル 0：0mA～300mA、−60mA～+300mA、
　　−60mA～0mA
　チャンネル 1：0mA～140mA、0mA～250mA
　チャンネル 2：0mA～55mA、0mA～150mA
　チャンネル 3、チャンネル 4、チャンネル 5：
　　0mA～45mA、0mA～100mA
　すべての電流源
　出力範囲を 0.5×まで縮小
1.25V 内蔵電圧リファレンス
高精度リファレンス抵抗を集積化
SPI インターフェース
リセット機能
出力電流モニタ
コンプライアンス電圧モニタ
ダイ温度モニタ
サーマル・シャットダウン機能を内蔵
49 ボール、4mm×4mm WLCSP パッケージ
動作温度：−40ºC～+105ºC

アプリケーション

フォトニクス制御
LED ドライバ用プログラマブル電流源
電流モード・バイアス

概要

AD5770R は、6 チャンネル、14 ビット分解能、低ノイズ、プログラマブル電流出力のフォトニクス制御アプリケーション向け D/A コンバータ（DAC）です。このデバイスには、1.25V の内蔵電圧リファレンス、リファレンス電流生成用の 2.5kΩ 高精度抵抗、ダイ温度および出力モニタリング機能、フォールト・アラーム、およびリセット機能が組み込まれています。

また、14 ビット分解能の電流源 DAC チャンネルを 5 つ、14 ビット分解能の電流源およびシンク DAC チャンネルを 1 つ備えています。

チャンネル 0 は、最大 60mA の電流をシンクし最大 300mA の電流をソースするように設定できます。チャンネル 1 からチャンネル 5 の出力電流源範囲は、レジスタ・アクセスによって複数の設定が可能です。

それぞれの DAC は 0.8V～AVDD − 0.4V の広い電源レールで動作し、電力効率と熱消費電力を最適化することができます。

AD5770R は 2.9V～5.5V の AVDD 電源で動作し、−40ºC～+105ºC の温度範囲で仕様規定されています。

機能ブロック図

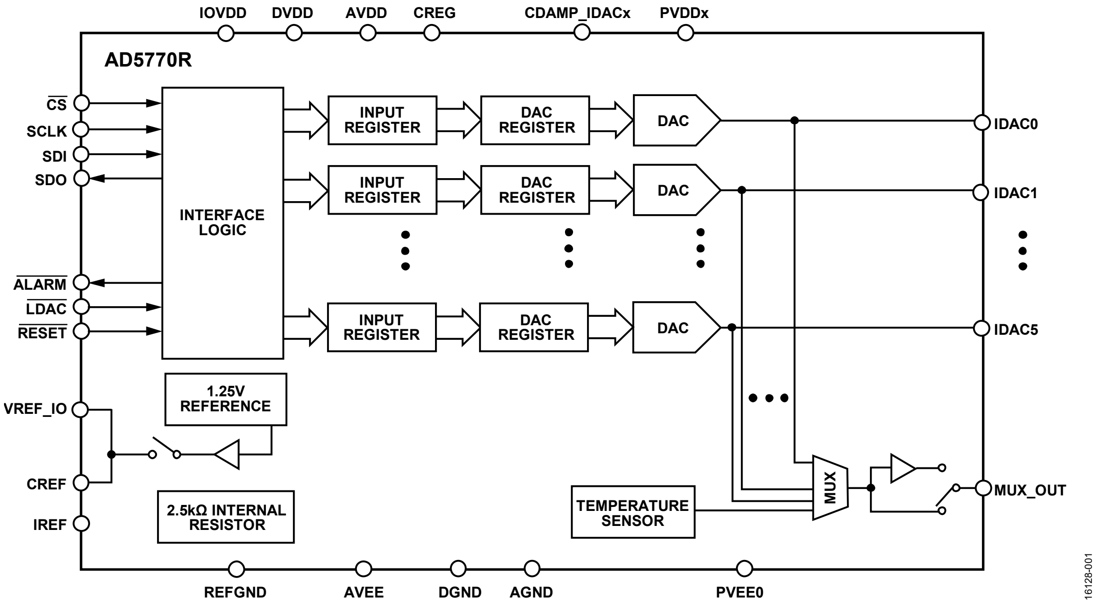

図 1.

Rev. 0

アナログ・デバイセズ株式会社

本　　　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F
電話 052（569）6300

目次

改訂履歴

2/2019—Revision 0: Initial Version

仕様

特に指定のない限り、AVDD = DVDD = 2.9V～5.5V、PVDD = 0.8V～AVDD − 0.4V、AVEE = −3.0V～0V、2.5V ≤ PVDD − AVEE ≤ 5.5V、IOVDD = 1.65V～5.5V、AVEE ≤ PVEE0 ≤ 0V、AVDD − PVEE0 ≤ 5.5V、VREF = 1.25V 外部電圧リファレンス、周囲温度（T_A）= −40ºC～+105ºC。

表 1.

パラメータ [1]	Min	Typ	Max	単位	テスト条件／コメント
STATIC PERFORMANCE, EXTERNAL R_{SET}[2]					VREF = 1.25V 外部電圧リファレンス、2.5kΩ の外部理想 R_{SET} 抵抗を想定、すべてのチャンネルとすべての出力電流範囲
Resolution	14			Bits	
Relative Accuracy (INL)	−6.5		+6.5	LSB	
Differential Nonlinearity (DNL)	−1		+1	LSB	T_A = −20ºC～+105ºC、単調増加性を確保
	−1		+1.2	LSB	単調増加性を確保
Total Unadjusted Error	−1.3		+1.3	% full-scale range (FSR)	
Zero-Scale Error			+600	µA	DAC レジスタ内にすべて 0 をロード
Zero-Scale Error Drift		500		nA/°C	チャンネル 0、チャンネル 1
		300		nA/°C	チャンネル 2
		170		nA/°C	チャンネル 3、チャンネル 4、チャンネル 5
Offset Error	−600		+600	µA	
Offset Error Drift		1		µA/°C	チャンネル 0、チャンネル 1
		0.5		µA/°C	チャンネル 2、チャンネル 3、チャンネル 4、チャンネル 5
Full-Scale Error	−1.3		+1.3	% FSR	DAC レジスタ内にすべて 1 をロード
Full-Scale Error Drift		20		ppm/°C	チャンネル 0、チャンネル 1
		50		ppm/°C	チャンネル 2、チャンネル 3、チャンネル 4、チャンネル 5
Gain Error	−1.3		+1.3	% FSR	
Gain Temperature Coefficient		30		ppm/°C	チャンネル 0、チャンネル 1
		80		ppm/°C	チャンネル 2、チャンネル 3、チャンネル 4、チャンネル 5
DC Crosstalk		2		LSB	T_A = 25ºC、単一隣接チャンネルにおける出力電流のフルスケール変化による
DC Power Supply Rejection Ratio (PSRR)		17		µA/V	T_A = 25ºC、DAC レジスタをフルスケールにロード
STATIC PERFORMANCE, INTERNAL R_{SET}					VREF = 1.25V 内部電圧リファレンス、すべてのチャンネルとすべての出力電流範囲
Resolution	14			Bits	
Relative Accuracy (INL)	−6.5		+6.5	LSB	
Differential Nonlinearity (DNL)	−1		+1	LSB	T_A = −20ºC～+105ºC、単調増加性を確保
	−1		+1.2	LSB	単調増加性を確保
Total Unadjusted Error (TUE)	−1.3		+1.3	% FSR	
Zero-Scale Error			+600	µA	DAC レジスタ内にすべて 0 をロード
Zero-Scale Error Drift		500		nA/°C	チャンネル 0、チャンネル 1
		300		nA/°C	チャンネル 2
		170		nA/°C	チャンネル 3、チャンネル 4、チャンネル 5
Offset Error	−600		+600	µA	
Offset Error Drift		1		µA/°C	チャンネル 0、チャンネル 1
		0.5		µA/°C	チャンネル 2、チャンネル 3、チャンネル 4、チャンネル 5
Full-Scale Error	−1.3		+1.3	% FSR	DAC レジスタ内にすべて 1 をロード
Full-Scale Error Drift		20		ppm/°C	チャンネル 0、チャンネル 1
		50		ppm/°C	チャンネル 2、チャンネル 3、チャンネル 4、チャンネル 5
Gain Error	−1.3		+1.3	% FSR	
Gain Temperature Coefficient		30		ppm/°C	チャンネル 0、チャンネル 1
		80		ppm/°C	チャンネル 2、チャンネル 3、チャンネル 4、チャンネル 5

パラメータ [1]	Min	Typ	Max	単位	テスト条件／コメント
DC Crosstalk		2		LSB	T_A = 25ºC、単一チャンネルにおける出力電力の 200mW 変化による
DC PSRR		17		µA/V	T_A = 25ºC、DAC レジスタをミッドスケールにロード
OUTPUT CHARACTERISTICS					
Output Current Ranges					
Channel 0	−60		0	mA	
	−60		+300	mA	
	0		300	mA	
Channel 1	0		140	mA	
	0		250	mA	
Channel 2	0		55	mA	
	0		150	mA	
Channel 3, Channel 4, Channel 5	0		45	mA	
	0		100	mA	
Output Compliance Voltage[3]					
Channel 0	0		PVDD0 − 0.45	V	0mA～300mA の範囲でソースするときは、DAC レジスタをフルスケールにロード
	PVEE0 + 0.5				−60mA～0mA および−60mA～+300mA の範囲で電流をシンクするときは、DAC レジスタをゼロスケールにロード
Channel 1	0		PVDD1 − 0.275	V	小さいヘッドルームで 140mA 範囲に設定するときは、DAC レジスタをフルスケールにロード
	0		PVDD1 − 0.45	V	250mA 範囲または低ノイズで 140mA 範囲に設定するときは、DAC レジスタをフルスケールにロード
Channel 2, Channel 3, Channel 4, Channel 5	0		PVDDx − 0.275	V	すべての出力範囲で DAC レジスタをフルスケールにロード
DC Output Impedance		600		kΩ	T_A = 25ºC
VOLTAGE REFERENCE INPUT					
Reference Input Impedance		60		GΩ	T_A = 25ºC、外部 1.25V リファレンス・オプション
		115		kΩ	T_A = 25ºC、外部 2.5V リファレンス・オプション
Reference Input Range		1.25		V	仕様規定された性能については、外部 1.25V リファレンス・オプション
		2.5		V	外部 2.5V リファレンス・オプション
VOLTAGE REFERENCE OUTPUT					
Output Voltage	1.245	1.25	1.255	V	T_A = 25ºC、リファレンス出力オン
Reference Temperature Coefficient		15		ppm/ºC	内部 R_{SET} 抵抗
Output Impedance		0.01		Ω	
Output Current Load Capability		±5		mA	
Maximum Capacitive Load		10		µF	
Load Regulation Sourcing		250		µV/mA	
Load Regulation Sinking		250		µV/mA	
Output Voltage Noise		920		nV rms	T_A = 25ºC、0.1Hz～10Hz
Output Voltage Noise Spectral Density		70		nV/√Hz	T_A = 25ºC、1kHz
		70		nV/√Hz	T_A = 25ºC、10kHz
Line Regulation		35		µV/V	T_A = 25ºC、AVDD の変化による
INTEGRATED MULTIPLEXER					
Buffer Output Current		±8		mA	
Buffer Output Impedance		0.5		Ω	
Buffer Offset		0.3		mV	
Buffer Maximum Capacitive Load		100		pF	

パラメータ[1]	Min	Typ	Max	単位	テスト条件／コメント
LOGIC INPUTS					$\overline{CS}$、SCLK、SDI、$\overline{LDAC}$、 $\overline{RESET}$
Input Current	−3.5		+3.5	μA	ピン単位
Input Voltage					
Input Low Voltage (V_{INL})			0.3 × IOVDD	V	
Input High Voltage (V_{INH})	0.7 × IOVDD			V	
Pin Capacitance		4.5		pF	ピン単位
LOGIC OUTPUTS					
SDO Pin					
Output Low Voltage (V_{OL})			0.4	V	
Output High Voltage (V_{OH})	IOVDD − 0.4			V	
Floating State Output Capacitance		4		pF	
ALARM Pin					
Output Low Voltage (V_{OL})			0.4	V	オープンドレインをイネーブル[4]、IOVDD への 10kΩ プルアップ抵抗
Output High Voltage (V_{OH})	IOVDD – 0.4			V	オープンドレインをイネーブル[4]、IOVDD への 10kΩ プルアップ抵抗
TEMPERATURE MEASUREMENT DIODE					
Diode Output Voltage		700		mV	T_A = 25ºC、内部バイアス電流
		880		mV	T_A = 25ºC、100μA 外部バイアス電流
		1.04		V	T_A = 25ºC、200μA 外部バイアス電流
Temperature Coefficient		−1.8		mV/°C	内部バイアス電流
		−1.3		mV/°C	100μA 外部バイアス電流
		−0.9		mV/°C	200μA 外部バイアス電流
External Bias Current[5]	100		200	μA	温度ダイオード・バイアス電流は外部から供給
THERMAL ALARMS					
Overheat Warning Temperature		125		°C	ジャンクション温度、警告フラグがアクティブ
Overheat Shutdown Temperature		150		°C	ジャンクション温度、サーマル・シャットダウン
Overheat Warning Hysteresis		4		°C	
Overheat Shutdown Hysteresis		20		°C	
POWER REQUIREMENTS					
Analog Power Supply Voltage					
AVDD	2.9		5.5	V	AVDD = DVDD であることが必要
AVEE	−3.0		0	V	
PVDD0 to PVDD5	0.8		AVDD − 0.4	V	2.5V ≤ PVDD − AVEE ≤ 5.5V
PVEE0	AVEE		0	V	AVDD − PVEE0 ≤ 5.5V
Analog Power Supply Current					
AVDD Supply Current		32		mA	内部電圧リファレンス・オプションを選択
AVEE Supply Current		30		μA	すべての IDACx 出力をディスエーブル
PVDD0 to PVDD5 Supply Current		125		μA	
Digital Power Supply Voltage					
DVDD	2.9		5.5	V	AVDD = DVDD であることが必要
IOVDD	1.65		5.5	V	

パラメータ [1]	Min	Typ	Max	単位	テスト条件／コメント
Digital Power Supply Current					
DVDD Supply Current		1.1		mA	
IODVDD Supply Current		200		nA	
Power Consumption		110		mW	すべての出力は 0A、公称電源

[1] 用語の定義のセクションを参照してください。
[2] 内蔵および外付け R_{SET} 抵抗の詳細については、高精度 R_{SET} 抵抗のセクションを参照してください。
[3] 電流をソースするときは出力コンプライアンス電圧が IDACx ピンの最大電圧で、この場合の出力電流は測定フルスケール範囲の 0.1%以内です。チャンネル 0 で電流をシンクするときは出力コンプライアンス電圧が IDAC0 ピンの最小電圧で、この場合の出力電流は測定ゼロスケール範囲の 0.1%以内です。
[4] アクティブ・ロー $\overline{\text{ALARM}}$ ピンはオープンドレインとして設定可能です。$\overline{\text{ALARM}}$ のセクションを参照してください。
[5] 内部温度検知ダイオードは、内部電流または外部電流によりバイアスすることができます。内部ダイ温度のモニタリングのセクションを参照してください。

AC 性能特性

特に指定のない限り、AVDD = DVDD = 2.9V～5.5V、PVDD = 0.8V～AVDD − 0.4V、AVEE = −3.0V～0V、2.5V ≤ PVDD − AVEE ≤ 5.5V、IOVDD = 1.65V～5.5V、AVEE ≤ PVEE0 ≤ 0V、AVDD − PVEE0 ≤ 5.5V、VREF = 1.25V 外部電圧リファレンス、T_A = 25ºC。

表 2.

パラメータ [1]	Min	Typ	Max	単位	テスト条件／コメント [2]
DYNAMIC PERFORMANCE					
Output Current Settling Time		13		µs	ゼロスケール～フルスケールのステップで±4LSB にセトリング、0mA～300mA 範囲
		10		µs	ゼロスケール～フルスケールのステップで±4LSB にセトリング、0mA～45mA 範囲、チャンネル 3、チャンネル 4、およびチャンネル 5
Slew Rate		50		mA/µs	チャンネル 0、0mA～300mA 範囲
		10		mA/µs	チャンネル 3、チャンネル 4、チャンネル 5、0mA～45mA 範囲
Digital-to-Analog Glitch Impulse		0.057		nA-sec	メジャー・キャリー周辺で 1LSB の変化
Multiplexer Switching Glitch		14		pA-sec	モニタしたチャンネルをスイッチング
Digital Feedthrough		0.03		nA-sec	
Digital Crosstalk		0.03		nA-sec	
DAC-to-DAC Crosstalk		0.8		nA-sec	影響先チャンネル 4、チャンネル 0 での 300mA のステップ変化による
Output Noise Spectral Density (NSD)		35		nA/√Hz	チャンネル 0、0mA～300mA 範囲、1kHz、DAC レジスタをミッドスケールにロード
		18		nA/√Hz	チャンネル 1、0mA～140mA 低ノイズ範囲、1kHz、DAC レジスタをミッドスケールにロード
		19		nA/√Hz	チャンネル 2、0mA～150mA 範囲、1kHz、DAC レジスタをミッドスケールにロード
		13		nA/√Hz	チャンネル 3、チャンネル 4、チャンネル 5、0mA～100mA 範囲、1kHz、DAC レジスタをミッドスケールにロード
		16		nA/√Hz	チャンネル 0、0mA～300mA 範囲、10kHz、DAC レジスタをミッドスケールにロード
		9		nA/√Hz	チャンネル 1、0mA～140mA 低ノイズ範囲、10kHz、DAC レジスタをミッドスケールにロード
		9		nA/√Hz	チャンネル 2、0mA～150mA 範囲、10kHz、DAC レジスタをミッドスケールにロード
		6		nA/√Hz	チャンネル 3、チャンネル 4、チャンネル 5、0mA～100mA 範囲、10kHz、DAC レジスタをミッドスケールにロード

パラメータ [1]	Min	Typ	Max	単位	テスト条件／コメント [2]
Output Noise		900		nA rms	0.1Hz～10Hz、チャンネル 0、0mA～300mA 範囲、DAC レジスタをフルスケールにロード
		180		nA rms	0.1Hz～10Hz、チャンネル 1、0mA～140mA 低ノイズ範囲、DAC レジスタをフルスケールにロード
		400		nA rms	0.1Hz～10Hz、チャンネル 2、0mA～150mA 範囲、DAC レジスタをフルスケールにロード
		300		nA rms	0.1Hz～10Hz、チャンネル 3、チャンネル 4、チャンネル 5、0mA～100mA 範囲、DAC レジスタをフルスケールにロード
PVDDx AC PSRR		−98		dB	100Hz
		−87		dB	1 kHz
		−67		dB	10kHz
		−23		dB	1000kHz
		−8		dB	3000kHz

[1] 用語の定義のセクションを参照してください。
[2] 温度範囲は-40ºC～+105ºC で、代表値は 25ºC です。

タイミング仕様

表 3.

パラメータ	1.65 V ≤ IOVDD ≤ 5.5V	単位	テスト条件／コメント
t_1	50	ns min	SCLK サイクル時間、書込み動作。
	100	ns min	SCLK サイクル時間、読出し動作。
t_2	20	ns min	SCLK ハイ時間。
t_3	20	ns min	SCLK ロー時間。
t_4	25	ns min	$\overline{\text{CS}}$ から SCLK 立上がりエッジ・セットアップまでの時間。
t_5	10	ns min	データ・セットアップ時間。
t_6	10	ns min	データ・ホールド時間。
t_7	0	ns min	SCLK の立上がりエッジから $\overline{\text{CS}}$の立上がりエッジまで。LDAC アイドル・ハイ・モード。
t_7[1]	250	ns min	SCLK の立上がりエッジから $\overline{\text{CS}}$の立上がりエッジまで。LDAC アイドル・ロー・モード。
t_8	30	ns min	$\overline{\text{CS}}$ ハイ時間。
t_9	40	ns min	$\overline{\text{CS}}$ の立上がりエッジから SCLK の立上がりエッジまで。
t_{10}	5	ns min	SCLK の立上がりエッジから $\overline{\text{CS}}$の立下がりエッジまで。
t_{11}	90	ns max	SCLK 立下がりエッジからの SDO データ有効時間。
t_{12}	40	ns min	$\overline{\text{CS}}$ の立上がりエッジから SDO ディスエーブルまで。
t_{13}	100	ns min	$\overline{\text{LDAC}}$ パルス幅ロー。
t_{14}	10	ns min	$\overline{\text{LDAC}}$ の立下がりエッジから $\overline{\text{CS}}$の立上がりエッジまで。
t_{15}	100	ns min	SCLK の立上がりエッジから $\overline{\text{LDAC}}$の立下がりエッジまで。
t_{16}	10	ns min	$\overline{\text{RESET}}$ 最小パルス幅ロー。
t_{17}	100	ns max	$\overline{\text{RESET}}$ パルスのアクティベート時間。

[1] $t_7 \geq 250$ns は、$\overline{\text{LDAC}}$ (IDLEL LOW) 立下がりエッジ後の最初の SCLK 立上がりエッジから $\overline{\text{CS}}$立上がりエッジまでにだけ適用されます。$t_7 \geq$ 0ns は、その他すべての SCLK 立上がりエッジから $\overline{\text{CS}}$立上がりエッジまでに適用されます。図 3 を参照。

表 4. LDAC アイドル・ロー・タイミング

パラメータ	1.65 V ≤ IOVDD ≤ 5.5V	単位	テスト条件／コメント
t_1	250	ns min	SCLK の立上がりエッジから $\overline{\text{CS}}$の立上がりエッジまで。$\overline{\text{LDAC}}$アイドル・ロー立下がりエッジ後の最初の SCLK 立上がりエッジから $\overline{\text{CS}}$立上がりエッジまで。
t_2	0	ns min	SCLK の立上がりエッジから $\overline{\text{CS}}$の立上がりエッジまで。
t_3	10	ns min	$\overline{\text{LDAC}}$ の立下がりエッジから $\overline{\text{CS}}$の立上がりエッジまで。

タイミング図

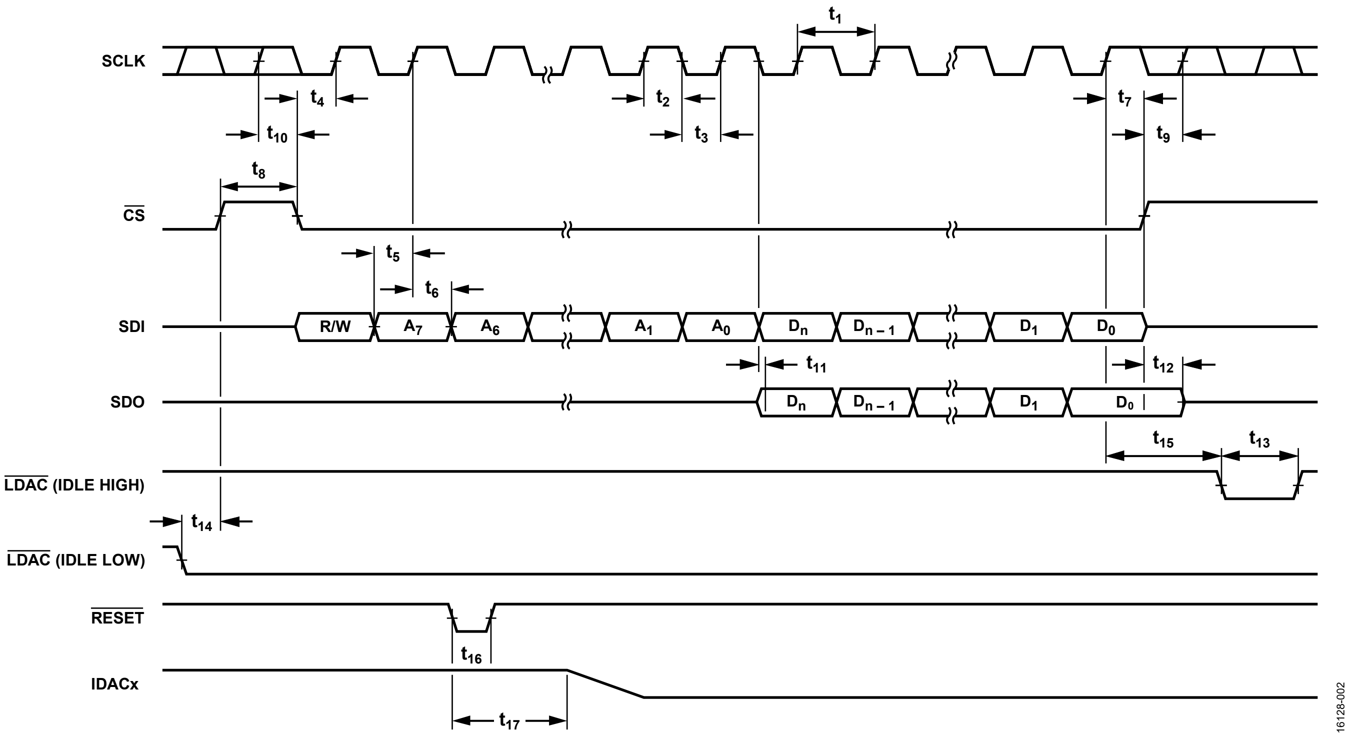

図 2. タイミング図（実寸ではありません）

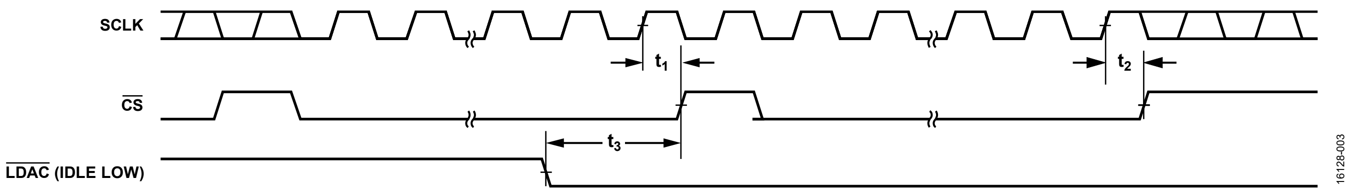

図 3. $\overline{\text{LDAC}}$ アイドル・ローのタイミング図

絶対最大定格

特に指定のない限り、T_A = 25ºC。

表 5.

Parameter	Rating
AVDD to DVDD	−0.3 V to +0.3 V
AVDD to AGND	−0.3 V to +6.5 V
AVDD to PVDDx	−0.3 V to +6.5 V
AVDD to AVEE	−0.3 V to +10 V
AVEE to AGND	+0.3 V to −3.5 V
PVEE0 to AGND	+0.3 V to −3.5 V
AVEE to PVEE0	−3 .0 V to +0.3 V
PVDDx to AGND	−0.3 V to +6.5 V
PVDDx to AVEE	−0.3 V to +8.5 V
AVDD to PVEE0	−0.3 V to +6.5 V
VREF_IO to AGND	−0.3 V to AVDD + 0.3 V
IDAC0 to PVEE0	−0.3 V to +6.5 V
IDAC1 through IDAC5 to AGND	−0.3 V to PVDDx + 0.3 V
DVDD to DGND	−0.3 V to +6.5 V
IOVDD to DGND	−0.3 V to +6.5 V
REFGND to AGND	−0.3 V to +0.3 V
AGND to DGND	−0.3 V to +0.3 V
Digital Inputs to DGND[1]	−0.3 V to IOVDD + 0.3 V
Digital Outputs to DGND[2]	−0.3 V to IOVDD + 0.3 V
Operating Temperature Range	−40°C to +105°C
Storage Temperature Range	−65°C to +150°C
Maximum Junction Temperature, T_{JMAX}	150°C
Power Dissipation	$(T_{JMAX} – T_A)/\theta_{JA}$
Lead Temperature, Soldering Reflow	260°C, as per JEDEC J-STD-020

[1] デジタル入力には SCLK、SDI、$\overline{\text{RESET}}$、および$\overline{\text{LDAC}}$が含まれます。
[2] デジタル出力には SDO と $\overline{\text{ALARM}}$が含まれます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

表 6. 熱抵抗

Package Type	θ_{JA}	Unit
CB-49-5	30[1]	°C/W

[1] 熱抵抗のシミュレーション値は、16 個のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

ESD に関する注意

ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

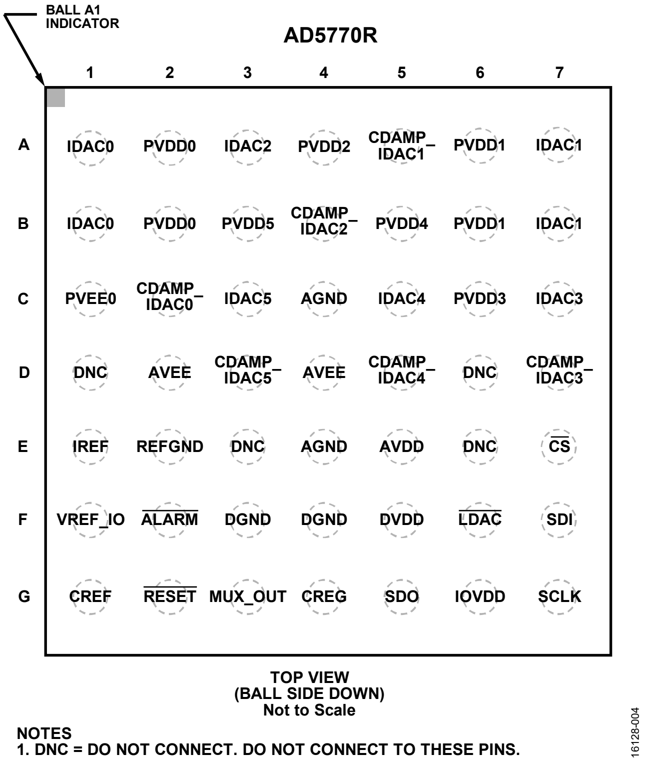

図 4. ピン配置

表 7. ピン機能の説明

ピン番号	記号	タイプ [1]	説明
A1, B1	IDAC0	AO	チャンネル 0 の電流出力はこのピンで使用できます。チャンネル 0 は最大 60mA の電流をシンクし、最大 300mA の電流をソースします。
A2, B2	PVDD0	S	IDAC0 の電源。
A3	IDAC2	AO	チャンネル 2 の電流出力はこのピンで使用できます。チャンネル 2 は最大 150mA の電流をソースします。
A4	PVDD2	S	IDAC2 の電源。
A5	CDAMP_IDAC1	AI	IDAC1 の減衰コンデンサ。このピンと PVDD1 電源の間に 10nF のコンデンサを接続します。
A6, B6	PVDD1	S	IDAC1 の電源。
A7, B7	IDAC1	AO	チャンネル 1 の電流出力はこのピンで使用できます。チャンネル 1 は最大 250mA の電流をソースします。
B3	PVDD5	S	IDAC5 の電源。
B4	CDAMP_IDAC2	AI	IDAC2 の減衰コンデンサ。このピンと PVDD2 電源の間に 10nF のコンデンサを接続します。
B5	PVDD4	S	IDAC4 の電源。
C1	PVEE0	S	IDAC0 シンクの電源リターン。チャンネル 0 でこの電流をシンクすると、PVEE0 から最大 60mA の電流が流れ出します。
C2	CDAMP_IDAC0	AI	IDAC0 の減衰コンデンサ。このピンと PVDD0 電源の間に 10nF のコンデンサを接続します。
C3	IDAC5	AO	チャンネル 5 の電流出力はこのピンで使用できます。チャンネル 5 は最大 100mA の電流をソースします。
C4, E4	AGND	S	アナログ電源のグラウンド・ピン。
C5	IDAC4	AO	チャンネル 4 の電流出力はこのピンで使用できます。チャンネル 4 は最大 100mA の電流をソースします。
C6	PVDD3	S	IDAC3 の電源。
C7	IDAC3	AO	チャンネル 3 の電流出力はこのピンで使用できます。チャンネル 3 は最大 100mA の電流をソースします。
D1, D6, E3, E6	DNC	DNC	接続なし。このピンには接続しないでください。
D2, D4	AVEE	S	負電源。AVEE は−3V～0V の範囲でなければなりません。このピンは、複数のアナログ回路ブロックをバイアスするためのローサイド電圧を供給します。
D3	CDAMP_IDAC5	AI	IDAC5 の減衰コンデンサ。このピンと PVDD5 電源の間に 10nF のコンデンサを接続します。

ピン番号	記号	タイプ [1]	説明
D5	CDAMP_IDAC4	AI	IDAC4 の減衰コンデンサ。このピンと PVDD4 電源の間に 10nF のコンデンサを接続します。
D7	CDAMP_IDAC3	AI	IDAC3 の減衰コンデンサ。このピンと PVDD3 電源の間に 10nF のコンデンサを接続します。
E1	IREF	AI/O	リファレンス電流生成用の外部抵抗ピン（オプション）。外付けの R_{SET}抵抗使用時は、低ドリフトの 2.5kΩ 外付け抵抗を介してこのピンを直接 REFGND に接続します。
E2	REFGND	S	リファレンス電源のグラウンド・ピン。このピンは、低インピーダンス経路を使って AGND に接続します。外付け抵抗を使う場合は、R_{SET}抵抗のローサイドを AGND に接続する前に REFGND に接続する必要があります。
E5	AVDD	S	アナログ電源。AVDD は 2.9V～5.5V の範囲でなければなりません。このピンはデバイスのアナログ回路ブロックに電力を供給します。このピンは DVDD と同じ電位にする必要があります。
E7	$\overline{CS}$	DI	アクティブ・ローのコントロール入力。 $\overline{CS}$ が SPI トランザクションのフレーム・データに使われます。$\overline{CS}$がローの場合、データは SCLK の立上がりエッジで転送されます。
F1	VREF_IO	AI/O	電圧リファレンス入出力。内部リファレンスをイネーブルすると、バッファされた 1.25V リファレンス電圧をこのピンで使用することができます。内部リファレンスをディスエーブルした場合は、このピンに外部リファレンスを加える必要があります。外部リファレンスの電圧は 1.25V～2.5V の範囲でなければなりません。
F2	$\overline{ALARM}$	DO	アクティブ・ロー出力。$\overline{ALARM}$がローになると、このピンがアラートを発して、ステータス・レジスタが変更されたことを知らせます。このピンをデアサートするには、ステータス・レジスタを読み出す必要があります。
F3, F4	DGND	S	デジタル電源グラウンド。
F5	DVDD	S	デジタル電源。DVDD は 2.9V～5.5V の範囲でなければなりません。このピンは、デバイスのデジタル・コアと内部発振器ブロックに電力を供給します。このピンは AVDD と同じ電位にする必要があります。
F6	$\overline{LDAC}$	DI	ロジック入力。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを加えると一部またはすべての DAC レジスタを更新できるので、一部またはすべての DAC 出力を同時に更新できます。また、このピンはローに接続することもできます。
F7	SDI	DI	シリアル・データ入力。この入力にはデバイスに書き込むデータが加えられ、SCLK の立上がりエッジに合わせてレジスタに入力されます。
G1	CREF	AI/O	電圧リファレンス用のフィルタ・コンデンサ。仕様規定された性能を AD5770R から引き出すには、CREF ピンと AGND の間に 0.1µF のコンデンサを接続することを推奨します。
G2	$\overline{RESET}$	DI	アクティブ・ローのリセット入力。通常動作時はこのピンをハイに接続します。このピンをローにアサートすると、AD5770R はデフォルト設定にリセットされます。
G3	MUX_OUT	AI/O	アナログ出力。外付けの A/D コンバータ（ADC）が、診断用にこのピンの電圧を読み出します。温度検知ダイオード用の外部励起電流を使って、このピンに電流を流してください。
G4	CREG	AI/O	内部レギュレータ用のフィルタ・コンデンサ。仕様規定された性能を AD5770R から引き出すには、CREG ピンと AGND の間に 1µF のコンデンサを接続することを推奨します。
G5	SDO	DO	シリアル・データ出力。リードバック動作を行うと、この出力ピンにシリアル・データ・ストリームとしてデータが供給されます。データは SCLK の立下がりエッジでクロック出力され、SCLK の立上がりエッジで有効になります。
G6	IOVDD	S	ロジック電源。IOVDD は 1.65V～5.5V の範囲でなければなりません。このピンはデバイスのシリアル・インターフェース回路ブロックに電力を供給します。
G7	SCLK	DI	シリアル・クロック入力。データは、シリアル・クロック入力の立上がりエッジで入力シフト・レジスタに入力されます。AD5770R への書込み時は、最大 20MHz のレートでデータを転送できます。AD5770R からの読出しを行う際のこのピンの最大速度は 10MHz です。

[1] AO はアナログ出力、S は電源、AI はアナログ入力、DNC は接続禁止、AI/O はアナログ入出力、DI はデジタル入力、DO はデジタル出力です。

代表的な性能特性

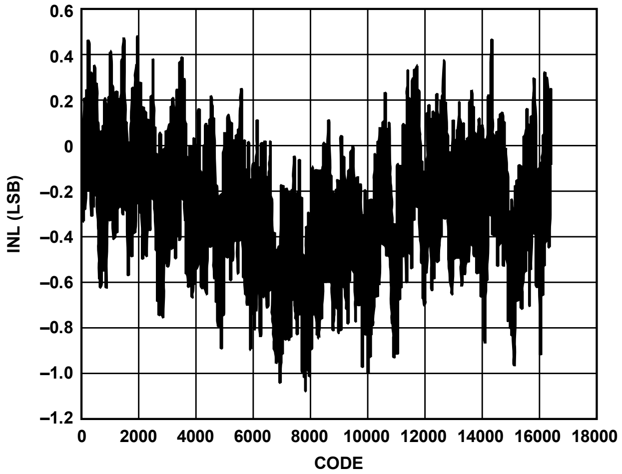

図 5. INL 誤差と DAC コードの関係
（チャンネル 0、0mA～300mA 範囲）

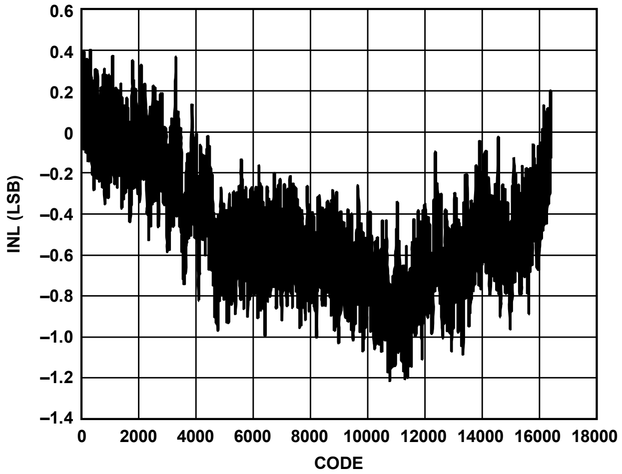

図 6. INL 誤差と DAC コードの関係
（チャンネル 1、0mA～250mA 範囲）

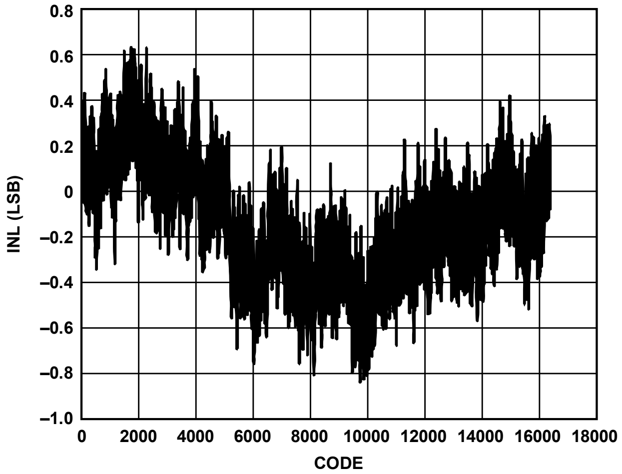

図 7. INL 誤差と DAC コードの関係
（チャンネル 2、0mA～150mA 範囲）

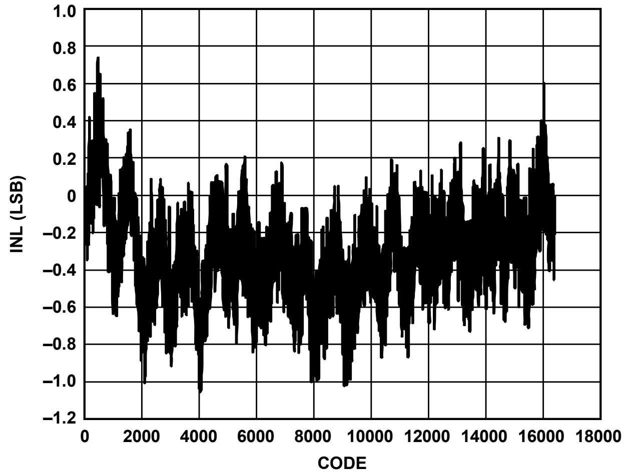

図 8. INL 誤差と DAC コードの関係
（チャンネル 3、0mA～100mA 範囲）

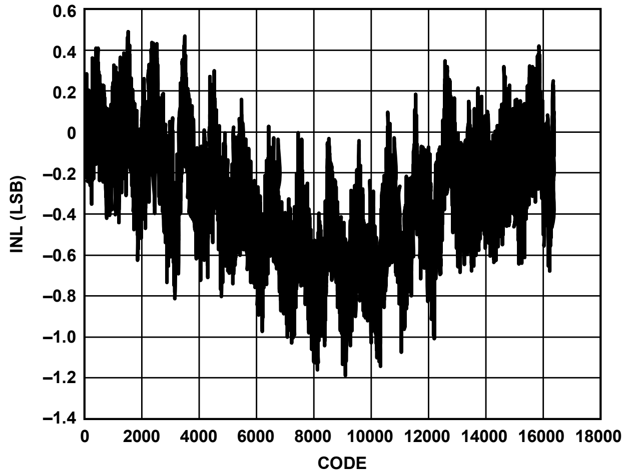

図 9. INL 誤差と DAC コードの関係
（チャンネル 4、0mA～100mA 範囲）

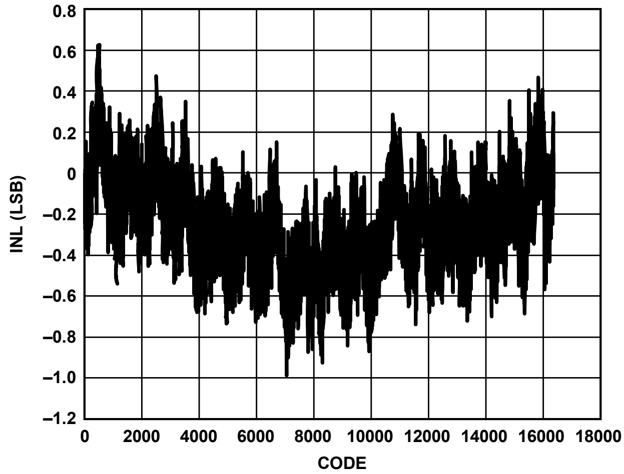

図 10. INL 誤差と DAC コードの関係
（チャンネル 5、0mA～100mA 範囲）

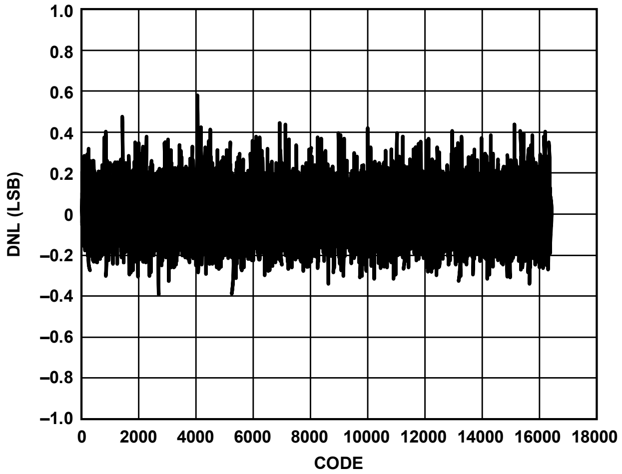

図 11. DNL 誤差と DAC コードの関係
（チャンネル 0、0mA～300mA 範囲）

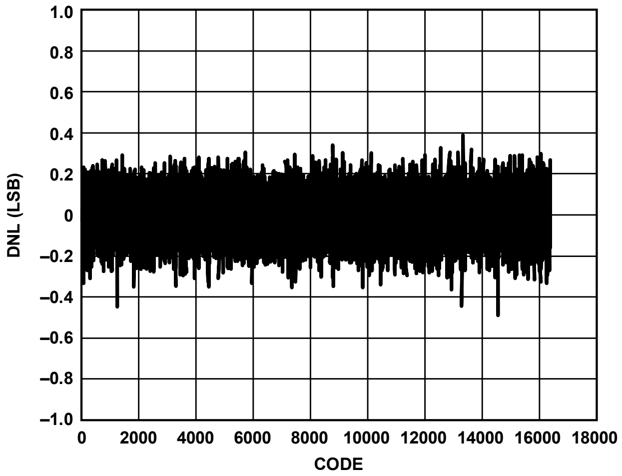

図 12. DNL 誤差と DAC コードの関係
（チャンネル 1、0mA～250mA 範囲）

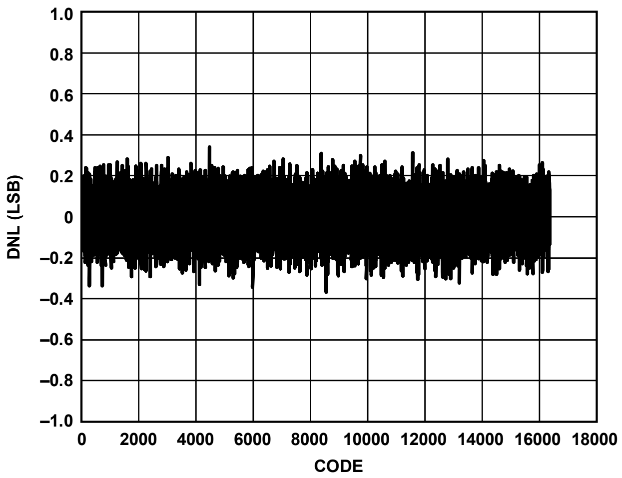

図 13. DNL 誤差と DAC コードの関係
（チャンネル 2、0mA～150mA 範囲）

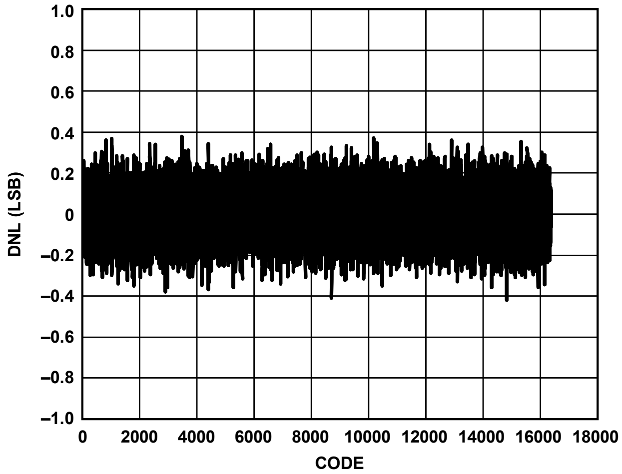

図 14. DNL 誤差と DAC コードの関係
（チャンネル 3、0mA～100mA 範囲）

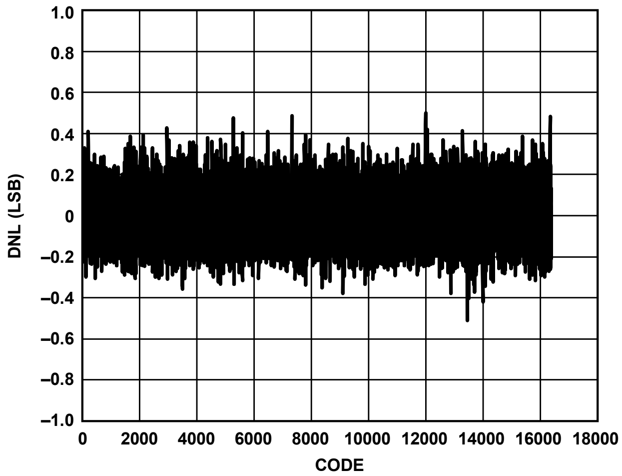

図 15. DNL 誤差と DAC コードの関係
（チャンネル 4、0mA～100mA 範囲）

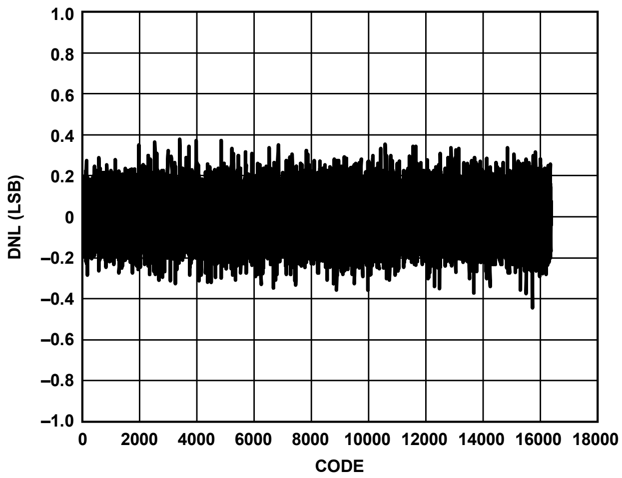

図 16. DNL 誤差と DAC コードの関係
（チャンネル 5、0mA～100mA 範囲）

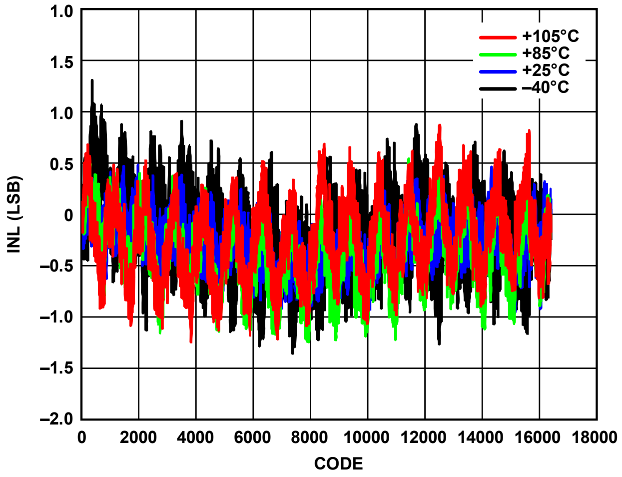

図 17. 様々な温度における INL 誤差と DAC コードの関係
（チャンネル 0、0mA～300mA 範囲）

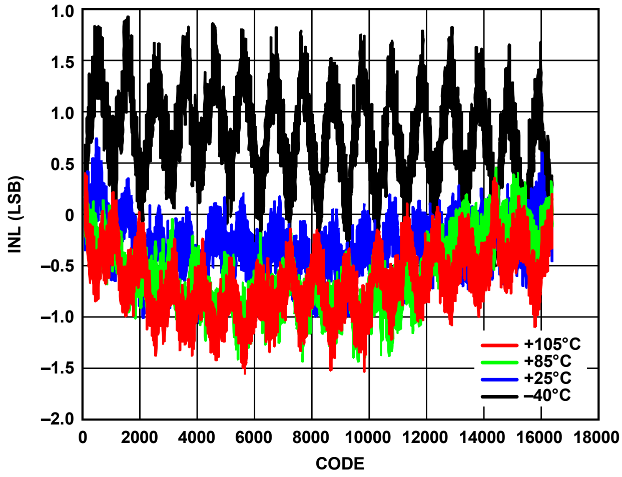

図 20. 様々な温度における INL 誤差と DAC コードの関係
（チャンネル 3、0mA～100mA 範囲）

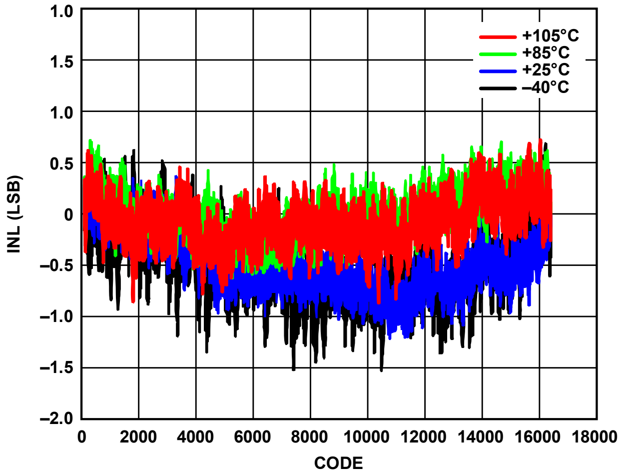

図 18. 様々な温度における INL 誤差と DAC コードの関係
（チャンネル 1、0mA～250mA 範囲）

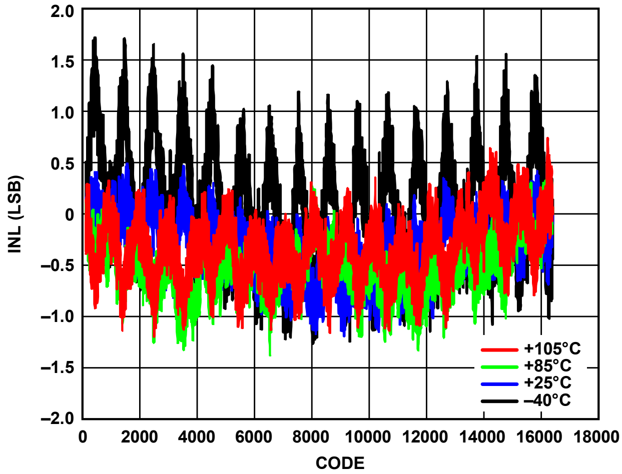

図 21. 様々な温度における INL 誤差と DAC コードの関係
（チャンネル 4、0mA～100mA 範囲）

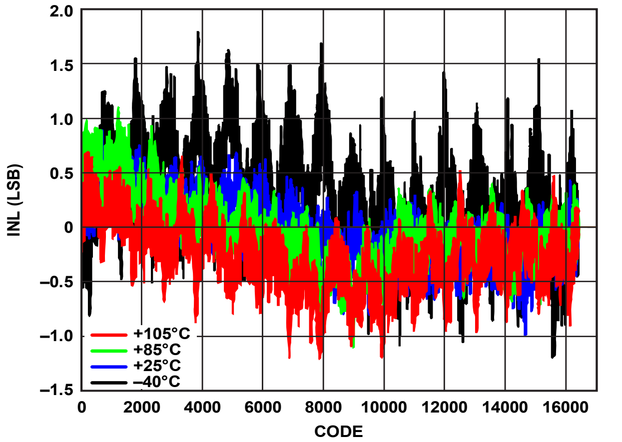

図 19. 様々な温度における INL 誤差と DAC コードの関係
（チャンネル 2、0mA～150mA 範囲）

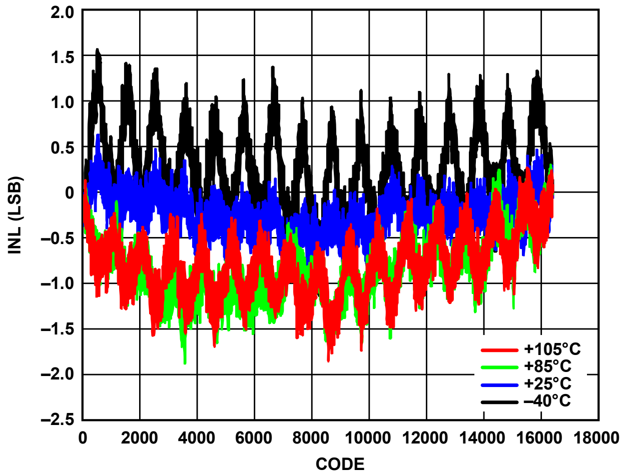

図 22. 様々な温度における INL 誤差と DAC コードの関係
（チャンネル 5、0mA～100mA 範囲）

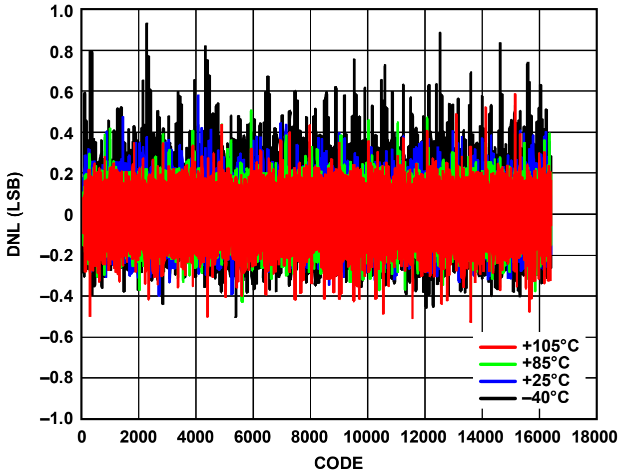

図 23. 様々な温度における DNL 誤差と DAC コードの関係
（チャンネル 0、0mA～300mA 範囲）

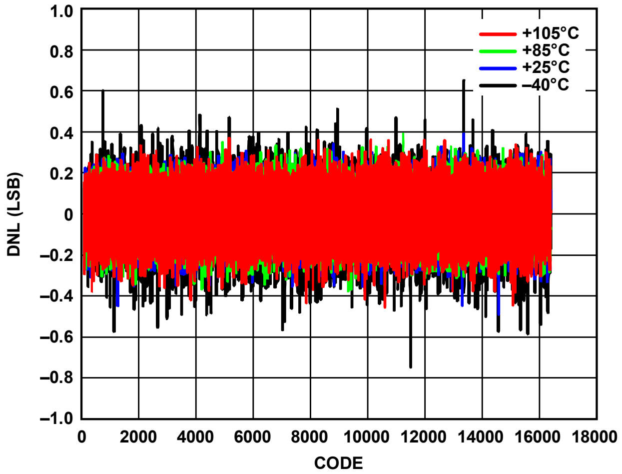

図 24. 様々な温度における DNL 誤差と DAC コードの関係
（チャンネル 1、0mA～250mA 範囲）

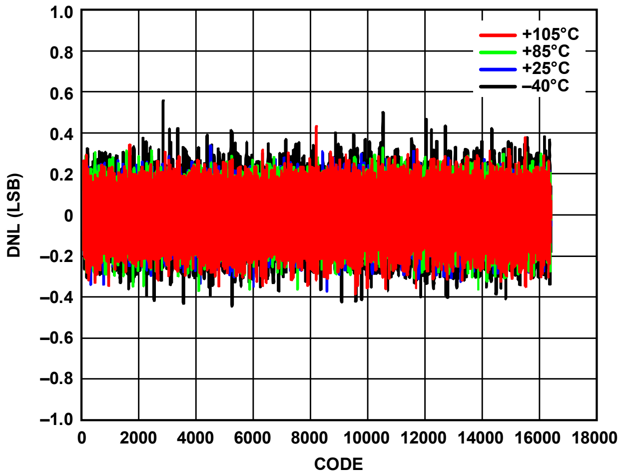

図 25. 様々な温度における DNL 誤差と DAC コードの関係
（チャンネル 2、0mA～150mA 範囲）

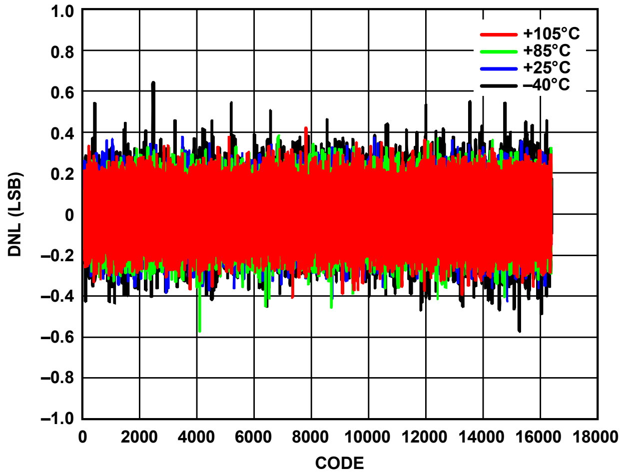

図 26. 様々な温度における DNL 誤差と DAC コードの関係
（チャンネル 3、0mA～100mA 範囲）

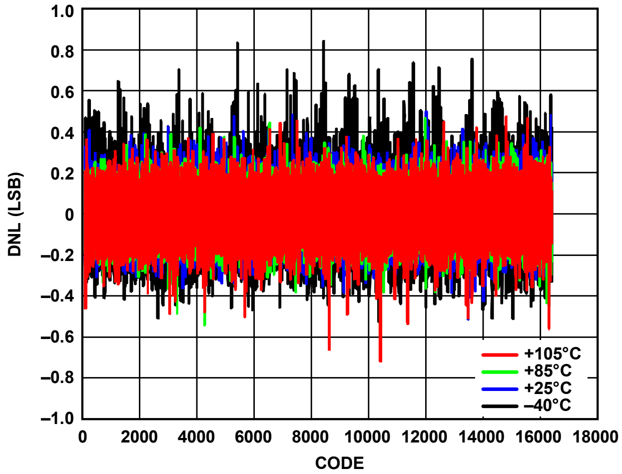

図 27. 様々な温度における DNL 誤差と DAC コードの関係
（チャンネル 4、0mA～100mA 範囲）

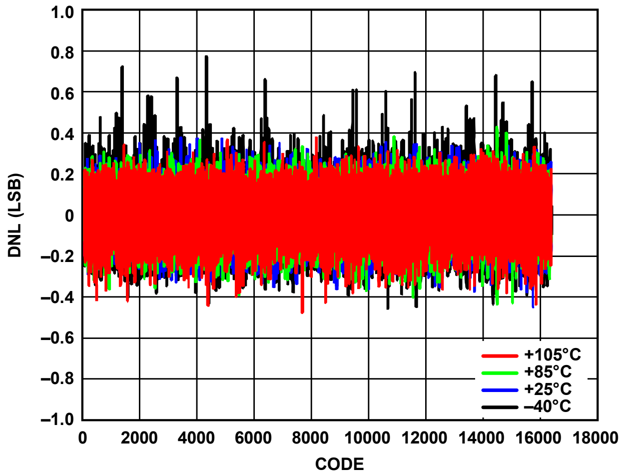

図 28. 様々な温度における DNL 誤差と DAC コードの関係
（チャンネル 5、0mA～100mA 範囲）

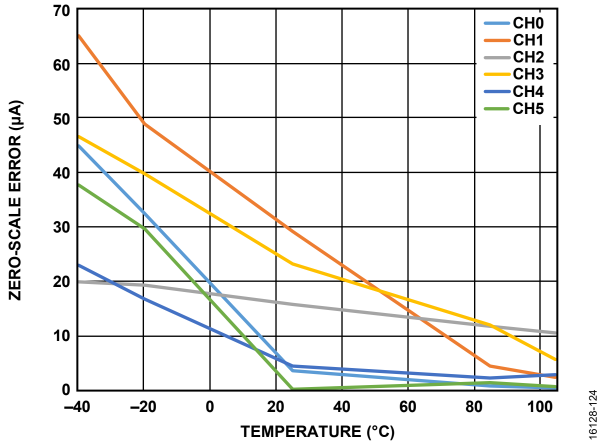

図 29. ゼロスケール誤差の温度特性

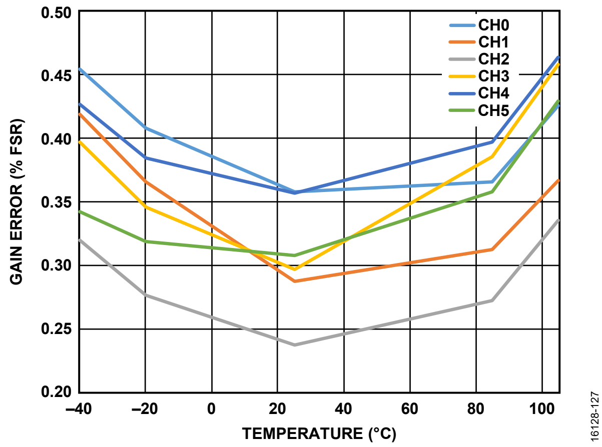

図 32. ゲイン誤差の温度特性

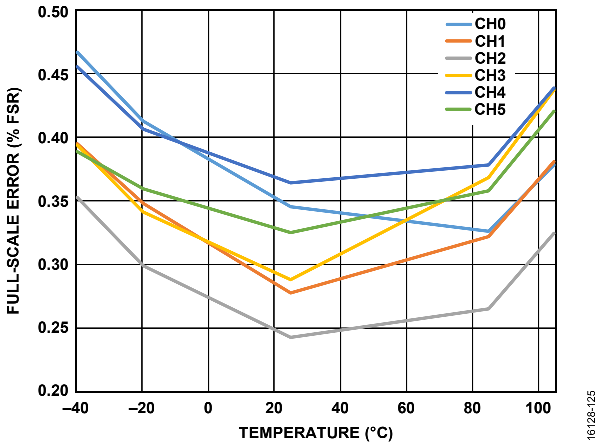

図 30. フルスケール誤差の温度特性

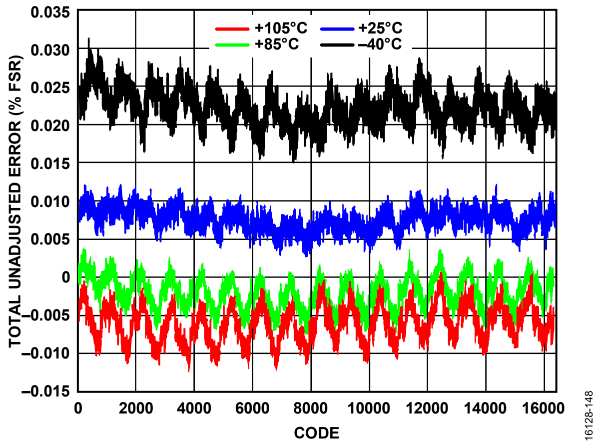

図 33. 様々な温度における総合未調整誤差と DAC コードの関係
（チャンネル 0、0mA～300mA 範囲）

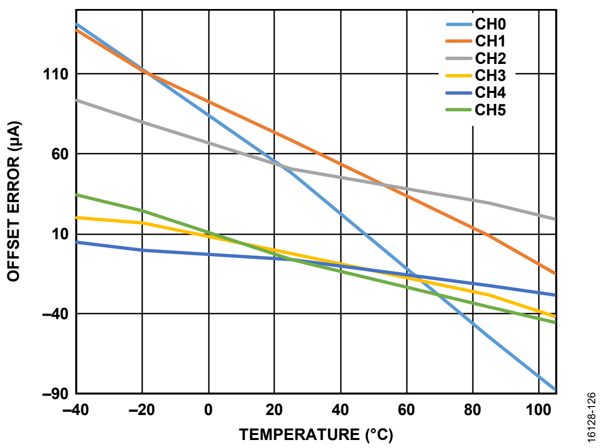

図 31. オフセット誤差の温度特性

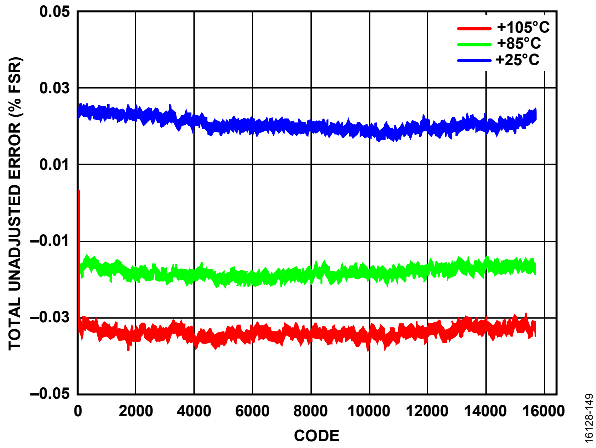

図 34. 様々な温度における総合未調整誤差と DAC コードの関係
（チャンネル 1、0 mA～250mA 範囲）

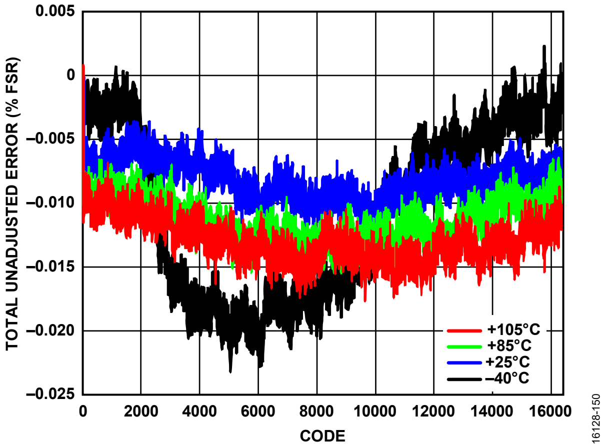

図 35. 様々な温度における総合未調整誤差と DAC コードの関係
（チャンネル 2、0mA～150mA 範囲）

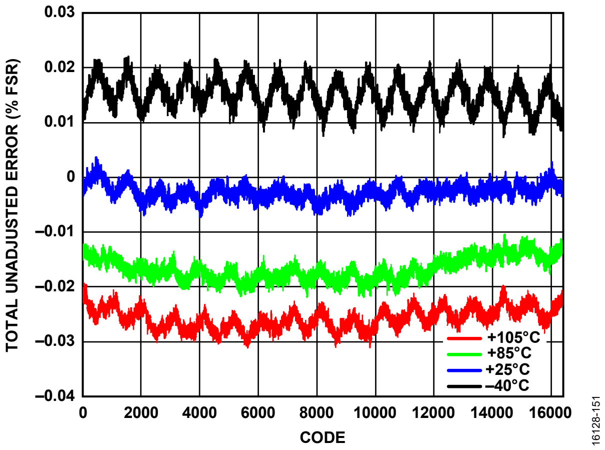

図 36. 様々な温度における総合未調整誤差と DAC コードの関係
（チャンネル 3、0mA～100mA 範囲）

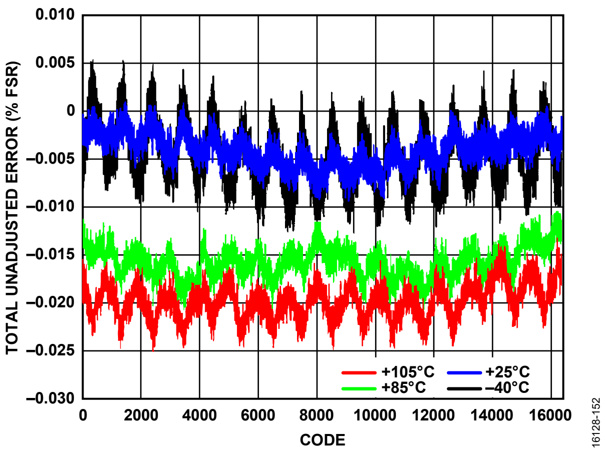

図 37. 様々な温度における総合未調整誤差と DAC コードの関係
（チャンネル 4、0mA～100mA 範囲）

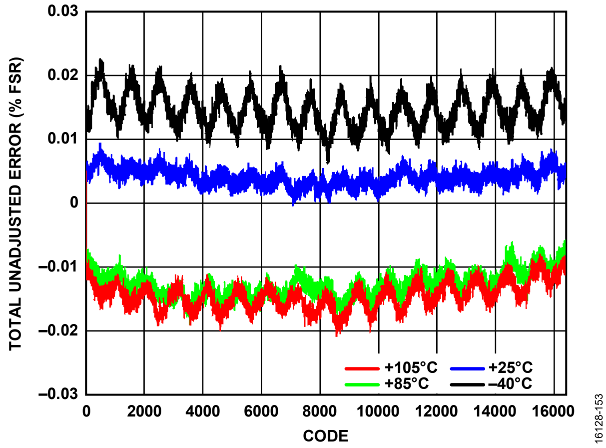

図 38. 様々な温度における総合未調整誤差と DAC コードの関係
（チャンネル 5、0mA～100mA 範囲）

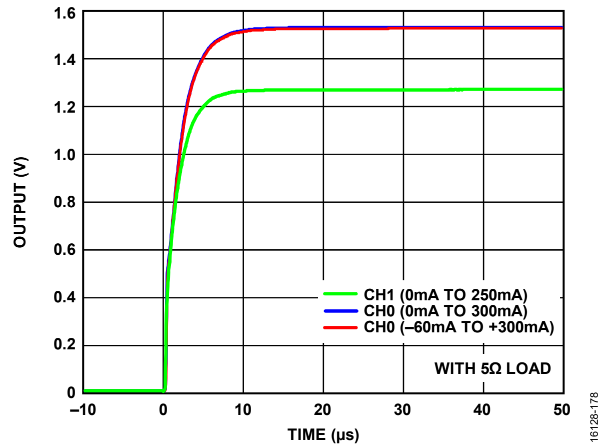

図 39. フルスケール・セトリング時間（立上がりステップ）

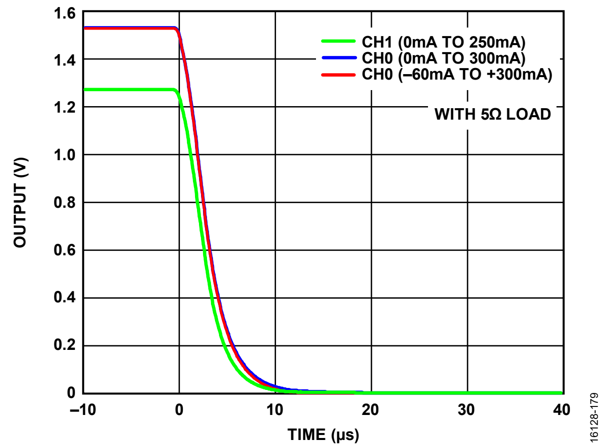

図 40. フルスケール・セトリング時間（立下がりステップ）

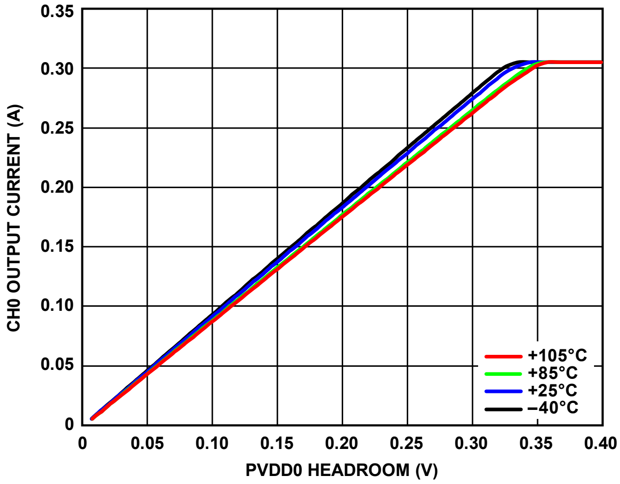

図 41. 様々な温度における CH0 出力電流と PVDD0 ヘッドルームの関係

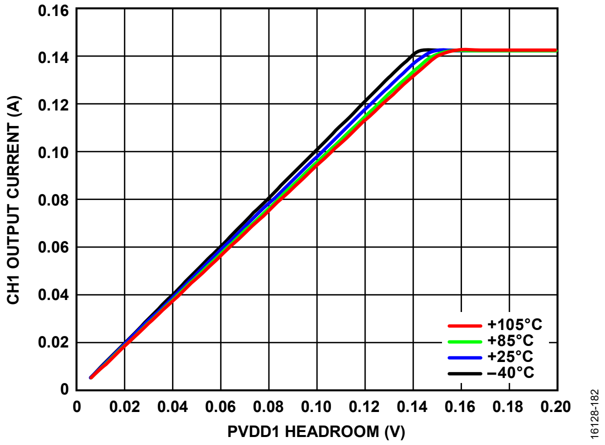

図 42. 様々な温度における CH1 出力電流と PVDD1 ヘッドルームの関係

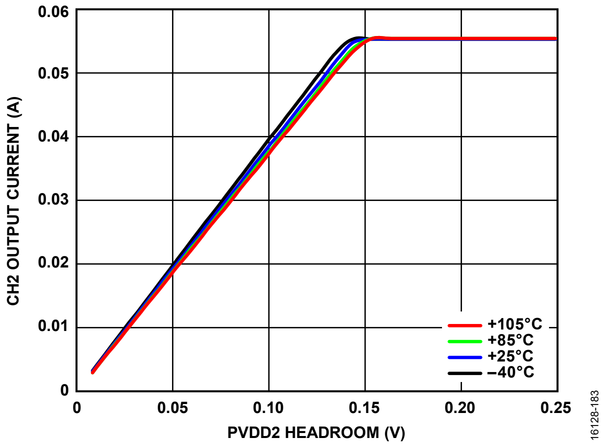

図 43. 様々な温度における CH2 出力電流と PVDD2 ヘッドルームの関係

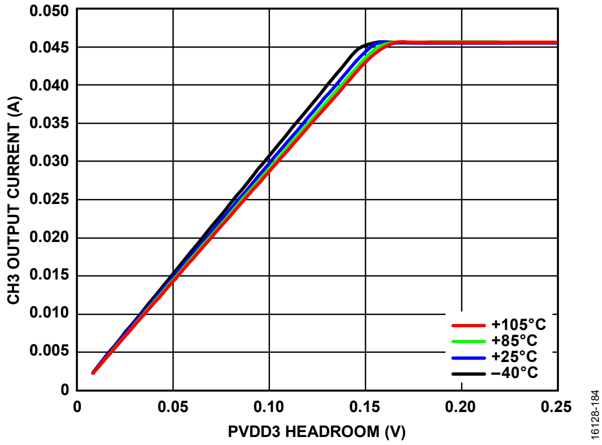

図 44. 様々な温度における CH3 出力電流と PVDD3 ヘッドルームの関係

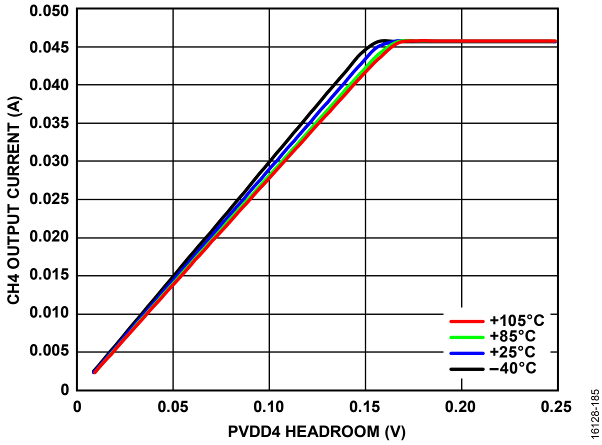

図 45. 様々な温度における CH4 出力電流と PVDD4 ヘッドルームの関係

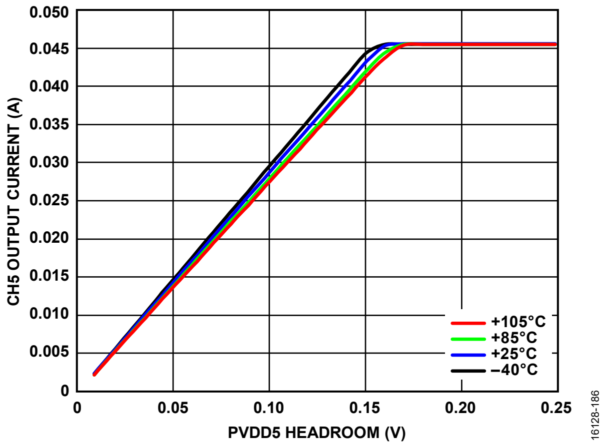

図 46. 様々な温度における CH5 出力電流と PVDD5 ヘッドルームの関係

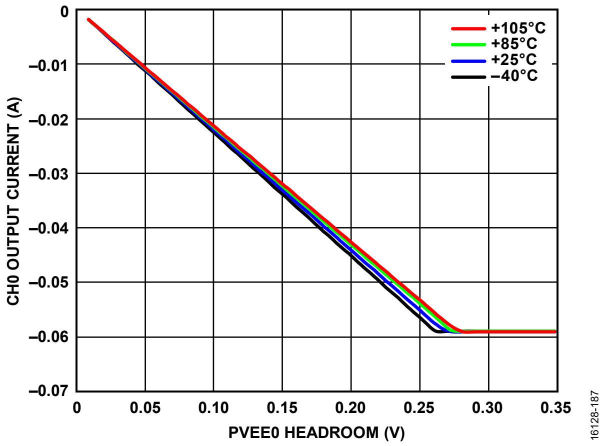

図 47. 様々な温度における CH0 出力電流と PVEE0 フットルームの関係

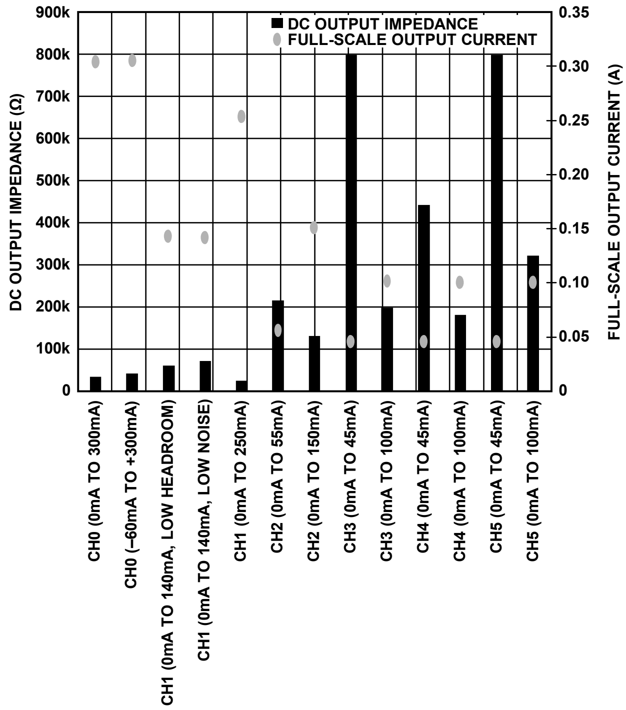

図 49. DC 出力インピーダンスとフルスケール出力電流の関係（全範囲）

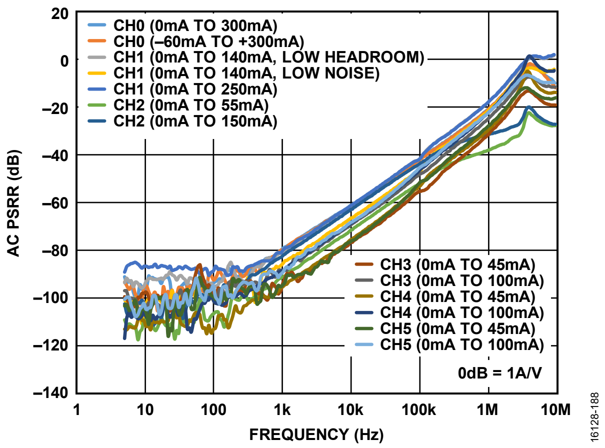

図 48. AC PSRR の周波数特性（全範囲）

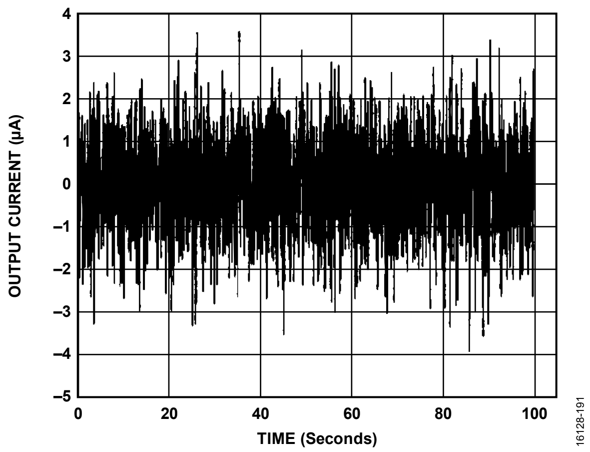

図 50. ピーク to ピーク・ノイズ、0.1Hz～10Hz 帯域幅、（CH0、0mA～300mA 範囲）

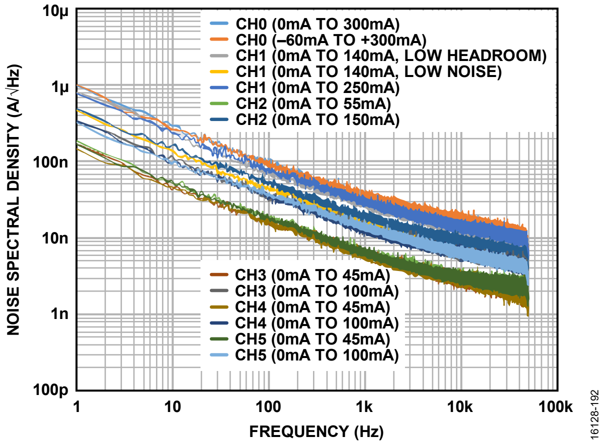

図 51. 出力 NSD の周波数特性（全範囲）

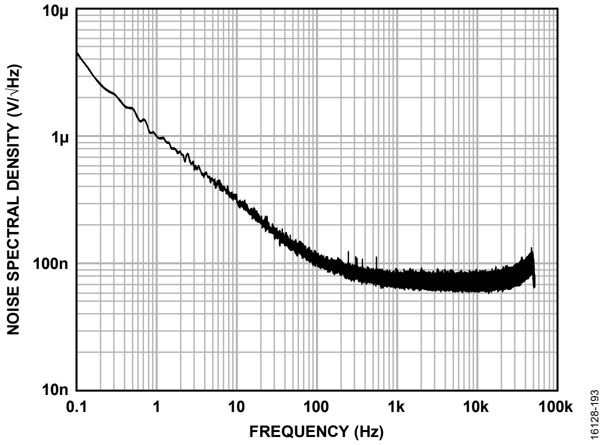

図 52. VREF_IO 出力 NSD の周波数特性

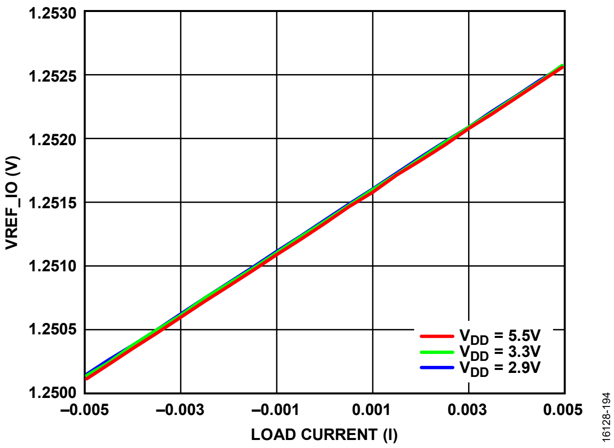

図 53. VREF_IO 電圧と負荷電流の関係

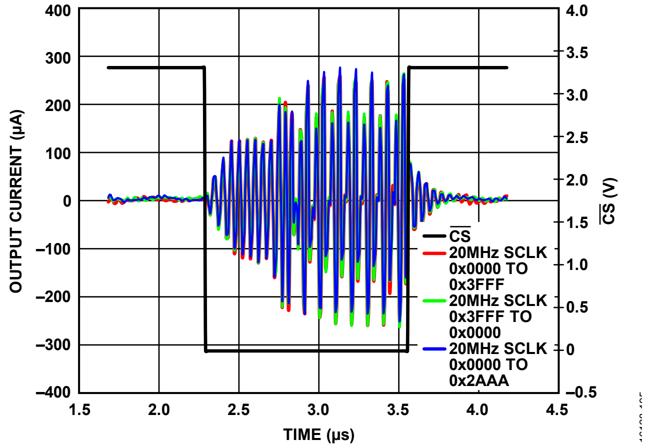

図 54. デジタル・フィードスルー

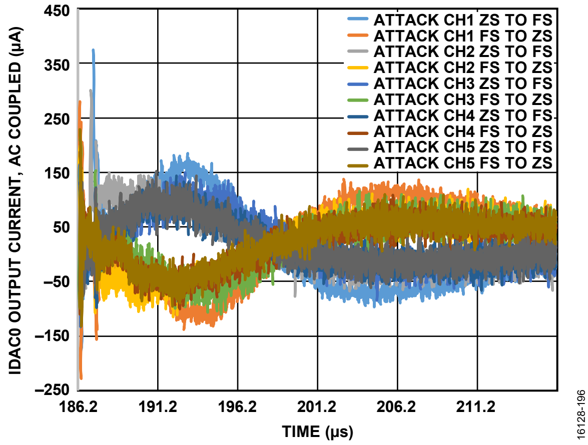

図 55. DAC 間クロストーク（影響先チャンネル 0）

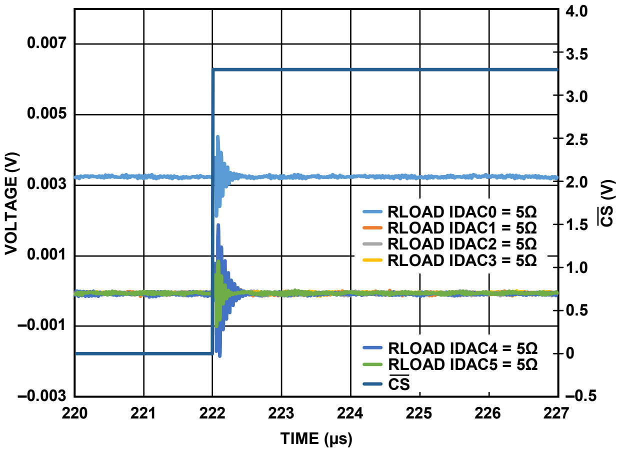

図 56. アナログ・クロストーク

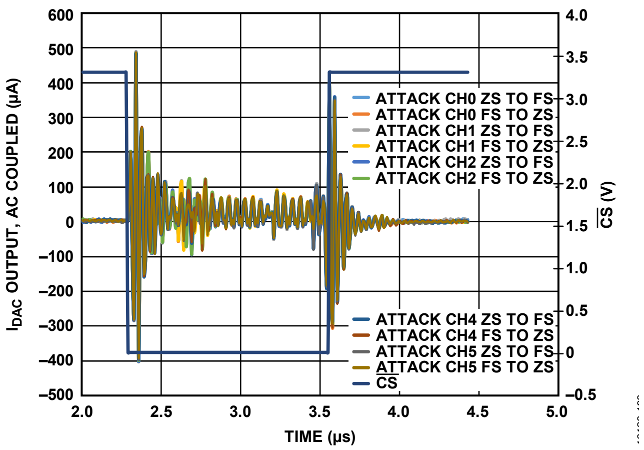

図 57. デジタル・クロストーク

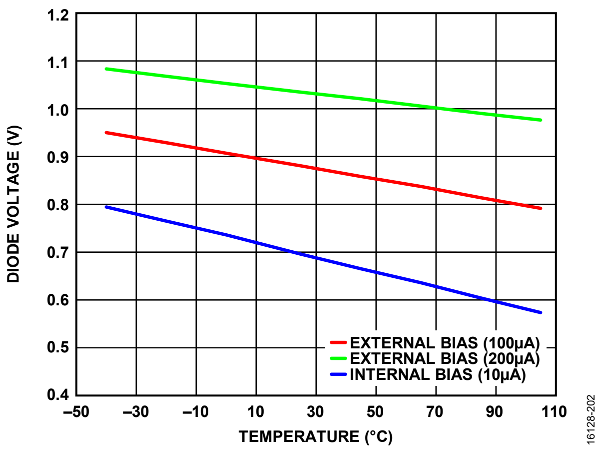

図 60. ダイオード電圧の温度特性

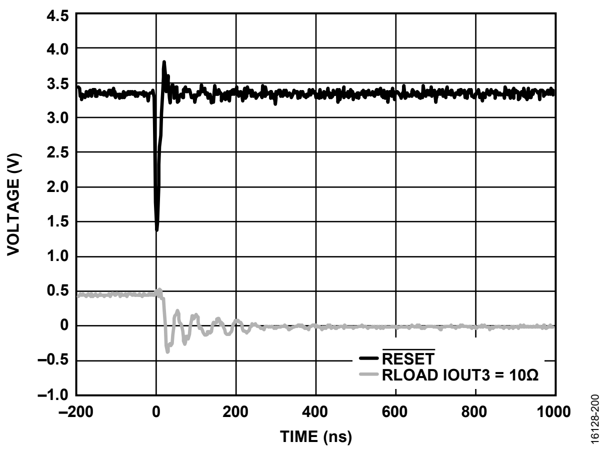

図 58. リセット・グリッチ

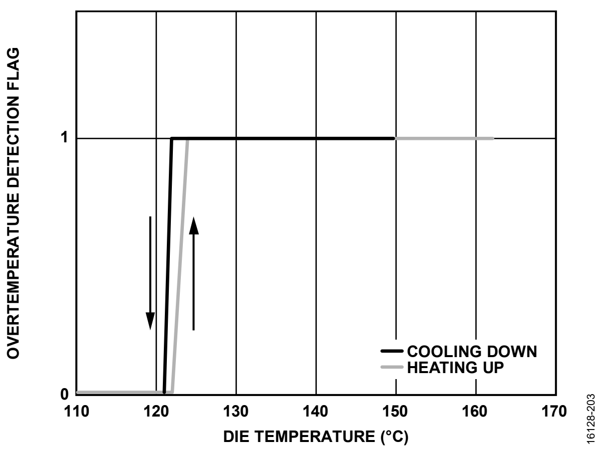

図 61. 過熱警告

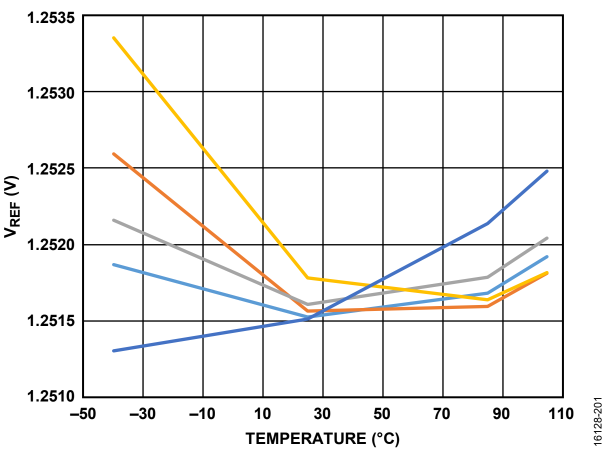

図 59. 複数のデバイスにおける V_{REF} の温度特性
（5 個の AD5770R デバイス）

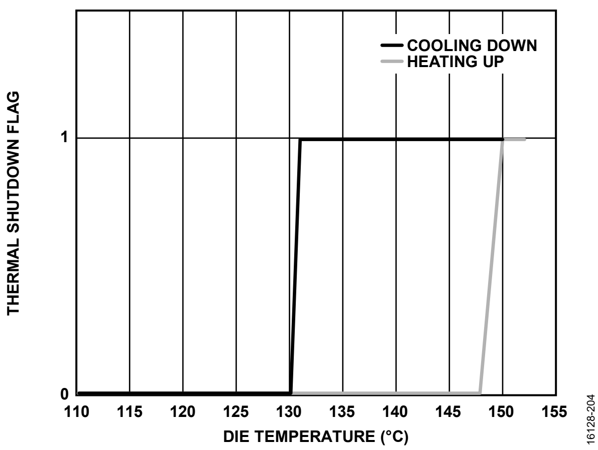

図 62. 過熱シャットダウン

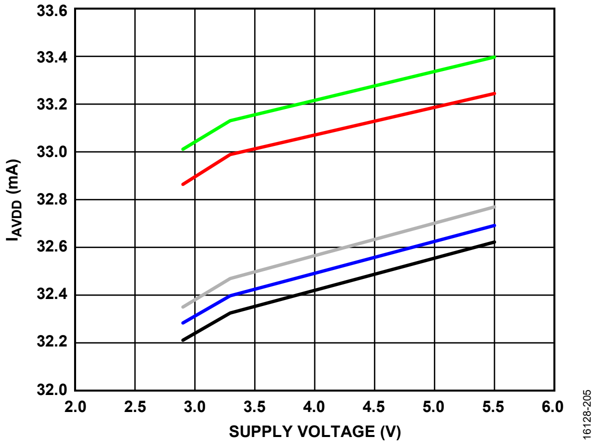

図 63. AVDD 電源電流（I_{AVDD}）と電源電圧の関係
（5 個の AD5770R デバイス）

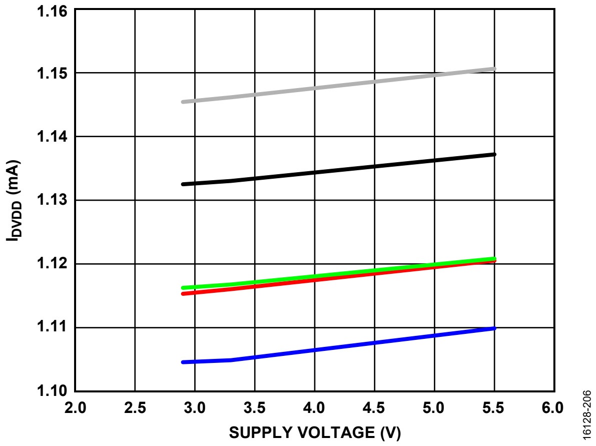

図 64. DVDD 電源電流（I_{DVDD}）と電源電圧の関係
（5 個の AD5770R デバイス）

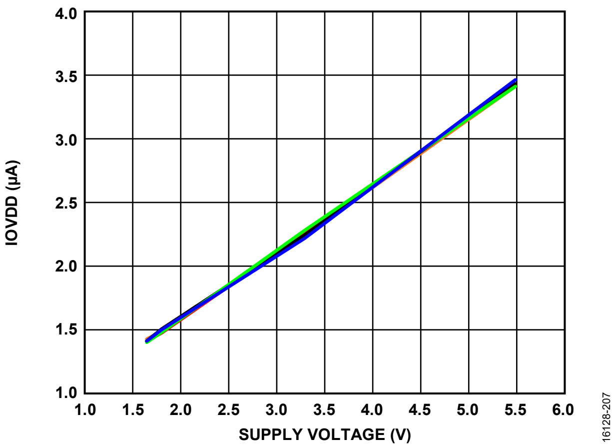

図 65. IOVDD 電源電流と IOVDD 電源電圧の関係
（5 個の AD5770R デバイス）

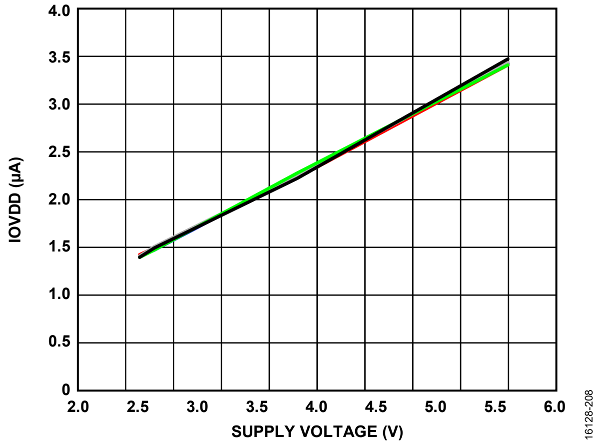

図 66. IOVDD 電源電流と IOVDD 電源電圧の関係
（5 個の AD5770R デバイス）

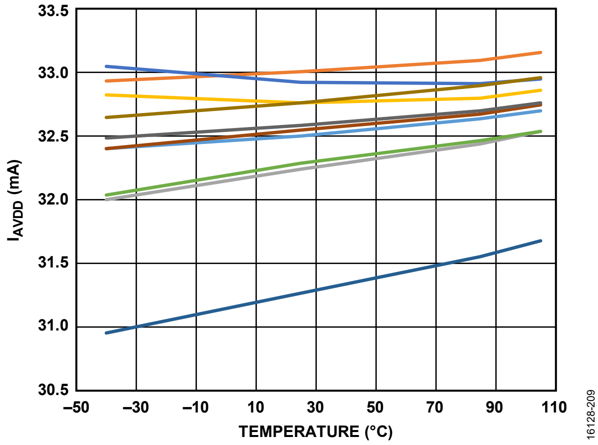

図 67. I_{AVDD} の温度特性（10 個の AD5770R デバイス）

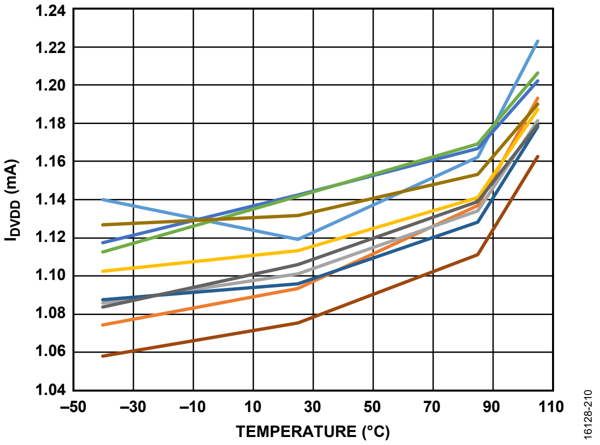

図 68. I_{DVDD} の温度特性（10 個の AD5770R デバイス）

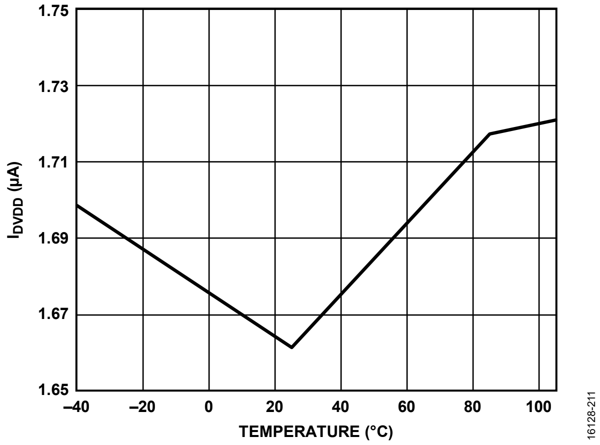

図 69. I_{DVDD} の温度特性

用語の定義

総合未調整誤差（TUE）
総合未調整誤差とは、電源、温度、時間に関連するすべての誤差（つまり、INL 誤差、オフセット誤差、ゲイン誤差、出力ドリフト）を考慮する出力誤差の計測値です。TUE の単位は% FSR です。

相対精度または積分非直線性（INL）
相対精度（積分非直線性）は、DAC の伝達関数の上下両端を結ぶ直線からの最大偏差（LSB 単位）を表します。典型的な INL 誤差と DAC コードの関係を示すプロットを図 5～図 10 に示します。

微分非直線性（DNL）
微分非直線性（DNL）は、隣接する 2 つのコードの間で測定された変化と理論的な 1LSB 変化との差を表します。微分非直線性の仕様が±1LSB 以内の場合は、単調増加性が確保されます。この DAC は設計面で単調増加性を確保しています。典型的な DNL 誤差と DAC コードの関係を示すプロットを図 11～図 16 に示します。

ゼロスケール誤差
ゼロスケール誤差は、ゼロのコード（0x0000）を DAC レジスタに読み込んだときの出力誤差を測定したものです。ゼロコード誤差の単位は μA です。

ゼロスケール誤差の温度係数
ゼロコード誤差ドリフトは、温度変化に伴うゼロコード誤差の変化を測定したもので、単位は nA/ºC です。

ゲイン誤差
ゲイン誤差は DAC のスパン誤差を表します。DAC の伝達特性の傾き（理論値）からの偏差で、単位は% FSR です。

ゲイン誤差の温度係数
ゲイン温度係数は、温度変化に伴うゲイン誤差の変化を測定したもので、単位は FSR/ºC です。

オフセット誤差
オフセット誤差は、伝達関数の線形領域における実測 $I_{OUT}x$ と理想 $I_{OUT}x$ の差で、単位は μA です。オフセット誤差は、負または正の値となります。

オフセット誤差ドリフト
オフセット誤差ドリフトは、温度変化に伴うオフセット誤差の変化を測定したもので、単位は μA/ºC です。

DC 電源電圧変動除去比（PSRR）
PSRR は、DAC 出力に対する電源電圧変化の影響を表します。PSRR は、DAC のフルスケール出力での AVDD の変化に対する $I_{OUT}x$ の変化の比で、単位は μA/V です。

出力セトリング時間
出力セトリング時間は、ゼロスケールからフルスケールまでの入力変化に対して DAC 出力が仕様規定されているレベルで安定するまでに要する時間で、$\overline{\text{LDAC}}$の立下がりエッジから測定されます。

デジタル／アナログ・グリッチ・インパルス
デジタル／アナログ・グリッチ・インパルスは、DAC レジスタの入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常は nA-sec で表されるグリッチの面積として仕様規定され、メジャー・キャリー遷移時（AD5770R では 0x1FFF から 0x2000）に、デジタル入力コードが 1LSB だけ変化したときに測定されます。

デジタル・フィードスルー
デジタル・フィードスルーは、DAC 出力が更新されていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nA-sec で仕様規定され、データ・バス上でのフルスケールのコード変更時、すなわちオール 0 からオール 1 への変更時、またはオール 1 からオール 0 への変更時に測定されます。

DC クロストーク
別の DAC 出力でのフルスケール変化に起因する 1 つの DAC の出力レベルでの DC 変化。ミッドスケールに維持された 1 つの DAC をモニタしながら、別の DAC 上でのフルスケール出力変化を使って測定します。単位は nA-sec です。

デジタル・クロストーク
デジタル・クロストークとは、ある DAC の入力レジスタにおけるフルスケール・コードの変更（オール 0 からオール 1 への変更、およびオール 1 からオール 0 への変更）に応じて、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルスのことを指します。スタンドアロン・モードで測定し、単位は nA-sec です。

DAC 間クロストーク
DAC 間クロストークとは、デジタル・コードの変更に続く、ある DAC のアナログ出力の変化に起因して、別の DAC の出力に混入するグリッチ・インパルスのことを指します。書込みコマンドと更新コマンドを使用して、影響元のチャンネルにフルスケール・コードの変更（オール 0 からオール 1 への変更、およびオール 1 からオール 0 への変更）を読み込み、ミッドスケールにある影響先のチャンネルの出力をモニタリングして測定します。グリッチのエネルギーの単位は nA-sec です。

出力ノイズ・スペクトル密度
出力ノイズ・スペクトル密度は、内部で発生するランダム・ノイズを測定したものです。ランダム・ノイズは、スペクトル密度（$nA/\sqrt{Hz}$）として特性評価されます。DAC にミッドスケールを読み込み、その出力で発生するノイズを測定します。単位は $nA/\sqrt{Hz}$ です。

マルチプレクサ・スイッチング・グリッチ
マルチプレクサ・スイッチング・グリッチは、異なるチャンネルをモニタするために監視マルチプレクサが変更されたときに、DAC のアナログ出力に入り込むインパルスの大きさを表します。

AC 電源変動除去比（AC PSRR）
AC 電源変動除去比は、DAC に加えられる電源の AC 変化を、出力電流においてどの程度除去できるかを表す値です。AC PSRR は電源電圧における所定の振幅と周波数の変化に対して測定され、デシベルで表されます。

動作原理

D/A コンバータ

AD5770R は 6 チャンネル、14 ビット、シリアル入力、電流出力の DAC で、複数の低ノイズ出力電流範囲を高い電力効率で提供することができます。6 個の DAC は、それぞれセグメント分割されたカレントステアリング型アーキテクチャを採用しています。これは、コード変更時のグリッチを低く抑えるために選ばれたアーキテクチャです。

高精度のリファレンス電流生成

AD5770R には、4 つの DAC コアすべてに 500µA の高精度リファレンス電流が必要で、これは 1.25V の電圧リファレンスと 2.5kΩ の高精度 R_{SET} 抵抗を使用して生成されます。AD5770R は、このために 1.25V の電圧リファレンスと 2.5kΩ の高精度 R_{SET} 抵抗を内蔵しています。また、外部電圧リファレンスと外付けの高精度 R_{SET} 抵抗を使用してリファレンス電流を生成することもできます。電圧リファレンスと高精度 R_{SET} 抵抗は、総合的な IDACx ゲイン誤差とゲイン誤差ドリフトを最小限に抑えることができるように、低ノイズ、高精度、低温度ドリフトのものを選ぶようにしてください。内部リファレンスと内部 R_{SET} 抵抗を使用した場合、および外部 1.25V リファレンスと外付けの高精度 R_{SET} 抵抗を使用した場合の両方について、AD5770R の性能仕様の概要を表 1 に示します。

電圧リファレンス

AD5770R では、外部電圧リファレンスを使用して高精度のリファレンス電流を生成することができます。外部リファレンス電圧は 1.25V または 2.5V とすることができ、これはリファレンス・レジスタの REFERENCE_VOLTAGE_SEL ビットへの書込みによって設定します。2.5V 外部電圧リファレンス・オプションを選択した場合は、内部分圧器が電圧を下げて必要な 1.25V を生成します。

デバイスのパワーアップ時は、外部 2.5V リファレンス電圧オプションが選択されます。

AD5770R は低ノイズ、15ppm/ºC、1.25V のオンチップ電圧リファレンスを内蔵しており、これを電圧リファレンスとして使用することができます。オンチップ・リファレンスはデフォルトではオフになっており、リファレンス・レジスタの REFERENCE_VOLTAGE_SEL ビットで内部リファレンスを選択することでイネーブルされます。

バッファされた 1.25V の内部リファレンス電圧は、VREF_IO ピンによりシステム・リファレンスとして使用できます。

使用する電圧リファレンス方式に関わらず、仕様で規定された性能を得るには、CREF ピンと AGND の間に 100nF のコンデンサを接続することを推奨します。基本的な電圧リファレンス構成の簡略化した回路図を図 70 に示します。

内部 1.25V リファレンスを選択して VREF_IO ピンで使用できるようにした場合は、スイッチ SWA1 と SWA2 を閉じて、スイッチ SWA3 をスイッチ SWA2 に接続します。

内部 1.25V リファレンスを選択しても VREF_IO ピンで使用できるようにしない場合は、スイッチ SWA1 を開いてスイッチ SWA2 を閉じ、スイッチ SWA3 をスイッチ SWA2 に接続します。

外部 1.25V リファレンス・オプションを選択した場合は、スイッチ SWA1 を閉じてスイッチ SWA2 を開き、スイッチ SWA3 をスイッチ SWA2 に接続します。

外部 2.5V リファレンス・オプションを選択した場合は、図 70 に示すようにスイッチ SWA1 と SWA2 を開き、スイッチ SWA3 を抵抗分圧器に接続しください。

高精度 R_{SET} 抵抗

AD5770R は、リファレンス電流の生成に使用できるオンチップの 2.5kΩ（10ppm/ºC、0.1%）高精度 R_{SET} 抵抗を内蔵しています。必要な場合は、外付けの高精度 R_{SET} 抵抗を使ってリファレンス電流を生成することもできます。内部リファレンス抵抗と外部リファレンス抵抗のどちらを使用するかの選択は、リファレンス・レジスタの REFERENCE_RESISTOR_SEL ビットへの書込みによって行います。AD5770R のパワーアップ時は、内部高精度 R_{SET} 抵抗が選択されます。

AD5770R は、外部抵抗を使用するときのためにフォールト保護回路を内蔵しています。また、外部抵抗オプションを選択した場合で、外部抵抗が最低仕様を満たしていない場合、AD5770R は自動的に外部抵抗から内部抵抗への切り替えを行います。SWB1 の変更によるリファレンス抵抗の設定方法を示す簡略回路図を、図 70 に示します。

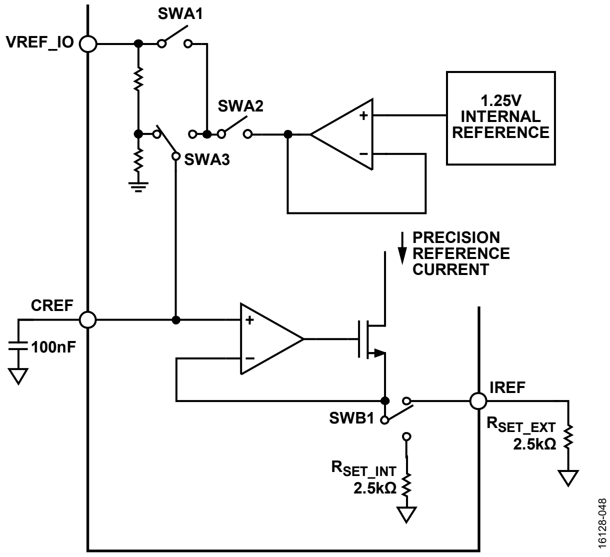

図 70. AD5770R のリファレンス・オプション

診断モニタリング

AD5770R の診断機能を使用すれば、デバイスの出力コンプライアンス電圧、出力電流、内部ダイ温度をモニタすることができます。出力電流と内部ダイ温度を表す出力コンプライアンス電圧は、チップ上でマルチプレクスされて MUX_OUT ピンに出力されますが、これは外部 ADC を使って測定できます。

診断モニタリングはパワーアップ時に無効化されますが、MONITOR_SETUP レジスタの MON_FUNCTION ビットへの書込みによって有効化できます。

AD5770R のマルチプレクサ出力には、システム設計を容易にするための電圧バッファが組み込まれています。マルチプレクサ・バッファは、パワーアップ時にディスエーブルされてバイパスされます。マルチプレクサ・バッファは、MONITOR_SETUP レジスタの MUX_BUFFER ビットをセットすることでイネーブルされます。

コンプライアンス電圧モニタリング

MONITOR_SETUP レジスタの MON_FUNCTION ビットが出力電圧モニタリングを選択するように設定されている場合は、選択した DAC チャンネルの出力コンプライアンス電圧がマルチプレクスされて MUX_OUT ピンに出力されます。モニタする IDACx チャンネルは、MONITOR_SETUP レジスタの MON_CH ビットを使って選択します。

出力電流モニタリング

MONITOR_SETUP レジスタの MON_FUNCTION ビットによって出力電流モニタリングが選択されている場合は、選択した DAC チャンネルの出力電流を電圧で表した値がマルチプレクスされて、MUX_OUT ピンに出力されます。出力電流は、電流源モードでのみモニタできます。モニタする IDACx チャンネルは、MONITOR_SETUP レジスタの MON_CH ビットを使って選択します。

出力電流は次式によって計算します。

$$I_{SOURCE} = \frac{I_{FULLSCALE} \times \left(V_{MUX} - V_{OS}\right)}{400\ \text{mV}} \tag{1}$$

ここで、
I_{SOURCE} はソースする出力電流、
$I_{FULLSCALE}$ はフルスケール出力電流、
V_{MUX} は MUX_OUT ピンの測定電圧、
V_{OS} はモニタ・オフセット電圧で、公称値は 28mV です。

未補正時の電流モニタリング機能の精度は、フルスケール出力範囲の 10%以内です。電流モニタ機能の精度を向上させるには、ゼロスケール時の MUX_OUT ピンの電圧を測定することによって、V_{OS} を補正します。400mV 項を補正するには、フルスケール時の MUX_OUT ピンの電圧を測定します。

チャンネル 1 における 0mA～140mA の低ヘッドルーム・モードでは、$I_{FULLSCALE}$ の値を 250mA とします。

内部ダイ温度モニタリング

MONITOR_SETUP レジスタで温度モニタリングを選択すると、内部ダイ温度を表す電圧がマルチプレクスされて MUX_OUT ピンに出力されます。内部ダイ温度をモニタするには、精密電流をチップ上のダイオードに流し、このダイオードの電圧をマルチプレクスして MUX_OUT ピンに出力します。温度モニタリング機能に外部バイアス電流を使用する場合は、MONITOR_SETUP レジスタの IB_EXT_EN ビットをセットしてください。外部バイアス電流は MUX_OUT ピンに加える必要があります。温度モニタリングに外部バイアス電流を使用する場合は、マルチプレクサ・バッファをバイパスしてください。

内部ダイ温度は、IB_EXT_EN ビットをローに設定し、内部バイアス電流を使用して以下のように計算します。

$$T = \frac{700\ \text{mV} - V_D}{1.8\ \text{mV}} + 25 \tag{2}$$

ここで、
T はダイ温度（ºC）、
V_D はダイオード電圧です。

内部ダイ温度は、IB_EXT_EN ビットをハイに設定し、100µA の外部バイアス電流を使って以下のように計算できます。

$$T = \frac{880\ \text{mV} - V_D}{1.3\ \text{mV}} + 25 \tag{3}$$

IB_EXT_EN ビットをハイに設定して 200µA の外部バイアス電流を使用する場合、ダイ温度は以下のように計算できます。

$$T = \frac{1.04\ \text{V} - V_D}{0.9\ \text{mV}} + 25 \tag{4}$$

シリアル・インターフェース

AD5770R は 4 線式（$\overline{\text{CS}}$、SCLK、SDI、SDO）インターフェースを持ち、SPI、QSPI、および MICROWIRE インターフェース規格、およびほとんどのデジタル信号プロセッサ（DSP）と互換性があります。

読出しと書込み両方の SPI トランザクションにおいては、SCLK の立上がりエッジでデータが有効にならなければなりません（SCLK クロック極性＝0、SCLK クロック位相＝0）。データは、すべての SPI トランザクションで MSB ファーストにシフトされます。デバイスとの通信は、2 つの異なる動作フェーズに分けて行われます。最初の段階は命令フェーズで、これはデバイスの動作を開始するために使われます。次のフェーズがデータ・フェーズで、このフェーズでは命令フェーズに対する応答として、操作するデバイスにデータが渡されるか、デバイスからデータが渡されます。これらの SPI トランザクション・フェーズを図 71 に示します。

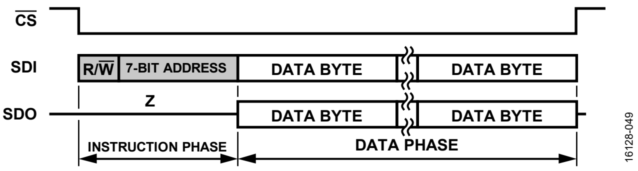

図 71. SPI トランザクション・フェーズ

命令フェーズ

命令フェーズは、SPI トランザクションを開始する $\overline{\text{CS}}$ の立下がりエッジ直後に実行されます。命令フェーズは、読出し／書込みビット（R/$\overline{\text{W}}$）と、その後に続くレジスタ・アドレス・ワードで構成されます。R/$\overline{\text{W}}$ をハイに設定すると読出し命令が選択され、R/$\overline{\text{W}}$ をローに設定すると書込み命令が選択されます。アドレス・ワードは 7 ビット長です。命令フェーズにおいて送られるレジスタ・アドレスは、書込みまたは読出しの開始アドレスとして使われます。レジスタとその対応アドレスのすべてを表 12 と表 13 に示します。

データ・フェーズ

データ・フェーズは命令フェーズの直後に続きます。書込み命令がデバイスに送られると、選択したレジスタ位置にデータが書き込まれます。読出し命令がデバイスに送られると、選択したレジスタ位置に保存されたデータが SDO ピンにシフトアウトされます。

SPI フレームの同期

CSピンは、SPI トランザクションの際にデータをフレーム化するために使われます。CSの立下がりエッジは SPI トランザクションを開始します。SPI トランザクション中に CSをデアサートすると、データ転送の一部またはすべてが終了します。命令フェーズの完了前に CSがデアサートされると（ハイに戻ると）トランザクションはアボートし、AD5770R はレディ・ステートに戻ります。また、最初のデータ・ワードの書込み前に CSがデアサートされるとトランザクションはアボートし、AD5770R はレディ・ステートに戻ります。1 つ以上のデータ・ワードの書込み完了後に CSがデアサートされた場合、それらの書込み完了データ・ワードについては書込みまたは読出しが行われますが、書込み途中のデータ・ワードはアボートされます。

ストリーミング・モード

CSピンはローに維持可能で、データ・フェーズにおいて複数のデータ・バイトをシフトすることができるので、データ転送に伴うオーバーヘッドの量を減らすことができます。この動作モードはストリーミング・モードと呼ばれます。ストリーミング・モードのときは、各データ・バイトの処理が完了するごとに、命令フェーズで送られたレジスタ・アドレスが自動的にインクリメントまたはデクリメントされます。INTERFACE_CONFIG_A レジスタの ADDR_ASCENSION_MSB ビットと ADDR_ASCENSION_LSB ビットは、アドレスをインクリメントするかデクリメントするかを選択します。デフォルト動作では、データのストリーミング時にアドレスがデクリメントされます。ストリーミング・モードの SPI 書込みトランザクションを図 72 に示します。この場合は、単一の命令バイトだけを使って 6 個の DAC 入力レジスタにアクセスします。レジスタ・アドレスは、各データ・バイトの処理が完了するごとに自動的にデクリメントされます。ストリーミング・モードの SPI 読出しトランザクションを図 73 に示します。この場合は、デクリメントするアドレスを使って 6 個の入力レジスタにアクセスします。

単一命令モード

INTERFACE_CONFIG_B レジスタ内に単一命令ビットがセットされているときはストリーミング・モードが有効になり、AD5770R は単一命令モードになります。単一命令モードでは、CSがデアサートされた場合と同様にデータ・フェーズ後に内部 SPI ステート・マシンがリセットされて、次の命令の待ち受け状態になります。単一命令モードでは、SPI マスタによって CSラインがデアサートされていなくても、各データ・フェーズの前に新しい命令フェーズが設定されます。単一命令モードでは、各データ・バイトの後に CSラインをデアサートしなくても、1 つの同期フレームで 1 つまたは複数のレジスタにアクセスすることができます。このビットのデフォルトはクリアされた状態で、この場合はストリーミング・モードが有効になります。

単一命令モードでの SPI トランザクションを図 74 に示します。この場合は以下の一連のイベントが実行されます。

1. チャンネル 1 の出力範囲を設定。
2. チャンネル 1 の出力をイネーブル。
3. チャンネル 1 の DAC レジスタへ書き込み。
4. スタータス・レジスタを読み出し。

マルチバイト・レジスタ

マルチバイト・レジスタへ書込みを行う場合は、書込みを有効にするために、トランザクション全体を通じて CSをローに維持する必要があります。使用するアドレスは最上位バイトのアドレスとします。また、INTERFACE_CONFIG_A レジスタの ADDR_ASCENSION_MSB ビットと ADDR_ASCENSION_LSB ビットをクリアしてください。これは単一命令モードとストリーミング・モードの両方で、すべてのマルチバイト・レジスタの読出しまたは書込みに適用されます。マルチバイト・レジスタへのアクセスを図 75 に示します。AD5770R には、以下に示す 14 個のマルチバイト・レジスタがあります。

- 入力レジスタ 6 個。
- DAC レジスタ 6 個。
- 入力ページ・マスク・レジスタ 1 個。
- DAC ページ・マスク・レジスタ 1 個。

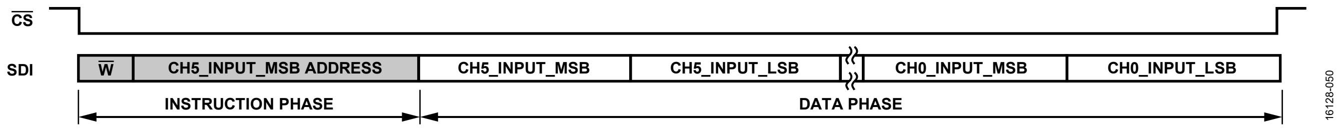

図 72. ストリーミング・モードでの SPI 書込みトランザクション（アドレスをデクリメント）

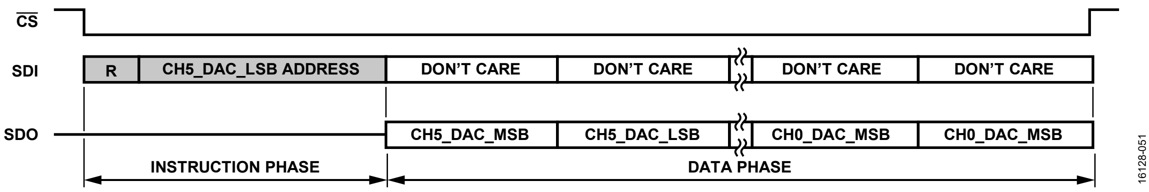

図 73. ストリーミング・モードでの SPI 読出しトランザクション（アドレスをデクリメント）

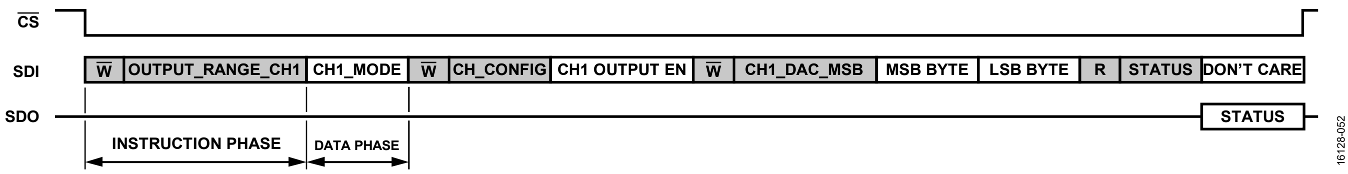

図 74. 単一命令モードでの SPI トランザクション

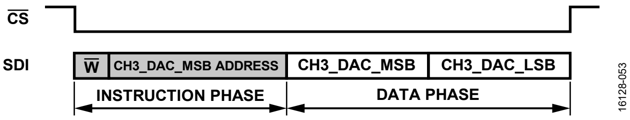

図 75. マルチバイト・レジスタ書込み

リセット機能

AD5770R には非同期 RESETピンがあります。通常動作時は、RESETをハイに接続します。RESETピンを少なくとも 10ns ロジック・ローにアサートすると、すべてのレジスタがデフォルト値にリセットされます。リセットに要する時間は最大で 100ns です。この時間内にデータをデバイスに書き込むことはできません。

AD5770R にはソフトウェア・リセット機能があり、これは RESETピンと同じ働きをしますが、INTERFACE_CONFIG_A レジスタをリセットしない点が異なります。リセット機能は、INTERFACE_CONFIG_A レジスタの SW_RESET_MSB ビットと SW_RESET_LSB ビットをセットすることによってアクティブになります。SW_RESET_MSB ビットと SW_RESET_LSB ビットは、ソフトウェア・リセット時に自動的にクリアされます。

ステータス・レジスタの TEMP_WARNING ビットがハイのときは、リセット機能を使わないでください。デバイスが内部メモリから正しいトリム値を読み出すようにしてください。

DAC のロード

AD5770R の DAC は、複数の DAC コード用ダブル・バッファ付きのレジスタで構成されています。DAC 出力を変更せずに、1 つまたは多数のチャンネルのデータを入力レジスタに書き込むことができます。デバイスに対して DAC ロード・コマンドを発行すると、入力レジスタの内容が DAC レジスタに転送されて、DAC 出力が更新されます。

ハードウェアLDACピン

AD5770R にはアクティブ・ローの LDACピンがあり、これによって DAC 出力の更新を同期することができます。LDACをハイに保持すると、出力に影響を与えることなく、DAC の入力レジスタに DAC コードを書き込むことができます。LDACをローにすると、入力レジスタの内容が対応チャンネルの DAC レジスタに転送されて、出力が更新されます。LDACのアイドル・ハイ動作を図 2 に示します。

新しい SPI トランザクションが開始されて入力レジスタの内容が変更される前に、CSの最終立上がりエッジ前で LDACピンをローに維持すると、DAC 入力レジスタの LSB の書込み時に DAC 出力が更新されます。LDACのアイドル・ロー動作を図 2 と図 3 に示します。

一部のチャンネルまたはすべてのチャンネルの LDACピン機能は、HW_LDAC レジスタ内の対応する HW_LDAC_MASK_CHx ビットをハイに設定することによってマスクできます。これは、一部のチャンネルだけを選択して同時に更新する必要がある場合に便利です。

ソフトウェアLDAC

SW_LDAC レジスタへの書込みによって、一部またはすべての入力レジスタのデータを対応する DAC レジスタへ転送することができます。これは、一部のチャンネルだけを選択して同時に更新する必要がある場合に便利です。

任意のチャンネル用の SW_LDAC レジスタをセットすると、選択したチャンネルの DAC レジスタを入力レジスタの内容で更新することができます。ソフトウェア LDAC動作後は、SW_LDAC レジスタの内容がクリアされて 0x00 になります。

入力ページ・マスク・レジスタ

入力ページ・マスク・レジスタへの書込みに続いて、このレジスタにロードされたコードが、CH_SELECT レジスタで選択されたすべてのチャンネルの入力レジスタ内にコピーされます。

DAC ページ・マスク・レジスタ

DAC ページ・マスク・レジスタへの書込みに続いて、このレジスタにロードされた DAC コードが、CH_SELECT レジスタで選択されたすべてのチャンネルの DAC レジスタ内にコピーされます。

出力段

AD5770R の 6 つのチャンネルのそれぞれには、必要な出力電流を設定するプログラマブル電流出力段があります。

チャンネル 0 シンク電流ジェネレータ

チャンネル 0 に電流をシンクするには、CHANNEL_CONFIG レジスタ内の CH0_SINK_EN ビットを 1 に設定することによって、シンク電流ジェネレータをイネーブルする必要があります。パワーアップ時には、シンク電流ジェネレータがイネーブルされます。

出力シャットダウン

パワーアップ時には、各チャンネルの出力がシャットダウン・モードになります。DAC 出力がシャットダウン・モードにあるときは、出力電流が 0mA に設定されます。ただし、各 IDACx チャンネルのバイアス回路はパワーアップされたままで、出力だけがシャットダウンされます。各レジスタのシャットダウン・ビットは、CHANNEL_CONFIG レジスタ内にあります。DAC チャンネルの出力モードを変更するときは、出力にグリッチが生じるのを防ぐために、そのチャンネルの出力段をシャットダウンする必要があります。

チャンネル 0

AD5770R のチャンネル 0 は最大 60mA の電流をシンクし、最大 300mA の電流をソースします。このチャンネルには、3 つの異なる動作モードがあります。OUTPUT_RANGE_CH0 レジスタの CH0_MODE ビットは、このモードを設定します。チャンネル 0 の設定オプションを表 8 に示します。

パワーアップ時には、チャンネル 0 の電流範囲はデフォルトで 0mA～300mA になります。
チャンネル 0 には、−60mA～0mA のシンク専用モードがあります。このモードでは−60mA が DAC のゼロスケール出力で、0mA がフルスケール出力です。出力にグリッチを発生させることなく安全にこのモードにするには、CHANNEL_CONFIG レジスタの CH0_SHUTDOWN_B をハイに設定することによって、最初に出力をシャットダウンする必要があります。
チャンネル 0 にはソース・アンド・シンク・モードがあり、−60mA が DAC のゼロスケール出力で、+300mA がフルスケール出力です。チャンネル 0 の出力グリッチを減らすには、出力をシャットダウン状態から復帰させて作動させる前に、CH0_MODE を設定する必要があります。

チャンネル 1

チャンネル 1 は、0mA～140mA、または 0mA～250mA をソースするように設定できます。チャンネル 1 のフルスケール出力範囲は、OUTPUT_RANGE_CH1 レジスタの CH1_MODE ビットへの書込みによって設定する必要があります。0mA～250mA 範囲に加えて、チャンネル 1 には 2 つの 0mA～140mA 範囲があります。チャンネルの設定は、ノイズおよび PSRR を改善したりヘッドルームを減らしたりするように最適化できます。チャンネル 1 の設定オプションを表 8 に示します。

チャンネル 2

チャンネル 2 は、0mA～55mA、または 0mA～150mA をソースするように設定できます。チャンネル 2 のフルスケール出力範囲は、OUTPUT_RANGE_CH2 レジスタの CH2_MODE ビットへの書込みによって設定する必要があります。チャンネル 2 の設定オプションを表 8 に示します。

チャンネル 3 からチャンネル 5

AD5770R のチャンネル 3、チャンネル 4、チャンネル 5 は、0mA～45mA、または 0mA～100mA をソースするように設定できます。チャンネル 3、チャンネル 4、チャンネル 5 のフルスケール出力範囲は、OUTPUT_RANGE_CH3 レジスタの CH3_MODE ビット、OUTPUT_ RANGE_CH4 レジスタの CH4_MODE ビット、および OUTPUT_RANGE_CH5 レジスタの CH5_MODE ビットへの書込みによって設定する必要があります。チャンネル 3、チャンネル 4、チャンネル 5 の設定オプションを表 8 に示します。

表 8. 出力範囲モード・レジスタの設定

Channel	Mode Bit Name	Mode	Zero-Scale Output (mA)	Full-Scale Output (mA) [1]	Minimum Headroom (mV)	Comments
Channel 0	CH0_MODE	0x0	0	300	450	
		0x1	−60	0	0[2]	
		0x2	−60	300	450[2]	
Channel 1	CH1_MODE	0x1	0	140	275	Low headroom
		0x2	0	140	450	Low noise and PSRR
		0x3	0	250	450	
Channel 2	CH2_MODE	0x0	0	55	275	
		0x1	0	150	275	
Channel 3	CH3_MODE	0x0	0	45	275	
		0x1	0	100	275	
Channel 4	CH4_MODE	0x0	0	45	275	
		0x1	0	100	275	
Channel 5	CH5_MODE	0x0	0	45	275	
		0x1	0	100	275	

[1] 出力電流スケーリング機能は無効。詳細については、出力電流スケーリングのセクションを参照してください。
[2] 電流をシンクするときは、PVEE0 電源から 500mV のフットルームが必要です。

出力フィルタ

AD5770R の各チャンネルには、フィルタリング用にユーザー設定可能な可変抵抗が出力段に組み込まれています。この出力フィルタ抵抗は、CDAMP_IDACx ピンに接続した 10nF の外付けコンデンサと共にローパス RC フィルタを形成します。OUTPUT_FILTER_CH0x レジスタにロードされた値は、可変抵抗の値を設定します。各抵抗設定のカットオフ周波数を表 9 に示します。

表 9. IDACx フィルタの帯域幅制御設定

OUTPUT_FIILTER_CHx Setting	Resistor Value	Cutoff Frequency
0x0	60 Ω	262 kHz
0x5	5.6 kΩ	2.8 kHz
0x6	11.2 kΩ	1.4 kHz
0x7	22.2 kΩ	715 Hz
0x8	44.4 kΩ	357 Hz
0x9	104 kΩ	153 Hz

出力電流スケーリング

電流源モードのみのときは、AD5770R の各チャンネルのフルスケール出力電流を、公称フルスケール電流の 1/2 までスケーリングして、14 ビットの単調性を維持することができます。

すべてのチャンネルのフルスケール出力は、OUTPUT_RANGE_CHx レジスタの CHx_OUTPUT_SCALING ビットへの書込みによって設定できます。CHx_OUTPUT_SCALING ビットにロードされた値は、フルスケール電流をスケーリングする乗数を決定します。IDACx チャンネルの調整後のフルスケール電流は次式で計算されます。

$$I_{ADJ} = I_{NOM} \times \left(1 - \frac{x}{128}\right) \quad (5)$$

ここで、
I_{ADJ} は調整後のフルスケール出力電流、
I_{NOM} は公称フルスケール出力電流、
x は出力スケーリング・レジスタにロードされたコードで、$0 \leq x \leq 63$ です。

スケーリング機能を使って実現可能な出力電流範囲の一覧については、表 10 を参照してください。

$\overline{\text{ALARM}}$

AD5770R には様々なフォールト・アラート機能があり、このアラート信号は $\overline{\text{ALARM}}$ ピンとステータス・レジスタを介して伝達されます。アクティブ・ローの $\overline{\text{ALARM}}$ ピンは、ALARM_CONFIG レジスタの OPEN_DRAIN_EN ビットをセットすることによってオープンドレイン出力として設定でき、その場合はグローバル・フォールト検出のために複数のデバイスをまとめて 1 つのプルアップ抵抗に接続することが可能になります。$\overline{\text{ALARM}}$ ピンのオープンドレイン・モードは、パワーアップ時には無効化されます。

バックグラウンド CRC エラー

AD5770R は、メモリ・ビットが壊れていないことを確認するために、オンチップ・レジスタのステータスに関する巡回冗長検査（CRC）を周期的に行います。発生確率は高くありませんが、バックグラウンド CRC エラーが発生した場合は $\overline{\text{ALARM}}$ ピンがアクティブになり、ステータス・レジスタの BACKGROUND_CRC_STATUS ビットがハイに設定されます。このステータス・レジスタを読み込むと、$\overline{\text{ALARM}}$ ピンがデアサートされます。BACKGROUND_CRC_STATUS ビットをクリアするには、ハードウェア・リセットまたはソフトウェア・リセットが必要です。$\overline{\text{ALARM}}$ ピンは、ALARM_CONFIG レジスタの BACKGROUND_CRC_ALARM_MASK ビットをセットすることによって、バックグラウンド CRC エラーを無視するように設定できます。

過熱警告とシャットダウン

動作中の過熱によるデバイスの損傷を防ぐために、AD5770R には過熱警告アラート機能と過熱シャットダウン・アラート機能が組み込まれています。

内部ダイ温度が約 125ºC に達すると $\overline{\text{ALARM}}$ ピンがアクティブになり、ステータス・レジスタの TEMP_WARNING ビットがハイに設定されます。$\overline{\text{ALARM}}$ ピンをデアサートするには、ステータス・レジスタを読み出す必要があります。

内部ダイ温度が約 145ºC に達すると $\overline{\text{ALARM}}$ ピンがアクティブになり（まだアクティブになっていなかった場合）、ステータス・レジスタの OVER_TEMP ビットがハイに設定されます。$\overline{\text{ALARM}}$ ピンをデアサートするには、ステータス・レジスタを読み出す必要があります。

ALARM_CONFIG レジスタの THERMAL_SHUTDOWN_EN ビットがハイに設定された場合、デバイスは過熱から保護するために出力段をシャットダウンします。出力は、デバイスに対してソフトウェア・リセットまたはハードウェア・リセットが行われるまでシャットダウンされたままになります。

ステータス・レジスタの TEMP_WARNING フラグと OVER_TEMP フラグは、デバイス温度が約 120ºC 未満に戻るとクリアされます。内部メモリからの正常なデータ・ダウンロードを確保するには、ステータス・レジスタの TEMP_WARNING ビットがハイのときにリセット機能が実行されないようにする必要があります。

$\overline{\text{ALARM}}$ ピンは、ALARM_CONFIG レジスタの OVER_TEMP_ALARM_MASK ビットと TEMP_WARNING_ALARM_MASK ビットを設定することによって、過熱フォールトと過熱警告を無視するように設定することができます。

負のコンプライアンス電圧

AD5770R の IDAC0 ピンのコンプライアンス電圧は、電流シンク時には負の値とすることができます。AD5770R は、MUX_OUT ピンに接続した外部ユニポーラ ADC を保護するために、負コンプライアンス電圧アラート機能を備えています。

IDAC0 の電圧が負のときにチャンネル 0 の電圧モニタリングを有効にした場合は、以下の一連のイベントが実行されます。

1. $\overline{\text{ALARM}}$ ピンがアクティブになります。
2. MUX_OUT ピンがディスエーブルされます。
3. ステータス・レジスタの NEGATIVE_CHANNEL0 ビットがセットされます。

ALARMピンをデアサートするには、ステータス・レジスタを読み出す必要があります。

チャンネル 0 の電圧モニタリングが有効にされた後で IDAC0 の電圧が負になった場合は、以下の一連のイベントが実行されます。

1. ALARMピンがアクティブになります。
2. MUX_OUT ピンが PVDD0 と同じ電圧に設定されます。
3. ステータス・レジスタの NEGATIVE_CHANNEL0 ビットがセットされます。

ALARMピンをデアサートするには、ステータス・レジスタを読み出す必要があります。

ALARM ピンは、ALARM_CONFIG レジスタの NEGATIVE_CHANNEL0_ALARM_MASK ビットをセットすることによって、負コンプライアンス電圧警告を無視するように設定できます。

IREF フォールト

外部 R_{SET} 抵抗オプションを選択する場合は、外部 R_{SET} 抵抗の生成するリファレンス電流が大きすぎてデバイスを損傷させるようなことがないように抵抗値を設定することが重要です。AD5770R には、リファレンス電流値が大きすぎる場合にデバイスを保護する内部保護回路が組み込まれています。

リファレンス電流が大きすぎることが保護回路によって検出されると、以下のイベントが実行されます。

1. 保護回路によって内部 R_{SET} 抵抗に切り替えられます。
2. ALARMピンがアクティブになります。
3. ステータス・レジスタの IREF_FAULT ビットがセットされます。

ALARMピンをデアサートするには、ステータス・レジスタを読み出す必要があります。ALARMピンは、ALARM_CONFIG レジスタの IREF_FAULT_ALARM_MASK ビットをセットすることによって、IREF エラーを無視するように設定できます。

表 10. すべてのスケーリング・コード値に対するフルスケール出力電流

Scaling Code	Channel 0, 0 mA to 300 mA Range	Channel 1, 0 mA to 140 mA Range	Channel 1, 0 mA to 250 mA Range	Channel 2, 0 mA to 55 mA Range	Channel 2, 0 mA to 150 mA Range	Channel 3 to Channel 5, 0 mA to 45 mA Range	Channel 3 to Channel 5, 0 mA to 100 mA Range
0 (Default)	300	140	250	55	150	45	100
1	298	139	248	55	149	45	99
2	295	138	246	54	148	44	98
3	293	137	244	54	146	44	98
4	291	136	242	53	145	44	97
5	288	135	240	53	144	43	96
6	286	133	238	52	143	43	95
7	284	132	236	52	142	43	95
8	281	131	234	52	141	42	94
9	279	130	232	51	139	42	93
10	277	129	230	51	138	41	92
11	274	128	229	50	137	41	91
12	272	127	227	50	136	41	91
13	270	126	225	49	135	40	90
14	267	125	223	49	134	40	89
15	265	124	221	49	132	40	88
16	263	123	219	48	131	39	88
17	260	121	217	48	130	39	87
18	258	120	215	47	129	39	86
19	255	119	213	47	128	38	85
20	253	118	211	46	127	38	84
21	251	117	209	46	125	38	84
22	248	116	207	46	124	37	83
23	246	115	205	45	123	37	82
24	244	114	203	45	122	37	81
25	241	113	201	44	121	36	80
26	239	112	199	44	120	36	80
27	237	110	197	43	118	36	79
28	234	109	195	43	117	35	78
29	232	108	193	43	116	35	77
30	230	107	191	42	115	34	77
31	227	106	189	42	114	34	76
32	225	105	188	41	113	34	75

Scaling Code	Channel 0, 0 mA to 300 mA Range	Channel 1, 0 mA to 140 mA Range	Channel 1, 0 mA to 250 mA Range	Channel 2, 0 mA to 55 mA Range	Channel 2, 0 mA to 150 mA Range	Channel 3 to Channel 5, 0 mA to 45 mA Range	Channel 3 to Channel 5, 0 mA to 100 mA Range
33	223	104	186	41	111	33	74
34	220	103	184	40	110	33	73
35	218	102	182	40	109	33	73
36	216	101	180	40	108	32	72
37	213	100	178	39	107	32	71
38	211	98	176	39	105	32	70
39	209	97	174	38	104	31	70
40	206	96	172	38	103	31	69
41	204	95	170	37	102	31	68
42	202	94	168	37	101	30	67
43	199	93	166	37	100	30	66
44	197	92	164	36	98	30	66
45	195	91	162	36	97	29	65
46	192	90	160	35	96	29	64
47	190	89	158	35	95	28	63
48	188	88	156	34	94	28	63
49	185	86	154	34	93	28	62
50	183	85	152	34	91	27	61
51	180	84	150	33	90	27	60
52	178	83	148	33	89	27	59
53	176	82	146	32	88	26	59
54	173	81	145	32	87	26	58
55	171	80	143	31	86	26	57
56	169	79	141	31	84	25	56
57	166	78	139	31	83	25	55
58	164	77	137	30	82	25	55
59	162	75	135	30	81	24	54
60	159	74	133	29	80	24	53
61	157	73	131	29	79	24	52
62	155	72	129	28	77	23	52
63	152	71	127	28	76	23	51

アプリケーション情報

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5770R のインターフェースは、DSP やマイクロコントローラとの互換性を備えた標準プロトコルを使用するシリアル・バスを介して形成されます。この通信チャンネルでは、クロック信号、データ入力信号、データ出力信号、同期信号で構成される 4 線式のシリアル・インターフェースが必要です。

AD5770R の SPI インターフェース

AD5770R の SPI インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるように設計されています。ADuCM320 に接続した AD5770R を図 76 に示します。ADuCM320 は、AD5770R の SPI ピンに直接接続できる SPI ポートを内蔵しています。

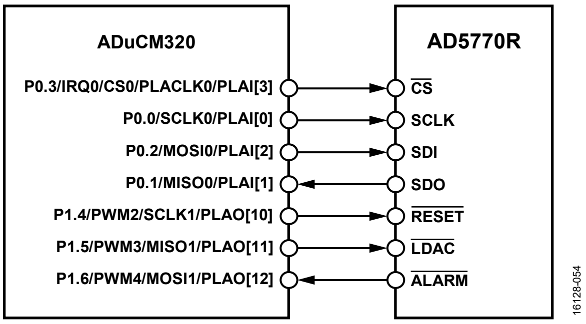

図 76. ADuCM320 SPI インターフェース

熱に対する考慮事項

AD5770R の最大ジャンクション温度は 150ºC です（表 5 を参照）。デバイス寿命全般にわたって高い信頼性の下に仕様規定値での動作を確保するには、ジャンクション温度が 150ºC を超えてしまうような条件下で AD5770R を作動させないことが重要です。ジャンクション温度は、AD5770R の消費電力と周囲温度の直接的な影響を受けます。

AD5770R の各チャンネルの出力電流範囲と最大電源電圧の仕様値を表 1 に示します。したがって、パッケージが消費する電力の影響と、パッケージがジャンクション温度にもたらす影響を理解することが重要です。AD5770R は、49 ボール、4mm×4mm のウェーハ・レベル・チップ・スケール・パッケージ（WLCSP）を採用しています。熱抵抗 θ_{JA} の仕様規定値を表 6 に示します。

表 11 は、一定の条件下における最大許容消費電力と最大許容周囲温度の例を示したものです。

複数チャンネルの接続による電流範囲拡大

IDAC0 からソースできる最大電流は 300mA です。2 つのチャンネルを直接接続すれば、電流源の容量を増やすことができます。400mA のフルスケール出力電流を生成するために、IDAC1 と IDAC2 を接続した状態を図 77 に示します。複数のチャンネルを接続するときは、以下の点に注意する必要があります。

- 出力コンプライアンス電圧が表 1 に示す仕様値を超えないようにする。
- 出力電圧が表 5 に示す絶対最大定格値を超えないようにする。

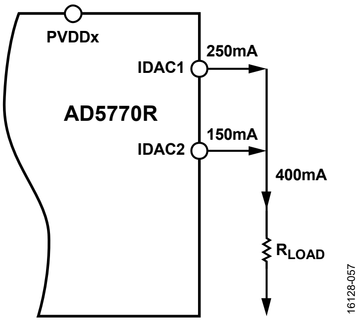

図 77. チャンネルの接続による電流範囲の拡大

レイアウトのガイドライン

定格性能を確保するために、電源とグラウンド・リターンのレイアウトを慎重に検討してください。AD5770R を取り付ける PCB は、AD5770R をアナログ・プレーン上に配置するように設計する必要があります。

AD5770R 使用時は、各電源に 10µF と 0.1µF のコンデンサを並列に接続することによって、十分な電源バイパスを確保する必要があります。これらのコンデンサは、パッケージのできるだけ近くに配置してください（デバイスに直接取り付けるのが理想的です）。10µF のコンデンサには、タンタルのビード型を使用します。0.1µF のコンデンサには、等価直列抵抗（ESR）と等価直列インダクタンス（ESI）が低いものを選ぶ必要があります。一般的なセラミック・コンデンサは、高い周波数ではグラウンドへの低インピーダンス経路を提供することで、内部ロジックの切替えによる過渡電流に対応します。

電源ラインのパターンをできるだけ大きくして低インピーダンス経路を確保し、電源ラインのグリッチによる影響を減らすようにします。クロックなどの高速スイッチング・デジタル信号をボード上の他の部分からシールドするには、デジタル・グラウンドを使用します。可能であれば、デジタル信号とアナログ信号のクロスオーバーは避けてください。各パターンがボードの両側で交差する場合は、アナログ配線とデジタル配線を直角に交差させ、ボードのフィードスルーを削減するようにしてください。ボードのレイアウトには、マイクロストリップ技術が最適です。この技術では、ボードのグランド・プレーンのみに部品を配置し、信号パターンはハンダ面に配置します。ただし、この技術は 2 層ボードで実現できない場合があります。

AD5770Rは大量の電力を消費する可能性があるので、何らかのヒートシンク機能を持たせて熱を放出しやすくすることを推奨します。

WLCSP パッケージでは、ハンダ・ボールから PCB ボードに熱が伝達されます。θ_{JA} の熱抵抗は、ボード構造によって決定されます。銅の層を増やすと、効率よく熱を除去できます。

外付けの R_{SET} 抵抗を使う場合は、R_{SET} 抵抗のローサイドを REFGND に接続してから AGND に接続する必要があります。R_{SET} を IREF ピンに接続するトレースの幅は、トレースの抵抗と温度係数を減らすために、できるだけ広くしてください。

表 11. 49 ボール WSCSP パッケージの熱に関する考慮事項

パラメータ	説明
最大消費電力	周囲温度 105ºC で動作させた場合の AD5770R の最大許容消費電力（P_{DISS}）： $\frac{T_{JMAX} - T_A}{\theta_{JA}} = \frac{150 - 105}{30} = 1.5\ \mathrm{W}$
最大周囲温度	AD5770R の消費電力が 1.985W のときの最大許容周囲温度： $T_{JMAX} - P_{DISS} \times \theta_{JA} = 150 - (1.985 \times 30) = 90.45$ºC 消費電力の計算例： AVDD = DVDD = IOVDD = 3.3V、PVDDx = 2.9V AVEE = PVEE0 = 0V、R_{LOAD} = 5Ω/チャンネル、AD5770R の静止時消費電力 = 110mW IDAC0 = 300mA、消費電力 = 420mW IDAC1 = 250mA、消費電力 = 412.5mW IDAC2 = 150mA、消費電力 = 322.5mW IDAC3、IDAC4、IDAC5 = 100mA、消費電力 = 720mW 合計消費電力 = 110mW + 1.875W = 1.985W

レジスタの一覧

SPI 設定レジスタ

表 12. AD5770R SPI 設定レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x00	INTERFACE_ CONFIG_A	[7:0]	SW_RESET_ MSB	Reserved	ADDR_ ASCENSION_ MSB	SDO_ ACTIVE_MSB	SDO_ ACTIVE_LSB	ADDR_ ASCENSION_ LSB	Reserved	SW_ RESET_ LSB	0x18	R/W
0x01	INTERFACE_ CONFIG_B	[7:0]	SINGLE_INST	Reserved			SHORT_ INSTRUCTION	Reserved			0x08	R/W
0x03	CHIP_TYPE	[7:0]	Reserved				CHIP_TYPE				0x08	R
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x04	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x40	R
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION				0x00	R
0x0A	SCRATCH_PAD	[7:0]	VALUE								0x00	R/W
0x0B	SPI_REVISION	[7:0]	VERSION								0x82	R
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R
0x0E	STREAM_MODE	[7:0]	LENGTH								0x00	R/W
0x10	INTERFACE_ CONFIG_C	[7:0]	Reserved		STRICT_ REGISTER_ ACCESS	Reserved					0x20	R
0x11	INTERFACE_ STATUS_A	[7:0]	INTERFACE_ NOT_READY	Reserved							0x00	R

AD5770R 設定レジスタ

表 13. AD5770R の設定レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x14	CHANNEL_ CONFIG	[7:0]	CH0_SINK_EN	Reserved	CH5_ SHUTDOWN_B	CH4_ SHUTDOWN_B	CH3_ SHUTDOWN_B	CH2_ SHUTDOWN_B	CH1_ SHUTDOWN_B	CH0_ SHUTDOWN_B	0x80	R/W
0x15	OUTPUT_ RANGE_ CH0	[7:0]	CH0_OUTPUT_SCALING						CH0_MODE		0x00	R/W
0x16	OUTPUT_ RANGE_ CH1	[7:0]	CH1_OUTPUT_SCALING						CH1_MODE		0x02	R/W
0x17	OUTPUT_ RANGE_ CH2	[7:0]	CH2_OUTPUT_SCALING						Reserved	CH2_ MODE	0x00	R/W
0x18	OUTPUT_ RANGE_ CH3	[7:0]	CH3_OUTPUT_SCALING						Reserved	CH3_ MODE	0x00	R/W
0x19	OUTPUT_ RANGE_ CH4	[7:0]	CH4_OUTPUT_SCALING						Reserved	CH4_ MODE	0x00	R/W
0x1A	OUTPUT_ RANGE_ CH5	[7:0]	CH5_OUTPUT_SCALING						Reserved	CH5_ MODE	0x00	R/W
0x1B	REFERENCE	[7:0]	Reserved					REFERENCE_ RESISTOR_ SEL	REFERENCE_VOLTAGE_SEL		0x00	R/W
0x1C	ALARM_ CONFIG	[7:0]	BACKGROUND_ CRC_ALARM_ MASK	IREF_ FAULT_ ALARM_ MASK	NEGATIVE_ CHANNEL0_ ALARM_ MASK	OVER_TEMP_ ALARM_MASK	TEMP_ WARNING_ ALARM_ MASK	BACKGROUND_ CRC_EN	THERMAL_ SHUTDOWN_ EN	OPEN_ DRAIN_ EN	0x06	R/W
0x1D	OUTPUT_ FILTER_ CH0	[7:0]	Reserved				OUTPUT_FILTER_RESISTOR0				0x00	R/W
0x1E	OUTPUT_ FILTER_ CH1	[7:0]	Reserved				OUTPUT_FILTER_RESISTOR1				0x00	R/W
0x1F	OUTPUT_ FILTER_ CH2	[7:0]	Reserved				OUTPUT_FILTER_RESISTOR2				0x00	R/W
0x20	OUTPUT_ FILTER_ CH3	[7:0]	Reserved				OUTPUT_FILTER_RESISTOR3				0x00	R/W

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x21	OUTPUT_ FILTER_ CH4	[7:0]	Reserved				OUTPUT_FILTER_RESISTOR4				0x00	R/W
0x22	OUTPUT_ FILTER_ CH5	[7:0]	Reserved				OUTPUT_FILTER_RESISTOR5				0x00	R/W
0x23	MONITOR_ SETUP	[7:0]	MON_FUNCTION		MUX_ BUFFER	IB_EXT_EN	MON_CH				0x00	R/W
0x24	STATUS	[7:0]	BACKGROUND_ CRC_STATUS	Reserved			IREF_FAULT	NEGATIVE_ CHANNEL0	OVER_TEMP	TEMP_ WARNING	0x00	R
0x25	HW_LDAC	[7:0]	Reserved		HW_LDAC_ MASK_CH5	HW_LDAC_ MASK_CH4	HW_LDAC_ MASK_CH3	HW_LDAC_ MASK_CH2	HW_LDAC_ MASK_CH1	HW_LDAC_ MASK_CH0	0x00	R/W
0x26	CH0_DAC_ LSB	[7:0]	DAC_DATA0[5:0]						Reserved		0x00	R/W
0x27	CH0_DAC_ MSB	[7:0]	DAC_DATA0[13:6]								0x00	R/W
0x28	CH1_DAC_ LSB	[7:0]	DAC_DATA1[5:0]						Reserved		0x00	R/W
0x29	CH1_DAC_ MSB	[7:0]	DAC_DATA1[13:6]								0x00	R/W
0x2A	CH2_DAC_ LSB	[7:0]	DAC_DATA2[5:0]						Reserved		0x00	R/W
0x2B	CH2_DAC_ MSB	[7:0]	DAC_DATA2[13:6]								0x00	R/W
0x2C	CH3_DAC_ LSB	[7:0]	DAC_DATA3[5:0]						Reserved		0x00	R/W
0x2D	CH3_DAC_ MSB	[7:0]	DAC_DATA3[13:6]								0x00	R/W
0x2E	CH4_DAC_ LSB	[7:0]	DAC_DATA4[5:0]						Reserved		0x00	R/W
0x2F	CH4_DAC_ MSB	[7:0]	DAC_DATA4[13:6]								0x00	R/W
0x30	CH5_DAC_ LSB	[7:0]	DAC_DATA5[5:0]						Reserved		0x00	R/W
0x31	CH5_DAC_ MSB	[7:0]	DAC_DATA5[13:6]								0x00	R/W
0x32	DAC_PAGE_ MASK_LSB	[7:0]	DAC_PAGE_MASK[5:0]						Reserved		0x00	R/W
0x33	DAC_PAGE_ MASK_MSB	[7:0]	DAC_PAGE_MASK[13:6]								0x00	R/W
0x34	CH_SELECT	[7:0]	Reserved		SEL_CH5	SEL_CH4	SEL_CH3	SEL_CH2	SEL_CH1	SEL_CH0	0x00	R/W
0x35	INPUT_ PAGE_ MASK_LSB	[7:0]	INPUT_PAGE_MASK[5:0]						Reserved		0x00	R/W
0x36	INPUT_ PAGE_ MASK_MSB	[7:0]	INPUT_PAGE_MASK[13:6]								0x00	R/W
0x37	SW_LDAC	[7:0]	Reserved		SW_LDAC_ CH5	SW_LDAC_ CH4	SW_LDAC_ CH3	SW_LDAC_ CH2	SW_LDAC_ CH1	SW_LDAC_ CH0	0x00	W
0x38	CH0_INPUT_ LSB	[7:0]	INPUT_DATA0[5:0]						Reserved		0x00	R/W
0x39	CH0_INPUT_ MSB	[7:0]	INPUT_DATA0[13:6]								0x00	R/W
0x3A	CH1_INPUT_ LSB	[7:0]	INPUT_DATA1[5:0]						Reserved		0x00	R/W
0x3B	CH1_INPUT_ MSB	[7:0]	INPUT_DATA1[13:6]								0x00	R/W
0x3C	CH2_INPUT_ LSB	[7:0]	INPUT_DATA2[5:0]						Reserved		0x00	R/W
0x3D	CH2_INPUT_ MSB	[7:0]	INPUT_DATA2[13:6]								0x00	R/W
0x3E	CH3_INPUT_ LSB	[7:0]	INPUT_DATA3[5:0]						Reserved		0x00	R/W
0x3F	CH3_INPUT_ MSB	[7:0]	INPUT_DATA3[13:6]								0x00	R/W
0x40	CH4_INPUT_ LSB	[7:0]	INPUT_DATA4[5:0]						Reserved		0x00	R/W

<table>
<tr><th>Reg</th><th>Name</th><th>Bits</th><th>Bit 7</th><th>Bit 6</th><th>Bit 5</th><th>Bit 4</th><th>Bit 3</th><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th>Reset</th><th>R/W</th></tr>
<tr><td>0x41</td><td>CH4_INPUT_ MSB</td><td>[7:0]</td><td colspan="8">INPUT_DATA4[13:6]</td><td>0x00</td><td>R/W</td></tr>
<tr><td>0x42</td><td>CH5_INPUT_ LSB</td><td>[7:0]</td><td colspan="6">INPUT_DATA5[5:0]</td><td colspan="2">Reserved</td><td>0x00</td><td>R/W</td></tr>
<tr><td>0x43</td><td>CH5_INPUT_ MSB</td><td>[7:0]</td><td colspan="8">INPUT_DATA5[13:6]</td><td>0x00</td><td>R/W</td></tr>
<tr><td>0x44</td><td>RESERVED</td><td>[7:0]</td><td colspan="2">RESERVED0</td><td colspan="6">RESERVED1</td><td>0x3F</td><td>R</td></tr>
</table>

レジスタの詳細

アドレス：**0x00**、リセット：**0x18**、レジスタ名：**INTERFACE_CONFIG_A**

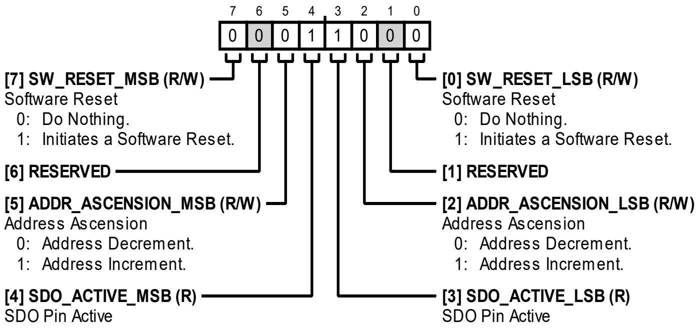

表 14. INTERFACE_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET_MSB	ソフトウェア・リセット。1 回の SPI 書込みで両方のソフトウェア・リセット・ビットを設定するとデバイスのソフトウェア・リセットが実行され、INTERFACE_CONFIG_A を除くすべてのレジスタがデフォルトのパワーアップ状態に戻ります。 0：何もしません。 1：ソフトウェア・リセットを開始します。	0x0	R/W
6	Reserved	予備	0x0	R
5	ADDR_ASCENSION_MSB	アドレス・アセンション。このビットをセットすると、ストリーミング・アドレスがインクリメントされます。セットしないと、降順（デクリメント）でアドレスが生成されます。これは ADDR_ASCENSION_LSB のミラーでなければなりません。 0：アドレス・デクリメント。 1：アドレス・インクリメント。	0x0	R/W
4	SDO_ACTIVE_MSB	SDO ピンがアクティブ。SDO ピンをイネーブル。このビットは常にセットされます。	0x1	R
3	SDO_ACTIVE_LSB	SDO ピンがアクティブ。SDO ピンをイネーブル。このビットは常にセットされます。	0x1	R
2	ADDR_ASCENSION_LSB	アドレス・アセンション。このビットをセットすると、ストリーミング・アドレスがインクリメントされます。セットしないと、降順（デクリメント）でアドレスが生成されます。これは ADDR_ASCENSION_MSB のミラーでなければなりません。 0：アドレス・デクリメント。 1：アドレス・インクリメント。	0x0	R/W
1	Reserved	予備	0x0	R
0	SW_RESET_LSB	ソフトウェア・リセット。1 回の SPI 書込みで両方のソフトウェア・リセット・ビットを設定するとデバイスのソフトウェア・リセットが実行され、INTERFACE_CONFIG_A を除くすべてのレジスタがデフォルトのパワーアップ状態に戻ります。 0：何もしません。 1：ソフトウェア・リセットを開始します。	0x0	R/W

アドレス：**0x01**、リセット：**0x08**、レジスタ名：**INTERFACE_CONFIG_B**

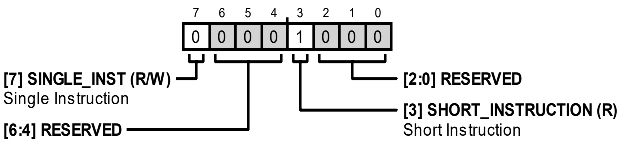

表 15. INTERFACE_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	単一命令。このビットをセットするとストリーミング・モードが有効化され、アクセスするレジスタ・アドレスを各 SPI トランザクションで指定しなければなりません。 0：ストリーミング・モードを有効化。 1：ストリーミング・モードを無効化。	0x0	R/W
[6:4]	Reserved	予備	0x0	R
3	SHORT_INSTRUCTION	ショート命令。このビットをセットした場合、アドレス・ワードは 7 ビット長でなければなりません。	0x01	R

ビット	ビット名	説明	リセット	アクセス
[2:0]	Reserved	予備	0x0	R

アドレス：**0x03**、リセット：**0x08**、レジスタ名：**CHIP_TYPE**

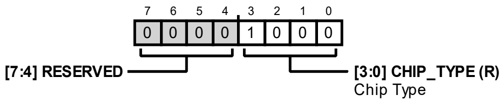

表 16. CHIP_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	Reserved	予備	0x0	R
[3:0]	CHIP_TYPE	チップ・タイプ。高精度 DAC チップ・タイプ = 0x08。	0x8	R

アドレス：**0x04**、リセット：**0x04**、レジスタ名：**PRODUCT_ID_L**

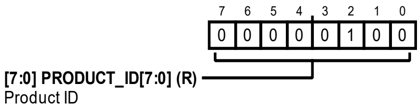

表 17. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID。AD5770R 製品 ID = 0x4004。	0x4	R

アドレス：**0x05**、リセット：**0x40**、レジスタ名：**PRODUCT_ID_H**

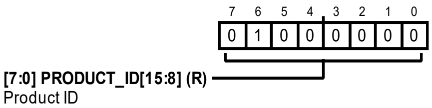

表 18. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID。AD5770R 製品 ID = 0x4004。	0x40	R

アドレス：**0x06**、リセット：**0x00**、レジスタ名：**CHIP_GRADE**

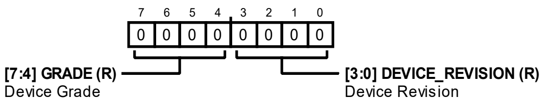

表 19. CHIP_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	Grade	デバイスのグレード	0x0	R
[3:0]	DEVICE_REVISION	デバイスのリビジョン	0x0	R

アドレス：**0x0A**、リセット：**0x00**、レジスタ名：**SCRATCH_PAD**

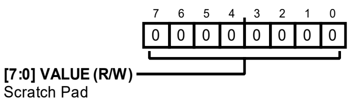

表 20. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	Value	スクラッチ・パッド。デバイスとの通信をテストするときはこのレジスタを使用します。	0x0	R/W

アドレス：0x0B、リセット：0x82、レジスタ名：SPI_REVISION

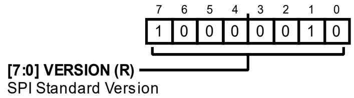

表 21. SPI_REVISION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	Version	SPI 標準バージョン。アナログ・デバイセズの SPI 標準を使用。	0x82	R

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR_L

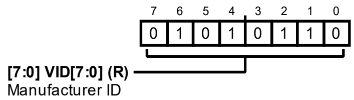

表 22. VENDOR_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	メーカーID。アナログ・デバイセズ ID = 0x0456.	0x56	R

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR_H

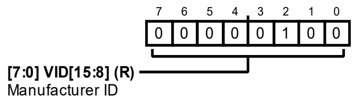

表 23. VENDOR_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	メーカーID。アナログ・デバイセズ ID = 0x0456.	0x4	R

アドレス：0x0E、リセット：0x00、レジスタ名：STREAM_MODE

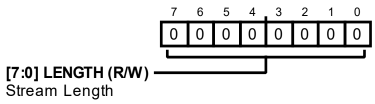

表 24. STREAM_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LENGTH	ストリーム長。これらのビットは、複数バイトのデータをストリーミングする際、最初のレジスタ・アドレスに戻るまでにインクリメント／デクリメントするレジスタ・アドレスの長さを設定します。このレジスタの内容をクリアすると、ストリーミング・モードではアドレス空間の最後までレジスタ・アドレスがインクリメント／デクリメントされてから最後または最初のアドレスに戻り、そこから再度インクリメント／デクリメントを開始します。	0x0	R/W

アドレス：0x10、リセット：0x20、レジスタ名：INTERFACE_CONFIG_C

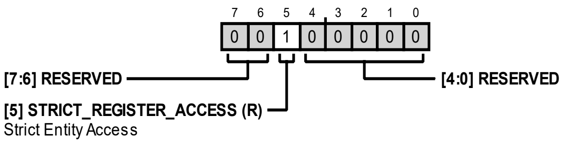

表 25. INTERFACE_CONFIG_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	Reserved	予備	0x0	R
5	STRICT_REGISTER_ACCESS	厳格なレジスタ・アクセス。このビットをセットしたときは、すべてのマルチバイト・レジスタへの書込みを 1 回の SPI トランザクションで行う必要があります。使用するアドレスは、アドレス・アセンションがオフの場合は最上位バイトのアドレス、アドレス・アセンションがオンの場合は最下位バイトのアドレスでなければなりません。	0x1	R
[4:0]	Reserved	予備	0x0	R

アドレス：**0x11**、リセット：**0x00**、レジスタ名：**INTERFACE_STATUS_A**

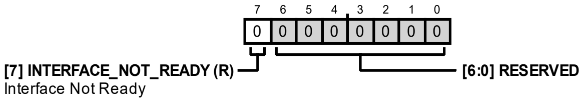

表 26. INTERFACE_STATUS_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INTERFACE_ NOT_READY	インターフェースの準備ができていません。このビットがセットされているときは、デバイスが SPI バスでデータを受け取る準備ができていません。	0x0	R
[6:0]	Reserved	予備	0x0	R

アドレス：**0x14**、リセット：**0x80**、レジスタ名：**CHANNEL_CONFIG**

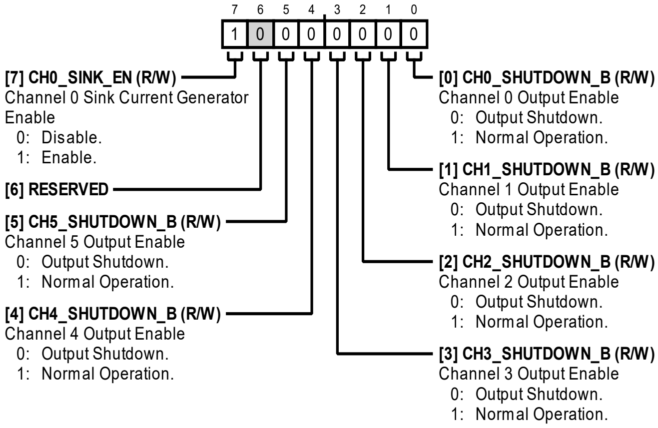

表 27. CHANNEL_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH0_SINK_EN	チャンネル 0 のシンク電流ジェネレータをイネーブル。このビットがセットされると、チャンネル 0 シンク電流がイネーブルされます。 0：ディスエーブル。 1：イネーブル。	0x1	R/W
6	Reserved	予備	0x0	R
5	CH5_ SHUTDOWN_B	チャンネル 5 出力をイネーブル。このアクティブ・ロー・イネーブル・ビットをアサートすると、IDAC5 の出力がシャットダウンされます。 0：出力シャットダウン 1：通常動作。	0x0	R/W
4	CH4_ SHUTDOWN_B	チャンネル 4 出力をイネーブル。このアクティブ・ロー・イネーブル・ビットをアサートすると、IDAC4 の出力がシャットダウンされます。 0：出力シャットダウン 1：通常動作。	0x0	R/W
3	CH3_ SHUTDOWN_B	チャンネル 3 出力をイネーブル。このアクティブ・ロー・イネーブル・ビットをアサートすると、IDAC3 の出力がシャットダウンされます。 0：出力シャットダウン 1：通常動作。	0x0	R/W
2	CH2_ SHUTDOWN_B	チャンネル 2 出力をイネーブル。このアクティブ・ロー・イネーブル・ビットをアサートすると、IDAC2 の出力がシャットダウンされます。 0：出力シャットダウン 1：通常動作。	0x0	R/W
1	CH1_ SHUTDOWN_B	チャンネル 1 出力をイネーブル。このアクティブ・ロー・イネーブル・ビットをアサートすると、IDAC1 の出力がシャットダウンされます。 0：出力シャットダウン 1：通常動作。	0x0	R/W
0	CH0_ SHUTDOWN_B	チャンネル 0 出力をイネーブル。このアクティブ・ロー・イネーブル・ビットをアサートすると、IDAC0 の出力がシャットダウンされます。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		0：出力シャットダウン 1：通常動作。		

アドレス：**0x15**、リセット：**0x00**、レジスタ名：**OUTPUT_RANGE_CH0**

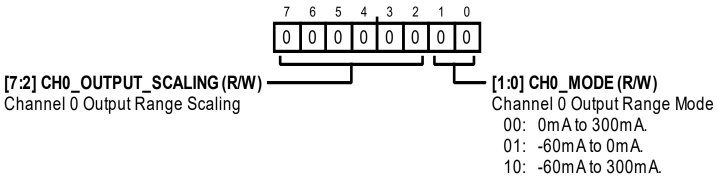

表 28. OUTPUT_RANGE_CH0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	CH0_OUTPUT_SCALING	チャンネル 0 の出力範囲スケーリング。これらのビットは、チャンネル 0 の出力範囲スケーリング・ファクタを設定します。出力スケーリングは、電流源モードでのみ使用します。	0x0	R/W
[1:0]	CH0_MODE	チャンネル 0 の出力範囲モード。これらのビットは、チャンネル 0 の出力範囲モードを選択します。 00：0mA～300mA。 01：−60mA～0mA。 10：−60mA～+300mA。	0x0	R/W

アドレス：**0x16**、リセット：**0x02**、レジスタ名：**OUTPUT_RANGE_CH1**

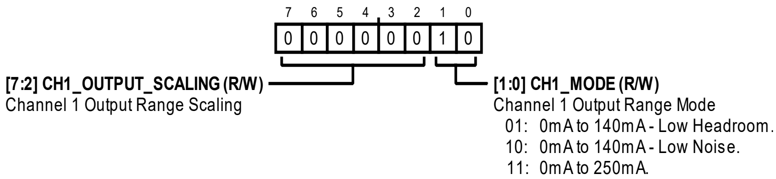

表 29. OUTPUT_RANGE_CH1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	CH1_OUTPUT_SCALING	チャンネル 1 の出力範囲スケーリング。これらのビットは、チャンネル 1 の出力範囲スケーリング・ファクタを設定します。	0x0	R/W
[1:0]	CH1_MODE	チャンネル 1 の出力範囲モード。これらのビットは、チャンネル 1 の出力範囲モードを選択します。 01：0mA～140mA、低ヘッドルーム。 10：0mA～140mA、低ノイズ。 11：0mA～250mA。	0x2	R/W

アドレス：**0x17**、リセット：**0x00**、レジスタ名：**OUTPUT_RANGE_CH2**

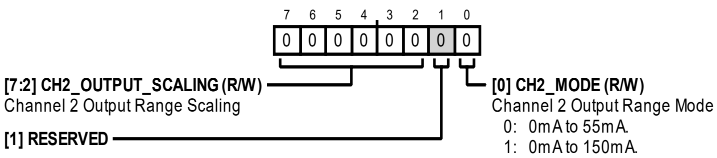

表 30. OUTPUT_RANGE_CH2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	CH2_OUTPUT_SCALING	チャンネル 2 の出力範囲スケーリング。これらのビットは、チャンネル 2 の出力範囲スケーリング・ファクタを設定します。	0x0	R/W
1	Reserved	予備	0x0	R
0	CH2_MODE	チャンネル 2 の出力範囲モード。このビットはチャンネル 2 の出力範囲モードを選択します。 0：0mA～55mA。 1：0mA～150mA。	0x0	R/W

アドレス：**0x18**、リセット：**0x00**、レジスタ名：**OUTPUT_RANGE_CH3**

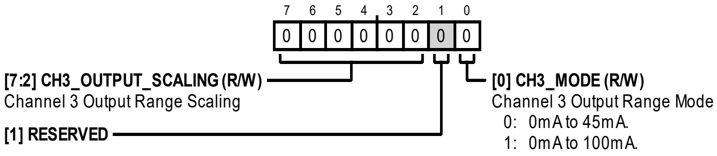

表 31. OUTPUT_RANGE_CH3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	CH3_OUTPUT_ SCALING	チャンネル 3 の出力範囲スケーリング。これらのビットは、チャンネル 3 の出力範囲スケーリング・ファクタを設定します。	0x0	R/W
1	Reserved	予備	0x0	R
0	CH3_MODE	チャンネル 3 の出力範囲モード。このビットはチャンネル 3 の出力範囲モードを選択します。 0：0mA～45mA。 1：0mA～100mA。	0x0	R/W

アドレス：**0x19**、リセット：**0x00**、レジスタ名：**OUTPUT_RANGE_CH4**

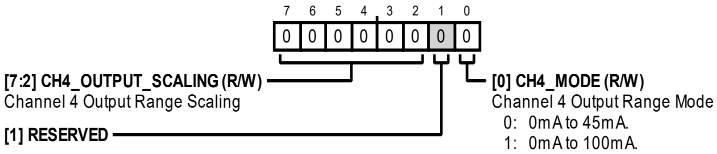

表 32. OUTPUT_RANGE_CH4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	CH4_OUTPUT_ SCALING	チャンネル 4 の出力範囲スケーリング。これらのビットは、チャンネル 4 の出力範囲スケーリング・ファクタを設定します。	0x0	R/W
1	Reserved	予備	0x0	R
0	CH4_MODE	チャンネル 4 の出力範囲モード。このビットはチャンネル 4 の出力範囲モードを選択します。 0：0mA～45mA。 1：0mA～100mA。	0x0	R/W

アドレス：**0x1A**、リセット：**0x00**、レジスタ名：**OUTPUT_RANGE_CH5**

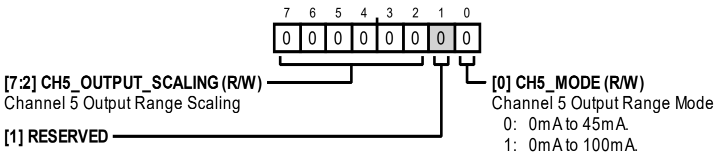

表 33. OUTPUT_RANGE_CH5 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	CH5_OUTPUT_ SCALING	チャンネル 5 の出力範囲スケーリング。これらのビットは、チャンネル 5 の出力範囲スケーリング・ファクタを設定します。	0x0	R/W
1	Reserved	予備	0x0	R
0	CH5_MODE	チャンネル 5 の出力範囲モード。このビットはチャンネル 5 の出力範囲モードを選択します。 0：0mA～45mA。 1：0mA～100mA。	0x0	R/W

アドレス：0x1B、リセット：0x00、レジスタ名：REFERENCE

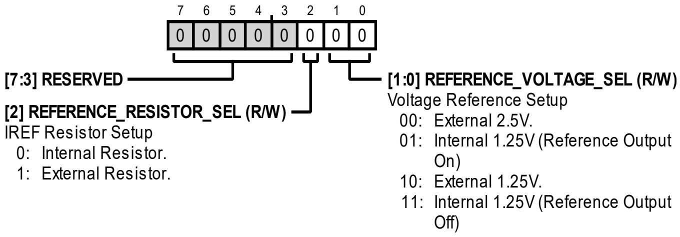

表 34. REFERENCE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	Reserved	予備	0x0	R
2	REFERENCE_ RESISTOR_SEL	IREF 抵抗のセットアップ。このビットは、リファレンス電流の生成に内部抵抗を使用するか外部抵抗を使用するかを選択します。 0：内部抵抗。 1：外部抵抗。	0x0	R/W
[1:0]	REFERENCE_ VOLTAGE_SEL	電圧リファレンスのセットアップ。これらのビットは、リファレンス電流の生成に使用する電圧リファレンス方式を選択します。 00：外部 2.5V。 01：内部 1.25V（リファレンス出力オン）。 10：外部 1.25V。 11：内部 1.25V（リファレンス出力オフ）。	0x0	R/W

アドレス：0x1C、リセット：0x06、レジスタ名：ALARM_CONFIG

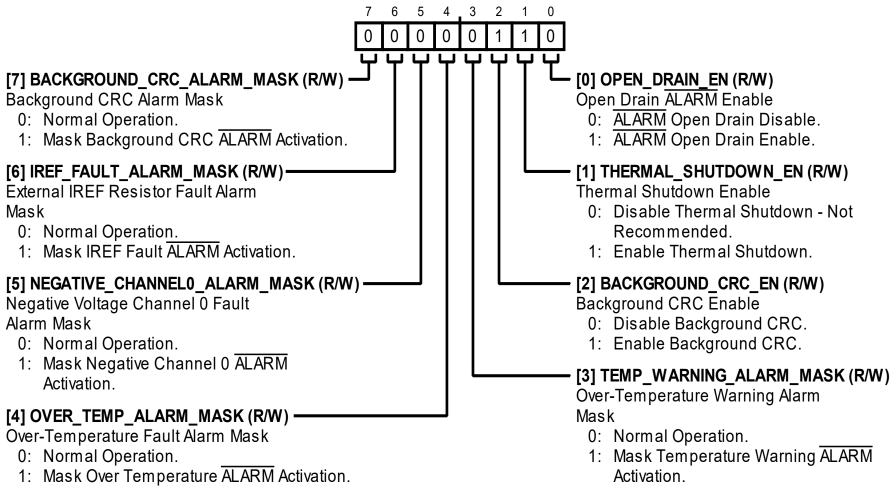

表 35. ALARM_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BACKGROUND _CRC_ALARM_ MASK	バックグラウンド CRC アラーム・マスク。このビットをセットすると、バックグラウンド CRC エラーが発生しても $\overline{\text{ALARM}}$ ピンはアクティブになりません。 0：通常動作。 1：バックグラウンド CRC による $\overline{\text{ALARM}}$ アクティベーションをマスク。	0x0	R/W
6	IREF_FAULT_ ALARM_MASK	外部 IREF 抵抗フォールト・アラーム・マスク。このビットをセットすると、外部リファレンス電流生成抵抗フォールトが発生しても $\overline{\text{ALARM}}$ ピンはアクティブになりません。 0：通常動作。 1：IREF フォールトによる $\overline{\text{ALARM}}$ アクティベーションをマスク。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
5	NEGATIVE_ CHANNEL0_ ALARM_MASK	負電圧チャンネル 0 フォールト・アラーム・マスク。このビットをセットすると、チャンネル 0 のモニタリングによって MUX_OUT ピンに負電圧がマルチプレクスされたときに $\overline{\text{ALARM}}$ピンがアクティブになりません。 0：通常動作。 1：負電圧チャンネル 0 の $\overline{\text{ALARM}}$アクティベーションをマスク。	0x0	R/W
4	OVER_TEMP_ ALARM_MASK	過熱フォールト・アラーム・マスク。このビットをセットすると、過熱フォールトが発生しても $\overline{\text{ALARM}}$ピンはアクティブになりません。 0：通常動作。 1：過熱による $\overline{\text{ALARM}}$アクティベーションをマスク。	0x0	R/W
3	TEMP_ WARNING_ ALARM_MASK	過熱警告アラーム・マスク。このビットをセットすると、過熱警告が発生しても $\overline{\text{ALARM}}$ピンはアクティブになりません。 0：通常動作。 1：過熱警告による $\overline{\text{ALARM}}$アクティベーションをマスク。	0x0	R/W
2	BACKGROUND _CRC_EN	バックグラウンド CRC 有効化。このビットをセットすると、メモリ・マップ内容の CRC がデバイスによって周期的に計算されます。 0：バックグラウンド CRC を無効化。 1：バックグラウンド CRC を有効化。	0x1	R/W
1	THERMAL_ SHUTDOWN_ EN	サーマル・シャットダウン有効化。このビットをセットすると、AD5770R は過熱フォールト発生時にサーマル・シャットダウンします。 0：サーマル・シャットダウンを無効化（非推奨） 1：サーマル・シャットダウンを有効化。	0x1	R/W
0	OPEN_ DRAIN_EN	オープンドレイン $\overline{\text{ALARM}}$イネーブル。このビットをセットすると、$\overline{\text{ALARM}}$ピンがオープンドレイン出力として設定されます。 0： $\overline{\text{ALARM}}$ オープンドレインをディスエーブル。 1： $\overline{\text{ALARM}}$ オープンドレインをイネーブル。	0x0	R/W

アドレス：0x1D、リセット：0x00、レジスタ名：OUTPUT_FILTER_CH0

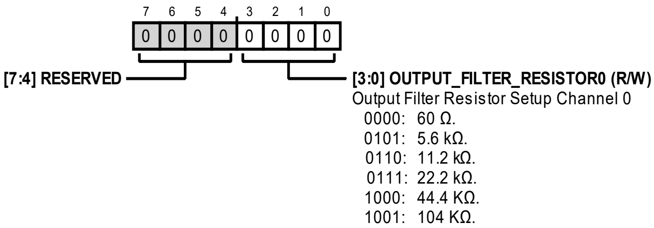

表 36. OUTPUT_FILTER_CH0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	Reserved	予備	0x0	R
[3:0]	OUTPUT_ FILTER_ RESISTOR0	チャンネル 0 の出力フィルタ抵抗セットアップ。これらのビットは、チャンネル 0 の出力フィルタに使用する内部可変抵抗を選択します。出力フィルタ抵抗は、CDAMP_IDAC0 ピンに接続した外付けコンデンサと共に RC フィルタを形成します。 0000：60Ω 0101：5.6kΩ 0110：11.2kΩ 0111：22.2kΩ 1000：44.4kΩ 1001：104kΩ	0x0	R/W

アドレス：0x1E、リセット：0x00、レジスタ名：OUTPUT_FILTER_CH1

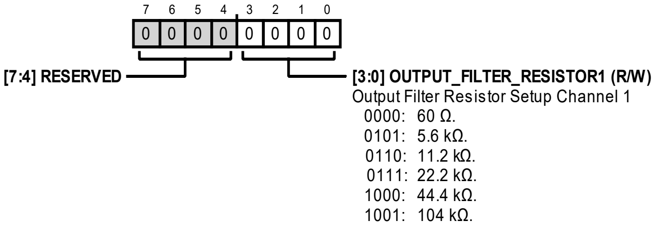

表 37. OUTPUT_FILTER_CH1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	Reserved	予備	0x0	R
[3:0]	OUTPUT_ FILTER_ RESISTOR1	チャンネル 1 の出力フィルタ抵抗セットアップ。これらのビットは、チャンネル 1 の出力フィルタに使用する内部可変抵抗を選択します。出力フィルタ抵抗は、CDAMP_IDAC1 ピンに接続した外付けコンデンサと共に RC フィルタを形成します。 0000：60Ω 0101：5.6kΩ 0110：11.2kΩ 0111：22.2kΩ 1000：44.4kΩ 1001：104kΩ	0x0	R/W

アドレス：0x1F、リセット：0x00、レジスタ名：OUTPUT_FILTER_CH2

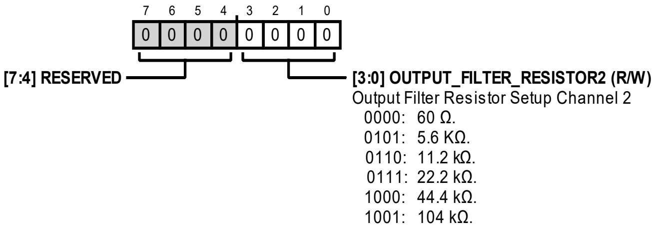

表 38. OUTPUT_FILTER_CH2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	Reserved	予備	0x0	R
[3:0]	OUTPUT_ FILTER_ RESISTOR2	チャンネル 2 の出力フィルタ抵抗セットアップ。これらのビットは、チャンネル 2 の出力フィルタに使用する内部可変抵抗を選択します。出力フィルタ抵抗は、CDAMP_IDAC2 ピンに接続した外付けコンデンサと共に RC フィルタを形成します。 0000：60Ω 0101：5.6kΩ 0110：11.2kΩ 0111：22.2kΩ 1000：44.4kΩ 1001：104kΩ	0x0	R/W

アドレス：0x20、リセット：0x00、レジスタ名：OUTPUT_FILTER_CH3

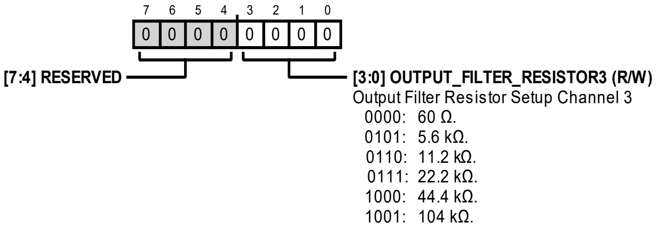

表 39. OUTPUT_FILTER_CH3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	Reserved	予備	0x0	R
[3:0]	OUTPUT_ FILTER_ RESISTOR3	チャンネル 3 の出力フィルタ抵抗セットアップ。これらのビットは、チャンネル 3 の出力フィルタに使用する内部可変抵抗を選択します。出力フィルタ抵抗は、CDAMP_IDAC3 ピンに接続した外付けコンデンサと共に RC フィルタを形成します。 0000：60Ω 0101：5.6kΩ 0110：11.2kΩ 0111：22.2kΩ 1000：44.4kΩ 1001：104kΩ	0x0	R/W

アドレス：0x21、リセット：0x00、レジスタ名：OUTPUT_FILTER_CH4

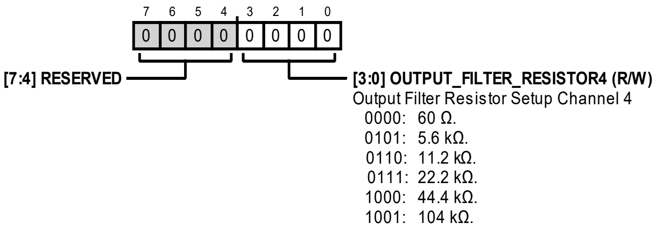

表 40. OUTPUT_FILTER_CH4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	Reserved	予備	0x0	R
[3:0]	OUTPUT_ FILTER_ RESISTOR4	チャンネル 4 の出力フィルタ抵抗セットアップ。これらのビットは、チャンネル 4 の出力フィルタに使用する内部可変抵抗を選択します。出力フィルタ抵抗は、CDAMP_IDAC4 ピンに接続した外付けコンデンサと共に RC フィルタを形成します。 0000：60Ω 0101：5.6kΩ 0110：11.2kΩ 0111：22.2kΩ 1000：44.4kΩ 1001：104kΩ	0x0	R/W

アドレス：0x22、リセット：0x00、レジスタ名：OUTPUT_FILTER_CH5

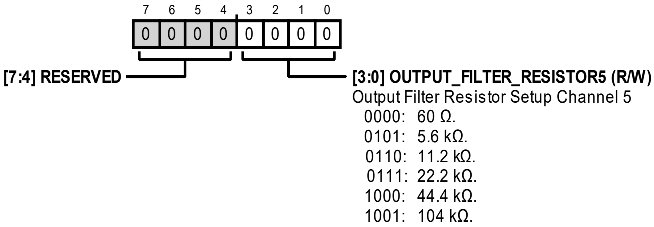

表 41. OUTPUT_FILTER_CH5 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	Reserved	予備	0x0	R
[3:0]	OUTPUT_ FILTER_ RESISTOR5	チャンネル 5 の出力フィルタ抵抗セットアップ。これらのビットは、チャンネル 5 の出力フィルタに使用する内部可変抵抗を選択します。出力フィルタ抵抗は、CDAMP_IDAC5 ピンに接続した外付けコンデンサと共に RC フィルタを形成します。 0000：60Ω 0101：5.6kΩ 0110：11.2kΩ 0111：22.2kΩ 1000：44.4kΩ 1001：104kΩ	0x0	R/W

アドレス：0x23、リセット：0x00、レジスタ名：MONITOR_SETUP

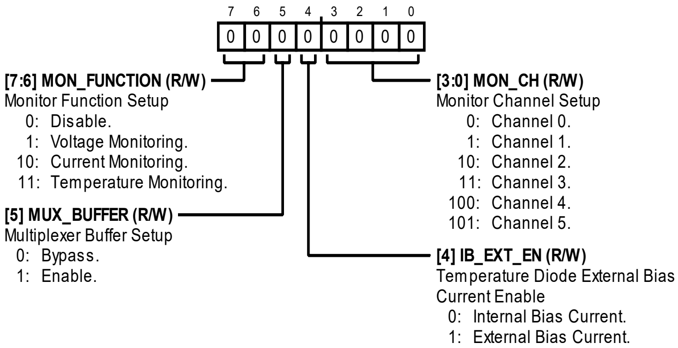

表 42. MONITOR_SETUP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	MON_ FUNCTION	モニタ機能のセットアップ。これらのビットは、どのオンチップ診断機能を選択するかを設定します。 0：無効化。 1：電圧モニタリング。 10：電流モニタリング。 11：温度モニタリング。	0x0	R/W
5	MUX_BUFFER	マルチプレクサ・バッファのセットアップ。このビットをセットすると、マルチプレクサ・バッファがイネーブルされて、マルチプレクサ出力をバッファするために使われます。このビットをクリアすると、バッファがディスエーブルされてバイパスされます。 0：バイパス。 1：イネーブル。	0x0	R/W
4	IB_EXT_EN	温度ダイオード外部バイアス電流イネーブル。このビットをセットすると、温度モニタリング・ダイオード用の内部バイアス電流がシャットオフされます。この場合は、外部からバイアス電流を供給する必要があります。 0：内部バイアス電流。 1：外部バイアス電流。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[3:0]	MON_CH	モニタ・チャンネルのセットアップ。これらのビットは、出力電圧診断または出力電流診断をイネーブルしたときにモニタするチャンネルを選択します 0：チャンネル 0。 1：チャンネル 1。 10：チャンネル 2。 11：チャンネル 3。 100：チャンネル 4。 101：チャンネル 5。	0x0	R/W

アドレス：0x24、リセット：0x00、レジスタ名：STATUS

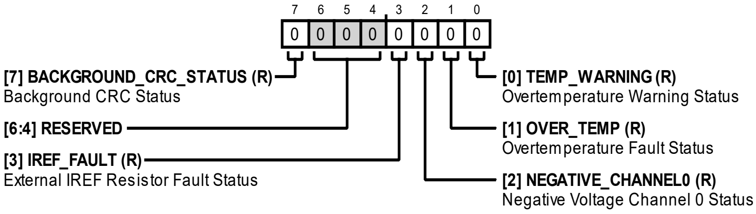

表 43. STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BACKGROUND_CRC_STATUS	バックグラウンド CRC ステータス。読出し専用ステータス・ビット。このビットがハイのときはメモリ・マップのバックグラウンド CRC エラーが検出され、メモリ・ビットが誤って反転したことを示しています。 0：通常動作。 1：バックグラウンド CRC エラーが発生。	0x0	R
[6:4]	Reserved	予備	0x0	R
3	IREF_FAULT	外部 IREF 抵抗フォールト・ステータス。読出し専用ステータス・ビット。このビットがセットされた場合は、外部リファレンス電流生成抵抗に異常が検出され、デバイスの損傷を避けるために内部抵抗に切り替えられたことを示しています。 0：通常動作。 1：IREF フォールトが発生。	0x0	R
2	NEGATIVE_CHANNEL0	負電圧チャンネル 0 のステータス。読出し専用ステータス・ビット。このビットがセットされた場合は、チャンネル 0 のモニタリング時に MUX_OUT ピンに負電圧がマルチプレクスされたことによって、異常が検出されたことを示しています。 0：通常動作。 1：負電圧チャンネル 0 がアクティブ。	0x0	R
1	OVER_TEMP	過熱フォールト・ステータス。読出し専用ステータス・ビット。このビットがセットされた場合は、過熱フォールトの発生が検出されたことを示しています。過熱フォールトは、内部ダイ温度が約 145ºC に達すると発生します。このビットをクリアするには、デバイスにリセット・コマンドを送る必要があります。 0：通常動作。 1：過熱状態。	0x0	R
0	TEMP_WARNING	過熱警告ステータス。読出し専用ステータス・ビット。このビットがセットされた場合は、過熱警告の発生が検出されたことを示しています。過熱警告は、内部ダイ温度が約 125ºC に達すると発生します。このビットは、内部ダイ温度が 120ºC 未満に戻ると自動的にクリアされます。 0：通常動作。 1：温度警告状態。	0x0	R

アドレス：0x25、リセット：0x00、レジスタ名：HW_LDAC

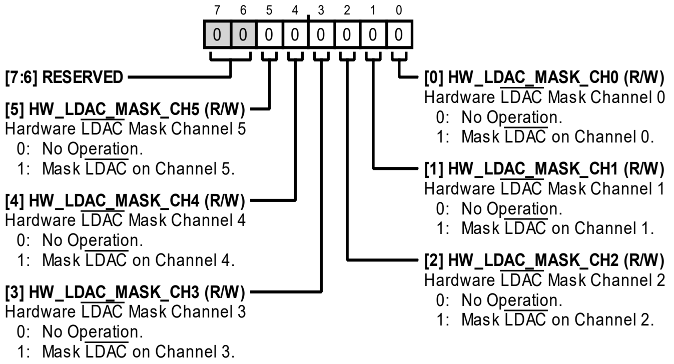

表 44. HW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
5	HW_LDAC_ MASK_CH5	チャンネル 5 のハードウェア LDAC マスク。このビットをセットすると、チャンネル 5 の LDAC ピン動作が無視されます。 0：動作なし。 1：チャンネル 5 の LDAC をマスク。	0x0	R/W
4	HW_LDAC_ MASK_CH4	チャンネル 4 のハードウェア LDAC マスク。このビットをセットすると、チャンネル 4 の LDAC ピン動作が無視されます。 0：動作なし。 1：チャンネル 4 の LDAC をマスク。	0x0	R/W
3	HW_LDAC_ MASK_CH3	チャンネル 3 のハードウェア LDAC マスク。このビットをセットすると、チャンネル 3 の LDAC ピン動作が無視されます。 0：動作なし。 1：チャンネル 3 の LDAC をマスク。	0x0	R/W
2	HW_LDAC_ MASK_CH2	チャンネル 2 のハードウェア LDAC マスク。このビットをセットすると、チャンネル 2 の LDAC ピン動作が無視されます。 0：動作なし。 1：チャンネル 2 の LDAC をマスク。	0x0	R/W
1	HW_LDAC_ MASK_CH1	チャンネル 1 のハードウェア LDAC マスク。このビットをセットすると、チャンネル 1 の LDAC ピン動作が無視されます。 0：動作なし。 1：チャンネル 1 の LDAC をマスク。	0x0	R/W
0	HW_LDAC_ MASK_CH0	チャンネル 0 のハードウェア LDAC マスク。このビットをセットすると、チャンネル 0 の LDAC ピン動作が無視されます。 0：動作なし。 1：チャンネル 0 の LDAC をマスク。	0x0	R/W

アドレス：0x26、リセット：0x00、レジスタ名：CH0_DAC_LSB

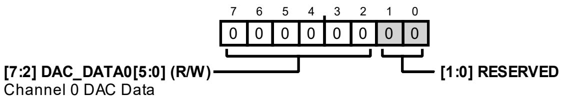

表 45. CH0_DAC_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	DAC_DATA0[5:0]	チャンネル 0 の DAC データ。これらのビットは、IDAC0 の DAC レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	RESERVED	予備	0x0	R

アドレス：0x27、リセット：0x00、レジスタ名：CH0_DAC_MSB

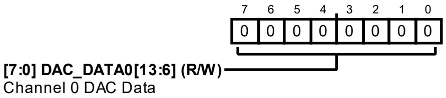

表 46. CH0_DAC_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	DAC_DATA0[13:6]	チャンネル 0 の DAC データ。これらのビットは、IDAC0 の DAC レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x28、リセット：0x00、レジスタ名：CH1_DAC_LSB

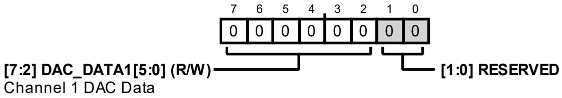

表 47. CH1_DAC_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	DAC_DATA1[5:0]	チャンネル 1 の DAC データ。これらのビットは、IDAC1 の DAC レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x29、リセット：0x00、レジスタ名：CH1_DAC_MSB

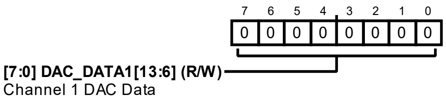

表 48. CH1_DAC_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	DAC_DATA1[13:6]	チャンネル 1 の DAC データ。これらのビットは、IDAC1 の DAC レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x2A、リセット：0x00、レジスタ名：CH2_DAC_LSB

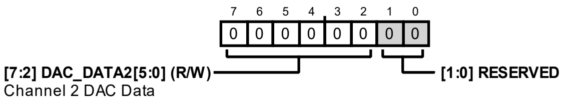

表 49. CH2_DAC_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	DAC_DATA2[5:0]	チャンネル 2 の DAC データ。これらのビットは、IDAC2 の DAC レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x2B、リセット：0x00、レジスタ名：CH2_DAC_MSB

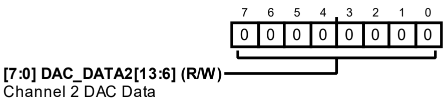

表 50. CH2_DAC_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	DAC_DATA2[13:6]	チャンネル 2 の DAC データ。これらのビットは、IDAC2 の DAC レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x2C、リセット：0x00、レジスタ名：CH3_DAC_LSB

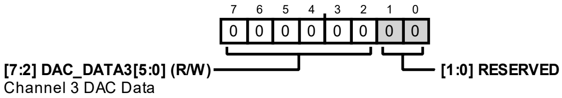

表 51. CH3_DAC_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	DAC_DATA3[5:0]	チャンネル 3 の DAC データ。これらのビットは、IDAC3 の DAC レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x2D、リセット：0x00、レジスタ名：CH3_DAC_MSB

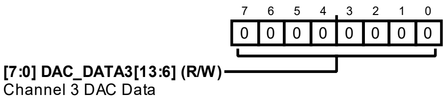

表 52. CH3_DAC_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	DAC_DATA3[13:6]	チャンネル 3 の DAC データ。これらのビットは、IDAC3 の DAC レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x2E、リセット：0x00、レジスタ名：CH4_DAC_LSB

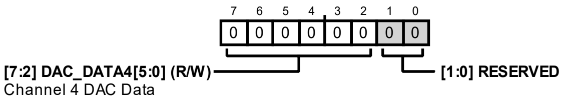

表 53. CH4_DAC_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	DAC_DATA4[5:0]	チャンネル 4 の DAC データ。これらのビットは、IDAC4 の DAC レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x2F、リセット：0x00、レジスタ名：CH4_DAC_MSB

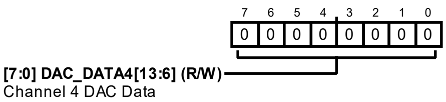

表 54. CH4_DAC_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	DAC_DATA4[13:6]	チャンネル 4 の DAC データ。これらのビットは、IDAC4 の DAC レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x30、リセット：0x00、レジスタ名：CH5_DAC_LSB

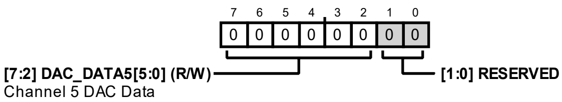

表 55. CH5_DAC_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	DAC_DATA5[5:0]	チャンネル 5 の DAC データ。これらのビットは、IDAC5 の DAC レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x31、リセット：0x00、レジスタ名：CH5_DAC_MSB

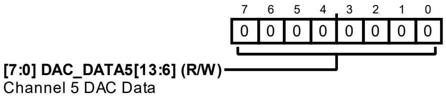

表 56. CH5_DAC_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	DAC_DATA5[13:6]	チャンネル 5 の DAC データ。これらのビットは、IDAC5 の DAC レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x32、リセット：0x00、レジスタ名：DAC_PAGE_MASK_LSB

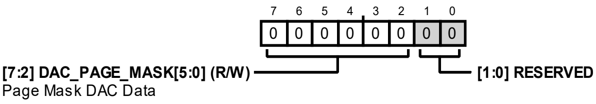

表 57. DAC_PAGE_MASK_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	DAC_PAGE_MASK[5:0]	DAC データをページ・マスク。このレジスタへの書込み後は、このレジスタにロードされた DAC コードが、CH_SELECT レジスタで選択されたすべてのチャンネルの DAC レジスタ内にコピーされます。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x33、リセット：0x00、レジスタ名：DAC_PAGE_MASK_MSB

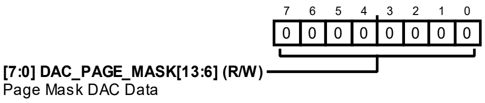

表 58. DAC_PAGE_MASK_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	DAC_PAGE_MASK[13:6]	DAC データをページ・マスク。このレジスタへの書込み後は、このレジスタにロードされた DAC コードが、CH_SELECT レジスタで選択されたすべてのチャンネルの DAC レジスタ内にコピーされます。	0x0	R/W

アドレス：0x34、リセット：0x00、レジスタ名：CH_SELECT

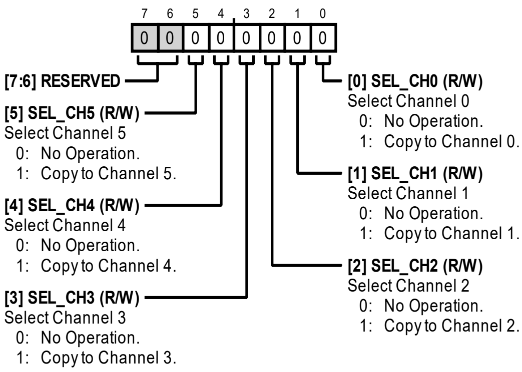

表 59. CH_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	Reserved	予備	0x0	R
5	SEL_CH5	チャンネル 5 を選択。このビットをセットすると、INPUT_PAGE_MASK レジスタに書き込まれたデータが INPUT_DATA5 のビットにコピーされ、DAC_PAGE_MASK レジスタに書き込まれたデータが DAC_DATA5 のビットに書き込まれます。 0：動作なし。 1：チャンネル 5 へコピー。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
4	SEL_CH4	チャンネル 4 を選択。このビットをセットすると、INPUT_PAGE_MASK レジスタに書き込まれたデータが INPUT_DATA4 のビットにコピーされ、DAC_PAGE_MASK レジスタに書き込まれたデータが DAC_DATA4 のビットに書き込まれます。 0：動作なし。 1：チャンネル 4 へコピー。	0x0	R/W
3	SEL_CH3	チャンネル 3 を選択。このビットをセットすると、INPUT_PAGE_MASK レジスタに書き込まれたデータが INPUT_DATA3 のビットにコピーされ、DAC_PAGE_MASK レジスタに書き込まれたデータが DAC_DATA3 のビットに書き込まれます。 0：動作なし。 1：チャンネル 3 へコピー。	0x0	R/W
2	SEL_CH2	チャンネル 2 を選択。このビットをセットすると、INPUT_PAGE_MASK レジスタに書き込まれたデータが INPUT_DATA2 のビットにコピーされ、DAC_PAGE_MASK レジスタに書き込まれたデータが DAC_DATA2 のビットに書き込まれます。 0：動作なし。 1：チャンネル 2 へコピー。	0x0	R/W
1	SEL_CH1	チャンネル 1 を選択。このビットをセットすると、INPUT_PAGE_MASK レジスタに書き込まれたデータが INPUT_DATA1 のビットにコピーされ、DAC_PAGE_MASK レジスタに書き込まれたデータが DAC_DATA1 のビットに書き込まれます。 0：動作なし。 1：チャンネル 1 へコピー。	0x0	R/W
0	SEL_CH0	チャンネル 0 を選択。このビットをセットすると、INPUT_PAGE_MASK レジスタに書き込まれたデータが INPUT_DATA0 のビットにコピーされ、DAC_PAGE_MASK レジスタに書き込まれたデータが DAC_DATA0 のビットに書き込まれます。 0：動作なし。 1：チャンネル 0 へコピー。	0x0	R/W

アドレス：**0x35**、リセット：**0x00**、レジスタ名：**INPUT_PAGE_MASK_LSB**

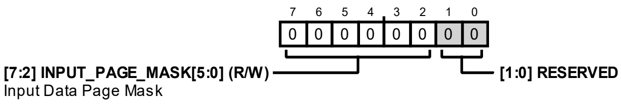

表 60. INPUT_PAGE_MASK_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	INPUT_PAGE_ MASK[5:0]	入力データ・ページ・マスク。このレジスタへの書込み後は、このレジスタにロードされた DAC コードが、CH_SELECT レジスタで選択されたすべてのチャンネルの入力レジスタ内にコピーされます。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：**0x36**、リセット：**0x00**、レジスタ名：**INPUT_PAGE_MASK_MSB**

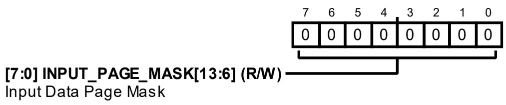

表 61. INPUT_PAGE_MASK_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INPUT_PAGE_ MASK[13:6]	入力データ・ページ・マスク。このレジスタへの書込み後は、このレジスタにロードされた DAC コードが、CH_SELECT レジスタで選択されたすべてのチャンネルの入力レジスタ内にコピーされます。	0x0	R/W

アドレス：**0x37**、リセット：**0x00**、レジスタ名：**SW_LDAC**

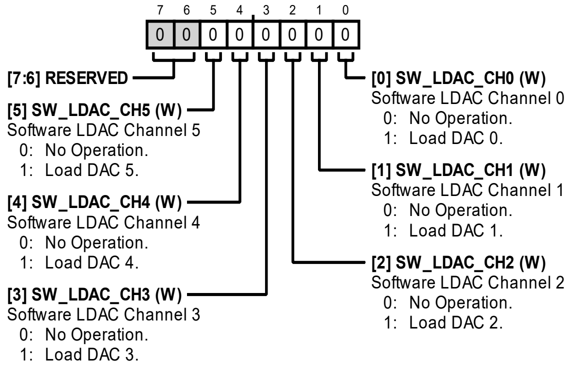

表 62. SW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	Reserved	予備	0x0	R
5	SW_LDAC_CH5	チャンネル 5 のソフトウェア $\overline{\text{LDAC}}$。このビットをセットすると、INPUT_DATA5 のビットの内容が DAC_DATA5 のビットへ転送されます。SW_LDAC レジスタへの書込み後、このビットは自動的にリセットされます。 0：動作なし。 1：DAC_DATA5 をロード。	0x0	W
4	SW_LDAC_CH4	チャンネル 4 のソフトウェア $\overline{\text{LDAC}}$。このビットをセットすると、INPUT_DATA4 のビットの内容が DAC_DATA4 のビットへ転送されます。SW_LDAC レジスタへの書込み後、このビットは自動的にリセットされます。 0：動作なし。 1：DAC_DATA4 をロード。	0x0	W
3	SW_LDAC_CH3	チャンネル 3 のソフトウェア $\overline{\text{LDAC}}$。このビットをセットすると、INPUT_DATA3 のビットの内容が DAC_DATA3 のビットへ転送されます。SW_LDAC レジスタへの書込み後、このビットは自動的にリセットされます。 0：動作なし。 1：DAC_DATA3 をロード。	0x0	W
2	SW_LDAC_CH2	チャンネル 2 のソフトウェア $\overline{\text{LDAC}}$。このビットをセットすると、INPUT_DATA2 のビットの内容が DAC_DATA2 のビットへ転送されます。SW_LDAC レジスタへの書込み後、このビットは自動的にリセットされます。 0：動作なし。 1：DAC_DATA2 をロード。	0x0	W
1	SW_LDAC_CH1	チャンネル 1 のソフトウェア $\overline{\text{LDAC}}$。このビットをセットすると、INPUT_DATA1 のビットの内容が DAC_DATA1 のビットへ転送されます。SW_LDAC レジスタへの書込み後、このビットは自動的にリセットされます。 0：動作なし。 1：DAC_DATA1 をロード。	0x0	W
0	SW_LDAC_CH0	チャンネル 0 のソフトウェア $\overline{\text{LDAC}}$。このビットをセットすると、INPUT_DATA0 のビットの内容が DAC_DATA0 のビットへ転送されます。SW_LDAC レジスタへの書込み後、このビットは自動的にリセットされます。 0：動作なし。 1：DAC_DATA0 をロード。	0x0	W

アドレス：**0x38**、リセット：**0x00**、レジスタ名：**CH0_INPUT_LSB**

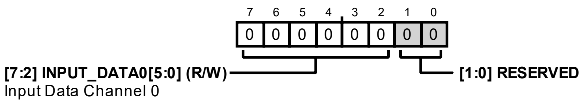

表 63. CH0_INPUT_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	INPUT_ DATA0[5:0]	チャンネル 0 の入力データ。これらのビットは、IDAC0 の入力レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x39、リセット：0x00、レジスタ名：CH0_INPUT_MSB

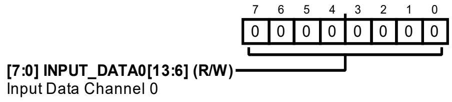

表 64. CH0_INPUT_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INPUT_DATA0[13:6]	チャンネル 0 の入力データ。これらのビットは、IDAC0 の入力レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x3A、リセット：0x00、レジスタ名：CH1_INPUT_LSB

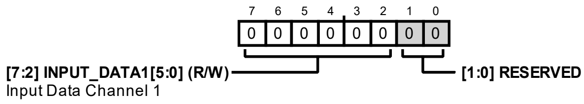

表 65. CH1_INPUT_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	INPUT_DATA1[5:0]	チャンネル 1 の入力データ。これらのビットは、IDAC1 の入力レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x3B、リセット：0x00、レジスタ名：CH1_INPUT_MSB

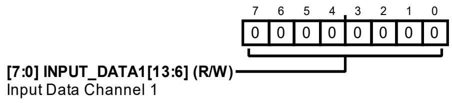

表 66. CH1_INPUT_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INPUT_DATA1[13:6]	チャンネル 1 の入力データ。これらのビットは、IDAC1 の入力レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x3C、リセット：0x00、レジスタ名：CH2_INPUT_LSB

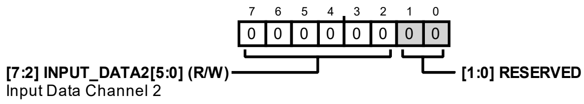

表 67. CH2_INPUT_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	INPUT_DATA2[5:0]	チャンネル 2 の入力データ。これらのビットは、IDAC2 の入力レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x3D、リセット：0x00、レジスタ名：CH2_INPUT_MSB

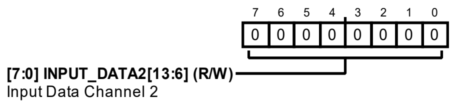

表 68. CH2_INPUT_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INPUT_DATA2[13:6]	チャンネル 2 の入力データ。これらのビットは、IDAC2 の入力レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x3E、リセット：0x00、レジスタ名：CH3_INPUT_LSB

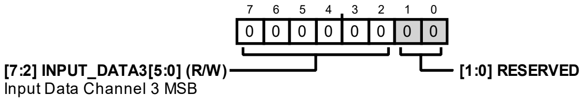

表 69. CH3_INPUT_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	INPUT_DATA3[5:0]	チャンネル 3 の入力データ。これらのビットは、IDAC3 の入力レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x3F、リセット：0x00、レジスタ名：CH3_INPUT_MSB

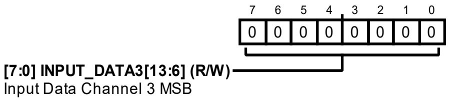

表 70.CH3_INPUT_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INPUT_DATA3[13:6]	チャンネル 3 の入力データ。これらのビットは、IDAC3 の入力レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x40、リセット：0x00、レジスタ名：CH4_INPUT_LSB

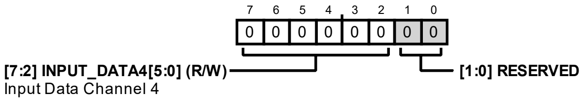

表 71. CH4_INPUT_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	INPUT_DATA4[5:0]	チャンネル 4 の入力データ。これらのビットは、IDAC4 の入力レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x41、リセット：0x00、レジスタ名：CH4_INPUT_MSB

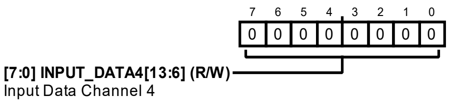

表 72. CH4_INPUT_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INPUT_DATA4[13:6]	チャンネル 4 の入力データ。これらのビットは、IDAC4 の入力レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x42、リセット：0x00、レジスタ名：CH5_INPUT_LSB

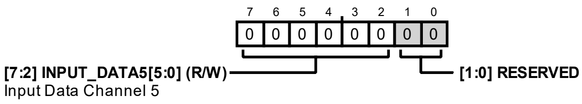

表 73. CH5_INPUT_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	INPUT_DATA5[5:0]	チャンネル 5 の入力データ。これらのビットは、IDAC5 の入力レジスタにロードされた DAC コードです。	0x0	R/W
[1:0]	Reserved	予備	0x0	R

アドレス：0x43、リセット：0x00、レジスタ名：CH5_INPUT_MSB

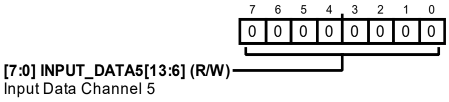

表 74. CH5_INPUT_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INPUT_DATA5[13:6]	チャンネル 5 の入力データ。これらのビットは、IDAC5 の入力レジスタにロードされた DAC コードです。	0x0	R/W

アドレス：0x44、リセット：0x3F、レジスタ名：RESERVED

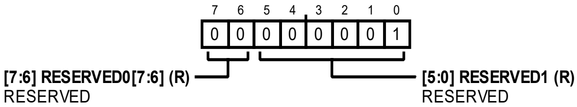

表 75. RESERVED のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED0	予備。	0x0	R
[0:5]	RESERVED1	予備。	0x1	R

外形寸法

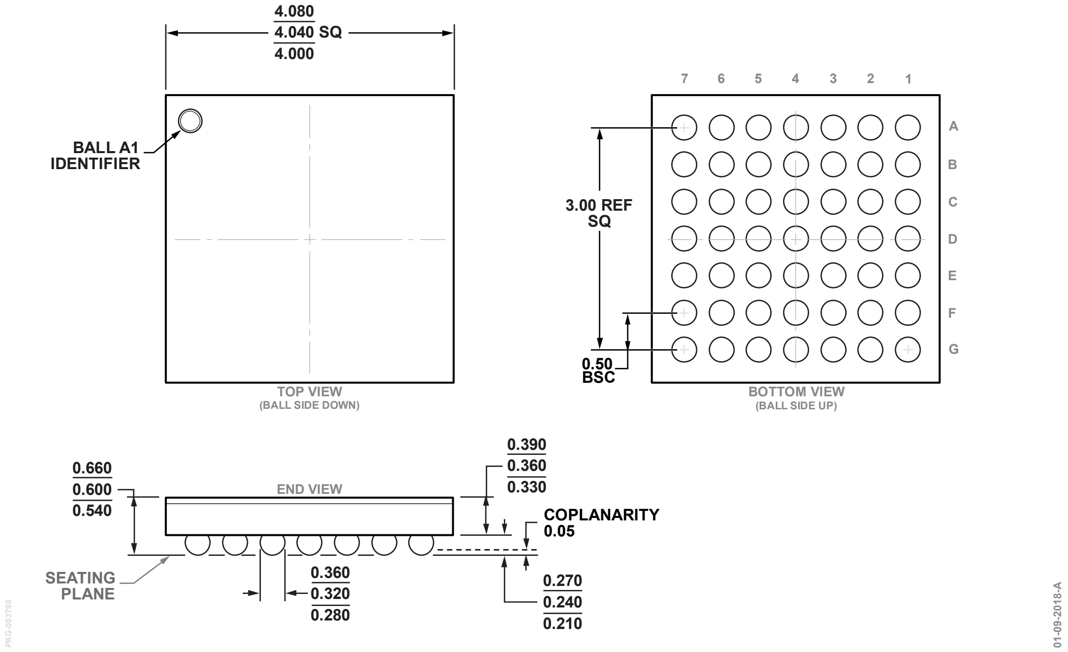

図 78. 49 ボール、ウェーハ・レベル・チップ・スケール・パッケージ［WLCSP］
（CB-49-5）
寸法単位：mm

オーダー・ガイド

Model[1]	Temperature Range	Package Description	Package Option
AD5770RBCBZ-RL7	−40°C to +105°C	49-Ball Wafer Level Chip Scale Packaging [WLCSP]	CB-49-5
EVAL-AD5770RSDZ		Evaluation Board	

[1] Z = RoHS 準拠製品。