



# HART 接続 ダイナミック消費電力制御付きの シングル・チャンネル 16 ビット電流および電圧出力 DAC

データシート

AD5758

## 特長

- 16 ビットの分解能と単調性
- 温度管理用 DPC
- 単一端子で使用可能な電流/電圧出力
- 電流出力範囲：0mA~20mA、4mA~20mA、0mA~24mA、±20mA、±24mA、-1mA~+22mA
- 電圧出力範囲（20%のオーバーレンジ含む）：0V~5V、0V~10V、±5V、および±10V
- オフセットとゲインをユーザ設定可能
- 12 ビット ADC を含む高度な内蔵診断機能
- 内部リファレンス
- 出力故障保護を含む堅牢なアーキテクチャ
- EMC 試験規格：
  - IEC 61000-4-6、伝導耐性（10V、クラス A）
  - IEC 61000-4-3、放射耐性（20V/m、クラス A）
  - IEC 61000-4-2、ESD（±6kV 接触放電、クラス B）
  - IEC 61000-4-4、電気高速トランジェント（EFT）（±4kV、クラス B）
  - IEC 61000-4-5、サージ（±4kV、クラス B）

32 ピン、5mm × 5mm LFCSP

温度範囲：-40°C~+115°C

## アプリケーション

- プロセス制御
- アクチュエータ制御
- チャンネル・アイソレーション・アナログ出力
- プログラマブル・ロジック・コントローラ（PLC）および分散型制御システム（DCS）アプリケーション
- HART ネットワーク接続

## 概要

AD5758 は、シングルチャンネルの電圧/電流出力 D/A コンバータ（DAC）で、AVSS = -33V（最小）から AVDD1 = +33V（最大）までの電源範囲で動作し、2 レール間の最大動作電圧は 60V です。内蔵のダイナミック消費電力制御（DPC）回路がパッケージの電力消費を最小限に抑えますが、これは、オンチ

ップの電力消費を最小化するために最適化された降圧 DC/DC コンバータを使用し、VIOUT 出力ドライバ回路への電源電圧（VDPC+）を 5V~27V に調整することで実現されます。また、CHART ピンによって HART®信号を電流出力にカップリングすることができます。

このデバイスは、多機能の 4 線式シリアル・ペリフェラル・インターフェース（SPI）を採用しています。このインターフェースは最大 50MHz のクロック・レートで動作し、標準 SPI、QSPI™、MICROWIRE™、DSP、およびマイクロコントローラ・インターフェース標準と互換性があります。また、インターフェースは、オプションの SPI 巡回冗長性チェック（CRC）とウォッチドッグ・タイマー（WDT）を備えています。AD5758 は、内蔵 12 ビット診断 A/D コンバータ（ADC）など、前の製品よりも改善された診断機能を備えています。更に、VIOUT、+VSENSE、および-VSENSE ピンにライン・プロテクタを含めることで、堅牢性が強化されています。AD5758 とそのコンパニオン PMU（パワー・マネージメント・ユニット）/アイソレータ（ADP1031）を組み合わせれば、8 つのチャンネル間絶縁出力を持ち、消費電力が 2W 未満で、CISPR 11 クラス B に適合したモジュールを開発することができます。

## 製品のハイライト

- 熱管理のために内蔵降圧 DC/DC コンバータを使用する DPC。ADP1031 と共に使用することで、AD5758 では 2W 未満の消費電力で 8 つのチャンネル間絶縁出力を使用できます。
- 信頼性を向上させる内蔵 ADC を含む、様々な先進的診断機能。
- 誤配線時の出力保護機能（±38V）を備えた高い堅牢性。
- HART 準拠。

## 関連製品

製品ファミリ：AD5755-1、AD5422、AD5753、AD5423

内蔵 PMU/アイソレーション：ADP1031

HART モデム：AD5700、AD5700-1

外部リファレンス：ADR431、ADR3425、ADR4525

デジタル・アイソレータ：ADuM142D、ADuM141D

電源：LT8300、ADP2360、ADM6339、ADP1031

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. B

©2018-2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300

## 目次

特長 .....	1	電圧出力 .....	36
アプリケーション .....	1	故障の保護 .....	36
概要 .....	1	電流出力 .....	36
製品のハイライト .....	1	HART 接続 .....	37
関連製品 .....	1	スルー・レートのデジタル制御 .....	37
改訂履歴 .....	2	AD5758 アドレス・ピン .....	37
機能ブロック図 .....	4	ウォッチドッグ・タイマー (WDT) .....	39
仕様 .....	5	オフセットとゲインのデジタル調整 .....	39
AC 性能特性 .....	10	DAC 出力の更新とデータ完全性の診断 .....	40
タイミング特性 .....	11	キー・コードの使用 .....	41
絶対最大定格 .....	14	ソフトウェア・リセット .....	41
熱抵抗 .....	14	キャリブレーション・メモリの CRC .....	41
ESD に関する注意 .....	14	内部発振器の診断 .....	42
ピン配置およびピン機能の説明 .....	15	スティッキー診断結果ビット .....	42
代表的な性能特性 .....	17	バックグラウンドでの電源および温度モニタリング .....	42
電圧出力 .....	17	出力故障 .....	42
電流出力 .....	21	ADC のモニタリング .....	43
DC/DC ブロック .....	26	レジスタ・マップ .....	46
リファレンス .....	27	レジスタへの書込み .....	46
一般特性 .....	28	レジスタからの読出し .....	47
用語の定義 .....	29	出力イネーブルを行う設定シーケンス .....	50
動作原理 .....	31	レジスタの詳細 .....	52
DAC アーキテクチャ .....	31	アプリケーション情報 .....	67
シリアル・インターフェース .....	31	モジュール例の消費電力計算 .....	67
AD5758 のパワーオン状態 .....	32	誘導負荷の駆動 .....	68
電源に関する考慮事項 .....	32	電磁両立性 (EMC) に関する考慮事項 .....	68
デバイス特性と診断機能 .....	34	外形寸法 .....	69
消費電力制御 .....	34	オーダー・ガイド .....	69
ダイ間の 3 線式インターフェース .....	35		

## 改訂履歴

## 3/2020—Rev. A to Rev. B

Changes to Companion Products Section .....	1	Changes to 3-Wire Interface Diagnostics Section, Voltage Output Amplifier and $V_{SENSE}$ Functionality Section, and Figure 78 .....	36
Changes to AV <sub>SS</sub> to AGND, DGND Parameter, Table 4 .....	14	Changes to Figure 90 .....	51
Changes to Table 6 .....	16	Changes to Table 25 .....	52
Changes to Figure 29 .....	20	Changes to the Software LDAC Register Section .....	55
Changes to Figure 35 .....	21	Changes to Table 35 .....	56
Moved Figure 36; Renumered Sequentially .....	21	Changes to Figure 91 .....	68
Changes to Figure 37 to Figure 42 .....	22	Added Electromagnetic Compatibility (EMC) Considerations Section .....	68
Changes to Figure 56 .....	25		
Changes to Terminology Section .....	29		

**3/2019—Rev. 0 to Rev. A**

Changes to Features Section, General Description Section, Product Highlights Section, and Companion Products Section .....	1
Changes to Figure 1.....	4
Changes to Specifications Section and Table 1 .....	5
Added Endnote 4, Table 1; Renumbered Sequentially.....	7
Changes to AC Performance Characteristics Section and Digital-to-Analog Glitch Energy Parameter, Table 2 .....	10
Changes to Timing Characteristics Section .....	11
Changes to Absolute Maximum Ratings Section and Table 4 .....	14
Added Endnote 2 and Endnote 3, Table 4 .....	14
Change to Figure 6 .....	15
Changes to Table 6 .....	16
Change to Figure 28 .....	20
Changes to Figure 34 and Figure 35 .....	21
Changes to Figure 37, Figure 38, Figure 39, Figure 40, Figure 41, and Figure 42 .....	22
Changes to Figure 52 and Figure 54 .....	24
Added Figure 53; Renumbered Sequentially.....	24
Deleted Figure 71; Renumbered Sequentially.....	28
Changes to Theory of Operation Section and Table 7.....	31
Changes to Power-On State of the AD5758 Section.....	32
Change to AV <sub>DD1</sub> Considerations Section.....	32
Change to AV <sub>SS</sub> Considerations Section.....	33
Changes to Figure 77, Table 10, DPC Current Mode Section, and PPC Current Mode Section .....	34
Changes to Figure 78 and Fault Protection Section .....	36
Deleted Internal Current Output Monitor Section and Figure 79; Renumbered Sequentially .....	37
Changes to Figure 79, Digital Slew Rate Control Section, AD5758 Address Pins Section, SPI Interface Diagnostics Section, and Table 12 .....	37
Changes to Watchdog Timer (WDT) Section .....	39
Change to DAC Output Update and Data Integrity Diagnostics Section .....	40
Changes to Use of Key Codes Section.....	41
Changes to Background Supply and Temperature Monitoring Section .....	42

Changes to Table 17, ADC Monitoring Section, and Table 18.....	43
Changes to Figure 84.....	44
Changes to ADC Configuration Section, Table 19, and ADC Conversion Timing Section.....	45
Deleted Key Sequencing (Command 010) Section, Automatic Sequencing (Command 011) Section, Single Immediate Conversion (Command 100) Section, Single Key Conversion (Command 101) Section, Sequencing Mode Setup Section .....	45
Deleted Table 20; Renumbered Sequentially .....	45
Deleted Figure 86 .....	46
Changes to Table 20 and Table 21 .....	46
Changes to Table 23.....	47
Changes to Autostatus Readback Mode Section.....	48
Changes to Figure 88.....	49
Changes to Programming Sequence to Enable the Output Section ...	50
Changes to Software LDAC Register Section .....	55
Changes to Table 34 and Table 35.....	56
Changes to Table 36.....	57
Changes to DC-to-DC Configuration 1 Register Section, Table 37, and Table 38 .....	58
Changes to Table 41.....	61
Changes to Table 42.....	62
Changes to Analog Diagnostic Results Register Section and Table 45 .....	64
Changes to Table 47.....	65
Changes to Power Calculation Methodology (R <sub>LOAD</sub> = 1 kΩ) Section and Power Calculation Methodology (R <sub>LOAD</sub> = 0 kΩ) Section.....	67
Added Figure 91 .....	68
Changes to Driving Inductive Loads Section .....	68
Updated Outline Dimensions .....	69
Changes to Ordering Guide .....	69
Deleted Figure 93 .....	70
Deleted Figure 94 .....	71

**5/2018—Revision 0: Initial Version**

機能ブロック図

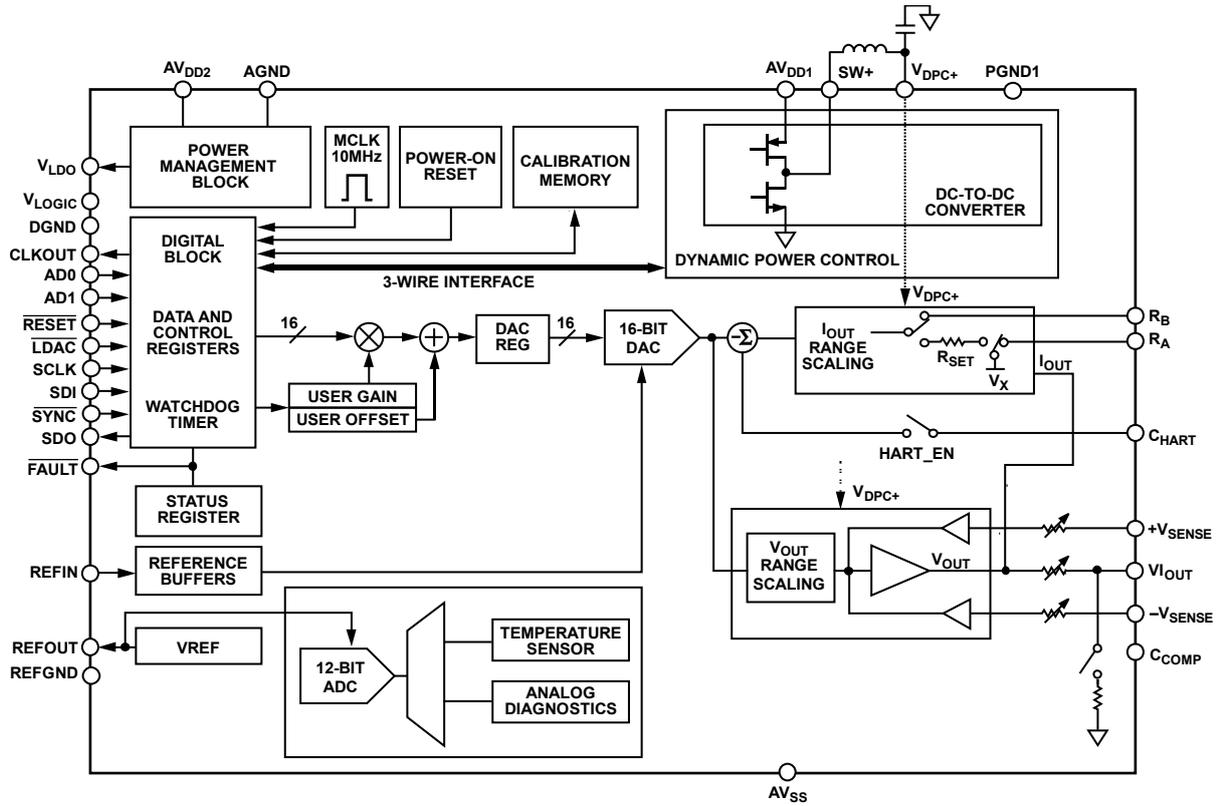


図 1.

11846-002

## 仕様

特に指定のない限り、 $AV_{DD1} = V_{DPC+} = 15V$ 、DC/DC コンバータ = ディスエーブル、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $V_{LOGIC} = 1.71V \sim 5.5V$ 、 $AGND = DGND = REFGND = PGND1 = 0V$ 、REFIN = 外部 2.5V、電圧出力： $R_L = 1k\Omega$ 、 $C_L = 220pF$ 、電流出力： $R_L = 300\Omega$ 、特に指定のない限り、すべての仕様は  $T_A = -40^\circ C \sim +115^\circ C$ 、 $T_J < 125^\circ C$  での値。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
<b>VOLTAGE OUTPUT</b>					
Output Voltage Ranges ( $V_{OUT}$ )	0		5	V	トリムした場合の $V_{OUT}$ 範囲
	0		10	V	
	-5		+5	V	
	-10		+10	V	
Output Voltage Overranges	0		6	V	トリムしない場合のオーバーレンジ
	0		12	V	
	-6		+6	V	
	-12		+12	V	
Output Voltage Offset Ranges	-0.3		+5.7	V	トリムしない場合の負のオフセット範囲
	-0.4		+11.6	V	
Resolution	16			Bits	
<b>VOLTAGE OUTPUT ACCURACY</b>					
Total Unadjusted Error (TUE)	-0.05		+0.05	% FSR	特に指定のない限り有負荷時および無負荷時で、精度仕様はトリムした場合の $V_{OUT}$ 範囲のみが基準
	-0.01		+0.01	% FSR	$T_A = 25^\circ C$
TUE Long-Term Stability <sup>1</sup>		15		ppm FSR	1000 時間後のドリフト、 $T_J = 150^\circ C$
Output Drift		0.35	2	ppm FSR/ $^\circ C$	出力ドリフト
Relative Accuracy (INL)	-0.006		+0.006	% FSR	すべての範囲
Differential Nonlinearity (DNL)	-1		+1	LSB	全範囲で単調増加性を確保
Zero-Scale Error	-0.02	$\pm 0.002$	+0.02	% FSR	
Zero-Scale Error Temperature Coefficient (TC) <sup>2</sup>		$\pm 0.3$		ppm FSR/ $^\circ C$	
Bipolar Zero Error	-0.015	+0.001	+0.015	% FSR	$\pm 5V$ 、 $\pm 10V$
Bipolar Zero Error TC <sup>2</sup>		$\pm 0.3$		ppm FSR/ $^\circ C$	$\pm 5V$ 、 $\pm 10V$
Offset Error	-0.02	$\pm 0.002$	+0.02	% FSR	
Offset Error TC <sup>2</sup>		$\pm 0.3$		ppm FSR/ $^\circ C$	
Gain Error	-0.02	$\pm 0.001$	+0.02	% FSR	
Gain Error TC <sup>2</sup>		$\pm 0.3$		ppm FSR/ $^\circ C$	
Full-Scale Error	-0.02	$\pm 0.001$	+0.02	% FSR	
Full-Scale Error TC <sup>2</sup>		$\pm 0.3$		ppm FSR/ $^\circ C$	
<b>VOLTAGE OUTPUT CHARACTERISTICS</b>					
Headroom	2			V	$V_{I_{OUT}}$ と $V_{DPC+}$ 電源の間に必要な最小電圧
Footroom	2			V	$V_{I_{OUT}}$ と $AV_{SS}$ 電源の間に必要な最小電圧
Short-Circuit Current		16		mA	
Load <sup>2</sup>	1			k $\Omega$	仕様規定された性能の場合
Capacitive Load Stability <sup>2</sup>			10	nF	
			2	$\mu F$	220pF の外部補償コンデンサを接続
DC Output Impedance		7		m $\Omega$	
DC Power Supply Rejection Ratio (PSRR)		10		$\mu V/V$	
$V_{OUT}/-V_{SENSE}$ Common-Mode Rejection Ratio (CMRR)		10		$\mu V/V$	$-V_{SENSE}$ 電圧の変化による $V_{OUT}$ 電圧の誤差

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CURRENT OUTPUT					
Output Current Ranges ( $I_{OUT}$ )	0		24	mA	
	0		20	mA	
	4		20	mA	
	-20		+20	mA	
	-24		+24	mA	
	-1		+22	mA	
Resolution	16			Bits	
CURRENT OUTPUT ACCURACY (EXTERNAL $R_{SET}$ ) <sup>3</sup>					13.7k $\Omega$ の理想抵抗と仮定
Unipolar Ranges					4mA~20mA、0mA~20mA、および 0mA~24mA の範囲
TUE	-0.06		+0.06	% FSR	$T_A = 25^\circ\text{C}$
	-0.012		+0.012	% FSR	1000 時間後のドリフト、 $T_J = 150^\circ\text{C}$
TUE Long-Term Stability		125		ppm FSR	
Output Drift		3	7	ppm FSR/ $^\circ\text{C}$	
INL	-0.006		+0.006	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.03	$\pm 0.002$	+0.03	% FSR	
Zero-Scale $TC^2$		$\pm 0.5$		ppm FSR/ $^\circ\text{C}$	
Offset Error	-0.03	$\pm 0.001$	+0.03	% FSR	
Offset Error $TC^2$		$\pm 0.7$		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.05	$\pm 0.001$	+0.05	% FSR	
Gain Error $TC^2$		$\pm 3$		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.05	$\pm 0.001$	+0.05	% FSR	
Full-Scale Error $TC^2$		$\pm 3$		ppm FSR/ $^\circ\text{C}$	
Bipolar Ranges					$\pm 20\text{mA}$ 、 $\pm 24\text{mA}$ 、および $-1\text{mA}$ ~ $+22\text{mA}$ の範囲
Total Unadjusted Error (TUE)	-0.08		+0.08	% FSR	$T_A = 25^\circ\text{C}$
	-0.014		+0.014	% FSR	1000 時間後のドリフト、 $T_J = 150^\circ\text{C}$
TUE Long-Term Stability <sup>1</sup>		125		ppm FSR	
Output Drift		12	15.5	ppm FSR/ $^\circ\text{C}$	
INL	-0.01		+0.01	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.04	$\pm 0.002$	+0.04	% FSR	
Zero-Scale $TC^2$		$\pm 0.9$		ppm FSR/ $^\circ\text{C}$	
Bipolar Zero Error	-0.02	$\pm 0.002$	+0.02	% FSR	
Bipolar Zero Error $TC^2$		$\pm 0.4$		ppm FSR/ $^\circ\text{C}$	
Offset Error	-0.06	$\pm 0.002$	+0.06	% FSR	
Offset Error $TC^2$		$\pm 0.9$		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.08	$\pm 0.002$	+0.08	% FSR	
Gain Error $TC^2$		$\pm 4$		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.08	$\pm 0.002$	+0.08	% FSR	
Full-Scale Error $TC^2$		$\pm 3$		ppm FSR/ $^\circ\text{C}$	
CURRENT OUTPUT ACCURACY (INTERNAL $R_{SET}$ )					
Unipolar Ranges					4mA~20mA、0mA~20mA、および 0mA~24mA の範囲
TUE	-0.18		+0.18	% FSR	$T_A = 25^\circ\text{C}$
TUE Long-Term Stability <sup>1</sup>		380		ppm FSR	1000 時間後のドリフト、 $T_J = 150^\circ\text{C}$
Output Drift		9	21	ppm FSR/ $^\circ\text{C}$	出力ドリフト
INL	-0.01		+0.01	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.06	$\pm 0.002$	+0.06	% FSR	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Zero-Scale TC <sup>2</sup>		±3		ppm FSR/°C	
Offset Error	-0.05	±0.001	+0.05	% FSR	
Offset Error TC <sup>2</sup>		±3		ppm FSR/°C	
Gain Error	-0.14	±0.003	+0.14	% FSR	
Gain Error TC <sup>2</sup>		±12		ppm FSR/°C	
Full-Scale Error	-0.18	±0.005	+0.18	% FSR	
Full-Scale Error TC <sup>2</sup>		±14		ppm FSR/°C	
Bipolar Ranges					±20mA、±24mA、および-1mA〜+22mA の範囲
TUE	-0.16		+0.16	% FSR	
TUE Long-Term Stability <sup>1</sup>		380		ppm FSR	1000 時間後のドリフト、T <sub>J</sub> = 150°C
Output Drift		6	21	ppm FSR/°C	出力ドリフト
INL	-0.01		+0.01	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.06	±0.002	+0.06	% FSR	
Zero-Scale TC <sup>2</sup>		±4		ppm FSR/°C	
Bipolar Zero Error	-0.02	±0.002	+0.02	% FSR	
Bipolar Zero Error TC <sup>2</sup>		±0.3		ppm FSR/°C	
Offset Error	-0.07	±0.001	+0.07	% FSR	
Offset Error TC <sup>2</sup>		±4		ppm FSR/°C	
Gain Error	-0.16	±0.003	+0.16	% FSR	
Gain Error TC <sup>2</sup>		±12		ppm FSR/°C	
Full-Scale Error	-0.16	±0.005	0.16	% FSR	
Full-Scale Error TC <sup>2</sup>		±11		ppm FSR/°C	
CURRENT OUTPUT CHARACTERISTICS					
Headroom	2.3			V	V <sub>IOUT</sub> と V <sub>DPC+</sub> 電源の間で必要な最小電圧
Footroom	2.35/0			V	V <sub>IOUT</sub> と AV <sub>SS</sub> 電源の間で必要な最小電圧、ユニポーラ範囲ではフットルームは不要
Resistive Load <sup>2</sup>			1000	Ω	DC/DC コンバータは最大負荷 1kΩ で特性評価されており、ヘッドルームとフットルームが適合範囲を超えないように選ばれています
Output Impedance		100		MΩ	ミッドスケール出力
DC PSRR		0.1		μA/V	
REFERENCE INPUT/OUTPUT					
Reference Input					
Reference Input Voltage <sup>4</sup>		2.5		V	仕様規定された性能の場合
DC Input Impedance	55	120		MΩ	
Reference Output					
Output Voltage	2.495	2.5	2.505	V	T <sub>A</sub> = 25°C (T <sub>J</sub> = 150°C で 1000 時間経過した後のドリフトを含む)
Reference TC <sup>2</sup>	-10		+10	ppm/°C	
Output Noise (0.1 Hz to 10 Hz) <sup>2</sup>		7		μV p-p	
Noise Spectral Density <sup>2</sup>		80		nV/√Hz	10kHz 時
Capacitive Load <sup>2</sup>			1000	nF	
Load Current		3		mA	
Short-Circuit Current		5		mA	
Line Regulation		1		ppm/V	
Load Regulation		80		ppm/mA	
Thermal Hysteresis <sup>2</sup>		150		ppm	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
<b>V<sub>LDO</sub> OUTPUT</b>					
Output Voltage		3.3		V	
Output Voltage TC <sup>2</sup>		25		ppm/°C	
Output Voltage Accuracy	-2		+2	%	
Externally Available Current			30	mA	
Short-Circuit Current		55		mA	
Load Regulation		0.8		mV/mA	
Capacitive Load		0.1		μF	推奨動作
<b>DC-TO-DC</b>					
Start-Up Time		1.25		ms	
Switch					
Peak Current Limit <sup>2</sup>	150		400	mA	DCDC_CONFIG2 レジスタを介し 50mA ステップでユーザ設定可能
Oscillator					
Oscillator Frequency (f <sub>sw</sub> )		500		kHz	
Minimum Duty Cycle		5		%	
Current Output DPC Mode					電流出力ダイナミック消費電力制御モード
V <sub>DPC+</sub> Voltage Range	4.95		27	V	AV <sub>DD1</sub> と V <sub>DPC+</sub> の間に十分な電源マージンがあるものと仮定。詳細については消費電力制御のセクションを参照。最大動作範囲は V <sub>DPC+</sub> ~ AV <sub>SS</sub>   = 50V
V <sub>DPC+</sub> Headroom		2.3	2.5	V	V <sub>IOUT</sub> と V <sub>DPC+</sub> の間のヘッドルーム (代表値)。DC/DC コンバータがレギュレーション状態にある (つまり負荷が十分に大きい) 場合のみ適用
Current Output PPC Mode					PPC モード
V <sub>DPC+</sub> Voltage Range	5		25.677	V	AV <sub>DD1</sub> と V <sub>DPC+</sub> の間に十分な電源マージンがあるものと仮定。詳細については消費電力制御のセクションを参照。最大動作範囲は V <sub>DPC+</sub> ~ AV <sub>SS</sub>   = 50V
V <sub>DPC+</sub> Voltage Accuracy	-500		+500	mV	DC/DC コンバータがレギュレーションを行っている (つまり負荷が十分に大きい) 場合のみ適用
Voltage Output DPC Mode					電圧出力ダイナミック消費電力制御モード
V <sub>DPC+</sub> Voltage Range	5	15	25	V	5V = -V <sub>SENSE(MIN)</sub> + 15V, 25V = -V <sub>SENSE(MAX)</sub> + 15V, AV <sub>DD1</sub> と V <sub>DPC+</sub> の間に十分な電源マージンがあるものと仮定。詳細については消費電力制御のセクションを参照。最大動作範囲は V <sub>DPC+</sub> ~ AV <sub>SS</sub>   = 50V
V <sub>DPC+</sub> Voltage Accuracy	-500		+500	mV	DC/DC コンバータがレギュレーションを行っている (つまり負荷が十分に大きい) 場合のみ適用
<b>V<sub>IOUT</sub> LINE PROTECTOR</b>					
On Resistance (R <sub>ON</sub> )		12		Ω	T <sub>A</sub> = 25°C
Overvoltage Response Time (t <sub>RESPONSE</sub> )		250		ns	
Overvoltage Leakage Current		±100		μA	ライン・プロテクタの故障検出ブロックは、正の故障電圧の場合は電流をシンクし、負の故障電圧の場合は電流をソースします。
<b>ADC</b>					
Resolution		12		Bits	
Total Error		±0.3		% FSR	表 18 にすべての ADC 入力ノードを示します
Conversion Time <sup>2</sup>		100		μs	
<b>DIGITAL INPUTS</b>					
Input Voltage					
3 V ≤ V <sub>LOGIC</sub> ≤ 5.5 V					
High, V <sub>IH</sub>	0.7 × V <sub>LOGIC</sub>			V	
Low, V <sub>IL</sub>			0.3 × V <sub>LOGIC</sub>	V	
1.71 V ≤ V <sub>LOGIC</sub> < 3 V					

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
High, $V_{IH}$	$0.8 \times V_{LOGIC}$			V	
Low, $V_{IL}$			$0.2 \times V_{LOGIC}$	V	
Input Current	-1.5		+1.5	$\mu A$	SCLK、SDI、 $\overline{RESET}$ 、 $\overline{LDAC}$ はピンごとにプルダウン抵抗を内蔵。SYNCはプルアップ抵抗を内蔵
Pin Capacitance <sup>2</sup>		2.4		pF	ピンごと
<b>DIGITAL OUTPUTS</b>					
<b>SDO</b>					
Output Voltage					
Low, $V_{OL}$			0.4	V	200 $\mu A$ をシンク
High, $V_{OH}$	$V_{LOGIC} - 0.2$			V	200 $\mu A$ をソース
High Impedance Leakage Current	-1		+1	$\mu A$	
High Impedance Output Capacitance <sup>2</sup>		2.2		pF	
<b><math>\overline{FAULT}</math></b>					
Output Voltage					
Low, $V_{OL}$		0.6	0.4	V	$V_{LOGIC}$ への 10k $\Omega$ プルアップ抵抗
High, $V_{OH}$	$V_{LOGIC} - 0.05$			V	2.5mA 時
				V	$V_{LOGIC}$ への 10k $\Omega$ プルアップ抵抗
<b>POWER REQUIREMENTS</b>					
<b>Supply Voltages</b>					
$AV_{DD1}$ <sup>5</sup>	7		33	V	$ AV_{DD1} \sim AV_{SS}  = 60V$ の最大動作範囲
$AV_{DD2}$	5		33	V	$ AV_{DD2} \sim AV_{SS}  = 50V$ の最大動作範囲
$AV_{SS}$ <sup>5</sup>	-33		0	V	$ AV_{DD1} \sim AV_{SS}  = 60V$ の最大動作範囲。バイポーラ出力範囲の場合、最大 $AV_{SS}$ の計算時には $V_{OUT}/I_{OUT}$ のヘッドルームに従う必要があります。ユニポーラ電流出力範囲の場合の最大 $AV_{SS} = 0V$ 。ユニポーラ電圧出力範囲の場合の最大 $AV_{SS} = -2V$
$V_{LOGIC}$	1.71		5.5	V	
<b>Supply Quiescent Currents<sup>5</sup></b>					
$AI_{DD1}$		0.05	0.11	mA	静止電流（負荷電流はないものと仮定） 電圧出力モード、DC/DC コンバータはイネーブルで非アクティブ
		0.05	0.11	mA	電流出力モード、DC/DC コンバータはイネーブルで非アクティブ
$AI_{DD2}$		3.3	3.6	mA	電圧出力モード、DC/DC コンバータはイネーブルで非アクティブ
		2.9	3.1	mA	電流出力モード、DC/DC コンバータはイネーブルで非アクティブ
$AI_{SS}$	-1.4	-1.1		mA	電圧出力モード
	-3.15	-2.4		mA	バイポーラ電流出力モード
	-0.26	-0.23		mA	ユニポーラ電流出力モード
$I_{LOGIC}$			0.01	mA	$V_{IH} = V_{LOGIC}$ 、 $V_{IL} = DGND$
$I_{DPC+}$		1.0	1.3	mA	電圧出力モード
		0.8	1	mA	ユニポーラ電流出力モード
		2.4	3.15	mA	バイポーラ電流出力モード

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Power Dissipation		103		mW	理想電源を使用し外部負荷による消費電力を除外、電流出力 DPC モード、電流範囲 0mA~20mA と仮定した場合の消費電力。計算方法についてはモジュール例の消費電力計算のセクションを参照
		145		mW	AV <sub>DD1</sub> = 24V、AV <sub>DD2</sub> = 5V、AV <sub>SS</sub> = -15V、R <sub>LOAD</sub> = 1kΩ、I <sub>OUT</sub> = 20mA
		155		mW	AV <sub>DD1</sub> = 24V、AV <sub>DD2</sub> = 5V、AV <sub>SS</sub> = -15V、R <sub>LOAD</sub> = 0Ω、I <sub>OUT</sub> = 20mA
		200		mW	AV <sub>DD1</sub> = AV <sub>DD2</sub> = 24V、AV <sub>SS</sub> = -15V、R <sub>LOAD</sub> = 1kΩ、I <sub>OUT</sub> = 20mA
					AV <sub>DD1</sub> = AV <sub>DD2</sub> = 24V、AV <sub>SS</sub> = -15V、R <sub>LOAD</sub> = 0Ω、I <sub>OUT</sub> = 20mA

<sup>1</sup> 長期安定性の仕様は非累積的です。後続の 1000 時間にわたるドリフトは、最初の 1000 時間よりも大幅に小さくなります。

<sup>2</sup> 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

<sup>3</sup> 内蔵および外付け R<sub>SET</sub> 抵抗の詳細については、電流出力のセクションを参照してください。

<sup>4</sup> AD5758 は、出荷時に外部 2.5V リファレンスを REFIN に接続して補正されています。

<sup>5</sup> 製品は最大 AV<sub>DD1</sub> = 30V、最小 AV<sub>SS</sub> = -30V でテストされています。

## AC 性能特性

特に指定のない限り、AV<sub>DD1</sub> = V<sub>DPC+</sub> = 15V、DC/DC コンバータ = ディスエーブル、AV<sub>DD2</sub> = 5V、AV<sub>SS</sub> = -15V、V<sub>LOGIC</sub> = 1.71V~5.5V、AGND = DGND = REFGND = PGND1 = 0V、REFIN = 外部 2.5V、電圧出力：R<sub>L</sub> = 1kΩ、C<sub>L</sub> = 220pF、電流出力：R<sub>L</sub> = 300Ω、特に指定のない限り、すべての仕様は T<sub>A</sub> = -40°C~+115°C、T<sub>J</sub> < 125°C での値。

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DYNAMIC PERFORMANCE <sup>1</sup>					
Voltage Output					
Output Voltage Settling Time		6	20	μs	出力電圧セトリング時間仕様は DC/DC コンバータをイネーブルした場合も適用されます
		12	20	μs	±0.03% FSR まで 5V ステップ、0V~5V 範囲
			15	μs	±0.03% FSR まで 10V ステップ、0V~10V 範囲
Slew Rate		3		V/μs	1LSB (16 ビット LSB) まで 100mV ステップ、0V~10V 範囲
					0V~10V 範囲、デジタル・スルー・レート制御をディスエーブル
Power-On Glitch Energy		25		nV-sec	
Digital-to-Analog Glitch Energy		5		nV-sec	
Glitch Impulse Peak Amplitude		25		mV	
Digital Feedthrough		2		nV-sec	
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.2		LSB p-p	16 ビット LSB、0V~10V 範囲
Output Noise Spectral Density		185		nV/√Hz	10kHz で測定、ミッドスケール出力、0V~10V 範囲
AC PSRR		70		dB	200mV、50Hz~60Hz のサイン波を電源電圧に重畳
Current Output					
Output Current Settling Time		15		μs	0.1% FSR まで (0mA~24mA)、DC/DC コンバータをディスエーブル
		15		μs	PPC モード、DC/DC コンバータをイネーブル、DC/DC 電流限界 = 150mA
		200		μs	DPC モード、DC/DC コンバータをイネーブル。外部インダクタおよびコンデンサ部品は表 10、DC/DC 電流限界 = 150mA
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.2		LSB p-p	16 ビット LSB、0mA~24mA 範囲
Output Noise Spectral Density		0.8		nA/√Hz	10kHz で測定、ミッドスケール出力、0mA~24mA 範囲
AC PSRR		80		dB	200mV、50Hz~60Hz のサイン波を電源電圧に重畳

<sup>1</sup> 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

タイミング特性

特に指定のない限り、 $AV_{DD1} = V_{DPC+} = 15V$ 、DC/DC コンバータ = ディスエーブル、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $V_{LOGIC} = 1.71V \sim 5.5V$ 、 $AGND = DGND = REFGND = PGND1 = 0V$ 、REFIN = 外部 2.5V、電圧出力： $R_L = 1k\Omega$ 、 $C_L = 220pF$ 、電流出力： $R_L = 300\Omega$ 、特に指定のない限り、すべての仕様は  $T_A = -40^\circ C \sim +115^\circ C$ 、 $T_J < 125^\circ C$  の値。

表 3.

パラメータ <sup>1, 2, 3</sup>	$1.71V \leq V_{LOGIC} < 3V$	$3V \leq V_{LOGIC} < 5.5V$	単位	説明
$t_1$	33	20	ns min	SCLK サイクル時間、書込み動作
	120	66	ns min	SCLK サイクル時間、読出し動作
$t_2$	16	10	ns min	SCLK ハイ時間、書込み動作
	60	33	ns min	SCLK ハイ時間、読出し動作
$t_3$	16	10	ns min	SCLK ロー時間、書込み動作
	60	33	ns min	SCLK ロー時間、読出し動作
$t_4$	10	10	ns min	$\overline{SYNC}$ の立下がりエッジから SCLK 立下がりエッジまでのセットアップ時間、書込み動作
	33	33	ns min	$\overline{SYNC}$ の立下がりエッジから SCLK 立下がりエッジまでのセットアップ時間、読出し動作
$t_5$	10	10	ns min	24 番目/32 番目の SCLK 立下がりエッジから $\overline{SYNC}$ の立上がりエッジまで
	500	500	ns min	$\overline{SYNC}$ ハイ時間 (この表に示すもの以外のすべてのレジスタ書込み)
$t_6$	1.5	1.5	$\mu s$ min	$\overline{SYNC}$ ハイ時間 (DAC_INPUT レジスタ書込み)
	500	500	$\mu s$ min	$\overline{SYNC}$ ハイ時間 (DAC_CONFIG レジスタ書込み、範囲ビット [3:0] ) が変化。キャリブレーション・メモリの CRC のセクションを参照)
$t_7$	5	5	ns min	データ・セットアップ時間
$t_8$	6	6	ns min	データ・ホールド時間
$t_9$	750	750	ns min	$\overline{LDAC}$ の立下がりエッジから $\overline{SYNC}$ の立上がりエッジまで
$t_{10}$	1.5	1.5	$\mu s$ min	$\overline{SYNC}$ の立上がりエッジから $\overline{LDAC}$ の立が下りエッジまで
$t_{11}$	250	250	ns min	$\overline{LDAC}$ パルス幅、ロー
$t_{12}$	600	600	ns max	$\overline{LDAC}$ の立下がりエッジから DAC 出力応答までの時間、デジタル・スルー・レート制御をディスエーブル。
	2	2	$\mu s$ max	$\overline{LDAC}$ の立下がりエッジから DAC 出力応答までの時間、デジタル・スルー・レート制御をイネーブル。
$t_{13}$	See the AC Performance Characteristics section		$\mu s$ max	DAC 出力セトリング時間
$t_{14}$	1.5	1.5	$\mu s$ max	$\overline{SYNC}$ の立上がりエッジから DAC 出力応答までの時間 ( $\overline{LDAC} = 0$ )
$t_{15}$	5	5	$\mu s$ min	RESETパルス幅
$t_{16}$	40	28	ns max	SCLK の立上がりエッジから SDO が有効になるまで
$t_{17}$	100	100	$\mu s$ min	RESETの立上がりエッジから $\overline{SYNC}$ 立下がりエッジ後最初の SCLK 立下がりエッジまで ( $t_{17}$ はタイミング図には示されていません)

<sup>1</sup> 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

<sup>2</sup> すべての入力信号は  $t_R = t_F = 5ns$  ( $V_{LOGIC}$  の 10%~90%) で仕様規定し、1.2V の電圧レベルで時間を測定しています。 $t_R$  は立上がり時間、 $t_F$  は立下がり時間です。

<sup>3</sup> 図 2、図 3、図 4、図 5 を参照してください。

タイミング図

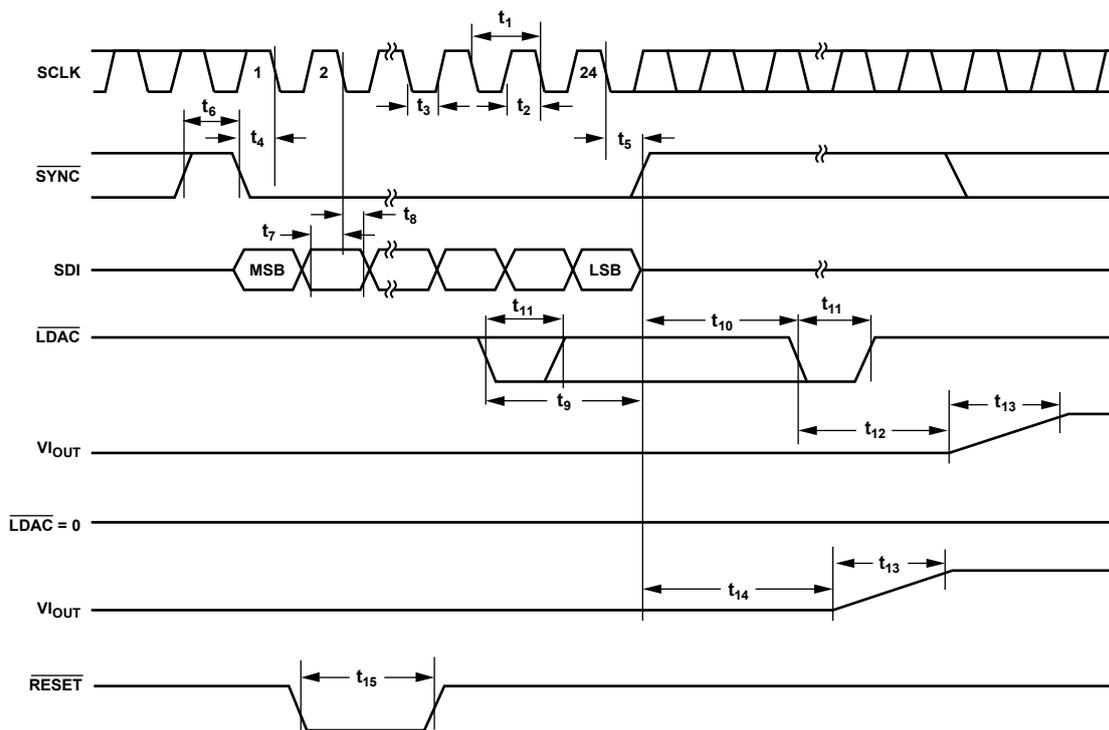


図 2. シリアル・インターフェースのタイミング図

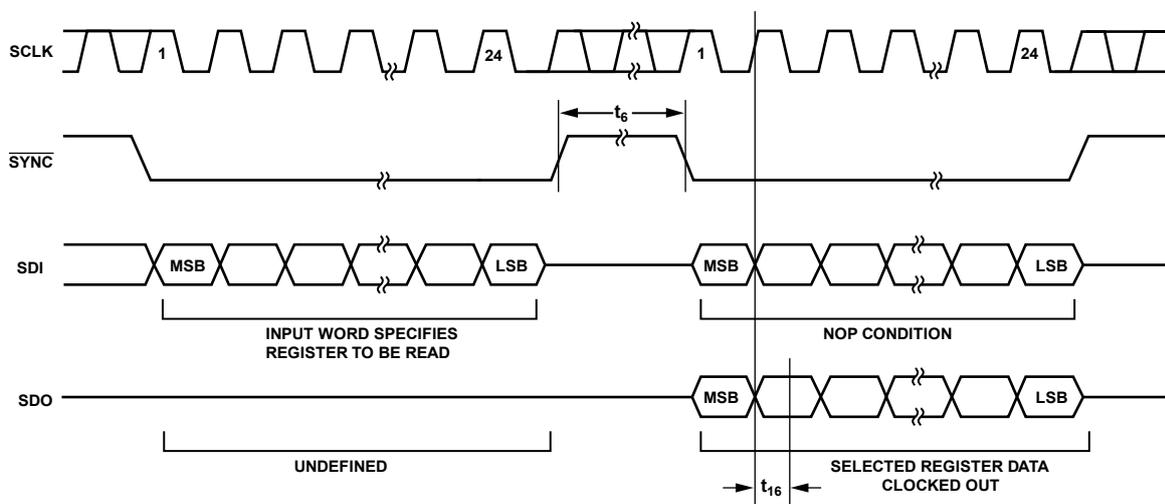
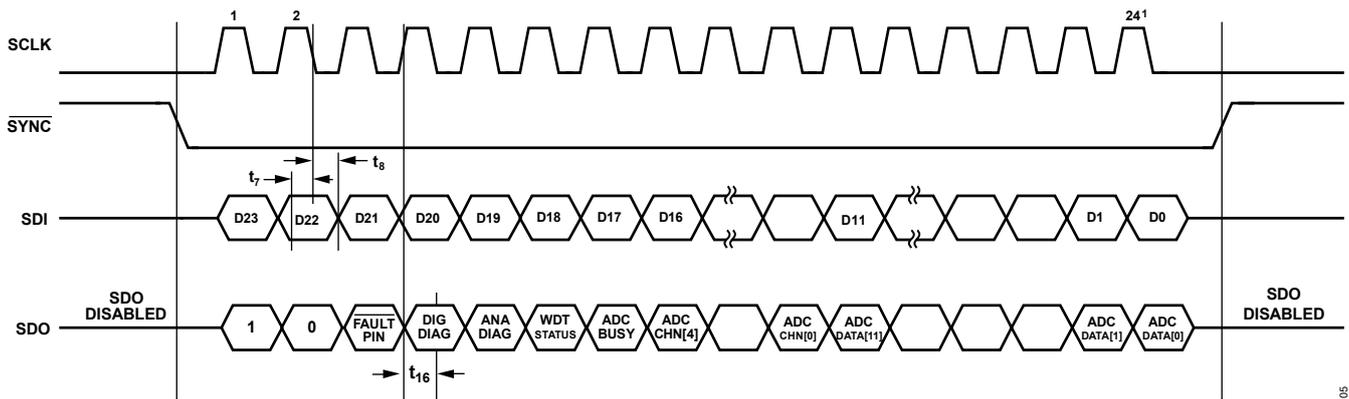


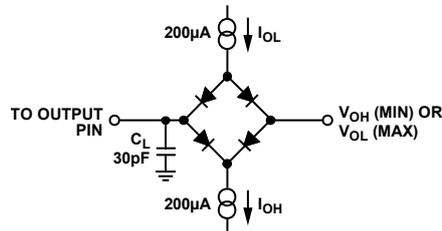
図 3. リードバックのタイミング図



<sup>1</sup>IF ANY EXTRA SCLK FALLING EDGES ARE RECEIVED AFTER THE 24<sup>TH</sup> (OR 32<sup>ND</sup>, IF CRC IS ENABLED) SCLK, BEFORE SYNC RETURNS HIGH, SDO CLOCKS OUT 0.

11840-005

図 4. 自動ステータス・リードバックのタイミング図



11840-006

図 5. SDO タイミング図の負荷回路

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。±200mA までの過渡電流では SCR ラッチアップは生じません。

表 4.

Parameter	Rating
$AV_{DD1}$ to AGND, DGND	-0.3 V to +44 V
$AV_{SS}$ to AGND, DGND	+0.3 V to -35 V
$AV_{DD1}$ to $AV_{SS}$	-0.3 V to +66 V
$AV_{DD2}$ , $V_{DPC+}$ to AGND, DGND	-0.3 V to +35 V
$AV_{DD2}$ , $V_{DPC+}$ to $AV_{SS}$	-0.3 V to +55 V
$V_{LOGIC}$ to DGND	-0.3 V to +6 V
Digital Inputs to DGND (SCLK, SDI, SYNC, AD0, AD1, RESET, LDAC)	-0.3 V to $V_{LOGIC} + 0.3$ V or +6 V (whichever is less)
Digital Outputs to DGND (FAULT, SDO, CLKOUT)	-0.3 V to $V_{LOGIC} + 0.3$ V or +6 V (whichever is less)
REFIN, REFOUT, $V_{LDO}$ , $C_{HART}$ to AGND	-0.3 V to $AV_{DD2} + 0.3$ V or +6 V (whichever is less)
$R_A$ to AGND	-0.3 V to +4.5 V
$R_B$ to AGND	-0.3 V to +4.5 V
$V_{IOUT}$ to AGND	±38 V
+ $V_{SENSE}$ to AGND	±38 V
- $V_{SENSE}$ to AGND	±38 V
$C_{COMP}$ to AGND	$AV_{SS} - 0.3$ V to $V_{DPC+} + 0.3$ V
SW+ to AGND	-0.3 V to $AV_{DD1} + 0.3$ V or +33 V (whichever is less)
AGND, DGND to REFGND	-0.3 V to +0.3 V
AGND, DGND to PGND1	-0.3 V to +0.3 V
Industrial Operating Temperature Range ( $T_A$ ) <sup>1</sup>	-40°C to +115°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ( $T_J$ max)	125°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020
Electrostatic Discharge (ESD)	
Human Body Model <sup>2</sup>	±3 kV
Field Induced Charged Device Model <sup>3</sup>	±1 kV

<sup>1</sup> チップ内の消費電力を抑えて、ジャンクション温度を 125°C 以下に維持する必要があります。

<sup>2</sup> ANSI/ESDA/JEDEC JS-001 による。すべてのピン。

<sup>3</sup> ANSI/ESDA/JEDEC JS-002 による。すべてのピン。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

表 5. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
CP-32-30 <sup>1</sup>	46	18	°C/W

<sup>1</sup> テスト条件 1: 熱抵抗のシミュレーション値は、サーマル・ピアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

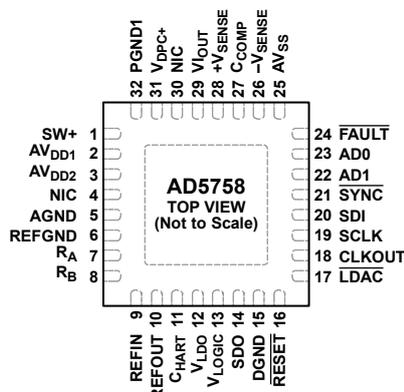
## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明



- NOTES
1. NIC = NOT INTERNALLY CONNECTED.
  2. CONNECT THE EXPOSED PAD TO THE POTENTIAL OF THE AV<sub>SS</sub> PIN, OR, ALTERNATIVELY, IT CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

11840-007

図 6. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	SW+	DC/DC 回路のスイッチング出力。デバイスの DC/DC 機能を使用するには、 <a href="#">図 77</a> のように接続します。
2	AV <sub>DD1</sub>	正のアナログ電源。電圧範囲は 7V~33V。
3	AV <sub>DD2</sub>	正の低電圧アナログ電源。電圧範囲は 5V~33V。
4	NIC	内部では未接続。このピンは、内部接続されていません。
5	AGND	アナログ回路に対するグラウンド基準ポイント。このピンは 0V に接続する必要があります。
6	REFGND	内蔵リファレンスに対するグラウンド基準ポイント。このピンは 0V に接続する必要があります。
7	R <sub>A</sub>	電流設定外付け抵抗。外付けの高精度、低ドリフトの 13.7kΩ の電流設定抵抗を R <sub>A</sub> と R <sub>B</sub> の間に接続して、電流出力の温度ドリフト性能を向上させることができます。外付け抵抗は、できるだけ AD5758 に近付けて取り付けることを推奨します。
8	R <sub>B</sub>	電流設定外付け抵抗。外付けの高精度、低ドリフトの 13.7kΩ の電流設定抵抗を R <sub>A</sub> と R <sub>B</sub> の間に接続して、電流出力の温度ドリフト性能を向上させることができます。外付け抵抗は、できるだけ AD5758 に近付けて取り付けることを推奨します。
9	REFIN	外部 2.5V リファレンス電圧入力。
10	REFOUT	内蔵 2.5V リファレンス電圧出力。内蔵リファレンスを使用するには、REFOUT を REFIN に接続する必要があります。REFOUT と REFGND の間にコンデンサを接続することは推奨しません。
11	C <sub>HART</sub>	HART 入力接続。HART 信号はこのピンに AC カップリングする必要があります。HART を使用しない場合は、このピンを未接続のままにしてください。デフォルトではこのピンは HART 加算ノードには接続されていませんが、GP_CONFIG1 レジスタの HART_EN ビットを介して接続することができます。
12	V <sub>LDO</sub>	3.3V LDO 出力電圧。V <sub>LDO</sub> は、0.1μF のコンデンサを使って AGND にデカップリングする必要があります。
13	V <sub>LOGIC</sub>	デジタル電源。電圧範囲は 1.71V~5.5V です。V <sub>LOGIC</sub> は 0.1μF のコンデンサを使って DGND にデカップリングする必要があります。
14	SDO	シリアル・データ出力。このピンは、リードバック・モードでシリアル・レジスタからデータをクロック出力します。リードバック・モードでの SCLK の最大速度は 15MHz です (V <sub>LOGIC</sub> 電圧により異なる)。表 3 を参照してください。
15	DGND	デジタル・グラウンド。
16	RESET	ハードウェア・リセット。アクティブ・ローの入力。リセット (ハードウェア RESET ピンを使用するかソフトウェアを経由) の後 100μs 以内は SPI コマンドを書き込まないでください。
17	LDAC	DAC のロード。アクティブ・ローの入力。このピンは、DAC_OUTPUT レジスタを更新することによって DAC 出力を更新します。SYNC の立上がりエッジ前の 500ns または SYNC の立上がりエッジ後 1.5μs のウィンドウ内では、LDAC をアサートしないでください (タイミング仕様については表 3 を参照)。
18	CLKOUT	オプションのクロック出力信号 (デフォルトではディスエーブル)。このピンは内部 10MHz 発振器 (MCKL) を分周したもので、GP_CONFIG1 レジスタで設定します。

ピン番号	記号	説明
19	SCLK	シリアル・クロック入力。データは、SCLKの立下がりエッジで入力シフト・レジスタにクロック入力されま す。書込みモードでは、このピンは最大 50MHz のクロック速度で動作します (V <sub>LOGIC</sub> 電圧により異なる)。読出 しモードでの最大 SCLK 速度は 15MHz です (V <sub>LOGIC</sub> 電圧により異なる)。タイミング仕様については表 3 を参照 してください。
20	SDI	シリアル・データ入力。データは、SCLK の立下がりエッジで有効である必要があります。
21	SYNC	シリアル・インターフェースのフレーム同期化信号。アクティブ・ローの入力。SYNC がローの間、データは SCLK の立下がりエッジで転送されます。
22	AD1	AD5758 のアドレス・デコード 1。
23	AD0	AD5758 のアドレス・デコード 0。
24	FAULT	故障ピン。アクティブ・ローのオープンドレイン出力。このピンは、故障状態が検出されていない場合は高イン ピーダンスで、例えば電流モードでのオープン・サーキット、電圧モードでの短絡、CRC エラー、または過熱エ ラーなどの一定の故障状態が検出されると、ローにアサートされます (出力故障のセクションを参照)。このピ ンは 10k $\Omega$ のプルアップ抵抗を使って V <sub>LOGIC</sub> に接続する必要があります。
25	AV <sub>SS</sub>	負のアナログ電源。電圧範囲は 0V ~ -33V です。ユニポーラ電流出力だけを目的にこのデバイスを使用する場 合は、AV <sub>SS</sub> を 0V とすることができます。ユニポーラ電圧出力での AV <sub>SS</sub> (最大) は、-2.5V です。バイポーラ出力 範囲を使用するときは、最大 AV <sub>SS</sub> の計算時に V <sub>OUT</sub> /I <sub>OUT</sub> ヘッドルームに従う必要があります。例えば $\pm 10V$ 出力の 場合、最大 AV <sub>SS</sub> は -12.5V です。電源シーケンシングに関わる重要注意事項については、AV <sub>SS</sub> に関する考慮事項 のセクションを参照してください。
26	-V <sub>SENSE</sub>	V <sub>OUT</sub> モードにおける負電圧出力負荷接続用のセンス接続。仕様規定された動作を確保するには、このピンを AGND の $\pm 10V$ 以内に保つ必要があります。このピンには 1k $\Omega$ の抵抗を接続することを推奨します。リモート・ センシングを使用しない場合は、このピンを AGND に短絡してください。
27	C <sub>COMP</sub>	電圧出力バッファ用の補償コンデンサ接続 (オプション)。このピンと VI <sub>OUT</sub> ピンの間に 220pF のコンデンサを 接続すると、2 $\mu$ F まで駆動できる電圧出力が得られます。このコンデンサを追加すると、出力アンプの帯域幅が 減少してセトリング時間が長くなります。
28	+V <sub>SENSE</sub>	電圧出力モードにおける正電圧出力負荷接続用のセンス接続。このピンには 1k $\Omega$ の抵抗を接続することを推奨し ます。リモート・センシングを使用しない場合は、1k $\Omega$ の直列抵抗を介してこのピンを VI <sub>OUT</sub> に短絡します。
29	VI <sub>OUT</sub>	電圧/電流出力ピン。VI <sub>OUT</sub> は共有ピンで、バッファリングした電圧または電流を出力します。
30	NIC	内部では未接続。このピンは、内部接続されていません。
31	V <sub>DPC+</sub>	電流および電圧出力段用の正電源。デバイスの DC/DC 機能を使用するには、図 77 のように接続します。
32	PGND1	電源グラウンド。
	EPAD	露出パッド。露出パッドは AV <sub>SS</sub> ピンの電位に接続するか、電氣的に未接続のままにしておくことができます。熱 性能を向上させるために、パッドを銅製の放熱板に接続することを推奨します。

## 代表的な性能特性

### 電圧出力

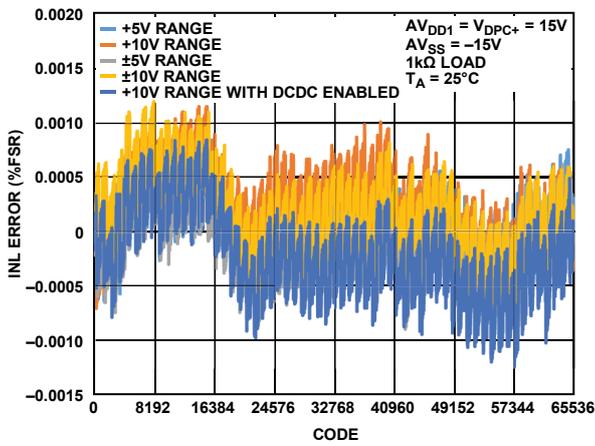


図 7. INL 誤差と DAC コードの関係

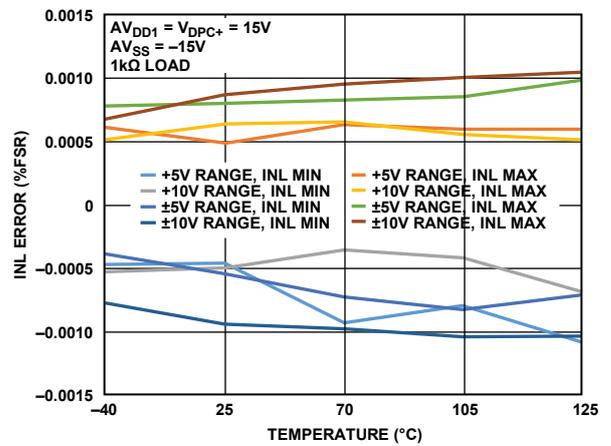


図 10. INL 誤差の温度特性

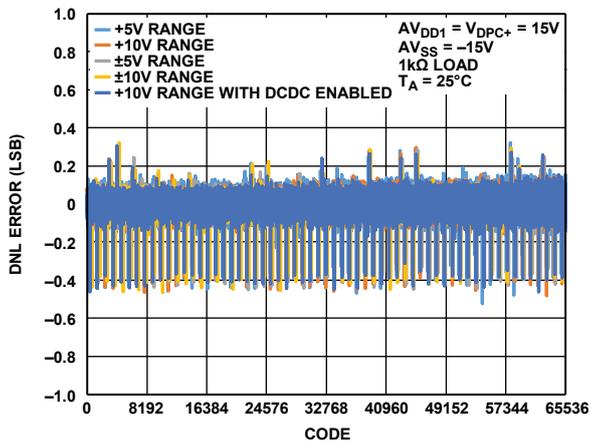


図 8. DNL 誤差と DAC コードの関係

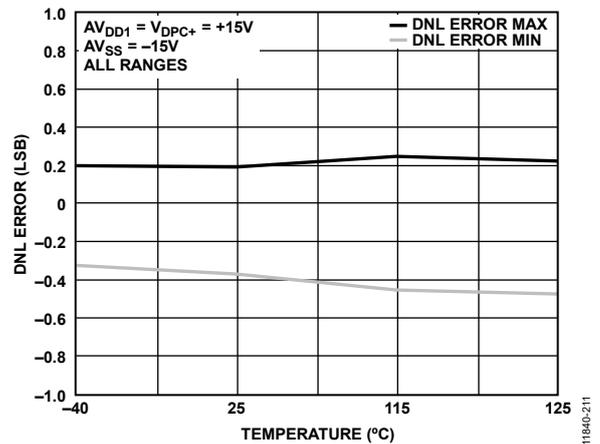


図 11. DNL 誤差の温度特性

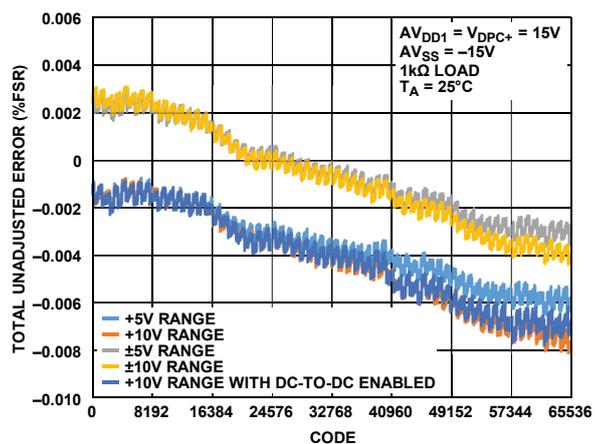


図 9. 総合未調整誤差と DAC コードの関係

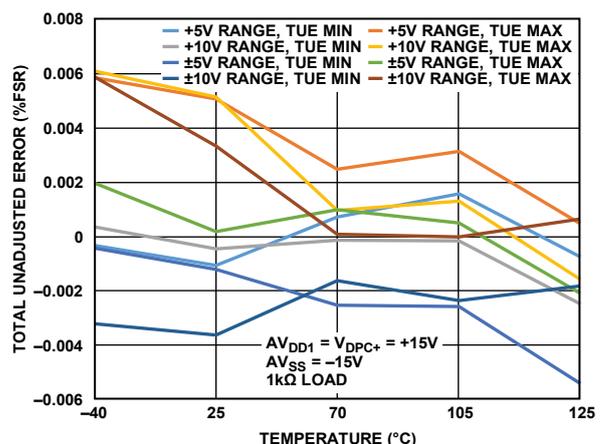


図 12. 総合未調整誤差の温度特性

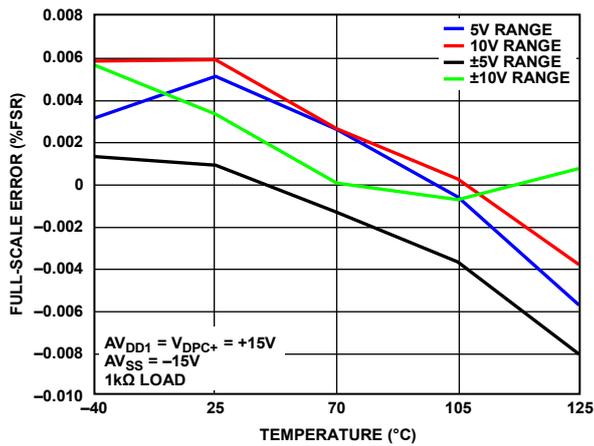


図 13. フルスケール誤差の温度特性

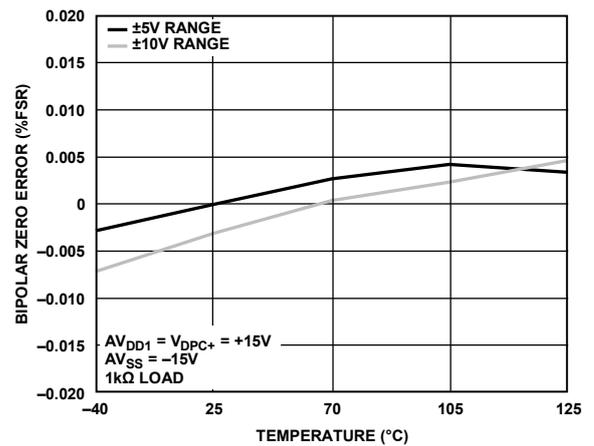


図 16. バイポーラ・ゼロ誤差の温度特性

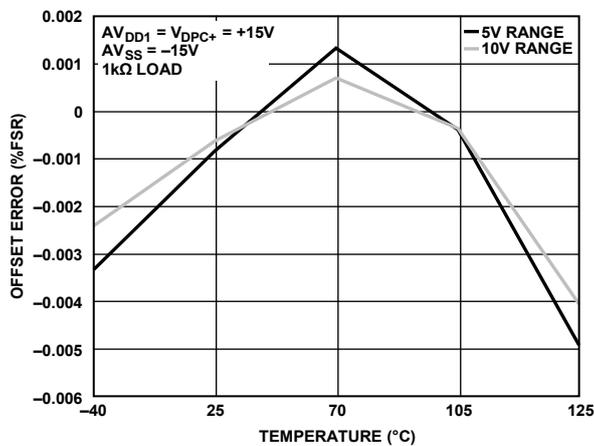


図 14. オフセット誤差の温度特性

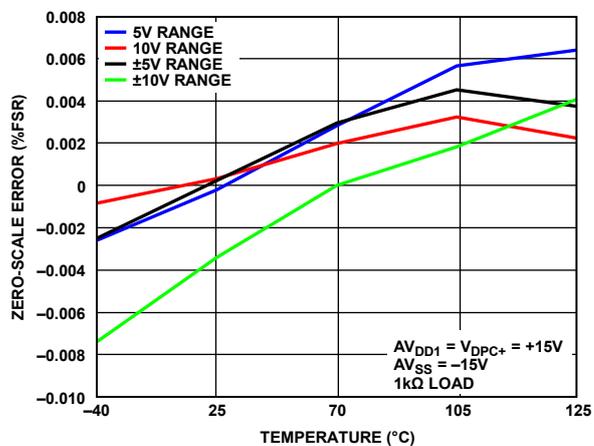


図 17. ゼロスケール誤差の温度特性

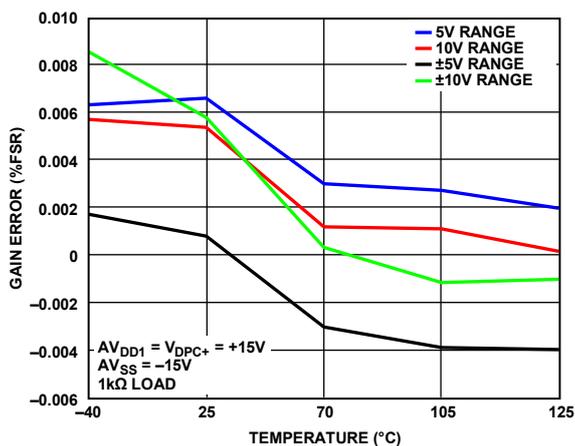


図 15. ゲイン誤差の温度特性

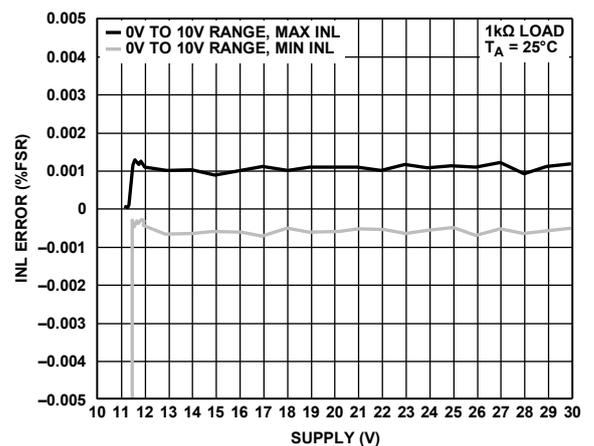


図 18. INL 誤差と  $AV_{DD1}/|AV_{SS}|$  電源の関係

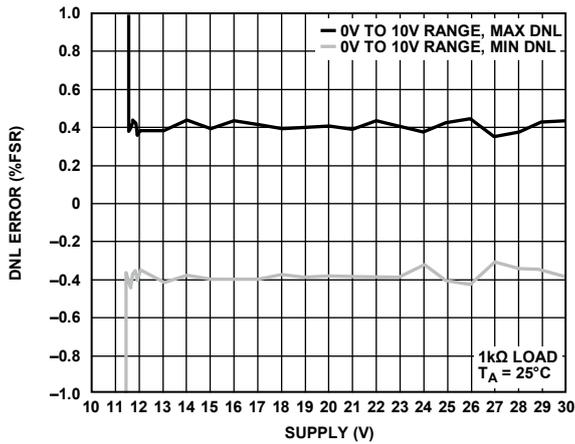


図 19. DNL 誤差と  $AV_{DD1}/|AV_{SS}|$  電源の関係

11840-220

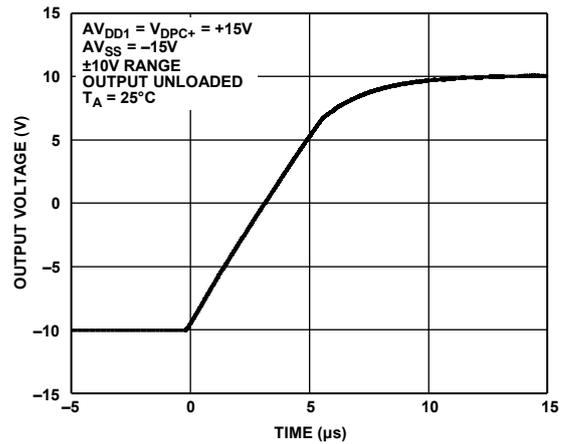


図 22. 正のフルスケール・ステップ

11840-223

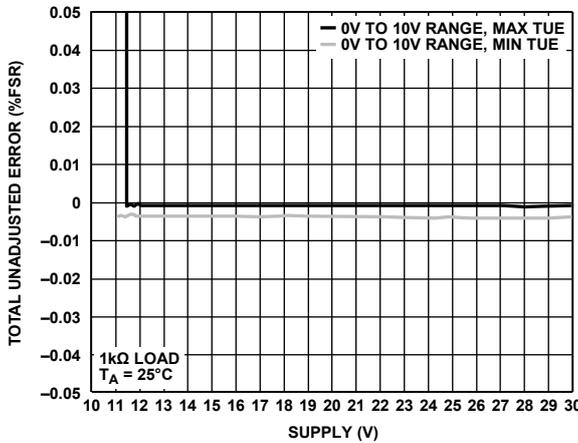


図 20. 総合未調整誤差と  $AV_{DD1}/|AV_{SS}|$  電源の関係

11840-221

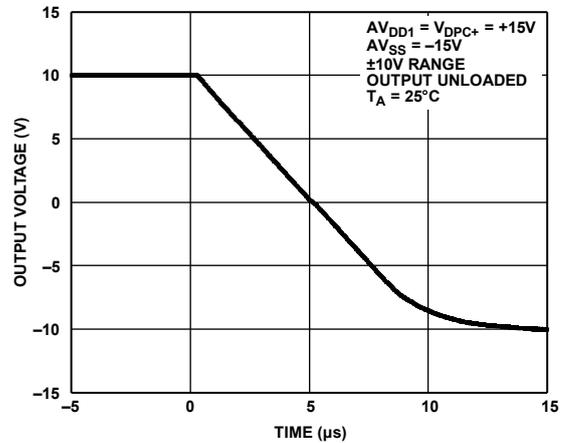


図 23. 負のフルスケール・ステップ

11840-224

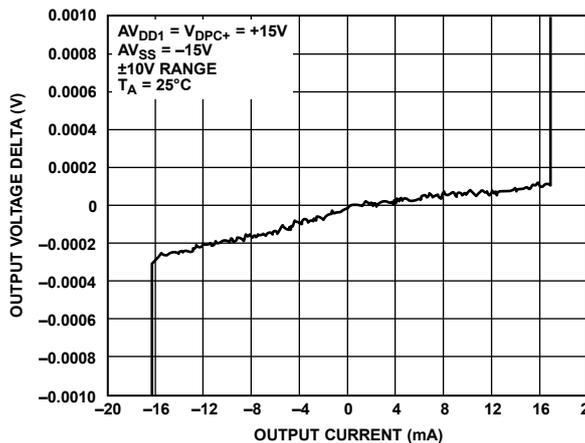


図 21. 出力アンプのシンク能力とソース能力

11840-222

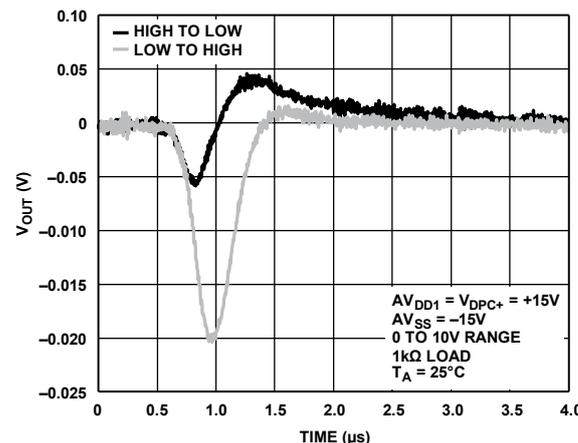


図 24. デジタル/アナログ・グリッチのメジャー・コード遷移

11840-226

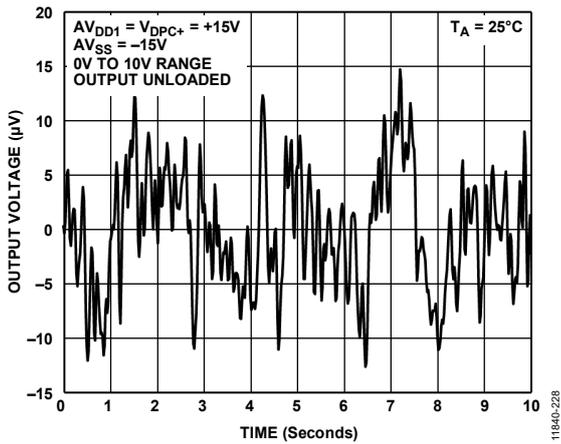


図 25. ピーク to ピーク・ノイズ (0.1Hz~10Hzの帯域幅)

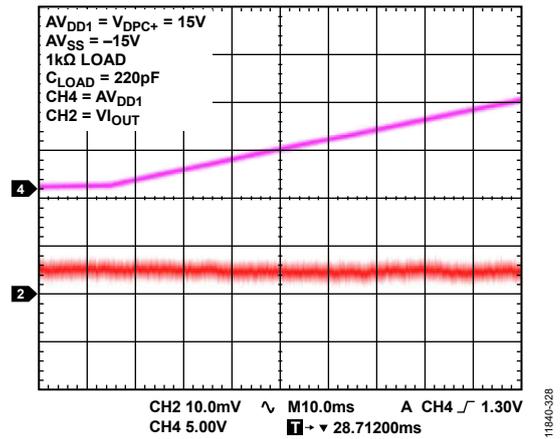


図 28. パワーアップ時の  $V_{OUT}$  の時間変化

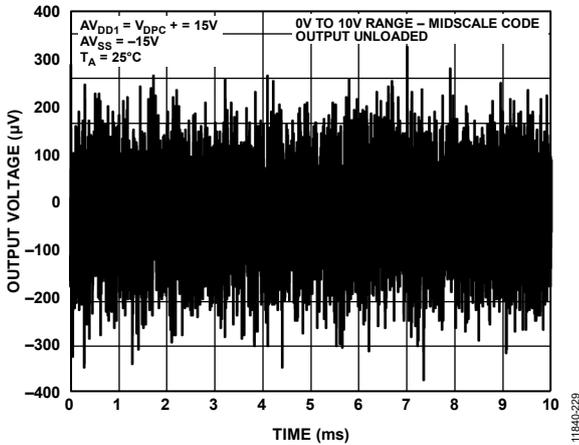


図 26. ピーク to ピーク・ノイズ (100kHzの帯域幅)

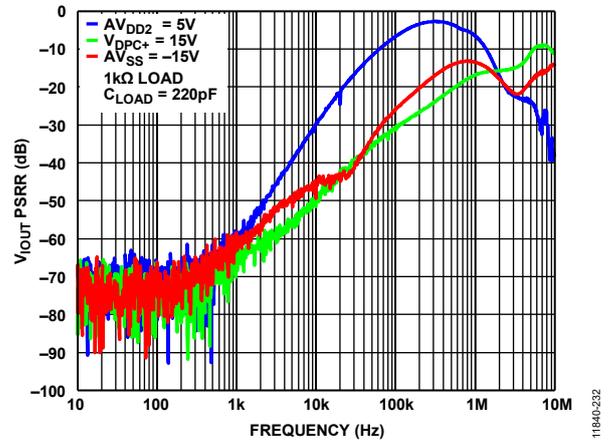


図 29.  $V_{OUT}$  PSRR の周波数特性

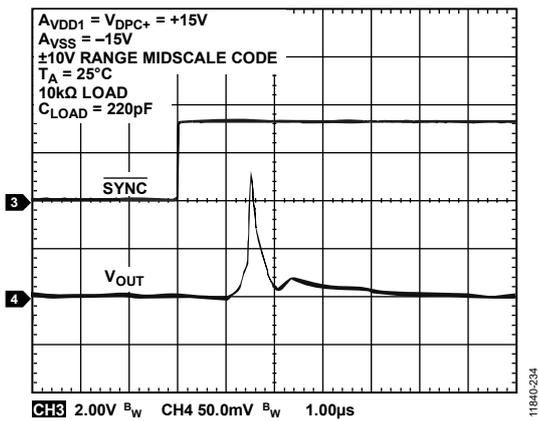


図 27. 出力イネーブル時の  $V_{OUT}$  の時間変化

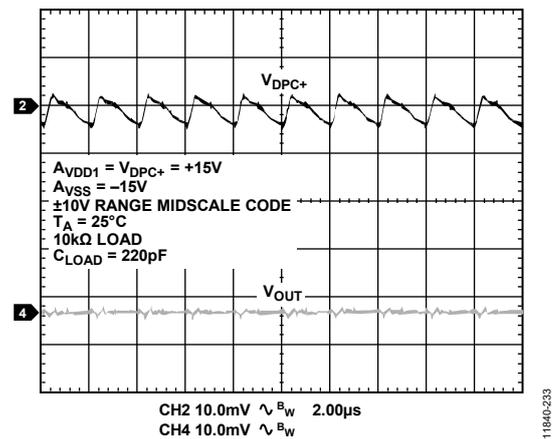


図 30. 電圧出力リップル

電流出力

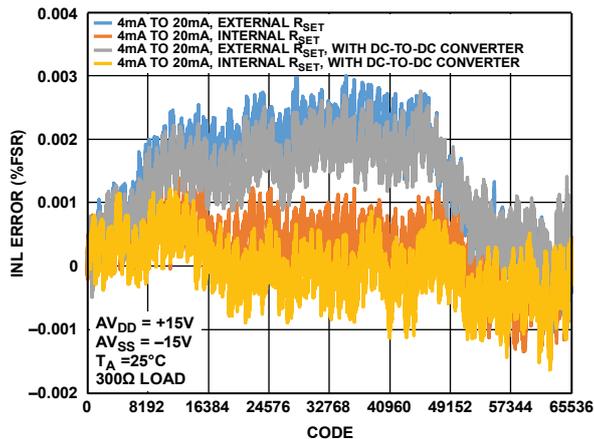


図 31. INL 誤差と DAC コードの関係

11840-238

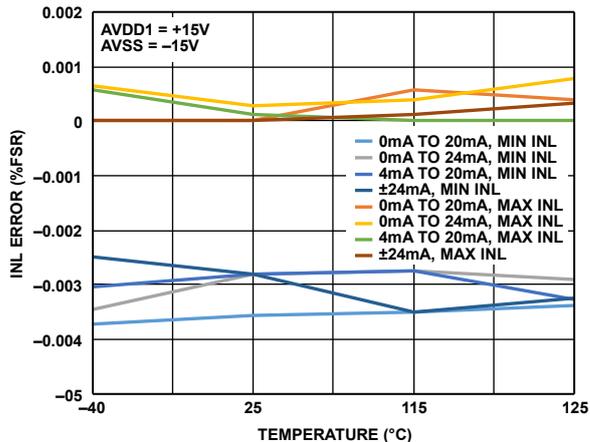


図 34. INL 誤差の温度特性、内蔵 RSET

11840-534

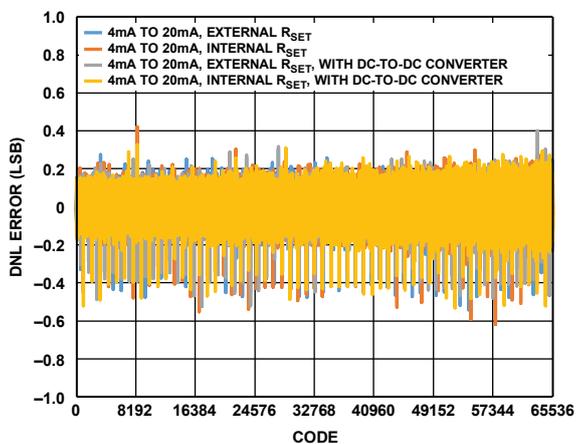


図 32. DNL 誤差と DAC コードの関係

11840-237

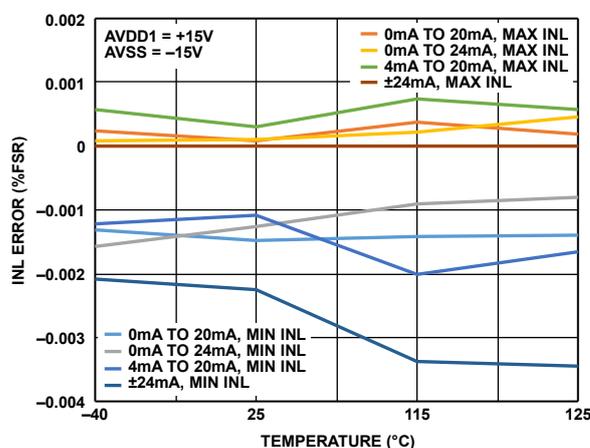


図 35. INL 誤差の温度特性、外付け RSET

11840-435

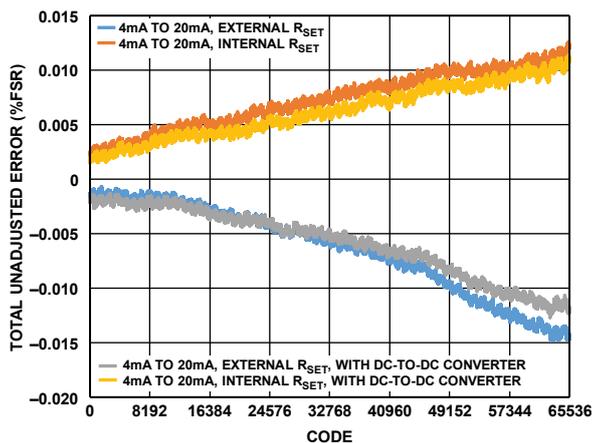


図 33. 総合未調整誤差と DAC コードの関係

11840-238

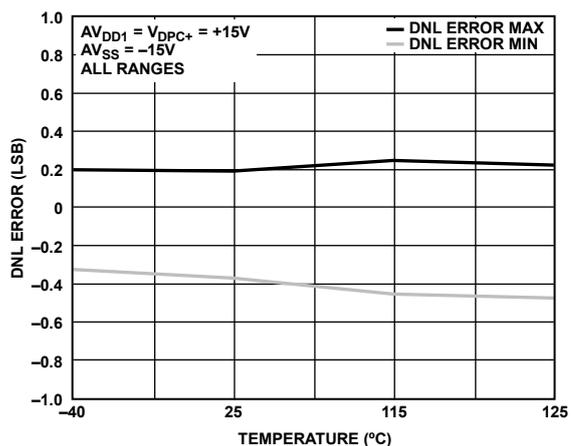


図 36. DNL の温度特性

11840-211

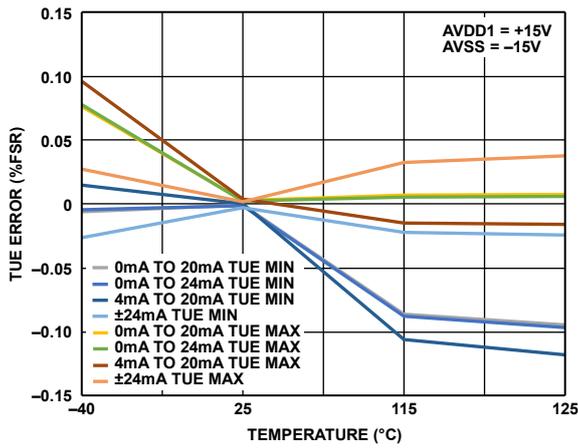


図 37. 総合未調整誤差の温度特性、内蔵 R<sub>SET</sub>

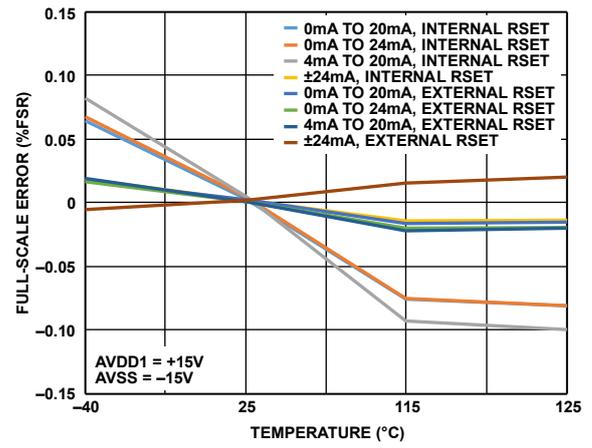


図 40. フルスケール誤差の温度特性

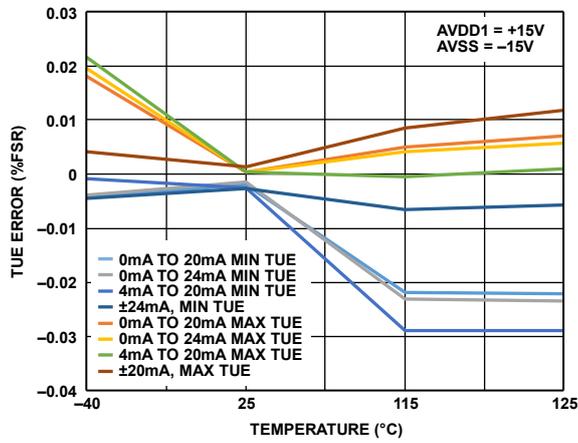


図 38. 総合未調整誤差の温度特性、外付け R<sub>SET</sub>

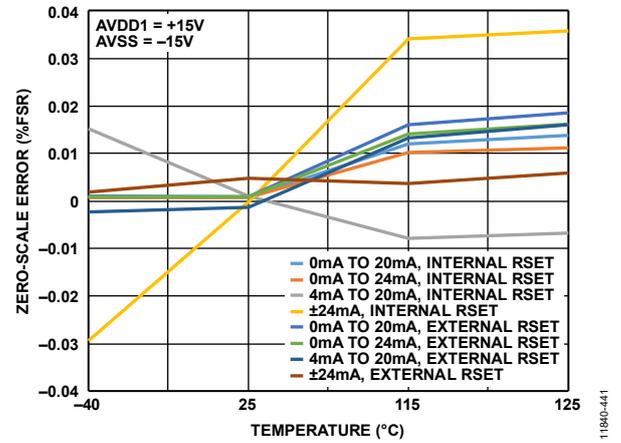


図 41. ゼロスケール誤差の温度特性

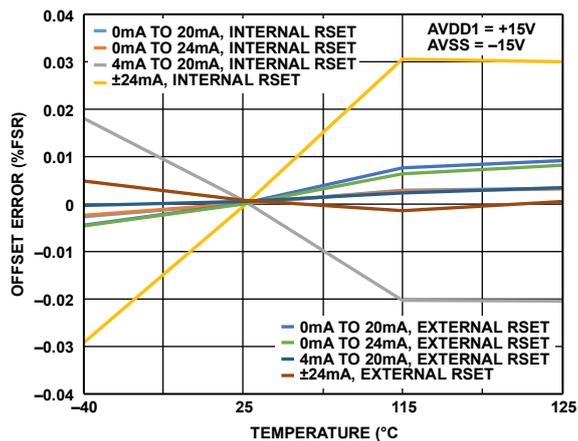


図 39. オフセット誤差の温度特性

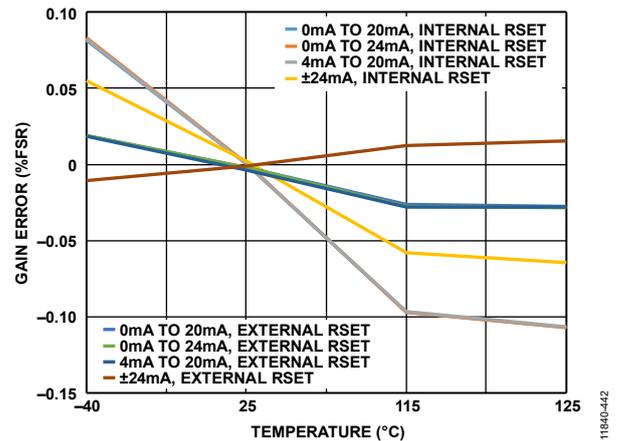


図 42. ゲイン誤差の温度特性

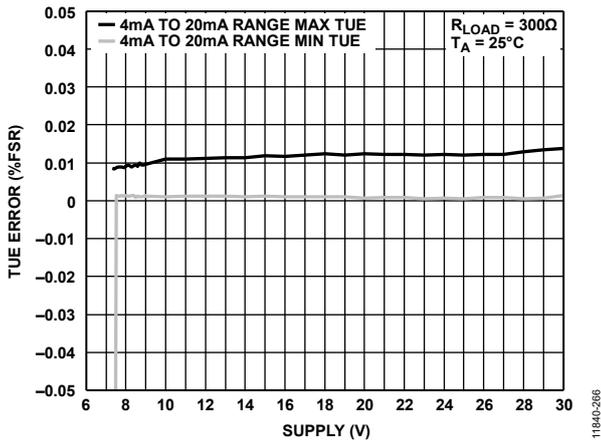


図 43. 総合未調整誤差と  $AV_{DD1}/|AV_{SS}|$  電源の関係、内蔵  $R_{SET}$

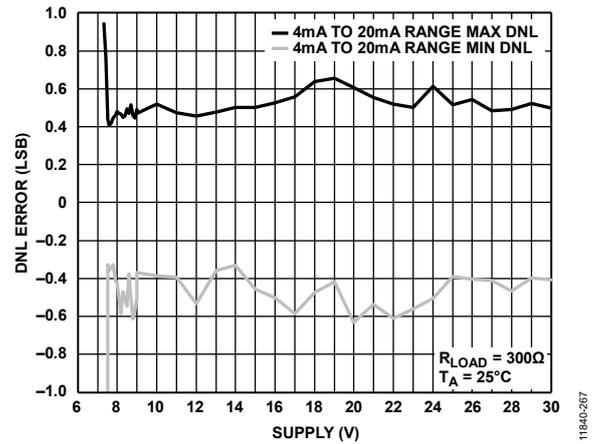


図 46. DNL 誤差と  $AV_{DD1}/|AV_{SS}|$  電源の関係、外付け  $R_{SET}$

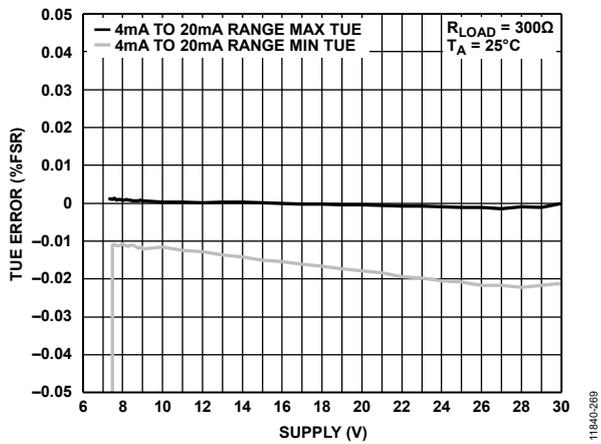


図 44. 総合未調整誤差と  $AV_{DD1}/|AV_{SS}|$  電源の関係、外付け  $R_{SET}$

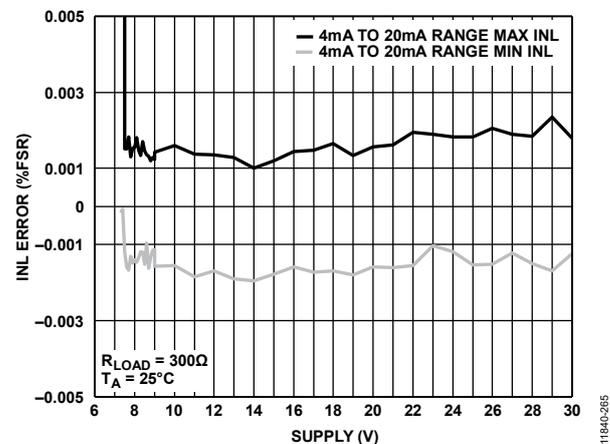


図 47. INL 誤差と  $AV_{DD1}/|AV_{SS}|$  電源の関係、内蔵  $R_{SET}$

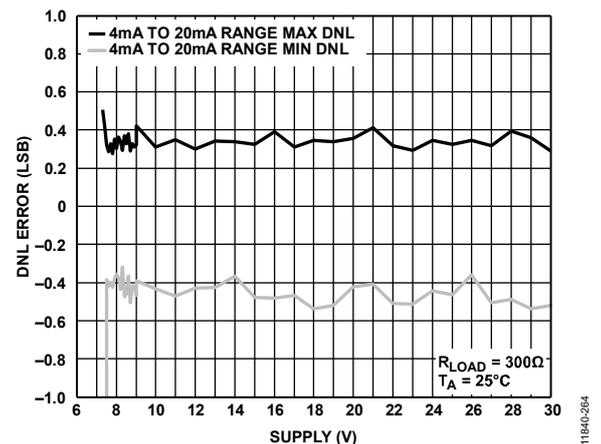


図 45. DNL 誤差と  $AV_{DD1}/|AV_{SS}|$  電源の関係、内蔵  $R_{SET}$

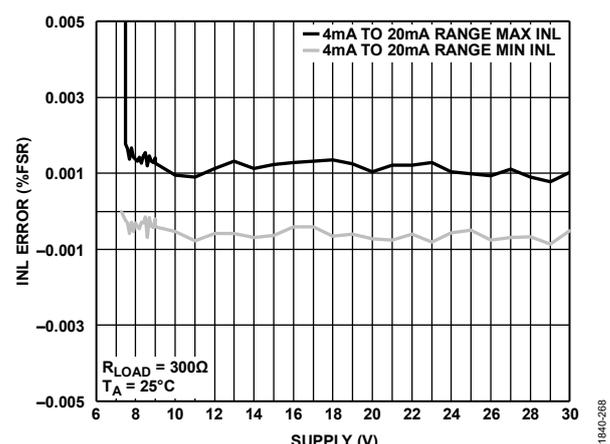


図 48. INL 誤差と  $AV_{DD1}/|AV_{SS}|$  電源の関係、外付け  $R_{SET}$

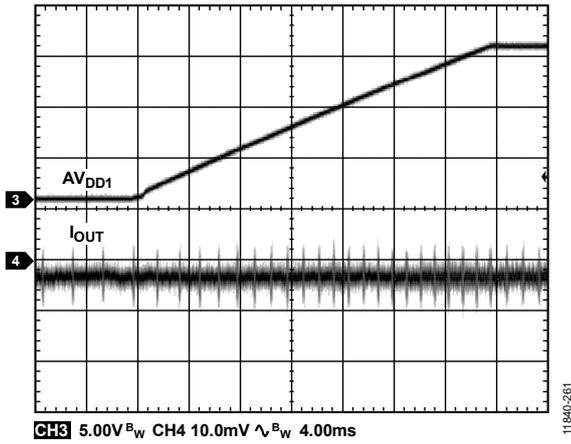


図 49. パワーアップ時の出力電流の時間変化

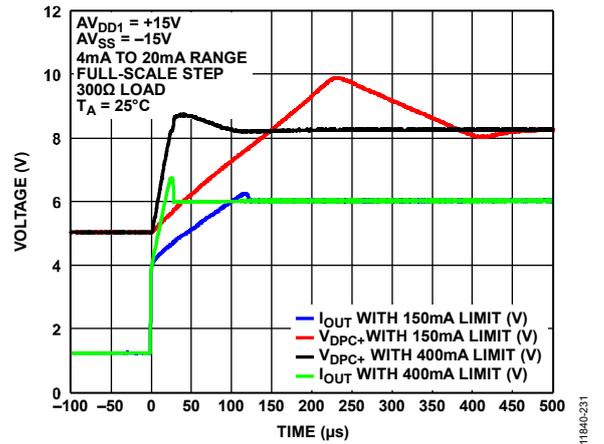


図 52. 出力電流と  $V_{DPC+}$  セットリング時間の関係、300Ω 負荷

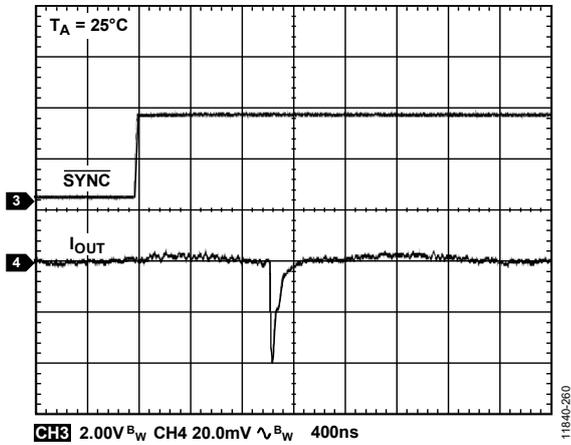


図 50. 出力キネープ時の出力電流の時間変化

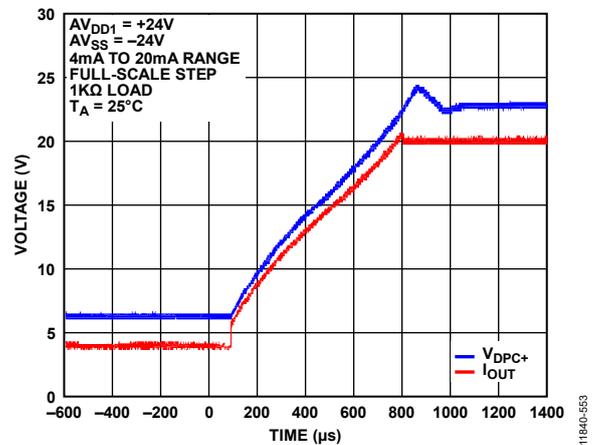


図 53. 出力電流と  $V_{DPC+}$  セットリング時間の関係、1kΩ 負荷

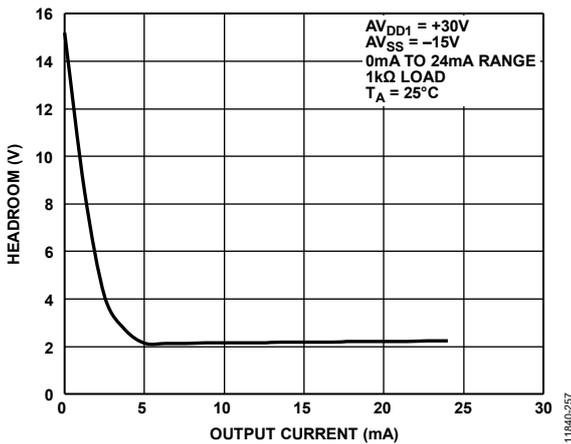


図 51. DC/DC コンバータのヘッドルームと出力電流の関係

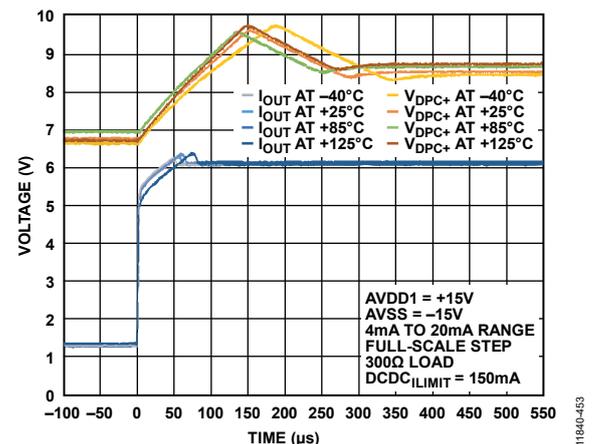


図 54. 各温度における出力電流と  $V_{DPC+}$  セットリング時間の関係

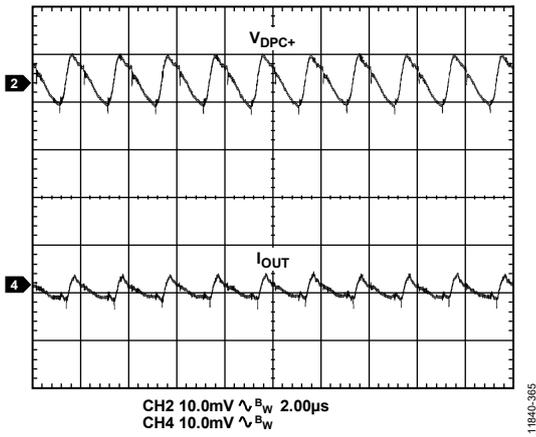


図 55. DC/DC コンバータにおける出力電流リップルの時間変化

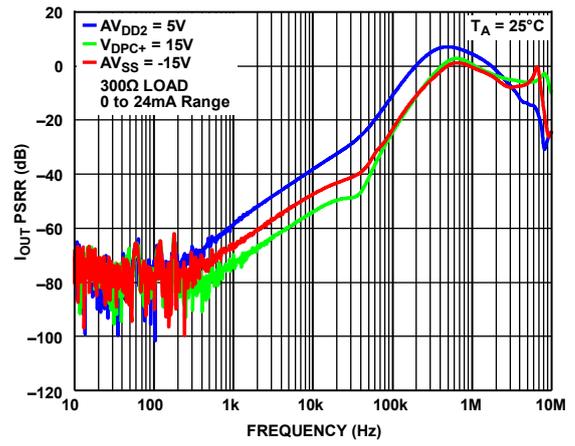


図 56.  $I_{OUT}$  PSRR の周波数特性

DC/DC ブロック

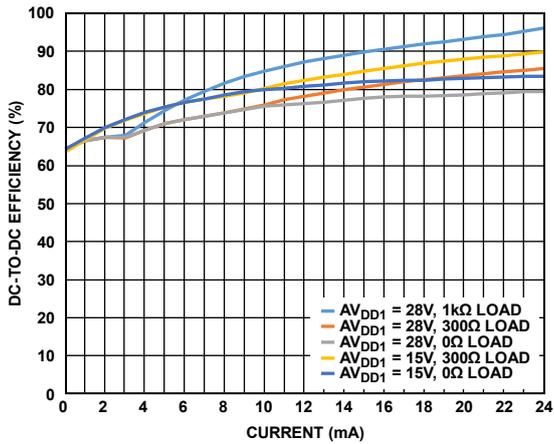


図 57. DC/DC 効率と電流の関係

11840-283

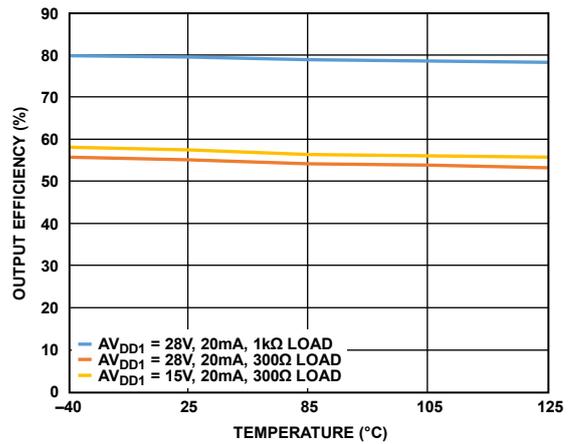


図 60. 出力効率の温度特性

11840-286

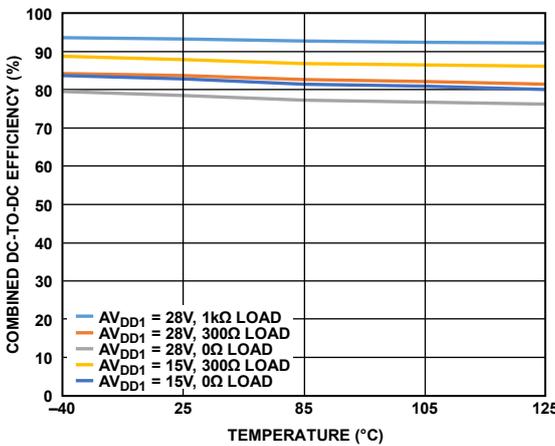


図 58. 総合 DC/DC 効率の温度特性

11840-357

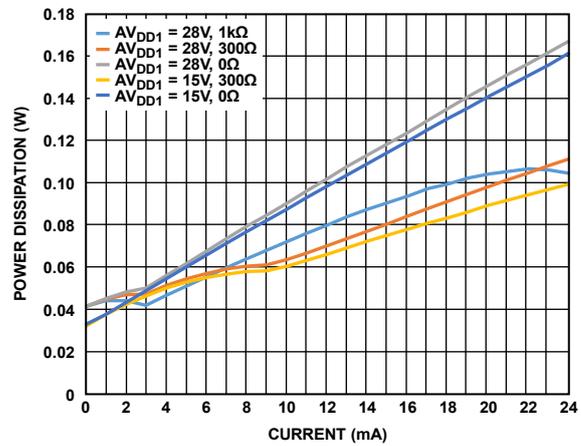


図 61. 消費電力と電流の関係

11840-286

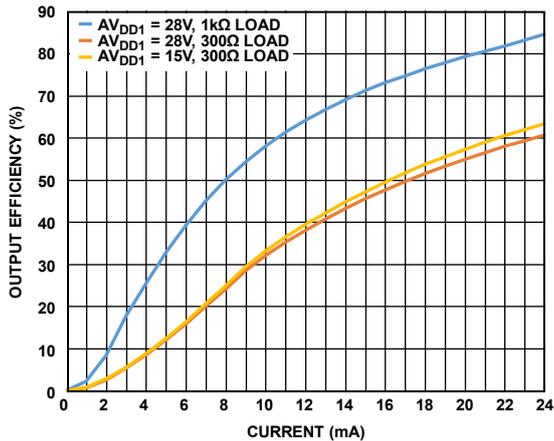


図 59. 出力効率と電流の関係

11840-284

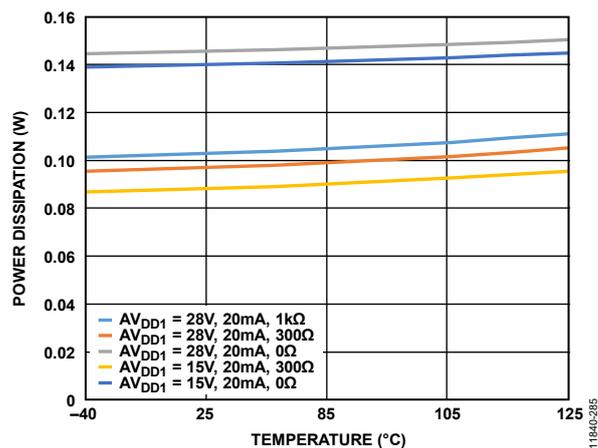


図 62. 消費電力の温度特性

11840-285

リファレンス

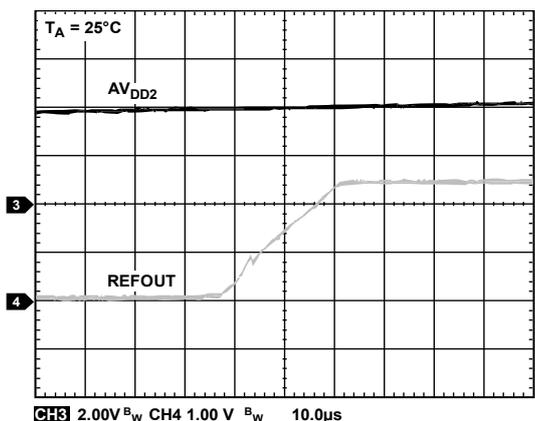


図 63. REFOUT のターンオン・トランジェント

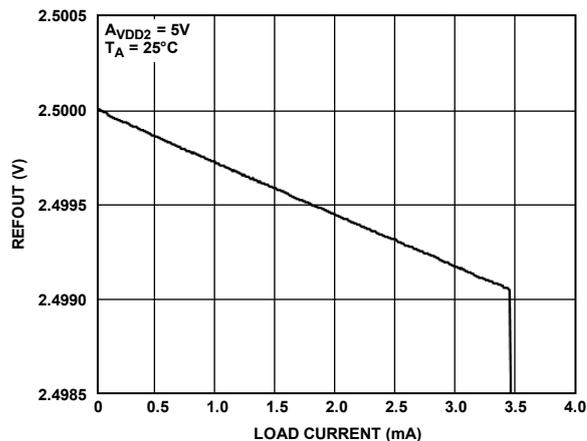


図 66. REFOUT と負荷電流の関係

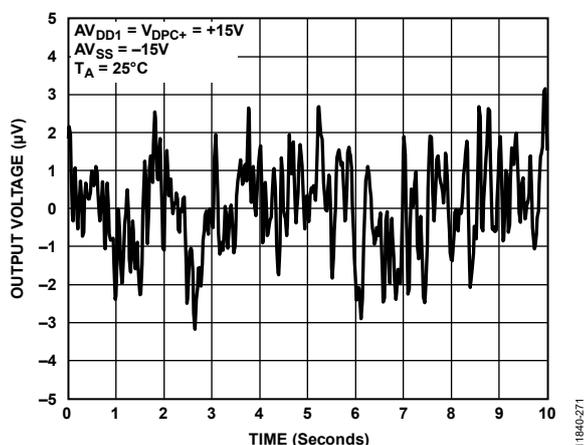


図 64. ピーク to ピーク・ノイズ (0.1Hz~10Hz の帯域幅)

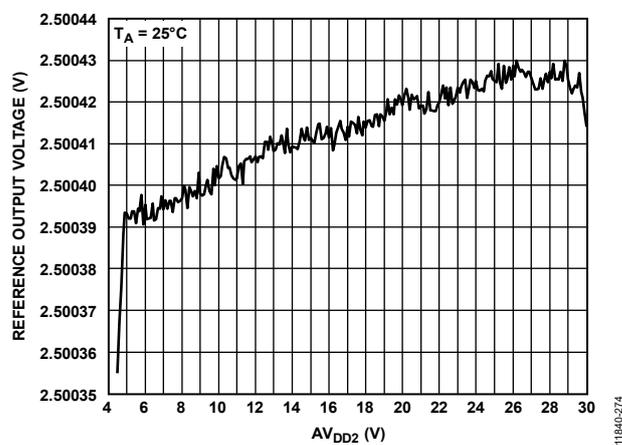


図 67. リファレンス出力電圧と AVDD2 電源の関係

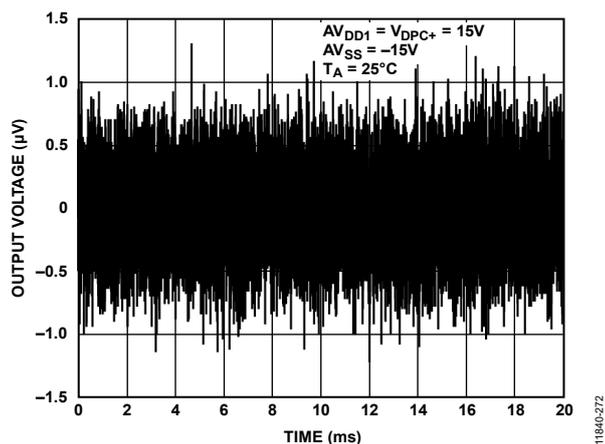


図 65. ピーク to ピーク・ノイズ (100kHz の帯域幅)

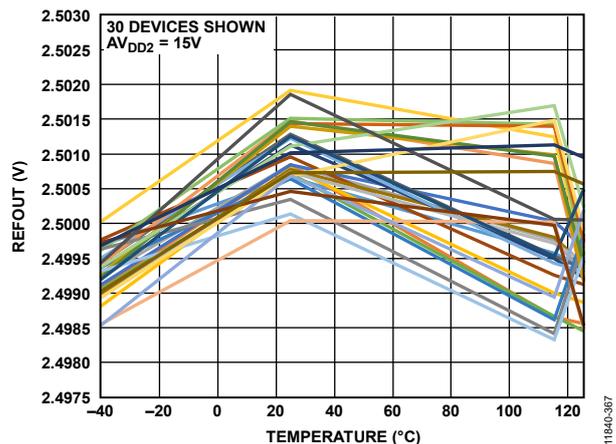


図 68. REFOUT の温度特性

一般特性

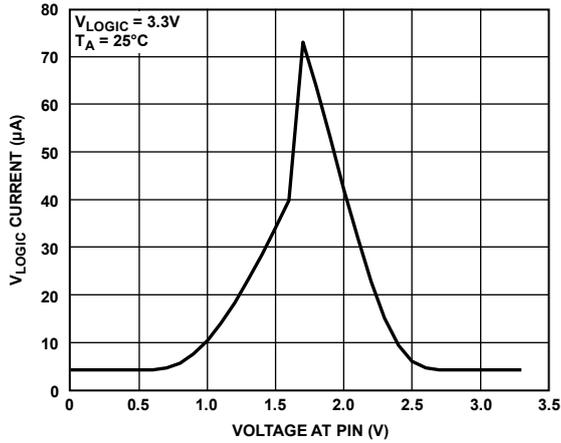


図 69.  $V_{\text{LOGIC}}$  電流とロジック入力電圧の関係

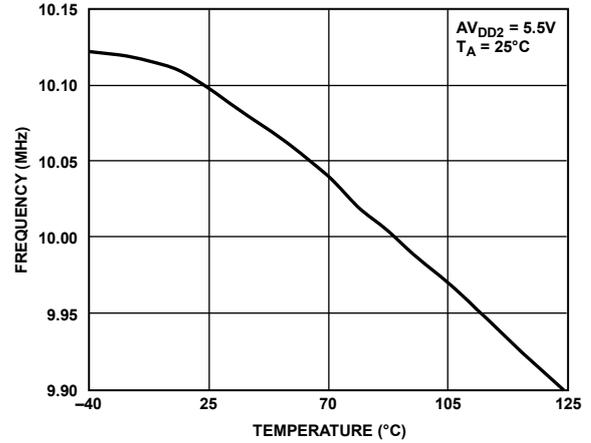


図 72. 内部発振器周波数の温度特性

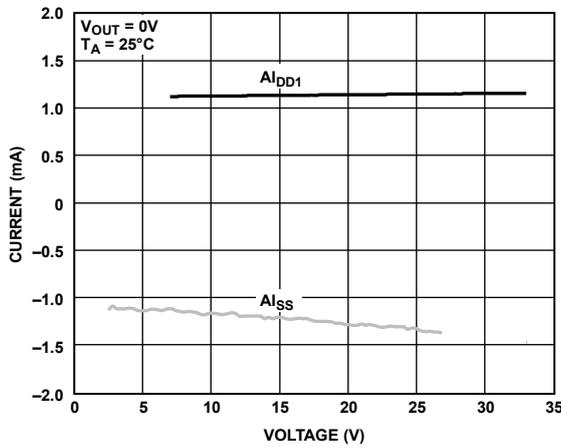


図 70.  $I_{\text{DD1}}/I_{\text{SS}}$  電流と  $AV_{\text{DD1}}/|AV_{\text{SS}}|$  電源の関係

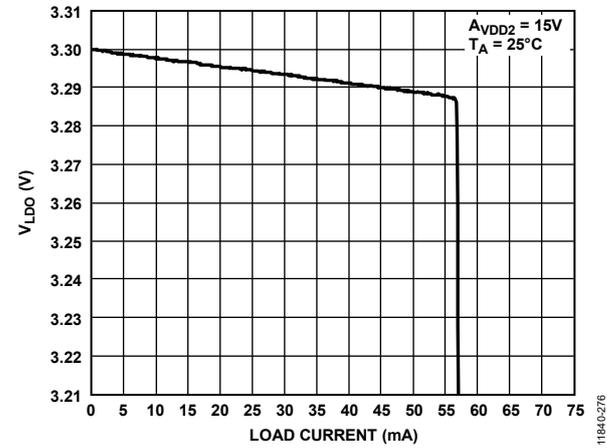


図 73.  $V_{\text{LDO}}$  と負荷電流の関係

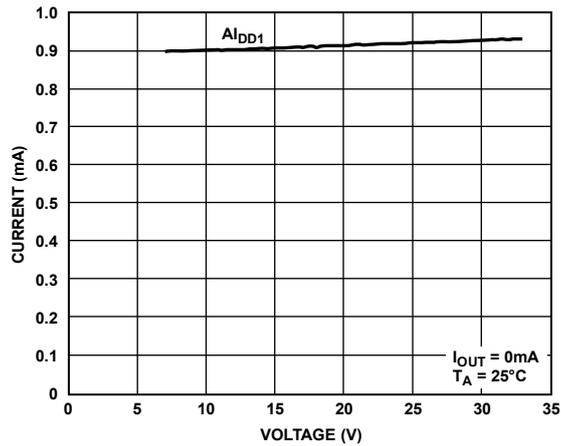


図 71.  $I_{\text{DD1}}$  電流と  $AV_{\text{DD1}}$  電源の関係

## 用語の定義

### 総合未調整誤差 (TUE)

TUE とは、電源、温度、時間に関連するすべての誤差（つまり、INL 誤差、オフセット誤差、ゲイン誤差、出力ドリフト）を考慮する出力誤差の計測値です。TUE の単位は % FSR です。

### 相対精度または積分非直線性 (INL)

DAC における相対精度または INL とは、DAC 伝達関数の最適近似直線からの最大偏差を、LSB または % FSR で示した値です。

### 微分非直線性 (DNL)

DNL は、隣接する 2 つのコードの間で測定された変化と理論的な 1LSB 変化との差を表します。微分非直線性の仕様が  $\pm 1$ LSB 以内の場合は、単調増加性が確保されます。

### 単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DAC は単調であるといえます。AD5758 は全動作温度範囲で単調です。

### ゼロスケール/負のフルスケール誤差

ゼロスケール/負のフルスケール誤差は、0x0000（ストレート・バイナリ・コーディング）を DAC 出力レジスタにロードしたときの DAC 出力電圧誤差です。

### ゼロスケール温度係数 (TC)

ゼロスケール TC は、温度変化に伴うゼロスケール誤差の変化の程度を表す値です。ゼロスケール誤差 TC は ppm FSR/°C で表します。

### バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は、DAC 出力レジスタに 0x8000（ストレート・バイナリ・コーディング）を読み込んだときの、0V の理論ハーフスケール出力とアナログ出力間の偏差を表します。

### バイポーラ・ゼロ温度係数 (TC)

バイポーラ・ゼロ TC は温度変化に伴うバイポーラ・ゼロ誤差の変化を測定したもので、ppm FSR/°C で表します。

### オフセット誤差

オフセット誤差はアナログ出力と理想出力値の偏差で、 $\frac{1}{4}$ スケールおよび  $\frac{1}{2}$ スケールのデジタル・コード測定を使って求めます。% FSR で表します。

### オフセット誤差 (TC)

オフセット誤差 TC は温度変化に伴うオフセット誤差の変化の程度を表す値で、ppm FSR/°C で表します。

### ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。DAC の伝達特性の傾き（理論値）からの偏差で、単位は % FSR です。

### ゲイン誤差温度係数 (TC)

ゲイン誤差 TC は、温度変化に伴うゲイン誤差の変化の程度を表す値です。ゲイン誤差 TC は ppm FSR/°C で表します。

### フルスケール誤差

フルスケール誤差は、フルスケール・コードを DAC 出力レジスタにロードしたときの出力誤差として測定されます。理論的には、出力は「フルスケール-1LSB」です。フルスケール誤差は % FSR で表します。

### ヘッドルーム

これは、出力に必要な電圧（電圧出力モードの設定電圧、および電流出力モードの設定電流  $\times R_{LOAD}$ ）と、正の電源レール  $V_{DPC+}$  によって供給される電圧の差です。ヘッドルームが関係するのは、出力がグラウンドに対して正の場合です。

### フットルーム

フットルームは、出力に必要な電圧（電圧出力モードの設定電圧、および電流出力モードの設定電流  $\times R_{LOAD}$ ）と、負の電源レール  $AV_{SS}$  によって供給される電圧の差です。フットルームが関係するのは、出力がグラウンドに対して負の場合です。

### $V_{OUT}/-V_{SENSE}$ 同相ノイズ除去比 (CMRR)

$V_{OUT}/-V_{SENSE}$  CMRR は、 $-V_{SENSE}$  の変化によって  $V_{OUT}$  電圧に生じる誤差です。

### 電流ループ・コンプライアンス電圧

出力電流が設定値に一致するときの  $V_{IOUT}$  ピンの最大電圧です。

### リファレンス電圧の熱ヒステリシス

リファレンス電圧の熱ヒステリシスは、+25°C で測定した出力電圧を、+25°C  $\rightarrow$  -40°C  $\rightarrow$  +115°C  $\rightarrow$  +25°C の温度サイクルを加えた後に +25°C で測定した出力電圧と比較した場合の差です。

### 電圧リファレンス TC

電圧リファレンス TC は、温度変化に伴うリファレンス出力電圧の変化を表します。ボックス法を使って計算します。この方法では、次のように、ppm/°C で表される所定の温度範囲でのリファレンス出力の最大変化として TC を定義しています。

$$TC = \left( \frac{V_{REF\_MAX} - V_{REF\_MIN}}{V_{REF\_NOM} \times TempRange} \right) \times 10^6$$

ここで、

$V_{REF\_MAX}$  は全温度範囲で測定した最大リファレンス出力、

$V_{REF\_MIN}$  は全温度範囲で測定した最小リファレンス出力、

$V_{REF\_NOM}$  は公称リファレンス出力電圧 2.5V、

$TempRange$  は仕様規定された温度範囲（-40°C ~ +115°C）です。

### ライン・レギュレーション

ライン・レギュレーションは電源電圧の規定された変化によるリファレンス出力電圧の変化で、ppm/V で表されます。

**負荷レギュレーション**

負荷レギュレーションはリファレンス負荷電流の規定された変化によるリファレンス出力電圧の変化で、ppm/mA で表されます。

**ダイナミック消費電力制御 (DPC)**

このモードでは、AD5758 の回路が出力電圧を検出して電源電圧  $V_{DPC+}$  を動的に調整してコンプライアンス条件を満たすと共に、出力バッファ用にヘッドルーム電圧を最適化します。

**プログラマブル電力制御 (PPC)**

このモードでは、必要最大出力負荷に対応するために必要とされる固定レベルに  $V_{DPC+}$  電圧を設定することができます。

**出力電圧セトリング時間**

出力電圧セトリング時間は、フルスケール入力変化に対して、出力が指定されたレベルに安定するまでに要する時間です。この仕様は、DPC 機能の設定方法（有効、無効、PPC モードが有効）と、外付けで使用する DC/DC インダクタおよびコンデンサ部品の特性によって異なります。

**スルー・レート**

デバイスのスルー・レートは、出力電圧の変化率の制限です。通常、電圧出力 DAC の出力変化率は、その出力に使用するアンプのスルー・レートによって制限されます。スルー・レートは出力信号の 10%~90% で測定され、V/ $\mu$ s で表されます。

**パワーオン・グリッチ・エネルギー**

パワーオン・グリッチ・エネルギーは、AD5758 のパワーオン時にアナログ出力に混入するインパルスで、グリッチの面積を表す単位 nV-sec で仕様規定されます。

**デジタル/アナログ・グリッチ・エネルギー**

デジタル/アナログ・グリッチ・エネルギーは、DAC 出力レジスタの入力コードが変化したときにアナログ出力に混入するインパルスのエネルギーです。通常は nV-sec で表すグリッチの面積として仕様規定されます。普通、最も厳しいケースは、メジャー・キャリー遷移 (0x7FFF から 0x8000) 時にデジタル入力コードが 1LSB だけ変化したときです。

**グリッチ・インパルス・ピーク振幅**

グリッチ・インパルス・ピーク振幅は、DAC 出力レジスタの入力コードの状態が変化したときにアナログ出力に混入するインパルスのピーク振幅です。通常はミリボルトで表したグリッチの振幅として規定され、最も厳しいケースは、主要なキャリー変化 (0x7FFF から 0x8000) 時にデジタル入力コードが 1LSB 変化したときの値です。

**デジタル・フィードスルー**

デジタル・フィードスルーは、DAC 出力が更新されていないときに (LDAC ピンをハイに維持)、DAC のデジタル入力から DAC のアナログ出力に混入するインパルスを表します。これは nV-sec 単位で仕様規定され、データ・バス上でのフルスケール・コード変更時に測定されます。

**電源電圧変動除去比 (PSRR)**

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。

## 動作原理

AD5758 はシングルチャンネルの高精度電圧および電流出力 DAC で、産業用ファクトリ・オートメーションやプロセス制御のアプリケーションの要求を満足できるように設計されています。これは、ユニポーラ/バイポーラの電流または電圧出力を生成する高精度の集積化シングルチップ・ソリューションです。パッケージの消費電力はオンチップ DPC の採用により最小限に抑えられていますが、これは、オンチップ消費電力をできるだけ小さくできるように最適化された降圧 DC/DC コンバータを使用し、 $V_{IOUT}$  出力ドライバへの電源電圧 ( $V_{DPC+}$ ) を 4.95V~27V の範囲に調整することによって実現されています。AD5758 は 2 ダイ・ソリューションとして構成されており、DC/DC ダイ上に DC/DC 変換回路と  $V_{IOUT}$  ライン・プロテクタが配置され、メイン・ダイ上にその他の回路が組み込まれています。これらのダイ間の通信は、内蔵の 3 線式インターフェースを介して行います。

### DAC アーキテクチャ

AD5758 の DAC コア・アーキテクチャは、電圧モード R-2R ラダー回路で構成されています。この DAC コアの電圧出力は、 $V_{IOUT}$  ピンの電流または電圧出力に変換されます。複数のモードを同時に有効にすることはできません。電圧出力段も電流出力段も、電源は  $V_{DPC+}$ 電源レール ( $AV_{DD1}$  から内部で生成) と  $AV_{SS}$  レールから供給されます。

### 電流出力モード

電流出力モードを有効にすると、DAC からの電圧出力が電流に変換されます (図 74 参照)。更にこれが、アプリケーションからは電流源出力だけに見えるように、電源レールにミラーされます。

使用できる電流範囲は 0mA~20mA、0mA~24mA、4mA~20mA、±20mA、±24mA、-1mA~+22mA です。電圧から電流への変換には、内蔵または外付けの  $R_{SET}$  抵抗 (13.7kΩ) を使用できます。

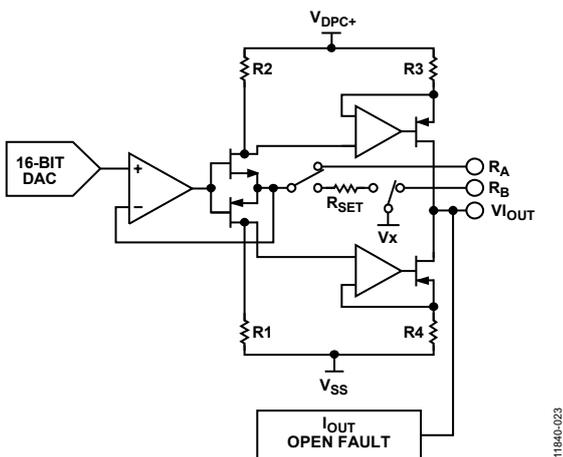


図 74. 電圧電流変換回路

### 電圧出力モード

電圧出力モードを有効にすると、DAC からの電圧出力にバッファリングとスケールリングが行われ、ソフトウェアで選択可能なユニポーラまたはバイポーラ電圧範囲が出力されます (図 75 参照)。

使用可能な電圧範囲は 0V~5V、±5V、0V~10V、および±10V です。DAC\_CONFIG レジスタを介して 20% のオーバーレンジ機能を使用することもでき、更に GP\_CONFIG1 レジスタを介してユニポーラ電圧範囲を負側にオフセットすることも可能です (汎用設定 1 レジスタのセクションを参照)。

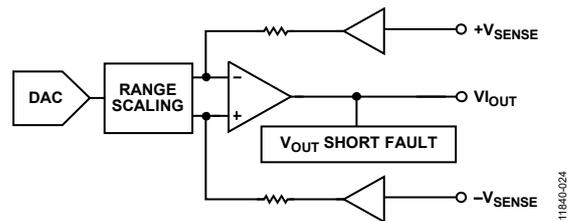


図 75. 電圧出力

### リファレンス

AD5758 は、外付けまたは内蔵のリファレンス電圧で動作させることができます。リファレンス入力では、規定の性能に対して 2.5V のリファレンス電圧が必要です。この入力電圧は内部的にバッファされた後に DAC へ供給されます。

AD5758 はバッファ付き 2.5V 電圧リファレンスを内蔵しています。このリファレンスは外部にも使用可能で、システム内の任意の場所に使用することができます。内蔵リファレンスは組み込みの 12 ビット ADC を駆動します。内蔵リファレンスを使用して DAC を駆動するには、REFOUT を REFIN に接続する必要があります。

### シリアル・インターフェース

AD5758 は、最大 50MHz のクロック・レートで動作し、かつ SPI、QSPI、MICROWIRE、DSP の各規格と互換性を持つ多機能の 4 線式シリアル・インターフェースを介して制御されます。データ・コーディングは常にストレート・バイナリです。

### 入力シフト・レジスタ

SPI CRC を有効にした状態 (デフォルト状態) での入力シフト・レジスタは、32 ビット幅です。データは、シリアル・クロック入力 SCLK の制御の下に、32 ビット・ワードとして MSB ファーストでデバイスに入力されます。データは SCLK の立下がりエッジで入力されます。CRC を無効にすると、シリアル・インターフェースは 24 ビットに減少します。この場合でも 32 ビット・フレームを使用できますが、最後の 8 ビットは無視されます。SPI インターフェースを介してアドレス指定できるレジスタの詳細については、レジスタ・マップのセクションを参照してください。

表 7. レジスタへの書込み (CRC は有効)

	MSB			LSB
D31	[D30:D29]	[D28:D24]	[D23:D8]	[D7:D0]
Slip Bit	AD5758 address	Register address	Data	CRC

## 伝達関数

±5V 出力範囲のストレート・バイナリ・データ・コーディング用に、AD5758 における入力コードと最適出力電圧の関係を表 8 に示します。

表 8. 最適出力電圧と入力コードの関係

Digital Input, Straight Binary Data Coding				Analog Output
MSB		LSB		V <sub>OUT</sub>
1111	1111	1111	1111	+2 V <sub>REF</sub> × (32,767/32,768)
1111	1111	1111	1110	+2 V <sub>REF</sub> × (32,766/32,768)
1000	0000	0000	0000	0 V
0000	0000	0000	0001	-2 V <sub>REF</sub> × (32,767/32,768)
0000	0000	0000	0000	-2 V <sub>REF</sub>

## AD5758 のパワーオン状態

AD5758 の最初のパワーオン時またはリセット時には、電圧および電流出力チャンネルがディセーブされています。30kΩ のプルダウン抵抗を介して V<sub>IOUT</sub> と AGND を接続するスイッチは開いています。このスイッチは DCDC\_CONFIG2 レジスタで設定できます。V<sub>DPC+</sub> はパワーオン時に内部で 4.8V に駆動され、DC/DC コンバータがイネーブされるまでその状態が保たれます。

デバイスのパワーオン後またはリセット後は、キャリブレーション・メモリのリフレッシュ・コマンドが必要です（出力イネーブを行う設定シーケンスのセクションを参照）。このコマンドを書き込んだ後は、内部キャリブレーションを行うための時間を取るように、次の命令を書き込むまで少なくとも 500μs 待機することを推奨します（図 90 参照）。

## パワーオン・リセット

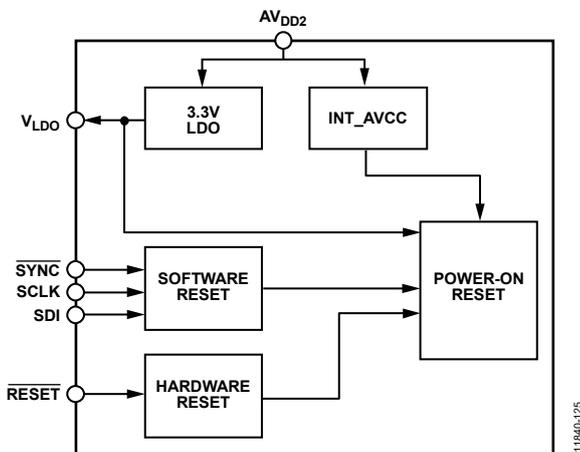


図 76. パワーオン・リセットのブロック図

AD5758 は、電源が信頼できる動作に十分なレベルになるまで AD5758 をリセット状態に保持できるように、パワーオン・リセット回路を採用しています。パワーオン・リセット回路（図 76 参照）は、AV<sub>DD2</sub> から生成される V<sub>LDO</sub> と INT\_AVCC 電圧、RESET ピン、および SPI リセット信号をモニタします。パワーオン・リセット回路は、V<sub>LDO</sub> と INT\_AVCC ノードの電圧が信頼できる動作に十分なレベルに達するまで、AD5758 をリセット状態に保持します。パワーオン回路が RESET ピンからの信号を受け取った場合、または SPI インターフェースを介して AD5758 にソフトウェア・リセットが書き込まれた場合、AD5758 はリセットされます。リセットから 100μs 以内の間は、SPI コマンドをデバイスに書き込まないでください。

## 電源に関する考慮事項

AD5758 には 4 つの電源レールがあります。AV<sub>DD1</sub>、AV<sub>DD2</sub>、AV<sub>SS</sub>、V<sub>LOGIC</sub> です。これら 4 つの電源レールの電圧範囲と対応する条件については、表 1 を参照してください。

## AV<sub>DD1</sub> に関する考慮事項

AV<sub>DD1</sub> は DC/DC コンバータ用の電源レールで、電圧範囲は 7V ~ 33V です。AV<sub>DD1</sub> の最大値は 33V、AV<sub>SS</sub> の最小値は -33V ですが、|AV<sub>DD1</sub> ~ AV<sub>SS</sub>| の最大動作範囲は 60V です。V<sub>DPC+</sub> は AV<sub>DD1</sub> から供給され、その値は DC/DC コンバータの動作モードによって異なります。

DC/DC コンバータを使用する場合は、DC/DC 回路を正常に動作させるために、AV<sub>DD1</sub> と V<sub>DPC+</sub> の間に十分なレベルのマージンを維持する必要があります。このマージンは、選択した動作モードにおける最大 V<sub>DPC+</sub> 電圧の 5% です。

表 9. AV<sub>DD1</sub> ~ V<sub>DPC+</sub> のマージン

Mode of Operation	V <sub>DPC+</sub> Maximum
DPC Voltage Mode	15 V
DPC Current Mode	(I <sub>OUT maximum</sub> × R <sub>LOAD</sub> ) + I <sub>OUT headroom</sub>
PPC Current Mode	DCDC_CONFIG1[4:0] programmed value

DC/DC コンバータの動作モードの詳細については、消費電力制御のセクションを参照してください。

DPC 電流モードの場合、値は次のようになります。

- 最大 I<sub>OUT</sub> = 20mA、R<sub>LOAD</sub> = 1kΩ
- I<sub>OUT</sub> ヘッドルーム = 2.5V
- 最大 V<sub>DPC+</sub> = 20V + 2.5V = 22.5V

[V<sub>DPC+</sub> ~ AV<sub>DD1</sub>] のヘッドルームは、22.5V の 5% = 1.125V として計算できます。したがって、AV<sub>DD1</sub> (最小) = 22.5V + 1.125V = 23.625V となります。最も厳しいケースの AV<sub>DD1</sub> 電源レール許容差を ±10% とすると、この例では約 26V の AV<sub>DD1</sub> 電源レールが必要です。

**AV<sub>SS</sub>に関する考慮事項**

AV<sub>SS</sub>は負の電源レールで、電圧範囲は-33V~0Vです。AV<sub>DD1</sub>の場合同様、AV<sub>SS</sub>も|AV<sub>DD1</sub>~AV<sub>SS</sub>| = 60Vの最大動作範囲に従う必要があります。バイポーラ電流出力範囲の場合、最大AV<sub>SS</sub>は(I<sub>OUT\_MAX</sub> × R<sub>LOAD</sub>) + I<sub>OUT</sub> フットルームと計算できます。ユニポーラ電流出力範囲の場合、AV<sub>SS</sub>はAGND(つまり0V)に接続できます。ユニポーラ電圧出力範囲の場合、内部電圧出力回路用に十分なフットルームを確保できるよう、最大AV<sub>SS</sub>は-2Vとなります。また、電源シーケンシングに関する問題を避けるために、AV<sub>SS</sub>とGNDの間にショットキー・ダイオードを置く必要があります(常にGND電源を使用できなければなりません)。

**AV<sub>DD2</sub>に関する考慮事項**

AV<sub>DD2</sub>は正の低電圧電源レールで、電圧範囲は5V~33Vです。使用できる正の電源レールが1つだけの場合は、AV<sub>DD2</sub>をAV<sub>DD1</sub>に接続することができます。ただし、最適化して消費電力を減らすには、独立した低電圧電源を使ってAV<sub>DD2</sub>に電源を供給してください。

**V<sub>LOGIC</sub>に関する考慮事項**

V<sub>LOGIC</sub>はデバイス用のデジタル電源で、電圧範囲は1.71V~5.5Vです。V<sub>LOGIC</sub>は、3.3VのV<sub>LDO</sub>出力電圧を使って駆動できます。

## デバイス特性と診断機能

### 消費電力制御

AD5758 は出力バッファへの電源を制御する DC/DC コンバータ回路を内蔵しており、デバイスを電流出力モードで使用する場合も電圧出力モードで使用する場合も、標準的な設計より消費電力を減らすことができます。AV<sub>DD1</sub> は DC/DC コンバータ用の電源レールで、電圧範囲は 7V~33V です。V<sub>DPC+</sub> はこのレールから供給され、その値は、DPC 電圧モード、DPC 電流モード、PPC 電流モードなどの DC/DC コンバータの動作モードと、出力負荷によって異なります。

図 77 に、DC/DC 回路に必要なとされるディスクリート部品を示します。更に次のセクションで、この回路の部品の選択と動作について説明します。

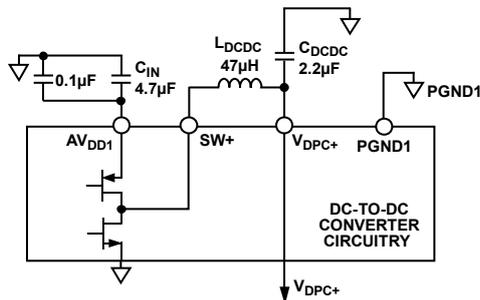


図 77. DC/DC 回路

表 10. 推奨 DC/DC 部品

Symbol	Component	Value	Manufacturer
L <sub>DCDC</sub>	PA6594-AE	47 µH	Coilcraft
C <sub>DCDC</sub>	GCM31CR71H225KA55L	2.2 µF	Murata
C <sub>IN</sub>	GRM31CR71H475KA12L	4.7 µF	Murata

### DC/DC コンバータの動作

DC/DC コンバータは 500kHz の固定周波数によるピーク電流モード制御方式を使い、AV<sub>DD1</sub> 入力を降圧して V<sub>DPC+</sub> を生成し、電圧/電流出力チャンネルのドライバ回路に電源を供給します。DC/DC コンバータはローサイド同期スイッチを使用しているので、外部ショットキー・ダイオードは不要です。DC/DC コンバータは主に不連続導通モード (DCM) で動作するように設計されており、スイッチング・サイクルのかなりの部分でインダクタ電流がゼロになります。V<sub>DPC+</sub> 安定化出力電圧レールに低い周波数の高調波が生じるのを避けるために、DC/DC コンバータはいずれのサイクルもスキップしません。したがって、DC/DC コンバータが固定周波数で動作するためには、最小限のエネルギーをその負荷 (つまり、電流または電圧出力段とそれらの負荷) に転送する必要があります。このため、軽負荷の場合 (例えば R<sub>LOAD</sub> や I<sub>OUT</sub> が小さい場合) は、V<sub>DPC+</sub> 電圧が目標値を超えて調整範囲を外れてしまうことがあります。この電圧の上昇は故障状態ではなく、アプリケーションの最も厳しいケースの消費電力状態を表すものでもありません。

DC/DC コンバータを使用する場合は、DC/DC 回路を正常に動作させるために、AV<sub>DD1</sub> と V<sub>DPC+</sub> の間に十分なレベルのマージンを維持する必要があります。このマージンの値は、最大 V<sub>DPC+</sub> の 5% です。

### DPC 電圧モード

DPC 電圧モードでは、電圧出力をイネーブルまたはディスエーブルした状態で、コンバータが V<sub>DPC+</sub> 電源を -V<sub>SENSE</sub> 電圧より 15V 高い値に調整します。このモードでは、対応するリモート・グラウンドを AD5758 のローカル・グラウンド電源 (AGND) に対して最大 ±10V の電位として、すべてのリモート負荷に対し全出力電圧範囲を効率的に使用することができます。

### DPC 電流モード

標準的な電流入力モジュール・デザインでは、ライン抵抗と負荷抵抗の合計値を 50Ω~750Ω の範囲とすることができます。出力モジュール・システムは負荷抵抗値の全範囲でコンプライアンス電圧条件を満たすために十分な電圧を供給する必要があります。例えば、4mA~20mA ループで 750Ω の負荷に対して 20mA を駆動する場合は、コンプライアンス電圧を 15V より大きくする必要があります。50Ω の負荷に対して 20mA を駆動する場合に必要なコンプライアンス電圧は 1V 超で、前述の場合より小さくなります。

DPC 電流モードでは、AD5758 の DC/DC 回路が出力電圧を検出して V<sub>DPC+</sub> 電源電圧を調整し、コンプライアンス条件を満たすと共に出力バッファ用にヘッドルーム電圧を最適化します。V<sub>DPC+</sub> は 4.95V または (I<sub>OUT</sub> × R<sub>LOAD</sub> + ヘッドルーム) のいずれかが高いほうの値に調整されますが、V<sub>DPC+</sub> 電圧が目標値を超えるおそれのある軽負荷状態の場合を除きます。既に述べたように、この例外はアプリケーションの最も厳しいケースの消費電力状態を表すものではありません。入力電源が (24V + ヘッドルーム) の場合、AD5758 は 1kΩ の負荷を介して最大 24mA を駆動することができます。

低出力電力レベルでは調整後のヘッドルームが 2.3V を超えますが、これは DC/DC 回路が最小オン時間のデューティ・サイクルを使用するという事実によります。この動作は予想されたもので、最も厳しいケースの消費電力には影響しません。

### PPC 電流モード

DC/DC コンバータはプログラマブル電力制御モードでも使用可能で、この場合はユーザが V<sub>DPC+</sub> 電圧を所定のレベルにプログラムして、必要な最大出力負荷に対応させます。このモードは、DPC 電流モードの最適電力効率と、固定電源時 (DC/DC 変換は無効) におけるシステムのセトリング時間のトレードオフを表すものです。PPC 電流モードでは、-V<sub>SENSE</sub> を基準として、V<sub>DPC+</sub> が 5V~25.677V のユーザ・プログラム・レベルに調整されます (0.667V ステップ)。このモードは、セトリング時間が設計の重要条件である場合に有用です。DC/DC コンバータのセトリング時間のセクションを参照してください。負荷が非直線的な性質を持つ場合は、V<sub>DPC+</sub> のプログラム・レベルを選択する際に注意が必要です。出力コンプライアンス電圧仕様を満たすには、V<sub>DPC+</sub> を十分に高い値に設定する必要があります。負荷が未知の場合は、ADC への +V<sub>SENSE</sub> 入力を使用して電流モードで V<sub>IOUT</sub> ピンをモニタし、V<sub>DPC+</sub> のユーザ設定値を決定することができます。

## DC/DC コンバータのセトリング時間

DPC 電流モードにおけるセトリング時間は DC/DC コンバータのセトリング時間に支配され、通常その値は、デジタル・スルー・レート制御機能なしで 200 $\mu$ s です。VI<sub>OUT</sub> へのコンデンサ追加とそれによる HART 動作への影響なしで初期 VI<sub>OUT</sub> 波形のオーバーシュートを軽減するには、DAC\_CONFIG レジスタ（表 32 参照）を使用してデジタル・スルー・レート制御機能を有効にします。

DC/DC コンバータの各モードにおける標準的なセトリング時間を表 11 に示します。すべての値は、表 10 に示すアナログ・デバイセズ推奨部品を使用することを前提としています。任意のアプリケーションにおいて実現可能なセトリング時間は、使用する外部インダクタ部品とコンデンサ部品、および DC/DC コンバータの電流制限設定によって異なります。

表 11. セトリング時間と DC/DC コンバータ・モード

DC-to-DC Converter Mode	Settling Time ( $\mu$ s)
DPC Current Mode	200
PPC Current Mode	15
DPC Voltage Mode	15

## DC/DC コンバータのインダクタの選択

標準的な 4mA~20mA アプリケーションでは、47 $\mu$ H のインダクタ（表 10 による）と 500kHz のスイッチング周波数を組み合わせることにより、(24V + ヘッドルーム) より大きい AV<sub>DD1</sub> 電源を使用して、最大 1k $\Omega$  の負荷抵抗に対し 24mA を駆動することができます。ピーク電流によってインダクタが飽和しないようにすることが重要で、特に最大周囲温度における飽和に注意する必要があります。インダクタが飽和状態になると効率が低下します。また、インダクタのサイズを大きくするとコア損失が小さくなります。AD5758 のスルー・レート制御機能は、スレーブ時のピーク電流の制限に使用できます。適切な電流制限を設定して (DCDC\_CONFIG2 レジスタを使用)、インダクタ電流がその制限値に達した場合は内部スイッチをシャットオフしてください。

## DC/DC コンバータの入力コンデンサと出力コンデンサの選択

出力コンデンサ C<sub>DCDC</sub> は DC/DC コンバータのリップル電圧に影響を与えるため、出力電流の増加率を決定する最大スルー・レートが制限されます。リップル電圧と出力容量の間には直接的な関係があります。アナログ・デバイセズの推奨する C<sub>DCDC</sub> コンデンサ（表 10 参照）と 47 $\mu$ H のインダクタを組み合わせると、500kHz リップルの振幅を 50mV 未満とすることができ、安定性が確保されると共に、すべての動作モードで HART 機能を使用できるようになります。

高電圧コンデンサでは、多くの場合、コンデンサのサイズが電荷保存能力を表します。そのコンデンサの DC バイアス電圧と容量の関係を示す曲線を使い、特性評価を行うことは重要です。仕様規定されたすべての容量値は、そのアプリケーションの最大 V<sub>DPC1</sub> 電圧に対応する DC バイアスを基準としています。また、所定のアプリケーションに対して、コンデンサの電圧定格と温度範囲も考慮する必要があります。表 10 に示す部品の選択にあたっては、これらの点を考慮することが重要です。

入力コンデンサ C<sub>N</sub> は DC/DC コンバータに必要とされるダイナミック電流の大部分を供給するため、等価直列抵抗 (ESR) の低い部品が推奨されます。AD5758 には、4.7 $\mu$ F (1206 サイズ) の低 ESR タンタル・コンデンサまたはセラミック・コンデンサを、0.1 $\mu$ F (0402 サイズ) のコンデンサと並列に使用することを推奨します。セラミック・コンデンサは DC バイアス電圧と温度に敏感なため、慎重に選択する必要があります。X5R または X7R 誘電セラミックは、広い動作電圧と温度範囲で安定しているため、これらのコンデンサの使用が望まれます。タンタル・コンデンサを選択する場合は、低 ESR 値になるよう注意する必要があります。

## CLKOUT

AD5758 は、同期用の CLKOUT 信号をシステムに供給することができます。この信号は、416kHz~588kHz の範囲で 8 つの周波数オプションに設定することができます。デフォルトのオプションは 500kHz で、これは DC/DC コンバータのスイッチング周波数と同じです。この機能は GP\_CONFIG1 レジスタで設定し、デフォルトでは無効になっています。

## ダイ間の 3 線式インターフェース

AD5758 内にある 2 つのダイ間の通信には 3 線式インターフェースが使われます。3 線式インターフェースのマスタはメイン・ダイに置かれ、スレーブは DC/DC ダイに置かれています。インターフェース信号は、データ、DCLK (MCLK/8 で動作)、および割込みの 3 つです。

3 線式インターフェースの主な目的は、DCDC\_CONFIG1 レジスタと DCDC\_CONFIG2 レジスタに対して読出しと書き込みを行うことです。内部的な 3 線式インターフェースによるメイン・ダイから DC/DC ダイへの転送は、SPI インターフェースを介してこれらのレジスタのアドレスを指定することから開始します。メイン・ダイ上にある 3 線式インターフェースのマスタは、DCLK をシリアル・クロックとして使用し、DC/DC ダイ上のレジスタへの書き込みと読出しを開始します。スレーブは、DC/DC ダイへの割込み信号を使用して、DC/DC ダイの内部ステータス・レジスタの読出しが求められていることを示します。

3 線式インターフェースによる書き込み時には、その都度自動的に読出しと比較のプロセスを有効にして (デフォルト・ケース)、メイン・ダイ上の DCDC\_CONFIGx レジスタのコピーの内容が DC/DC ダイ上のレジスタの内容と一致していることを確認できます。この比較は、DC/DC ダイのデジタル回路が正常であることを確認するために行われます。この機能を有効にした状態での 3 線式インターフェースの転送には、約 300 $\mu$ s かかります。無効にすると、この転送時間は 30 $\mu$ s に減少します。

3 線式インターフェース・トランザクションの間は、DCDC\_CONFIG2 レジスタの BUSY\_3WI フラグがアサートされます。BUSY\_3WI フラグは、(DAC\_CONFIG レジスタのビット [4:0] を介して) DAC 範囲を更新する際にもセットされます。これは、この操作によって内部キャッシュ・メモリがリフレッシュされるためですが、更新時には 2 つのダイ間で 3 線式インターフェースによる転送が必要になります。BUSY\_3WI がアサートされている間は、どの DCDC\_CONFIGx レジスタにも書き込みを始めることはできません。BUSY\_3WI がアサートされている間に書き込みが発生した場合、新しい書き込みは、現在の 3 線式インターフェース (3WI) 転送が完了するまで遅延させられます。

### 3 線式インターフェースの診断

DC/DC ダイ上で何らかの異常が発生すると、メイン・ダイへの割込みがトリガされて DC/DC ダイの自動ステータス読出しが行われます。読出しトランザクションの後、メイン・ダイは DC/DC ダイのステータス・ビット (VIOUT\_OV\_ERR、DCDC\_P\_SC\_ERR、DCDC\_P\_PWR\_ERR) のコピーを保持します。これらの値は ANALOG\_DIAG\_RESULTS レジスタ内に保持され、OR 演算で求められたステータス・レジスタ内のアナログ診断結果ビットを介して知ることができます。これらのビットは FAULT ピンのトリガも行います。

割込み要求への応答の中で、メイン・ダイ (マスタ) は 3 線式インターフェース読出し動作を実行して DC/DC ダイのステータスを読み出します。割込みはその後の DC/DC ダイ異常フラグによってのみ再度アサートされ、これによって 3 線式インターフェースはもう 1 つのステータス読出しトランザクションを開始します。割込み信号が 6 回連続で検出された場合は、3 線式インターフェースの書き込みトランザクションが 1 つ完了するまで割込み検出メカニズムが無効になります。この無効化は、割込みをトグルする際に、DC/DC ダイのステータスを連続して読み出すことによって 3 線式インターフェースがブロックされるのを防ぎます。DCDC\_CONFIG2 レジスタの INTR\_SAT\_3WI フラグはこのイベントがいつ発生したかを示し、どちらかの DCDC\_CONFIGx レジスタに書き込みを行うと、このビットが 0 にリセットされます。

3 線式の読出しまたは書き込み動作中、トランザクション内のアドレス・ビットとデータ・ビットはパリティ・ビットを生成します。これらのパリティ・ビットは受信側でチェックされ、両方のダイでこれらのビットが一致しない場合は、DIGITAL\_DIAG\_RESULTS レジスタの ERR\_3WI ビットがセットされます。読出しおよび比較プロセスが有効な状態でパリティ・エラーが発生すると、DIGITAL\_DIAG\_RESULTS レジスタの 3WI\_RC\_ERR ビットもセットされます。

### 電圧出力

#### 電圧出力アンプと V<sub>SENSE</sub> の機能

電圧出力アンプはユニポーラ出力電圧とバイポーラ出力電圧の両方を生成できるほか、2 $\mu$ F の容量 (外付けの補償コンデンサを使用) と並列で AGND に接続された 1k $\Omega$  の負荷を駆動することもできます。 $\pm 10$ V の共通モード電圧 (V<sub>CM</sub>) で負荷 R<sub>LOAD</sub> を駆動する電圧出力を、図 78 に示します。デバイスに組み込まれた 2M $\Omega$  の抵抗はアンプ・ループを閉じた状態に保つので、ケーブルと +V<sub>SENSE</sub> の接続が失われる可能性のあるアプリケーションでも、アンプ・ループが失われることによって VIOUT に大きな破壊的電圧がかかるおそれなくなります。負荷のリモート検出が不要な場合は、1k $\Omega$  の抵抗を介して +V<sub>SENSE</sub> を直接 VIOUT に接続し、1k $\Omega$  抵抗を介して -V<sub>SENSE</sub> を直接 AGND に接続します。

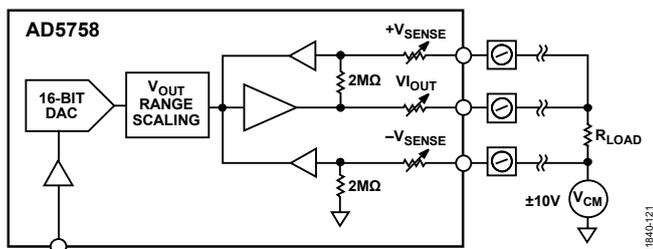


図 78. 電圧出力

### 大きい容量性負荷の駆動

電圧出力アンプは、220pF の無極性補償コンデンサを追加することによって、2 $\mu$ F までの容量性負荷を駆動することができます。このコンデンサは、AD5758 がより大きな容量性負荷を駆動すると共にオーバーシュートを小さくすることを可能にしますが、デバイスのセトリング時間が長くなり、その結果システムの帯域幅に影響を与えます。補償コンデンサなしで駆動できる容量性負荷は最大 10nF です。

### 電圧出力短絡保護

通常動作時、電圧出力は最大 12mA をシンク/ソースし、仕様規定された動作を維持します。短絡電流は通常 16mA です。短絡が検出されると、FAULT ピンがロー・レベルになり、ANALOG\_DIAG\_RESULTS レジスタの VOUT\_SC\_ERR ビットがセットされます。

### 故障の保護

AD5758 の VIOUT ピン、+V<sub>SENSE</sub> ピン、および -V<sub>SENSE</sub> ピンにはライン・プロテクタが組み込まれています。ライン・プロテクタは、ライン・プロテクタ内部の電圧を V<sub>DPC+</sub> および AV<sub>SS</sub> レールにクランピングすることによって動作し、それによって外部の電圧異常から内部回路を保護します。これらの制限値を外れる電圧が VIOUT ピン上で検出された場合は、エラー・フラグ (VIOUT\_OV\_ERR) もセットされます。このフラグは ANALOG\_DIAG\_RESULTS レジスタ内にあります。

### 電流出力

#### 電流設定外付け抵抗

図 74 に示すように、R<sub>SET</sub> は内部検出抵抗で、電流変換回路の電圧の一部を形成します。温度に対する出力電流の安定性は、R<sub>SET</sub> 値の安定性に依存します。温度に対して出力電流を安定させる方法の 1 つとして、AD5758 の R<sub>A</sub> ピンと R<sub>B</sub> ピンの間に低ドリフトの 13.7k $\Omega$  外付け抵抗を接続して、内蔵抵抗の代わりに使用することができます。

表 1 に、内蔵の R<sub>SET</sub> 抵抗使用時と 13.7k $\Omega$  の外付け R<sub>SET</sub> 抵抗使用時の AD5758 の性能仕様を示します。外付け R<sub>SET</sub> 抵抗の仕様は、理想抵抗と仮定した場合のもので、実際の性能は、使用する抵抗の絶対値と温度係数によって異なります。したがって、抵抗仕様は出力のゲイン誤差と TUE に直接影響します。

特定の外付け R<sub>SET</sub> 抵抗を使った出力の最も厳しいケース時の絶対 TUE を求めるときは、R<sub>SET</sub> 抵抗のパーセント絶対誤差を、表 1 に示す外付け R<sub>SET</sub> 抵抗使用時の AD5758 の TUE (% FSR で表示) に加算します。このオプションをシステムに使用する場合は、温度係数と外部リファレンスの仕様も考慮する必要があります。

外付けの R<sub>SET</sub> 抵抗と外部リファレンス両方の絶対誤差と TC 誤差を、AD5758 の TUE 仕様に加算することによって求めた誤差が大きな値となる可能性は高くありません。これは、個々の部品の TC 値が同じドリフト極性を示すことはあまり考えられず、相殺される要素があるためです。このため、TC 値は二乗和平方根の形で加えます。これは、ゼロ・スケールとフル・スケールで 2 点キャリブレーションを行うことによって更に改善できるので、電圧リファレンスと R<sub>SET</sub> 抵抗の絶対誤差は減少します。

## 電流出力オープン・サーキット検出

電流出力モードにおいて、オープン・サーキットや電源電圧不足のために、使用可能なヘッドルームがコンプライアンス範囲未満に低下した場合は、ANALOG\_DIAG\_RESULTS レジスタの IOUT\_OC\_ERR フラグがアサートされて、FAULTピンがローになります。

## HART 接続

AD5758 には C<sub>HART</sub> ピンがあり、ここに HART 信号を結合することができます。GP\_CONFIG1 レジスタの HART\_EN ビットがイネーブルされて V<sub>IOUT</sub> 出力もイネーブルされている場合は、HART 信号が電流出力に現れます。

図 79 に、HART 信号を減衰させて AD5758 に接続するための推奨回路を示します。V<sub>IOUT</sub> ピンを 1mA<sub>p-p</sub> とするには、C<sub>HART</sub> ピンに約 125mV<sub>p-p</sub> の信号が必要です。V<sub>IOUT</sub> ピンに現れる HART 信号は、C<sub>HART</sub> ピンの信号入力を基準に反転されます。

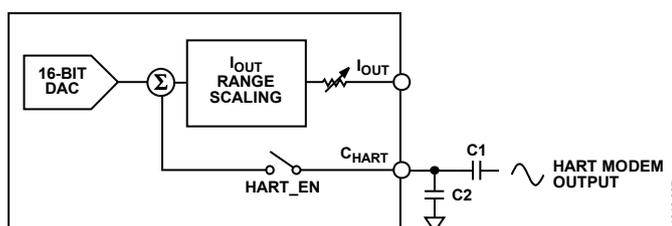


図 79. HART 信号の結合

C1 と C2 は受信 HART モデム信号を減衰させるのに使用しますが、これに加えて 1.2kHz と 2.2kHz の周波数がモデム出力信号用の帯域幅を通過できるようにするために、組み合わせ時の最小容量を確保する必要があります。HART 信号が 500mV<sub>p-p</sub> とすると、推奨値は、C1 = 47nF、C2 = 150nF です。HART 変化条件のアナログ・レートを満たすためには、出力スルー・レートのデジタル的な制御が必要です。

HART 機能が必要ない場合は、HART\_EN ビットをディスエーブルして C<sub>HART</sub> ピンを未接続のままにします。しかし、コンデンサを使って DAC 出力信号の速度を下げる必要がある場合は、HART\_EN ビットをイネーブルして、必要な C<sub>SLEW</sub> コンデンサを C<sub>HART</sub> ピンに接続しなければなりません。

## スルー・レートのデジタル制御

AD5758 のスルー・レート制御機能により、出力値が変化するレートを制御することができます。この機能は電流モードと電圧モードの両方で使用できます。スルー・レート制御機能を無効にすると、出力値は、出力駆動回路と接続された負荷で制限されるレートで変化します。スルー・レートを下げるには、スルー・レート制御機能を有効にします。この機能を有効にすると、出力は、DAC\_CONFIG レジスタを介してアクセスできる 2 つのパラメータで定義されるレートで、1 つの値から次の値へデジタル的に移行します。これらのパラメータは SR\_CLOCK と SR\_STEP です。SR\_CLOCK はデジタル・スルーが更新されるレートを定義します。例えば、選択した更新レートが 8kHz の場合、出力は 125μs ごとに更新されます。SR\_STEP は SR\_CLOCK と組み合わせて使い、更新ごとの出力値の変化の大きさを指定します。同時に、両パラメータにより出力値の変化レートが指定されます。

次式は、スルー・レートをステップ・サイズ、スルー・レート周波数、LSB サイズの関数として表します。

$$\text{Slew Time} = \frac{\text{Output Change}}{\text{Step Size} \times \text{Slew Rate Frequency} \times \text{LSB Size}}$$

ここで、

Slew Time の単位は秒です。

Output Change は、電流出力モードではアンペア数、電圧出力モードではボルト数で表されます。

スルー・レート制御機能を有効にすると、設定されたスルー・レートですべての出力が変化します。例えば、WDT がタイムアウトして自動クリアが実行される場合は、設定されたスルー・レートで出力がクリア値まで増加していきます (GP\_CONFIG1 レジスタの CLEAR\_NOW\_EN ビットをセットすると、このデフォルト動作がオーバーライドされて直ちにクリア・コードが更新され、設定されたスルー・レートは使われません)。

与えられた値に対するスルー・レート周波数は、すべての出力範囲で同じです。ただし、ステップ・サイズは与えられたステップ・サイズ値に対応する出力範囲に応じて変わります。これは、LSB サイズが各出力範囲で異なるためです。

## AD5758 アドレス・ピン

AD5758 のアドレス・ピン (AD0 と AD1) はアドレス・ビットと共に SPI フレーム内で使われ (表 12 参照)、システム・コントローラによってどの AD5758 デバイスのアドレスを指定するかを決定します。2 本のアドレス・ピンを使用すれば、1 つのボード上で最大 4 個のデバイスのアドレスを独立して指定することができます。

## SPI インターフェースと診断機能

AD5758 は 4 線式のシリアル・インターフェースで制御され、8 ビットの巡回冗長性チェック (CRC-8) がデフォルトで有効になっています。入力シフト・レジスタは 32 ビット幅で、データは、シリアル・クロック入力 SCLK の制御の下に MSB ファーストでデバイスにロードされます。データは SCLK の立下がりエッジで入力されます。CRC を無効にすると、シリアル・インターフェースは 24 ビットに減少します。この場合でも 32 ビット・フレームを使用できますが、最後の 8 ビットは無視されます。

表 12. レジスタへの書込み (CRC は有効)

MSB			LSB	
D31	[D30:D29]	[D28:D24]	[D23:D8]	[D7:D0]
Slip bit	AD5758 address	Register address	Data	CRC

表 12 に示すように、すべての SPI フレームには 2 個のアドレス・ビットが含まれています。特定のデバイスがバス上の SPI フレームを受け入れるには、これらのビットがハードウェア・アドレス・ピン (AD0 と AD1) に一致していなければなりません。

SPI 巡回冗長検査

ノイズの多い環境でデータが正しく受信されたことを確認するため、AD5758はCRC-8に基づくCRCのオプションを備えています。AD5758を制御するデバイスは、次の多項式を使って8ビット・フレーム・チェック・シーケンスを生成します。

$$C(x) = x^8 + x^2 + x^1 + 1$$

このシーケンスがデータワードの終わりに追加されて32ビットがAD5758へ送信され、その後SYNCがハイ・レベルになります。

SPI\_CRC\_EN ビットがハイに設定されている場合（デフォルト状態）は、幅がちょうど32ビットのフレーム（24ビットのデータと8ビットのCRC）を使用する必要があります。CRCチェックにパスすると、選択されたレジスタにデータが書き込まれます。CRCチェックに合格しない場合は、データが無視されてFAULTピンがローになり、FAULTピンのステータス・ビットとステータス・レジスタ内のデジタル診断ステータス・ビット（DIG\_DIAG\_STATUS）がアサートされます。その後DIGITAL\_DIAG\_RESULTS レジスタをリードバックすれば、SPI\_CRC\_ERR ビットもセットされていることがわかります。このレジスタはビットごとに書き込みを行うことでクリアするレジスタ（スティッキー診断結果ビットのセクションを参照）なので、DIGITAL\_DIAG\_RESULTS レジスタのビットD0に1を書き込むことによって、SPI\_CRC\_ERR ビットをクリアすることができます。これを実行すると、SPI\_CRC\_ERROR ビットがクリアされてFAULTピンがハイに戻ります（他にアクティブな故障がないものと仮定）。FAULT\_PIN\_CONFIG レジスタを設定する場合、SPI CRC エラーをFAULTピンに反映させるかどうかはユーザが決定できます。詳細については、FAULTピン設定レジスタのセクションを参照してください。SPI CRC 機能は、データ・パケットの送信と受信両方に使用できます。

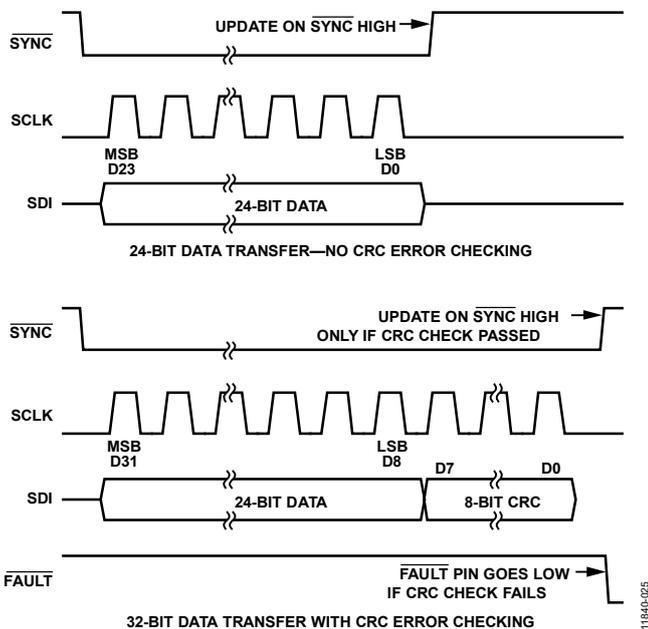


図 80. CRC タイミング (LDAC = 0 と仮定)

SPI インターフェース・スリップ・ビット

インターフェースにスリップ・ビットが追加されたことで、インターフェースの堅牢性が更に向上しています。フレームが有効であると見なすには、SPIフレームのMSBがMSB-1を反転した値に等しくなければなりません。誤ったスリップ・ビットが検出された場合、そのデータは無視され、DIGITAL\_DIAG\_

RESULTS レジスタのSLIPBIT\_ERROR ビットがアサートされま

SPI インターフェースの SCLK カウント機能

SPI 診断機能には、SCLK カウント機能も組み込まれています。これは、ちょうど32個（SPI CRCが無効な場合は32個または24個）のSCLK立下がりエッジを持つSPIフレームだけが、有効な書込みとしてインターフェースに受け入れられることを意味します。これらの値以外のSPIフレームは無視され、DIGITAL\_DIAG\_RESULTS レジスタにSCLK\_COUNT\_ERR フラグがアサートされます。

リードバック・モード

AD5758には以下に示す4つのリードバック・モードがあります。

- 2段リードバック・モード
- 自動ステータス・リードバック・モード
- 共有SYNC自動ステータス・リードバック・モード
- エコー・モード

2段リードバックでは、専用レジスタ TWO\_STAGE\_READBACK\_SELECT に書込みを行って、リードバックするレジスタの位置を選択します。この書込みの後には無操作（NOP）コマンドが続き、その間は選択したレジスタの内容をSDOに使用することができます。

表 13. 読み出し操作時のSDOの内容

MSB		LSB		
[D31:D30]	D29	[D28:24]	[D23:D8]	[D7:D0]
0b10	FAULT pin status	Register address	Data	CRC

ビット [D31:D30] = 0b10 はリードバック時の同期用に使われます。

自動ステータス・リードバック・モードを選択した場合は、毎回のSPIトランザクションの間、SDOラインでステータス・レジスタの内容を出力することができます。この機能は、ステータス・レジスタを連続的にモニタして、故障発生時に迅速に対応することを可能にします。この機能は、AD5758のパワーアップ時には無効になっています。この機能を有効にすると通常の2段リードバック機能は使用できなくなり、SDOで使用できるのはステータス・レジスタだけになります。他のレジスタをリードバックするには、2段リードバック・シーケンスを行う前に、まず自動リードバック機能を無効にしてください。自動ステータス・リードバックは、そのレジスタのリードバック後に再び有効にできます。

共有SYNC自動ステータス・リードバックは自動ステータス・リードバックの特別なバージョンで、複数デバイスが同じSYNCラインを共有している場合に、SDOバスの競合を避けるために使われます。

エコー・モードも自動ステータス・リードバックと同様に動作しますが、2回目のリードバックが、すべてその前に行われたAD5758へのコマンド書込みのエコーで構成される点が異なります（図81参照）。リードバック・モードの詳細については、レジスタからの読み出しのセクションを参照してください。



図 81. エコー・モードにおけるSDOの内容

## ウォッチドッグ・タイマー (WDT)

WDT 機能は、システム・コントローラと AD5758 間の通信が失われなようにして、SPI データバス・ラインが期待どおりに機能するようにする上で有効です。

WDT をイネーブルすると、ユーザが設定したタイムアウト時間内に AD5758 が特定の SPI フレームを受信しなかった場合は、システムにアラートが送られます。特定 SPI フレームを受信した場合、ウォッチドッグは、タイムアウト・アラートを制御しているタイマーをリセットします。WDT をリセットするために使われる SPI フレームは、以下の 2 つの選択肢のどちらかに設定できます。

- キー・レジスタへの固有のキー・コードの書込み (デフォルト)。
- 任意のレジスタへの有効な SPI 書込み。

ウォッチドッグ・タイムアウトが発生した場合に備えて、ユーザが AD5758 に設定できる動作は 2 つあります。1 つめのユーザ設定動作は CLEAR\_CODE に保存したユーザ定義クリア・コードを使って DAC 出力をロードする動作で、2 つめはソフトウェア・リセットを行う動作です。これらの動作は、それぞれ WDT\_CONFIG レジスタのビット 10 とビット 9 を使ってイネーブルすることができます。ウォッチドッグ・タイムアウト発生時は (ビット 10 またはビット 9 がイネーブルされているかどうかに関わらず)、ステータス・レジスタ内にある専用の WDT\_STATUS ビットと DIGITAL\_DIAG\_RESULTS レジスタの WDT\_ERR ビットが、WDT のタイムアウトをユーザに警告します。WDT タイムアウト発生後は、DIGITAL\_DIAG\_RESULTS レジスタ内のアクティブ WDT 故障フラグがクリアされるまで、DAC\_INPUT レジスタへのすべての書込みとハードウェアまたはソフトウェア LDAC イベントが無視されます。

このフラグがクリアされた後は、WDT リセット・コマンドを実行することによって WDT を再開できます。

パワーアップ時、WDT はデフォルトでディスエーブルになりません。デフォルトのタイムアウト設定は 1 秒です。WDT をリセットするデフォルトの方法は 1 つの特定キーを書き込むことで、タイムアウト時のデフォルト動作は対応するフラグ・ビットと FAULT ピンをセットすることです。WDT 動作の設定をサポートする具体的なレジスタ・ビットの詳細については、表 39 を参照してください。

## オフセットとゲインのデジタル調整

AD5758 には USER\_GAIN レジスタと USER\_OFFSET レジスタがあり、これらを使ってシグナル・チェーン全体のゲイン誤差とオフセット誤差を調整することができます。16 ビットの USER\_GAIN レジスタを使うと、DAC チャンネルのゲインを 1LSB ステップで調整することができます。表 14 に示すように、USER\_GAIN レジスタのコーディングはストレート・バイナリです。USER\_GAIN レジスタのデフォルト・コードは 0xFFFF で、この場合、設定された出力にゲイン係数は適用されません。理論的には、全出力範囲にわたってゲインを調整することができます。実用上は、精度を保つために推奨されるゲイン調整は、最大で設定範囲の約 50% です。

表 14. ゲイン・レジスタの調整

Gain Adjustment Factor	D15	D14 to D1	D0
1	1	1	1
65,535/65,536	1	1	0
...	...	...	...
2/65,536	0	0	1
1/65,536	0	0	0

16 ビットの USER\_OFFSET レジスタを使うと、DAC チャンネルのオフセットを -32,768LSB ~ +32,768LSB の範囲で 1LSB ステップごとに調整できます。表 15 に示すように、USER\_OFFSET レジスタのコーディングはストレート・バイナリです。USER\_OFFSET レジスタのデフォルト・コードは 0x8000 で、この場合、出力のオフセット設定はゼロになります。

表 15. オフセット・レジスタの調整

Gain Adjustment	D15	D13 to D2	D0
+32,768 LSBs	1	1	1
+32,767 LSBs	1	1	0
...	...	...	...
No Adjustment (Default)	1	0	0
...	...	...	...
-32,767 LSBs	0	0	1
-32,768 LSBs	0	0	0

内部 DAC レジスタに書き込まれる値 (10 進値) は次式で計算できます。

$$DAC\_Code = D \times \frac{(M + 1)}{2^{16}} + C - 2^{15} \quad (1)$$

ここで、

D は DAC\_INPUT レジスタにロードされるコード。

M は USER\_GAIN レジスタ内のコード (デフォルト・コード =  $2^{16} - 1$ )。

C は USER\_OFFSET レジスタ内のコード (デフォルト・コード =  $2^{15}$ )。

DAC\_INPUT レジスタのデータはデジタル乗算器と加算器で処理され、乗算器はユーザ・ゲイン・レジスタの内容によって、加算器は USER\_OFFSET レジスタの内容によって制御されます。補正された DAC データは、更に LDAC ピンの状態に応じて DAC にロードされます。

DAC 出力は、USER\_GAIN レジスタまたは USER\_OFFSET レジスタへの書込みごとに自動的に更新されるわけではありません。その代わりに、DAC\_INPUT レジスタへの次の書込みでは、これらのゲイン値とオフセット値を使って新しいキャリブレーションが行われ、チャンネルが自動的に更新されます。読出し専用の DAC\_OUTPUT レジスタは、ユーザ・ゲインおよびユーザ・オフセットによるキャリブレーションの場合を除き、現在 DAC 出力に使用可能な値を表します。この場合、DAC\_OUTPUT レジスタはユーザによる DAC データ入力を表し、キャリブレーションはキャリブレーション結果ではなくこの入力に基づいて行われます。

USER\_GAIN レジスタと USER\_OFFSET レジスタの分解能は共に 16 ビットです。ゲイン/オフセットの正しいキャリブレーションは、ゲインのキャリブレーション後にオフセットをキャリブレーションすることによって行います。

## DAC 出力の更新とデータ完全性の診断

DAC 入力ローディング回路の簡略図を図 82 に示します。使用する場合は、DAC\_INPUT レジスタへの書き込み前に、USER\_GAIN レジスタと USER\_OFFSET レジスタを更新する必要があります。

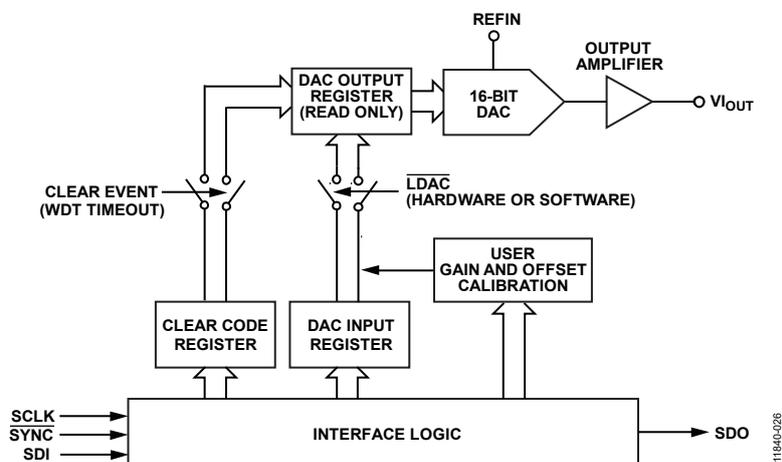


図 82. 入力ローディング回路のシリアル・インターフェース簡略図

DAC\_OUTPUT レジスタ（および最終的な DAC 出力）は、以下のいずれかの場合に更新されます。

- ハードウェア  $\overline{\text{LDAC}}$  ピンをローに接続した状態で DAC\_INPUT レジスタに書き込みが行われた場合。DAC\_OUTPUT レジスタは SYNC の立上がりエッジで更新され、表 2 のタイミング仕様が適用されます。
- ハードウェア  $\overline{\text{LDAC}}$  ピンがハイの状態での DAC\_INPUT レジスタへの書き込みが行われた場合。DAC\_OUTPUT レジスタは、ソフトウェア  $\overline{\text{LDAC}}$  命令が発出されるか、ハードウェア  $\overline{\text{LDAC}}$  ピンにロー・パルスが入力されるまで更新されません。
- CLEAR\_ON\_WDT\_FAIL ビットがセットされた状態で WDT タイムアウトが発生した場合、CLEAR\_CODE レジスタの内容は DAC\_OUTPUT レジスタにロードされます。
- スルー・レート制御機能がイネーブルされた場合。DAC\_OUTPUT レジスタには、DAC 出力が 1 つの値から次の値へ増加していくのに合わせて DAC の動的な値が格納されます。

WDT 故障がアクティブの間は、DAC\_INPUT レジスタへのすべての書き込みとハードウェアまたはソフトウェア  $\overline{\text{LDAC}}$  イベントが無視されます。CLEAR\_ON\_WDT\_FAIL ビットが出力をクリア・コードにセットするように設定されている場合、WDT 故障フラグがクリアされたときは、DAC\_OUTPUT レジスタの更新前に DAC\_INPUT レジスタへ書き込みを行う必要があります。つまり、ソフトウェアまたはハードウェア  $\overline{\text{LDAC}}$  を行った場合のみ DAC にクリア・コードが再ロードされます。出力イネーブルを行う設定シーケンスのセクションで説明するとおり、DAC\_CONFIG レジスタによって DAC の範囲を設定した後は、DAC\_INPUT レジスタの内容が現在値から変化していない場合でも、DAC\_INPUT レジスタへの書き込みを行う必要があります。

GP\_CONFIG2 レジスタにはグローバル・ソフトウェア  $\overline{\text{LDAC}}$  モードをイネーブルするビットが含まれており、それによって SW\_LDAC コマンドの AD5758 アドレス・ビットが無視されるので、単一の SW\_LDAC コマンドで、同時に更新する複数の AD5758 デバイスをイネーブルすることができます。この機能は、複数の AD5758 デバイスを含むシステム内で、ハードウェア  $\overline{\text{LDAC}}$  ピンを使用しない場合に有用です。

## DAC のデータ完全性診断

過渡的变化から内部デジタル回路を保護するために、デジタル・ブロックは、デジタル DAC 値とその反転コピー値の両方を保存します。DAC をストローブして DAC コードを更新する前に、これら 2 つの値が互いに対応していることを確認するためのチェックが行われます。この機能は、DIGITAL\_DIAG\_CONFIG レジスタの INVERSE\_DAC\_CHECK\_EN ビットにより、デフォルトで有効になります。

図 83 に示すように、デジタル・ブロックの外側で DAC コードはラッチに保存されます。これらのラッチは、デジタル・ブロック内で保護対象となっているものと同じ過渡現象に対し、脆弱である可能性があります。これらの過渡現象から DAC ラッチを保護するために、DIGITAL\_DIAG\_CONFIG レジスタ内の DAC\_LATCH\_MON\_EN ビットを介して、DAC ラッチ・モニタ機能をイネーブルすることができます。この機能は DAC を駆動する実際のデジタル・コードをモニタして、このコードをデジタル・ブロック内で生成されるデジタル・コードと比較します。これら 2 つのコード間に何らかの違いがあると、DIGITAL\_DIAG\_RESULTS レジスタに DAC\_LATCH\_MON\_ERR フラグがセットされます。

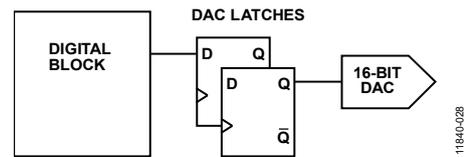


図 83. DAC データの完全性

## キー・コードの使用

キー・コード（キー・レジスタ経由）は以下の機能に使用します（詳細についてはキー・レジスタのセクションを参照）。

- キャリブレーション・メモリのリフレッシュの開始。
- ソフトウェア・リセットの開始。
- WDT リセット・キー。

キャリブレーション・メモリのリフレッシュやデバイス・リセットなどの動作を開始するために特別なキーを使用することで、これらのタスクのいずれかが誤って開始される可能性が減るので、システムの堅牢性が大きく向上することになります。

## ソフトウェア・リセット

ソフトウェア・リセット時は、キー・レジスタに 0x15FA と 0xAF51 を連続して書き込む必要があります。デバイスのリセットは、ハードウェア RESET ピンまたはソフトウェア・リセット・キーを使用して開始するか、WDT タイムアウト後に自動的に開始することができます（自動開始できるように設定されている場合）。デバイスがリセットされると、DIGITAL\_DIAG\_RESULTS レジスタの RESET\_OCCURRED ビットがフラグされます。このビットは、パワーアップ時にデフォルトで 1 になります。どちらの診断結果レジスタも、1 を書き込んで機能をクリアします。言い方を変えると、機能をクリアするためにはこのビットに 1 を書き込む必要があります（スティッキー診断結果ビットのセクションを参照）。

## キャリブレーション・メモリの CRC

キャリブレーション・メモリのシャドウ・レジスタの内容に関する自動 CRC は、キャリブレーション・メモリのリフレッシュ・サイクルごとに計算されます（これは、キー・レジスタにキー・コードを書き込むことによって開始されるか、範囲ビット、つまり DAC\_CONFIG レジスタのビット [3:0] が変更されることで自動的に開始される）。この CRC の結果が、工場で作成されたリファレンス CRC 値と比較されます。CRC 値が一致すれば、キャリブレーション・メモリ全体の読出しは有効と見なされます。一致しない場合は、DIGITAL\_DIAG\_RESULTS レジスタの CAL\_MEM\_CRC\_ERR ビットが 1 に設定されます。この機能はデフォルトで有効になっており、DIGITAL\_DIAG\_CONFIG レジスタの CAL\_MEM\_CRC\_EN ビットで無効にすることができます。

このキャリブレーション・メモリのリフレッシュ・サイクルがアクティブになっている間は 2 段階リードバック・コマンドを使用できますが、いずれかのレジスタ（TWO\_STAGE\_READBACK\_SELECT レジスタまたは NOP レジスタを除く）に書き込みを行うと、DIGITAL\_DIAG\_RESULTS レジスタの INVALID\_SPI\_ACCESS\_ERR ビットがセットされます。出力イネーブルを行う設定シーケンスのセクションに示したように、キャリブレーション・メモリのリフレッシュ・サイクル開始後は、500µs の待機時間を置くことを推奨します。

## 内部発振器の診断

内部周波数モニタは、内部発振器（MCLK）を使い、1kHz（MCLK/10,000）のレートで16ビット・カウンタを加算します。カウンタの値は、FREQ\_MONITOR レジスタから読み出すことができます。このレジスタを周期的にポーリングし、内部発振器の診断ツール（発振器動作のモニタ）として使用したり、周波数の測定に使用したりすることができます。この機能は、DIGITAL\_DIAG\_CONFIG レジスタの FREQ\_MON\_EN ビットにより、デフォルトで有効になっています。

内部 MCLK 発振器が停止した場合、AD5758 はすべての SPI フレームについて、0x07DEAD という特別なコードを SDO ラインに送信します。この機能はデフォルトで有効になっており、GP\_CONFIG1 レジスタの OSC\_STOP\_DETECT\_EN ビットで無効にすることができます。この機能は、表 3 に概要を示す最大リードバック・タイミング仕様により制限されます。

## スティッキー診断結果ビット

AD5758 は、デジタル（表 44 参照）とアナログ（表 45 参照）2つの診断結果レジスタを備えています。これらのレジスタ内にある診断結果ビットは、スティッキー・ビットです（R/W-1-C）。つまり、各ビットをクリアするには1を書き込む必要があります。この場合はクリアではなく更新と言ったほうが適切です。故障状態が続いているときは、対象ビットに1を書き込んでも0にクリアされることはないからです。ビットにロジック1を書き込むと、そのビットは最新の値に更新されます。つまり、故障状態が続いている場合はロジック1、故障状態が解消されている場合はロジック0です。

DIGITAL\_DIAG\_RESULTS レジスタ内でのこの R/W-1-C アクセスには例外が2つあります。CAL\_MEMORY\_UNREFRESHED と SLEW\_BUSY です。これらのフラグは、それぞれキャリブレーション・メモリのリフレッシュまたは出力スルーが完了すると、自動的にクリアされます。

ステータス・レジスタには DIG\_DIAG\_STATUS ビットと ANA\_DIAG\_STATUS ビットが含まれており、これは、それぞれの診断結果レジスタに含まれる診断結果ビットを論理 OR した結果です。すべてのアナログ診断フラグ・ビットは ANA\_DIAG\_STATUS ビットの論理 OR に含まれており、SLEW\_BUSY ビットを除くすべてのデジタル診断フラグ・ビットは DIG\_DIAG\_STATUS の論理 OR に含まれています。ステータス・レジスタ内の OR により求められたビットは読み出し専用で、スティッキー・ビット（R/W-1-C）ではありません。

## バックグラウンドでの電源および温度モニタリング

ダイの過熱と過電圧は、故障の一般的な原因となり得ることが知られています。これらの状態は、コンパレータを使用して継続的に監視できます。ADC にポーリングを行う必要はありません。

どちらのダイにも、精度 $\pm 5^{\circ}\text{C}$ （代表値）の温度センサーが組み込まれています。ダイの温度はコンパレータによってモニタされます。また、バックグラウンド温度コンパレータは常時イネーブルされています。142 $^{\circ}\text{C}$ 、127 $^{\circ}\text{C}$ 、112 $^{\circ}\text{C}$ 、および 97 $^{\circ}\text{C}$  に対応するプログラマブル・トリップ・ポイントは、GP\_CONFIG1 レジスタで設定できます。どちらかのダイの温度が設定制限値を超えると、ANALOG\_DIAG\_RESULTS レジスタ内の対応ビットがセットされて、FAULT ピンがローにアサートされます。

AD5758 の低電圧電源は、低消費電力のスタティック・コンパレータを介してモニタされます。この機能はデフォルトでは無効になっており、GP\_CONFIG2 レジスタの COMPARATOR\_CONFIG ビットで有効にすることができます。REFIN バッファをパワーアップして、REFIN コンパレータがこのノードを使用できるようにするには、DAC\_CONFIG レジスタの INT\_EN ビットをセットする必要があります。モニタされるノードは、REFIN、REFOUT、V<sub>LDO</sub>、および内部 AV<sub>CC</sub> 電圧ノード（INT\_AVCC）です。ANALOG\_DIAG\_RESULTS レジスタには、モニタする各ノードに対応するステータス・ビットがあります。いずれかの電源が上限または下限閾値を超えると（表 16 参照）、対応するステータス・ビットがセットされます。REFOUT 故障の場合は REFOUT\_ERR ステータス・ビットがセットされます。REFOUT は、INT\_AVCC、V<sub>LDO</sub>、および温度コンパレータの比較電圧として使われるので、この場合はこれらのノードのステータス・ビットがセットされる可能性もあります。ANALOG\_DIAG\_RESULTS レジスタの他のすべてのステータス・ビットと同様、これらのビットもスティッキー・ビットで、エラー状態が解消された場合にこれらのビットをクリアするには、1を書き込む必要があります。エラー状態が続いている場合、クリアのために1を書き込んでもフラグはハイのままです。

表 16. コンパレータ電源のアクティブ化閾値

Supply	Lower Threshold (V)	Nominal Value/Range (V)	Upper Threshold (V)
INT_AVCC	3.8	4 to 5	5.2
V <sub>LDO</sub>	2.8	3 to 3.6	3.8
REFIN	2.24	2.5	2.83
REFOUT	2.24	2.5	2.83

## 出力故障

AD5758 には FAULT ピンがあります。このピンはアクティブ・ローのオープンドレイン出力で、複数の AD5758 デバイスを1本のプルアップ抵抗で接続してグローバル故障検出を行うことができます。このピンは、故障状態が検出されていない場合は高インピーダンスで、例えば電流モードでのオープン・サーキット、電圧モードでの短絡、CRC エラー、または過熱エラーなどの一定の故障状態が検出されるとローにアサートされます。表 17 は FAULT ピンを自動的にアクティブにする故障状態を示したもので、FAULT\_PIN\_CONFIG レジスタ（表 42 参照）を介して使用できるマスク可能な故障ビットも示されています。すべてのレジスタには、対応する FAULT ピン・ステータス・ビットである FAULT\_PIN\_STATUS が含まれており、これは FAULT ピンの現在の状態を反転した状態をミラーします。例えば FAULT ピンがアクティブな場合は、FAULT\_PIN\_STATUS ビットは1です。

表 17. FAULT ピンのトリガ・ソース<sup>1</sup>

Fault Type	Mapped to FAULT Pin	Mask Ability
Digital Diagnostic Faults		
Oscillator Stop Detect	Yes	Yes
Calibration Memory Not Refreshed	No	N/A
Reset Detected	No	N/A
3-Wire Interface Error	Yes	No
WDT Error	Yes	Yes
3-Wire Read and Compare Parity Error	Yes	No
DAC Latch Monitor Error	Yes	Yes
Inverse DAC Check Error	Yes	Yes
Calibration Memory CRC Error	Yes	No
Invalid SPI Access	Yes	Yes
SCLK Count Error	Yes	No <sup>2</sup>
Slip Bit Error	Yes	Yes
SPI CRC Error	Yes	Yes
Analog Diagnostic Faults		
V <sub>OUT</sub> Overvoltage Error	Yes	Yes
DC-to-DC Short Circuit Error	Yes	Yes
DC-to-DC Power Error	Yes	No
Current Output Open Circuit Error	Yes	Yes
Voltage Output Short-Circuit Error	Yes	Yes
DC-to-DC Die Temperature Error	Yes	Yes
Main Die Temperature Error	Yes	Yes
REFFOUT Comparator Error	Yes	No
REFIN Comparator Error	Yes	No
INT_AVCC Comparator Error	Yes	No
V <sub>LDO</sub> Comparator Error	Yes	No

<sup>1</sup> N/A は該当せずを意味します。

<sup>2</sup> FAULT\_PIN\_CONFIG レジスタで SCLK カウント・エラーをマスクすることはできませんが、SPI\_DIAG\_QUIET\_EN ビット (GP\_CONFIG1 レジスタのビット D3) をイネーブルすることによって FAULT ピンから除外できます。

ステータス・レジスタの DIG\_DIAG\_STATUS、ANA\_DIAG\_STATUS、および WDT\_STATUS ビットは、FAULT ピンおよび FAULT\_PIN\_STATUS ビットと共に使われ、どの故障状態が FAULT ピンまたは FAULT\_PIN\_STATUS ビットをアクティブにしたかを知らせます。

### ADC のモニタリング

AD5758 には、電源、グラウンド、内部ダイ温度、リファレンス、外部信号などのユーザ選択可能入力に関する診断情報を提供するために、12 ビット ADC が組み込まれています。すべての選択可能入力のリストを表 18 に示します。ADC に使用するリファレンスは REFOUT から得られ、必要に応じて DAC リファレンス (REFIN) に依存しない手段を提供します。ADC\_CONFIG レジスタは、ADC\_IP\_SELECT ビットを介して ADC の多重入力チャンネルの選択を設定します (表 41 を参照)。

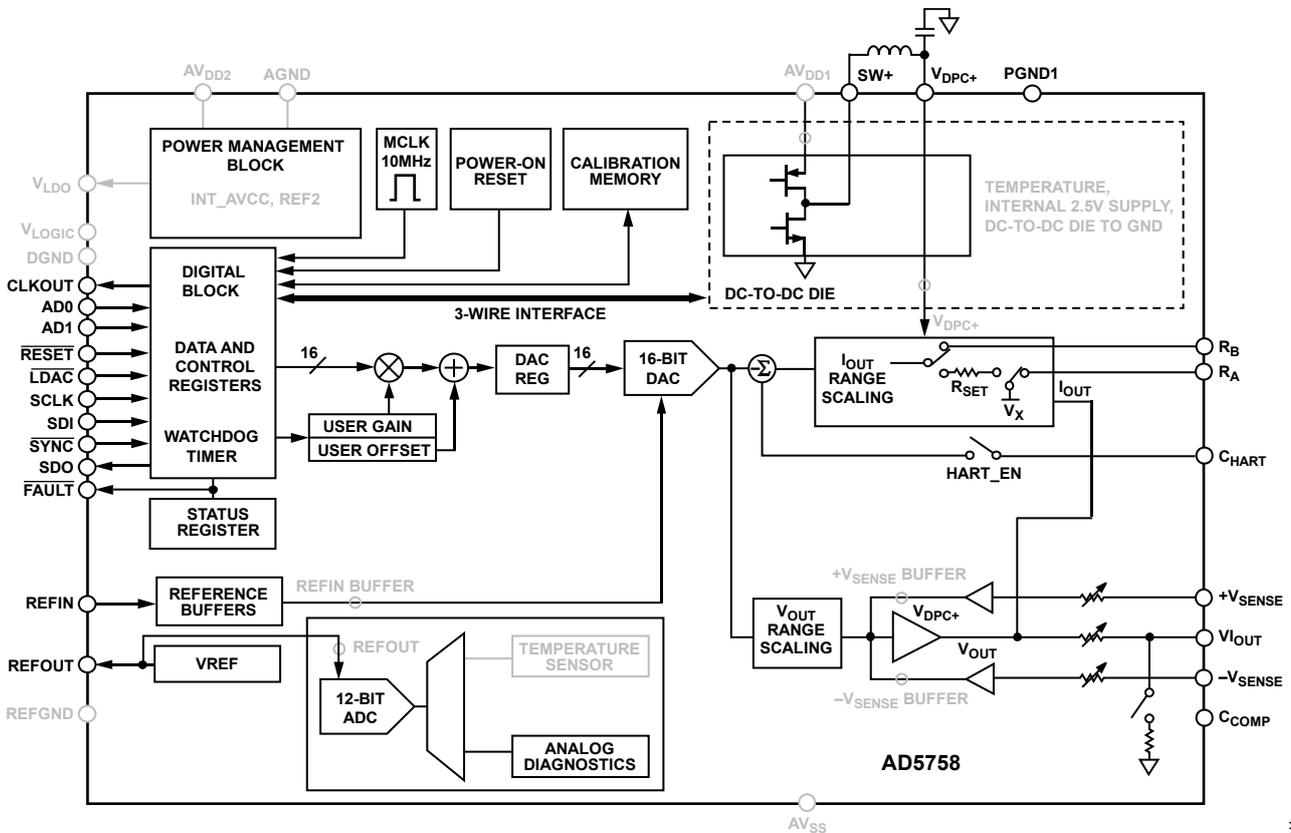
### ADC 伝達関数の式

ADC の入力範囲は 0V~2.5V で、様々なノードをデジタル化するために使用できます。ADC への一連の入力信号には範囲がユニポーラのものもあればバイポーラのものもあり、その値も高電圧から低電圧まで様々です。したがって、これらの入力のデジタル化を可能にするには、0V~2.5V の ADC 入力範囲から外れる電圧範囲を分圧する必要があります。ADC の伝達関数の式は、選択した ADC 入力ノードによって異なります (すべての伝達関数式の概要については、表 18 を参照)。

表 18. ADC 入力ノードの概要

ADC_IP_SELECT	V <sub>IN</sub> Node Description	ADC Transfer Function
00000	Main die temperature	$T (^{\circ}\text{C}) = (-0.09369 \times D) + 307$
00001	DC-to-dc die temperature	$T (^{\circ}\text{C}) = (-0.11944 \times D) + 436$
00010	Reserved	Reserved
00011	REFIN	$\text{REFIN (V)} = (D/2^{12}) \times 2.75$
00100	Internal 1.23 V reference voltage (REF2)	$\text{REF2 (V)} = (D/2^{12}) \times 2.5$
00101	Reserved	Reserved
00110	Reserved	Reserved
01100	Reserved	Reserved
01101	Voltage on the +V <sub>SENSE</sub> buffer output	$+V_{\text{SENSE}} (\text{V}) = ((50 \times D)/2^{12}) - 25$
01110	Voltage on the -V <sub>SENSE</sub> buffer output	$-V_{\text{SENSE}} (\text{V}) = ((50 \times D)/2^{12}) - 25$
10000	Reserved	Reserved
10001	Reserved	Reserved
10010	Reserved	Reserved
10011	Reserved	Reserved
10100	INT_AVCC	$\text{INT\_AVCC (V)} = D/2^{12} \times 10$
10101	V <sub>LDO</sub>	$V_{\text{LDO}} (\text{V}) = D/2^{12} \times 10$
10110	V <sub>LOGIC</sub>	$V_{\text{LOGIC}} (\text{V}) = D/2^{12} \times 10$

ADC_IP_SELECT	V <sub>IN</sub> Node Description	ADC Transfer Function
11000	REFGND	REFGND (V) = D/2 <sup>12</sup> × 2.5
11001	AGND	AGND (V) = D/2 <sup>12</sup> × 2.5
11010	DGND	DGND (V) = D/2 <sup>12</sup> × 2.5
11011	V <sub>DPC+</sub>	V <sub>DPC+</sub> (V) = D/2 <sup>12</sup> × 37.5
11100	AV <sub>DD2</sub>	AV <sub>DD2</sub> (V) = D/2 <sup>12</sup> × 37.5
11101	AV <sub>SS</sub>	AV <sub>SS</sub> (V) = (15 × D/2 <sup>12</sup> - 14) × 2.5
11110	DC-to-dc die node; configured in the DCDC_CONFIG2 register 00: AGND on dc-to-dc die 01: internal 2.5 V supply on dc-to-dc die 10: AV <sub>DD1</sub> 11: reserved	AGND (dc-dc) (V) = (D/2 <sup>12</sup> ) × 2.5 Internal 2.5 V (dc-dc) (V) = (D/2 <sup>12</sup> ) × 5 AV <sub>DD1</sub> (V) = D/2 <sup>12</sup> × 37.5 Reserved
11111	REFOUT	REFOUT (V) = (D/2 <sup>12</sup> ) × 2.5



NOTES  
1. GRAY ITEMS REPRESENT DIAGNOSTIC ADC INPUT NODES.

図 84. 診断 ADC 入力ノード

11940-041

ADC の構成

ADC の多重入力は、ADC\_CONFIG レジスタの ADC\_IP\_SELECT (ビット [4:0]) を使って設定します。

表 19. ADC 設定レジスタ

D10 to D8	D7 to D5	D4 to D0
100	000	ADC input select

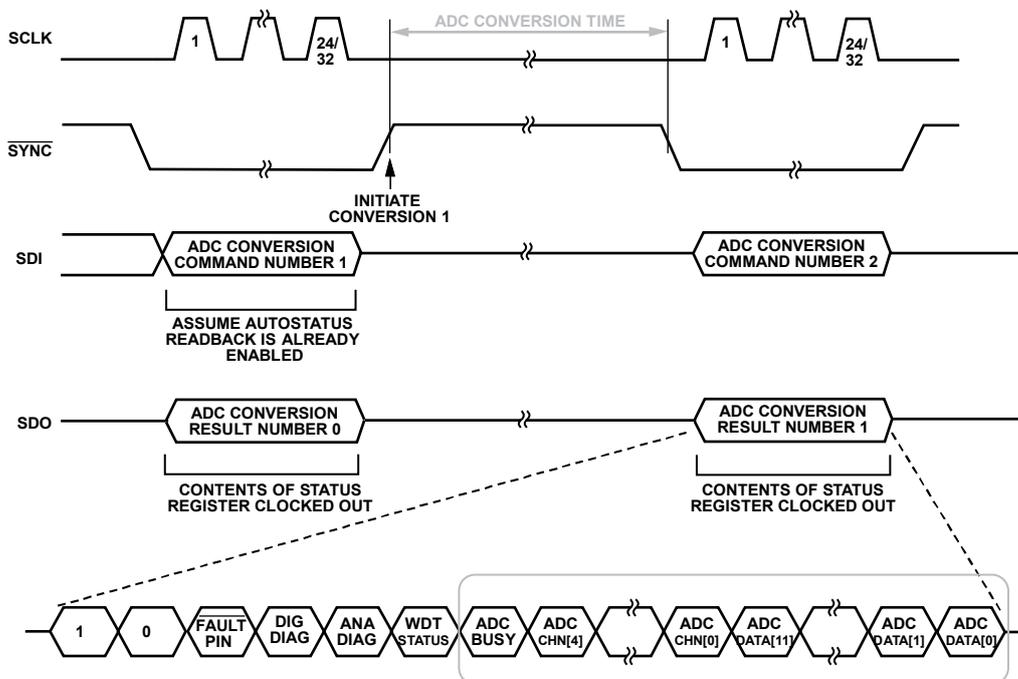
この ADC 設定レジスタへの書き込みを行うと、ADC\_CONFIG レジスタの ADC 入力選択ビットによって現在選択されているノード上で、シングル変換が開始されます。

変換が完了すると、ステータス・レジスタでその ADC 結果を読み出すことができます。DC/DC ダイのノードが必要な場合は、ADC を設定する前に、DCDC\_CONFIG2 レジスタの DCDC\_ADC\_CONTROL\_DIAG ビットを使ってこの設定を行います。

ADC 変換のタイミング

自動ステータス・リードバック・モードを有効にした場合の例を図 85 に示します。ステータス・レジスタには、最後に完了した ADC 変換の結果と、それに対応するマルチプレクサ・アドレス ADC\_IP\_SELECT が常に含まれています。

図に示す最初の ADC 変換コマンドの間は、SDO ラインでステータス・レジスタの内容を使用できます。このデータの ADC 部分には、1 つ前に変換された ADC ノードの変換結果 (ADC 変換結果 0) と、それに対応するチャンネル・アドレスが含まれています。ADC がコマンド 1 (Command 1) の処理でビジー状態の間に別の SPI フレームが受信されなかったとすると、SDO ラインに現れる次のデータには、対応する変換結果 1 (ADC Conversion Result 1) が含まれます。しかし、ADC がビジー状態の間に SPI フレームが受信された場合、SDO で使用できるステータス・レジスタの内容にはやはり 1 つ前の変換結果が含まれ、ADC\_BUSY フラグがハイになります。ADC\_BUSY ビットがアクティブになっている間に受信された新しい ADC 変換命令は、すべて無視されます。



NOTES  
1. STATUS REGISTER CONTENTS CONTAINING ADC CONVERSION RESULT, CORRESPONDING ADDRESS, AND ADC BUSY INDICATOR.

11840-034

図 85. ADC 変換のタイミング例

## レジスタ・マップ

AD5758 の制御と設定は、[レジスタの詳細](#)のセクションに示す 29 個のオンチップ・レジスタを介して行われます。使用可能な 4 つのアクセス許可を以下に示します。

- R/W：読出し／書込み
- R：読出し専用
- R/W-1-C：読出し／1 を書き込んでクリア
- R0/W：ゼロを読出し／書込み

予備レジスタの読出し／書込みは、無効な SPI アクセスとしてフラグされます（[表 44](#) 参照）。予備ビット・フィールドのあるレジスタにアクセスするときは、これらのビット・フィールドのデフォルト値を書き込む必要があります。これらの値は、[表 26](#)～[表 49](#) のリセット列に示されています。

表 20. レジスタへの書込み

MSB								LSB
D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
AD1	AD1	AD0	REG_ADR4	REG_ADR3	REG_ADR2	REG_ADR1	REG_ADR0	Data

表 21. 入力レジスタ・デコード

ビット	説明
AD1	スリップ・ビット。このビットはビット D22（つまり AD1）を反転した値に等しくなければなりません。
AD1, AD0	外部ピン（AD1 および AD0）と共に使用し、システム・コントローラでどの AD5758 デバイスをアドレス指定するかを決定します。AD1 と AD0 のアドレス 0b00、0b01、0b10、および 0b11 に対応する最大 4 個のデバイスのアドレスを個別に指定できます。
REG_ADR4, REG_ADR3, REG_ADR2, REG_ADR1, REG_ADR0	どのレジスタに書込みを行うかを選択します。使用可能なレジスタの概要については、 <a href="#">表 25</a> を参照してください。

## レジスタへの書込み

レジスタへの書込みには [表 20](#) のフォーマットを使用します。デフォルトでは SPI CRC が有効になっています。入力レジスタの幅は 32 ビットで、最後の 8 ビットは CRC コードに対応していません。正確に 32 ビット幅のフレームだけが有効なフレームとして受け入れられます。CRC がディスエーブルされている場合、入力レジスタは 24 ビット幅です。32 ビット・フレームも受け入れられますが、最後の 8 ビットは無視されます。ビット D23 からビット D16 までの機能を [表 21](#) に示します。ビット D15 からビット D0 は、アドレス指定されたレジスタによって異なります。

### レジスタからの読出し

AD5758 では 4 つのリードバック・モードを選択可能で、TWO\_STAGE\_READBACK\_SELECT レジスタで設定できます (表 43 参照)。これらのオプションは次のとおりです。

- 2 段リードバック
- 自動ステータス・リードバック
- 共有 SYNC 自動ステータス・リードバック
- エコー・モード

### 2 段リードバック・モード

2 段リードバック・モードは、リードバックするレジスタの位置を選択するための TWO\_STAGE\_READBACK\_SELECT レジスタへの書込みと、その後の NOP コマンド入力で構成されます。NOP コマンドを実行するには、NOP レジスタのビット [D15:D0] のすべてにゼロを書き込みます。NOP コマンドの間、選択したレジスタの内容は表 22 に示すフォーマットで SDO に出力することができます。2 番目のフレームで新しい 2 段リードバック・コマンドを書き込み、対応する新しいデータをその後のフレームで SDO に出力することも可能です (図 86 参照)。ビット [D31:D30] (SPI CRC が有効でない場合はビット [D23:D22]) = 0b10 が、リードバック時の同期の一部として使われます。TWO\_STAGE\_READBACK\_SELECT レジスタへの最初の書込み命令の内容を、表 23 に示します。

表 22. 読出し操作時の SDO の内容

MSB			LSB
D23 to D22	D21	D20 to 16	D15 to D0
0b10	FAULT pin status	Register address	Data

表 23. 2 段リードバック・モードを使用してのレジスタ読出し

MSB										LSB			
D23	D22	D21	D20	D19	D18	D17	D16	[D15:D5]	D4	D3	D2	D1	D0
AD1	AD1	AD0	0x13				Reserved			READBACK_SELECT[4:0]			

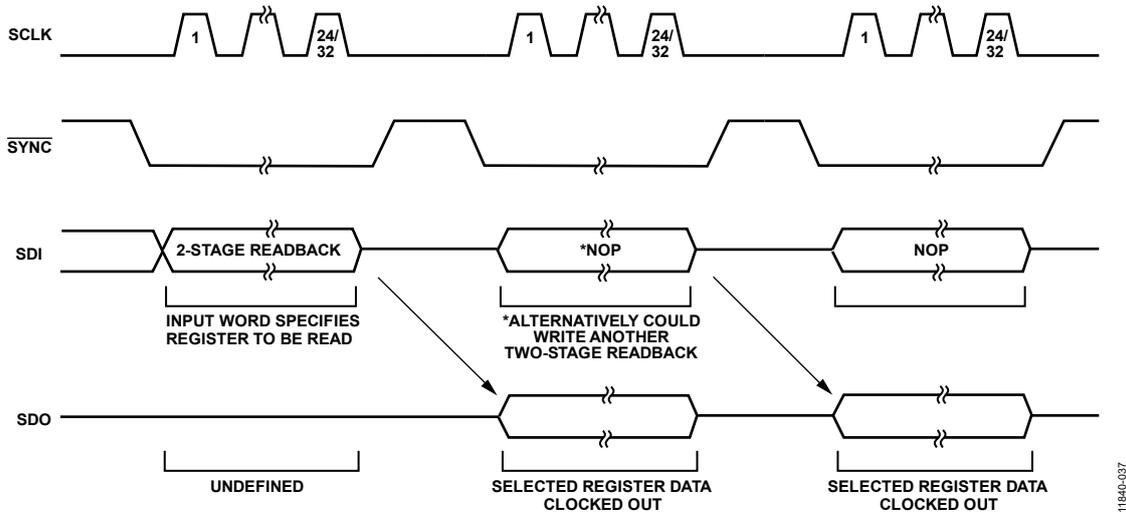


図 86. 2 段リードバックの例

11940-037

**自動ステータス・リードバック・モード**

自動ステータス・リードバック・モードを選択した場合は、毎回の SPI トランザクションの間、SDO ラインでステータス・レジスタの内容を出力することができます。ステータス・レジスタをリードバックする場合、SDO の内容は表 22 に示すフォーマ

ットと異なります。ステータス・レジスタの内容を表 24 に示します。

自動リードバック・モードは、2 段リードバック選択レジスタの READBACK\_MODE ビットで設定できます (2 段リードバック選択レジスタのセクションを参照)。

表 24. ステータス・レジスタの読出し動作に関する SDO の内容

MSB								LSB	
D23	D22	D21	D20	D19	D18	D17	D16 to D12	D11 to D0	
1	0	FAULT_PIN_STATUS	DIG_DIAG_STATUS	ANA_DIAG_STATUS	WDT_STATUS	ADC_BUSY	ADC_CH[4:0]	ADC_DATA[11:0]	

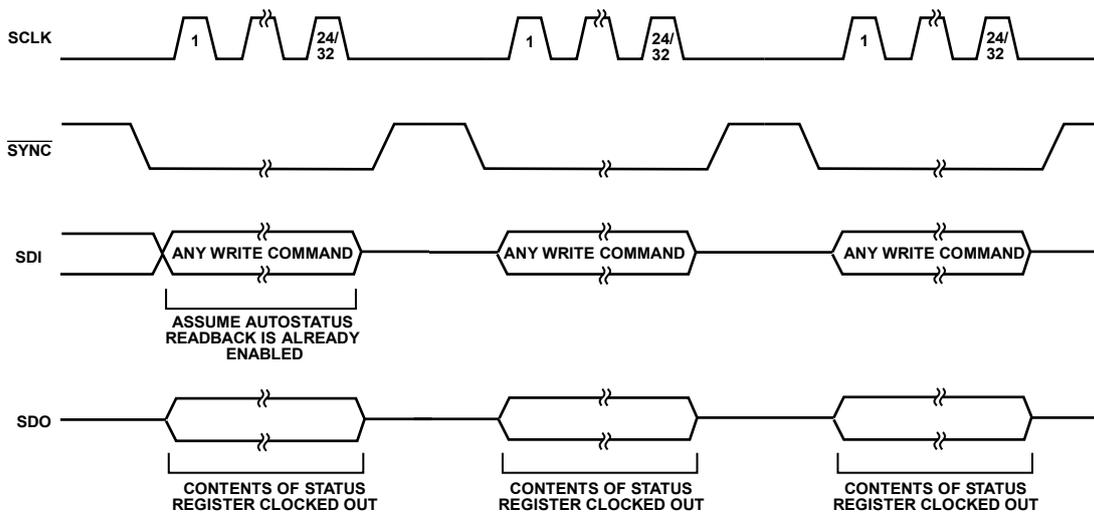


図 87. 自動ステータス・リードバックの例

11840-038

**共有SYNC自動ステータス・リードバック・モード**

共有 SYNC自動ステータス・リードバックは自動ステータス・リードバックの特別なバージョンで、複数の AD5758 デバイスが同じ SYNCラインを共有している場合に、SDO バスの競合を避けるために使われます（この場合、それぞれの AD5758 はハードウェア・アドレス・ピンを使って互いに識別されます）。デバイスへの有効な書込みが終了するたびにフラグがセットされますが、このフラグは SYNCのその後の立下がりエッジでクリアされます。このモードでは、内部フラグがセットされていない限り（つまり、1 つ前の SPI 書込みが有効である限り）SYNCがローになってもデバイスはステータス・レジスタの内容を SDO に出力しませんが、この点を除けば通常の自動ステータス・リードバック・モードと同様に動作します。図 88 に示す

例を参照してください。共有 SYNC自動リードバック・モードは、2 段リードバック選択レジスタの READBACK\_MODE ビットを介して設定できます（2 段リードバック選択レジスタのセクションを参照）。

**エコー・モード**

エコー・モードも自動ステータス・リードバックと同様に動作しますが、2 回目のリードバックが、すべてその前に行われた AD5758 へのコマンド書込みのエコーで構成される点が異なります。エコー・モードは、1 つ前の SPI フレームでどの SPI 命令が受信されたかをチェックするのに有用です。エコー・モードは、2 段リードバック選択レジスタの READBACK\_MODE ビットで設定できます（2 段リードバック選択レジスタのセクションを参照）。

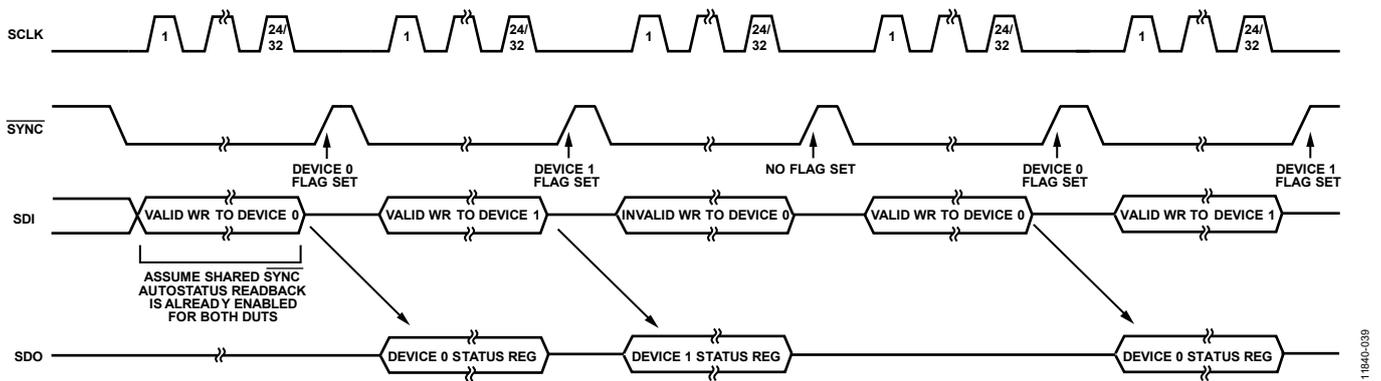


図 88. 共有 SYNC自動ステータス・リードバックの例



図 89. SDO の内容 - エコー・モード

## 出力イネーブルを行う設定シーケンス

パワーオンまたはリセット状態後のデバイスへの書き込みと設定は、次の手順で行います。

1. ハードウェア・リセットまたはソフトウェア・リセットを行い、100 $\mu$ s 待ちます。
2. キー・レジスタに 0xFCBA を書き込んで、キャリブレーション・メモリのリフレッシュを行います。内部キャリブレーションを完了させるために、ステップ 3 へ進む前に少なくとも 500 $\mu$ s 待ちます。リフレッシュ・サイクルを完了させるために 500 $\mu$ s 待つ代わりに、DIGITAL\_DIAG\_RESULTS レジスタの CAL\_MEM\_UNREFRESHED ビットが 0 になるまでポーリングを行うこともできます。
3. DIGITAL\_DIAG\_RESULTS レジスタのビット D13 に 1 を書き込んで、RESET\_OCCURRED フラグをクリアします。
4. CLKOUT が必要な場合は GP\_CONFIG1 レジスタを介してこの機能を設定し、有効にします。DC/DC コンバータをイネーブルする前にこの機能を設定することが重要です。
5. DCDC\_CONFIG2 レジスタに書き込みを行って、DC/DC 電流制限を設定します。3 線式インターフェースの通信を完了できるように 300 $\mu$ s 待ちます。3 線式インターフェースの通信を完了させるために 300 $\mu$ s 待つ代わりに、DCDC\_CONFIG2 レジスタの BUSY\_3WI ビットが 0 になるまでポーリングを行うこともできます。
6. DC/DC コンバータ・モードをセットアップするには（これによって DC/DC コンバータをイネーブルする）、DCDC\_CONFIG1 レジスタに書き込みを行います。3 線式インターフェースの通信を完了できるように 300 $\mu$ s 待ちます。3 線式インターフェースの通信を完了させるために 300 $\mu$ s 待つ代わりに、DCDC\_CONFIG2 レジスタの BUSY\_3WI ビットが 0 になるまでポーリングを行うこともできます。
7. DAC\_CONFIG レジスタに書き込みを行って INT\_EN ビットをセット（出力をイネーブルせずに DAC と内蔵アンプをパワーアップ）し、出力範囲、内蔵/外付け R<sub>SET</sub>、およびスルー・レートを設定します。この時点では OUT\_EN ビットをディセーブルに維持してください。内部キャリブレーションを完了させるために、ステップ 8 へ進む前に少なくとも 500 $\mu$ s 待ちます。リフレッシュ・サイクルを完了させるために 500 $\mu$ s 待つ代わりに、DIGITAL\_DIAG\_

RESULTS レジスタの CAL\_MEM\_UNREFRESHED ビットが 0 になるまでポーリングを行うこともできます。

8. DAC\_INPUT レジスタにゼロスケール DAC コードを書き込みます。（ステップ 7 でバイポーラ範囲を選択した場合は、0mA/0V 出力を表す DAC コードを DAC\_INPUT レジスタに書き込む必要があります）。DAC\_INPUT レジスタの内容が変わっていない場合でも、このステップを完了させることが重要です。
9. LDAC 機能を使用する場合は、ソフトウェアまたはハードウェア LDAC コマンドを実行します。
10. DAC\_CONFIG レジスタにステップ 7 と同じワードを書き込みますが、ここでは OUT\_EN ビットをイネーブルしません。ステップ 6 からステップ 9 までには、少なくとも 1.25ms の時間をかけてください。これは、DC/DC コンバータをイネーブルしてから VI<sub>OUT</sub> 出力をイネーブルするまでの時間です。
11. DAC\_INPUT レジスタに必要な DAC コードを書き込みます。

設定例を図 90 に示します。

### 範囲の変更と設定

出力をイネーブルした後に出力範囲を変更するには、以下の推奨ステップを使用します。

1. DAC\_INPUT レジスタに書き込みを行います。出力を 0mA または 0V に設定します。
2. DAC\_CONFIG レジスタに書き込みを行います。出力をディセーブルして（OUT\_EN = 0）、新しい出力範囲を設定します。INT\_EN ビットはセットしたままにしてください。内部キャリブレーションを完了させるために、ステップ 3 へ進む前に少なくとも 500 $\mu$ s 待ちます。
3. DAC\_INPUT レジスタにコード 0x0000（バイポーラ範囲の場合はコード 0x8000）を書き込みます。DAC\_INPUT レジスタの内容が変わっていない場合でも、このステップを完了させることが重要です。
4. ステップ 2 の DAC\_CONFIG レジスタ・ワードを再ロードしますが、今度は OUT\_EN ビットを 1 に設定して出力をイネーブルします。
5. DAC\_INPUT レジスタに必要な DAC コードを書き込みます。

EXAMPLE CONFIGURATION TO ENABLE THE OUTPUT CORRECTLY

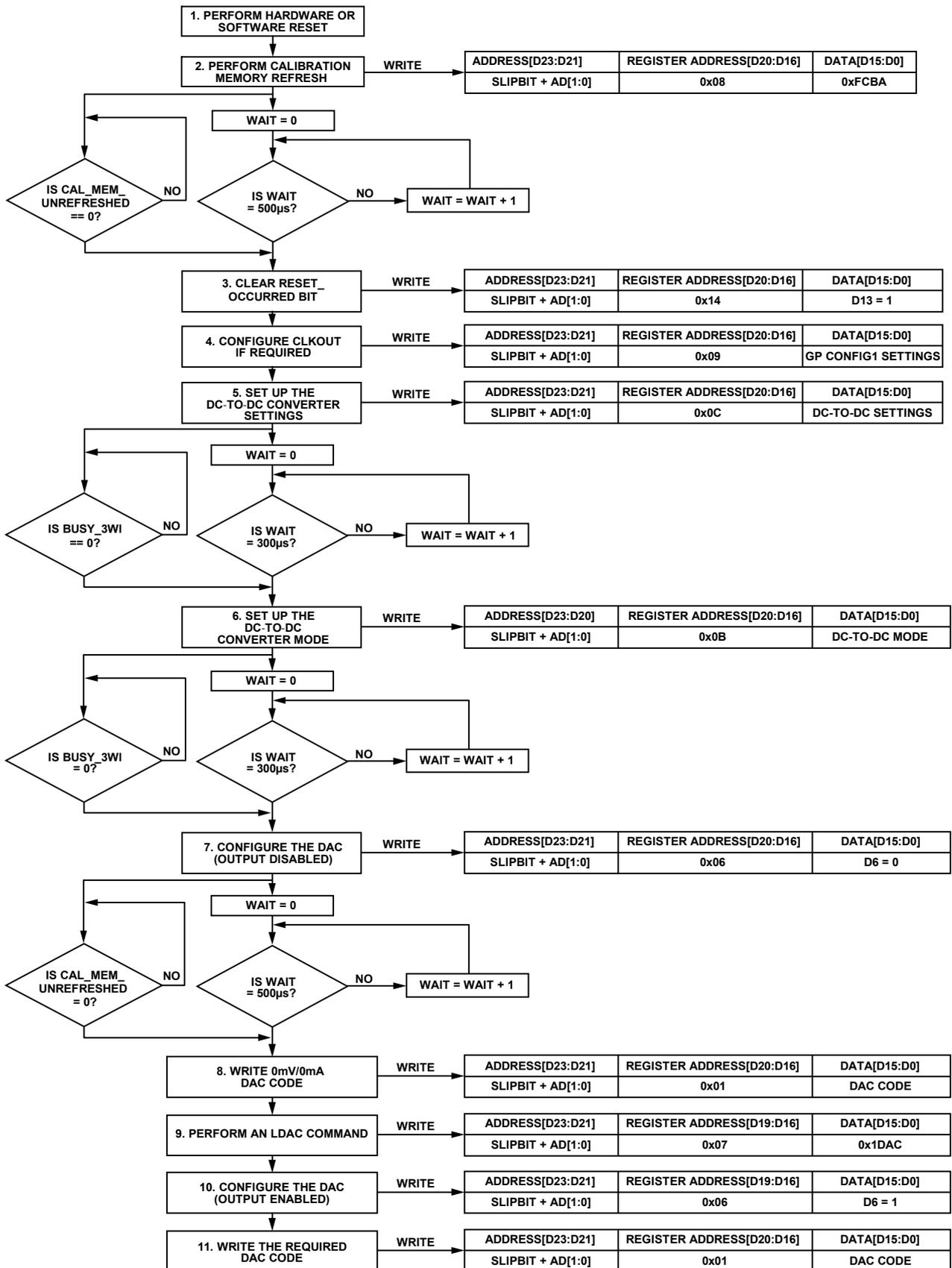


図 90. 出力を正しくイネールする設定の例 (わかりやすくするために、CRCは無効)

11840-118

## レジスタの詳細

表 25. レジスタの一覧

アドレス	名前	説明	リセット	アクセス
0x00	NOP	NOP レジスタ。	0x000000	R0/W
0x01	DAC_INPUT	DAC 入力レジスタ。	0x010000	R/W
0x02	DAC_OUTPUT	DAC 出力レジスタ。	0x020000	R
0x03	CLEAR_CODE	クリア・コード・レジスタ。	0x030000	R/W
0x04	USER_GAIN	ユーザ・ゲイン・レジスタ。	0x04FFFF	R/W
0x05	USER_OFFSET	ユーザ・オフセット・レジスタ。	0x058000	R/W
0x06	DAC_CONFIG	DAC 設定レジスタ。	0x060C00	R/W
0x07	SW_LDAC	ソフトウェア LDAC レジスタ。	0x070000	R0/W
0x08	Key	キー・レジスタ。	0x080000	R0/W
0x09	GP_CONFIG1	汎用設定 1 レジスタ。	0x090204	R/W
0x0A	GP_CONFIG2	汎用設定 2 レジスタ。	0x0A0200	R/W
0x0B	DCDC_CONFIG1	DC/DC 設定 1 レジスタ。	0x0B0000	R/W
0x0C	DCDC_CONFIG2	DC/DC 設定 2 レジスタ。	0x0C100	R/W
0x0D	Reserved	予備 (このレジスタには書き込みをしないでください)。	0x0D0000	R/W
0x0E	Reserved	予備 (このレジスタには書き込みをしないでください)。	0x0E0000	R/W
0x0F	WDT_CONFIG	WDT 設定レジスタ。	0x0F0009	R/W
0x10	DIGITAL_DIAG_CONFIG	デジタル診断設定レジスタ。	0x10005D	R/W
0x11	ADC_CONFIG	ADC 設定レジスタ。	0x110000	R/W
0x12	FAULT_PIN_CONFIG	FAULT ピン設定レジスタ。	0x120000	R/W
0x13	TWO_STAGE_READBACK_SELECT	2 段リードバック選択レジスタ。	0x130000	R/W
0x14	DIGITAL_DIAG_RESULTS	デジタル診断結果レジスタ。	0x14A000	R/W-1-C
0x15	ANALOG_DIAG_RESULTS	アナログ診断結果レジスタ。	0x150000	R/W-1-C
0x16	Status	ステータス・レジスタ。	0x100000	R
0x17	CHIP_ID	チップ ID レジスタ。	0x170101	R
0x18	FREQ_MONITOR	周波数モニタ・レジスタ。	0x180000	R
0x19	Reserved	予備。	0x190000	R
0x1A	Reserved	予備。	0x1A0000	R
0x1B	Reserved	予備。	0x1B0000	R
0x1C	DEVICE_ID_3	ジェネリック ID レジスタ。	0x1C0000	R

## NOP レジスタ

アドレス：0x00、リセット：0x000000、レジスタ名：NOP

無操作 (NOP) コマンドを実行するには、このアドレスのビット [D15:D0] に 0x0000 を書き込みます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。

表 26. NOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	NOP command	NOP コマンドを実行するには 0x0000 を書き込みます。	0x0	R0/W

## DAC 入力レジスタ

アドレス：0x01、リセット：0x010000、レジスタ名：DAC\_INPUT

ビット [D15:D0] は、DAC に書き込む 16 ビット・データで構成されます。LDACピンをローに接続した (つまりアクティブにした) 場合は、LDAC機能に関わりなく DAC\_INPUT レジスタの内容が DAC\_OUTPUT レジスタに直接書き込まれます。LDACピンをハイに接続した場合は、LDACピンをローにするかソフトウェア LDACコマンドを書き込むと、DAC\_INPUT レジスタの内容が DAC\_OUTPUT レジスタに書き込まれます。

表 27. DAC\_INPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	DAC_INPUT_DATA	DAC 入力データ。	0x0	R/W

## DAC 出力レジスタ

アドレス：0x02、リセット：0x020000、レジスタ名：DAC\_OUTPUT

DAC\_OUTPUT は読出し専用レジスタで、最新の補正済み 16 ビット DAC 出力値が格納されます。WDT 故障のためにクリア・イベントが発生した場合、このレジスタには、DAC が別のコードに更新されるまでクリア・コードが格納されます。

表 28. DAC\_OUTPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	DAC_OUTPUT_DATA	DAC 出力データ。例えば、最後に補正された 16 ビット DAC 出力値。	0x0	R

## クリア・コード・レジスタ

アドレス：0x03、リセット：0x030000、レジスタ名：CLEAR\_CODE

CLEAR\_CODE レジスタに書き込みを行う場合、ビット [D15:D0] がクリア・コードで構成され、クリア・イベント (例えば WDT 故障) 発生時に DAC はこのクリア・コードにクリアされます。クリア・イベント後、DAC\_INPUT レジスタには DAC に書き込む 16 ビット・データを再度書き込む必要があります。これは、書き込むデータがクリア・イベント前に書き込まれていたデータと同じものであっても同様です。LDAC 書き込み (ハードウェアまたはソフトウェア) を行っても、DAC\_OUTPUT レジスタは、最初に DAC\_INPUT レジスタへの書き込みが行われるまで新しいコードに更新されません。

表 29. CLEAR\_CODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	CLEAR_CODE	クリア・コード。例えば WDT 故障などのクリア・イベントが発生すると、DAC はこのコードにクリアされます。	0x0	R/W

## ユーザ・ゲイン・レジスタ

アドレス：0x04、リセット：0x04FFFF、レジスタ名：USER\_GAIN

16 ビットの USER\_GAIN レジスタを使うと、DAC チャンネルのゲインを 1LSB ステップで調整することができます。USER\_GAIN レジスタのコーディングはストレート・バイナリです。デフォルト・コードは 0xFFFF です。理論的には、全出力範囲にわたってゲインを調整することができます。実用上は、精度を保つために推奨されるゲイン調整は、最大で設定範囲の約 50% です。

表 30. USER\_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	USER_GAIN	ユーザ・ゲイン訂正コード。	0xFFFF	R/W

## ユーザ・オフセット・レジスタ

アドレス：0x05、リセット：0x058000、レジスタ名：USER\_OFFSET

16 ビットの USER\_OFFSET レジスタを使うと、DAC チャンネルのオフセットを -32,768LSB ~ +32,768LSB の範囲で 1LSB ステップごとに調整できます。USER\_OFFSET レジスタのコーディングはストレート・バイナリです。デフォルト・コードは 0x8000 で、この場合、出力のオフセット設定はゼロになります。

表 31. USER\_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	USER_OFFSET	ユーザ・オフセット訂正コード。	0x8000	R/W

## DAC 設定レジスタ

アドレス：0x06、リセット：0x060C00、レジスタ名：DAC\_CONFIG

このレジスタは DAC の設定（範囲、内蔵/外付け R<sub>SET</sub>、および出力イネーブル）、出力段回路のイネーブル、スルー・レート制御機能の設定を行います。

表 32. DAC\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:13]	SR_STEP	スルー・レート・ステップ。スルー・レート・ステップはスルー・レート・クロックと組み合わせて使い、更新ごとの出力値の変化の大きさを指定します。同時に、両パラメータにより出力値の変化レートが指定されます。 000 : 4LSB (デフォルト)。 001 : 12LSB。 010 : 64LSB。 011 : 120LSB。 100 : 256LSB。 101 : 500LSB。 110 : 1820LSB。 111 : 2048LSB。	0x0	R/W
[12:9]	SR_CLOCK	スルー・レート・クロック。スルー・レート・クロックは、デジタル・スルーが更新されるレートを定義します。 0000 : 240kHz。 0001 : 200kHz。 0010 : 150kHz。 0011 : 128kHz。 0100 : 64kHz。 0101 : 32kHz。 0110 : 16kHz (デフォルト)。 0111 : 8kHz。	0x6	R/W

ビット	ビット名	説明	リセット	アクセス
		1000 : 4kHz。 1001 : 2kHz。 1010 : 1kHz。 1011 : 512Hz。 1100 : 256Hz。 1101 : 128Hz。 1110 : 64Hz。 1111 : 16Hz。		
8	SR_EN	スルー・レート制御を有効にします。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
7	RSET_EXT_EN	電流設定外付け抵抗をイネーブルします。 0 : 内蔵 R <sub>SET</sub> 抵抗をイネーブル (デフォルト)。 1 : 外付け R <sub>SET</sub> 抵抗をイネーブル。	0x0	R/W
6	OUT_EN	V <sub>IOUT</sub> をイネーブルします。 0 : V <sub>IOUT</sub> 出力をディスエーブル (デフォルト)。 1 : V <sub>IOUT</sub> 出力をイネーブル。	0x0	R/W
5	INT_EN	内蔵バッファをイネーブルします。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。このビットをセットすると、DAC と内蔵アンプがパワーアップされます。このビットをセットしても出力はイネーブルされません。このビットをセットしてから出力をイネーブルするまでに、200 $\mu$ s を超える遅延を設けることを推奨します。この遅延は、出力イネーブル・グリッチを減少させます。	0x0	R/W
4	OVRNG_EN	20%の電圧オーバーレンジをイネーブルします。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
[3:0]	Range	出力範囲を選択します。範囲ビットの内容を変更すると内部キャリブレーション・メモリのリフレッシュが開始されるので、その後の SPI 書込みは DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 に戻るまで行わないでください。無効な範囲コードへの書込みは無視されます。 0000 : 0V~5V の電圧範囲 (デフォルト)。 0001 : 0V~10V の電圧範囲。 0010 : $\pm$ 5V の電圧範囲。 0011 : $\pm$ 10V の電圧範囲。 1000 : 0mA~20mA の電流範囲。 1001 : 0mA~24mA の電流範囲。 1010 : 4 mA~20mA の電流範囲。 1011 : $\pm$ 20mA の電流範囲。 1100 : $\pm$ 24mA の電流範囲。 1101 : -1mA~+22mA の電流範囲。	0x0	R/W

## ソフトウェア LDAC レジスタ

アドレス : 0x07、リセット : 0x070000、レジスタ名 : SW\_LDAC

このレジスタに 0x1DAC を書き込むと、SPI フレーム内の ADDRESS ビットと一致するデバイスを対象にソフトウェア LDAC の更新が行われます。GP\_CONFIG2 レジスタの GLOBAL\_SW\_LDAC ビットがセットされている場合は、AD0 および AD1 ビットが無視されて、同じ SPI バスを共有するすべてのデバイスが SW\_LDAC コマンドを介して更新されます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。

表 33. SW\_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	LDAC_COMMAND	ソフトウェア LDAC。このレジスタに 0x1DAC を書き込むと、ソフトウェア LDAC 命令が実行されます。	0x0	R0/W

## キー・レジスタ

アドレス：0x08、リセット：0x080000、レジスタ名：Key

このレジスタは、キャリブレーション・メモリのリフレッシュやソフトウェア・リセットなどのタスクを実行する特定のキー・コードを受け入れます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。リストされていないキー・コードはすべて予備です。

表 34. Key のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	KEY_CODE	キー・コード。 0x15FA：ソフトウェア・リセットを開始する 2 つのキーのうちの最初のキー。 0xAF51：ソフトウェア・リセットを開始する 2 つのキーのうちの 2 番目のキー。 0x0D06：WDT をリセットするキー。 0xFCBA：シャドウ・レジスタに対してキャリブレーション・メモリのリフレッシュを開始するキー。このキーは最初に実行する場合のみ有効で、その後と同じシステム・リセット・サイクルの中で書込みが行われても効果はありません。	0x0	R0/W

## 汎用設定 1 レジスタ

アドレス：0x09、リセット：0x090204、レジスタ名：GP\_CONFIG1

このレジスタは、温度コンパレータ閾値や CLKOUT などの機能の設定、その他様々な機能を有効にするために使用します。

表 35. GP\_CONFIG1 ビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:14]	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R
[13:12]	SET_TEMP_THRESHOLD	温度コンパレータ閾値を設定します。 00：142°C（デフォルト）。 01：127°C。 10：112°C。 11：97°C。	0x0	R/W
[11:10]	CLKOUT_CONFIG	CLKOUT ピンを設定します。 00：ディスエーブル。CLKOUT ピンにクロックは出力されません（デフォルト）。 01：イネーブル。CLKOUT_FREQ ビット（ビット [9:7]）に従って CLKOUT ピンにクロックが出力されます。 10：予備（このオプションは選択しないでください）。 11：予備（このオプションは選択しないでください）。	0x0	R/W
[9:7]	CLKOUT_FREQ	CLKOUT の周波数を設定します。 000：416kHz。 001：435kHz。 010：454kHz。 011：476kHz。 100：500kHz（デフォルト）。 101：526kHz。 110：555kHz。 111：588kHz。	0x4	R/W
6	HART_EN	CHART ピンへのバスをイネーブルします。 0：DAC の出力が出力段を直接駆動します（デフォルト）。 1：HART モデムの接続またはスルー・コンデンサの接続ができるように、CHART バスが DAC 出力に結合されます。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
5	NEG_OFFSET_EN	ユニポーラ V <sub>OUT</sub> モードで負のオフセットを有効にします。このビットをセットすると、現在有効になっているユニポーラ出力範囲が、ここにリストされた値だけオフセットされます。このビットが適用される電圧範囲は、0V~6V と 0V~12V だけです。0V~6V 範囲は-300mV~5.7V になり、0V~12V 範囲は-400mV~11.6V になります。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
4	CLEAR_NOW_EN	出力スルー機能が有効な場合でも、直ちにクリアが行われるようにします。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
3	SPI_DIAG_QUIET_EN	SPI 診断クワイエット・モードを有効にします。このビットをイネーブルすると、ステータス・レジスタ内に DIG_DIAG_STATUS ビットを生成する SPI_CRC_ERR、SLIPBIT_ERR、および SCLK_COUNT_ERR が論理 OR 計算から除外されます。このビットがセットされると、これらは FAULT ピンにも影響しなくなります。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
2	OSC_STOP_DETECT_EN	内部発振器 (MCLK) が停止した場合に、SDO の自動 0x07DEAD コードを有効にします。 0 : ディスエーブル。 1 : イネーブル (デフォルト)。	0x1	R/W
1	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
0	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W

## 汎用設定 2 レジスタ

アドレス : 0x0A、リセット : 0x0A0200、レジスタ名 : GP\_CONFIG2

このレジスタは、電圧コンパレータやグローバル・ソフトウェア LDAC などの機能を設定してイネーブルするために使用します。

表 36. GP\_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R0
[14:13]	COMPARATOR_CONFIG	テストのために電圧コンパレータ入力をイネーブル/ディスエーブルします。温度コンパレータは、常時イネーブルされています。 <a href="#">バックグラウンドでの電源および温度モニタリング</a> のセクションを参照してください。 00 : 電圧コンパレータをディスエーブル (デフォルト)。 01 : 予備。 10 : 予備。 11 : 電圧コンパレータをイネーブル。REFIN パッファをパワーアップして REFIN コンパレータがこのノードを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。	0x0	R/W
12	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
11	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
10	GLOBAL_SW_LDAC	有効にすると、ソフトウェア LDAC コマンド実行時にアドレス・ビットが無視され、1つの SW_LDAC コマンドで複数のデバイスを同時に更新できるようになります。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
9	FAULT_TIMEOUT	短い故障検出タイムアウトを有効にします。このビットは、V <sub>IOUT</sub> 故障が検出されたことをアナログ・ブロックが示してから、これに応じて ANALOG_DIAG_RESULTS レジスタ内の該当ビットが変化するまでの遅延を設定します。この機能は、様々な出力負荷値に対応できる柔軟性を提供します。 0 : 故障検出タイムアウト = 25ms。 1 : 故障検出タイムアウト = 6.5ms (デフォルト)。	0x1	R/W
[8:5]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
4	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
3	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
2	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
1	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
0	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W

## DC/DC 設定 1 レジスタ

アドレス : 0x0B、リセット : 0x0B0000、レジスタ名 : DCDC\_CONFIG1

このレジスタは、DC/DC コントローラのモードを設定するために使用します。

表 37. DCDC\_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:8]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R0
7	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
[6:5]	DCDC_MODE	これら 2 つのビットは DC/DC コンバータを設定します。 00 : DC/DC コンバータをパワーオフ (デフォルト)。 01 : DPC 電流モード。正の DPC レールは電流出力バッファのヘッドルームに追従します。 10 : DPC 電圧モード。正の DPC レールは $-V_{\text{SENSE}}$ を基準に 15V に調整されます。 11 : PPC 電流モード。 $V_{\text{DPC+}}$ は、 $-V_{\text{SENSE}}$ を基準に 5V~25.677V のユーザ設定レベルに調整されます (設定値は DCDC_VPROG ビット、つまりビット [4:0] による)。ENABLE_PPC_BUFFERS ビット (ADC_CONFIG レジスタのビット 11) は、PPC 電流モードを有効にする前に設定する必要があります。	0x0	R/W
[4:0]	DCDC_VPROG	PPC モードでプログラムされた DC/DC 電圧。 $V_{\text{DPC+}}$ は、0.667V ステップで、5V (0b00000) から 25.677V (0b11111) までのユーザ設定レベルに調整されます。 $V_{\text{DPC+}}$ は $-V_{\text{SENSE}}$ を基準に調整されます。	0x0	R/W

## DC/DC 設定 2 レジスタ

アドレス : 0x0C、リセット : 0x0C0100、レジスタ名 : DCDC\_CONFIG2

このレジスタは、DC/DC コンバータの電流制限や DC/DC ダイ・ノードなど、マルチプレクサを介して ADC に接続される様々な DC/DC ダイ機能を設定します。

表 38. DCDC\_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:13]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R0
12	BUSY_3WI	3 線式インターフェースのビジー・インジケータ。 0 : 3 線式インターフェースが非アクティブ。 1 : 3 線式インターフェースがビジー状態。	0x0	R
11	INTR_SAT_3WI	3 線式インターフェースの飽和フラグ。割込み信号が 6 回連続して受信されて割込み検出回路が自動的にディスエーブルされると、このフラグが 1 に設定されます。いずれかの DC/DC 設定レジスタへの書込みがあると、このビットは 0 にクリアされます。	0x0	R
10	DCDC_READ_COMP_DIS	3 線式インターフェースの読出しと比較サイクルを無効にします。この読出しおよび比較サイクルは、メイン・ダイ上の DC/DC 設定レジスタのコピーの内容と、DC/DC ダイの内容が一致していることを確認します。 0 : 自動読出しおよび比較サイクルを有効化 (デフォルト)。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		1: セット時、このビットは3線式インターフェース書き込み後の自動読出しおよび比較サイクルを無効にします。		
[9:8]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x1	R/W
7	VIOUT_OV_ERR_DEGLITCH	VIOUT過電圧エラー・フラグのデグリッチ時間を調整します。 0: デグリッチ時間を 1.02ms に設定 (デフォルト)。 1: デグリッチ時間を 128 $\mu$ s に設定。	0x0	R/W
6	VIOUT_PULLDOWN_EN	VIOUTとグラウンド間の 30k $\Omega$ 抵抗をイネーブルします。 0: ディスエーブル (デフォルト)。 1: イネーブル。	0x0	R/W
[5:4]	DCDC_ADC_CONTROL_DIAG	どの DC/DC ダイ・ノードをマルチプレクサ経由でメイン・ダイの ADC に接続するかを選択します。 00: DC/DC ダイの AGND。 01: DC/DC ダイ上の内部 2.5V 電源。 10: AV <sub>DD1</sub> 。 11: 予備 (このオプションは選択しないでください)。	0x0	R/W
[3:1]	DCDC_ILIMIT	これらの 3 ビットは、DC/DC コンバータの電流制限を設定します。 000: 150mA (デフォルト)。 001: 200mA 010: 250mA 011: 300mA 100: 350mA 101: 400mA 110: 400mA 111: 400mA	0x0	R/W
0	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W

## ウォッチドッグ・タイマー (WDT) 設定レジスタ

アドレス: 0x0F、リセット: 0x0D0009、レジスタ名: WDT\_CONFIG

このレジスタは WDT のタイムアウト値を設定します。このレジスタは、受け入れ可能なリセットと WDT 故障により生じる対応 (例えば出力をクリアする、またはデバイスをリセットする) に関する WDT セットアップも設定します。

表 39. WDT\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R
10	CLEAR_ON_WDT_FAIL	WDT 故障時のクリアを有効にします。WDT がタイムアウトした場合はクリア・イベントが発生して出力がロードされ、CLEAR_CODE レジスタにクリア・コードが保存されます。 0: ディスエーブル (デフォルト)。 1: イネーブル。	0x0	R/W
9	RESET_ON_WDT_FAIL	WDT タイムアウト時の自動ソフトウェア・リセットを有効にします。 0: ディスエーブル (デフォルト)。 1: イネーブル。	0x0	R/W
8	KICK_ON_VALID_WRITE	WDT をリセットする有効な SPI コマンドを有効にします。WDT を再開できるようにするには、アクティブな WDT エラー・フラグをクリアする必要があります。 0: ディスエーブル (デフォルト)。 1: イネーブル。	0x0	R/W
7	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
6	WDT_EN	アクティブな WDT 故障フラグがない場合は、WDT をイネーブルしてから WDT を開始します。 0: ディスエーブル (デフォルト)。 1: イネーブル。	0x0	R/W
[5:4]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[3:0]	WDT_TIMEOUT	WDTのタイムアウト値を設定します。WDT_TIMEOUTを0b1010より大きいバイナリ値に設定すると、デフォルト設定の1秒になります。 0000 : 1ms。 0001 : 5ms。 0010 : 10ms。 0011 : 25ms。 0100 : 50ms。 0101 : 100ms。 0110 : 250ms。 0111 : 500ms。 1000 : 750ms。 1001 : 1秒 (デフォルト)。 1010 : 2秒。	0x9	R/W

### デジタル診断設定レジスタ

アドレス : 0x10、リセット : 0x10005D、レジスタ名 : DIGITAL\_DIAG\_CONFIG

このレジスタは、特定アプリケーション用に様々なデジタル診断機能を設定します。

表 40. DIGITAL\_DIAG\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:9]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R0
[8:7]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R/W
6	DAC_LATCH_MON_EN	DAC ラッチの診断モニタを有効にします。この機能は DAC を駆動する実際のデジタル・コードをモニタして、このコードをデジタル・ブロック内で生成されるデジタル・コードと比較します。これら 2 つのコード間に何らかの違いがあると、DIGITAL_DIAG_RESULTS レジスタに DAC_LATCH_MON_ERR フラグがセットされます。 0 : ディスエーブル。 1 : イネーブル (デフォルト)。	0x1	R/W
5	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
4	INVERSE_DAC_CHECK_EN	DAC コードと反転 DAC コードのエラーに関するチェックを有効にします。 0 : ディスエーブル。 1 : イネーブル (デフォルト)。	0x1	R/W
3	CAL_MEM_CRC_EN	キャリブレーション・メモリ・リフレッシュ時のキャリブレーション・メモリの CRC を有効にします。 0 : ディスエーブル。 1 : イネーブル (デフォルト)。	0x1	R/W
2	FREQ_MON_EN	内部発振器 (MCLK) の内部周波数モニタを有効にします。 0 : ディスエーブル。 1 : イネーブル (デフォルト)。	0x1	R/W
1	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
0	SPI_CRC_EN	SPI CRC 機能を有効にします。 0 : ディスエーブル。 1 : イネーブル (デフォルト)。	0x1	R/W

## ADC 設定レジスタ

アドレス : 0x11、リセット : 0x110000、レジスタ名 : ADC\_CONFIG

このレジスタは、ADC を 4 つある動作モードの 1 つに設定します。モードは、キー・シーケンシング、自動シーケンシング、現在選択されている ADC\_IP\_SELECT ノードのシングル即時変換、またはシングルキー変換です。

表 41. ADC\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。デフォルト値を変更しないでください。	0x0	R
[15:12]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R/W
11	ENABLE_PPC_BUFFERS	PPC モードの検出バッファを有効にします。	0x0	R/W
[10:8]	SEQUENCE_COMMAND	ADC シーケンス・コマンド・ビット。 000 : 予備 (このオプションは選択しないでください)。 001 : 予備 (このオプションは選択しないでください)。 010 : 予備 (このオプションは選択しないでください)。 011 : 予備 (このオプションは選択しないでください)。 100 : ADC_IP_SELECT (ビット [4:0] ) 入力のシングル変換を開始します。 101 : 予備 (このオプションは選択しないでください)。 110 : 予備 (このオプションは選択しないでください)。 111 : 予備 (このオプションは選択しないでください)。	0x0	R/W
[7:5]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R/W
[4:0]	ADC_IP_SELECT	どのノードをマルチプレクサ経路で ADC に接続するかを選択します。リストされていない 5 ビット・コードはすべて予備で、ADC 結果の 0 を返します。 00000 : メイン・ダイ温度。 00001 : DC/DC ダイ温度。 00010 : 予備 (このオプションは選択しないでください)。 00011 : REFIN。REFIN バッファをパワーアップして ADC がこのノードを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。 00100 : REF2。内部 1.23V リファレンス電圧。 00101 : 予備 (このオプションは選択しないでください)。 00110 : 予備 (このオプションは選択しないでください)。 00111 : 予備 (このオプションは選択しないでください)。 01100 : +V <sub>SENSE</sub> バッファ出力の電圧。 01110 : -V <sub>SENSE</sub> バッファ出力の電圧。 10000 : 予備 (このオプションは選択しないでください)。 10001 : 予備 (このオプションは選択しないでください)。 10010 : 予備 (このオプションは選択しないでください)。 10011 : 予備 (このオプションは選択しないでください)。 10100 : INT_AVCC。 10101 : V <sub>LDO</sub> 。 10110 : V <sub>LOGIC</sub> 。 11000 : REFGND。 11001 : AGND。 11010 : DGND。 11011 : V <sub>DPC+</sub> 。 11100 : AV <sub>DD2</sub> 。 11101 : AV <sub>SS</sub> 。 11110 : DC/DC ダイ・ノード。DCDC_CONFIG2 レジスタで設定。 11111 : REFOUT。	0x0	R/W

## FAULTピン設定レジスタ

アドレス：0x12、リセット：0x120000、レジスタ名：FAULT\_PIN\_CONFIG

このレジスタは、必要に応じてFAULTピンから特定の故障ビットをマスクするために使用します。

表 42. FAULT\_PIN\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	INVALID_SPI_ACCESS_ERR	このビットをセットした場合は、INVALID_SPI_ACCESS_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
14	VIOUT_OV_ERR	このビットをセットした場合は、VIOUT_OV_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
13	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
12	INVERSE_DAC_CHECK_ERR	このビットをセットした場合は、INVERSE_DAC_CHECK_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
11	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
10	OSCILLATOR_STOP_DETECT	このビットをセットした場合は、クロック停止エラーをFAULTピンにマップしないでください。	0x0	R/W
9	DAC_LATCH_MON_ERR	このビットをセットした場合は、DAC_LATCH_MON_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
8	WDT_ERR	このビットをセットした場合は、WDT_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
7	SLIPBIT_ERR	このビットをセットした場合は、SLIPBIT_ERR エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
6	SPI_CRC_ERR	このビットをセットした場合は、SPI_CRC_ERR エラー・フラグをピンにマップしないでください。	0x0	R/W
5	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
4	DCDC_P_SC_ERR	このビットをセットした場合は、正レール DC/DC 短絡回路エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
3	IOUT_OC_ERR	このビットをセットした場合は、電流出力オープンサーキット・エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
2	VOUT_SC_ERR	このビットをセットした場合は、電圧出力短絡エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
1	DCDC_DIE_TEMP_ERR	このビットをセットした場合は、DC/DC ダイ温度エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
0	MAIN_DIE_TEMP_ERR	このビットをセットした場合は、メイン・ダイ温度エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W

## 2 段リードバック選択レジスタ

アドレス：0x13、リセット：0x130000、レジスタ名：TWO\_STAGE\_READBACK\_SELECT

このレジスタは、2 段リードバック動作に必要なレジスタのアドレスを選択します。リードバック用に選択したレジスタのアドレスは、ビット [D4:D0] に保存されます。

表 43. TWO\_STAGE\_READBACK\_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:7]	Reserved	予備。	0x0	R
[6:5]	READBACK_MODE	これらのビットは、SPI リードバック・モードを制御します。 0：2 段 SPI リードバック・モード（デフォルト）。 01：自動ステータス・リードバック・モード；ステータス・レジスタの内容が、SPI フレームごとに SDO にシフト・アウトされます。 10：共有 SYNC 自動ステータス・リードバック・モード。このモードでは、複数のデバイスで同じ SYNC ラインを共有することができます（ハードウェア・アドレス・ピンを使用して区別）。デバイスへの有効な書込みが終了するたびにフラグがセットされます。このモードは、内部フラグがセットされていない限り（つまり、1 つ前の SPI 書込みが有効となっていない限り）、SYNC がローになってもデバイスはステータス・レジスタの内容を SDO に出力しません。この点を除き、通常の自動ステータス・リードバック・モードと同様に動作します。 11：ステータス・レジスタの内容と前の SPI フレームの命令を SDO で交互に使用できます。	0x0	R/W
[4:0]	READBACK_SELECT	2 段リードバックのリードバック・アドレスを選択します。 0x00：NOP レジスタ（デフォルト）。 0x01：DAC_INPUT レジスタ。 0x02：DAC_OUTPUT レジスタ。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		0x03 : CLEAR_CODE レジスタ。 0x04 : USER_GAIN レジスタ。 0x05 : USER_OFFSET レジスタ。 0x06 : DAC_CONFIG レジスタ。 0x07 : SW_LDAC レジスタ。 0x08 : Key レジスタ。 0x09 : GP_CONFIG1 レジスタ。 0x0A : GP_CONFIG2 レジスタ。 0x0B : DCDC_CONFIG1 レジスタ。 0x0C : DCDC_CONFIG2 レジスタ。 0x0D : 予備 (このオプションは選択しないでください)。 0x0E : 予備 (このオプションは選択しないでください)。 0x0F : WDT_CONFIG レジスタ。 0x10 : DIGITAL_DIAG_CONFIG レジスタ。 0x11 : ADC_CONFIG レジスタ。 0x12 : FAULT_PIN_CONFIG レジスタ。 0x13 : TWO_STAGE_READBACK_SELECT レジスタ。 0x14 : DIGITAL_DIAG_RESULTS レジスタ。 0x15 : ANALOG_DIAG_RESULTS レジスタ。 0x16 : ステータス・レジスタ。 0x17 : CHIP_ID レジスタ。 0x18 : FREQ_MONITOR レジスタ。 0x19 : 予備 (このオプションは選択しないでください)。 0x1A : 予備 (このオプションは選択しないでください)。 0x1B : 予備 (このオプションは選択しないでください)。 0x1C : DEVICE_ID_3 レジスタ。		

## デジタル診断結果レジスタ

アドレス : 0x14、リセット : 0x14A000、レジスタ名 : DIGITAL\_DIAG\_RESULTS

このレジスタには、オンチップ・デジタル診断機能用のエラー・フラグが格納されます。これらの機能のほとんどは、デジタル診断設定レジスタを使って設定できます。このレジスタには、リセットが行われたことを示すフラグや、キャリブレーション・メモリがリフレッシュされていないこと、あるいは無効な SPI アクセスをしようとしたことを示すフラグも格納されます。CAL\_MEM\_UNREFRESHED フラグと SLEW\_BUSY フラグを除き、これらのフラグを最新の値に更新する場合は、常に 1 を書き込む必要があります。CAL\_MEM\_UNREFRESHED フラグはキャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされ、SLEW\_BUSY フラグは出力スルーが完了すると自動的にクリアされます。DIGITAL\_DIAG\_CONFIG レジスタの対応するイネーブル・ビットがイネーブルされていない場合、各フラグ・ビットはゼロと見なされます。

表 44. DIGITAL\_DIAG\_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	CAL_MEM_UNREFRESHED	キャリブレーション・メモリ未リフレッシュ・フラグ。DAC_CONFIG レジスタ内の範囲ビットに変更を加えてもキャリブレーション・メモリのリフレッシュは開始され、その場合もこのビットがアサートされます。このレジスタ内の R/W-1-C ビットと異なり、このビットは、キャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされます。 0 : キャリブレーション・メモリはリフレッシュ済み。 1 : キャリブレーション・メモリは未リフレッシュ (パワーアップ時のデフォルト)。DAC_CONFIG レジスタの範囲ビットが変更された場合は、このビットがアサートされます。	0x1	R
14	SLEW_BUSY	DAC が能動的にスルーイングしているときは、このフラグが 1 に設定されます。このレジスタ内の R/W-1-C ビットと異なり、このビットは、スルーイングが完了すると自動的にクリアされます。	0x0	R
13	RESET_OCCURRED	このビットは、リセットが行われたことをフラグします (したがって、パワーアップ時のデフォルトはロジック 1 です)。	0x1	R/W-1-C
12	ERR_3WI	このビットは、3 線式インターフェース通信のエラーをフラグします。	0x0	R/W-1-C
11	WDT_ERR	このビットは WDT 故障をフラグします。	0x0	R/W-1-C
10	Reserved	予備。	0x0	R/W-1-C

ビット	ビット名	説明	リセット	アクセス
9	3WI_RC_ERR	このビットは、3線式の読出しおよび比較プロセスがイネーブルされた状態でパリティ・エラーが発生すると、エラーをフラグします。	0x0	R/W-1-C
8	DAC_LATCH_MON_ERR	このビットは、DAC ラッチの出力が入力に一致していない場合にエラーをフラグします。	0x0	R/W-1-C
7	Reserved	予備。	0x0	R/W-1-C
6	INVERSE_DAC_CHECK_ERR	このビットは、デジタル・コアによって駆動される DAC コードと反転コピーの間で異常が検出された場合に、エラーをフラグします。	0x0	R/W-1-C
5	CAL_MEM_CRC_ERR	このビットは、キャリブレーション・メモリをリフレッシュする際の CRC 計算に関する CRC エラーをフラグします。	0x0	R/W-1-C
4	INVALID_SPI_ACCESS_ERR	このビットは、無効なアドレスや予備アドレスとの間の読出しや書き込みなど、無効な SPI アクセスが試みられた場合にエラーをフラグします。このビットは、パワーアップ直後のキャリブレーション・メモリのリフレッシュ前に SPI 書き込みをしようとした場合や、キャリブレーション・メモリのリフレッシュ進行中に SPI 書き込みをしようとした場合も、エラーをフラグします。キャリブレーション・メモリのリフレッシュ中に 2 段階リードバックを行うことができます。このフラグがセットされることはありません。読出し専用レジスタに書き込みをしようとした場合も、このビットがアサートされません。	0x0	R/W-1-C
3	Reserved	予備。	0x0	R/W-1-C
2	SCLK_COUNT_ERR	このビットは、SCLK 立下がりエッジ・カウント・エラーをフラグします。SPI CRC が有効になっている場合は 32 クロックが必要で、SPI CRC が有効になっていない場合は 24 クロックまたは 32 クロックが必要です。	0x0	R/W-1-C
1	SLIPBIT_ERR	このビットは SPI フレーム・スリップ・ビット・エラーをフラグします。つまり、SPI ワードの MSB が MSB-1 を反転した値に等しくない場合です。	0x0	R/W-1-C
0	SPI_CRC_ERR	このビットは SPI CRC エラーをフラグします。	0x0	R/W-1-C

## アナログ診断結果レジスタ

アドレス：0x15、リセット：0x150000、レジスタ名：ANALOG\_DIAG\_RESULTS

このレジスタには、コンパレータがバックグラウンドでモニタする 4 つの電圧ノード (V<sub>LDO</sub>、INT\_AVCC、REFIN、REFOUT) に対応するエラー・フラグと、やはりコンパレータがモニタする各ダイ温度に関するフラグが格納されます。電圧出力短絡、電流出力オープン・サーキット、DC/DC に関するエラー・フラグも、このレジスタに格納されます。DIGITAL\_DIAG\_RESULTS レジスタ同様、このレジスタに格納されるすべてのフラグは、その内容を更新またはクリアするために 1 を書き込む必要があります。対応する診断機能がイネーブルされていない場合、それぞれのエラー・フラグはゼロと見なされます。

表 45. ANALOG\_DIAG\_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:14]	Reserved	予備。	0x0	R0
13	VIOUT_OV_ERR	このビットは、VIOUT ピンの電圧が V <sub>DPC+</sub> レールまたは AV <sub>SS</sub> レールを外れた場合にエラーをフラグします。	0x0	R/W-1-C
12	Reserved	予備。	0x0	R/W-1-C
11	DCDC_P_SC_ERR	このビットは、正レール DC/DC 回路の DC/DC 短絡エラーをフラグします。	0x0	R/W-1-C
10	Reserved	予備。	0x0	R/W-1-C
9	DCDC_P_PWR_ERR	このビットは、DC/DC 調整故障をフラグします。つまり、AV <sub>DD1</sub> 電圧が不十分なために DC/DC 回路が目標の V <sub>DPC+</sub> 電圧に達しない場合です。	0x0	R/W-1-C
8	Reserved	予備。	0x0	R/W-1-C
7	IOUT_OC_ERR	このビットは、電流出力オープン・サーキット・エラーをフラグします。このエラー・ビットは、電流出力オープン・サーキットの場合と、内部電流出力駆動回路が設定出力電流を提供できるだけの十分なヘッドルームを使用できない場合にセットされます。	0x0	R/W-1-C
6	VOUT_SC_ERR	このビットは、電圧出力短絡エラーをフラグします。	0x0	R/W-1-C
5	DCDC_DIE_TEMP_ERR	このビットは、DC/DC ダイの過熱エラーをフラグします。	0x0	R/W-1-C
4	MAIN_DIE_TEMP_ERR	このビットは、メイン・ダイの過熱エラーをフラグします。	0x0	R/W-1-C
3	REFOUT_ERR	このビットは、REFOUT ノードがコンパレータの閾値レベルを超えたこと、あるいはその短絡電流制限に達したことをフラグします。	0x0	R/W-1-C
2	REFIN_ERR	このビットは、REFIN ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C
1	INT_AVCC_ERR	このビットは、INT_AVCC ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C

ビット	ビット名	説明	リセット	アクセス
0	V <sub>LDO</sub> _ERR	このビットは、V <sub>LDO</sub> ノードがコンパレータの閾値レベルを超えたこと、あるいはその短絡電流制限に達したことをフラグします。	0x0	R/W-1-C

## ステータス・レジスタ

アドレス：0x16、リセット：0x10000、レジスタ名：Status

このレジスタには、ADC データおよびステータス・ビットのほか、WDT、OR されたアナログおよびデジタル診断、ならびに FAULT ピンのステータス・ビットが格納されます。

表 46. Status のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 <u>FAULT</u> ピンの現在のステータスを反転したものが反映されます。	0x0	R
20	DIG_DIAG_STATUS	このビットは、DIGITAL_DIAG_RESULTS レジスタのビット [15:0] (SLEW_BUSY ビットを除く) の内容を論理 OR した結果を表します。したがって、これらのビットのいずれかがハイの場合は DIG_DIAG_STATUS ビットもハイになります。パワーアップ時には RESET_OCCURRED フラグがアクティブなので、このビットはハイになります。論理 OR 機能が DIGITAL_DIAG_RESULTS レジスタのビット [D15:D3] (SLEW_BUSY ビットを除く) だけを対象とするように、クワイエット・モードを使用することもできます (GP_CONFIG1 レジスタの SPI_DIAG_QUIET_EN)。SPI CRC、SPI スリップ・ビット、または SCLK カウント・エラーが発生した場合、DIG_DIAG_STATUS はハイにセットされません。	0x1	R
19	ANA_DIAG_STATUS	このビットは、ANALOG_DIAG_RESULTS レジスタのビット [13:0] の内容を論理 OR した結果を表します。したがって、このレジスタのいずれかのビットがハイの場合は ANA_DIAG_STATUS ビットもハイになります。	0x0	R
18	WDT_STATUS	WDT ステータス・ビット。	0x0	R
17	ADC_BUSY	ADC ビジー・ステータス・ビット。	0x0	R
[16:12]	ADC_CH	ステータス・レジスタの ADC_DATA によって表される ADC チャンネルのアドレス。	0x0	R
[11:0]	ADC_DATA	ADC_CH ビット (ビット [4:0]) によってアドレス指定された反転信号を表す 12 ビットの ADC データ。	0x0	R

## チップ ID レジスタ

アドレス：0x17、リセット：0x170101、レジスタ名：CHIP\_ID

このレジスタには、メイン・ダイと DC/DC ダイのシリコン・リビジョン ID が格納されます。

表 47. CHIP\_ID ビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 <u>FAULT</u> ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	Reserved	予備。	0x0	R0
[10:8]	DCDC_DIE_CHIP_ID	これらのビットには、DC/DC ダイのシリコン・リビジョン番号が反映されます。	0x2	R
[7:0]	MAIN_DIE_CHIP_ID	これらのビットには、メイン・ダイのシリコン・リビジョン番号が反映されます。	0x2	R

## 周波数モニタ・レジスタ

アドレス：0x18、リセット：0x180000、レジスタ名：FREQ\_MONITOR

内部周波数モニタは、内部発振器 (MCLK) を使って 1kHz (MCLK/10,000) の周波数でパルスを生成します。このパルスは、16 ビット・カウンタを加算するために使用します。カウンタの値は、FREQ\_MONITOR レジスタから読み出すことができます。ユーザはこのレジスタを周期的にポーリングし、内部発振器の診断ツール (発振器動作のモニタ) として使用したり、周波数を測定するために使用したりすることができます。この機能は、DIGITAL\_DIAG\_CONFIG レジスタの FREQ\_MON\_EN ビットによりデフォルトで有効になっています。

表 48. FREQ\_MONITOR のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 <u>FAULT</u> ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	FREQ_MONITOR	内部クロック・カウンタの値。	0x0	R

## ジェネリック ID レジスタ

アドレス : 0x1C、リセット : 0x1C0000、レジスタ名 : DEVICE\_ID\_3

表 49. DEVICE\_ID\_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:8]	Reserved	予備。	0x0	R
[7:3]	Reserved	予備。	0x0	R
[2:0]	Generic ID	ジェネリック ID。 000 : 予備 001 : 予備 010 : AD5758。 011 : 予備 100 : 予備 101 : 予備 110 : 予備 111 : 予備	0x0	R

## アプリケーション情報

### モジュール例の消費電力計算

図 91 に示すモジュール例と消費電力計算方法 ( $R_{LOAD} = 1k\Omega$ ) のセクションに示す方法を使用して、モジュールの消費電力（負荷で消費される電力を除く）を計算することができます。最大  $I_{OUT}$  値を  $20mA$ 、 $R_{LOAD}$  値を  $1k\Omega$  として計算すると、モジュールの合計消費電力は約  $226mW$  となります。外部デジタル・アイソレーションに伴う電力は使用部品の選択によって異なるので、計算には含まれていません。

$1k\Omega$  負荷の部分を短絡させた場合の消費電力計算は消費電力計算方法 ( $R_{LOAD} = 0\Omega$ ) のセクションに示す通りで、短絡状態でのモジュールの合計消費電力は約  $206mW$  となります。

### 消費電力計算方法 ( $R_{LOAD} = 1k\Omega$ )

表 50. 自己消費電流時の電力計算

Voltage (V)	Current (mA)	Power (mW)
$A_{V_{DD1}} = 24$	$A_{I_{DD1}} = 0.05$	1.2
$A_{V_{DD2}} = 5$	$A_{I_{DD2}} = 2.9$	14.5
$A_{V_{SS}} = -15$	$A_{I_{SS}} = 0.23$	3.45
$V_{LOGIC} = 3.3$	$I_{LOGIC} = 0.01$	0.033

表 50 の電圧および電流値を使用すると、自己消費電流時の合計消費電力は  $19.18mW$  になります。

次に、以下の計算を行います。

$$(V_{DPC+}) \times (20mA + I_{DPC+}) = 22.5V \times 20.5mA = 461.25mW$$

DC/DC コンバータの効率を  $90\%$  と仮定します。したがって、 $V_{DPC+}$  power =  $512.5mW$  です。これから、ADP1031 PMU の AD5758 側合計入力電力は、 $512.5mW + 19.18mW = 531.68mW$  となります。この値から負荷による消費電力  $400mW$  を引くと、AD5758 だけに相当する電力  $131.68mW$  が得られます。

ADP1031 の効率を  $85\%$  とすると、合計入力電力は  $625.5mW$  となります (図 91 を参照)。

$$\text{モジュールの合計消費電力} = \text{入力電力} - \text{負荷の消費電力}$$

したがって、以下の結果が得られます。

$$625.5mW - 400mW = 225.5mW$$

### 消費電力計算方法 ( $R_{LOAD} = 0\Omega$ )

表 50 の電圧および電流値を使用すると、自己消費電流時の合計消費電力は  $19.18mW$  になります。

次に、

$$(V_{DPC+}) \times (20mA + I_{DPC+}) = 4.95V \times 20.5mA = 101.5mW$$

DC/DC コンバータの効率を  $65\%$  と仮定します。したがって、 $V_{DPC+}$  power =  $156.2mW$  です。これから、ADP1031 の AD5758 側合計入力電力は  $156.2mW + 19.18mW = 175.38mW$  となります。この値から負荷による消費電力  $0mW$  を引くと、AD5758 だけに相当する電力  $175.38mW$  が得られます。

ADP1031 の効率を  $85\%$  とすると、合計入力電力は  $206.33mW$  となります (図 91 を参照)。

$$\text{モジュールの合計消費電力} = \text{入力電力} - \text{負荷の消費電力}$$

したがって、以下の結果が得られます。

$$206.33mW - 0mW = 206.33mW$$

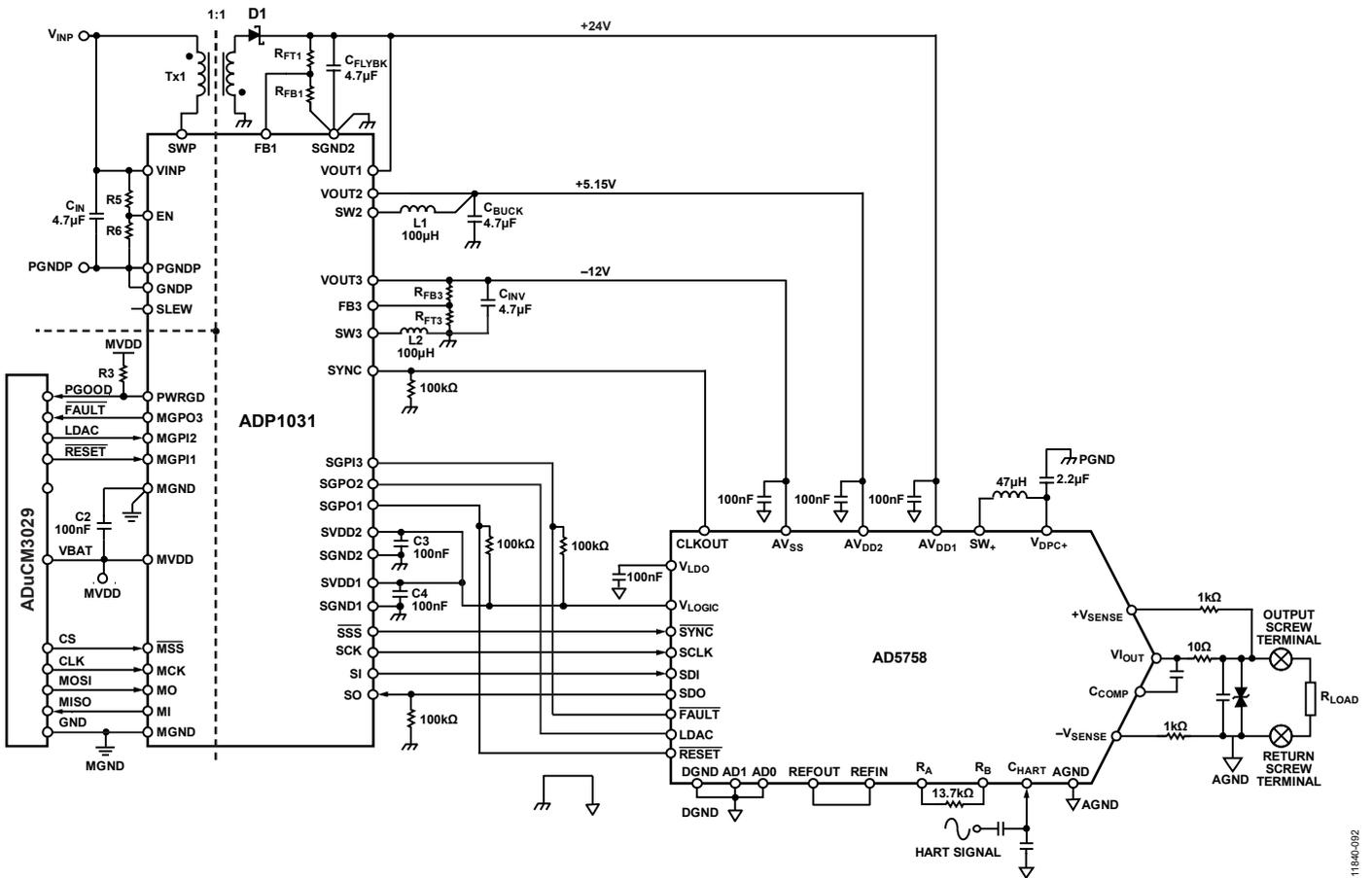


図 91. ADP1031 と AD5758 を含むモジュールの例

### 誘導負荷の駆動

大きい誘導負荷や適切に設定されていない負荷を駆動する場合は、リングングを最小限に抑制するために、 $V_{IOUT}$  と  $AGND$  の間にスナバ回路が必要になることがあります。スナバ回路の一例としては、 $V_{IOUT}$  と  $AGND$  の間に  $300\Omega$  の抵抗とコンデンサ（容量  $2.5nF \sim 10nF$ ）を直列に接続する方法があります。大きい誘導負荷がある場合は、AD5758 のデジタル・スルー・レート制御を使用して、電流ステップの  $dI/dt$  をできるだけ小さくすることにより、出力電流のステップ時のリングングを最小限に抑えることができます。

### 電磁両立性 (EMC) に関する考慮事項

EMC 性能と電磁干渉 (EMI) 性能を改善するために最小限必要な部品が 3 つあります。

- $V_{IOUT}$  ピンと出力ネジ端子間のパターン上に置いた  $10\Omega$  抵抗。これは、デバイスとの間に流れる過渡電流を制限します。
- $V_{IOUT}$  と RETURN ネジ端子の間に直接ルーティングした過渡電圧抑制 (TVS) ダイオード。できるだけ短く広いパターンを使用してください。TVS ダイオードは、EMC イベント発生時に電氣的なトランジェントをクランプするために不可欠です。
- TVS ダイオードと並列に置かれた  $10nF$ 、 $50V$  の X7R コンデンサは、小さい高周波トランジェントを RETURN ネジ端子へ逃がします。

AVDD1 と AVSS に接続されるオプションのクランプ・ダイオードを  $V_{IOUT}$  ラインに追加すれば、堅牢性を更に向上させることができます。詳細については、AN-1599 アプリケーション・ノートを参照してください。

外形寸法

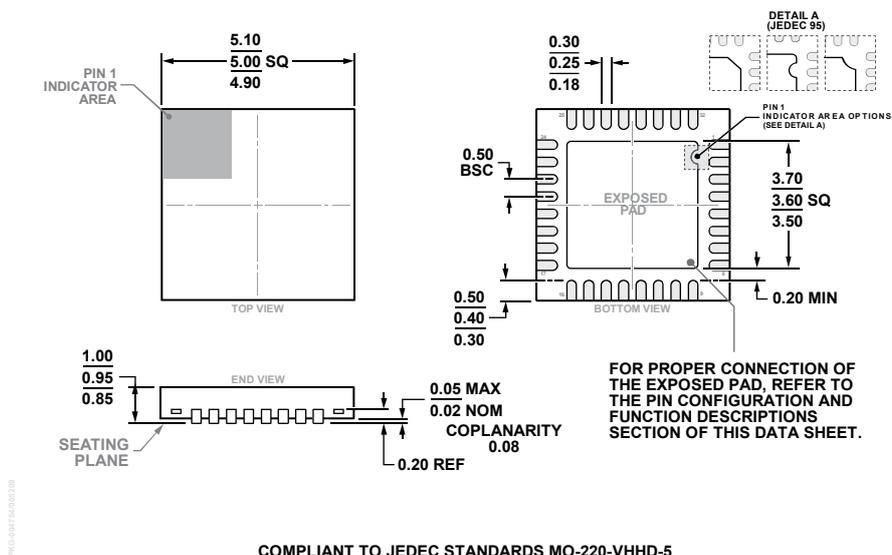


図 92. 32 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]  
 5mm × 5mm ボディ、0.95mm パッケージ高  
 (CP-32-30)  
 寸法：mm

オーダー・ガイド

Model <sup>1, 2</sup>	Temperature Range	Package Description	Package Option
AD5758BCPZ-RL7	-40°C to +115°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-30
EVAL-AD5758SDZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品

<sup>2</sup> EVAL-AD5758SDZ の発注時には、USB インターフェース・ボード EVAL-SDP-CSIZ を別途発注する必要があります。