

### 特長

16ビットの分解能と単調性

外付けPMOSモードまたは温度管理のために消費電力をダイナミック制御

電流出力範囲: 0 mA~20 mA, 4 mA~20 mA, または 0 mA~24 mA 総合未調整誤差 (TUE): 最大±0.05%

オフセットとゲインをユーザ設定可能

診断機能を内蔵

リファレンス電圧(最大±10 ppm/°C)を内蔵

温度範囲: -40°C~+105°C

### アプリケーション

プロセス制御

アクチュエータ制御

PLC

HART ネットワーク接続

### 概要

AD5757 は 10.8 V~33 V の電源範囲で動作する電流出力クワッド DAC です。内蔵のダイナミック消費電力制御機能により、最小消費電力を得るように最適化された DC/DC ブースト・コンバータを使って出力ドライバ電圧を 7.4 V~29.5 V にレギュレーションして、パッケージ内消費電力を小さくします。

各チャンネルには対応する CHART ピンが設けてあるため、HART 信号を AD5757 の電流出力に接続することができます。

このデバイスは、最大 30 MHz のクロック・レートで動作し、かつ標準 SPI、QSPI™、MICROWIRE™、DSP、マイクロコントローラの各インターフェース規格と互換性を持つ多機能 3 線式シリアル・インターフェースを採用しています。また、このインターフェースには、オプションの CRC-8 パケット・エラー・チェック機能とインターフェース動作をモニタするウォッチドッグ・タイマ機能も内蔵されています。

### 製品のハイライト

1. 温度管理のために消費電力をダイナミック制御
2. 16ビット性能
3. マルチチャンネル
4. HART 互換。

### 関連製品

製品ファミリー: [AD5755-1](#)、[AD5755](#)

外付けリファレンス電圧: [ADR445](#)、[ADR02](#)

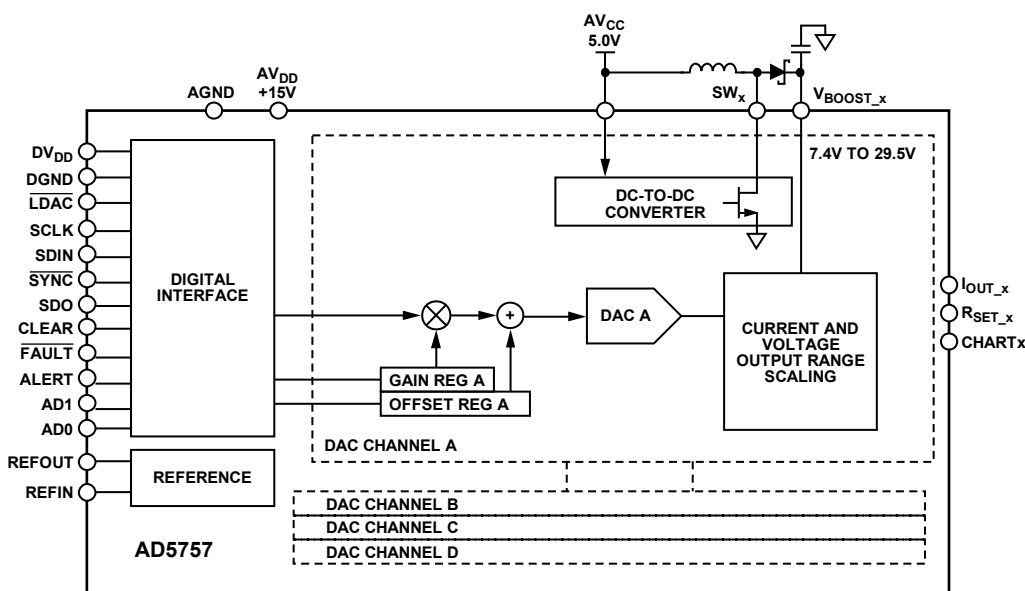
デジタル・アイソレータ: [ADuM1410](#)、[ADuM1411](#)

電源: [ADP2302](#)、[ADP2303](#)

その他の関連製品については [AD5757](#)

をご覧ください

### 機能ブロック図



NOTES  
1. x = A, B, C, AND D.

図 1.

09225-101

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2011 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	リードバック動作.....	32
アプリケーション.....	1	デバイス機能.....	34
概要.....	1	故障出力.....	34
製品のハイライト.....	1	オフセットとゲインのデジタル調整.....	34
関連製品.....	1	書込み時のステータス・リードバック.....	34
機能ブロック図.....	1	非同期クリア.....	34
改訂履歴.....	3	パケット・エラーのチェック.....	34
詳細機能ブロック図.....	4	ウォッチドッグ・タイマ.....	35
仕様.....	5	出力アラート.....	35
AC性能特性.....	7	内蔵リファレンス電圧.....	35
タイミング特性.....	7	電流設定外付け抵抗.....	35
絶対最大定格.....	10	HART.....	35
ESDの注意.....	10	スルーレートのデジタル制御.....	36
ピン配置およびピン機能説明.....	11	消費電力制御.....	36
代表的な性能特性.....	14	DC/DCコンバータ.....	36
電流出力.....	14	AI <sub>CC</sub> 電源要求—スタティック.....	38
DC/DCブロック.....	19	AI <sub>CC</sub> 電源要求—変化時.....	38
リファレンス電圧.....	20	外付けPMOSモード.....	39
全体.....	21	アプリケーション情報.....	40
用語.....	22	内蔵R <sub>SET</sub> を使う電流出力モード.....	40
動作原理.....	23	高精度リファレンス電圧の選択.....	40
DACアーキテクチャ.....	23	誘導負荷の駆動.....	40
AD5757のパワーオン状態.....	23	過渡電圧保護.....	41
シリアル・インターフェース.....	23	マイクロプロセッサ・インターフェース.....	41
伝達関数.....	24	レイアウトのガイドライン.....	41
レジスタ.....	25	電流絶縁型インターフェース.....	42
出力の書込み/イネーブルを行う設定シーケンス.....	26	外形寸法.....	43
範囲の変更と再設定.....	26	オーダー・ガイド.....	43
データ・レジスタ.....	27		
コントロール・レジスタ.....	29		

**改訂履歴****11/11—Rev. A to Rev. B**

Change to Test Conditions/Comments of Accuracy (External $R_{SET}$ ) Parameter, Table 1 .....	5
Changes to Figure 4 .....	8
Change to Figure 5 .....	9
Change to Pin 8 Description, Table 5 .....	11
Change to Figure 13 .....	14
Change to Figure 20 .....	16
Changes to Figure 48 and Power-On State of the AD5757 Section .....	23
Change to Table 16 .....	29
Changes to Readback Operation Section, Readback Example Section, and Table 25 .....	32
Change to Figure 54 .....	35
Change to Figure 58 Caption .....	38
Changes to Figure 59, Figure 60, and Figure 61 Captions .....	39

Changes to Transient Voltage Protection Section and Figure 63 .....	41
Changes to Galvanically Isolated Interface Section .....	42

**5/11—Rev. 0 to Rev. A**

Changes Features Section .....	1
Changes to Figure 2 .....	3
Changed $AV_{DD}$ Min Parameter from 10.8 V to 9 V .....	5
Changes to Pin 22, Pin 31, Pin 49 Descriptions .....	11
Changes to Pin 58 Descriptions .....	12
Changes to Figure 8, Figure 9, and Figure 10 .....	13
Added Figure 23, Renumbered Sequentially .....	15
Added Figure 29 .....	16
Added External PMOS Mode Section and Figure 62 .....	38

**4/11—Revision 0: Initial Version**

詳細機能ブロック図

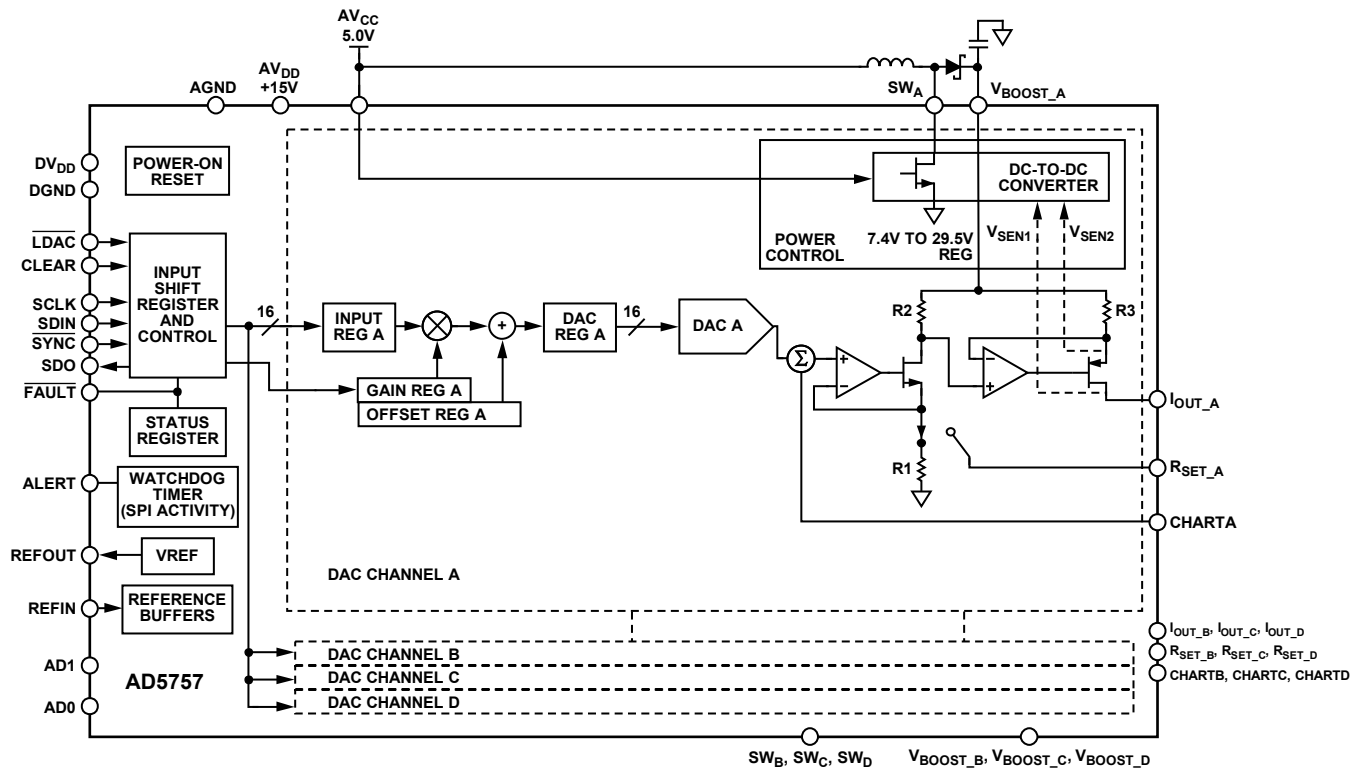


図 2.

09225-001

## 仕様

特に指定がない限り、 $AV_{DD} = V_{BOOST\_x} = 15\text{ V}$ ;  $DV_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $AV_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$ ; DC/DC コンバータをディスエーブル;  $AGND = DGND = GND_{SW\_x} = 0\text{ V}$ ;  $REFIN = 5\text{ V}$ ;  $R_L = 300\ \Omega$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 1.

Parameter <sup>1</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
<b>CURRENT OUTPUT</b>					
Output Current Ranges	0		24	mA	
	0		20	mA	
	4		20	mA	
Resolution	16			Bits	
<b>ACCURACY (EXTERNAL <math>R_{SET}</math>)</b>					
Total Unadjusted Error (TUE)	-0.05	$\pm 0.009$	+0.05	% FSR	Assumes ideal resistor; see the External Current Setting Resistor section for more information
TUE Long-Term Stability		100		ppm FSR	Drift after 1000 hours, $T_J = 150^\circ\text{C}$
Relative Accuracy (INL)	-0.006		+0.006	% FSR	
Differential Nonlinearity (DNL)	-1		+1	LSB	Guaranteed monotonic
Offset Error	-0.05	$\pm 0.005$	+0.05	% FSR	
Offset Error Drift <sup>2</sup>		$\pm 4$		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.05	$\pm 0.004$	+0.05	% FSR	
Gain TC <sup>2</sup>		$\pm 3$		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.05	$\pm 0.008$	+0.05	% FSR	
Full-Scale TC <sup>2</sup>		$\pm 5$		ppm FSR/ $^\circ\text{C}$	
DC Crosstalk		0.0005		% FSR	External $R_{SET}$
<b>ACCURACY (INTERNAL <math>R_{SET}</math>)</b>					
Total Unadjusted Error (TUE) <sup>3,4</sup>	-0.14		+0.14	% FSR	
	-0.11	$\pm 0.009$	+0.11	% FSR	$T_A = 25^\circ\text{C}$
TUE Long-Term Stability		180		ppm FSR	Drift after 1000 hours, $T_J = 150^\circ\text{C}$
Relative Accuracy (INL)	-0.006		+0.006	% FSR	
	-0.004		+0.004	% FSR	$T_A = 25^\circ\text{C}$
Differential Nonlinearity (DNL)	-1		+1	LSB	Guaranteed monotonic
Offset Error <sup>3,4</sup>	-0.05		+0.05	% FSR	
	-0.04	$\pm 0.007$	+0.04	% FSR	$T_A = 25^\circ\text{C}$
Offset Error Drift <sup>2</sup>		$\pm 6$		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.12		+0.12	% FSR	
	-0.06	$\pm 0.002$	+0.06	% FSR	$T_A = 25^\circ\text{C}$
Gain TC <sup>2</sup>		$\pm 9$		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error <sup>3,4</sup>	-0.14		+0.14	% FSR	
	-0.1	$\pm 0.007$	+0.1	% FSR	$T_A = 25^\circ\text{C}$
Full-Scale TC <sup>2</sup>		$\pm 14$		ppm FSR/ $^\circ\text{C}$	
DC Crosstalk <sup>4</sup>		-0.011		% FSR	Internal $R_{SET}$
<b>OUTPUT CHARACTERISTICS<sup>2</sup></b>					
Current Loop Compliance Voltage		$V_{BOOST\_x} - 2.4$	$V_{BOOST\_x} - 2.7$	V	
Output Current Drift vs. Time		90		ppm FSR	Drift after 1000 hours, $\frac{3}{4}$ scale output, $T_J = 150^\circ\text{C}$
		140		ppm FSR	External $R_{SET}$
Resistive Load			1000	$\Omega$	Internal $R_{SET}$
Output Impedance		100		M $\Omega$	The dc-to-dc converter has been characterized with a maximum load of 1 k $\Omega$ , chosen such that compliance is not exceeded; see Figure 31 and DC-DC MaxV bits in Table 24
DC PSRR		0.02	1	$\mu\text{A/V}$	
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Input <sup>2</sup>					
Reference Input Voltage	4.95	5	5.05	V	For specified performance
DC Input Impedance	45	150		M $\Omega$	

Parameter <sup>1</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
Reference Output					
Output Voltage	4.995	5	5.005	V	T <sub>A</sub> = 25°C
Reference TC <sup>2</sup>	-10	±5	+10	ppm/°C	
Output Noise (0.1 Hz to 10 Hz) <sup>2</sup>		7		μV p-p	
Noise Spectral Density <sup>2</sup>		100		nV/√Hz	At 10 kHz
Output Voltage Drift vs. Time <sup>2</sup>		180		ppm	Drift after 1000 hours, T <sub>J</sub> = 150°C
Capacitive Load <sup>2</sup>		1000		nF	
Load Current		9		mA	See Figure 42
Short-Circuit Current		10		mA	
Line Regulation <sup>2</sup>		3		ppm/V	See Figure 43
Load Regulation <sup>2</sup>		95		ppm/mA	See Figure 42
Thermal Hysteresis <sup>2</sup>		160		ppm	First temperature cycle
		5		ppm	Second temperature cycle
DC-TO-DC					
Switch					
Switch On Resistance		0.425		Ω	
Switch Leakage Current		10		nA	
Peak Current Limit		0.8		A	
Oscillator					
Oscillator Frequency	11.5	13	14.5	MHz	This oscillator is divided down to give the dc-to-dc converter switching frequency
Maximum Duty Cycle		89.6		%	At 410 kHz dc-to-dc switching frequency
DIGITAL INPUTS <sup>2</sup>					JEDEC compliant
V <sub>IH</sub> , Input High Voltage	2			V	
V <sub>IL</sub> , Input Low Voltage			0.8	V	
Input Current	-1		+1	μA	Per pin
Pin Capacitance		2.6		pF	Per pin
DIGITAL OUTPUTS <sup>2</sup>					
SDO, ALERT					
V <sub>OL</sub> , Output Low Voltage			0.4	V	Sinking 200 μA
V <sub>OH</sub> , Output High Voltage	DV <sub>DD</sub> - 0.5			V	Sourcing 200 μA
High Impedance Leakage Current	-1		+1	μA	
High Impedance Output Capacitance		2.5		pF	
FAULT					
V <sub>OL</sub> , Output Low Voltage			0.4	V	10 kΩ pull-up resistor to DV <sub>DD</sub>
V <sub>OL</sub> , Output Low Voltage		0.6		V	At 2.5 mA
V <sub>OH</sub> , Output High Voltage	3.6			V	10 kΩ pull-up resistor to DV <sub>DD</sub>
POWER REQUIREMENTS					
AV <sub>DD</sub>	9		33	V	
DV <sub>DD</sub>	2.7		5.5	V	
AV <sub>CC</sub>	4.5		5.5	V	
AI <sub>DD</sub>		7	7.5	mA	
DI <sub>CC</sub>		9.2	11	mA	V <sub>IH</sub> = DV <sub>DD</sub> , V <sub>IL</sub> = DGND, internal oscillator running, over supplies
AI <sub>CC</sub>			1	mA	Over supplies
I <sub>BOOST</sub> <sup>5</sup>			1	mA	Per channel, current output mode, 0 mA output
Power Dissipation		155		mW	AV <sub>DD</sub> = 15 V, DV <sub>CC</sub> = 5 V, dc-to-dc converter enable, current output mode, outputs disabled

<sup>1</sup> 温度範囲は-40°C~+105°Cです。typ値は+25°Cの値です。

<sup>2</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>3</sup> 内蔵 R<sub>SET</sub> を使う電流出力の場合、オフセット、フルスケール、TUE の測定値には DC クロストークが含まれません。測定は 4 チャンネルすべてをイネーブルし、同じコードをロードして行います。

<sup>4</sup> DC クロストークの詳細については、内蔵 RSET を使う電流出力モードエラー! ブックマーク名が指定されていません。のセクションを参照してください。

<sup>5</sup> 図 33~図 36 の効率のプロットには I<sub>BOOST</sub> の静止電流が含まれます。

## AC性能特性

特に指定がない限り、 $AV_{DD} = V_{BOOST\_X} = 15\text{ V}$ ;  $DV_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $AV_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$ ; DC/DC コンバータをディスエーブル;  $AGND = DGND = GND_{SW\_X} = 0\text{ V}$ ;  $REFIN = 5\text{ V}$ ;  $R_L = 300\ \Omega$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 2.

Parameter <sup>1</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Current Output					
Output Current Settling Time		15		$\mu\text{s}$	To 0.1% FSR (0 mA to 24 mA)
		See test conditions/ comments		ms	See Figure 26, Figure 27, and Figure 28
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.15		LSB p-p	16-bit LSB, 0 mA to 24 mA range
Output Noise Spectral Density		0.5		nA/ $\sqrt{\text{Hz}}$	Measured at 10 kHz, midscale output, 0 mA to 24 mA range

<sup>1</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

## タイミング特性

特に指定がない限り、 $AV_{DD} = V_{BOOST\_X} = 15\text{ V}$ ;  $DV_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $AV_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$ ; DC/DC コンバータをディスエーブル;  $AGND = DGND = GND_{SW\_X} = 0\text{ V}$ ;  $REFIN = 5\text{ V}$ ;  $R_L = 300\ \Omega$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 3.

Parameter <sup>1, 2, 3</sup>	Limit at $T_{MIN}, T_{MAX}$	Unit	Description
$t_1$	33	ns min	SCLK cycle time
$t_2$	13	ns min	SCLK high time
$t_3$	13	ns min	SCLK low time
$t_4$	13	ns min	SYNC falling edge to SCLK falling edge setup time
$t_5$	13	ns min	24 <sup>th</sup> /32 <sup>nd</sup> SCLK falling edge to SYNC rising edge (see Figure 54)
$t_6$	198	ns min	SYNC high time
$t_7$	5	ns min	Data setup time
$t_8$	5	ns min	Data hold time
$t_9$	20	$\mu\text{s}$ min	SYNC rising edge to LDAC falling edge (all DACs updated or any channel has digital slew rate control enabled)
	5	$\mu\text{s}$ min	SYNC rising edge to LDAC falling edge (single DAC updated)
$t_{10}$	10	ns min	LDAC pulse width low
$t_{11}$	500	ns max	LDAC falling edge to DAC output response time
$t_{12}$	See the AC Performance Characteristics section	$\mu\text{s}$ max	DAC output settling time
$t_{13}$	10	ns min	CLEAR high time
$t_{14}$	5	$\mu\text{s}$ max	CLEAR activation time
$t_{15}$	40	ns max	SCLK rising edge to SDO valid
$t_{16}$	21	$\mu\text{s}$ min	SYNC rising edge to DAC output response time ( $\overline{\text{LDAC}} = 0$ ) (all DACs updated)
	5	$\mu\text{s}$ min	SYNC rising edge to DAC output response time ( $\overline{\text{LDAC}} = 0$ ) (single DAC updated)
$t_{17}$	500	ns min	LDAC falling edge to SYNC rising edge
$t_{18}$	800	ns min	RESET pulse width
$t_{19}^4$	20	$\mu\text{s}$ min	SYNC high to next SYNC low (digital slew rate control enabled) (all DACs updated)
	5	$\mu\text{s}$ min	SYNC high to next SYNC low (digital slew rate control disabled) (single DAC updated)

<sup>1</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>2</sup> すべての入力信号は  $t_{RISE} = t_{FALL} = 5\text{ ns}$  ( $DV_{DD}$  の 10% から 90%) で規定し、1.2 V の電圧レベルからの時間とします。

<sup>3</sup> 図 3 ~ 図 6 を参照。

<sup>4</sup> この規定値は、書き込みサイクル中  $\overline{\text{LDAC}}$  がロー・レベルに維持される場合に適用されます。その他の場合については  $t_9$  を参照。

タイミング図

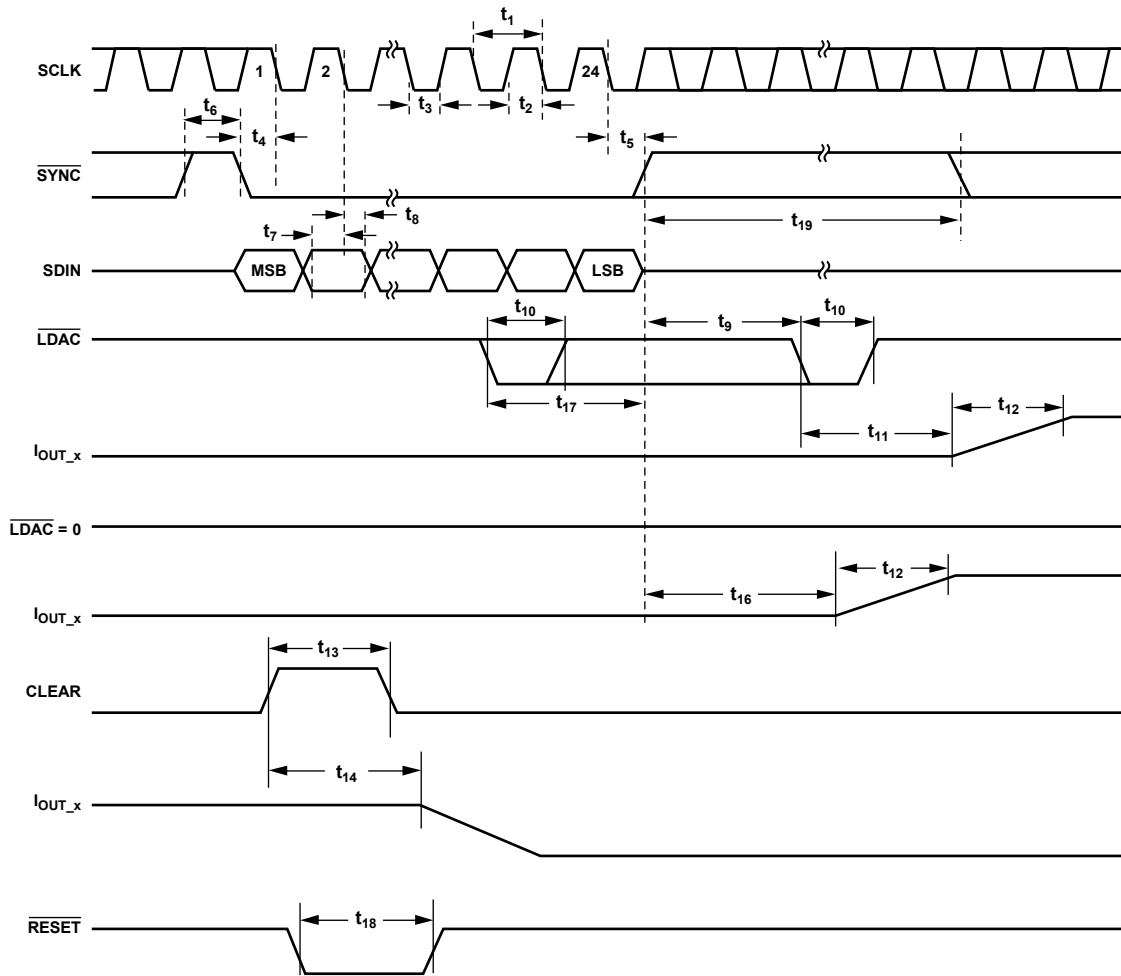


図 3. シリアル・インターフェースのタイミング図

09225-002

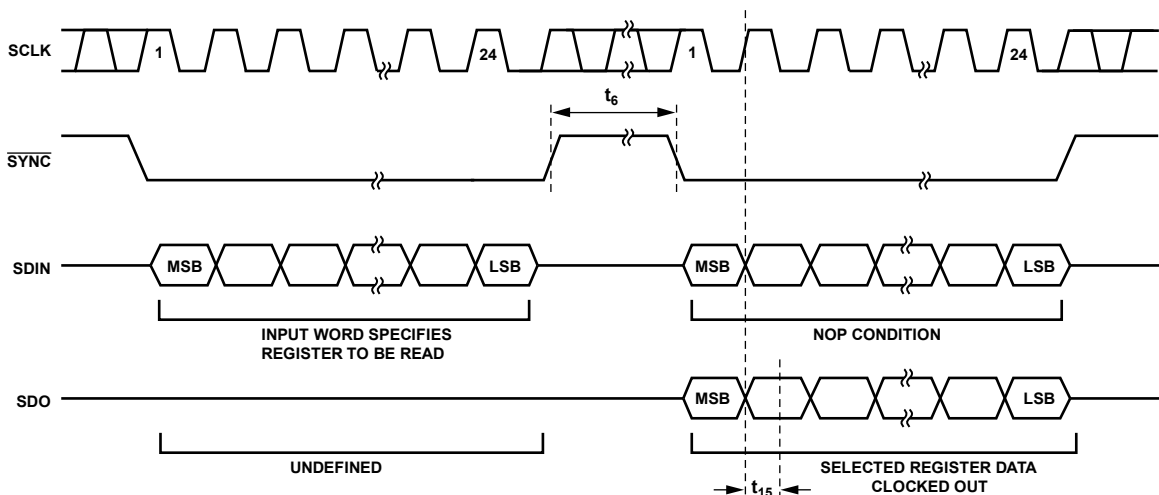


図 4. リードバック・タイミング図

09225-003



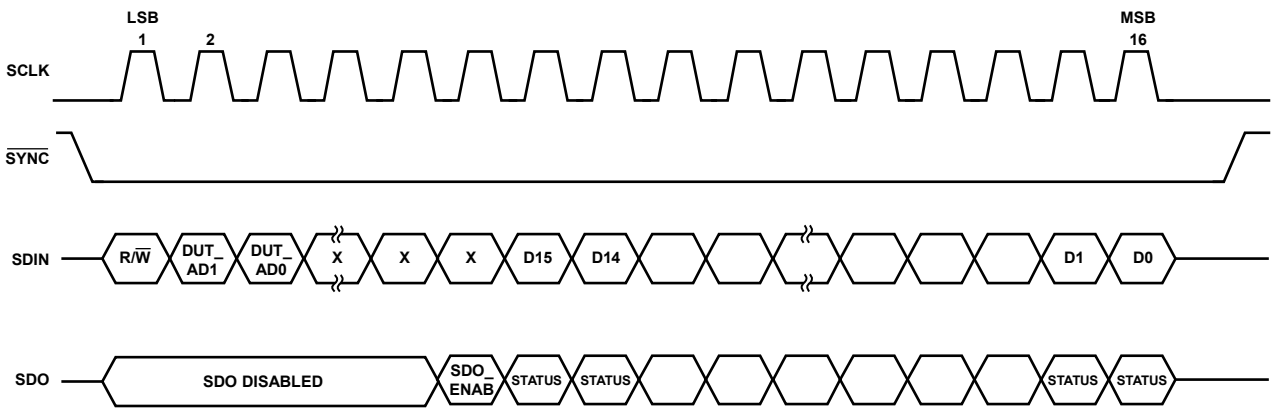


図 5. ステータス・リードバックー書き込み時

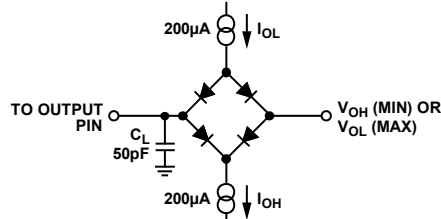


図 6. SDO タイミング図の負荷回路

## 絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 4.

Parameter	Rating
$AV_{DD}$ , $V_{BOOST\_X}$ to AGND, DGND	-0.3 V to +33 V
$AV_{CC}$ to AGND	-0.3 V to +7 V
$DV_{DD}$ to DGND	-0.3 V to +7 V
Digital Inputs to DGND	-0.3 V to $DV_{DD} + 0.3\text{ V}$ or +7 V (whichever is less)
Digital Outputs to DGND	-0.3 V to $DV_{DD} + 0.3\text{ V}$ or +7 V (whichever is less)
REFIN, REFOUT to AGND	-0.3 V to $AV_{DD} + 0.3\text{ V}$ or +7 V (whichever is less)
$I_{OUT\_X}$ to AGND	AGND to $V_{BOOST\_X}$ or 33 V if using the dc-to-dc circuitry
$SW_x$ to AGND	-0.3 V to +33 V
AGND, $GNDSW_x$ to DGND	-0.3 V to +0.3 V
Operating Temperature Range ( $T_A$ )	
Industrial <sup>1</sup>	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ( $T_J$ max)	125°C
64-Lead LFCSP	
$\theta_{JA}$ Thermal Impedance <sup>2</sup>	20°C/W
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

<sup>1</sup> チップ内の消費電力を抑えて、ジャンクション温度を 125°C 以下に維持する必要があります。

<sup>2</sup> JEDEC 4 層テスト・ボードを使用。

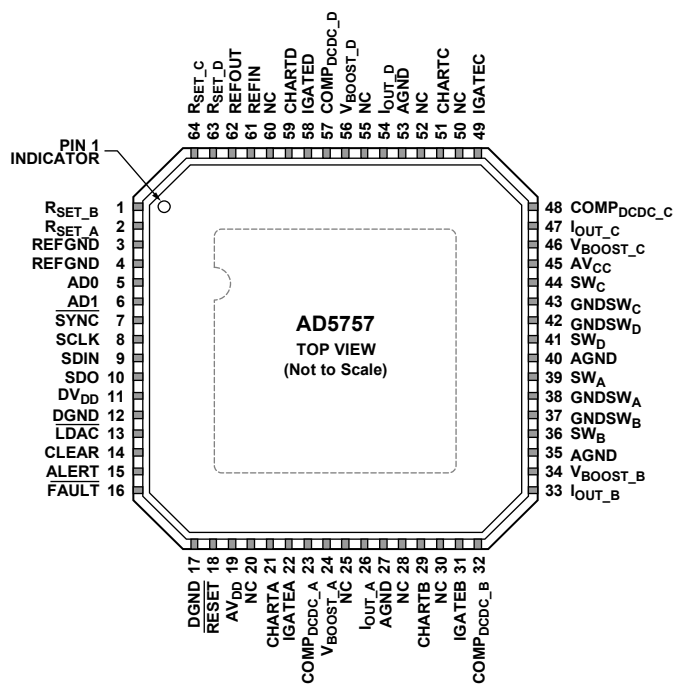
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES  
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.  
 2. THE EXPOSED PAD SHOULD BE CONNECTED TO AGND, OR ALTERNATIVELY, IT CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

09225-006

図 7. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	RSET_B	外付けの高精度低ドリフト 15 kΩ 電流設定抵抗をこのピンに接続して、IOUT_Bの温度ドリフト性能を向上させることができます。デバイス機能のセクションを参照してください。
2	RSET_A	外付けの高精度低ドリフト 15 kΩ電流設定抵抗をこのピンに接続して、IOUT_Aの温度ドリフト性能を向上させることができます。デバイス機能のセクションを参照してください。
3, 4	REFGND	内蔵リファレンスに対するグラウンド基準ポイント。
5	AD0	ボード上の被テスト・デバイス(DUT)のアドレス・デコード。
6	AD1	ボード上の DUT のアドレス・デコード。
7	SYNC	アクティブ・ロー入力。これは、シリアル・インターフェースのフレーム同期信号です。SYNCがロー・レベルのとき、データは SCLK の立下がりエッジで転送されます。
8	SCLK	シリアル・クロック入力。データは、SCLK の立下がりエッジで入力シフトレジスタに入力されます。このピンは最大 30 MHz のクロック速度で動作します。
9	SDIN	シリアル・データ入力。データは、SCLK の立下がりエッジで有効である必要があります。
10	SDO	シリアル・データ出力。リードバック・モードでシリアル・レジスタからのデータを駆動するときに使います。図 4 と 図 5 を参照してください。
11	DVDD	デジタル電源。電圧範囲は 2.7 V~5.5 V。
12, 17	DGND	デジタル・グラウンド。
13	LDAC	ロード DAC ロジック入力(アクティブ・ロー・レベル)。DAC レジスタの更新に使われ、更新されると DAC 出力が変化します。このピンをロー・レベルに固定すると、アドレス指定された DAC データ・レジスタがSYNCの立上がりエッジで更新されます。書き込みサイクルでLDACをハイ・レベルにすると、DAC 入力レジスタが更新されますが、DAC 出力の更新はLDACの立下がりエッジまで待たされます(図 3 参照)。このモードを使用すると、すべてのアナログ出力を同時に更新することができます。LDACピンは解放のままにしないでください。
14	CLEAR	アクティブ・ハイのエッジ検出入力。このピンをアサートすると、出力電流と出力電圧が予め設定したクリア・コード・ビット設定値に設定されます。クリアできるようにイネーブルされたチャンネルのみがクリアされます。詳細については、デバイス機能のセクションを参照してください。CLEARがアクティブのとき、DAC出力レジスタへの書き込みはできません。

ピン番号	記号	説明
15	ALERT	アクティブ・ハイの出力。予め設定しておいた時間の間インターフェース・ピンでSPI動作がなかったときに、このピンがアサートされます。詳細については、デバイス機能のセクションを参照してください。
16	FAULT	アクティブ・ローの出力。電流モードで断線が検出されたとき、電圧モードで短絡が検出されたとき、PEC エラーが検出されたとき、または温度上昇が検出されたとき、このピンがアサートされます(デバイス機能のセクション参照)。オープン・ドレイン出力。
18	RESET	ハードウェア・リセットアクティブ・ロー入力。
19	AV <sub>DD</sub>	正アナログ電源。電圧範囲は 10.8 V~33 V。
20, 25, 28, 30, 50, 52, 55, 60	NC	未接続。このピンは接続しないでください。
21	CHARTA	DAC チャンネル A の HART 入力接続ピン。
22	IGATEA	オプションの外付けパス・トランジスタの接続。DC/DCコンバータを使用するときは、未接続のままにしてください。詳細については、外付けPMOS モードのセクションを参照してください。
23	COMP <sub>DCDC_A</sub>	DC/DC補償コンデンサ。このピンとグラウンドの間に 10 nFのコンデンサを接続します。チャンネルAのDC/DCコンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、コンデンサと直列に、このピンとグラウンドの間に抵抗を接続してください(詳細については、DC/DCコンバータの補償コンデンサのセクションの AI <sub>CC</sub> 電源要求—変化時と デバイス機能の各セクションを参照)。
24	V <sub>BOOST_A</sub>	チャンネルAの電流出力ステージの電源(図 49 参照)。デバイスのDC/DC機能を使うときは、図 56 に示すように接続します。
26	I <sub>OUT_A</sub>	DAC チャンネル A の電流出力ピン。
27, 40, 53	AGND	アナログ回路に対するグラウンド基準ポイント。このピンは 0 V へ接続する必要があります。
29	CHARTB	DAC チャンネル B の HART 入力接続ピン。
31	IGATEB	オプションの外付けパス・トランジスタの接続。DC/DCコンバータを使用するときは、未接続のままにしてください。詳細については、外付けPMOS モードのセクションを参照してください。
32	COMP <sub>DCDC_B</sub>	DC/DC補償コンデンサ。このピンとグラウンドの間に 10 nFのコンデンサを接続します。チャンネルBのDC/DCコンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、コンデンサと直列に、このピンとグラウンドの間に抵抗を接続してください(詳細については、DC/DCコンバータの補償コンデンサのセクションの AI <sub>CC</sub> 電源要求—変化時と デバイス機能の各セクションを参照)。
33	I <sub>OUT_B</sub>	DAC チャンネル B の電流出力ピン。
34	V <sub>BOOST_B</sub>	チャンネルBの電流出力ステージの電源(図 49 参照)。デバイスのDC/DC機能を使うときは、図 56 に示すように接続します。
35	AGND	アナログ回路に対するグラウンド基準ポイント。このピンは 0 V へ接続する必要があります。
36	SW <sub>B</sub>	チャンネルBのDC/DC回路のスイッチング出力。デバイスのDC/DC機能を使うときは、図 56 に示すように接続します。
37	GNDSW <sub>B</sub>	DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。
38	GNDSW <sub>A</sub>	DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。
39	SW <sub>A</sub>	チャンネルAのDC/DC回路のスイッチング出力。デバイスのDC/DC機能を使うときは、図 56 に示すように接続します。
41	SW <sub>D</sub>	チャンネルDのDC/DC回路のスイッチング出力。デバイスのDC/DC機能を使うときは、図 56 に示すように接続します。
42	GNDSW <sub>D</sub>	DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。
43	GNDSW <sub>C</sub>	DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。
44	SW <sub>C</sub>	チャンネルCのDC/DC回路のスイッチング出力。デバイスのDC/DC機能を使うときは、図 56 に示すように接続します。
45	AV <sub>CC</sub>	DC/DC 回路の電源。
46	V <sub>BOOST_C</sub>	チャンネルCの電流出力ステージの電源(図 49 参照)。デバイスのDC/DC機能を使うときは、図 56 に示すように接続します。
47	I <sub>OUT_C</sub>	DAC チャンネル C の電流出力ピン。
48	COMP <sub>DCDC_C</sub>	DC/DC補償コンデンサ。このピンとグラウンドの間に 10 nFのコンデンサを接続します。チャンネルCのDC/DCコンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、コンデンサと直列に、このピンとグラウンドの間に抵抗を接続してください(詳細については、DC/DCコンバータの補償コンデンサのセクションの AI <sub>CC</sub> 電源要求—変化時と デバイス機能の各セクションを参照)。
49	IGATEC	オプションの外付けパス・トランジスタの接続。DC/DCコンバータを使用するときは、未接続のままにしてください。詳細については、外付けPMOS モードのセクションを参照してください。

ピン番号	記号	説明
51	CHARTC	DAC チャンネル C の HART 入力接続ピン。
54	I <sub>OUT_D</sub>	DAC チャンネル D の電流出力ピン。
56	V <sub>BOOST_D</sub>	チャンネル D の電流出力ステージの電源(図 49 参照)。デバイスの DC/DC 機能を使うときは、図 56 に示すように接続します。
57	COMP <sub>DCDC_D</sub>	DC/DC 補償コンデンサ。このピンとグラウンドの間に 10 nF のコンデンサを接続します。チャンネル D の DC/DC コンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、コンデンサと直列に、このピンとグラウンドの間に抵抗を接続してください(詳細については、DC/DC コンバータの補償コンデンサのセクションの AI <sub>CC</sub> 電源要求—変化時と デバイス機能の各セクションを参照)。
58	IGATED	オプションの外付けパス・トランジスタの接続。DC/DC コンバータを使用するときは、未接続のままにしてください。詳細については、外付け PMOS モードのセクションを参照してください。
59	CHARTD	DAC チャンネル D の HART 入力接続ピン。
61	REFIN	外部リファレンス電圧入力。
62	REFOUT	内蔵リファレンス電圧出力。REFOUT と REFGND の間に 0.1 μF のコンデンサを接続することが推奨されます。
63	R <sub>SET_D</sub>	外付けの高精度低ドリフト 15 kΩ 電流設定抵抗をこのピンに接続して、I <sub>OUT_D</sub> の温度ドリフト性能を向上させることができます。デバイス機能のセクションを参照してください。
64	R <sub>SET_C</sub>	外付けの高精度低ドリフト 15 kΩ 電流設定抵抗をこのピンに接続して、I <sub>OUT_C</sub> の温度ドリフト性能を向上させることができます。デバイス機能のセクションを参照してください。
	EPAD	エクスポーズド・パッド。このエクスポーズド・パッドは、AGND に接続するか、または、電氣的に未接続のままにしておくことができます。熱性能強化のために、パッドを銅プレーンへ熱的に接続することが推奨されます。

代表的な性能特性

電流出力

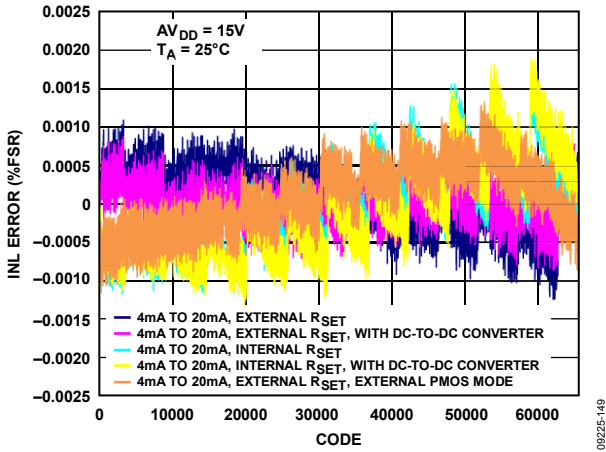


図 8.コード対積分非直線性

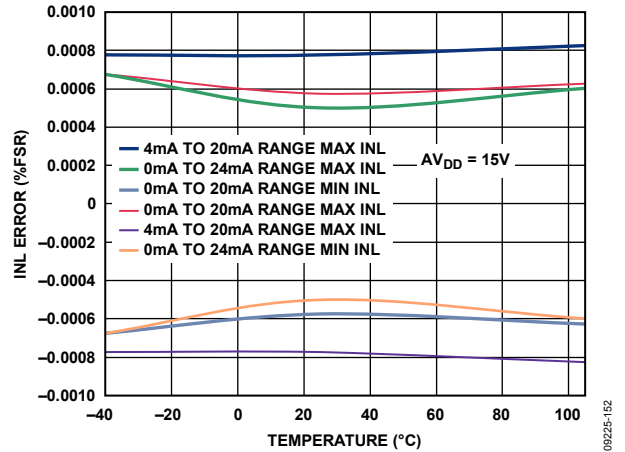


図 11.積分非直線性の温度特性、内蔵 RSET

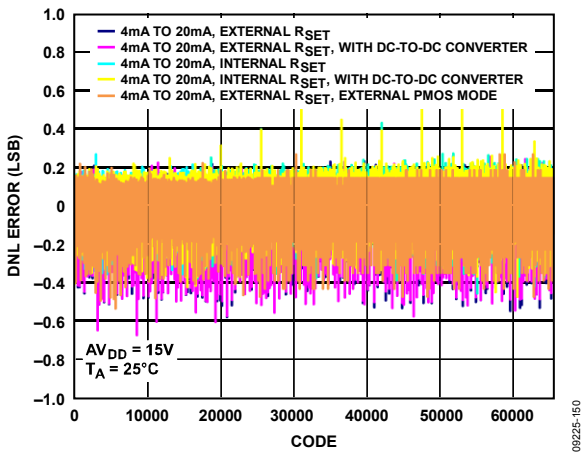


図 9.コード対微分非直線性

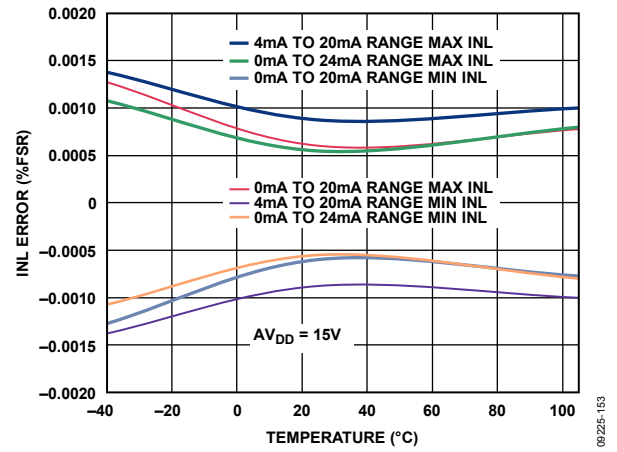


図 12.積分非直線性の温度特性、外付け RSET

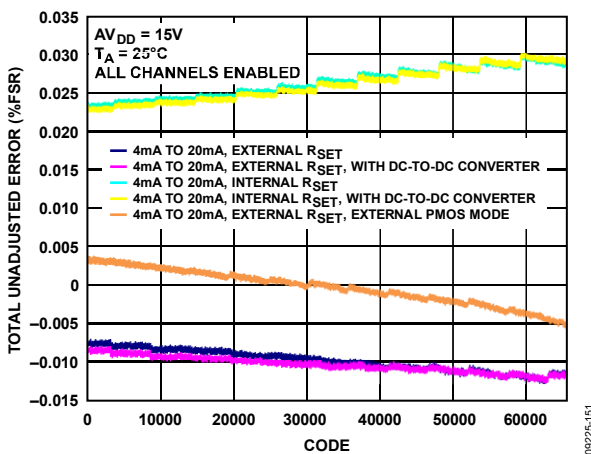


図 10.コード対総合未調整誤差

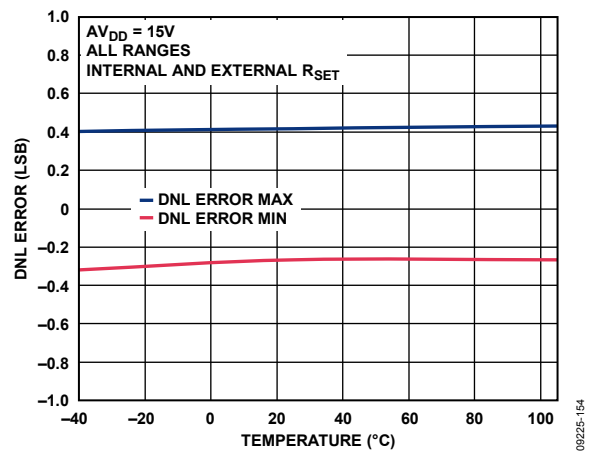


図 13.微分非直線性の温度特性

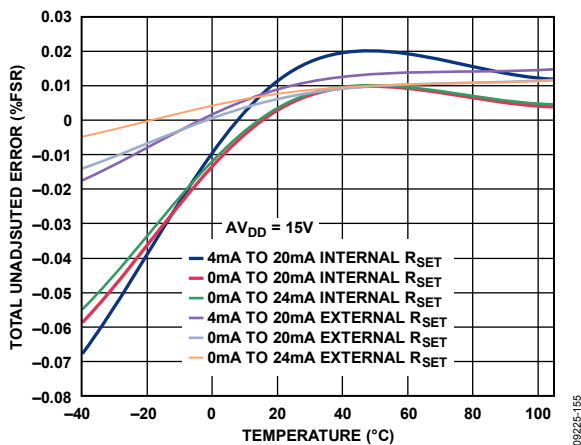


図 14.総合未調整誤差の温度特性

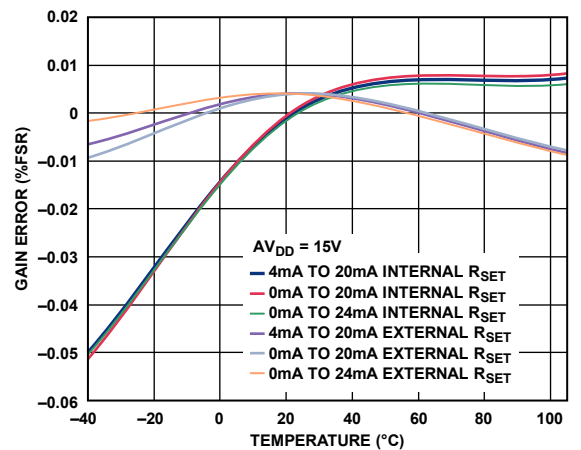


図 17.ゲイン誤差の温度特性

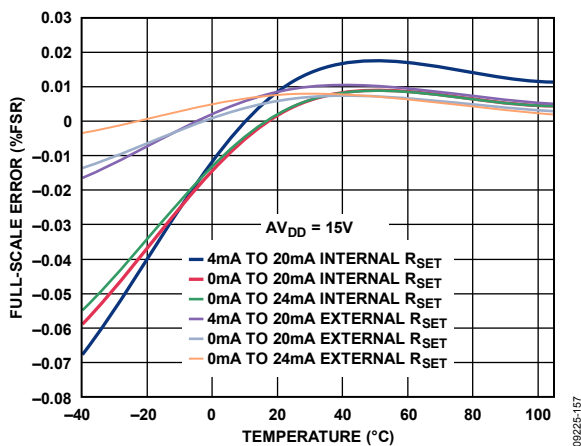


図 15.フルスケール誤差の温度特性

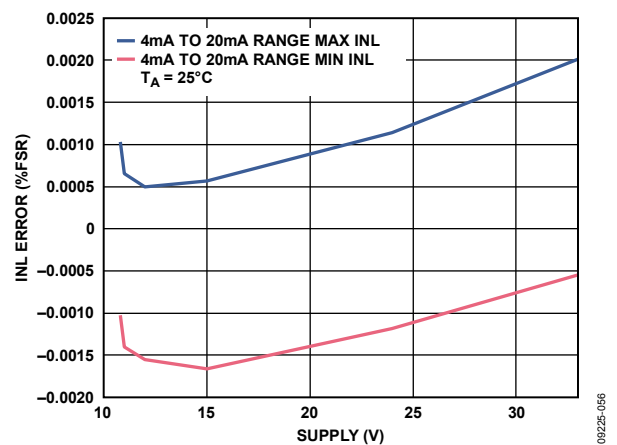


図 18.AV<sub>DD</sub> 対積分非直線性誤差電源電圧を変化、外付け R<sub>SET</sub>

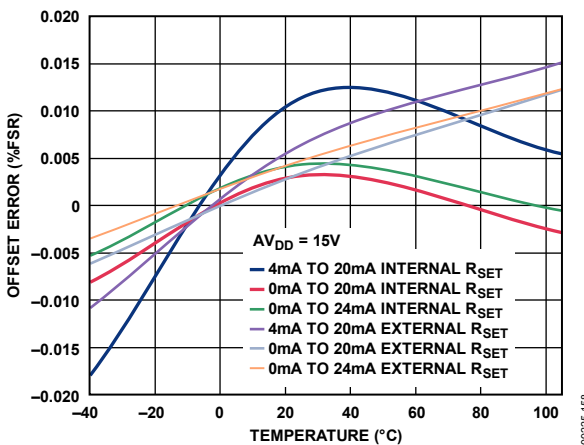


図 16.オフセット誤差の温度特性

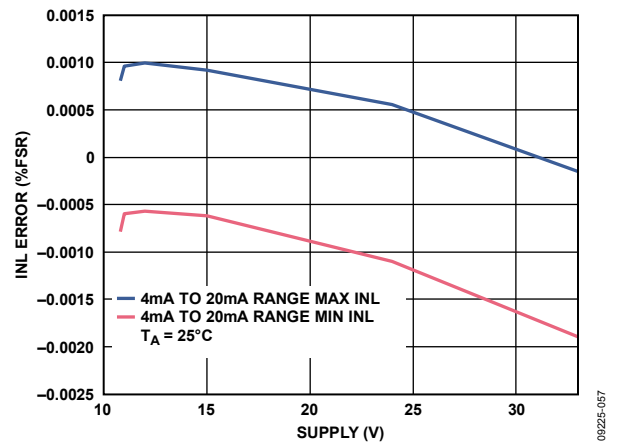


図 19.AV<sub>DD</sub> 対積分非直線性誤差電源電圧を変化、内蔵 R<sub>SET</sub>

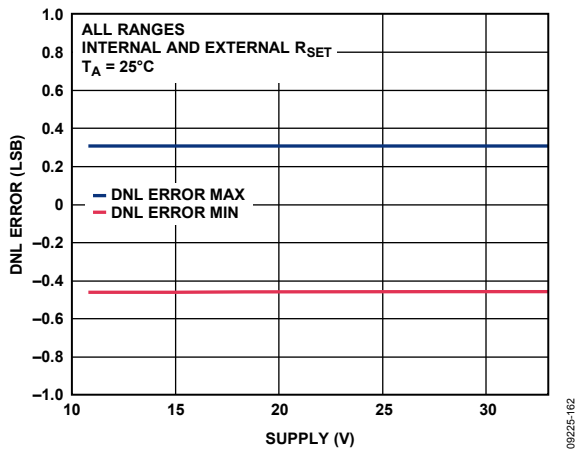


図 20.  $AV_{DD}$  対微分非直線性誤差

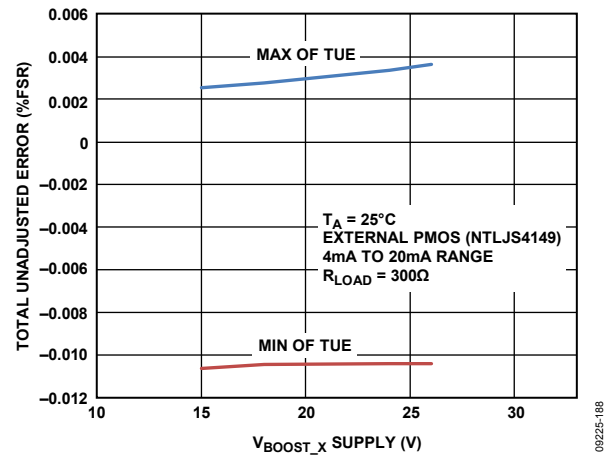


図 23.  $V_{BOOST\_X}$  対総合未調整誤差、外付け PMOS モード

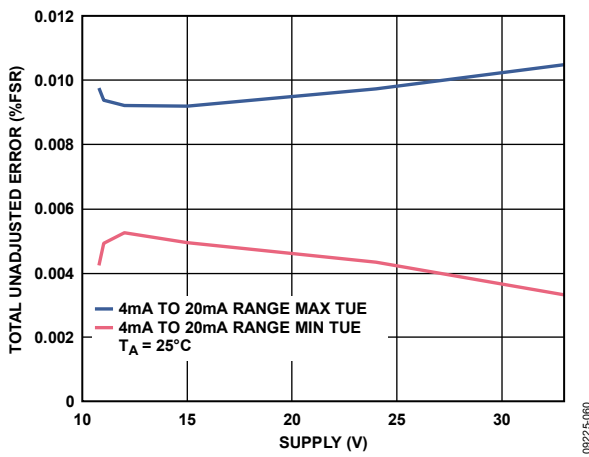


図 21.  $AV_{DD}$  対総合未調整誤差、外付け  $R_{SET}$

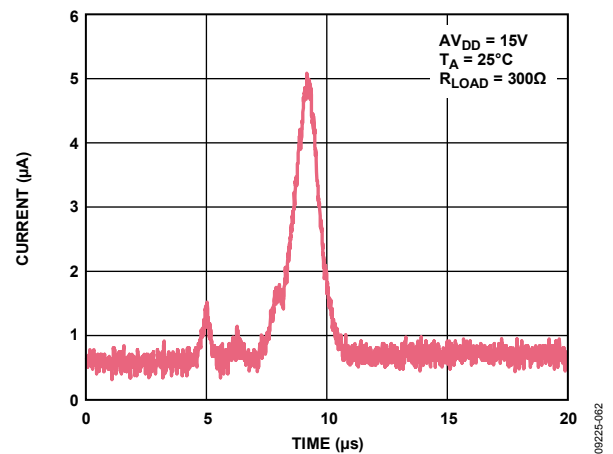


図 24. パワーアップ時の出力電流変化

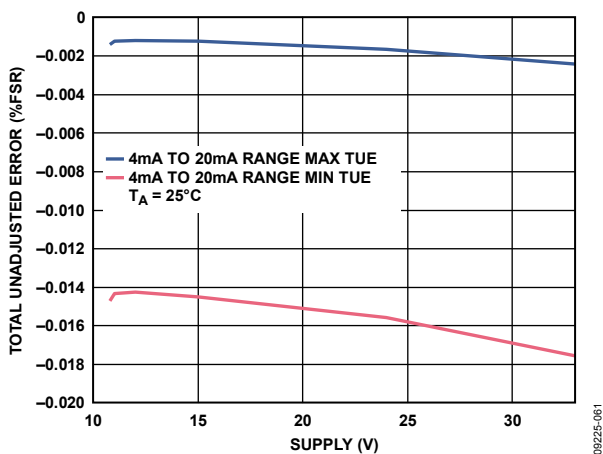


図 22.  $AV_{DD}$  対総合未調整誤差、内蔵  $R_{SET}$

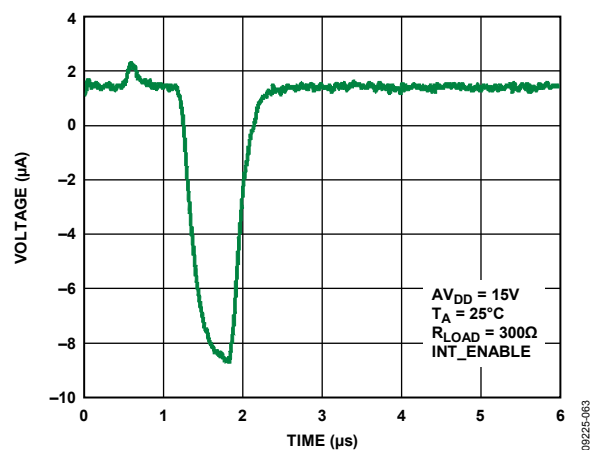


図 25. 出カインーブル時の出力電流変化



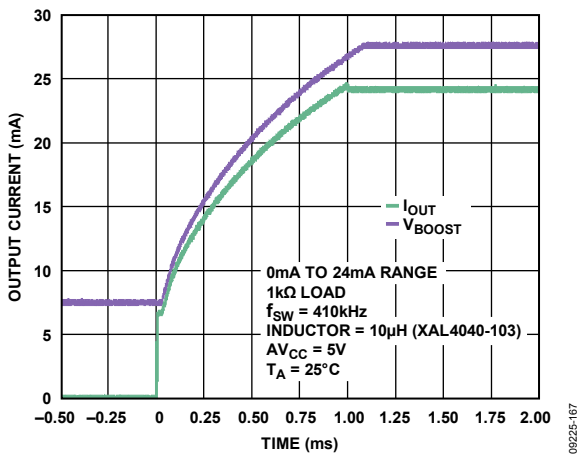


図 26.出力電流と $V_{BOOST\_X}$ セトリング・タイム  
DC/DC コンバータを使用 (図 56 参照)

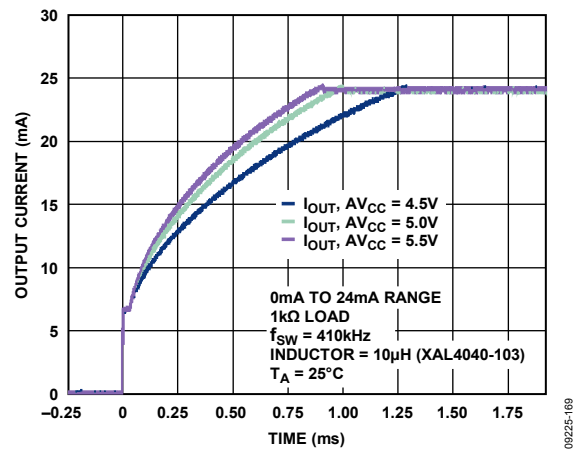


図 28.時間および $AV_{CC}$ 対出力電流セトリング  
DC/DC コンバータ使用(図 56 参照)

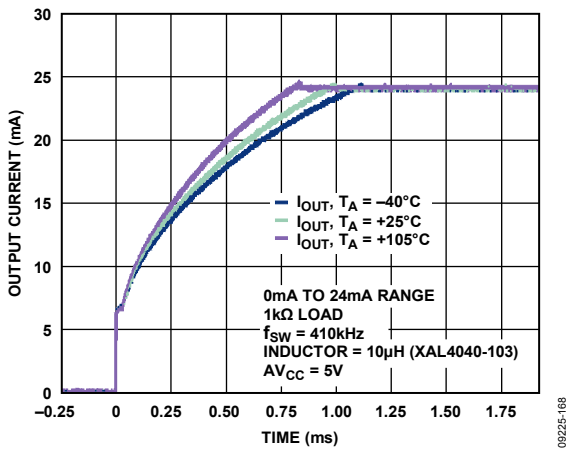


図 27.時間および温度対出力電流セトリング  
DC/DC コンバータ使用(図 56 参照)

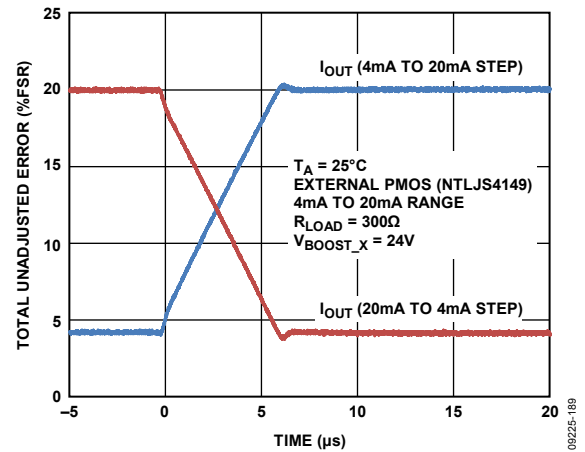


図 29.出力電流セトリング・タイム  
外付け PMOS トランジスタを使用

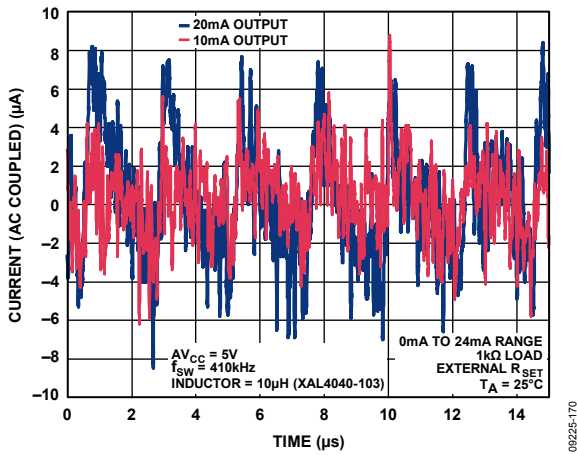


図 30.時間対出力電流DC/DC コンバータ (図 56 参照)

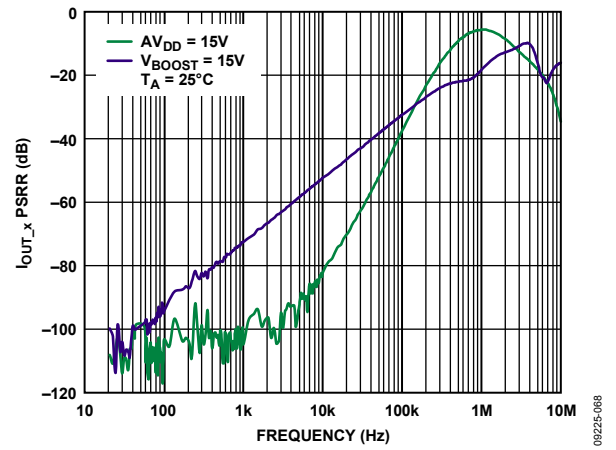


図 32. IOUT,x PSRR の周波数特性

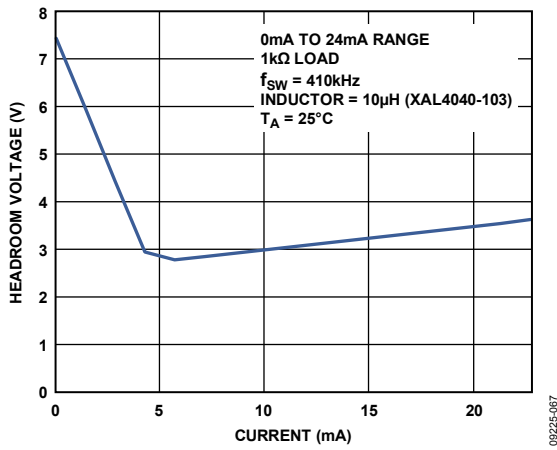


図 31.出力電流対DC/DC コンバータのヘッドルーム (図 56 参照)

DC/DCブロック

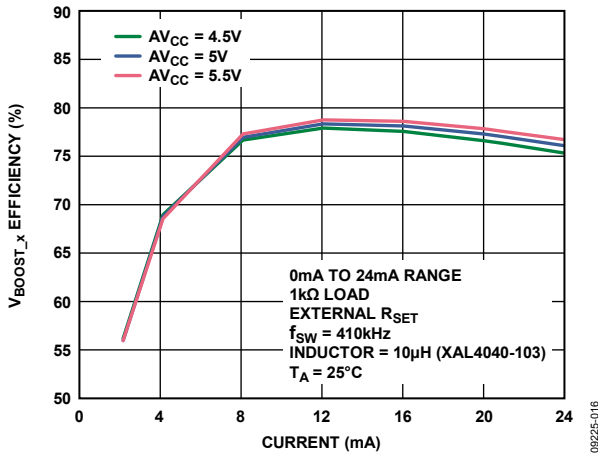


図 33.出力電流対  $V_{\text{BOOST}_X}$ での効率(図 56 参照)

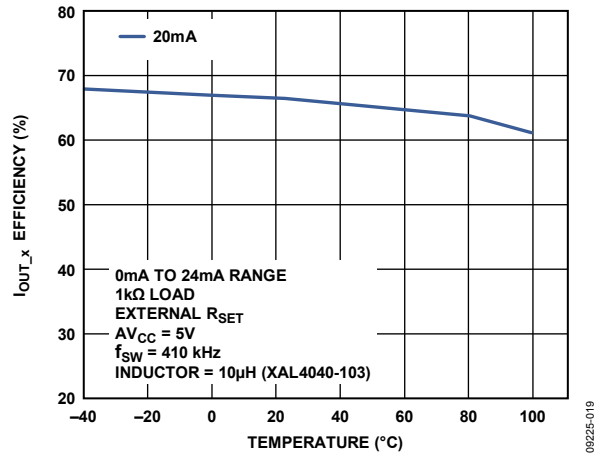


図 36.出力効率の温度特性 ( 図 56 参照)

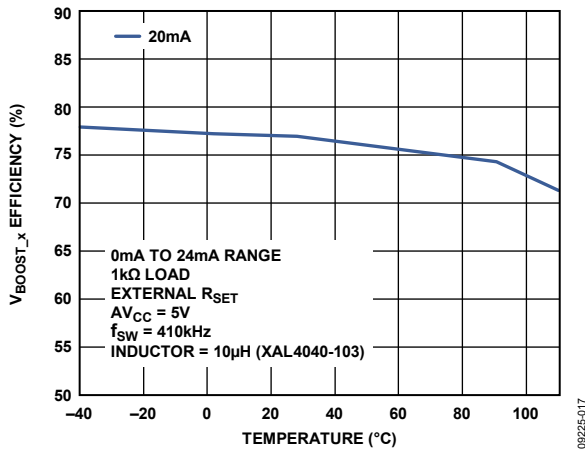


図 34. $V_{\text{BOOST}_X}$ での効率の温度特性 (図 56 参照)

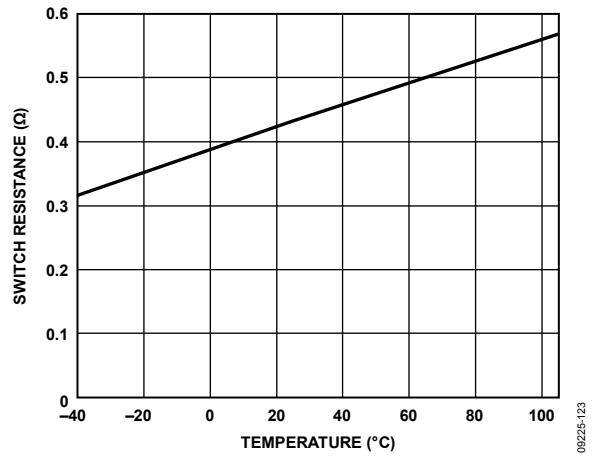


図 37.スイッチ抵抗の温度特性

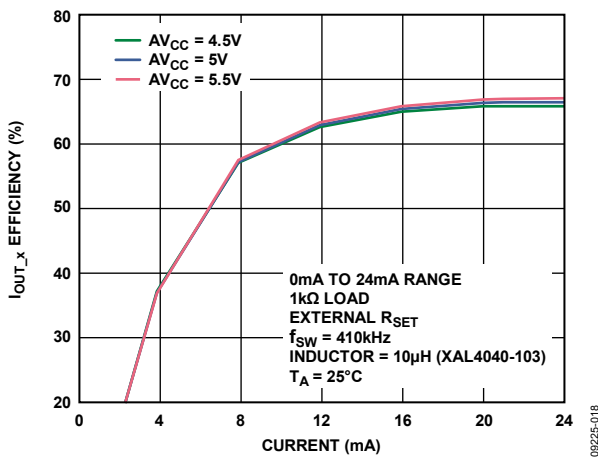


図 35.出力電流対出力効率 (図 56 参照)

リファレンス電圧

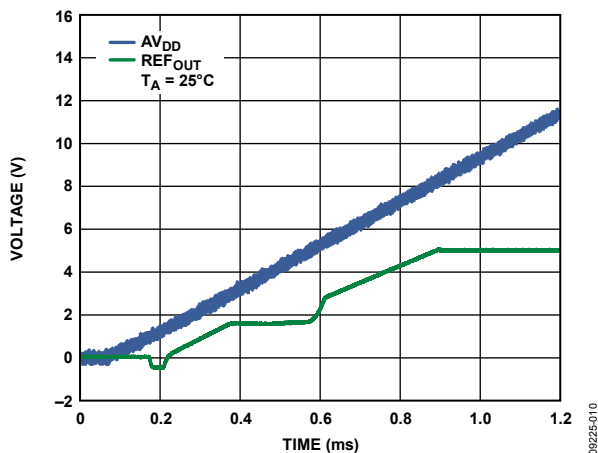


図 38.REFOUT のターンオン過渡電圧

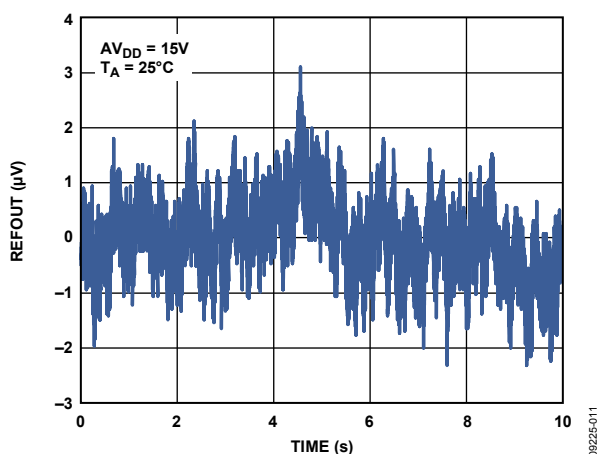


図 39.REFOUT 出カノイズ(0.1 Hz~10 Hz 帯域幅)

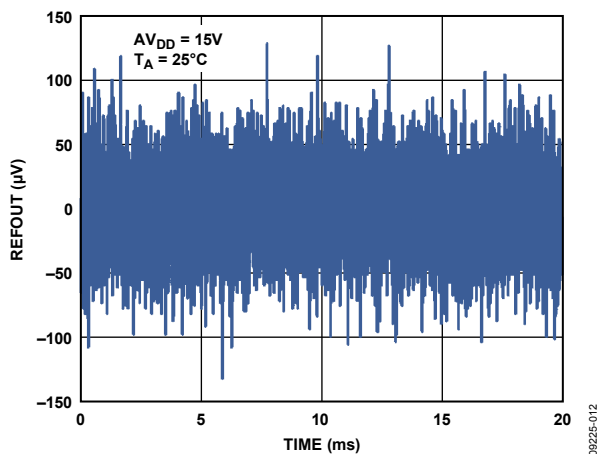


図 40.REFOUT 出カノイズ(100 kHz 帯域幅)

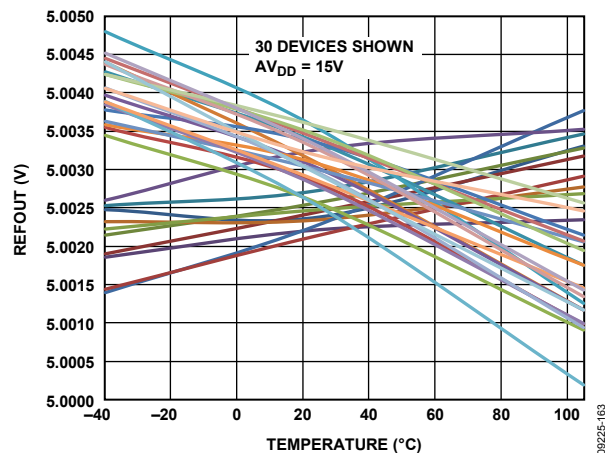


図 41.REFOUT の温度特性 (AD5757 を PCB にハンダ付けする際、パッケージに加わる熱衝撃のためにリファレンス電圧がシフトします。この平均出力電圧シフトは-4 mV です。これらのデバイスの 7 日後の測定では、この出力シフトが初期値側へ 2 mV (typ)戻っていることが示されています。後者のシフトは、ハンダ処理の際に加わったストレスが緩和されるために発生します)

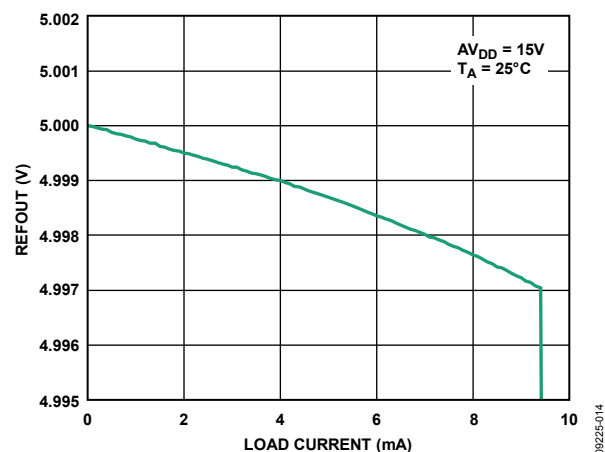


図 42.負荷電流対 REFOUT

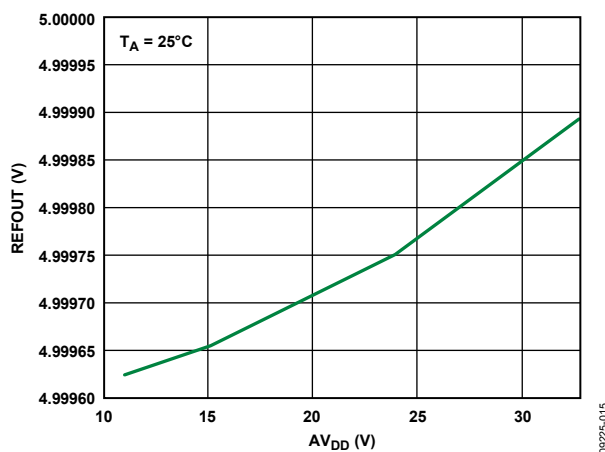


図 43.電源対 REFOUT

全体

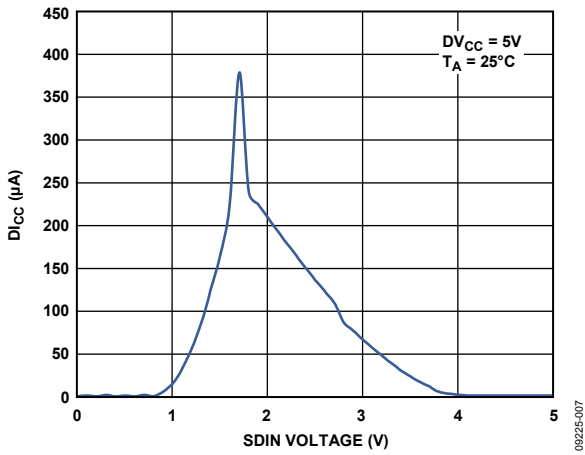


図 44.ロジック入力電圧対  $D_{I_{CC}}$

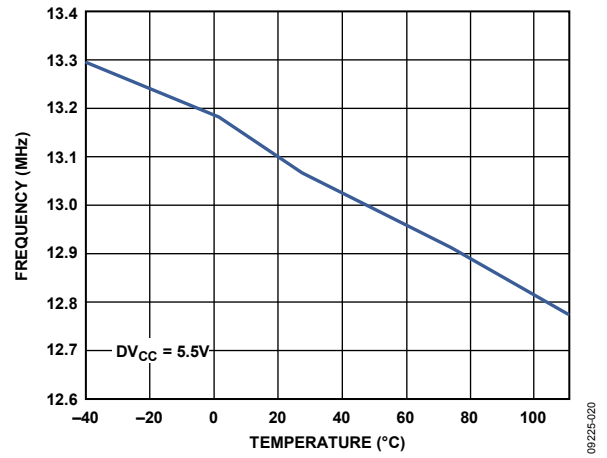


図 46.内蔵発振器周波数の温度特性

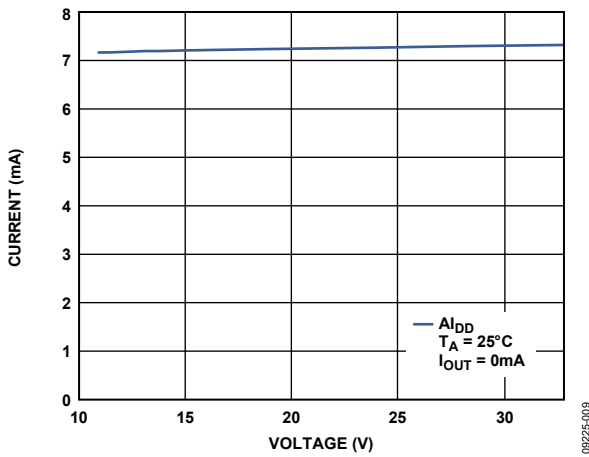


図 45. $A_{V_{DD}}$  対  $A_{I_{DD}}$

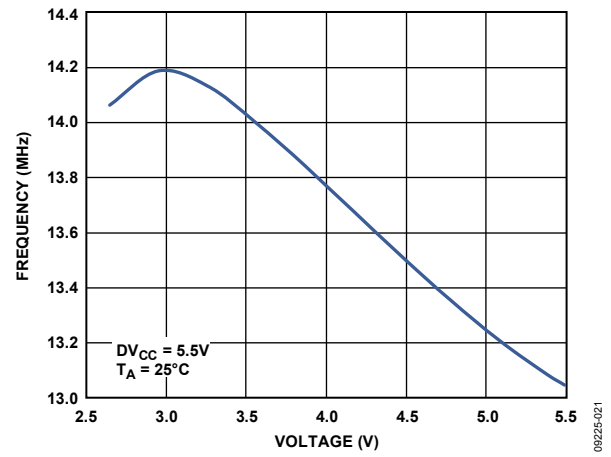


図 47. $DV_{CC}$  電源電圧対内蔵発振器周波数

## 用語

### 相対精度または積分非直線性(INL)

DACの場合、相対精度すなわち積分非直線性は、DAC伝達関数の最適近似直線からの最大乖離(LSB数で表示)を表します。

INL(typ)対コードのプロットを図8に示します。

### 微分非直線性(DNL)

微分非直線性(DNL)は、隣接する2つのコードの間における測定された変化と理論的な1LSB変化との差を表します。最大±1LSBの微分非直線性の仕様は、単調性を保証するものです。このDACはデザインにより単調性を保証しています。DNL(typ)対コードのプロットを図9に示します。

### 単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DACは単調であるといえます。AD5757は全動作温度範囲で単調です。

### オフセット誤差

オフセット誤差はすべてのDACレジスタに0x0000をロードしたときの、理論ゼロスケール出力からのアナログ出力の乖離を表します。

### ゲイン誤差

DACのスパン誤差を表します。理論DAC伝達特性傾斜からの変位を表し、DAC出力の%FSRで表示されます。

### ゲインTC

ゲイン誤差の温度変化を表します。ppmFSR/°Cで表されます。

### フルスケール誤差

フルスケール誤差は、フルスケール・コードをDACレジスタにロードしたときの出力誤差として測定されます。理論的には出力はフルスケール-1LSBである必要があります。フルスケール誤差はフルスケール範囲のパーセント値(%FSR)で表します。

### フルスケールTC

フルスケールTCは、温度変化に対するフルスケール誤差の変化を意味し、ppmFSR/°Cで表されます。

### 総合未調整誤差

総合未調整誤差(TUE)は、INL誤差、オフセット誤差、ゲイン誤差、温度、時間などの種々の誤差をすべて考慮した出力誤差を表し、%FSRで表されます。

### DCクロストーク

別のDAC出力での出力変化に起因する1つのDACの出力レベルでのDC変化。ミッドスケールを出力する1つのDACをモニタしながら、別のDAC上でのフルスケール出力変化を使って測定します。

### 電流ループ・コンプライアンス電圧

出力電流と設定値が一致しているときの  $I_{OUT\_x}$  ピンの最大電圧。

### リファレンス電圧の熱ヒステリシス

+25°Cで測定した出力電圧と、+25°C→-40°C→+105°C→+25°Cの温度サイクルを加えた後に+25°Cで測定した出力電圧との差で表します。このヒステリシスは最初と2回目の温度サイクルに対して規定され、ppmで表されます。

### パワーオン・グリッチ・エネルギー

AD5757がパワーオンするときにアナログ出力に混入するインパルスで表します。グリッチの面積を表す単位nV-secで表わされます(図24参照)。

### 電源除去比(PSRR)

PSRRは、電源電圧変化のDAC出力に対する影響を表します。

### リファレンスのTC

温度変化に対するリファレンス出力電圧の変化を意味し、ppm/°Cで表されます。

### ライン・レギュレーション

電源電圧の規定された変化によるリファレンス出力電圧の変化を意味し、ppm/Vで表されます。

### 負荷レギュレーション

負荷電流の規定された変化による出力電圧の変化を意味し、ppm/mAで表わされます。

### DC/DCコンバータ・ヘッドルーム

電流出力が必要とされる電圧とDC/DCコンバータから出力される電圧との差を意味します。図31を参照してください。

### 出力効率

$$\frac{I_{OUT}^2 \times R_{LOAD}}{AV_{CC} \times AI_{CC}}$$

チャンネルの負荷へ供給される電力対チャンネルのDC/DC入力へ供給される電力として定義されます。

### $V_{BOOST\_x}$ での効率

$$\frac{I_{OUT} \times V_{BOOST\_x}}{AV_{CC} \times AI_{CC}}$$

チャンネルの  $V_{BOOST\_x}$  電源へ供給される電力対チャンネルのDC/DC入力へ供給される電力として定義されます。 $V_{BOOST\_x}$  静止電流は、DC/DCコンバータ損失の一部と見なされます。

## 動作原理

AD5757 は、工業用プロセス制御アプリケーションの要求を満たすようにデザインされた、デジタル値を電流ループ出力に変換する高精度クワッド・コンバータです。電流ループ信号を発生する、高精度フル統合低価格のシングルチップ・ソリューションです。電流範囲は、0 mA~20 mA、0 mA~24 mA、4 mA~20 mA です。DAC 出力構成はコントロール・レジスタを使って選択することができます。

内蔵のダイナミック消費電力制御機能により、電流モードでのパッケージ消費電力が最小になります。

### DACアーキテクチャ

AD5757 のDACコアのアーキテクチャは、2 つの一致したDACセクションから構成されています。簡略化した回路図を 図 48 に示します。16 ビット・データ・ワードの上位 4 ビットはデコードされて、15 個のスイッチ(E1~E15)を駆動します。これらの各スイッチは、15 個の一致した抵抗の 1 つをグラウンドまたはリファレンス・バッファ出力に接続します。データ・ワードの残りの 12 ビットは、12 ビット電圧モードR-2Rラダー回路のスイッチ(S0~S11)を駆動します。

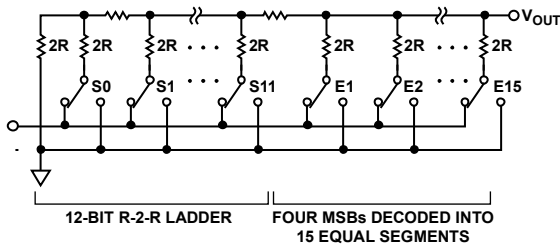


図 48. DAC のラダー構造

DAC コアの電圧出力は電流に変換されます(図 49)。次に、アプリケーションから電流源出力として見えるように、電源レールにミラーされます。電流出力はVBOOST\_xから供給されます。

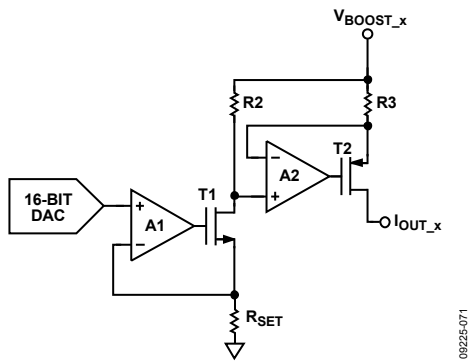


図 49. 電圧/電流変換回路

### リファレンス電圧バッファ

AD5757 は、外付けまたは内蔵のリファレンス電圧で動作することができます。リファレンス入力では、規定の性能に対して 5 V のリファレンス電圧が必要です。この入力電圧はバッファされた後に DAC へ供給されます。

### AD5757 のパワーオン状態

AD5757 がパワーアップすると、IOUT\_x ピンはスリー・ステート・モードになります。

デバイスのパワーオンまたはデバイスのリセット後に、100 μs 以上待った後にデバイスに書込みを行って、内部キャリブレーションを行う時間を確保することが推奨されます。

### シリアル・インターフェース

AD5757 は、最大 30 MHz のクロック・レートで動作し、かつ SPI、QSPI、MICROWIRE、DSP の各規格と互換性を持つ多機能の 3 線式シリアル・インターフェースを介して制御されます。データ・コーディングは常にストレート・バイナリです。

### 入力シフトレジスタ

入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。データは SCLK の立下がりエッジで入力されます。

パケット・エラー・チェック PEC (デバイス機能のセクション参照)をイネーブルする場合、追加の 8 ビットをAD5757 へ書込んで、32 ビット・シリアル・インターフェースにする必要があります。

DAC 出力の更新には個別更新とすべての DAC の同時更新の 2 つの方法があります。

### DACの個別更新

このモードでは、データをDACデータ・レジスタへ入力中にLDACをロー・レベルにします。アドレス指定されたDAC出力は、SYNCの立上がりエッジで更新されます。タイミング情報については、表 3 と 図 3 を参照してください。

### すべてのDACの同時更新

このモードでは、データを DAC データ・レジスタへ入力中にLDACをハイ・レベルにします。LDACをハイ・レベルした後、各チャンネルの DAC データ・レジスタに対する最初の書込みだけが有効になります。LDACがハイ・レベルにある間の後続のすべての書込みは、DAC データ・レジスタにロードされますが無視されます。SYNCをハイ・レベルにした後にLDACをロー・レベルにすることにより、すべての DAC 出力が更新されます。

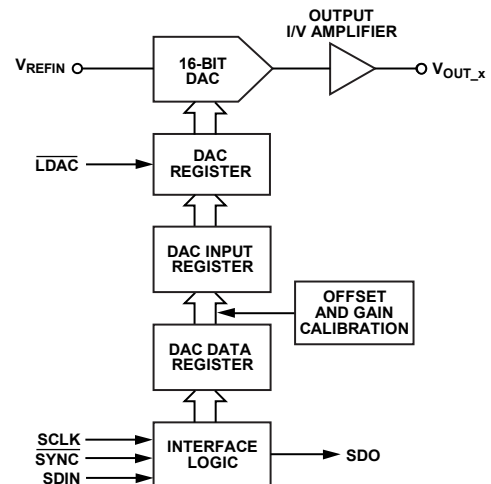


図 50. 1 個の DAC チャンネルについて入力ロード回路を簡略化したシリアル・インターフェース

**伝達関数**

0 mA～20 mA、0 mA～24 mA、4 mA～20 mA の電流出力範囲に対して、それぞれの出力電流は次のように表わされます。

$$I_{OUT} = \left[ \frac{20 \text{ mA}}{2^N} \right] \times D$$

$$I_{OUT} = \left[ \frac{24 \text{ mA}}{2^N} \right] \times D$$

$$I_{OUT} = \left[ \frac{16 \text{ mA}}{2^N} \right] \times D + 4 \text{ mA}$$

ここで、

$D$ は、DACにロードされるコードの10進数表示。

$N$ はDACの分解能。



## レジスタ

表 6 に、AD5757 のレジスタの概要を示します。

表 6.AD5757 のデータ・レジスタ、コントロール・レジスタ、リードバック・レジスタ

Register	Description
Data	
DAC Data Register (×4)	Used to write a DAC code to each DAC channel. AD5757 data bits = D15 to D0. There are four DAC data registers, one per DAC channel.
Gain Register (×4)	Used to program gain trim, on a per channel basis. AD5757 data bits = D15 to D0. There are four gain registers, one per DAC channel.
Offset Register (×4)	Used to program offset trim, on a per channel basis. AD5757 data bits = D15 to D0. There are four offset registers, one per DAC channel.
Clear Code Register (×4)	Used to program clear code on a per channel basis. AD5757 data bits = D15 to D0. There are four clear code registers, one per DAC channel.
Control	
Main Control Register	Used to configure the part for main operation. Sets functions such as status readback during write, enables output on all channels simultaneously, powers on all dc-to-dc converter blocks simultaneously, and enables and sets conditions of the watchdog timer. See the Device Features section for more details.
Software Register	Has three functions. Used to perform a reset, to toggle the user bit and, as part of the watchdog timer feature, to verify correct data communication operation.
Slew Rate Control Register (×4)	Used to program the slew rate of the output. There are four slew rate control registers, one per channel.
DAC Control Register (×4)	These registers are used to control the following: Set the output range, for example, 4 mA to 20 mA. Set whether an internal/external sense resistor is used. Enable/disable a channel for CLEAR. Enable/disable internal circuitry on a per channel basis. Enable/disable output on a per channel basis. Power on dc-to-dc converters on a per channel basis. There are four DAC control registers, one per DAC channel.
DC-to-DC Control Register	Use to set the dc-to-dc control parameters. Can control dc-to-dc maximum voltage, phase, and frequency.
Readback	
Status Register	This contains any fault information, as well as a user toggle bit.

### 出力の書き込み/イネーブルを行う設定シーケンス

パワーオン状態後のデバイスへの書き込みと設定は、次のシーケンスで行います。

1. 初期パワーオン後にハードウェア・リセットまたはソフトウェア・リセットを行います。
2. DC/DC コンバータ電源ブロックを設定します。DC/DC スイッチング周波数、最大許容出力電圧、4 個の DC/DC チャンネルがクロック駆動される位相を設定します。
3. チャンネルごとに DAC コントロール・レジスタを設定します。出力範囲を選択し、DC/DC コンバータ・ブロックをイネーブルします(DC\_DC ビット)。この時点で、他のコントロール・ビットを設定することができます。INT\_ENABLE ビットをセットしますが、出力イネーブル・ビット(OUTEN)はセットしません。
4. DAC データ・レジスタにコードを書込みます。これにより内部でフル DAC キャリブレーションが実行されます。出力グリッチを小さくするため、最小 200  $\mu$ s 待った後にステップ 5 へ進みます。
5. 再度 DAC コントロール・レジスタへ書き込みを行って、出力をイネーブルします(OUTEN ビットをセット)。

このシーケンスのフローチャートを図 51 に示します。

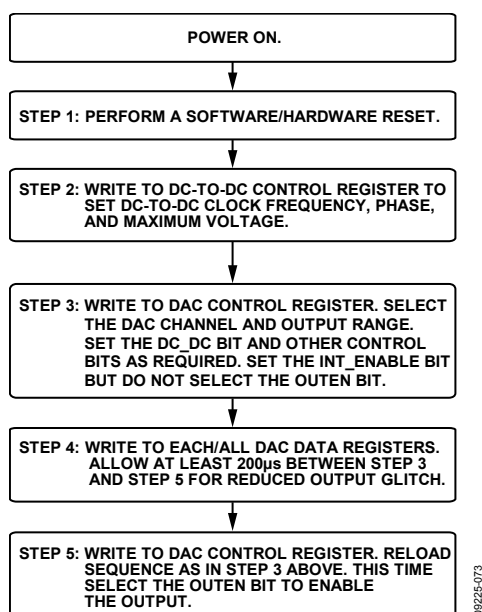


図 51.出力のイネーブルを行う設定シーケンス

### 範囲の変更と再設定

範囲を切り替える際、出力の書き込み/イネーブルを行う設定シーケンスのセクションで説明したシーケンスを使う必要があります。出力をディスエーブルする前に範囲をゼロスケールに設定することが推奨されます。DC/DC スイッチング周波数、最大電圧、位相が既に選択されているため、これらを再設定する必要はありません。このシーケンスのフローチャートを図 52 に示します。

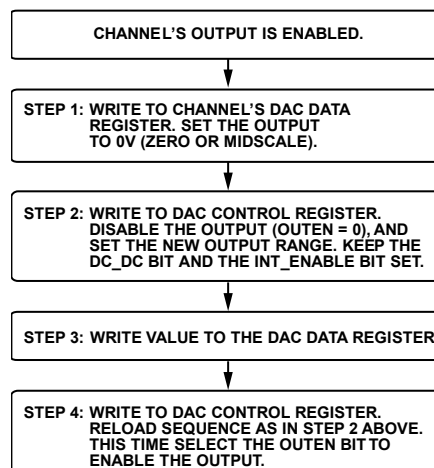


図 52.出力範囲を変更するステップ

## データ・レジスタ

入力レジスタは 24 ビット幅です。PECをイネーブると、入力レジスタは 32 ビット幅になり、後ろの 8 ビットがPEC コードに対応します (PECの詳細については、パケット・エラーのチェックのセクションを参照してください)。データ・レジスタへの書き込みでは、表 7 に示すフォーマットを使う必要があります。

## DACデータ・レジスタ

AD5757 DAC データ・レジスタへの書き込みでは、D15～D0 が DAC データビットとして使用されます。表 9 にレジスタ・フォーマットを、表 8 に、ビット D23～ビット D16 の機能を、それぞれ示します。

表 7. データ・レジスタの書き込み

MSB							LSB	
D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	Data

表 8. 入力レジスタのデコード

Bit	Description			
R/W	Indicates a read from or a write to the addressed register.			
DUT_AD1, DUT_AD0	Used in association with the external pins, AD1 and AD0, to determine which AD5757 device is being addressed by the system controller.			
	DUT_AD1	DUT_AD0	Function	
	0	0	Addresses part with Pin AD1 = 0, Pin AD0 = 0	
	0	1	Addresses part with Pin AD1 = 0, Pin AD0 = 1	
	1	0	Addresses part with Pin AD1 = 1, Pin AD0 = 0	
	1	1	Addresses part with Pin AD1 = 1, Pin AD0 = 1	
DREG2, DREG1, DREG0	Selects whether a data register or a control register is written to. If a control register is selected, a further decode of CREG bits (see Table 16) is required to select the particular control register, as follows.			
	DREG2	DREG1	DREG0	Function
	0	0	0	Write to DAC data register (individual channel write)
	0	1	0	Write to gain register
	0	1	1	Write to gain register (all DACs)
	1	0	0	Write to offset register
	1	0	1	Write to offset register (all DACs)
	1	1	0	Write to clear code register
	1	1	1	Write to a control register
DAC_AD1, DAC_AD0	These bits are used to decode the DAC channel.			
	DAC_AD1	DAC_AD0	DAC Channel/Register Address	
	0	0	DAC A	
	0	1	DAC B	
	1	0	DAC C	
	1	1	DAC D	
	X	X	These are don't cares if they are not relevant to the operation being performed.	

表 9. DAC データ・レジスタの設定

MSB							LSB	
D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	DAC data

## ゲイン・レジスタ

16 ビット・ゲイン・レジスタ(表 10)を使うと、各チャンネルのゲインを 1 LSBステップで調整することができます。これは、DREG[2:0]ビットに 010 を設定することにより行われます。DREG[2:0]ビットに 011 を設定することにより、4 個のすべての DACチャンネルに同じゲイン・コードを同時に設定することが可能です。ゲイン・レジスタのコーディングはストレート・バイナリです(表 11 参照)。ゲイン・レジスタのデフォルト・コードは 0xFFFFです。理論的には、出力の全範囲でゲインを調整することができます。実際には、推奨最大ゲイン調整は精度を維持するため、設定された範囲の約 50% になります。詳細については、オフセットとゲインのデジタル調整のセクションを参照してください。

## オフセット・レジスタ

16 ビット・オフセット・レジスタ(表 12)を使うと、各チャンネルのオフセットを $-32,768$  LSB $\sim$  $+32,767$  LSBで 1 LSBステップごとに調整することができます。これは、DREG[2:0]ビットに 100 を設定することにより行われます。DREG[2:0]ビットに 101 を設定することにより、4 個のすべての DACチャンネルに同じオフセット・コードを同時に設定することが可能です。オフセット・レジスタのコーディングはストレート・バイナリです(表 13 参照)。オフセット・レジスタのデフォルト・コードは 0x8000 で、これによりゼロ・オフセットが出力に設定されます。詳細については、オフセットとゲインのデジタル調整のセクションを参照してください。

## クリア・コード・レジスタ

16 ビット・クリア・コード・レジスタを使うと、各チャンネルのクリア値を設定することができます(表 14)。CLEARピンをアクティブにしたときにクリアされるチャンネルを、チャンネルごとにソフトウェアからイネーブル/ディスエーブルすることができます。デフォルト・クリア・コードは 0x0000 です。詳細については、非同期クリアのセクションを参照してください。

表 10.ゲイン・レジスタの設定

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15 to D0
0	Device address		0	1	0	DAC channel address		Gain adjustment

表 11.ゲイン・レジスタ

Gain Adjustment	G15	G14	G13	G12 to G4	G3	G2	G1	G0
+65,535 LSBs	1	1	1	1	1	1	1	1
+65,534 LSBs	1	1	1	1	1	1	0	0
...	...	...	...	...	...	...	...	...
1 LSB	0	0	0	0	0	0	0	1
0 LSBs	0	0	0	0	0	0	0	0

表 12.オフセット・レジスタの設定

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15 to D0
0	Device address		1	0	0	DAC channel address		Offset adjustment

表 13.オフセット・レジスタのオプション

Offset Adjustment	OF15	OF14	OF13	OF12 to OF4	OF3	OF2	OF1	OF0
+32,767 LSBs	1	1	1	1	1	1	1	1
+32,766 LSBs	1	1	1	1	1	1	0	0
...	...	...	...	...	...	...	...	...
No Adjustment (Default)	1	0	0	0	0	0	0	0
...	...	...	...	...	...	...	...	...
-32,767 LSBs	0	0	0	0	0	0	0	0
-32,768 LSBs	0	0	0	0	0	0	0	0

表 14.クリア・コード・レジスタの設定

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15 to D0
0	Device address		1	1	0	DAC channel address		Clear code

## コントロール・レジスタ

コントロール・レジスタへの書込みでは、表 15 に示すフォーマットを使う必要があります。ビット D23～ビット D16 の設定については、表 8 を参照してください。コントロール・レジスタをアドレス指定するときは、DREG[2:0] ビットに 111 を設定し、次にCREG[2:0] ビットに表 16 に従いそのレジスタの該当するデコード・アドレスを設定します。これらのCREGビットにより、種々のコントロール・レジスタを選択します。

## メイン・コントロール・レジスタ

表 17 と表 18 に、メイン・コントロール・レジスタのオプションを示します。メイン・コントロール・レジスタから制御される機能については、デバイス機能のセクションを参照してください。

表 15. コントロール・レジスタの書込み

MSB								LSB			
D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12 to D0
R/W	DUT_AD1	DUT_AD0	1	1	1	DAC_AD1	DAC_AD0	CREG2	CREG1	CREG0	Data

表 16. レジスタ・アクセスのデコード

CREG2 (D15)	CREG1 (D14)	CREG0 (D13)	Function
0	0	0	Slew rate control register (one per channel)
0	0	1	Main control register
0	1	0	DAC control register (one per channel)
0	1	1	DC-to-dc control register
1	0	0	Software register

表 17. メイン・コントロール・レジスタの書込み

MSB											LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3 to D0
0	0	1	0	STATREAD	EWD	WD1	WD0	X <sup>1</sup>	X <sup>1</sup>	OUTEN_ALL	DCDC_ALL	X <sup>1</sup>

<sup>1</sup> X = don't care

表 18. メイン・コントロール・レジスタの機能

Bit	Description
STATREAD	Enable status readback during a write. See the Device Features section. STATREAD = 1, enable. STATREAD = 0, disable (default).
EWD	Enable watchdog timer. See the Device Features section for more information. EWD = 1, enable watchdog. EWD = 0, disable watchdog (default).
WD1, WD0	Timeout select bits. Used to select the timeout period for the watchdog timer.
	<b>WD1</b> <b>WD0</b> <b>Timeout Period (ms)</b>
	0            0            5
	0            1            10
1            0            100	
1            1            200	
OUTEN_ALL	Enables the output on all four DACs simultaneously. Do not use the OUTEN_ALL bit when using the OUTEN bit in the DAC control register.
DCDC_ALL	When set, powers up the dc-to-dc converter on all four channels simultaneously. To power down the dc-to-dc converters, all channel outputs must first be disabled. Do not use the DCDC_ALL bit when using the DC_DC bit in the DAC control register.

**DACコントロール・レジスタ**

DACコントロール・レジスタを使って各DACチャンネルを設定します。表 19 と 表 20 に、DAC コントロール・レジスタのオプションを示します。

表 19.DAC コントロール・レジスタの書き込み

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	INT_ENABLE	CLR_EN	OUTEN	RSET	DC_DC	X <sup>1</sup>	R2	R1	R0

<sup>1</sup> X = don't care

表 20.DAC コントロール・レジスタの機能

Bit	Description																
INT_ENABLE	Powers up the dc-to-dc converter, DAC, and internal amplifiers for the selected channel. Does not enable the output. Can only be done on a per channel basis. It is recommended to set this bit and allow a >200 μs delay before enabling the output because this results in a reduced output enable glitch. Plots of this glitch can be found in Figure 25.																
CLR_EN	Per channel clear enable bit. Selects if this channel clears when the CLEAR pin is activated. CLR_EN = 1, channel clears when the part is cleared. CLR_EN = 0, channel does not clear when the part is cleared (default).																
OUTEN	Enables/disables the selected output channel. OUTEN = 1, enables the channel. OUTEN = 0, disables the channel (default).																
RSET	Selects an internal or external current sense resistor for the selected DAC channel. RSET = 0, selects the external resistor (default). RSET = 1, selects the internal resistor.																
DC_DC	Powers the dc-to-dc converter on the selected channel. DC_DC = 1, power up the dc-to-dc converter. DC_DC = 0, power down the dc-to-dc converter (default). This allows per channel dc-to-dc converter power-up/power-down. To power down the dc-to-dc converter, the OUTEN and INT_ENABLE bits must also be set to 0. All dc-to-dc converters can also be powered up simultaneously using the DCDC_ALL bit in the main control register.																
R2, R1, R0	Selects the output range to be enabled.																
	<table border="1"> <thead> <tr> <th>R2</th> <th>R1</th> <th>R0</th> <th>Output Range Selected</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>4 mA to 20 mA current range</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0 mA to 20 mA current range</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0 mA to 24 mA current range</td> </tr> </tbody> </table>	R2	R1	R0	Output Range Selected	1	0	0	4 mA to 20 mA current range	1	0	1	0 mA to 20 mA current range	1	1	0	0 mA to 24 mA current range
R2	R1	R0	Output Range Selected														
1	0	0	4 mA to 20 mA current range														
1	0	1	0 mA to 20 mA current range														
1	1	0	0 mA to 24 mA current range														

## ソフトウェア・レジスタ

ソフトウェア・レジスタには 3 つの機能があります。すなわち、デバイスに対するソフトウェア・リセットを実行することができます。ステータス・レジスタのビット D11 をトグルすることができます。ウォッチドッグ機能をイネーブルしたときその一部として使うこともできます。この機能は、MCU と AD5757 の間の通信が失われていないこと、およびデータ・パス・ライン (SDIN、SCLK、SYNC) が正常に動作していることを保証するときに役立ちます。

ウォッチドッグ機能をイネーブルした場合、タイムアウト周期内にソフトウェア・レジスタに 0x195 を書込む必要があります。このコマンドがタイムアウト周期内に受信されないと、ALERT ピンから故障状態が表示されます。この動作は、ウォッチドッグ・タイマ機能をイネーブルした場合にのみ必要です。

## DC/DCコントロール・レジスタ

DC/DC コントロール・レジスタを使うと、DC/DC スイッチング周波数、位相、最大許容 DC/DC 出力電圧を制御することができます。表 23 と表 24 に、DC/DC コントロール・レジスタのオプションを示します。

表 21. ソフトウェア・レジスタの設定

MSB			LSB	
D15	D14	D13	D12	D11 to D0
1	0	0	User program	Reset code/SPI code

表 22. ソフトウェア・レジスタの機能

Bit	Description	
User Program	This bit is mapped to Bit D11 of the status register. When this bit is set to 1, Bit D11 of the status register is set to 1. Likewise, when D12 is set to 0, Bit D11 of the status register is also set to zero. This feature can be used to ensure that the SPI pins are working correctly by writing a known bit value to this register and reading back the corresponding bit from the status register.	
Reset Code/SPI Code	Option	Description
	Reset code SPI code	Writing 0x555 to D[11:0] performs a reset of the AD5757. If the watchdog timer feature is enabled, 0x195 must be written to the software register (D11 to D0) within the programmed timeout period.

表 23. DC/DC コントロール・レジスタの設定

MSB					LSB		
D15	D14	D13	D12 to D7	D6	D5 to D4	D3 to D2	D1 to D0
0	1	1	X <sup>1</sup>	DC-DC Comp	DC-DC phase	DC-DC Freq	DC-DC MaxV

<sup>1</sup> X = don't care

表 24. DC/DC コントロール・レジスタのオプション

Bit	Description
DC-DC Comp	Selects between an internal and external compensation resistor for the dc-to-dc converter. See the DC-to-DC Converter Compensation Capacitors and AI <sub>CC</sub> Supply Requirements—Slewing sections in the Device Features section for more information. 0 = selects the internal 150 kΩ compensation resistor (default). 1 = bypasses the internal compensation resistor for the dc-to-dc converter. In this mode, an external dc-to-dc compensation resistor must be used; this is placed at the COMP <sub>DCDC_x</sub> pin in series with the 10 nF dc-to-dc compensation capacitor to ground. Typically, a ~50 kΩ resistor is recommended.
DC-DC Phase	User programmable dc-to-dc converter phase (between channels). 00 = all dc-to-dc converters clock on the same edge (default). 01 = Channel A and Channel B clock on the same edge, Channel C and Channel D clock on opposite edges. 10 = Channel A and Channel C clock on the same edge, Channel B and Channel D clock on opposite edges. 11 = Channel A, Channel B, Channel C, and Channel D clock 90° out of phase from each other.
DC-DC Freq	DC-to-dc switching frequency; these are divided down from the internal 13 MHz oscillator (see Figure 46 and Figure 47). 00 = 250 ± 10% kHz. 01 = 410 ± 10% kHz (default). 10 = 650 ± 10% kHz.
DC-DC MaxV	Maximum allowed V <sub>BOOST_x</sub> voltage supplied by the dc-to-dc converter. 00 = 23 V + 1 V/−1.5 V (default). 01 = 24.5 V ± 1 V. 10 = 27 V ± 1 V. 11 = 29.5 V ± 1 V.

**スルーレート制御・レジスタ**

このレジスタを使って、選択したDACチャンネルのスルーレート制御を設定します。スルーレート制御はイネーブル/ディスエーブルされ、チャンネルごとに設定されます。詳細については、表 25 のセクションと スルーレートのデジタル制御 のセクションを参照してください。

**リードバック動作**

シリアル入力レジスタへの書込みで、 $R/\overline{W}$ ビット= 1 を設定すると、リードバック・モードが開始されます。リードバック動作に関するビットについては 表 26 を参照してください。DUT\_AD1 ビットとDUT\_AD0 ビットをビットRD[4: 0]と組み合わせることで、読出すレジスタを選択します。書込みシーケンス内の残りのデータビットは無視されます。次のSPI転送時(図 4 参照)にSDOに出力されるデータに、前にアドレス指定したレジスタのデータが含まれています。この 2 番目のSPI転送は、3 番目のデータ転送でさらに別のレジスタを読出す要求であるか、またはNOPコマンドである必要があります。DUT\_AD[1:0] = 00 に対するNOPコマンドは 0x1CE000 で、他のDUT アドレスに対しては、ビットD22 とビットD21 が対応してセットされます。

**リードバックの例**

AD5757 のチャンネル A のデバイス 1 のゲイン・レジスタをリードバックするときは、次のシーケンスに従います。

1. 0xA80000 を AD5757 入力レジスタへ書込みます。これにより、AD5757 デバイス・アドレス 1 が読出しモードに設定され、チャンネル A のゲイン・レジスタが選択されます。全データビット D15~D0 が無視されます。
2. 別の読出しコマンドまたは NOP コマンド(0x3CE000)が後ろに続きます。このコマンドで、チャンネル A ゲイン・レジスタのデータが SDO ラインに出力されます。

表 25.スルーレート制御・レジスタの設定

D15	D14	D13	D12	D11 to D7	D6 to D3	D2 to D0
0	0	0	SREN	X <sup>1</sup>	SR_CLOCK	SR_STEP

<sup>1</sup> X = don't care

表 26.読出し動作での入力シフトレジスタ値

D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
$R/\overline{W}$	DUT_AD1	DUT_AD0	RD4	RD3	RD2	RD1	RD0	X <sup>1</sup>

<sup>1</sup> X = don't care

表 27.読出しアドレスのデコーディング

RD4	RD3	RD2	RD1	RD0	Function
0	0	0	0	0	Read DAC A data register
0	0	0	0	1	Read DAC B data register
0	0	0	1	0	Read DAC C data register
0	0	0	1	1	Read DAC D data register
0	0	1	0	0	Read DAC A control register
0	0	1	0	1	Read DAC B control register
0	0	1	1	0	Read DAC C control register
0	0	1	1	1	Read DAC D control register
0	1	0	0	0	Read DAC A gain register
0	1	0	0	1	Read DAC B gain register
0	1	0	1	0	Read DAC C gain register
0	1	0	1	1	Read DAC D gain register
0	1	1	0	0	Read DACA offset register
0	1	1	0	1	Read DAC B offset register
0	1	1	1	0	Read DAC C offset register
0	1	1	1	1	Read DAC D offset register
1	0	0	0	0	Clear DAC A code register
1	0	0	0	1	Clear DAC B code register
1	0	0	1	0	Clear DAC C code register
1	0	0	1	1	Clear DAC D code register
1	0	1	0	0	DAC A slew rate control register
1	0	1	0	1	DAC B slew rate control register
1	0	1	1	0	DAC C slew rate control register
1	0	1	1	1	DAC D slew rate control register
1	1	0	0	0	Read status register
1	1	0	0	1	Read main control register
1	1	0	1	0	Read dc-to-dc control register



## ステータス・レジスタ

ステータス・レジスタは読み出し専用レジスタです。このレジスタには、故障情報、ランプ・アクティブ・ビット、ユーザ・トグル・ビットが格納されています。メイン・コントロール・レジスタの STATREAD ビットがセットされると、ステータス・

レジスタ値を各書き込みシーケンスで SDO ピンからリードバックすることができます。あるいは、STATREAD ビットをセットしない場合、ステータス・レジスタを通常のリードバック動作を使って読むことができます。

表 28.ステータス・レジスタのデコーディング

MSB													LSB		
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
DC-DCD	DC-DCC	DC-DCB	DC-DCA	User toggle	PEC error	Ramp active	Over TEMP	X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	I <sub>OUT_D</sub> fault	I <sub>OUT_C</sub> fault	I <sub>OUT_B</sub> fault	I <sub>OUT_A</sub> fault

<sup>1</sup> X = don't care

表 29.ステータス・レジスタのオプション

Bit	Description
DC-DCD	This bit is set on Channel D if the dc-to-dc converter cannot maintain compliance (it may be reaching its V <sub>MAX</sub> voltage). In this case, the I <sub>OUT_D</sub> fault bit is also set. See the DC-to-DC Converter V <sub>MAX</sub> Functionality section for more information on this bit's operation under this condition.
DC-DCC	This bit is set on Channel C if the dc-to-dc converter cannot maintain compliance (it may be reaching its V <sub>MAX</sub> voltage). In this case, the I <sub>OUT_C</sub> fault bit is also set. See the DC-to-DC Converter V <sub>MAX</sub> Functionality section for more information on this bit's operation under this condition.
DC-DCB	This bit is set on Channel B if the dc-to-dc converter cannot maintain compliance (it may be reaching its V <sub>MAX</sub> voltage). In this case, the I <sub>OUT_B</sub> fault bit is also set. See the DC-to-DC Converter V <sub>MAX</sub> Functionality section for more information on this bit's operation under this condition.
DC-DCA	This bit is set on Channel A if the dc-to-dc converter cannot maintain compliance (it may be reaching its V <sub>MAX</sub> voltage). In this case, the I <sub>OUT_A</sub> fault bit is also set. See the DC-to-DC Converter V <sub>MAX</sub> Functionality section for more information on this bit's operation under this condition.
User toggle	User toggle bit. This bit is set or cleared via the software register. This can be used to verify data communications if needed.
PEC Error	Denotes a PEC error on the last data-word received over the SPI interface.
Ramp Active	This bit is set while any one of the output channels is slewing (slew rate control is enabled on at least one channel).
Over TEMP	This bit is set if the AD5757 core temperature exceeds approximately 150°C.
I <sub>OUT_D</sub> Fault	This bit is set if a fault is detected on the I <sub>OUT_D</sub> pin.
I <sub>OUT_C</sub> Fault	This bit is set if a fault is detected on the I <sub>OUT_C</sub> pin.
I <sub>OUT_B</sub> Fault	This bit is set if a fault is detected on the I <sub>OUT_B</sub> pin.
I <sub>OUT_A</sub> Fault	This bit is set if a fault is detected on the I <sub>OUT_A</sub> pin.

## デバイス機能

### 故障出力

AD5757 には FAULT ピンがあります。このアクティブ・ローのオープン・ドレイン出力ピンを使うと、複数の AD5757 デバイスを 1 本のプルアップ抵抗で接続してグローバル故障検出を行うことができます。次に示す故障で FAULT ピンはアクティブになります。

- 断線または不十分な電源電圧のために  $I_{OUT,x}$  の電圧がコンプライアンス範囲を超えようとしている。故障出力を発生する内部回路では、ウィンドウ制限機能を持つコンパレータの使用を回避しています。これを使用すると、実際にエラーが出力されてしまった後に FAULT 出力がアクティブになるためです。その代わりに、出力ステージの内蔵アンプが駆動能力の約 1V 下になったとき、信号を発生します。このため、FAULT 出力はコンプライアンス規定値に到達する少し前にアクティブになります。
- PEC エラーのためにインターフェース・エラーが検出されたとき。パケット・エラーのチェックのセクションを参照してください。
- AD5757 のコア温度が約 150 °C を超えたとき。

ステータス・レジスタの  $I_{OUT,x}$  故障ビット、PEC エラー・ビット、overTEMP ビットと FAULT 出力との組み合わせを使って、FAULT 出力の発生原因となった故障状態が通知されます。

### オフセットとゲインのデジタル調整

各 DAC チャンネルにはゲイン(M)レジスタとオフセット(C)レジスタがあるため、これらを使ってシグナル・チェーン全体のゲイン誤差とオフセット誤差を調整することができます。DAC データ・レジスタからのデータは、M レジスタと C レジスタの値で制御されるデジタル乗算器と加算器で演算されます。キャリブレーションされた DAC データは DAC 入力レジスタに保存されます。

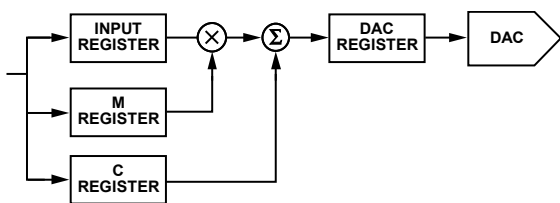


図 53. オフセットとゲインのデジタル制御

各チャンネルの乗算器と加算器のシンボルを図 53 に示してありますが、デバイス内には乗算器と加算器は各 1 個だけ存在し、全 4 チャンネル間で共用されます。これは、複数のチャンネルを 1 回で更新する際に更新速度に関係します(表 3 参照)。

データを M レジスタまたは C レジスタへ書込むごとに、出力は自動的に更新されません。その代わりに、DAC チャンネルに対する次の書込みでこれらの M 値と C 値を使って、新しいキャリブレーションが行われ、チャンネルが自動的に更新されます。

キャリブレーションからの出力データは、DAC 入力レジスタに入力されます。この出力データは、動作原理のセクションに示すように DAC にロードされます。ゲイン・レジスタとオフセット・レジスタの分解能は 16 ビットです。ゲイン/オフセットの正しいキャリブレーション方法は、ゲインをキャリブレーションした後にオフセットをキャリブレーションすることです。

DAC 入力レジスタに書込まれる値(10 進値)は次式で計算することができます。

$$Code_{DACRegister} = D \times \frac{(M+1)}{2^{16}} + C - 2^{15} \quad (1)$$

ここで、

D は DAC チャンネルの入力レジスタにロードされるコード。  
M はゲイン・レジスタ内のコード(デフォルト・コード =  $2^{16} - 1$ )。  
C はオフセット・レジスタ内のコード(デフォルト・コード =  $2^{15}$ )。

### 書込み時のステータス・リードバック

AD5757 には、各書込みシーケンス中にステータス・レジスタ値を読み出す機能があります。この機能は、メイン・コントロール・レジスタの STATREAD ビットを使ってイネーブルします。この機能を使うと、ステータス・レジスタを連続的にモニタして、故障発生時に迅速に対応することができます。

書込みをイネーブルしたときのステータス・リードバックでは、16 ビットのステータス・レジスタ値(表 29 参照)が、図 5 に示すように SDO ピンに出力されます。

AD5757 のパワーアップ時は、この機能はディスエーブルされています。この機能をイネーブルすると、ステータス・レジスタ以外の通常のリードバック機能は使用できなくなります。他のレジスタをリードバックするときは、STATREAD ビットをクリアした後にリードバック・シーケンスを実行してください。このレジスタの読み出し後に STATREAD をハイ・レベルに戻すことができます。

### 非同期クリア

CLEAR はアクティブ・ハイのエッジ検出入力です。この入力を使うと、出力を予め設定した 16 ビット・コードにクリアすることができます。このコードは、チャンネルごとの 16 ビット・クリア・コード・レジスタを使ってユーザが設定します。

クリアするチャンネルは、そのチャンネルの DAC コントロール・レジスタの CLR\_EN ビットを使ってイネーブルして、クリアできるようにしておく必要があります。チャンネルがクリアできるようにイネーブルされていない場合には、出力は CLEAR ピンのレベルに無関係に現在の状態を維持します。

CLEAR 信号がロー・レベルに戻ると、対応する出力は新しい値が設定されるまでクリア状態を維持します。

### パケット・エラーのチェック

ノイズの多い環境でデータが正しく受信されたことを確認するため、AD5757 は 8 ビット(CRC-8)サイクリック冗長性チェックを採用したパケット・エラー・チェック機能のオプションを提供します。AD5757 を制御するデバイスは、次の多項式を使って 8 ビット・フレーム・チェック・シーケンスを発生する必要があります。

$$C(x) = x_8 + x_2 + x_1 + 1$$

この値がデータ・ワードの終わりに追加されて 32 ビットが AD5757 へ送信され、その後に SYNC がハイ・レベルにされます。AD5757 が 32 ビットのデータ・フレームを受け取ると、SYNC がハイ・レベルになったときにエラー・チェックを実行します。チェックにパスすると、データが選択されたレジスタへ書込まれます。チェックに失敗すると、FAULT ピンがロー・レベルになり、ステータス・レジスタの PEC エラー・ビットがセットされます。

ステータス・レジスタを読出すと、 $\overline{\text{FAULT}}$  はハイ・レベルに戻り(他の故障がない場合)、PEC エラー・ビットは自動的にクリアされます。

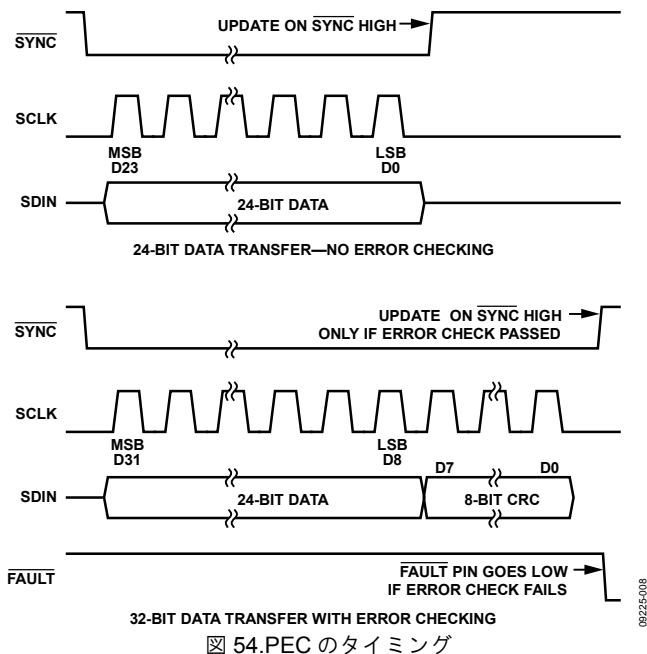


図 54.PEC のタイミング

PEC はデータ・パケットの送信と受信に使うことができます。書き込み中のステータス・リードバックがイネーブルされている場合、書き込み動作中のステータス・リードバックで返される PEC 値は無視する必要があります。書き込み中のステータス・リードバックがディセーブルされている場合、通常のリードバック動作を使用してステータス・レジスタ動作を PEC によりモニタすることができます。

### ウォッチドッグ・タイマ

内蔵ウォッチドッグ・タイマをイネーブルすると、設定されたタイムアウト周期内にソフトウェア・レジスタに 0x195 が書込まれない場合にアラート信号が発生されます。この機能は、MCU と AD5757 の間の通信が失われていないこと、およびデータ・バス・ライン(SDIN、SCLK、 $\overline{\text{SYNC}}$ )が正常に動作していることを保証するときに役立ちます。0x195 がタイムアウト周期内に受信されないと、ALERT ピンから故障状態が表示されます。ALERT 信号はアクティブ・ハイであるため CLEAR ピンに直接接続して、MCU からの通信が失われたとき CLEAR ピンからクリアできるようにすることができます。

ウォッチドッグ・タイマがイネーブルされ、メイン・コントロール・レジスタでタイムアウト周期 (5 ms、10 ms、100 ms、または 200 ms) が設定されます(表 17 と 表 18 参照)。

### 出力アラート

AD5757 には ALERT ピンがあります。このピンはアクティブ・ハイの CMOS 出力です。また、AD5757 はウォッチドッグ・タイマも内蔵しています。これをイネーブルすると、SPI 通信をモニタすることができます。タイムアウト周期内にソフトウェア・レジスタに 0x195 が受信されないと、ALERT ピンがアクティブになります。

### 内蔵リファレンス電圧

AD5757 は 5 V のリファレンス電圧を内蔵しています。初期精度は最大±5 mV で温度ドリフト係数は最大±10 ppm/°C です。このリファレンス電圧は外部でバッファすると、システム内で使用することができます。

### 電流設定外付け抵抗

図 49 に示す  $R_{\text{SET}}$  は、電圧/電流変換回路の一部を構成する内蔵検出抵抗です。温度に対する出力電流の安定性は、 $R_{\text{SET}}$  値の安定性に依存します。温度に対する出力電流の安定性を向上させる 1 つの方法は、内蔵抵抗  $R_1$  の代わりに 15 kΩ の外付け低ドリフト抵抗を AD5757 の  $R_{\text{SET}_x}$  ピンに接続することです。外付け抵抗は、DAC コントロール・レジスタを使って選択することができます(表 19 参照)。

表 1 に、内蔵  $R_{\text{SET}}$  抵抗と外付け 15 kΩ  $R_{\text{SET}}$  抵抗を使用する AD5757 の性能仕様を示します。外付け  $R_{\text{SET}}$  抵抗を使用すると、内蔵  $R_{\text{SET}}$  抵抗使用の場合より性能を向上させることができます。外付け  $R_{\text{SET}}$  抵抗仕様では理想抵抗を仮定しています。実際の性能は使用する抵抗の絶対値と温度係数に依存します。これは、出力ゲイン誤差に直接影響するため、総合未調整誤差も影響を受けます。特定の外部  $R_{\text{SET}}$  抵抗を使った出力のゲイン/TUE 誤差を求めるときは、 $R_{\text{SET}}$  抵抗のパーセント絶対誤差を、外部  $R_{\text{SET}}$  抵抗を使用した AD5757 の、表 1 (% FSR で表示) に示すゲイン/TUE 誤差に加算します。

### HART

AD5757 には各出力チャンネルごとに 1 本、合計 4 本の CHART ピンがあります。HART 信号はこれらのピンに接続することができます。HART 信号は、出力がイネーブルされているとき、対応する電流出力に現れます。表 30 に、CHART ピンでの HART 信号に対する推奨入力電圧を示します。これらの電圧を使用する場合、電流出力は HART 振幅仕様を満たす必要があります。図 55 に、HART 信号の減衰と入力に使う推奨回路を示します。

表 30.HART 出力電流に対する CHART 入力電圧

$R_{\text{SET}}$	CHART Input Voltage	Current Output (HART)
Internal $R_{\text{SET}}$	150 mV p-p	1 mA p-p
External $R_{\text{SET}}$	170 mV p-p	1 mA p-p

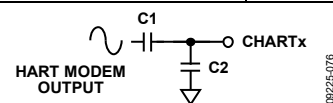


図 55.HART 信号の入力

1.2 kHz と 2.2 kHz の HART 周波数が出力で大幅に減衰させられないようにするためには、最小容量  $C_1 + C_2$  が必要とされます。推奨値は、 $C_1 = 22 \text{ nF}$ 、 $C_2 = 47 \text{ nF}$  です。

HART 変化条件のアナログ・レートを満たすためには、出力スルーレートのデジタル的な制御が必要です。

## スルーレートのデジタル制御

AD5757 のスルーレート制御機能により、出力値が変化するレートを制御することができます。スルーレート制御機能をディセーブルすると、出力値は出力駆動回路と接続された負荷で制限されるレートで変化します。スルーレートを小さくするときは、スルーレート制御機能をイネーブルします。スルーレート制御・レジスタ (表 25 参照) の SREN ビットを使ってこの機能をイネーブルすると、出力は 2 つの値の間で直接変化する代わりに、スルーレート制御・レジスタの 2 つのパラメータで指定されるレートでデジタル的にステップ変化します (表 25 参照)。このパラメータは SR\_CLOCK と SR\_STEP です。SR\_CLOCK はデジタル・スルーが更新されるレートを指定します。例えば、選択された更新レートが 8 kHz の場合、出力は 125  $\mu$ s ごとに更新されます。SR\_STEP はこれと組み合わせて使い、各更新ごとの出力値の変化の大きさを指定します。両パラメータにより出力値の変化レートが指定されます。表 31 と表 32 に、SR\_CLOCK パラメータと SR\_STEP パラメータの値の範囲を示します。

表 31. スルーレート更新クロック・オプション

SR_CLOCK	Update Clock Frequency (Hz) <sup>1</sup>
0000	64 k
0001	32 k
0010	16 k
0011	8 k
0100	4 k
0101	2 k
0110	1 k
0111	500
1000	250
1001	125
1010	64
1011	32
1100	16
1101	8
1110	4
1111	0.5

<sup>1</sup> これらのクロック周波数は内蔵発振器からの 13 MHz を分周したものです。  
表 1、図 46、図 47 を参照してください。

表 32. スルーレート・ステップ・サイズ・オプション

SR_STEP	Step Size (LSBs)
000	1
001	2
010	4
011	16
100	32
101	64
110	128
111	256

次式は、スルーレートをステップ・サイズ、更新クロック周波数、LSB サイズの関数として表します。

$$\text{SlewTime} = \frac{\text{Output Change}}{\text{Step Size} \times \text{Update Clock Frequency} \times \text{LSB Size}}$$

ここで、

Slew Time の単位は sec です。

Output Change の単位は I<sub>OUT,x</sub> に対してアンペアです。

スルーレート制御機能をイネーブルすると、すべての出力変化が設定されたスルーレートで変化します (詳細については、DC/DCコンバータのセトリング・タイムのセクション参照)。例えば、CLEARピンがアサートされた場合、出力は設定されたスルーレートでクリア値まで変化します (クリア・チャンネルをクリアできるようにイネーブルしている場合)。複数のチャンネルがスルー用にイネーブルされている場合は、CLEARピンをアサートするときに注意が必要です。CLEARがアサートされたときチャンネルの 1 つが変化している場合、他のチャンネルはスルーレート制御を受けずにクリア値に向かって直接変化します。与えられた値に対する更新クロック周波数は、すべての出力範囲に対して同じです。ただし、ステップ・サイズは与えられたステップ・サイズ値に対応する出力範囲に応じて変わります。これはLSBサイズが各出力範囲で異なるためです。

## 消費電力制御

AD5757 は DC/DC ブースト・コンバータ回路を使用したダイナミック消費電力制御機能を内蔵しているため、標準的デザインより消費電力を削減することができます。

標準的な電流入力モジュール・デザインでは、負荷抵抗値は 50  $\Omega$  ~ 750  $\Omega$  の範囲とすることができます。出力モジュール・システムは負荷抵抗値の全範囲でコンプライアンス電圧条件を満たすため十分な電圧を供給する必要があります。例えば、4 mA ~ 20 mA ループで 20 mA を駆動する場合、コンプライアンス電圧は 15 V より大きい必要があります。50  $\Omega$  負荷で 20 mA 駆動の場合、要求されるコンプライアンスは 1 V です。

AD5757 回路は、出力電圧を検出して、コンプライアンス条件と小さいヘッドルーム電圧を満たすように、この電圧をレギュレーションします。AD5757 は 1 k $\Omega$  の負荷を介して最大 24 mA を駆動することができます。

## DC/DCコンバータ

AD5757 は 4 個の独立な DC/DC コンバータを内蔵しています。これらを使って、各チャンネルに対する V<sub>BOOST</sub> 電源電圧のダイナミック制御を行います (図 49 参照)。図 56 に、DC/DC 回路に必要とされるディスクリート部品を示します。次のセクションでは、部品の選択とこの回路の動作について説明します。

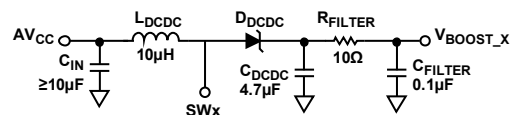


図 56. DC/DC 回路

表 33. 推奨 DC/DC 部品

Symbol	Component	Value	Manufacturer
L <sub>DCDC</sub>	XAL4040-103	10 $\mu$ H	Coilcraft®
C <sub>DCDC</sub>	GRM32ER71H475KA88L	4.7 $\mu$ F	Murata
D <sub>DCDC</sub>	PMEG3010BEA	0.38 V <sub>F</sub>	NXP

C<sub>DCDC</sub> の後ろに 10  $\Omega$ 、100 nF のローパス RC フィルタを接続することが推奨されます。この回路は小さい電力を消費しますが、V<sub>BOOST\_x</sub> 電源のリップルを削減します。

### DC/DCコンバータの動作

内蔵 DC/DC コンバータでは、AD5757 出力チャンネルを駆動する 4.5 V~5.5 V の AV<sub>CC</sub> 入力を昇圧する固定周波数のピーク電流モード制御方式を採用しています。これらの回路は、デューティ・サイクル (typ) が 90% より小さい不連続導通モード (DCM) で動作するようにデザインされています。不連続導通モードとは、スイッチング・サイクルのかなりの時間インダクタ電流がゼロになる動作モードを意味します。DC/DC コンバータは非同期的であるため、外付けショットキー・ダイオードが必要です。

### DC/DCコンバータの出力電圧

チャンネル電流出力をイネーブルすると、コンバータが V<sub>BOOST\_x</sub> 電源を 7.4 V ( $\pm 5\%$ ) または (I<sub>OUT</sub> × R<sub>LOAD</sub> + ヘッドルーム) のいずれか大きい方にレギュレーションします (ヘッドルーム対出力電流のプロットについては 図 31 を参照)。出力をディスエーブルすると、コンバータは V<sub>BOOST\_x</sub> 電源を 7.4 V ( $\pm 5\%$ ) にレギュレーションします。

### DC/DCコンバータのセトリング・タイム

約 1 V (I<sub>OUT</sub> × R<sub>LOAD</sub>) より大きいステップに対するセトリング・タイムは DC/DC コンバータのセトリング・タイムにより支配されます。これに対する例外は、I<sub>OUT\_x</sub> ピンに必要な電圧とコンプライアンス電圧の和が 7.4 V ( $\pm 5\%$ ) を下回るとき発生します。出力セトリング・タイムの代表的なプロットを 図 26 に示します。このプロットは 1 k $\Omega$  負荷に対するものです。小さい負荷のセトリング・タイムほど高速になります。24 mA より小さい電流ステップに対するセトリング・タイムも高速になります。

### DC/DCコンバータ V<sub>MAX</sub> の機能

最大 V<sub>BOOST\_x</sub> 電圧は DC/DC コントロール・レジスタに設定されず (23 V、24.5 V、27 V、または 29.5 V、表 24 参照)。この最大電圧に到達すると、DC/DC コンバータがディスエーブルされるため、V<sub>BOOST\_x</sub> 電圧は約 0.4 V だけ減少することができます。V<sub>BOOST\_x</sub> 電圧が約 0.4 V 減少すると、DC/DC コンバータが再イネーブルされるため、電圧は V<sub>MAX</sub> に戻ることができます (まだ必要とされる場合)。この動作を 図 57 に示します。

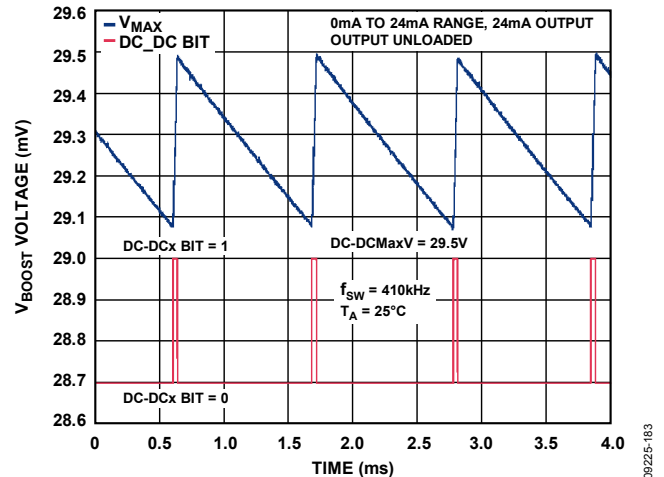
図 57. V<sub>MAX</sub> に到達したときの動作

図 57 に示すように、AD5757 が V<sub>MAX</sub> 値まで上昇したとき、ステータス・レジスタの DC-DCx ビットがアサートされます。電圧が V<sub>MAX</sub> より約 0.4 V 低くなるとこのビットのアサートは解除されます。

### DC/DCコンバータの内蔵スイッチ

AD5757 は 0.425  $\Omega$  のスイッチを内蔵しています。このスイッチの電流は、パルスごとにモニタされて、0.8 A のピーク電流に制限されます。

### DC/DCコンバータのスイッチング周波数と位相

AD5757 DC/DC コンバータのスイッチング周波数は、DC/DC コントロール・レジスタから設定することができます。DC/DC コンバータが異なるクロック・エッジで動作できるように、チャンネルの位相を調整できるようになっています (表 24 参照)。一般的なアプリケーションに対しては、410 kHz 周波数の使用が推奨されます。負荷が軽いとき (低出力電流で低負荷抵抗)、DC/DC コンバータはパルス・スキップ・モードになって、スイッチング消費電力を小さくします。

### DC/DCコンバータのインダクタの選択

4 mA~20 mA の一般的なアプリケーションの場合、10  $\mu$ H のインダクタ (例えば Coilcraft 社の XAL4040-103) をスイッチング周波数 410 kHz で使用すると、4.5 V~5.5 V の AV<sub>CC</sub> 電源で最大 1 k $\Omega$  の負荷抵抗に最大 24 mA を供給することができます。特に最大周囲温度でサチレーションなしにインダクタがピーク電流を処理できることが重要です。インダクタがサチレーション・モードになると、効率が低下します。また、サチレーション時にはインダクタンス値も小さくなるため、DC/DC コンバータ回路は必要な出力電力を供給できなくなります。

### DC/DCコンバータの外付けショットキーの選択

AD5757 には外付けショットキー・ダイオードが必要です。ショットキー・ダイオードが動作中に予想される最大逆方向ブレイクダウンを処理できる定格であること、および整流子の最大ジャンクション温度を超えないことを確認してください。ダイオード平均電流は I<sub>LOAD</sub> 電流にほぼ等しくなります。順方向電圧降下が大きいダイオードでは、効率が低下します。

### DC/DCコンバータの補償コンデンサ

DC/DCコンバータはDCMで動作するため、無補償伝達関数は1極の伝達関数になります。伝達関数の極周波数は、DC/DCコンバータの出力容量、入力電圧、出力電圧、出力負荷により決定されます。AD5757では、レギュレータ・ループの補償に外付けコンデンサと内蔵150kΩ抵抗の組み合わせを使っています。あるいは、DC/DCコントロール・レジスタのDC-DC Compビットをセットして、外付け補償抵抗と補償コンデンサの直列接続を使うこともできます。この場合、約50kΩ抵抗の使用が推奨されます。この利点についての説明は、AI<sub>CC</sub>電源要求—変化時のセクションに記載してあります。一般的なアプリケーションでは、10nF DC/DC補償コンデンサの使用が推奨されます。

### DC/DCコンバータの入力コンデンサと出力コンデンサの選択

出力コンデンサはDC/DCコンバータのリプル電圧に影響を与えるため、チャンネル出力電流が増加する最大スルーレートが間接的に制限されます。リプル電圧はコンデンサの容量と等価直列抵抗(ESR)の組み合わせによって発生します。AD5757の場合、一般的なアプリケーションでは4.7μFのセラミック・コンデンサの使用が推奨されます。大きなコンデンサまたは並列接続のコンデンサにより、スルーレートは犠牲になりますがリプル性能を向上させることができます。また、大きなコンデンサは変化時のAV<sub>CC</sub>電源電流要求に影響を与えます(AI<sub>CC</sub>電源要求—変化時のセクション参照)。DC/DCコンバータ出力のこの容量は、すべての動作条件で3μFより大きい必要があります。

入力コンデンサはDC/DCコンバータに必要とされるダイナミック電流の大部分を供給するため、低ESRの部品である必要があります。AD5757の場合、一般的なアプリケーションでは低ESRの10μFタンタルまたはセラミック・コンデンサの使用が推奨されます。セラミック・コンデンサは、DCバイアス電圧と温度に敏感なため注意深く選択する必要があります。X5RまたはX7R誘電セラミックは、広い動作電圧と温度範囲で安定しているため、これらのコンデンサの使用が望まれます。タンタル・コンデンサを選択する場合は、低ESR値になるよう注意する必要があります。

### AI<sub>CC</sub>電源要求—スタティック

DC/DCコンバータは、次のV<sub>BOOST\_X</sub>電圧を供給するようにデザインされています。

$$V_{BOOST} = I_{OUT} \times R_{LOAD} + Headroom \quad (2)$$

ヘッドルーム対出力電圧のプロットについては、図31を参照してください。これは、固定の負荷と出力電圧の場合、DC/DCコンバータの出力電流は次式で計算できることを意味します。

$$AI_{CC} = \frac{Power\ Out}{Efficiency \times AV_{CC}} = \frac{I_{OUT} \times V_{BOOST}}{\eta_{V_{BOOST}} \times AV_{CC}} \quad (3)$$

ここで、

I<sub>OUT</sub>はアンプ内でのI<sub>OUT\_X</sub>からの出力電流。

η<sub>V<sub>BOOST</sub></sub>はV<sub>BOOST\_X</sub>での効率(図33と図34参照)。

### AI<sub>CC</sub>電源要求—変化時

変化時のAI<sub>CC</sub>電流要求は、DC/DCコンバータの出力容量を充電するために出力電力が増加するので、スタティック動作より大きくなります。図58のセクションで説明した方法によりAV<sub>CC</sub>電源の要求が小さくなりますが、この過渡電流は非常に大きくなる場合があります(AI<sub>CC</sub>電流要求の軽減参照)。AI<sub>CC</sub>電流の供給が十分でないと、AV<sub>CC</sub>電圧が低下します。このAV<sub>CC</sub>低下のために、変化に必要なAI<sub>CC</sub>電流がさらに増えます。これは、AV<sub>CC</sub>の電圧がさらに低下するため(式3参照)、V<sub>BOOST\_X</sub>電圧したがって出力電圧が目標値に到達できないことを意味します。このAV<sub>CC</sub>電圧はすべてのチャンネルに共通であるため、他のチャンネルにも影響を与えます。

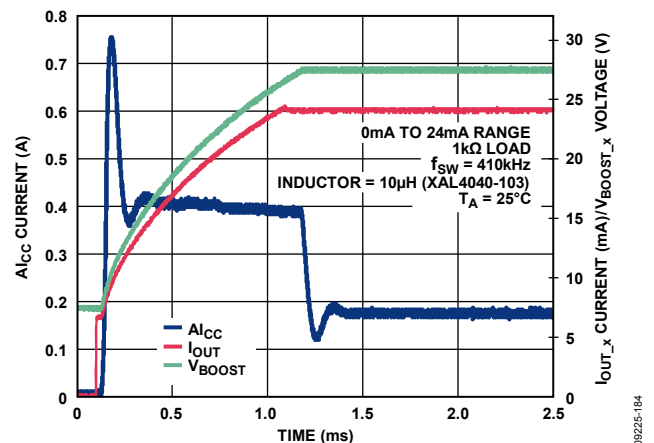


図 58.1kΩ 負荷を流れる 24 mA ステップ変化に対する AI<sub>CC</sub> 電流の時間変化、外付け補償抵抗使用

### AI<sub>CC</sub>電流要求の軽減

AI<sub>CC</sub>電流要求の軽減に使用できる主な方法は2つあります。1つ目は外付け補償抵抗を接続する方法で、2つ目はスルーレート制御を使用する方法です。これらの両方法は組み合わせて使用することができます。

補償抵抗を10nF補償コンデンサと直列にCOMP<sub>DCDC\_X</sub>ピンに接続することができます。51kΩの外付け補償抵抗の使用が推奨されます。この補償により電流出力のスルー・タイムが大きくなりますが、AI<sub>CC</sub>過渡電流要求が軽減されます。図59に、51kΩの補償抵抗を使用した場合の、1kΩ負荷を介した24mAステップに対するAI<sub>CC</sub>電流のプロットを示します。この方法により、小さい負荷を介する電流要求がさらに軽減されます(図60参照)。

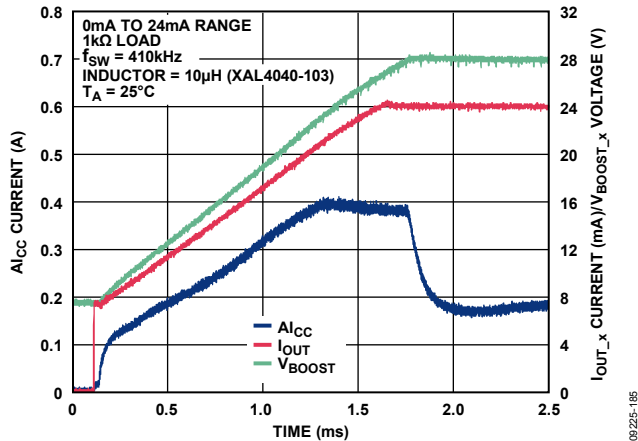


図 59. 1kΩ 負荷を流れる 24 mA ステップ変化に対する AI<sub>CC</sub> 電流の時間変化、51 kΩ 外付け補償抵抗使用

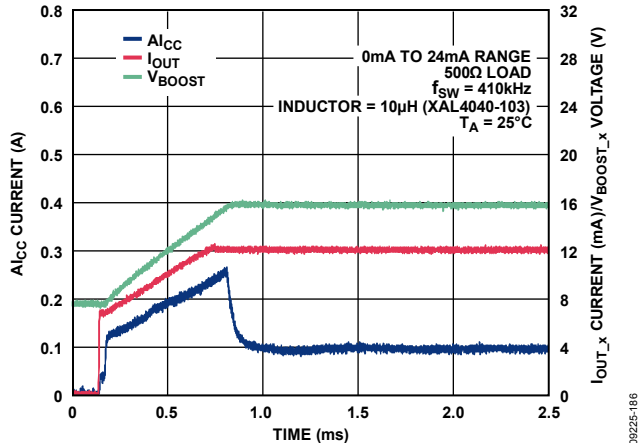


図 60. 500 Ω 負荷を流れる 24 mA ステップ変化に対する AI<sub>CC</sub> 電流の時間変化、51 kΩ 外付け補償抵抗使用

スルーレート制御を使用すると、図 61 に示すように AV<sub>CC</sub> 電源電流要求を大幅に軽減することができます。スルーレート制御を使用する場合、出力は DC/DC コンバータより高速に変化できないことに注意する必要があります。DC/DC コンバータの変化は、大きな負荷(例えば 1 kΩ)を介する大きな電流ほど低速になります。また、このスルーレートは DC/DC コンバータの構成にも依存します。DC/DC コンバータの出力スルーの 2 つの例を 図

59 と 図 60 に示します (V<sub>BOOST</sub> は DC/DC コンバータの出力電圧に対応します)。

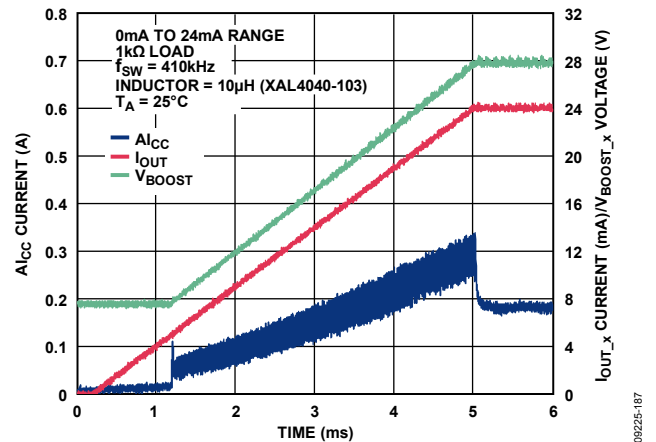


図 61. 1kΩ 負荷を流れる 24 mA ステップ変化に対する AI<sub>CC</sub> 電流の時間変化、スルーレート制御使用

### 外付け PMOS モード

AD5757 は、チャンネルごとに外付け PMOS トランジスタを使用して使うことができます(図 62 参照)。このモードを使って AD5757 の内部消費電力を制限できますが、これによりシステム全体の消費電力は削減されません。ダイナミック電力制御機能を使う際、一般に IGATE 機能は必要ないため、図 62 に固定 V<sub>BOOST\_x</sub> 電源に対するデバイス構成を示します。

この構成では、SW<sub>x</sub> ピンをフローティングのままにし、GNDSW<sub>x</sub> ピンをグラウンドに接続します。V<sub>BOOST\_x</sub> ピンは 7.5 V の最小電源電圧と 33 V の最大電源電圧に接続します。この電源は、駆動に必要な最大負荷に従ってサイズを決めることができます。

IGATE 機能は、外付け PMOS トランジスタのゲートを (V<sub>BOOST\_x</sub> - 5 V) に維持することにより機能します。これは、チャンネル消費電力の大部分がこの外付け PMOS トランジスタで生ずることを意味しています。

外付け PMOS トランジスタは、少なくとも -V<sub>BOOST\_x</sub> の V<sub>DS</sub> 電圧に耐え、必要とされる消費電力を処理できるように選択する必要があります。一般に、この外付け PMOS トランジスタの電流出力性能に対する影響は小さいものです。

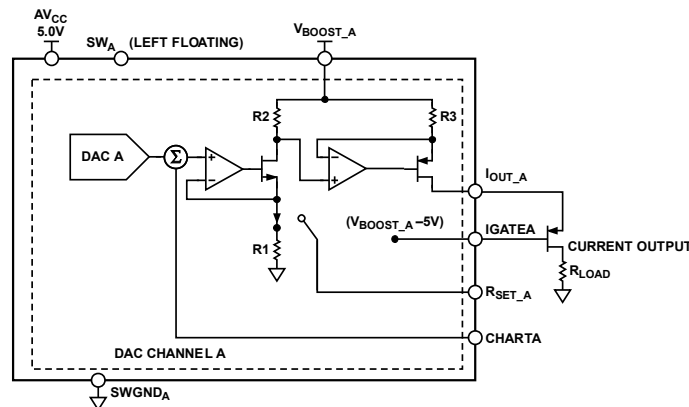


図 62. IGATE を使用する特定のチャンネルの構成

## アプリケーション情報

### 内蔵R<sub>SET</sub>を使う電流出力モード

電流出力モードで内蔵R<sub>SET</sub>抵抗を使う場合、イネーブルされている内蔵R<sub>SET</sub>を使う他のチャンネルの数とこれらのチャンネルからのDCクロストークから、出力が大きな影響を受けます。表1に示す内部 R<sub>SET</sub> 仕様は、内蔵 R<sub>SET</sub>を使用し、同じコードを出力するすべてのチャンネルをイネーブルする場合です。

イネーブルされた内蔵 R<sub>SET</sub>を使用する各チャンネルに対して、オフセット誤差が小さくなります。例えば、内蔵 R<sub>SET</sub>使用のイネーブルされた1つの電流出力では、オフセット誤差は0.075% FSRです。この値はイネーブルされる電流チャンネル数に比例して小さくなります。2チャンネルの各々ではオフセット誤差が0.056% FSRになり、3チャンネルの各々では0.029%に、4チャンネルの各々では0.01%に、それぞれなります。

同様に、内蔵 R<sub>SET</sub>を使用する場合の DC クロストークは、内蔵 R<sub>SET</sub>を使用するイネーブルされた電流出力チャンネル数に比例します。例えば、測定チャンネルが0x8000にあり、1つのチャンネルがゼロからフルスケールへ変化する場合、DC クロストークは-0.011% FSR になります。2つのチャンネルがゼロからフルスケールに変化する場合には DC クロストークは-0.019% FSR になり、他の3チャンネルすべてがゼロからフルスケールに変化する場合は、-0.025% FSR になります。

表1に示すフルスケール誤差測定では、すべてのチャンネルが0xFFFFに設定されています。これは、あるチャンネルがゼロスケールになると、DCクロストークのためにフルスケール誤差が大きくなることを意味しています。例えば、測定チャンネルが0xFFFFにあり、3チャンネルがゼロスケールのとき、フルスケール誤差は0.025%になります。同様に、電流出力モードで1チャンネルのみがイネーブルされ、かつ内蔵R<sub>SET</sub>を使っている場合、フルスケール誤差は0.025% FSR + 0.075% FSR = 0.1% FSR になります。

### 高精度リファレンス電圧の選択

フル動作温度範囲で AD5757 の最適性能を実現するためには、高精度の高精度リファレンス電圧を使う必要があります。高精度リファレンス電圧の選択には注意が必要です。リファレンス入力に加えられる電圧は、バッファ済みリファレンス電圧を

DAC コアへ供給するために使われます。このため、リファレンス電圧の誤差はデバイスの出力に影響を与えます。

高精度アプリケーションに対するリファレンス電圧の選択で考慮すべき誤差原因としては、初期精度、出力電圧の温度係数、長時間ドリフト、出力電圧ノイズの4つがあります。

外付けリファレンスの出力電圧の初期精度誤差により、DAC内でフルスケール誤差が発生します。これらの誤差を小さくするため、初期精度誤差の小さいリファレンス電圧の使用が望まれます。ADR425のような出力調整機能を持つリファレンス電圧を選択すると、リファレンス電圧を公称値以外の電圧に設定することにより、システム誤差を調節することができます。この調整機能は、誤差をなくするため任意の温度で使用できます。

長時間ドリフトは、リファレンス出力電圧の時間的なドリフトの大きさを表します。厳しい長時間ドリフト仕様を持つリファレンス電圧を使うと、ソリューション全体が製品寿命を通して比較的安定します。

リファレンス出力電圧の温度係数は、INL、DNL、TUEに影響を与えます。DAC 出力電圧の周囲温度に対する温度依存性を小さくするためには、厳しい温度係数仕様を持つリファレンス電圧を選択する必要があります。

比較的低いノイズが要求される高精度アプリケーションでは、リファレンス電圧の出力ノイズを考慮する必要があります。システム分解能に対して実用的な程度に出力ノイズ電圧が小さいリファレンス電圧を選択することは重要です。ADR435 (XFET デザイン)のような高精度リファレンス電圧は、0.1 Hz~10 Hzの領域で低い出力ノイズ・レベルを持っています。ただし、回路帯域幅が広がると、出力ノイズを小さくするために、リファレンス出力にフィルタが必要になることがあります。

### 誘導負荷の駆動

誘導負荷または低品質負荷を駆動する場合は、I<sub>OUT\_X</sub>とAGNDの間にコンデンサの接続が必要になります。I<sub>OUT\_X</sub>とAGNDの間に0.01 μFのコンデンサを接続すると、50 mH負荷の安定性が確実にになります。負荷の容量成分によりセトリングが低速になることがあります。AD5757のセトリング・タイムによりマスクすることができます。AD5757の電流出力に対して最大容量の制限はありません。

表 34.推奨高精度リファレンス電圧

Part No.	Initial Accuracy (mV Maximum)	Long-Term Drift (ppm Typical)	Temperature Drift (ppm/°C Maximum)	0.1 Hz to 10 Hz Noise (μV p-p Typical)
ADR445	±2	50	3	2.25
ADR02	±3	50	3	10
ADR435	±2	40	3	8
ADR395	±5	50	9	8
AD586	±2.5	15	10	4



## 過渡電圧保護

AD5757 はESD保護ダイオードを内蔵しているため、通常の取り扱いによる損傷を防止しますが、工業用制御環境では、I/O回路が大きな過渡電圧に遭遇することがあります。高い過渡電圧からAD5757を保護するため、外付けパワー・ダイオードとサージ電流制限抵抗( $R_p$ )が必要となります(図 63 参照)。 $R_p$ のtyp値は  $10\Omega$ です。2本の保護ダイオードと抵抗( $R_p$ )は適切な電力定格を持っている必要があります。

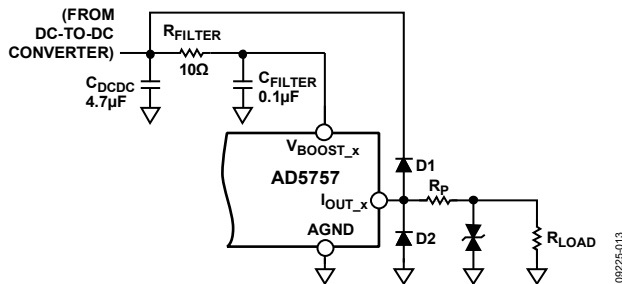


図 63. 出力過渡電圧保護機能

トランソープとも呼ばれる過渡電圧サプレッサ (TVS)を使うと、さらに保護を強化することができます。これらの部品は単方向サプレッサ (正の高電圧過渡に対する保護)と双方向サプレッサ (正と負の高電圧過渡に対する保護)として提供されています。過渡電圧サプレッサは、広範囲なスタンドオフ電圧とブレイクダウン電圧定格で提供されています。TVSのサイズは、できるだけ低いブレイクダウン電圧を持ち、かつ電流出力の動作範囲で導通しないものとする必要があります。

すべてのフィールドの接続ノードを保護することが推奨されます。

## マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5757 とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つプロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号、データ信号、ラッチ信号から構成される 3 線式の最小インターフェースです。AD5757 では 24 ビット・ワードを使い、データは SCLK の立下がりエッジで有効になります。

DAC 出力の更新は、LDAC の立上がりエッジ、または LDAC がロー・レベルに維持される場合には SYNC の立上がりエッジで開始されます。レジスタの値は、リードバック機能を使って読出すことができます。

## AD5757-とADSP-BF527 とのインターフェース

AD5757 は、アナログ・デバイゼズの Blackfin® DSP である ADSP-BF527 の SPORT インターフェースへ直接接続することができます。図 64 に、AD5757 を制御するために SPORT インターフェースと接続する方法を示します。

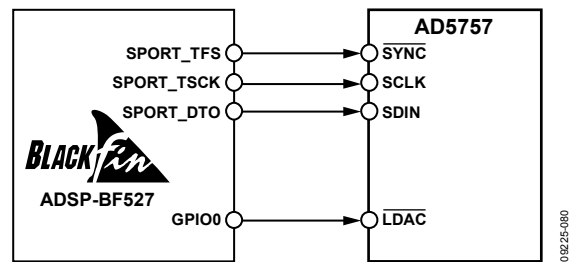


図 64. AD5757 と ADSP-BF527 SPORT との間のインターフェース

## レイアウトのガイドライン

### グラウンド接続

高精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5757 を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5757 を使用する場合は、この接続は 1 ヶ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

GNDSW<sub>x</sub> と AV<sub>CC</sub> 電源のグラウンド接続は PGND と呼んでいます。PGND はボードの一定領域にまとめ、PGND—AGND 間接続は 1 点で行う必要があります。

### 電源のデカップリング

AD5757 に対しては、 $10\mu\text{F}$  と  $0.1\mu\text{F}$  の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。 $10\mu\text{F}$  のコンデンサはタンタルのビーズ型を使います。 $0.1\mu\text{F}$  コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESL)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

### パターン

AD5757 の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの効果を削減する必要があります。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。SDIN ラインと SCLK ラインの間にグラウンド・ラインを配線すると、これらの間のクロストークを小さくすることに役立ちます(多層ボードには別のグラウンド・プレーンがあるので必要ありませんが、これらのラインを離すことは役立ちます)。REFIN ラインのノイズは DAC 出力に混入するため、ここのノイズを小さくすることは不可欠です。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの影響を小さくすることができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

## DC/DCコンバータ

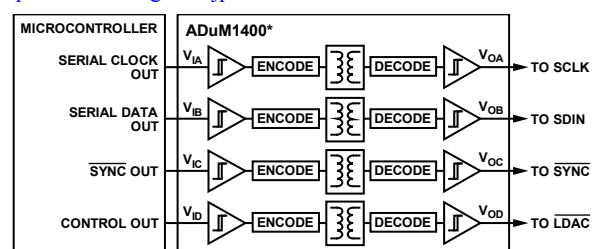
高効率、優れたレギュレーション、安定性を実現するためには、プリント回路ボードの正しいレイアウトが必要です。

プリント回路ボードをデザインするには次のガイドラインに従ってください(図 56 参照)。

- 低 ESR の入力コンデンサ  $C_{IN}$  を  $AV_{CC}$  と PGND の近くに配置します。
- $C_{IN}$  からインダクタ  $L_{DCDC}$  を経て  $SW_x$  および PGND までの高電流パスをできるだけ短くします。
- $C_{IN}$  から  $L_{DCDC}$ 、整流子  $D_{DCDC}$ 、出力コンデンサ  $C_{DCDC}$  までの高電流パスをできるだけ短くします。
- 高電流パターンをできるだけ短くかつ太くします。 $C_{IN}$  からインダクタ  $L_{DCDC}$  を経て  $SW_x$  および PGND までのパスで、最小でも 1 A を流せるようにします。
- 補償部品を  $COMP_{DCDC_x}$  のできるだけ近くに配置します。
- 放射ノイズの混入を防止するため、 $SW_x$  に接続するすべてのノードの近く、またはインダクタの近くをハイ・インピーダンス・パターンが通過しないようにします。

## 電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションする必要があります。アナログ・デバイセズの iCoupler® 製品は、2.5 kV を超える電圧アイソレーションを提供することができます。AD5757 はシリアル・ローディング構造を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 65 に、ADuM1400 を使用して構成した、AD5757 に対する 4 チャンネル絶縁型インターフェースを示します。詳細については、<http://www.analog.com/jp> をご覧ください。

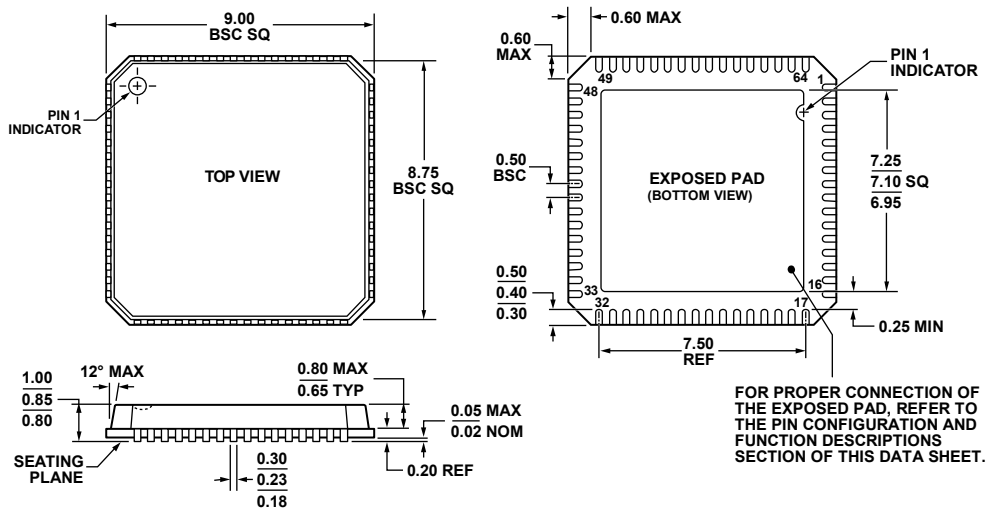


\*ADDITIONAL PINS OMITTED FOR CLARITY.

図 65. 絶縁型インターフェース

06225-081

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4

☒ 66.64 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_VQ]  
 9 mm × 9 mm ボディ、極薄クワッド  
 (CP-64-3)  
 寸法: mm

080109-C

オーダー・ガイド

Model <sup>1</sup>	Resolution (Bits)	Temperature Range	Package Description	Package Option
AD5757ACPZ	16	-40°C to +105°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD5757ACPZ-REEL7	16	-40°C to +105°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
EVAL-AD5757SDZ			Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。