

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
 この正誤表は、2015年3月30日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
 なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2015年 3月 30日

製品名： AD5755

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所：日本語版データシート Rev.0 の4ページの「仕様」の表1について、英語版データシートの改版に伴い、一部コメントが変更となっております。

最新の内容に関しては、英語版のデータシートを必ずご確認くださいことを推奨させていただきます。

日本語版データシート Rev.0

表 1.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments	
VOLTAGE OUTPUT						
Output Voltage Ranges	0		5	V	<div style="border: 2px solid red; padding: 5px;"> AV_{DD} must have minimum 2.2 V headroom on output AV_{DD}/AV_{SS} must have minimum 2.2 V headroom on output AV_{DD} must have minimum 2.2 V headroom on output AV_{DD}/AV_{SS} must have minimum 2.2 V headroom on output </div>	
	0		10	V		
	-5		+5	V		
	-10		+10	V		
	0		6	V		
	0		12	V		
	-6		+6	V		
	-12		+12	V		
OUTPUT CHARACTERISTICS ²						
Headroom		1	2.2	V		<div style="border: 2px solid red; height: 40px; width: 100%;"></div>
Footroom		1	1.4	V		

英語版データシート Rev.D

Table 1.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments	
VOLTAGE OUTPUT						
Output Voltage Ranges	0		5	V	<div style="border: 2px solid red; height: 80px; width: 100%;"></div>	
	0		10	V		
	-5		+5	V		
	-10		+10	V		
	0		6	V		
	0		12	V		
	-6		+6	V		
	-12		+12	V		
OUTPUT CHARACTERISTICS ²						
Headroom		1	2.2	V		<div style="border: 2px solid red; padding: 5px;"> With respect to V_{BOOST} supply With respect to the AV_{SS} supply </div>
Footroom		1	1.4	V		

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹
 芝サウスタワービル
 電話 03 (5402) 8200
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大
 阪 MT ビル 2 号
 電話 06 (6350) 6868

特長

- 16ビットの分解能と単調性
- 温度管理のために消費電力をダイナミック制御
- 電流出力ピンと電圧出力ピンを同一端子に接続可能
- 電流出力範囲: 0 mA~20 mA、4 mA~20 mA、
または 0 mA~24 mA
- 最大総合未調整誤差(TUE): $\pm 0.05\%$
- 電圧出力範囲(20%の範囲外許容): 0 V~5 V、0 V~10 V、 ± 5 V、 ± 10 V
- 最大総合未調整誤差(TUE): $\pm 0.04\%$
- オフセットとゲインをユーザ設定可能
- 診断機能を内蔵
- リファレンス電圧(最大 ± 10 ppm/ $^{\circ}$ C)を内蔵
- 温度範囲: -40° C~ $+105^{\circ}$ C

アプリケーション

- プロセス制御
- アクチュエータ制御
- PLC

概要

AD5755 は、 -26.4 V~ $+33$ V の電源範囲で動作する電圧および電流出力クワッド DAC であり、内蔵のダイナミック消費電力制御機能により電流モードでのパッケージ消費電力を最小にし

ます。これは、チップ消費電力を最小にするように最適化された DC/DC ブースト・コンバータを使用して、7.4 V~29.5 V の出力ドライバ電圧をレギュレーションすることにより実現しています。

このデバイスは、最大 30 MHz のクロック・レートで動作し、かつ標準 SPI、QSPI™、MICROWIRE™、DSP、マイクロコントローラの各インターフェース規格と互換性を持つ多機能 3 線式シリアル・インターフェースを採用しています。また、このインターフェースには、オプションの CRC-8 パケット・エラー・チェック機能とインターフェース動作をモニタするウォッチドッグ・タイマ機能も内蔵されています。

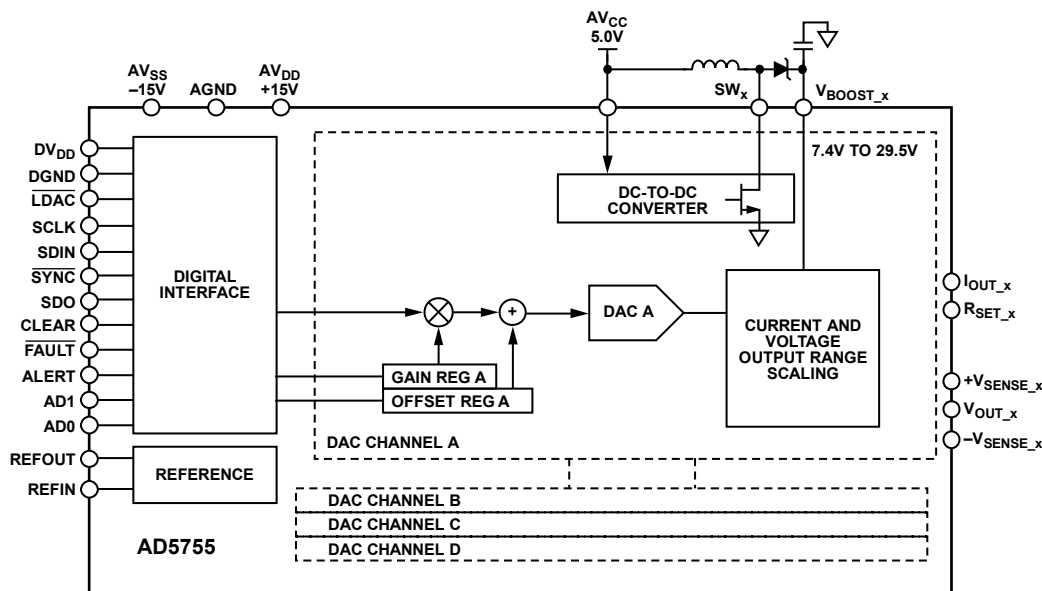
製品のハイライト

1. 温度管理のために消費電力をダイナミック制御
2. 16ビット性能
3. マルチチャンネル

関連製品

- 製品ファミリー: [AD5755-1](#)、[AD5757](#)
 - 外付けリファレンス電圧: [ADR445](#)、[ADR02](#)
 - デジタル・アイソレータ: [ADuM1410](#)、[ADuM1411](#)
 - 電源: [ADP2302](#)、[ADP2303](#)
- その他の関連製品については [AD5755 product page](#) を参照してください。

機能ブロック図



NOTES
1. x = A, B, C, AND D.

07304-1/00

図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	コントロール・レジスタ	34
アプリケーション	1	リードバック動作	37
概要.....	1	デバイス機能	39
製品のハイライト	1	故障出力	39
関連製品.....	1	電圧出力の短絡保護	39
機能ブロック図	1	オフセットとゲインのデジタル調整.....	39
改訂履歴.....	2	書き込み時のステータス・リードバック	39
詳細機能ブロック図	3	非同期クリア	40
仕様.....	4	パケット・エラーのチェック	40
AC性能特性	7	ウォッチドッグ・タイマ	40
タイミング特性	8	出力アラート	40
絶対最大定格	11	内蔵リファレンス電圧	40
ESDの注意	11	電流設定外付け抵抗	40
ピン配置およびピン機能説明	12	スルーレートのデジタル制御.....	41
代表的な性能特性	15	消費電力制御	41
電圧出力	15	DC/DCコンバータ	41
電流出力	19	AI _{CC} 電源要求—スタティック	43
DC/DCブロック	23	AI _{CC} 電源要求—変化時	43
リファレンス電圧	24	アプリケーション情報	45
全体	25	同じ端子での電圧出力範囲と電流出力範囲	45
用語.....	26	内蔵R _{SET} を使う電流出力モード	45
動作原理.....	28	高精度リファレンス電圧の選択	45
DACアーキテクチャ	28	誘導負荷の駆動	46
AD5755 のパワーオン状態	28	過渡電圧保護	46
シリアル・インターフェース	29	マイクロプロセッサ・インターフェース	46
伝達関数	29	レイアウトのガイドライン	46
レジスタ	30	電流絶縁型インターフェース	47
出力の書き込み/イネーブルを行う設定シーケンス	31	外形寸法	48
範囲の変更と再設定	31	オーダー・ガイド	48
データ・レジスタ	32		

改訂履歴

5/11—Revision 0: Initial Version

詳細機能ブロック図

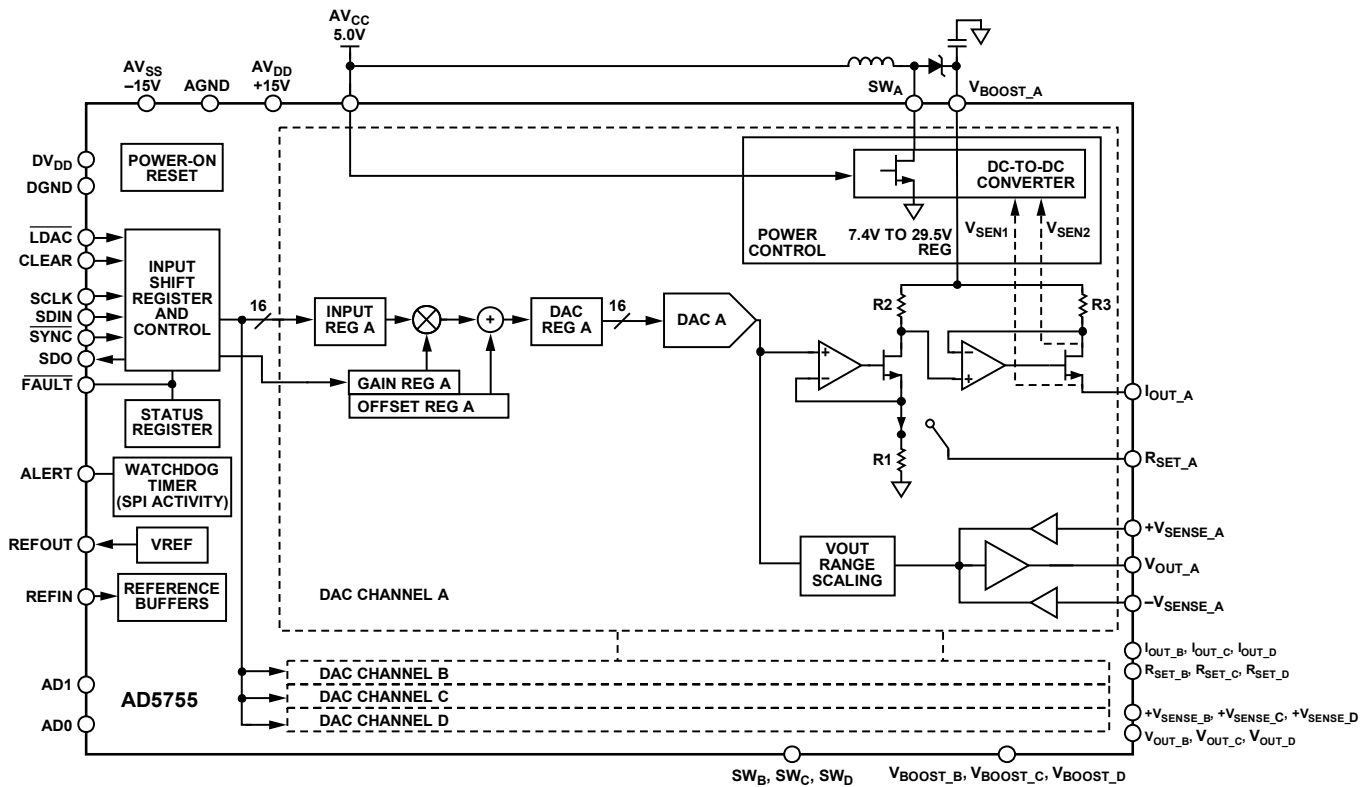


図 2.

07304-001

仕様

特に指定がない限り、 $AV_{DD} = V_{BOOST_x} = 15\text{ V}$; $AV_{SS} = -15\text{ V}$; $DV_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $AV_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$; DC/DC コンバータをディスエーブル; $AGND = DGND = GNDSW_x = 0\text{ V}$; $REFIN = 5\text{ V}$; 電圧出力: $R_L = 1\text{ k}\Omega$, $C_L = 220\text{ pF}$; 電流出力: $R_L = 300\ \Omega$; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 1.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
VOLTAGE OUTPUT					
Output Voltage Ranges	0		5	V	
	0		10	V	AV_{DD} must have minimum 2.2 V headroom on output
	-5		+5	V	
	-10		+10	V	AV_{DD}/AV_{SS} must have minimum 2.2 V headroom on output
	0		6	V	
	0		12	V	AV_{DD} must have minimum 2.2 V headroom on output
	-6		+6	V	
	-12		+12	V	AV_{DD}/AV_{SS} must have minimum 2.2 V headroom on output
Resolution	16			Bits	
ACCURACY					
Total Unadjusted Error (TUE)					$AV_{SS} = -15\text{ V}$, loaded and unloaded
B Version	-0.04		+0.04	% FSR	
	-0.03	± 0.0032	+0.03	% FSR	$T_A = 25^\circ\text{C}$
A Version	-0.25		+0.25	% FSR	
	-0.075	± 0.02	+0.075	% FSR	$T_A = 25^\circ\text{C}$
TUE Long-Term Stability		35		ppm FSR	Drift after 1000 hours, $T_J = 150^\circ\text{C}$
Relative Accuracy (INL)	-0.006	± 0.0012	+0.006	% FSR	0 V to 5 V, 0 V to 10 V, $\pm 5\text{ V}$, $\pm 10\text{ V}$ ranges
	-0.008	± 0.0012	+0.008	% FSR	On overranges
Differential Nonlinearity (DNL)	-1		+1	LSB	Guaranteed monotonic
Zero-Scale Error	-0.03	± 0.002	+0.03	% FSR	
Zero-Scale TC^2		± 2		ppm FSR/ $^\circ\text{C}$	
Bipolar Zero Error	-0.03	± 0.002	+0.03	% FSR	
Bipolar Zero TC^2		± 1		ppm FSR/ $^\circ\text{C}$	
Offset Error	-0.03	± 0.002	+0.03	% FSR	
Offset TC^2		± 2		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.03	± 0.004	+0.03	% FSR	
Gain TC^2		± 3		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.03	± 0.002	+0.03	% FSR	
Full-Scale TC^2		± 2		ppm FSR/ $^\circ\text{C}$	
OUTPUT CHARACTERISTICS²					
Headroom		1	2.2	V	
Footroom		1	1.4	V	
Output Voltage Drift vs. Time		20		ppm FSR	Drift after 1000 hours, $\frac{3}{4}$ scale output, $T_J = 150^\circ\text{C}$, $AV_{SS} = -15\text{ V}$
Short-Circuit Current	12/6	16/8		mA	Programmable by user, defaults to 16 mA typical level
Load	1			k Ω	For specified performance
Capacitive Load Stability			10	nF	
			2	μF	External compensation capacitor of 220 pF connected
DC Output Impedance		0.06		Ω	
DC PSRR		50		$\mu\text{V}/\text{V}$	
DC Crosstalk		24		μV	
CURRENT OUTPUT					
Output Current Ranges	0		24	mA	
	0		20	mA	
	4		20	mA	
Resolution	16			Bits	
ACCURACY (EXTERNAL R_{SET})					
Total Unadjusted Error (TUE)					Assumes ideal resistor

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
B Version	-0.05	±0.009	+0.05	% FSR	Drift after 1000 hours, T _J = 150°C Guaranteed monotonic
A Version	-0.2	±0.04	+0.2	% FSR	
TUE Long-Term Stability		100		ppm FSR	
Relative Accuracy (INL)	-0.006		+0.006	% FSR	
Differential Nonlinearity (DNL)	-1		+1	LSB	
Offset Error	-0.05	±0.005	+0.05	% FSR	
Offset Error Drift ²		±4		ppm FSR/°C	
Gain Error	-0.05	±0.004	+0.05	% FSR	
Gain TC ²		±3		ppm FSR/°C	
Full-Scale Error	-0.05	±0.008	+0.05	% FSR	
Full-Scale TC ²		±5		ppm FSR/°C	
DC Crosstalk		0.0005		% FSR	External R _{SET}
ACCURACY (INTERNAL R_{SET})					
Total Unadjusted Error (TUE) ^{3,4}					
B Version	-0.14		+0.14	% FSR	T _A = 25°C
A Version	-0.11	±0.009	+0.11	% FSR	
B Version	-0.35		+0.35	% FSR	T _A = 25°C
A Version	-0.2	+0.04	+0.2	% FSR	
TUE Long-Term Stability		180		ppm FSR	Drift after 1000 hours, T _J = 150°C
Relative Accuracy (INL)	-0.006		+0.006	% FSR	
Relative Accuracy (INL)	-0.004		+0.004	% FSR	T _A = 25°C
Differential Nonlinearity (DNL)	-1		+1	LSB	Guaranteed monotonic
Offset Error ^{3,4}	-0.05		+0.05	% FSR	
Offset Error Drift ²	-0.04	±0.007	+0.04	% FSR	T _A = 25°C
Offset Error Drift ²		±6		ppm FSR/°C	
Gain Error	-0.12		+0.12	% FSR	
Gain Error	-0.06		+0.06	% FSR	T _A = 25°C
Gain TC ²		±9		ppm FSR/°C	
Full-Scale Error ^{3,4}	-0.14		+0.14	% FSR	
Full-Scale Error ^{3,4}	-0.1	±0.007	+0.1	% FSR	T _A = 25°C
Full-Scale TC ²		±14		ppm FSR/°C	
DC Crosstalk ⁴		-0.011		% FSR	Internal R _{SET}
OUTPUT CHARACTERISTICS²					
Current Loop Compliance Voltage		V _{BOOST_X} - 2.4	V _{BOOST_X} - 2.7	V	
Output Current Drift vs. Time		90		ppm FSR	Drift after 1000 hours, ¾ scale output, T _J = 150°C
Resistive Load		140	1000	ppm FSR	External R _{SET}
Output Impedance		100		Ω	Internal R _{SET}
DC PSRR		0.02	1	μA/V	The dc-to-dc converter has been characterized with a maximum load of 1 kΩ, chosen such that compliance is not exceeded; see Figure 52 and DC-DC MaxV bits in Table 25
REFERENCE INPUT/OUTPUT					
Reference Input ²					
Reference Input Voltage	4.95	5	5.05	V	For specified performance
DC Input Impedance	45	150		MΩ	
Reference Output					
Output Voltage	4.995	5	5.005	V	T _A = 25°C
Reference TC ²	-10	±5	+10	ppm/°C	
Output Noise (0.1 Hz to 10 Hz) ²		7		μV p-p	
Noise Spectral Density ²		100		nV/√Hz	At 10 kHz
Output Voltage Drift vs. Time ²		180		ppm	Drift after 1000 hours, T _J = 150°C
Capacitive Load ²		1000		nF	
Load Current		9		mA	See Figure 63
Short-Circuit Current		10		mA	
Line Regulation ²		3		ppm/V	See Figure 64

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
Load Regulation ²		95		ppm/mA	See Figure 63
Thermal Hysteresis ²		160		ppm	First temperature cycle
		5		ppm	Second temperature cycle
DC-TO-DC					
Switch					
Switch On Resistance		0.425		Ω	
Switch Leakage Current		10		nA	
Peak Current Limit		0.8		A	
Oscillator					
Oscillator Frequency	11.5	13	14.5	MHz	This oscillator is divided down to give the dc-to-dc converter switching frequency
Maximum Duty Cycle		89.6		%	At 410 kHz dc-to-dc switching frequency
DIGITAL INPUTS ²					JEDEC compliant
V _{IH} , Input High Voltage	2			V	
V _{IL} , Input Low Voltage			0.8	V	
Input Current	-1		+1	μ A	Per pin
Pin Capacitance		2.6		pF	Per pin
DIGITAL OUTPUTS ²					
SDO, ALERT					
V _{OL} , Output Low Voltage			0.4	V	Sinking 200 μ A
V _{OH} , Output High Voltage	DV _{DD} - 0.5			V	Sourcing 200 μ A
High Impedance Leakage Current	-1		+1	μ A	
High Impedance Output Capacitance		2.5		pF	
FAULT					
V _{OL} , Output Low Voltage			0.4	V	10 k Ω pull-up resistor to DV _{DD}
V _{OL} , Output Low Voltage		0.6		V	At 2.5 mA
V _{OH} , Output High Voltage	3.6			V	10 k Ω pull-up resistor to DV _{DD}
POWER REQUIREMENTS					
AV _{DD}	9		33	V	
AV _{SS}	-26.4		-10.8	V	
DV _{DD}	2.7		5.5	V	
AV _{CC}	4.5		5.5	V	
AI _{DD}		8.6	10.5	mA	Voltage output mode on all channels, output unloaded, over supplies
		7	7.5	mA	Current output mode on all channels,
AI _{SS}	-11	-8.8		mA	Voltage output mode on all channels, output unloaded, over supplies
	-1.7			mA	Current output mode on all channels
DI _{CC}		9.2	11	mA	V _{IH} = DV _{DD} , V _{IL} = DGND, internal oscillator running, over supplies
AI _{CC}			1	mA	Output unloaded, over supplies
I _{BOOST} ⁵			2.7	mA	Per channel, voltage output mode, output unloaded, over supplies
			1	mA	Per channel, current output mode
Power Dissipation		173		mW	AV _{DD} = 15 V, AV _{SS} = -15 V, dc-to-dc converter enable, current output mode, outputs disabled

¹温度範囲は-40 °C~+105 °Cです。typ 値は+25 °Cの値です。

²デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

³内蔵 R_{SET}を使う電流出力の場合、オフセット、フルスケール、TUEの測定値にはDCクロストークが含まれません。測定は4チャンネルすべてをイネーブルし、同じコードをロードして行います。

⁴詳細については、内蔵 R_{SET}を使う電流出力モードのセクションを参照してください。

⁵図 54~図 57の効率のプロットには I_{BOOST}の静止電流が含まれます。

AC性能特性

特に指定がない限り、 $AV_{DD} = V_{BOOST_x} = 15\text{ V}$; $AV_{SS} = -15\text{ V}$; $DV_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $AV_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$; DC/DC コンバータをディスエーブル; $AGND = DGND = GNDSW_x = 0\text{ V}$; $REFIN = 5\text{ V}$; 電圧出力: $R_L = 2\text{ k}\Omega$ 、 $C_L = 220\text{ pF}$; 電流出力: $R_L = 300\ \Omega$; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Voltage Output					
Output Voltage Settling Time		11		μs	5 V step to $\pm 0.03\%$ FSR, 0 V to 5 V range
			18	μs	10 V step to $\pm 0.03\%$ FSR, 0 V to 10 V range
			13	μs	100 mV step to 1 LSB (16-bit LSB), 0 V to 10 V range
Slew Rate		1.9		V/ μs	0 V to 10 V range
Power-On Glitch Energy		150		nV-sec	
Digital-to-Analog Glitch Energy		6		nV-sec	
Glitch Impulse Peak Amplitude		25		mV	
Digital Feedthrough		1		nV-sec	
DAC to DAC Crosstalk		2		nV-sec	0 V to 10 V range
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.15		LSB p-p	16-bit LSB, 0 V to 10 V range
Output Noise Spectral Density		150		nV/ $\sqrt{\text{Hz}}$	Measured at 10 kHz, midscale output, 0 V to 10 V range
AC PSRR		83		dB	200 mV 50 Hz/60 Hz sine wave superimposed on power supply voltage
Current Output					
Output Current Settling Time		15		μs	To 0.1% FSR (0 mA to 24 mA)
		See test conditions/ comments		ms	See Figure 48, Figure 49, and Figure 50
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.15		LSB p-p	16-bit LSB, 0 mA to 24 mA range
Output Noise Spectral Density		0.5		nA/ $\sqrt{\text{Hz}}$	Measured at 10 kHz, midscale output, 0 mA to 24 mA range

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

タイミング特性

特に指定がない限り、 $AV_{DD} = V_{BOOST_x} = 15\text{ V}$; $AV_{SS} = -15\text{ V}$; $DV_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $AV_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$; DC/DC コンバータをディスエーブル; $AGND = DGND = GNDSW_x = 0\text{ V}$; $REFIN = 5\text{ V}$; 電圧出力: $R_L = 1\text{ k}\Omega$, $C_L = 220\text{ pF}$; 電流出力: $R_L = 300\ \Omega$; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 3.

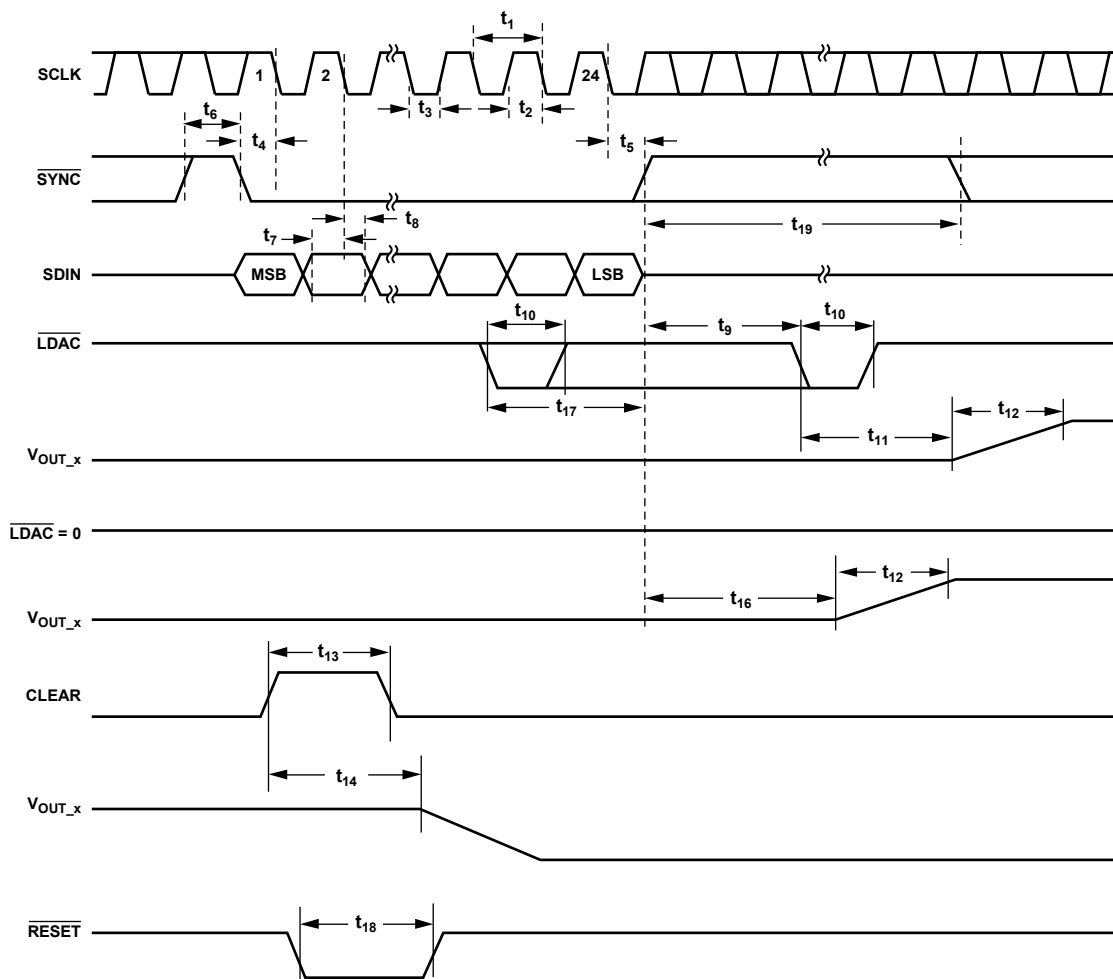
Parameter ^{1,2,3}	Limit at T_{MIN} , T_{MAX}	Unit	Description
t_1	33	ns min	SCLK cycle time
t_2	13	ns min	SCLK high time
t_3	13	ns min	SCLK low time
t_4	13	ns min	$\overline{\text{SYNC}}$ falling edge to SCLK falling edge setup time
t_5	13	ns min	24 th /32 nd SCLK falling edge to $\overline{\text{SYNC}}$ rising edge (see Figure 77)
t_6	198	ns min	$\overline{\text{SYNC}}$ high time
t_7	5	ns min	Data setup time
t_8	5	ns min	Data hold time
t_9	20	μs min	$\overline{\text{SYNC}}$ rising edge to $\overline{\text{LDAC}}$ falling edge (all DACs updated or any channel has digital slew rate control enabled)
	5	μs min	$\overline{\text{SYNC}}$ rising edge to $\overline{\text{LDAC}}$ falling edge (single DAC updated)
t_{10}	10	ns min	$\overline{\text{LDAC}}$ pulse width low
t_{11}	500	ns max	$\overline{\text{LDAC}}$ falling edge to DAC output response time
t_{12}	See the AC Performance Characteristics section	μs max	DAC output settling time
t_{13}	10	ns min	CLEAR high time
t_{14}	5	μs max	CLEAR activation time
t_{15}	40	ns max	SCLK rising edge to SDO valid
t_{16}	21	μs min	$\overline{\text{SYNC}}$ rising edge to DAC output response time ($\overline{\text{LDAC}} = 0$) (all DACs updated)
	5	μs min	$\overline{\text{SYNC}}$ rising edge to DAC output response time ($\overline{\text{LDAC}} = 0$) (single DAC updated)
t_{17}	500	ns min	$\overline{\text{LDAC}}$ falling edge to $\overline{\text{SYNC}}$ rising edge
t_{18}	800	ns min	$\overline{\text{RESET}}$ pulse width
t_{19}^4	20	μs min	$\overline{\text{SYNC}}$ high to next $\overline{\text{SYNC}}$ low (digital slew rate control enabled) (all DACs updated)
	5	μs min	$\overline{\text{SYNC}}$ high to next $\overline{\text{SYNC}}$ low (digital slew rate control disabled) (single DAC updated)

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² すべての入力信号は $t_{RISE} = t_{FALL} = 5\text{ ns}$ (DV_{DD} の 10% から 90%) で規定し、1.2 V の電圧レベルからの時間とします。

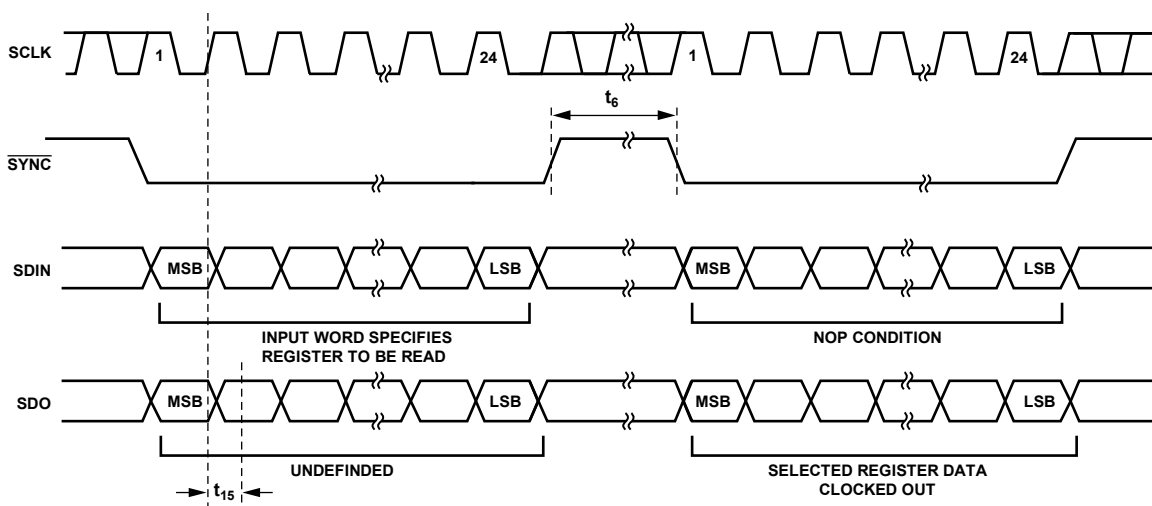
³ 図 3 ~ 図 6 参照。

⁴ この規定値は、書込みサイクル中 $\overline{\text{LDAC}}$ がロー・レベルに維持される場合に適用されます。その他の場合については t_9 を参照。



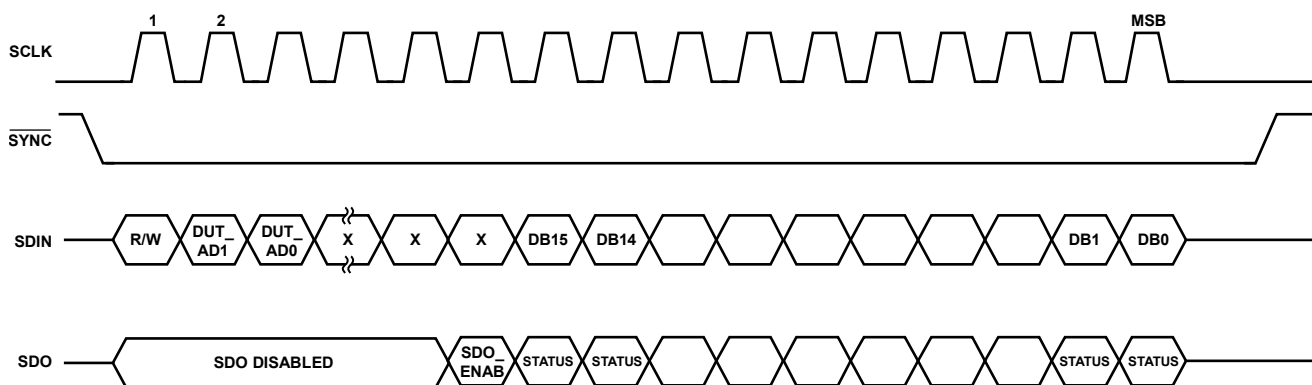
07304-002

図 3. シリアル・インターフェースのタイミング図



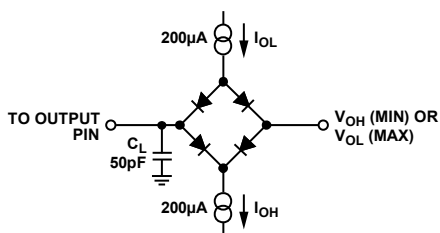
07304-003

図 4. リードバック・タイミング図



07304-004

図 5.ステータス・リードバックー書き込み時



07304-005

図 6.SDO タイミング図の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 4.

Parameter	Rating
AV_{DD} , V_{BOOST_x} to AGND, DGND	-0.3 V to +33 V
AV_{SS} to AGND, DGND	+0.3 V to -28 V
AV_{DD} to AV_{SS}	-0.3 V to +60 V
AV_{CC} to AGND	-0.3 V to +7 V
DV_{DD} to DGND	-0.3 V to +7 V
Digital Inputs to DGND	-0.3 V to $DV_{DD} + 0.3\text{ V}$ or +7 V (whichever is less)
Digital Outputs to DGND	-0.3 V to $DV_{DD} + 0.3\text{ V}$ or +7 V (whichever is less)
REFIN, REFOUT to AGND	-0.3 V to $AV_{DD} + 0.3\text{ V}$ or +7 V (whichever is less)
V_{OUT_x} to AGND	AV_{SS} to V_{BOOST_x} or 33 V if using the dc-to-dc circuitry
$+V_{SENSE_x}$, $-V_{SENSE_x}$ to AGND	AV_{SS} to V_{BOOST_x} or 33 V if using the dc-to-dc circuitry
I_{OUT_x} to AGND	AV_{SS} to V_{BOOST_x} or 33 V if using the dc-to-dc circuitry
SW_x to AGND	-0.3 to +33 V
AGND, GND_{SW_x} to DGND	-0.3 V to +0.3 V
Operating Temperature Range (T_A)	
Industrial ¹	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J max)	125°C
64-Lead LFCSP	
θ_{JA} Thermal Impedance ²	20°C/W
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

¹ チップ内の消費電力を抑えて、ジャンクション温度を 125°C 以下に維持する必要があります。

² JEDEC 4 層テスト・ボードを使用。

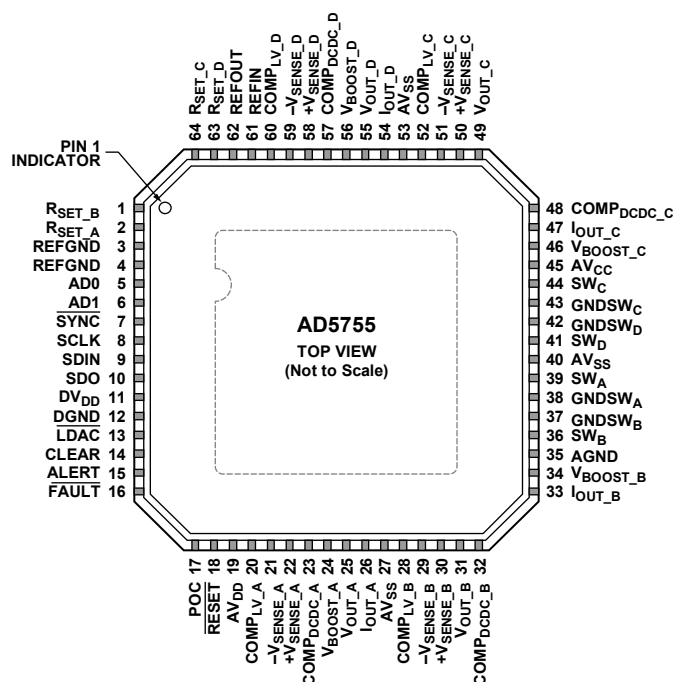
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. THIS EXPOSED PADDLE SHOULD BE CONNECTED TO THE POTENTIAL OF THE AVSS PIN, OR, ALTERNATIVELY, IT CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PADDLE BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

07304-006

図 7. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	RSET_B	外付けの高精度低ドリフト 15 kΩ電流設定抵抗をこのピンに接続して、IOUT_Bの温度ドリフト性能を向上させることができます。デバイス機能のセクションを参照してください。
2	RSET_A	外付けの高精度低ドリフト 15 kΩ電流設定抵抗をこのピンに接続して、IOUT_Aの温度ドリフト性能を向上させることができます。デバイス機能のセクションを参照してください。
3	REFGND	内蔵リファレンスに対するグラウンド基準ポイント。
4	REFGND	内蔵リファレンスに対するグラウンド基準ポイント。
5	AD0	ボード上の被テスト・デバイス(DUT)のアドレス・デコード。
6	AD1	ボード上の DUT のアドレス・デコード。
7	SYNC	アクティブ・ロー入力。これは、シリアル・インターフェースのフレーム同期信号です。SYNCがロー・レベルのとき、データは SCLK の立下がりエッジで転送されます。
8	SCLK	シリアル・クロック入力。データは、SCLK の立上がりエッジで入力シフトレジスタに入力されます。最大 30 MHz のクロック速度で動作します。
9	SDIN	シリアル・データ入力。データは、SCLK の立下がりエッジで有効である必要があります。
10	SDO	シリアル・データ出力。リードバック・モードでシリアル・レジスタからのデータを駆動するときに使います。図 4 と 図 5 を参照してください。
11	DVDD	デジタル電源。電圧範囲は 2.7 V~5.5 V。
12	DGND	デジタル・グラウンド。
13	LDAC	ロードDACロジック入力(アクティブ・ロー・レベル)。DACレジスタの更新に使われ、更新されるとDAC出力が変化します。このピンをロー・レベルに固定すると、アドレス指定されたDACデータ・レジスタがSYNCの立上がりエッジで更新されます。書き込みサイクルでLDACをハイ・レベルにすると、DAC入力レジスタが更新されますが、DAC出力の更新はLDACの立下がりエッジでのみ行われます(図 3 参照)。このモードを使用すると、すべてのアナログ出力を同時に更新することができます。LDACピンは解放のままにしないでください。
14	CLEAR	アクティブ・ハイのエッジ検出入力。このピンをアサートすると、出力電流と出力電圧が予め設定したクリア・コード・ビット設定値に設定されます。クリアできるようにイネーブルされたチャンネルのみがクリアされます。詳細については、デバイス機能のセクションを参照してください。CLEARがアクティブのとき、DAC出力レジスタへの書き込みはできません。

ピン番号	記号	説明
15	ALERT	アクティブ・ハイの出力。予め設定しておいた時間の間インターフェース・ピンでSPI動作がなかったときに、このピンがアサートされます。詳細については、デバイス機能のセクションを参照してください。
16	FAULT	アクティブ・ローの出力。電流モードで断線が検出されたとき、電圧モードで短絡が検出されたとき、PECエラーが検出されたとき、または温度上昇が検出されたとき、このピンがロー・レベルになります(デバイス機能のセクション参照)。オープン・ドレイン出力。
17	POC	パワーオン状態。このピンを使って、パワーオン状態を指定します。このピンは、パワーオン時またはデバイス・リセット時に読込まれます。POC = 0 の場合、電圧チャンネルと電流チャンネルがスリーステート・モード状態でデバイスがパワーアップします。POC = 1 の場合、電圧出力チャンネルはグラウンドへ 30 k Ω プルダウン抵抗が接続された状態で、電流チャンネルはスリーステート・モードの状態、それぞれデバイスがパワーアップします。
18	RESET	アクティブ・ローのハードウェア・リセット入力。
19	AV _{DD}	正アナログ電源。電圧範囲は 9 V~33 V。
20	COMP _{LV_A}	V _{OUT_A} 出力バッファに対するオプションの補償コンデンサ接続。このピンと V _{OUT_A} ピンの間に 220 pF のコンデンサを接続すると、電圧出力は最大 2 μ F を駆動できるようになります。このコンデンサを接続すると出力アンプの帯域幅が狭くなるため、セトリング・タイムが大きくなることに注意してください。
21	-V _{SENSE_A}	V _{OUT_A} の負電圧出力負荷接続に対する検出接続。規定動作のためにはこのピンを AGND \pm 3.0 V 以内に維持する必要があります。
22	+V _{SENSE_A}	V _{OUT_A} の正電圧出力負荷接続に対する検出接続。
23	COMP _{DCDC_A}	DC/DC補償コンデンサ。このピンとグラウンドの間に 10 nF のコンデンサを接続します。チャンネルAのDC/DCコンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、グラウンドとこのピンの間にコンデンサと直列に抵抗を接続します(詳細については、DC/DCコンバータの補償コンデンサセクション内の AICC電源要求—変化時のセクションと デバイス機能のセクションを参照)。
24	V _{BOOST_A}	チャンネルAの電流出力ステージの電源(図 72 参照)。これはまた、V _{OUT_x} ステージの電源でもあり、DC/DCコンバータにより 15 Vにレギュレーションされています。デバイスのDC/DC機能を使うときは、図 78 に示すように接続します。
25	V _{OUT_A}	DAC チャンネル A のバッファ付きアナログ出力電圧。
26	I _{OUT_A}	DAC チャンネル A の電流出力ピン。
27	AV _{SS}	負のアナログ電源ピン。電圧範囲は-10.8 V~-26.4 V。
28	COMP _{LV_B}	V _{OUT_B} 出力バッファに対するオプションの補償コンデンサ接続。このピンと V _{OUT_B} ピンの間に 220 pF のコンデンサを接続すると、電圧出力は最大 2 μ F を駆動できるようになります。このコンデンサを接続すると出力アンプの帯域幅が狭くなるため、セトリング・タイムが大きくなることに注意してください。
29	-V _{SENSE_B}	V _{OUT_B} の負電圧出力負荷接続に対する検出接続。規定動作のためにはこのピンを AGND \pm 3.0 V 以内に維持する必要があります。
30	+V _{SENSE_B}	V _{OUT_B} の正電圧出力負荷接続に対する検出接続。
31	V _{OUT_B}	DAC チャンネル B のバッファ付きアナログ出力電圧。
32	COMP _{DCDC_B}	DC/DC補償コンデンサ。このピンとグラウンドの間に 10 nF のコンデンサを接続します。チャンネルBのDC/DCコンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、グラウンドとこのピンの間にコンデンサと直列に抵抗を接続します(詳細については、DC/DCコンバータの補償コンデンサセクション内の AICC電源要求—変化時のセクションと デバイス機能のセクションを参照)。
33	I _{OUT_B}	DAC チャンネル B の電流出力ピン。
34	V _{BOOST_B}	チャンネルBの電流出力ステージの電源(図 72 参照)。これはまた、V _{OUT_x} ステージの電源でもあり、DC/DCコンバータにより 15 Vにレギュレーションされています。デバイスのDC/DC機能を使うときは、図 78 に示すように接続します。
35	AGND	アナログ回路に対するグラウンド基準ポイント。このピンは 0 V へ接続する必要があります。
36	SW _B	チャンネルBのDC/DC回路のスイッチング出力。デバイスのDC/DC機能を使うときは、図 78 に示すように接続します。
37	GNDSW _B	DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。
38	GNDSW _A	DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。
39	SW _A	チャンネルAのDC/DC回路のスイッチング出力。デバイスのDC/DC機能を使うときは、図 78 に示すように接続します。
40	AV _{SS}	負のアナログ電源ピン。電圧範囲は-10.8 V~-26.4 V。単電源モードでデバイスを使う場合、このピンを 0 V へ接続することができます。
41	SW _D	チャンネルDのDC/DC回路のスイッチング出力。デバイスのDC/DC機能を使うときは、図 78 に示すように接続します。
42	GNDSW _D	DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。
43	GNDSW _C	DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。
44	SW _C	チャンネルCのDC/DC回路のスイッチング出力。デバイスのDC/DC機能を使うときは、図 78 に示すように接続します。
45	AV _{CC}	DC/DC 回路の電源。

ピン番号	記号	説明
46	V _{BOOST_C}	チャンネルCの電流出力ステージの電源(図 72 参照)。これはまた、V _{OUT_X} ステージの電源でもあり、DC/DCコンバータにより 15 Vにレギュレーションされています。デバイスのDC/DC機能を使うときは、図 78 に示すように接続します。
47	I _{OUT_C}	DAC チャンネル C の電流出力ピン。
48	COMP _{DCDC_C}	DC/DC補償コンデンサ。このピンとグラウンドの間に 10 nFのコンデンサを接続します。チャンネルCのDC/DCコンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、グラウンドとこのピンの間にコンデンサと直列に抵抗を接続します(詳細については、DC/DCコンバータの補償コンデンサセクション内の AICC電源要求—変化時のセクションと デバイス機能のセクションを参照)。
49	V _{OUT_C}	DAC チャンネル C のバッファ付きアナログ出力電圧。
50	+V _{SENSE_C}	V _{OUT_C} の正電圧出力負荷接続に対する検出接続。
51	-V _{SENSE_C}	V _{OUT_C} の負電圧出力負荷接続に対する検出接続。規定動作のためにはこのピンを AGND ± 3.0 V 以内に維持する必要があります。
52	COMP _{LV_C}	V _{OUT_C} 出力バッファに対するオプションの補償コンデンサ接続。このピンと V _{OUT_C} ピンの間に 220 pF のコンデンサを接続すると、電圧出力は最大 2 μF を駆動できるようになります。このコンデンサを接続すると出力アンプの帯域幅が狭くなるため、セトリング・タイムが大きくなることに注意してください。
53	AV _{SS}	負のアナログ電源ピン。
54	I _{OUT_D}	DAC チャンネル D の電流出力ピン。
55	V _{OUT_D}	DAC チャンネル D のバッファ付きアナログ出力電圧。
56	V _{BOOST_D}	チャンネルDの電流出力ステージの電源(図 72 参照)。これはまた、V _{OUT_X} ステージの電源でもあり、DC/DCコンバータにより 15 Vにレギュレーションされています。デバイスのDC/DC機能を使うときは、図 78 に示すように接続します。
57	COMP _{DCDC_D}	DC/DC補償コンデンサ。このピンとグラウンドの間に 10 nFのコンデンサを接続します。チャンネルDのDC/DCコンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、グラウンドとこのピンの間にコンデンサと直列に抵抗を接続します(詳細については、DC/DCコンバータの補償コンデンサセクション内の AICC電源要求—変化時のセクションと デバイス機能のセクションを参照)。
58	+V _{SENSE_D}	V _{OUT_D} の正電圧出力負荷接続に対する検出接続。
59	-V _{SENSE_D}	V _{OUT_D} の負電圧出力負荷接続に対する検出接続。規定動作のためにはこのピンを AGND ± 3.0 V 以内に維持する必要があります。
60	COMP _{LV_D}	V _{OUT_D} 出力バッファに対するオプションの補償コンデンサ接続。このピンと V _{OUT_D} ピンの間に 220 pF のコンデンサを接続すると、電圧出力は最大 2 μF を駆動できるようになります。このコンデンサを接続すると出力アンプの帯域幅が狭くなるため、セトリング・タイムが大きくなることに注意してください。
61	REFIN	外部リファレンス電圧入力。
62	REFOUT	内蔵リファレンス電圧出力。REFOUT と REFGND の間に 0.1 μF のコンデンサを接続することが推奨されます。
63	R _{SET_D}	外付けの高精度低ドリフト 15 kΩ電流設定抵抗をこのピンに接続して、I _{OUT_D} の温度ドリフト性能を向上させることができます。デバイス機能のセクションを参照してください。
64	R _{SET_C}	外付けの高精度低ドリフト 15 kΩ電流設定抵抗をこのピンに接続して、I _{OUT_C} の温度ドリフト性能を向上させることができます。デバイス機能のセクションを参照してください。
	EPAD	エクスポーズド・パッド。このエクスポーズド・パッドは、AV _{SS} ピンの電位に接続するか、または、未接続のままにしておくことができます。熱性能強化のために、パッドを銅プレーンへ熱的に接続することが推奨されます。

代表的な性能特性

電圧出力

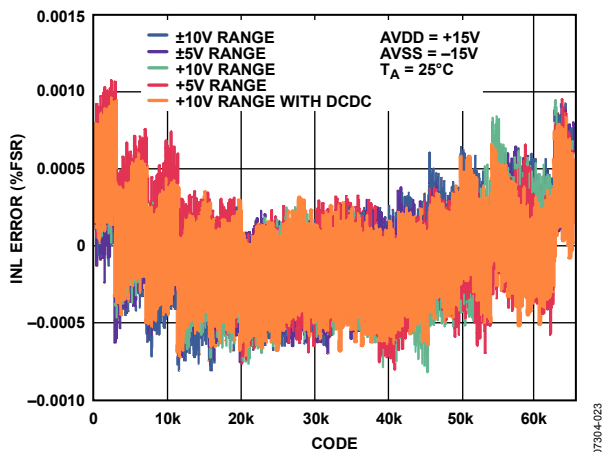


図 8. DAC コード対積分非直線性誤差

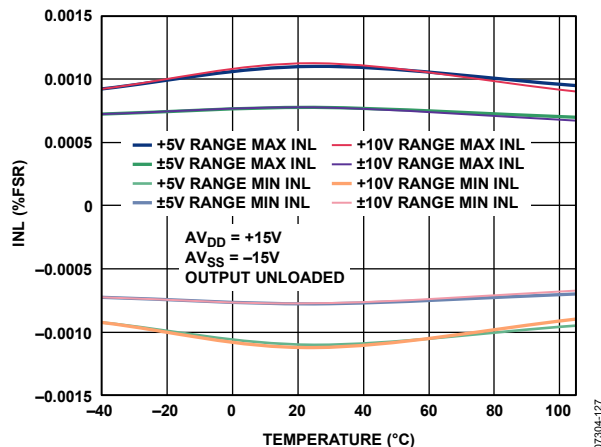


図 11. 積分非直線性誤差の温度特性

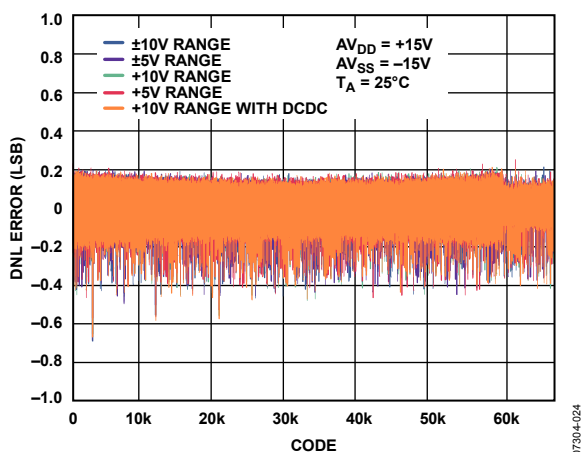


図 9. DAC コード対微分非直線性誤差

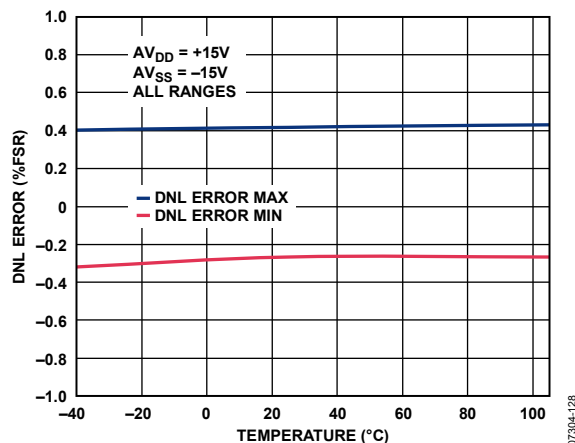


図 12. 微分非直線性誤差の温度特性

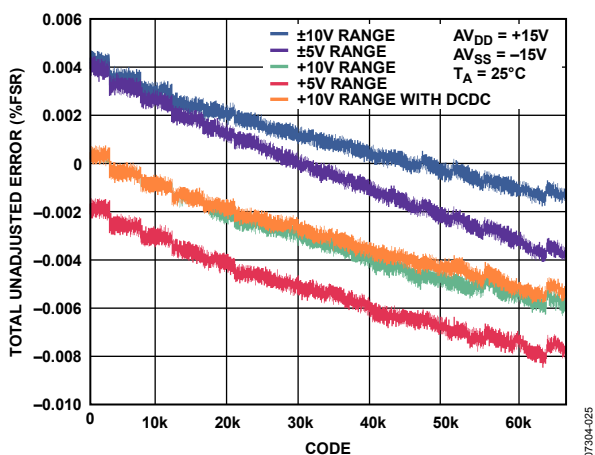


図 10. DAC コード対総合未調整誤差

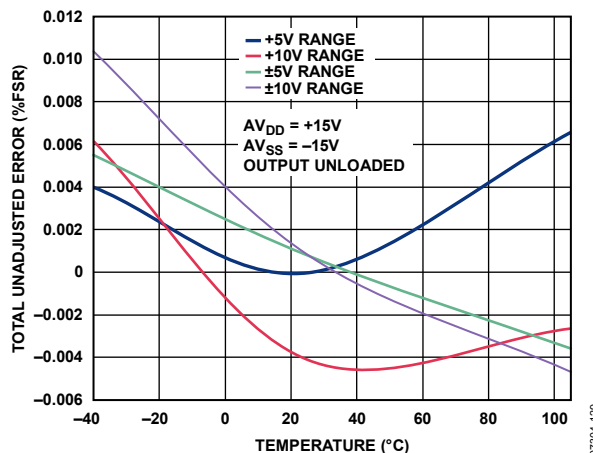


図 13. 総合未調整誤差の温度特性

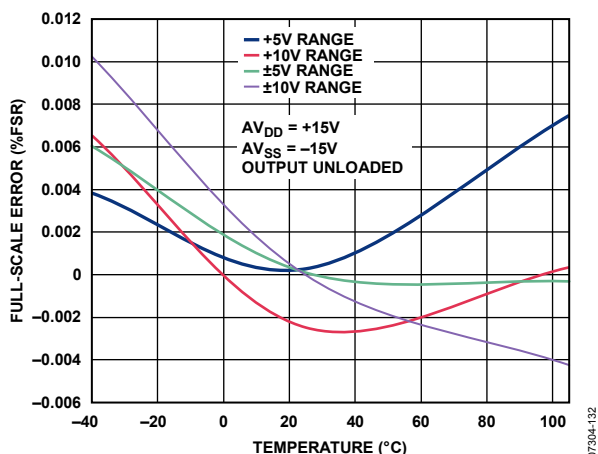


図 14. フルスケール誤差の温度特性

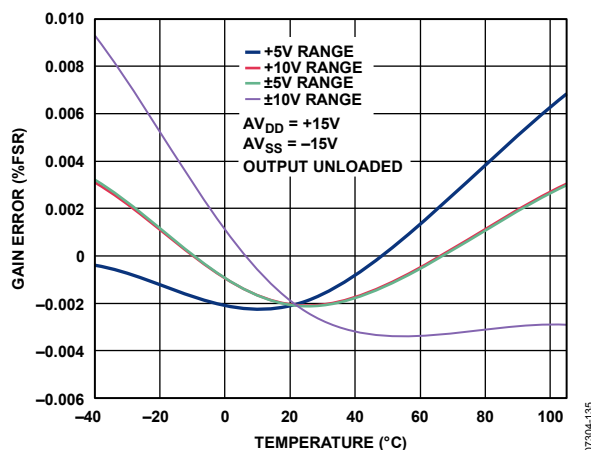


図 17. ゲイン誤差の温度特性

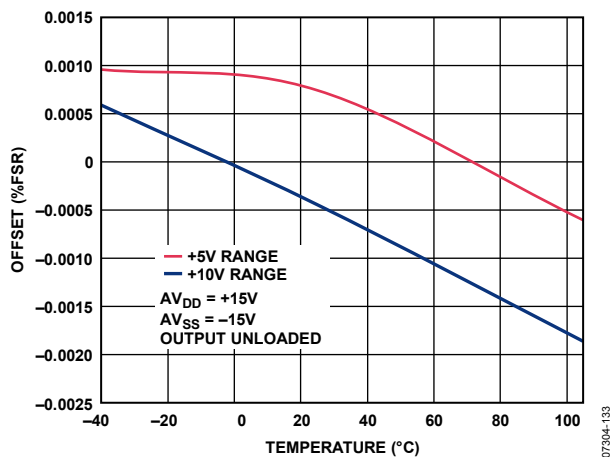


図 15. オフセット誤差の温度特性

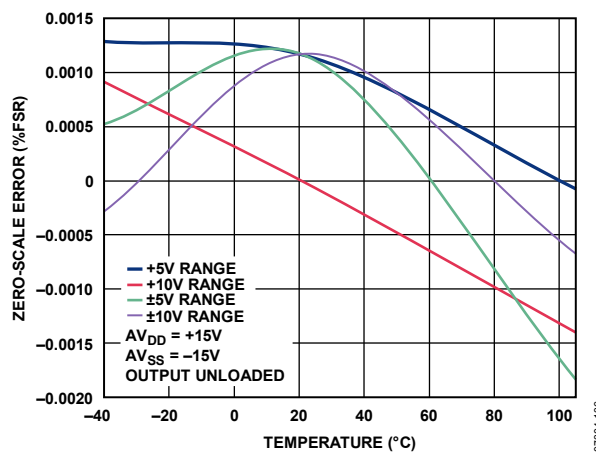


図 18. ゼロスケール誤差の温度特性

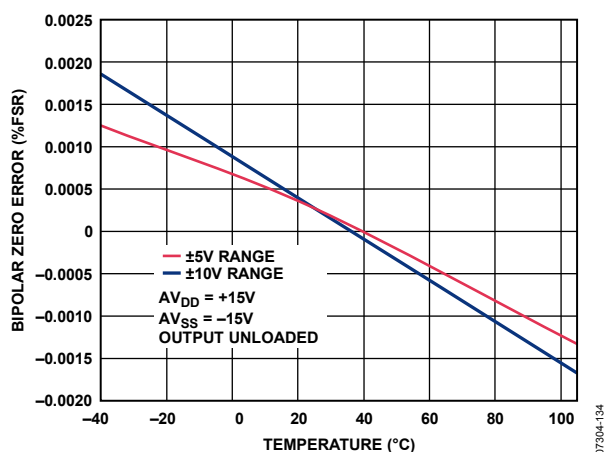


図 16. バイポーラ・ゼロ誤差の温度特性

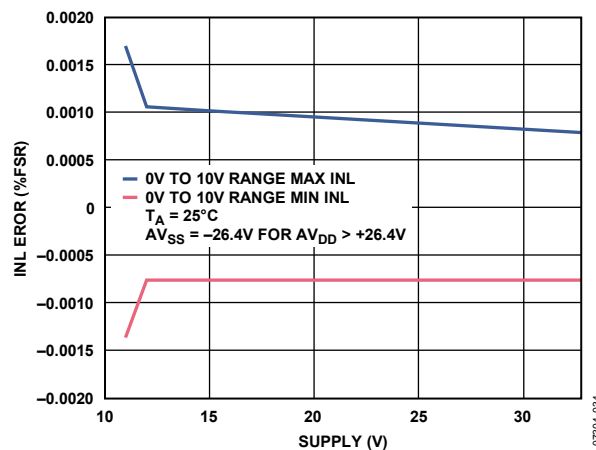
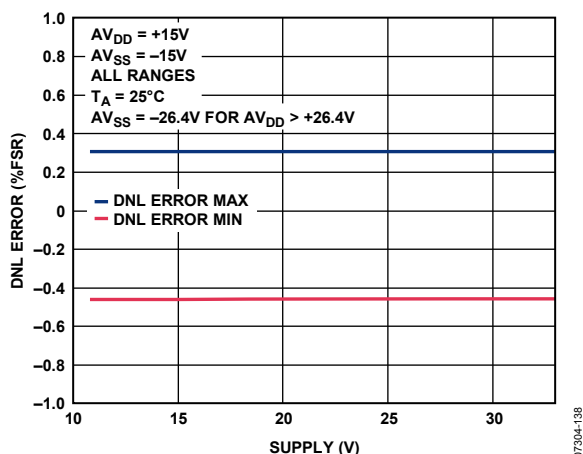
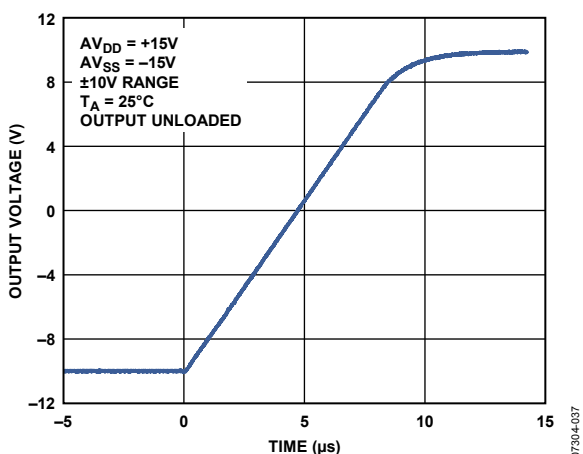


図 19. $AV_{DD}/|AV_{SS}|$ 対積分非直線性誤差



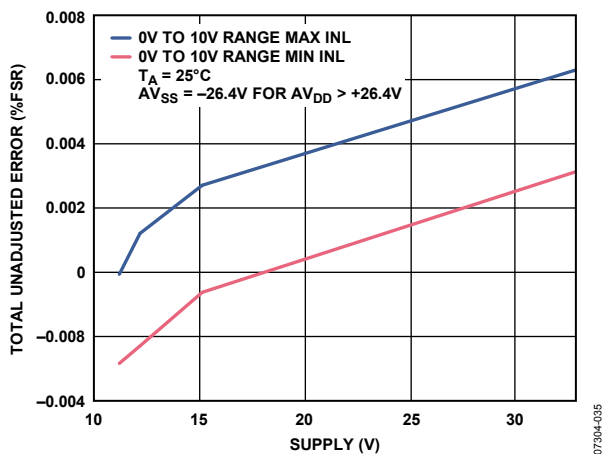
07304-138

図 20. $AV_{DD}/|AV_{SS}|$ 対微分非直線性誤差



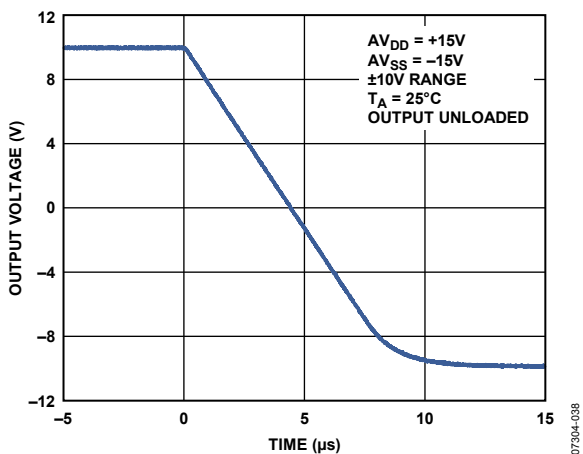
07304-037

図 23. フルスケールの正ステップ



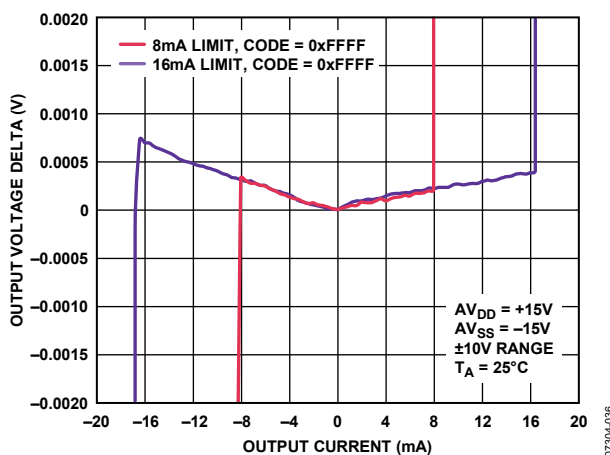
07304-035

図 21. $AV_{DD}/|AV_{SS}|$ 対総合未調整誤差



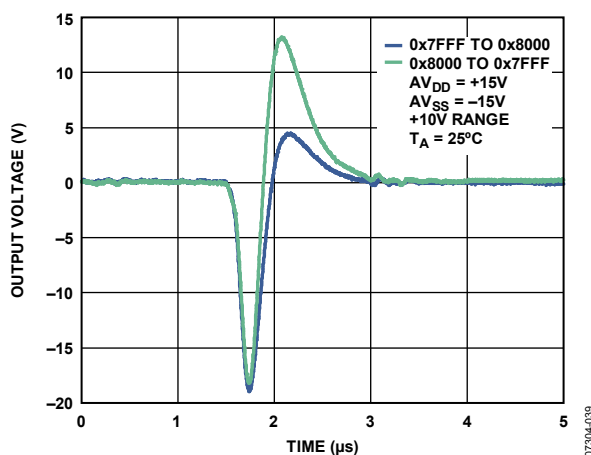
07304-038

図 24. フルスケールの負ステップ



07304-036

図 22. 出力アンプのソース/シンク能力



07304-039

図 25. D/A グリッチ

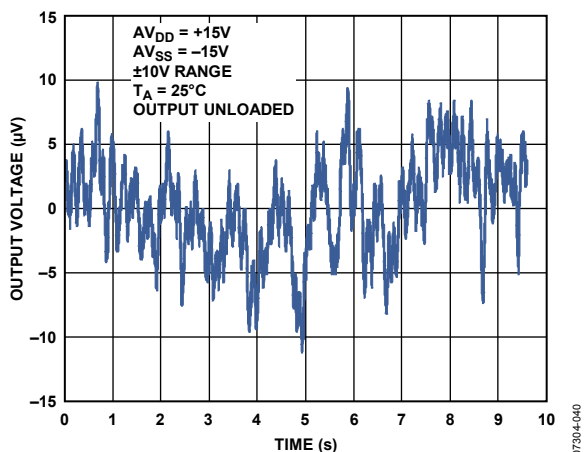


図 26. ピーク to ピーク・ノイズ(帯域幅 0.1 Hz~10 Hz)

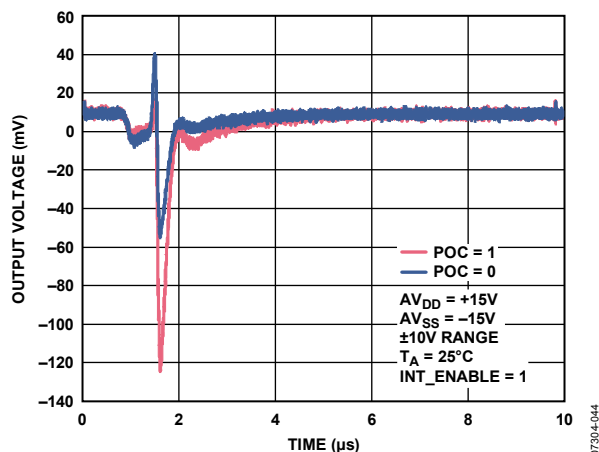


図 29. 出力イネーブル時の V_{OUT_x} 変化

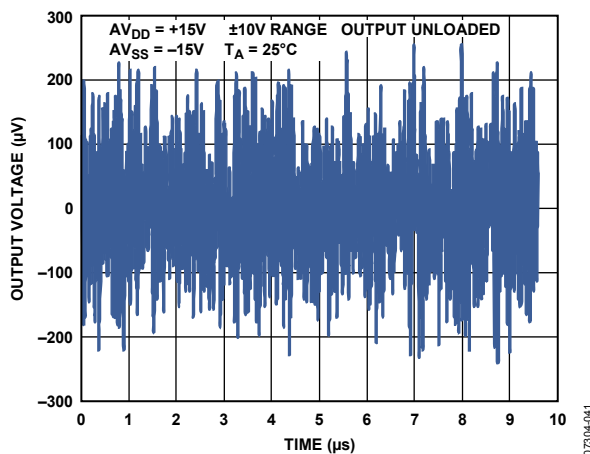


図 27. ピーク to ピーク・ノイズ(帯域幅 100 kHz)

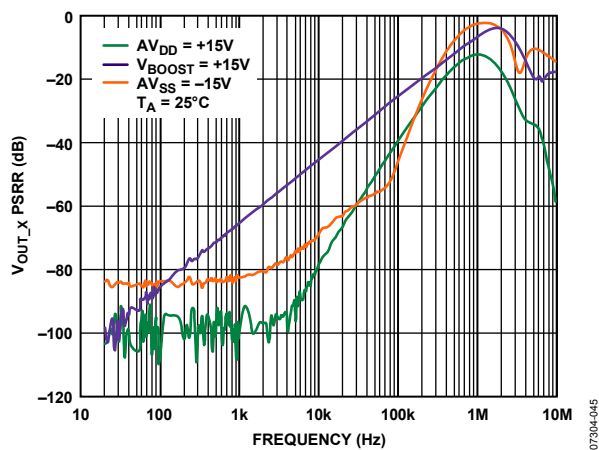


図 30. V_{OUT_x} PSRR の周波数特性

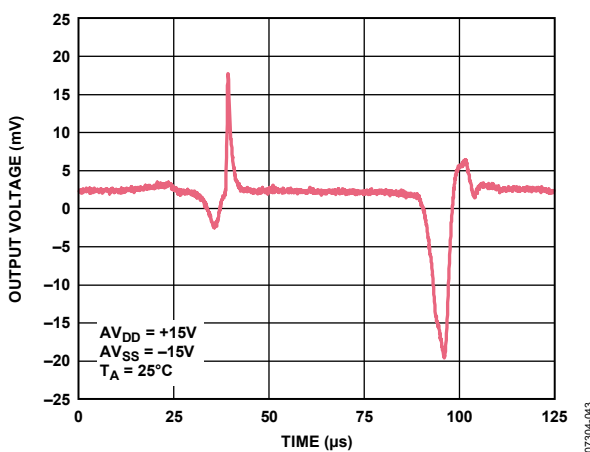


図 28. パワーアップ時の V_{OUT_x} 変化

電流出力

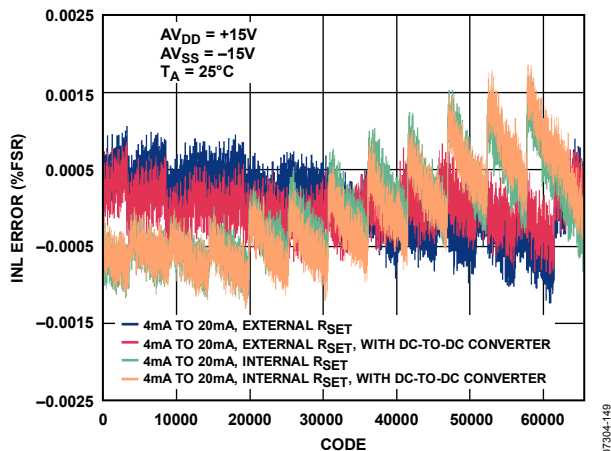


図 31.コード対積分非直線性

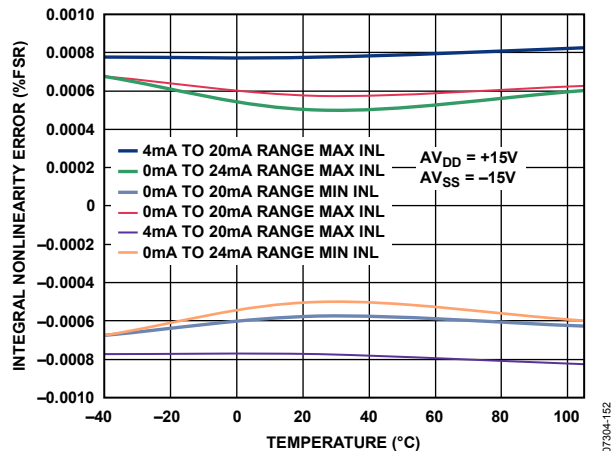


図 34.積分非直線性の温度特性、内蔵 RSET

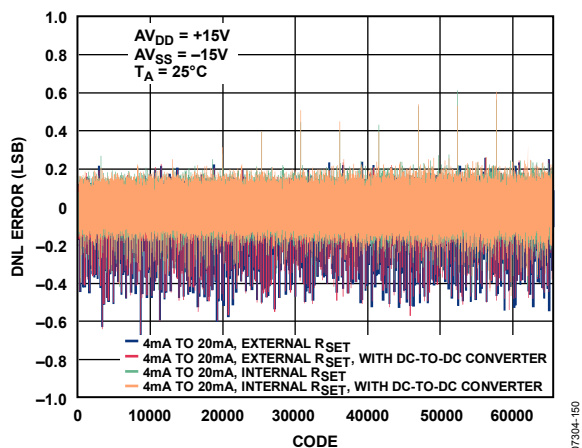


図 32.コード対微分非直線性

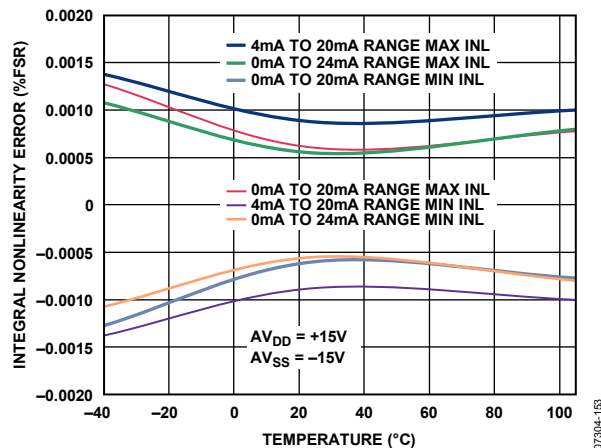


図 35.積分非直線性の温度特性、外付け RSET

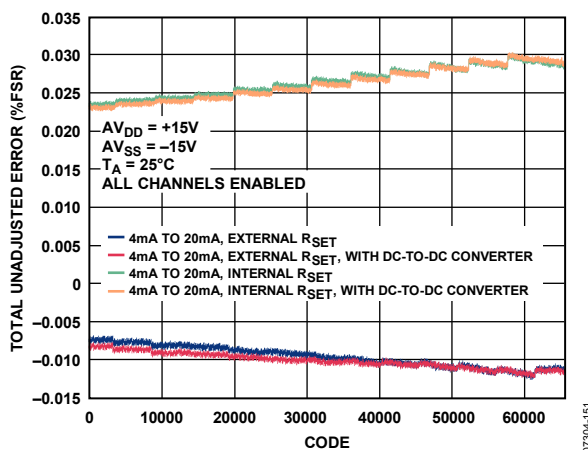


図 33.コード対総合未調整誤差

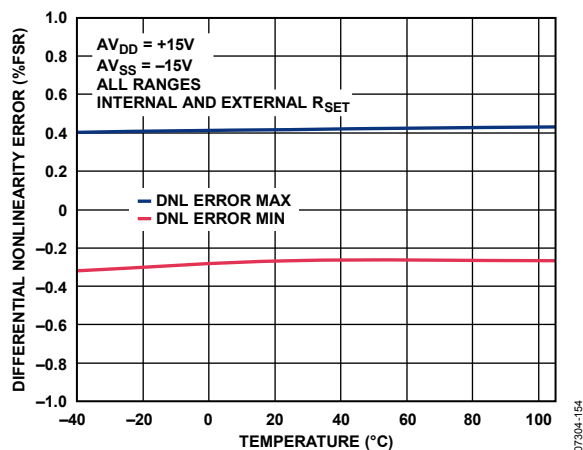


図 36.微分非直線性の温度特性

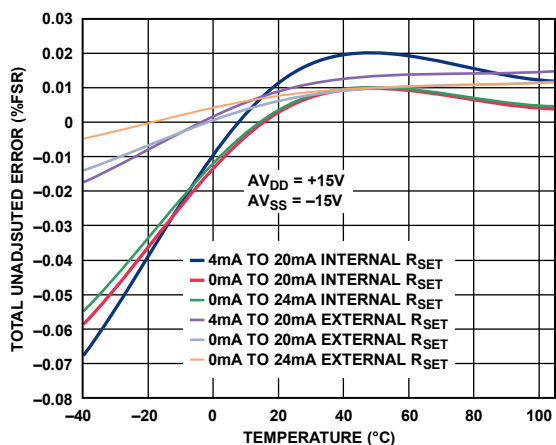


図 37.総合未調整誤差の温度特性

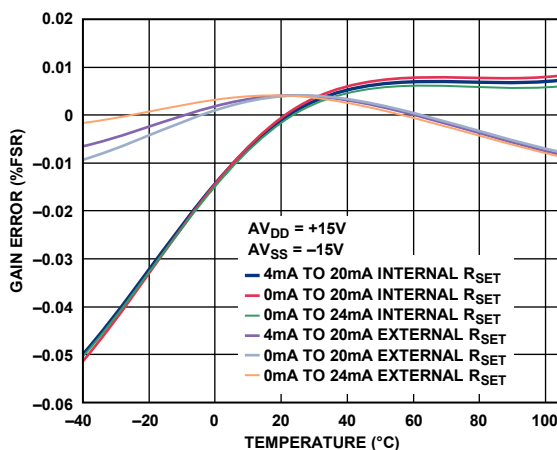


図 40.ゲイン誤差の温度特性

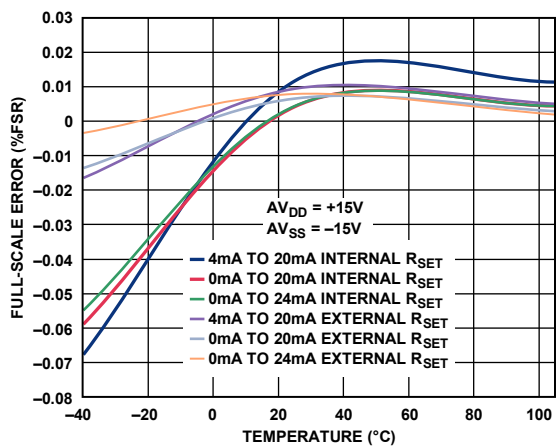


図 38.フルスケール誤差の温度特性

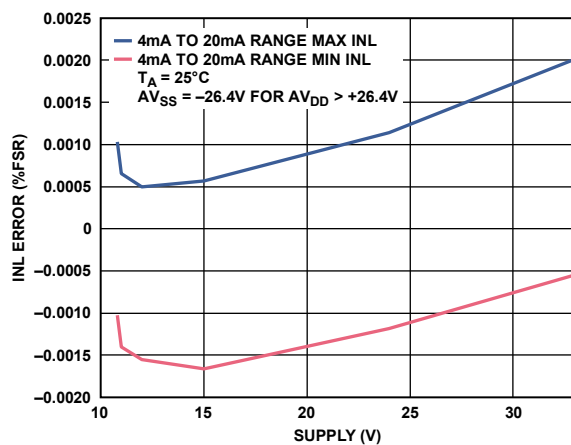


図 41.AV_{DD}/|AV_{SS}|対積分非直線性誤差
電源を変化、外付け R_{SET}

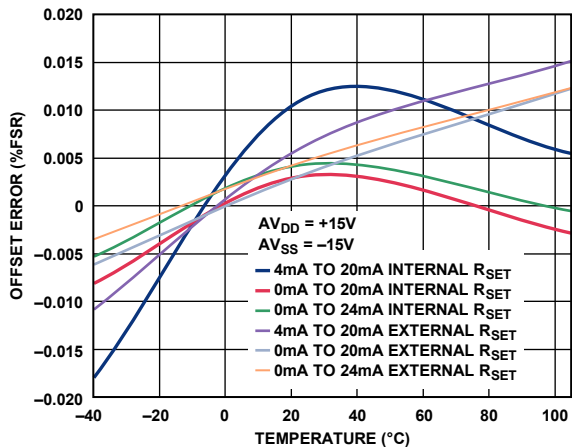


図 39.オフセット誤差の温度特性

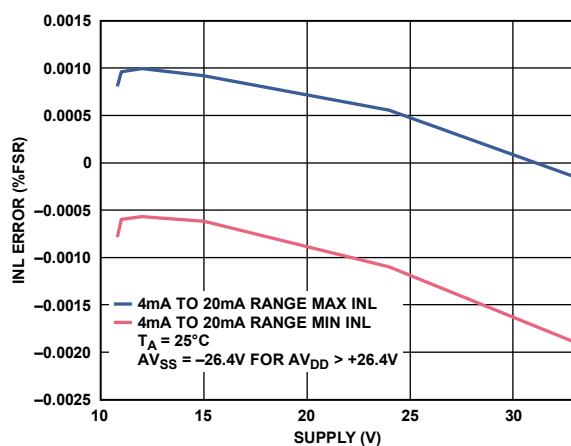


図 42.AV_{DD}/|AV_{SS}|対積分非直線性誤差
電源を変化、内蔵 R_{SET}

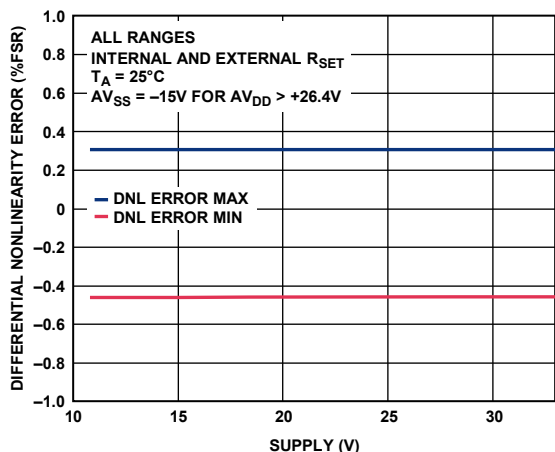


図 43. AV_{DD} 対微分非直線性誤差

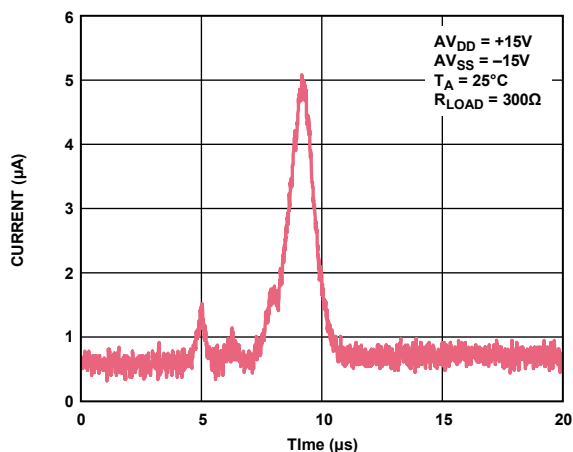


図 46. パワーアップ時の出力電流変化

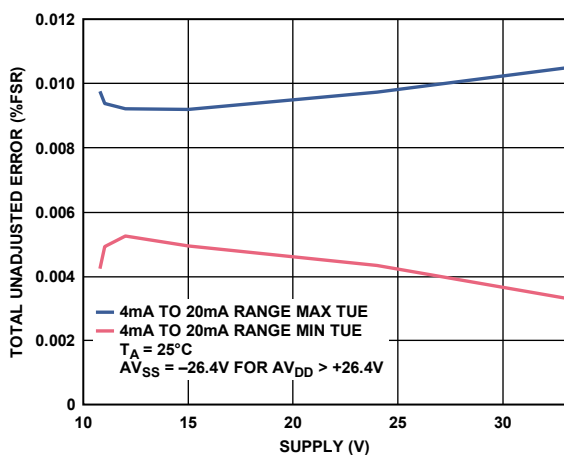


図 44. AV_{DD} 対総合未調整誤差、外付け R_{SET}

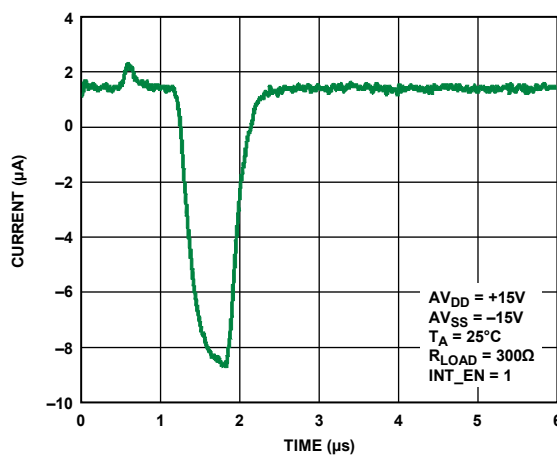


図 47. 出カインーブル時の出力電流変化

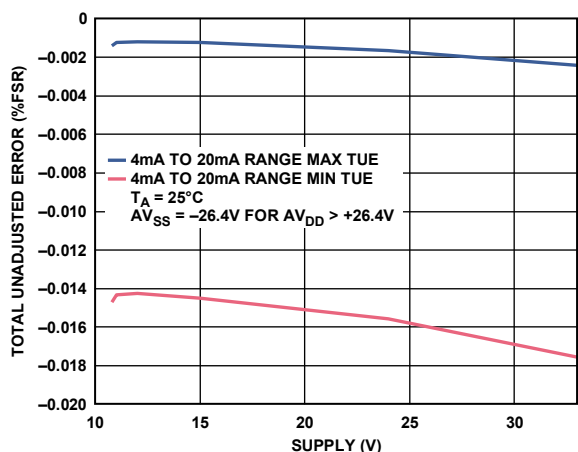


図 45. AV_{DD} 対総合未調整誤差、内蔵 R_{SET}

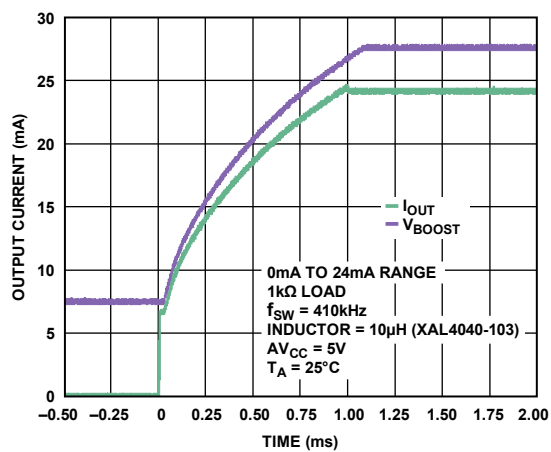


図 48. DC/DCコンバータでの出力電流と V_{BOOST_x} のセッティング (図 78 参照)

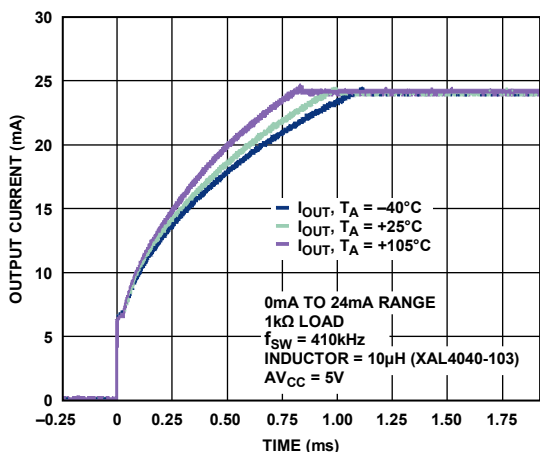


図 49.時間と温度に対するDC/DCコンバータでの出力電流のセトリング (図 78 参照)

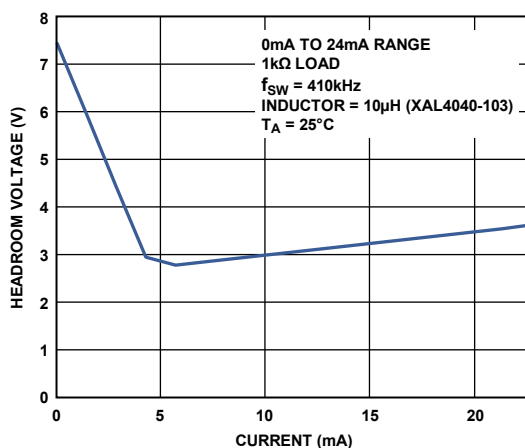


図 52.出力電流対DC/DCコンバータのヘッドルーム (図 78 参照)

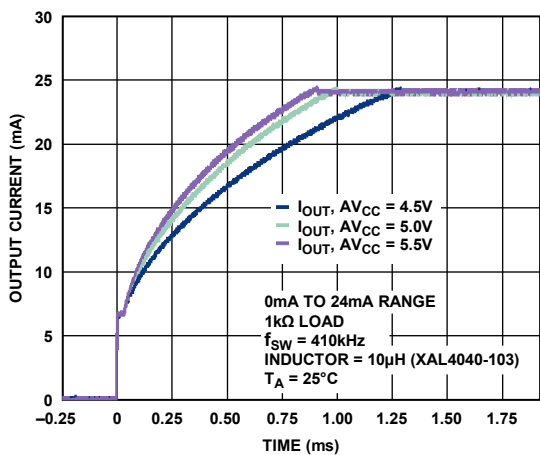


図 50.時間とAV_{CC}に対するDC/DCコンバータでの出力電流のセトリング (図 78 参照)

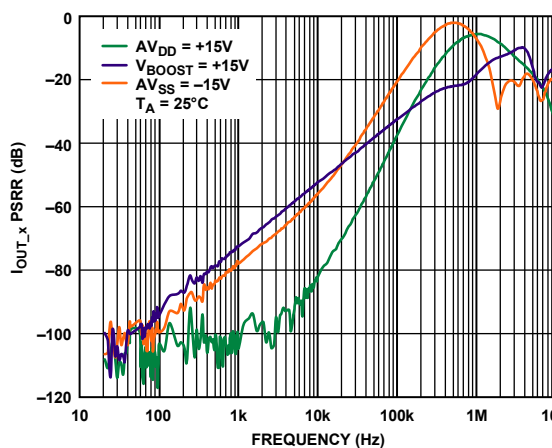


図 53.I_{OUT_X} PSRR の周波数特性

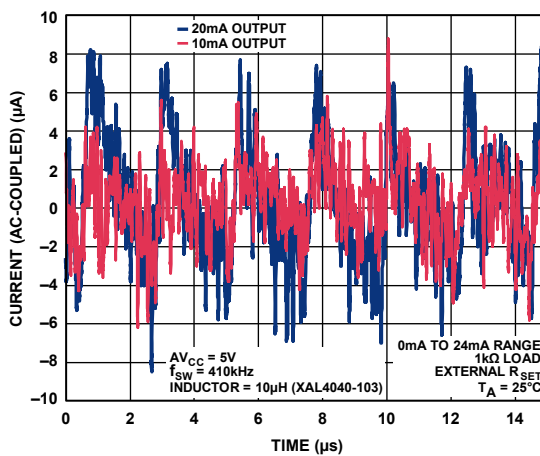


図 51.DC/DCコンバータでの出力電流変化 (図 78 参照)

DC/DCブロック

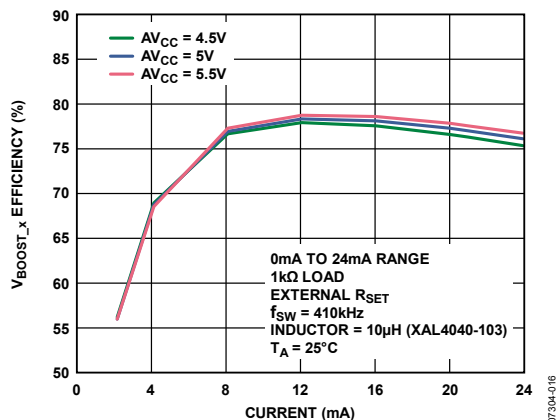


図 54. 出力電流対V_{BOOST_X}での効率 (図 78 参照)

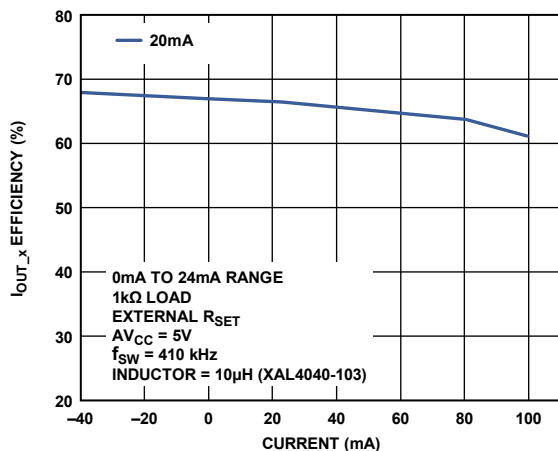


図 57. 出力効率の温度特性 (図 78 参照)

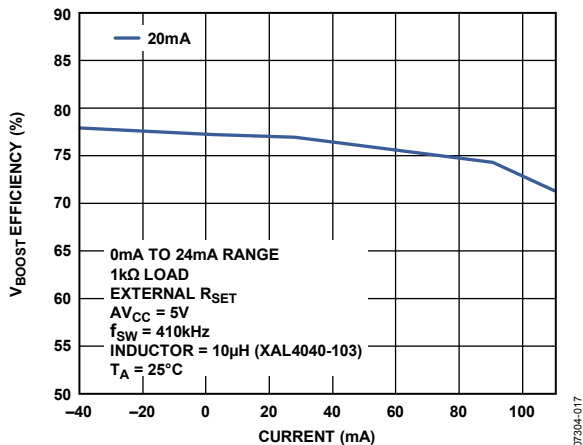


図 55. V_{BOOST_X}での効率の温度特性 (図 78 参照)

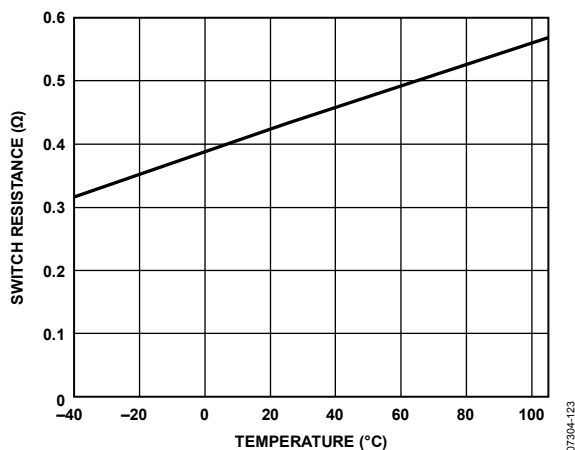


図 58. スイッチ抵抗の温度特性

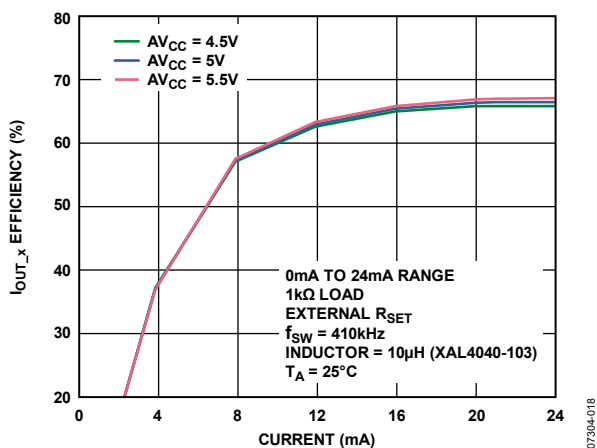


図 56. 出力電流対出力効率 (図 78 参照)

リファレンス電圧

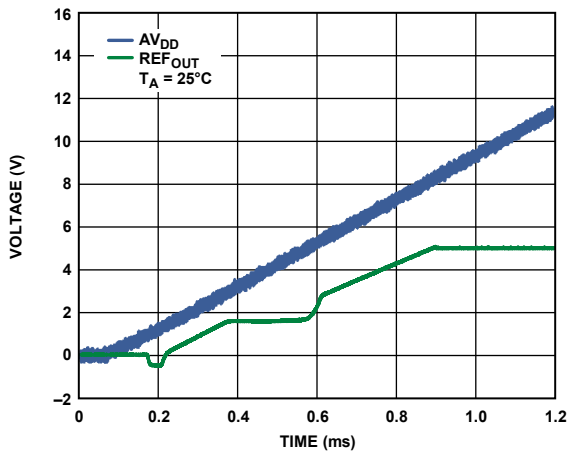


図 59.REFOUT のターンオン過渡電圧

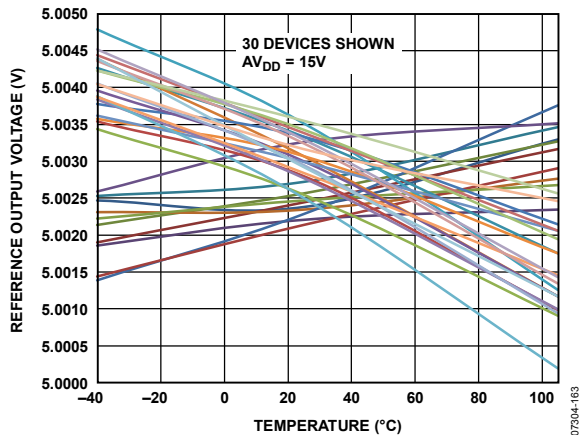


図 62.REFOUT の温度特性
(AD5755 を PCB にハンダ付けする際に、パッケージに加わる熱衝撃によりリファレンス電圧がシフトします。この平均出力電圧シフトは-4 mV です。これらのデバイスの 7 日後の測定では、この出力シフトが初期値側へ 2 mV (typ)戻っていることが示されています。後者のシフトは、ハンダ処理の際に加わったストレスが緩和されるために発生します)

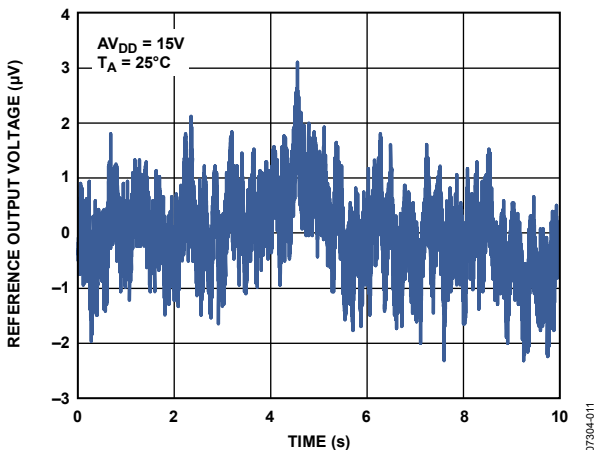


図 60.REFOUT 出力ノイズ(0.1 Hz~10 Hz 帯域幅)

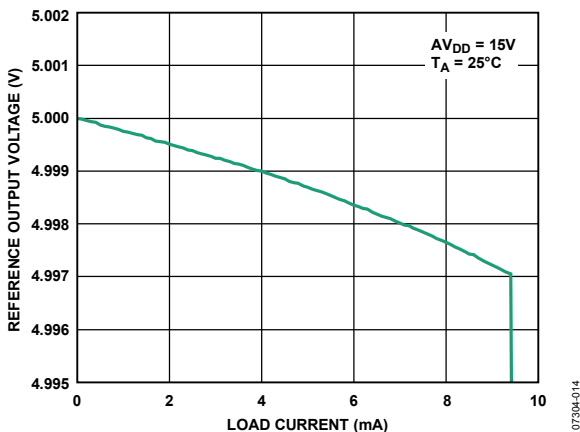


図 63.負荷電流対 REFOUT

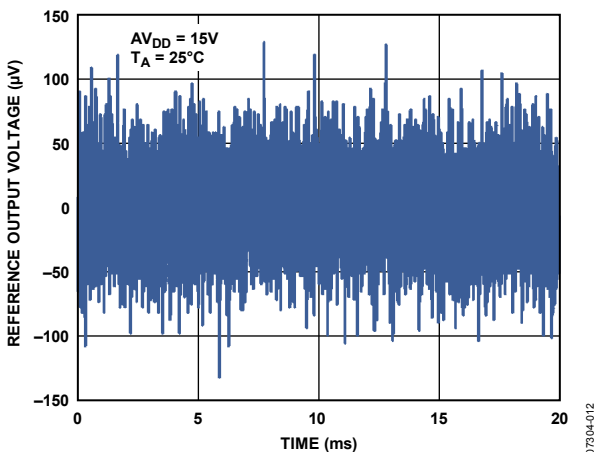


図 61.REFOUT 出力ノイズ(100 kHz 帯域幅)

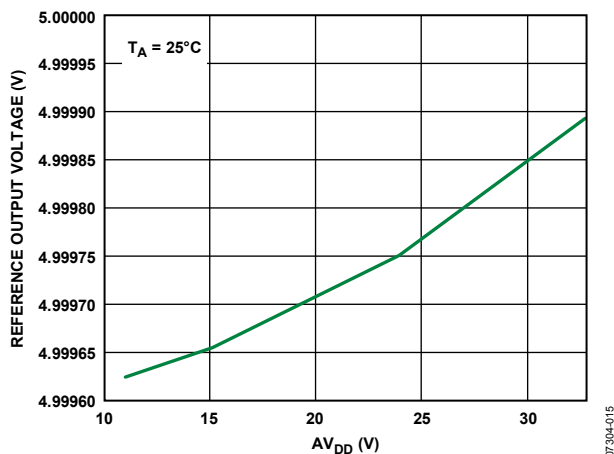


図 64.電源対 REFOUT

全体

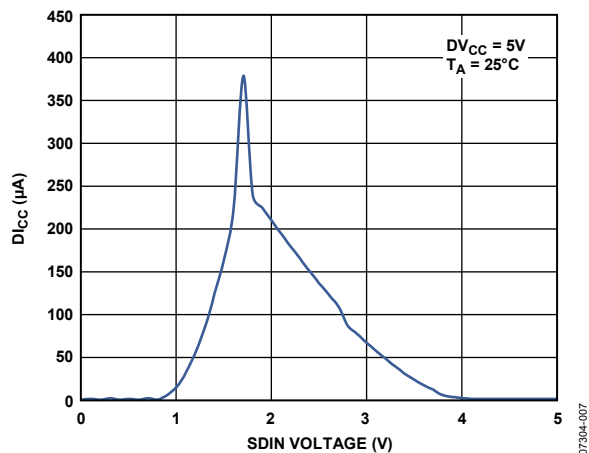


図 65.ロジック入力電圧対 DI_{CC}

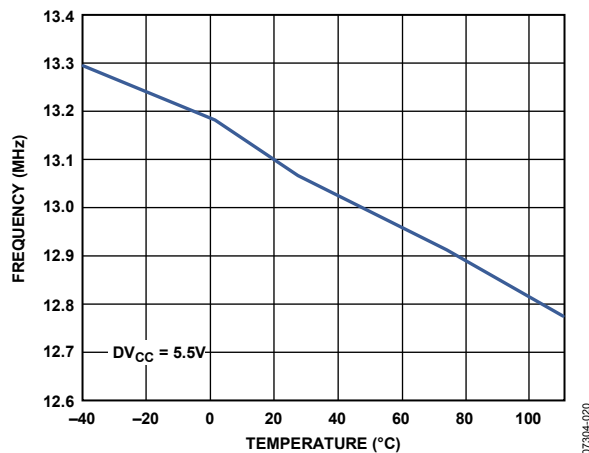


図 68.内蔵発振器周波数の温度特性

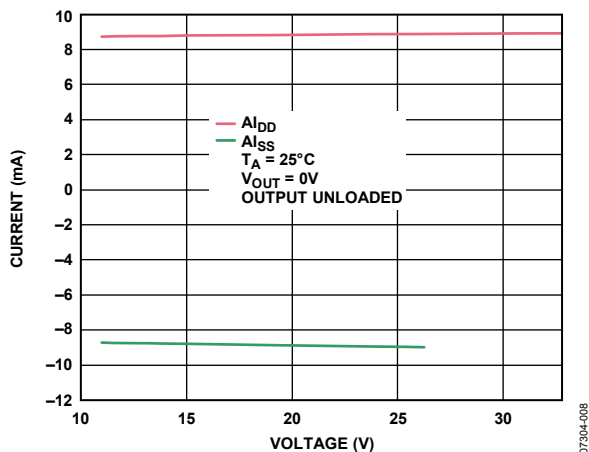


図 66.AV_{DD}/AV_{SS}対 AI_{DD}/AI_{SS}

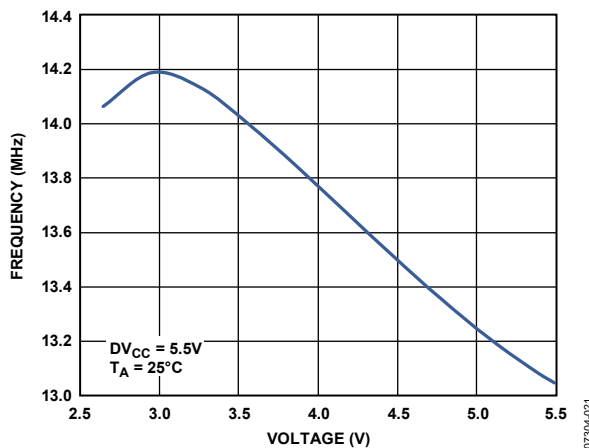


図 69.DV_{CC} 電源電圧対内蔵発振器周波数

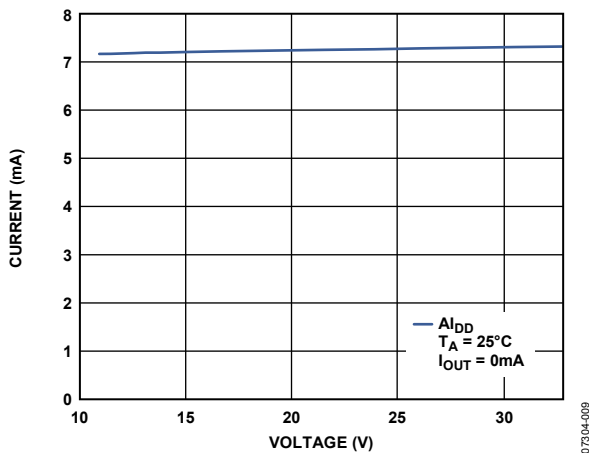


図 67.AV_{DD} 対 AI_{DD}

用語

相対精度または積分非直線性(INL)

DACの場合、相対精度すなわち積分非直線性は、DAC伝達関数の最適近似直線からの最大乖離(LSB数で表示)を表します。

INL(typ)対コードのプロットを図8に示します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する2つのコードの間における測定された変化と理論的な1LSB変化との差を表します。最大±1LSBの微分非直線性の仕様は、単調性を保証するものです。このDACはデザインにより単調性を保証しています。DNL(typ)対コードのプロットを図9に示します。

単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DACは単調であるといえます。AD5755は全動作温度範囲で単調です。

負のフルスケール誤差/ゼロスケール誤差

負のフルスケール誤差は、0x0000(ストレート・バイナリ・コーディング)をDACレジスタにロードしたときのDAC出力電圧の誤差を表します。

ゼロスケール TC

温度変化に対するゼロスケール誤差の変化を意味し、ppm FSR/°Cで表されます。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は、DACレジスタに0x8000(ストレート・バイナリ・コーディング)をロードしたときの、0Vの理論ハーフスケール出力からのアナログ出力の差を意味します。

バイポーラ・ゼロ TC

バイポーラ・ゼロ TCは、温度変化に対するバイポーラ・ゼロ誤差の変化を表し、ppm FSR/°Cで表されます。

オフセット誤差

電圧出力モードでは、オフセット誤差はバイポーラ出力範囲でDACレジスタに0x4000(ストレート・バイナリ・コーディング)をロードしたときの、理論1/4スケール出力からのアナログ出力の乖離を表します。

電流出力モードでは、オフセット誤差はすべてのDACレジスタに0x0000をロードしたときの、理論ゼロスケール出力からのアナログ出力の乖離を表します。

ゲイン誤差

DACのスペン誤差を表します。理論DAC伝達特性傾斜からの変位を表し、DAC出力の%FSRで表示されます。

ゲイン TC

ゲイン誤差の温度変化を表します。ppm FSR/°Cで表されます。

フルスケール誤差

フルスケール誤差は、フルスケール・コードをDACレジスタにロードしたときの出力誤差として測定されます。理論的には出力はフルスケール-1LSBである必要があります。フルスケール誤差はフルスケール範囲のパーセント値(%FSR)で表されます。

フルスケール TC

フルスケール TCは、温度変化に対するフルスケール誤差の変化を意味し、ppm FSR/°Cで表されます。

総合未調整誤差

総合未調整誤差(TUE)は、INL誤差、オフセット誤差、ゲイン誤差、温度、時間などの種々の誤差をすべて考慮した出力誤差を表し、%FSRで表されます。

DC クロストーク

別のDAC出力でのフルスケール変化に起因する1つのDACの出力レベルでのDC変化。ミッドスケールを出力する1つのDACをモニタしながら、別のDAC上でのフルスケール出力変化を使って測定します。

電流ループ・コンプライアンス電圧

出力電流と設定値が一致しているときの $I_{OUT,X}$ ピンの最大電圧。

リファレンス電圧の熱ヒステリシス

+25°Cで測定した出力電圧と、+25°C→-40°C→+105°C→+25°Cの温度サイクルを加えた後に+25°Cで測定した出力電圧との差で表します。このヒステリシスは最初と2回目の温度サイクルに対して規定され、ppmで表されます。

出力電圧セトリング・タイム

フルスケール入力変化に対して、出力が規定のレベルまでに安定するために要する時間を表します。セトリング・タイムのプロットを図23、図49、図50に示します。

スルーレート

デバイスのスルーレートは、出力電圧の変化率の限界値を表します。電圧出力DACの出力スルーレートは一般に、出力で使用されるアンプのスルーレートで制限されます。スルーレートは出力信号の10%から90%までで測定され、V/μsで表されます。

パワーオン・グリッチ・エネルギー

AD5755がパワーオンするときにアナログ出力に混入するインパルスで表します。グリッチの面積を表す単位nV-secで表わされます(図28と図46参照)。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、出力電圧を変化させずにDACレジスタ内の入力コードを変化させたときに、アナログ出力に混入するインパルスを表します。通常、nV-secで表すグリッチの面積として規定され、メジャー・キャリ変化時に(0x7FFF→0x8000)、デジタル入力コードが1LSBだけ変化したときに測定されます。図25を参照してください。

グリッチ・インパルスのピーク振幅

デジタルからアナログへのグリッチ・インパルスのピーク振幅は、DACレジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。mVで表す振幅として規定され、メジャー・キャリ変化(0x7FFF→0x8000)時に、デジタル入力コードが1 LSBだけ変化したときに測定されます。図 25 を参照してください。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上のフルスケール・コード変化を使って測定されます。

DAC 間クロストーク

デジタル・コードの変化とそれに続く DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。 $\overline{\text{LDAC}}$ ピンをロー・レベルに設定して、DAC の1つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、別の DAC 出力をモニタすることにより測定します。グリッチのエネルギーは nV-sec で表示します。

電源除去比(PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。

リファレンスの TC

温度変化に対するリファレンス出力電圧の変化を意味し、ppm/°C で表されます。

ライン・レギュレーション

電源電圧の規定された変化によるリファレンス出力電圧の変化を意味し、ppm/V で表されます。

負荷レギュレーション

負荷電流の規定された変化による出力電圧の変化を意味し、ppm/mA で表わされます。

DC/DC コンバータ・ヘッドルーム

電流出力が必要とされる電圧と DC/DC コンバータから出力される電圧との差を意味します。図 52 を参照してください。

出力効率

$$\frac{I_{OUT}^2 \times R_{LOAD}}{AV_{CC} \times AI_{CC}}$$

チャンネルの負荷へ供給される電力対チャンネルの DC/DC 入力へ供給される電力として定義されます。

V_{BOOST_x} での効率

$$\frac{I_{OUT} \times V_{BOOST_x}}{AV_{CC} \times AI_{CC}}$$

チャンネルの V_{BOOST_x} 電源へ供給される電力対チャンネルの DC/DC 入力へ供給される電力として定義されます。V_{BOOST_x} 静止電流は、DC/DC コンバータ損失の一部と見なされます。

動作原理

AD5755 は、工業用制御アプリケーションの要求を満たすようにデザインされた、デジタル値を電流ループ出力と電圧出力に変換する高精度クワッド・コンバータです。電流ループ出力とユニポーラ/バイポーラ電圧出力を発生する、高精度フル統合低価格のシングルチップ・ソリューションです。電流範囲は、0 mA~20 mA、0 mA~24 mA、4 mA~20 mA です。電圧範囲は、0 V~5 V、±5 V、0 V~10 V、±10 V です。電流出力と電圧出力は別々のピンに出力されますが、両ピンは同時にアクティブになることはできません。DAC 出力構成はコントロール・レジスタを使って選択することができます。

内蔵のダイナミック消費電力制御機能により、電流モードでのパッケージ消費電力が最小になります。

DACアーキテクチャ

AD5755 のDACコアのアーキテクチャは、2 つの一致したDACセクションから構成されています。簡略化した回路図を図 70 に示します。16 ビット・データ・ワードの上位 4 ビットはデコードされて、15 個のスイッチ(E1~E15)を駆動します。これらの各スイッチは、15 個の一致した抵抗の 1 つをグラウンドまたはリファレンス・バッファ出力に接続します。データ・ワードの残りの 12 ビットは、12 ビット電圧モードR-2Rラダー回路のスイッチ(S0~S11)を駆動します。

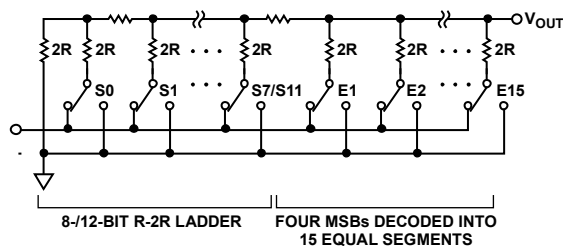


図 70. DAC のラダー構造

DACコアからの電圧出力は、電流モードの場合には、電流に変換され(図 72 参照)、この電流はアプリケーションから単純な電流源出力として見えるように電源レール基準に変換されます。電圧モードの場合には、バッファ/スケールされて、ソフトウェアから選択可能なユニポーラ電圧範囲出力またはバイポーラ電圧範囲出力になります(図 71 参照)。電圧出力と電流出力の電源は V_{BOOST_x} から供給されます。電流出力と電圧出力は別々のピンに出力されますが、両ピンへ同時に出力されることはありません。このため、1 つのチャンネルの電流出力ピンと電圧出力ピンは、相互接続することができます。

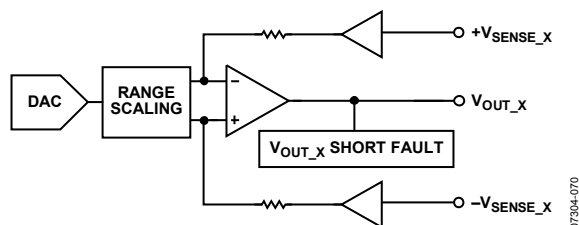


図 71. 電圧出力

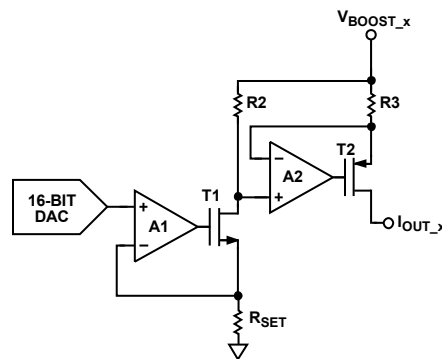


図 72. 電圧/電流変換回路

電圧出力アンプ

電圧出力アンプは、ユニポーラとバイポーラの出力電圧を発生することができます。AGNDに接続された $1\text{ k}\Omega$ と、これに並列接続された $1\text{ }\mu\text{F}$ (外付け補償コンデンサを含む)の負荷を駆動することができます。図 22 に、出力アンプのソース能力とシンク能力を示します。スルーレートは $1.9\text{ V}/\mu\text{s}$ であり、フルスケールでのセットリング・タイムは $16\mu\text{s}$ です(10 V ステップ)。負荷のリモート検出が不要の場合は、 $+V_{SENSE_x}$ と V_{OUT_x} を、および $-V_{SENSE}$ と AGND を、それぞれ接続してください。 $+V_{SENSE_x}$ は $V_{OUT_x} \pm 3.0\text{ V}$ 以内に、 $-V_{SENSE_x}$ は AGND $\pm 3.0\text{ V}$ 以内に、それぞれ維持する必要があります。

大きな容量負荷の駆動

電圧出力アンプは、各チャンネルに 220 pF の無極性補償コンデンサを接続して最大 $2\text{ }\mu\text{F}$ の容量負荷を駆動することができます。補償コンデンサの適切な値の選択には注意が必要です。AD5755 は大きな容量負荷を駆動でき、オーバーシュートを抑えますが、このコンデンサによりデバイスのセットリング・タイムが大きくなり、システムの帯域幅が影響を受けます。補償コンデンサがない場合、最大 10 nF の容量負荷を駆動することができます。補償コンデンサの接続については、表 5 を参照してください。

リファレンス電圧バッファ

AD5755 は、外付けまたは内蔵のリファレンス電圧で動作することができます。リファレンス入力では、規定の性能に対して 5 V のリファレンス電圧が必要です。この入力電圧はバッファされた後に DAC へ供給されます。

AD5755 のパワーオン状態

AD5755 の初期パワーアップ時、パワーオン・リセット回路がパワーオン状態(POC)ピンに依存しない状態でパワーアップします。

POC = 0 の場合、電圧出力チャンネルと電流出力チャンネルはスリープ状態・モードでパワーアップします。

POC = 1 の場合、電圧出力チャンネルはグラウンドへの $30\text{ k}\Omega$ プルダウン抵抗を接続してパワーアップし、電流出力チャンネルはスリープ状態でパワーアップします。

出力範囲がイネーブルされていない場合でも、デフォルト出力範囲は $0\text{ V}\sim 5\text{ V}$ で、クリア・コード・レジスタには全ビット・ゼロがロードされます。これは、ユーザがパワーアップ後にデバイスをクリアした場合、出力が 0 V へアクティブ駆動されることを意味します(クリアのためにチャンネルがイネーブルされている場合)。

シリアル・インターフェース

AD5755 は、最大 30 MHz のクロック・レートで動作し、かつ SPI、QSPI、MICROWIRE、DSP の各規格と互換性を持つ多機能の 3 線式シリアル・インターフェースを介して制御されます。データ・コーディングは常にストレート・バイナリです。

入力シフトレジスタ

入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。データは SCLK の立下がりエッジで入力されます。

パケット・エラー・チェック、すなわち PEC (デバイス機能のセクション参照) がイネーブルされると、追加の 8 ビットを AD5755 へ書込む必要があるため、32 ビット・シリアル・インターフェースになります。

DAC 出力の更新には個別更新とすべての DAC の同時更新の 2 つの方法があります。

DAC の個別更新

このモードでは、データを DAC データ・レジスタへ入力中に $\overline{\text{LDAC}}$ をロー・レベルにします。アドレス指定された DAC 出力は、SYNC の立上がりエッジで更新されます。タイミング情報については、表 3 と 図 3 を参照してください。

すべての DAC の同時更新

このモードでは、データを DAC データ・レジスタへ入力中に $\overline{\text{LDAC}}$ をハイ・レベルにします。 $\overline{\text{LDAC}}$ をハイ・レベルにした後の、各チャンネルの DAC データ・レジスタに対する最初の書き込みだけが有効です。 $\overline{\text{LDAC}}$ がハイ・レベルに維持されている間の後続の書き込みでは DAC データ・レジスタにロードされますが、書き込みは無視されます。SYNC をハイ・レベルにした後に $\overline{\text{LDAC}}$ をロー・レベルにすると、すべての DAC 出力が更新されます。

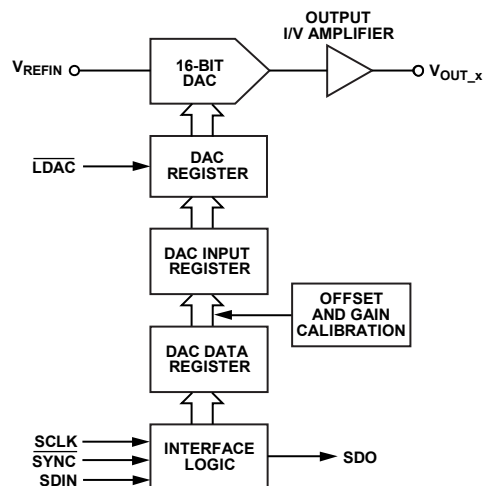


図 73. 1 個の DAC チャンネルについて入力ロード回路を簡略化したシリアル・インターフェース

伝達関数

表 6 に、 $\pm 10 \text{ V}$ 出力範囲のストレート・バイナリ・データ・コーディングに対する AD5755 の入力コードと理論出力電圧の関係を示します。

表 6. 理論出力電圧と入力コードの関係

Digital Input				Analog Output V_{OUT}
Straight Binary Data Coding				
MSB	LSB			
1111	1111	1111	1111	$+2 V_{\text{REF}} \times (32,767/32,768)$
1111	1111	1111	1110	$+2 V_{\text{REF}} \times (32,766/32,768)$
1000	0000	0000	0000	0 V
0000	0000	0000	0001	$-2 V_{\text{REF}} \times (32,767/32,768)$
0000	0000	0000	0000	$-2 V_{\text{REF}}$

レジスタ

表 7 に、AD5755 のレジスタの概要を示します。

表 7. AD5755 のデータ・レジスタ、コントロール・レジスタ、リードバック・レジスタ

Register	Description
Data	
DAC Data Register (×4)	Used to write a DAC code to each DAC channel. AD5755 data bits = D15 to D0. There are four DAC data registers, one per DAC Channel.
Gain Register (×4)	Used to program gain trim, on a per channel basis. AD5755 data bits = D15 to D0. There are four gain registers, one per DAC channel.
Offset Register (×4)	Used to program offset trim, on a per channel basis. AD5755 data bits = D15 to D0. There are four offset registers, one per DAC channel.
Clear Code Register (×4)	Used to program clear code on a per channel basis. AD5755 data bits = D15 to D0. There are four clear code registers, one per DAC channel.
Control	
Main Control Register	Used to configure the part for main operation. Sets functions such as status readback during write, enables output on all channels simultaneously, powers on all dc-to-dc converter blocks simultaneously, and enables and sets conditions of the watchdog timer. See the Device Features section for more details.
Software Register	Has three functions. Used to perform a reset, to toggle the user bit, and, as part of the watchdog timer feature, to verify correct data communication operation.
Slew Rate Control Register (×4)	Use to program the slew rate of the output. There are four slew rate control registers, one per channel.
DAC Control Register (×4)	These registers are used to control the following: Set the output range, for example, 4 mA to 20 mA, 0 V to 10 V. Set whether an internal/external sense resistor is used. Enable/disable a channel for CLEAR. Enable/disable overrange. Enable/disable internal circuitry on a per channel basis. Enable/disable output on a per channel basis. Power on dc-to-dc converters on a per channel basis. There are four DAC control registers, one per DAC channel.
DC-to-DC Control Register	Use to set the dc-to-dc control parameters. Can control dc-to-dc maximum voltage, phase, and frequency.
Readback	
Status Register	This contains any fault information, as well as a user toggle bit.

出力の書き込み/イネーブルを行う設定シーケンス

パワーオン状態後のデバイスへの書き込みと設定は、次のシーケンスで行います。

1. 初期パワーオン後にハードウェア・リセットまたはソフトウェア・リセットを行います。
2. DC/DC コンバータ電源ブロックを設定します。DC/DC スイッチング周波数、最大許容出力電圧、4 個の DC/DC チャンネルがクロック駆動される位相を設定します。
3. チャンネルごとに DAC コントロール・レジスタを設定します。出力範囲を選択し、DC/DC コンバータ・ブロックをイネーブルします(DC_DC ビット)。この時点で、他のコントロール・ビットを設定することができます。INT_ENABLE ビットをセットしますが、出力イネーブル・ビット(OUTEN)はセットしません。
4. DAC データ・レジスタにコードを書込みます。これにより内部でフル DAC キャリブレーションが実行されます。出力グリッチを小さくするため、最小 200 μ s 待った後にステップ 5 へ進みます。
5. 再度 DAC コントロール・レジスタへ書き込みを行って、出力をイネーブルします(OUTEN ビットをセット)。

このシーケンスのフローチャートを 図 74 に示します。

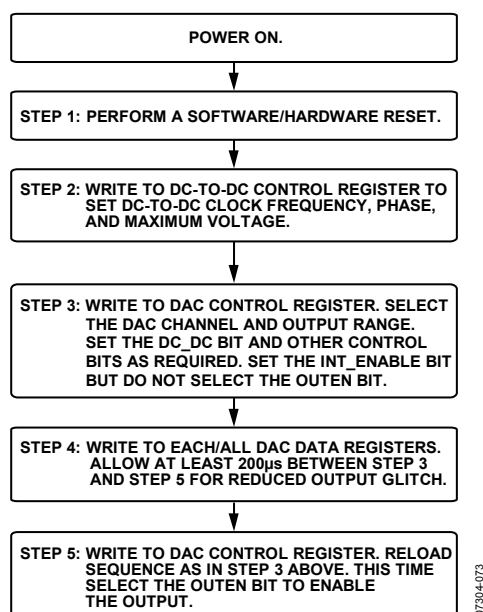


図 74.出力のイネーブルを行う設定シーケンス

範囲の変更と再設定

範囲を変更するときは、出力の書き込み/イネーブルを行う設定シーケンスのセクションの説明と同じシーケンスを使う必要があります。出力をディスエーブルする前に範囲をゼロ・ポイント(ミッドスケールまたはゼロスケール)に設定することが推奨されます。DC/DC スイッチング周波数、最大電圧、位相が既に選択されているため、これらを再設定する必要はありません。このシーケンスのフローチャートを 図 75 に示します。

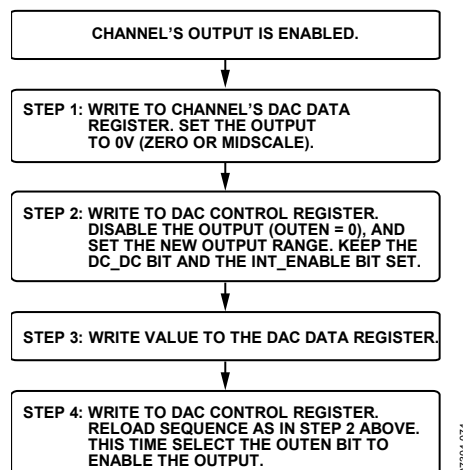


図 75.出力範囲を変更するステップ

データ・レジスタ

入力レジスタは 24 ビット幅です。PECをイネーブルすると、入力レジスタは 32 ビット幅になり、最後の 8 ビットはPECコードに対応します(PECの詳細については、パケット・エラーのチェックのセクション参照)。データ・レジスタへの書き込みでは、表 8 に示すフォーマットを使う必要があります。

DACデータ・レジスタ

AD5755 DACデータ・レジスタへの書き込みでは、D15～D0 が DACデータビットとして使われます。表 10 にはレジスタ・フォーマットを、表 9 にはビットD23～ビットD16 の機能を、それぞれ示します。

表 8. データ・レジスタの書き込み

MSB							LSB	
D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	Data

表 9. 入力レジスタのデコード

Bit	Description			
R/W	Indicates a read from or a write to the addressed register.			
DUT_AD1, DUT_AD0	Used in association with the external pins, AD1 and AD0, to determine which AD5755 device is being addressed by the system controller.			
	DUT_AD1	DUT_AD0	Function	
	0	0	Addresses part with Pin AD1 = 0, Pin AD0 = 0	
	0	1	Addresses part with Pin AD1 = 0, Pin AD0 = 1	
	1	0	Addresses part with Pin AD1 = 1, Pin AD0 = 0	
	1	1	Addresses part with Pin AD1 = 1, Pin AD0 = 1	
DREG2, DREG1, DREG0	Selects whether a data register or a control register is written to. If a control register is selected, a further decode of CREG bits (see Table 17) is required to select the particular control register, as follows.			
	DREG2	DREG1	DREG0	Function
	0	0	0	Write to DAC data register (individual channel write)
	0	1	0	Write to gain register
	0	1	1	Write to gain register (all DACs)
	1	0	0	Write to offset register
	1	0	1	Write to offset register (all DACs)
	1	1	0	Write to clear code register
	1	1	1	Write to a control register
DAC_AD1, DAC_AD0	These bits are used to decode the DAC channel.			
	DAC_AD1	DAC_AD0	DAC Channel/Register Address	
	0	0	DAC A	
	0	1	DAC B	
	1	0	DAC C	
	1	1	DAC D	
	X	X	These are don't cares if they are not relevant to the operation being performed.	

表 10. DAC データ・レジスタの設定

MSB							LSB	
D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	DAC data

ゲイン・レジスタ

16 ビット・ゲイン・レジスタ(表 11)を使うと、各チャンネルのゲインを 1 LSBステップで調整することができます。これは、DREG[2: 0]ビットに 010 を設定することにより行われます。DREG[2: 0]ビットに 011 を設定して 4 個の全DACチャンネルへ同時に同じゲイン・コードを書込むことができます。ゲイン・レジスタ・コーディングはストレート・バイナリです(表 12 参照)。ゲイン・レジスタのデフォルト・コードは 0xFFFFです。理論的には、出力の全範囲でゲイン調整することができます。実際には、推奨最大ゲイン調整は精度を維持するため、設定された範囲の約 50% になります。詳細については、デバイス機能セクション内の オフセットとゲインのデジタル調整セクションを参照してください。

オフセット・レジスタ

16 ビット・オフセット・レジスタ(表 13)を使うと、各チャンネルのオフセットを-32,768 LSB~+32,767 LSBの範囲で 1 LSBステップごとに調整することができます。これは、DREG[2: 0]ビッ

トに 100 を設定することにより行われます。DREG[2: 0]ビットに 101 を設定して 4 個の全DACチャンネルへ同時に同じオフセット・コードを書込むことができます。オフセット・レジスタ・コーディングはストレート・バイナリです(表 14 参照)。オフセット・レジスタのデフォルト・コードは 0x8000 で、これによりゼロ・オフセットが出力に設定されます。詳細については、オフセットとゲインのデジタル調整セクション内の デバイス機能セクションを参照してください。

クリア・コード・レジスタ

16 ビット・クリア・コード・レジスタを使うと、各チャンネルのクリア値を設定することができます(表 15)。CLEARピンをアクティブにしたときにクリアされるチャンネルを、チャンネルごとにソフトウェアからイネーブル/ディスエーブルすることができます。デフォルト・クリア・コードは 0x0000 です。詳細については、非同期クリアセクション内の デバイス機能セクションを参照してください。

表 11.ゲイン・レジスタの設定

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15 to D0
0	Device address		0	1	0	DAC channel address		Gain adjustment

表 12.ゲイン・レジスタ

Gain Adjustment	G15	G14	G13	G12 to G4	G3	G2	G1	G0
+65,535 LSBs	1	1	1	1	1	1	1	1
+65,534 LSBs	1	1	1	1	1	1	0	0
...
1 LSB	0	0	0	0	0	0	0	1
0 LSBs	0	0	0	0	0	0	0	0

表 13.オフセット・レジスタの設定

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15 to D0
0	Device address		1	0	0	DAC channel address		Offset adjustment

表 14.オフセット・レジスタのオプション

Offset Adjustment	OF15	OF14	OF13	OF12 to OF4	OF3	OF2	OF1	OF0
+32,767 LSBs	1	1	1	1	1	1	1	1
+32,766 LSBs	1	1	1	1	1	1	0	0
...
No Adjustment (Default)	1	0	0	0	0	0	0	0
...
-32,767 LSBs	0	0	0	0	0	0	0	0
-32,768 LSBs	0	0	0	0	0	0	0	0

表 15.クリア・コード・レジスタの設定

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15 to D0
0	Device address		1	1	0	DAC channel address		Clear code

コントロール・レジスタ

コントロール・レジスタへの書き込みでは、表 16 に示すフォーマットを使う必要があります。ビットD23～ビットD16 の設定については表 9 を参照してください。DREG[2: 0]ビットに 111 を設定し、次にCREG[2: 0]ビットにそのレジスタの該当するデコード・アドレス(表 17)を設定することによりコントロール・レジスタがアドレス指定されます。これらのCREGビットにより、種々のコントロール・レジスタを選択します。

メイン・コントロール・レジスタ

メイン・コントロール・レジスタのオプションを表 18 と表 19 に示します。メイン・コントロール・レジスタから制御される機能については、デバイス機能のセクションを参照してください。

表 16. コントロール・レジスタの書き込み

MSB								LSB			
D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12 to D0
R/W	DUT_AD1	DUT_AD0	1	1	1	DAC_AD1	DAC_AD0	CREG2	CREG1	CREG0	Data

表 17. レジスタ・アクセスのデコード

CREG2 (D15)	CREG1 (D14)	CREG0 (D13)	Function
0	0	0	Slew rate control register (one per channel)
0	0	1	Main control register
0	1	0	DAC control register (one per channel)
0	1	1	DC-to-dc control register
1	0	0	Software register (one per channel)

表 18. メイン・コントロール・レジスタの書き込み

MSB											LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3 to D0
0	0	1	POC	STATREAD	EWD	WD1	WD0	X ¹	ShtCctLim	OUTEN_ALL	DCDC_All	X ¹

¹ X = don't care

表 19. メイン・コントロール・レジスタの機能

Bit	Description															
POC	The POC bit determines the state of the voltage output channels during normal operation. Its default value is 0. POC = 0. The output goes to the value set by the POC hardware pin when the voltage output is not enabled (default). POC = 1. The output goes to the opposite value of the POC hardware pin if the voltage output is not enabled.															
STATREAD	Enable status readback during a write. See the Device Features section. STATREAD = 1, enable. STATREAD = 0, disable (default).															
EWD	Enable watchdog timer. See the Device Features section for more information. EWD = 1, enable watchdog. EWD = 0, disable watchdog (default).															
WD1, WD0	Timeout select bits. Used to select the timeout period for the watchdog timer. <table border="1" data-bbox="252 1518 750 1680"> <thead> <tr> <th>WD1</th> <th>WD0</th> <th>Timeout Period (ms)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>5</td> </tr> <tr> <td>0</td> <td>1</td> <td>10</td> </tr> <tr> <td>1</td> <td>0</td> <td>100</td> </tr> <tr> <td>1</td> <td>1</td> <td>200</td> </tr> </tbody> </table>	WD1	WD0	Timeout Period (ms)	0	0	5	0	1	10	1	0	100	1	1	200
WD1	WD0	Timeout Period (ms)														
0	0	5														
0	1	10														
1	0	100														
1	1	200														
ShtCctLim	Programmable short-circuit limit on the V _{OUT_x} pin in the event of a short-circuit condition. 0 = 16 mA (default). 1 = 8 mA.															
OUTEN_ALL	Enables the output on all four DACs simultaneously. Do not use the OUTEN_ALL bit when using the OUTEN bit in the DAC control register.															
DCDC_All	When set, powers up the dc-to-dc converter on all four channels simultaneously. To power down the dc-to-dc converters, all channel outputs must first be disabled. Do not use the DCDC_All bit when using the DC_DC bit in the DAC control register.															

DACコントロール・レジスタ

DACコントロール・レジスタを使って各DACチャンネルを設定します。DACコントロール・レジスタのオプションを表 20 と 表 21 に示します。

表 20.DAC コントロール・レジスタの書込み

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	X ¹	X ¹	X ¹	X ¹	INT_ENABLE	CLR_EN	OUTEN	RSET	DC_DC	OVRNG	R2	R1	R0

¹ X = don't care

表 21.DAC コントロール・レジスタの機能

Bit	Description																																
INT_ENABLE	Powers up the dc-to-dc converter, DAC, and internal amplifiers for the selected channel. Does not enable the output. Can only be done on a per channel basis. It is recommended to set this bit and allow a >200 μ s delay before enabling the output because this results in a reduced output enable glitch. See Figure 29 and Figure 47 for plots of this glitch.																																
CLR_EN	Per channel clear enable bit. Selects if this channel clears when the CLEAR pin is activated. CLR_EN = 1, channel clears when the part is cleared. CLR_EN = 0, channel does not clear when the part is cleared (default).																																
OUTEN	Enables/disables the selected output channel. OUTEN = 1, enables channel. OUTEN = 0, disables channel (default).																																
RSET	Selects an internal or external current sense resistor for the selected DAC channel. RSET = 0, selects the external resistor (default). RSET = 1, selects the internal resistor.																																
DC_DC	Powers the dc-to-dc converter on the selected channel. DC_DC = 1, powers up the dc-to-dc converter. DC_DC = 0, powers down the dc-to-dc converter (default). This allows per channel dc-to-dc converter power-up/down. To power down the dc-to-dc converter, the OUTEN and INT_ENABLE bits must also be set to 0. All dc-to-dc converters can also be powered up simultaneously using the DCDC_All bit in the main control register.																																
OVRNG	Enables 20% overrange on voltage output channel only. No current output overrange available. OVRNG = 1, enabled. OVRNG = 0, disabled (default).																																
R2, R1, R0	Selects the output range to be enabled. <table border="1" data-bbox="252 1249 1501 1496"> <thead> <tr> <th>R2</th> <th>R1</th> <th>R0</th> <th>Output Range Selected</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0 V to 5 V voltage range (default).</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0 V to 10 V voltage range.</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>\pm5 V voltage range.</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>\pm10 V voltage range.</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>4 mA to 20 mA current range.</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0 mA to 20 mA current range.</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0 mA to 24 mA current range.</td> </tr> </tbody> </table>	R2	R1	R0	Output Range Selected	0	0	0	0 V to 5 V voltage range (default).	0	0	1	0 V to 10 V voltage range.	0	1	0	\pm 5 V voltage range.	0	1	1	\pm 10 V voltage range.	1	0	0	4 mA to 20 mA current range.	1	0	1	0 mA to 20 mA current range.	1	1	0	0 mA to 24 mA current range.
R2	R1	R0	Output Range Selected																														
0	0	0	0 V to 5 V voltage range (default).																														
0	0	1	0 V to 10 V voltage range.																														
0	1	0	\pm 5 V voltage range.																														
0	1	1	\pm 10 V voltage range.																														
1	0	0	4 mA to 20 mA current range.																														
1	0	1	0 mA to 20 mA current range.																														
1	1	0	0 mA to 24 mA current range.																														

ソフトウェア・レジスタ

ソフトウェア・レジスタには 3 つの機能があります。すなわち、デバイスに対するソフトウェア・リセットを実行することができます。ステータス・レジスタのビット D11 をトグルすることができます。ウォッチドッグ機能をイネーブルしたときその一部として使うこともできます。この機能は、MCU と AD5755 の間の通信を失なわないようにし、データバス・ライン(SDI、SCLK、SYNC)を正常に動作させることに役立ちます。

ウォッチドッグ機能をイネーブルした場合、タイムアウト周期内にソフトウェア・レジスタに 0x195 を書込む必要があります。このコマンドがタイムアウト周期内に受信されないと、ALERT ピンから故障状態が表示されます。この動作は、ウォッチドッグ・タイマ機能をイネーブルした場合にのみ必要です。

DC/DCコントロール・レジスタ

DC/DCコントロール・レジスタを使うと、DC/DCスイッチング周波数、位相、最大許容DC/DC出力電圧を制御することができます。DC/DCコントロール・レジスタのオプションを表 24 と表 25 に示します。

表 22.ソフトウェア・レジスタの設定

MSB				LSB	
D15	D14	D13	D12	D11 to D0	
1	0	0	User program	Reset code/SPI code	

表 23.ソフトウェア・レジスタの機能

Bit	Description	
User Program	This bit is mapped to Bit D11 of the status register. When this bit is set to 1, Bit D11 of the status register is set to 1. Likewise, when D12 is set to 0, Bit D11 of the status register is also set to zero. This feature can be used to ensure that the SPI pins are working correctly by writing a known bit value to this register and reading back the corresponding bit from the status register.	
Reset Code/SPI Code	Option	Description
	Reset code	Writing 0x555 to D[11:0] performs a reset of the AD5755.
	SPI code	If the watchdog timer feature is enabled, 0x195 must be written to the software register (D11 to D0) within the programmed timeout period.

表 24.DC/DC コントロール・レジスタの設定

MSB						LSB	
D15	D14	D13	D12 to D7	D6	D5 to D4	D3 to D2	D1 to D0
0	1	1	X ¹	DC-DC Comp	DC-DC phase	DC-DC Freq	DC-DC MaxV

¹ X = don't care

表 25.DC/DC コントロール・レジスタのオプション

Bit	Description
DC-DC Comp	Selects between an internal and external compensation resistor for the dc-to-dc converter. See the DC-to-DC Converter Compensation Capacitors and AICC Supply Requirements—Slewing sections in the Device Features section for more information. 0 = selects the internal 150 kΩ compensation resistor (default). 1 = bypasses the internal compensation resistor for the dc-to-dc converter. In this mode, an external dc-to-dc compensation resistor must be used; this is placed at the COMP _{DCDC_x} pin in series with the 10 nF dc-to-dc compensation capacitor to ground. Typically, a ~50 kΩ resistor is recommended.
DC-DC Phase	User programmable dc-to-dc converter phase (between channels). 00 = all dc-to-dc converters clock on same edge (default). 01 = Channel A and Channel B clock on same edge, Channel C and Channel D clock on opposite edge. 10 = Channel A and Channel C clock on same edge, Channel B and Channel D clock on opposite edge. 11 = Channel A, Channel B, Channel C, and Channel D clock 90° out of phase from each other.
DC-DC Freq	DC-to-dc switching frequency; these are divided down from the internal 13 MHz oscillator (see Figure 68 and Figure 69). 00 = 250 ± 10% kHz. 01 = 410 ± 10% kHz (default). 10 = 650 ± 10% kHz.
DC-DC MaxV	Maximum allowed V _{BOOST_x} voltage supplied by the dc-to-dc converter. 00 = 23 V + 1 V/-1.5 V (default). 01 = 24.5 V ± 1 V. 10 = 27 V ± 1 V. 11 = 29.5 V ± 1V.

スルーレート・コントロール・レジスタ

このレジスタを使って、選択したDACチャンネルのスルーレート・コントロールを設定します。この機能は、電流出力と電圧出力で使用することができます。スルーレート・コントロールはイネーブル/ディスエーブルされ、チャンネルごとに設定されます。詳細については、表 26 と デバイス機能のセクションを参照してください。

リードバック動作

シリアル入力レジスタへの書き込みで、 $\overline{R/W}$ ビット=1を設定すると、リードバック・モードが開始されます。リードバック動作に関係するビットについては、表 27 を参照してください。DUT_AD1 ビットとDUT_AD0 ビットをビットRD[4: 0]と組み合わせることで、読出すレジスタを選択します。書き込みシーケンス内の残りのデータビットは無視されます。次のSPIへ転送時(表 26.スルーレート・コントロール・レジスタの設定

D15	D14	D13	D12	D11 to D7	D6 to D3	D2 to D0
0	0	0	SE	X ¹	SR_CLOCK	SR_STEP

¹ X = don't care

表 27.読出し動作での入力シフトレジスタ値

D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
$\overline{R/W}$	DUT_AD1	DUT_AD0	RD4	RD3	RD2	RD1	RD0	X ¹

¹ X = don't care

表 28.読出しアドレスのデコーディング

RD4	RD3	RD2	RD1	RD0	Function
0	0	0	0	0	Read DAC A data register
0	0	0	0	1	Read DAC B data register
0	0	0	1	0	Read DAC C data register
0	0	0	1	1	Read DAC D data register
0	0	1	0	0	Read DAC A control register
0	0	1	0	1	Read DAC B control register
0	0	1	1	0	Read DAC C control register
0	0	1	1	1	Read DAC D control register
0	1	0	0	0	Read DAC A gain register
0	1	0	0	1	Read DAC B gain register
0	1	0	1	0	Read DAC C gain register
0	1	0	1	1	Read DAC D gain register
0	1	1	0	0	Read DAC A offset register
0	1	1	0	1	Read DAC B offset register
0	1	1	1	0	Read DAC C offset register
0	1	1	1	1	Read DAC D offset register
1	0	0	0	0	Clear DAC A code register
1	0	0	0	1	Clear DAC B code register
1	0	0	1	0	Clear DAC C code register
1	0	0	1	1	Clear DAC D code register
1	0	1	0	0	DAC A slew rate control register
1	0	1	0	1	DAC B slew rate control register
1	0	1	1	0	DAC C slew rate control register
1	0	1	1	1	DAC D slew rate control register
1	1	0	0	0	Read status register
1	1	0	0	1	Read main control register
1	1	0	1	0	Read dc-to-dc control register

図 4 参照)にSDOに出力されるデータに、前にアドレス指定したレジスタのデータが含まれています。この 2 番目のSPI転送は、3 番目のデータ転送でさらに別のレジスタを読出す要求であるか、または 0x1CE000 (NOPコマンド)である必要があります。

リードバックの例

AD5755 のチャンネル A のデバイス 1 のゲイン・レジスタをリードバックするときは、次のシーケンスに従います。

- 0xA80000 を AD5755 入力レジスタへ書き込みます。これにより、AD5755 デバイス・アドレス 1 が読出しモードに設定され、チャンネル A のゲイン・レジスタが選択されます。全データビット D15~D0 が無視されます。
- 別の読出しコマンドまたは NOP コマンド(0x1CE000)が後ろに続きます。このコマンドで、チャンネル A ゲイン・レジスタのデータが SDO ラインに出力されます。

ステータス・レジスタ

ステータス・レジスタは読出し専用レジスタです。このレジスタには、故障情報、ランプ・アクティブ・ビット、ユーザ・トグル・ビットが格納されています。メイン・コントロール・レジスタの STATREAD ビットがセットされると、ステータス・

レジスタ値を各書き込みシーケンスで SDO ピンからリードバックすることができます。あるいは、STATREAD ビットをセットしない場合、ステータス・レジスタを通常のリードバック動作を使って読出すことができます。

表 29.ステータス・レジスタのデコーディング

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
DC-DCD	DC-DCC	DC-DCB	DC-DCA	User toggle	PEC error	Ramp active	Over TEMP	V _{OUT_D} fault	V _{OUT_C} fault	V _{OUT_B} fault	V _{OUT_A} fault	I _{OUT_D} fault	I _{OUT_C} fault	I _{OUT_B} fault	I _{OUT_A} fault

表 30.ステータス・レジスタのオプション

Bit	Description
DC-DCD	In current output mode, this bit is set on Channel D if the dc-to-dc converter cannot maintain compliance (it may be reaching its V _{MAX} voltage). In this case, the I _{OUT_D} fault bit is also set. See the DC-to-DC Converter VMAX Functionality section for more information on this bit's operation under this condition. In voltage output mode, this bit is set if, on Channel D, the dc-to-dc converter is unable to regulate to 15 V as expected. When this bit is set, it does not result in the FAULT pin going high.
DC-DCC	In current output mode, this bit is set on Channel C if the dc-to-dc converter cannot maintain compliance (it may be reaching its V _{MAX} voltage). In this case, the I _{OUT_C} fault bit is also set. See the DC-to-DC Converter VMAX Functionality section for more information on this bit's operation under this condition. In voltage output mode, this bit is set if, on Channel C, the dc-to-dc converter is unable to regulate to 15 V as expected. When this bit is set, it does not result in the FAULT pin going high.
DC-DCB	In current output mode, this bit is set on Channel B if the dc-to-dc converter cannot maintain compliance (it may be reaching its V _{MAX} voltage). In this case, the I _{OUT_B} fault bit is also set. See the DC-to-DC Converter VMAX Functionality for more information on this bit's operation under this condition. In voltage output mode, this bit is set if, on Channel B, the dc-to-dc converter is unable to regulate to 15 V as expected. When this bit is set, it does not result in the FAULT pin going high.
DC-DCA	In current output mode, this bit is set on Channel A if the dc-to-dc converter cannot maintain compliance (it may be reaching its V _{MAX} voltage). In this case, the I _{OUT_A} fault bit is also set. See the DC-to-DC Converter VMAX Functionality for more information on this bit's operation under this condition. In voltage output mode, this bit is set if, on Channel A, the dc-to-dc converter is unable to regulate to 15 V as expected. When this bit is set, it does not result in the FAULT pin going high.
User Toggle	User toggle bit. This bit is set or cleared via the software register. This can be used to verify data communications if needed.
PEC Error	Denotes a PEC error on the last data-word received over the SPI interface.
Ramp Active	This bit is set while any one of the output channels is slewing (slew rate control is enabled on at least one channel).
Over TEMP	This bit is set if the AD5755 core temperature exceeds approximately 150°C.
V _{OUT_D} Fault	This bit is set if a fault is detected on the V _{OUT_D} pin.
V _{OUT_C} Fault	This bit is set if a fault is detected on the V _{OUT_C} pin.
V _{OUT_B} Fault	This bit is set if a fault is detected on the V _{OUT_B} pin.
V _{OUT_A} Fault	This bit is set if a fault is detected on the V _{OUT_A} pin.
I _{OUT_D} Fault	This bit is set if a fault is detected on the I _{OUT_D} pin.
I _{OUT_C} Fault	This bit is set if a fault is detected on the I _{OUT_C} pin.
I _{OUT_B} Fault	This bit is set if a fault is detected on the I _{OUT_B} pin.
I _{OUT_A} Fault	This bit is set if a fault is detected on the I _{OUT_A} pin.

デバイス機能

故障出力

AD5755 には **FAULT** ピンがあります。このオープン・ドレイン出力ピンを使うと、複数の AD5755 デバイスを 1 本のプルアップ抵抗で接続してグローバル故障検出を行うことができます。次に示す故障で **FAULT** ピンはアクティブになります。

- 断線または不十分な電源電圧のために $I_{OUT,x}$ の電圧がコンプライアンス範囲を超えようとしている。故障出力を発生する内部回路では、ウィンドウ制限機能を持つコンパレータの使用を回避しています。これを使用すると、実際に故障が出力されてしまった後に **FAULT** 出力がアクティブになるためです。その代わりに、出力ステージの内蔵アンプが駆動能力の約 1V 下になったとき、信号を発生します。このため、**FAULT** 出力はコンプライアンス規定値に到達する少し前にアクティブになります。
- 電圧出力ピンで短絡が検出されたとき。短絡電流は、ユーザが指定する 16 mA または 8 mA に制限されます。AD5755 を単電源モードで使用する場合、出力電圧が 50 mV を下回ると短絡故障信号が発生します。
- PEC エラーのためにインターフェース・エラーが検出されたとき。パケット・エラーのチェックのセクションを参照してください。
- AD5755 のコア温度が約 150 °C を超えたとき。

ステータス・レジスタの $V_{OUT,x}$ 故障、 $I_{OUT,x}$ 故障、PEC エラー、OverTEMP の各ビット(表 30)と、この **FAULT** 出力を組み合わせ使用して、**FAULT** 出力を発生させた故障状態が通知されます。

電圧出力の短絡保護

通常動作では、電圧出力でのシンク/ソースは最大 12 mA で規定動作を維持します。最大出力電流または短絡電流はユーザ設定可能で、16 mA または 8 mA に設定することができます。短絡が検出されると、**FAULT** がロー・レベルになり、ステータス・レジスタの該当する Short CCT ビットがセットされます。

オフセットとゲインのデジタル制御

各 DAC チャンネルにはゲイン(M)レジスタとオフセット(C)レジスタがあるため、これらを使ってシグナル・チェーン全体のゲイン誤差とオフセット誤差を調整することができます。DAC データ・レジスタからのデータは、M レジスタと C レジスタの値で制御されるデジタル乗算器と加算器で演算されます。キャリブレーションされた DAC データは DAC 入力レジスタに保存されます。

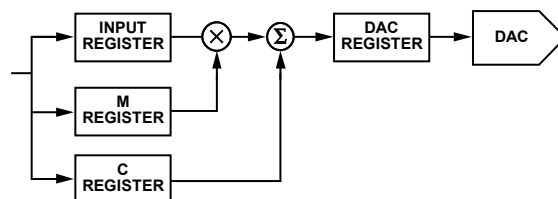


図 76. オフセットとゲインのデジタル制御

各チャンネルの乗算器と加算器のシンボルを図 76 に示してありますが、デバイス内には乗算器と加算器は各 1 個だけ存在し、全 4 チャンネル間で共有されます。これにより、表 3 のセクションで説明するように、複数のチャンネルを 1 回で更新する際に更新が高速化されます。

データを M レジスタまたは C レジスタへ書き込むごとに、出力は自動的に更新されません。その代わりに、DAC チャンネルに対する次の書き込みでこれらの M 値と C 値を使って、新しいキャリブレーションが行われ、チャンネルが自動的に更新されます。

キャリブレーションからの出力データは、DAC 入力レジスタに入力されます。この出力データは、動作原理のセクションに示すように DAC にロードされます。ゲイン・レジスタとオフセット・レジスタの分解能は 16 ビットです。ゲイン/オフセットの正しいキャリブレーション方法は、ゲインをキャリブレーションした後にオフセットをキャリブレーションすることです。

DAC 入力レジスタに書込まれる値(10 進値)は次式で計算することができます。

$$\text{Code}_{\text{DACRegister}} = D \times \frac{(M+1)}{2^{16}} + C - 2^{15} \quad (1)$$

ここで、

D は DAC チャンネルの入力レジスタにロードされるコード。
M はゲイン・レジスタ内のコード(デフォルト・コード = $2^{16} - 1$)。
C はオフセット・レジスタ内のコード(デフォルト・コード = 2^{15})。

書き込み時のステータス・リードバック

AD5755 には、各書き込みシーケンス中にステータス・レジスタ値を读出す機能があります。この機能は、メイン・コントロール・レジスタの STATREAD ビットを使ってイネーブルします。この機能を使うと、ステータス・レジスタを連続的にモニタして、故障発生時に迅速に対応することができます。

書き込みのイネーブル中にステータスをリードバックすると、16 ビット・ステータス・レジスタ値(表 30)が SDO ピンに出力されます(図 5 参照)。

AD5755 のパワーアップ時は、この機能はディスエーブルされています。この機能をイネーブルすると、ステータス・レジスタ以外の通常のリードバック機能は使用できなくなります。他のレジスタをリードバックするときは、STATREAD ビットをクリアした後にリードバック・シーケンスを実行してください。このレジスタの読み出し後に STATREAD をハイ・レベルに戻すことができます。

非同期クリア

CLEAR はアクティブ・ハイのエッジ検出入力です。この入力を使うと、出力を予め設定した 16 ビット・コードにクリアすることができます。このコードは、チャンネルごとの 16 ビット・クリア・コード・レジスタを使ってユーザが設定します。

クリアするチャンネルでは、そのチャンネルの DAC コントロール・レジスタの CLR_EN ビット(表 21 参照)を使ってクリアできるように、そのチャンネルをイネーブルしておく必要があります。チャンネルがクリアできるようにイネーブルされていない場合には、出力は CLEAR ピンのレベルに無関係に現在の状態を維持します。

CLEAR 信号がロー・レベルに戻ると、対応する出力は新しい値が設定されるまでクリア状態を維持します。

パケット・エラーのチェック

ノイズの多い環境でデータが正しく受信されたことを確認するため、AD5755 は 8 ビット(CRC-8)サイクリック冗長性チェックを採用したパケット・エラー・チェック機能のオプションを提供します。AD5755 を制御するデバイスは、次の多項式を使って 8 ビット・フレーム・チェック・シーケンスを発生する必要があります。

$$C(x) = x^8 + x_2 + x_1 + 1$$

この値がデータ・ワードの終わりに追加されて 32 ビットが AD5755 へ送信され、その後に SYNC がハイ・レベルにされます。AD5755 が 32 ビット・フレームを受け取ると、SYNC がハイ・レベルになったときエラー・チェックを開始します。チェックにパスすると、データが選択されたレジスタへ書込まれます。エラーが検出されると、FAULT ピンがロー・レベルになり、ステータス・レジスタの PEC エラー・ビットがセットされます。ステータス・レジスタを読出すと、FAULT がハイ・レベルに戻り(他の故障がない場合)、PEC エラー・ビットが自動的にクリアされます。

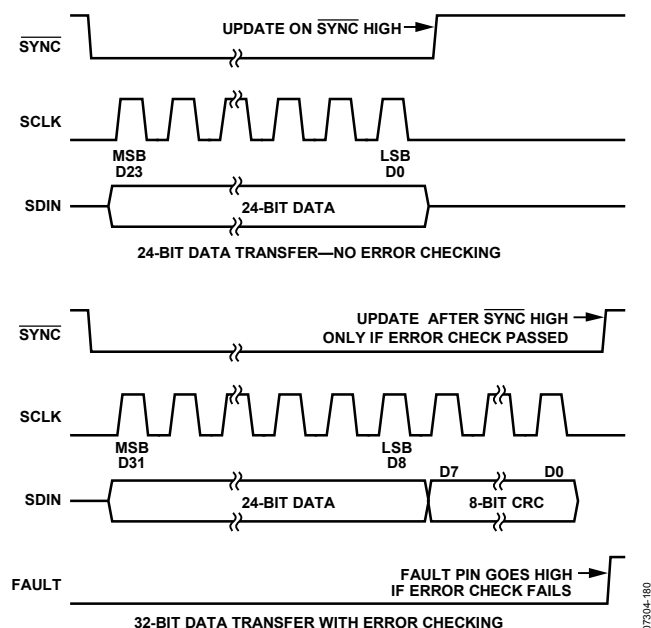


図 77. PEC のタイミング

PEC はデータ・パケットの送信と受信に使うことができます。書き込み中のステータス・リードバックがイネーブルされている場合、書き込み動作中のステータス・リードバックで返される

PEC 値は無視する必要があります。書き込み中のステータス・リードバックがディスエーブルされている場合、通常のリードバック動作を使用してステータス・レジスタ動作を PEC によりモニタすることができます。

ウォッチドッグ・タイマ

内蔵ウォッチドッグ・タイマをイネーブルすると、設定されたタイムアウト周期内にソフトウェア・レジスタに 0x195 が書込まれない場合にアラート信号が発生されます。この機能は、MCU と AD5755 の間の通信が失われないようにし、さらにデータバス・ライン(SDI, SCLK, SYNC)を正常に動作させるために役立ちます。0x195 がタイムアウト周期内に受信されないと、ALERT ピンから故障状態が表示されます。ALERT 信号はアクティブ・ハイであるため CLEAR ピンに直接接続して、MCU からの通信が失われたとき CLEAR ピンからクリアできるようにすることができます。

ウォッチドッグ・タイマをイネーブルし、メイン・コントロール・レジスタでタイムアウト周期(5 ms、10 ms、100 ms、または 200 ms)を設定します(表 18 と表 19 参照)。

出力アラート

AD5755 には ALERT ピンがあります。このピンはアクティブ・ハイの CMOS 出力です。また、AD5755 はウォッチドッグ・タイマも内蔵しています。これをイネーブルすると、SPI 通信をモニタすることができます。タイムアウト周期内にソフトウェア・レジスタに 0x195 が受信されないと、ALERT ピンがアクティブになります。

内蔵リファレンス電圧

AD5755 は 5 V のリファレンス電圧を内蔵しています。初期精度は最大±5 mV で温度ドリフト係数は最大±10 ppm です。このリファレンス電圧は外部でバッファすると、システム内で使用することができます。

電流設定外付け抵抗

図 72 に示す R_{SET} は、電圧/電流変換回路の一部を構成する内蔵検出抵抗です。温度に対する出力電流の安定性は、R_{SET} 値の安定性に依存します。温度に対する出力電流の安定性を向上させる 1 つの方法は、内蔵抵抗 R₁ の代わりに 15 kΩ の外付け低ドリフト抵抗を AD5755 の R_{SET,x} ピンに接続することです。外付け抵抗は、DAC コントロール・レジスタを使って選択することができます(表 20 参照)。

表 1 に、内蔵 R_{SET} 抵抗と外付け 15 kΩ R_{SET} 抵抗を使用する AD5755 の性能仕様を示します。外付け R_{SET} 抵抗を使用すると、内蔵 R_{SET} 抵抗使用の場合より性能を向上させることができます。外付け R_{SET} 抵抗仕様では理想抵抗を仮定しています。実際の性能は使用する抵抗の絶対値と温度係数に依存します。これは、出力ゲイン誤差に直接影響するため、総合未調整誤差も影響を受けます。特定の外付け R_{SET} 抵抗を使用した場合の出力ゲイン/TUE 誤差を求めるときは、表 1 に示すように(% FSR で表示)、R_{SET} 抵抗の絶対誤差パーセント値を外付け R_{SET} 抵抗を、使用する AD5755 のゲイン/TUE 誤差に直接加算します。

スルーレートのデジタル制御

AD5755 のスルーレート制御機能により、出力値が変化するレートを制御することができます。この機能は、電流出力と電圧出力で使用することができます。スルーレート制御機能をディセーブルすると、出力値は出力駆動回路と接続された負荷で制限されるレートで変化します。スルーレートを小さくするときは、スルーレート制御機能をイネーブルします。スルーレート・コントロール・レジスタ(表 26)のSRENビットを使ってこの機能をイネーブルすると、出力が 2 つの値の間で直接変化する代わりに、スルーレート・コントロール・レジスタからアクセスできる 2 つのパラメータで指定されるレートでデジタル的に変化します(表 26 参照)。このパラメータはSR_CLOCK と SR_STEPです。SR_CLOCKはデジタル・スルーが更新されるレートを指定します。例えば、選択された更新レートが 8 kHzの場合、出力は 125 μ sごとに更新されます。SR_STEPはこれと組み合わせて使い、各更新ごとの出力値の変化の大きさを指定します。両パラメータにより、出力値の変化レートが決定されます。表 31 と 表 32 に、SR_CLOCKパラメータとSR_STEPパラメータの値の範囲を示します。

表 31.スルーレート更新クロック・オプション

SR_CLOCK	Update Clock Frequency (Hz) ¹
0000	64 k
0001	32 k
0010	16 k
0011	8 k
0100	4 k
0101	2 k
0110	1 k
0111	500
1000	250
1001	125
1010	64
1011	32
1100	16
1101	8
1110	4
1111	0.5

¹これらのクロック周波数は内蔵発振器からの 13 MHzを分周したものです。
表 1、図 68、図 69 を参照してください。

表 32.スルーレート・ステップ・サイズ・オプション

SR_STEP	Step Size (LSBs)
000	1
001	2
010	4
011	16
100	32
101	64
110	128
111	256

次式は、スルーレートをステップ・サイズ、更新クロック周波数、LSB サイズの関数として表します。

$$Slew\ Time = \frac{Output\ Change}{Step\ Size \times Update\ Clock\ Frequency \times LSB\ Size}$$

ここで、

Slew Time の単位は sec。

Output Change の単位は I_{OUT_x} の場合はアンペア、V_{OUT_x} の場合はボルト。

スルーレート制御機能をイネーブルすると、すべての出力変化が設定されたスルーレートで変化します(詳細については、DC/DCコンバータのセッティング・タイムのセクション参照)。例えば、CLEARピンがアサートされた場合、出力は設定されたスルーレートでクリア値まで変化します(クリア・チャンネルをクリアできるようにイネーブルしている場合)。複数のチャンネルがスルー用にイネーブルされている場合は、クリア・ピンをアサートするときに注意が必要です。クリアがアサートされたときチャンネルの 1 つが変化している場合、他のチャンネルはスルーレート・コントロールを受けずにクリア値に向かって直接変化します。与えられた値に対する更新クロック周波数は、すべての出力範囲に対して同じです。ただし、ステップ・サイズは与えられたステップ・サイズ値に対応する出力範囲に応じて変わります。これはLSBサイズが各出力範囲で異なるためです。

消費電力制御

AD5755 は DC/DC ブースト・コンバータ回路を使用したダイナミック消費電力制御機能を内蔵しているため、デバイスを電流出力モードで使用する際に、標準的デザインより消費電力を削減することができます。

標準的な電流入力モジュール・デザインでは、負荷抵抗値は 50 Ω ~750 Ω の範囲とすることができます。出力モジュール・システムは負荷抵抗値の全範囲でコンプライアンス電圧条件を満たすため十分な電圧を供給する必要があります。例えば、4 mA~20 mA ループで 20 mA を駆動する場合、コンプライアンス電圧は 15 V より大きい必要があります。50 Ω 負荷で 20 mA 駆動の場合、要求されるコンプライアンスは 1 V です。

AD5755 回路は、出力電圧を検出して、コンプライアンス条件と小さいヘッドルーム電圧を満たすように、この電圧をレギュレーションします。AD5755 は 1 k Ω の負荷を介して最大 24 mA を駆動することができます。

DC/DCコンバータ

AD5755 は 4 個の独立なDC/DCコンバータを内蔵しています。これらを使って、各チャンネルのV_{BOOST}電源電圧をダイナミック制御します(図 72 参照)。図 78 に、DC/DC回路に必要なディスクリート部品を、次のセクションに部品の選択とこの回路の動作を、それぞれ示します。

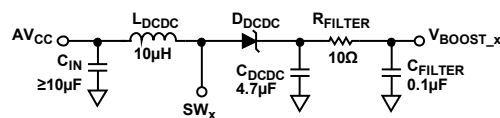


図 78.DC/DC 回路

表 33. 推奨 DC/DC 部品

Symbol	Component	Value	Manufacturer
L _{DCDC}	XAL4040-103	10 μ H	Coilcraft®
C _{DCDC}	GRM32ER71H475KA88L	4.7 μ F	Murata
D _{DCDC}	PMEG3010BEA	0.38 V _F	NXP

C_{DCDC} の後ろに 10 Ω 、100 nF のローパス RC フィルタを接続することが推奨されます。この回路は小さい電力を消費しますが、V_{BOOST_x} 電源のリップルを削減します。

DC/DCコンバータの動作

内蔵 DC/DC コンバータでは、AD5755 出力チャンネルを駆動する 4.5 V~5.5 V の AV_{CC} 入力を昇圧する固定周波数のピーク電流モード制御方式を採用しています。これらの回路は、デューティ・サイクル(typ)が 90%より小さい不連続導通モード(DCM)で動作するようにデザインされています。不連続導通モードとは、スイッチング・サイクルのかなりの時間インダクタ電流がゼロになる動作モードを意味します。DC/DC コンバータは非同期であるため、外付けショットキー・ダイオードが必要です。

DC/DCコンバータの出力電圧

チャンネル電流出力をイネーブルすると、コンバータはV_{BOOST_x} 電源を 7.4 V ($\pm 5\%$)または(I_{OUT} × R_{LOAD} + ヘッドルーム)のいずれか大きい方にレギュレーションします(ヘッドルーム対出力電流のプロットについては、図 52 を参照)。出力をディスエーブルした電圧出力モードでは、コンバータはV_{BOOST_x} 電源を+15 V ($\pm 5\%$)にレギュレーションします。出力をディスエーブルした電流出力モードでは、コンバータはV_{BOOST_x} 電源を 7.4 V ($\pm 5\%$)にレギュレーションします。

1 つのチャンネル内で、V_{OUT_x} ステージと I_{OUT_x} ステージは共通の V_{BOOST_x} 電源を共用して、I_{OUT_x} ステージと V_{OUT_x} ステージの各出力を互いに接続できるようにしています。

DC/DCコンバータのセトリング・タイム

電流出力モードでは、約 1V (I_{OUT} × R_{LOAD})より大きいステップに対するセトリング・タイムはDC/DCコンバータのセトリング・タイムにより支配されます。これに対する例外は、I_{OUT_x} ピンに必要な電圧とコンプライアンス電圧の和が 7.4 V ($\pm 5\%$)を下回るとき発生します。出力セトリング・タイムの代表的なプロットを図 48 に示します。このプロットは 1 k Ω 負荷に対するものです。小さい負荷のセトリング・タイムほど高速になります。24 mAより小さい電流ステップに対するセトリング・タイムも高速になります。

DC/DCコンバータV_{MAX}の機能

最大V_{BOOST_x} 電圧はDC/DCコントロール・レジスタに設定されず(23 V、24.5 V、27 V、または 29.5 V、表 25 参照)。この最大電圧に到達すると、DC/DCコンバータがディスエーブルされるため、V_{BOOST_x} 電圧は約 0.4 Vだけ減少することができます。V_{BOOST_x} 電圧が約 0.4 V減少すると、DC/DCコンバータが再イネーブルされるため、電圧はV_{MAX}に戻るすることができます(まだ必要とされる場合)。この動作を図 79 に示します。

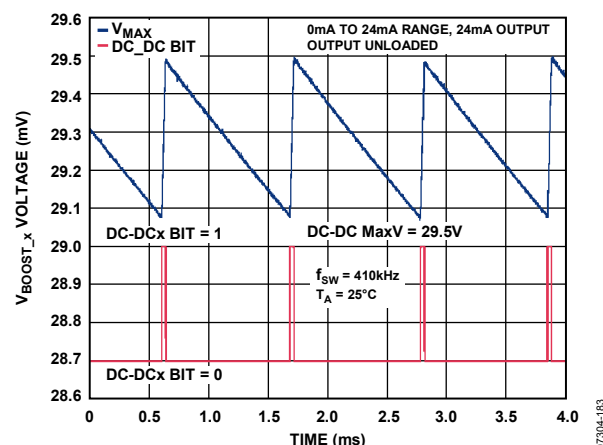
図 79. V_{MAX} に到達したときの動作

図 79 に示すように、AD5755 が V_{MAX} 値まで上昇したとき、ステータス・レジスタの DC-DCx ビットがアサートされます。電圧が V_{MAX} より約 0.4 V 低くなるとこのビットのアサートは解除されます。

DC/DCコンバータの内蔵スイッチ

AD5755 は 0.425 Ω のスイッチを内蔵しています。このスイッチの電流は、パルスごとにモニタされて、0.8 A のピーク電流に制限されます。

DC/DCコンバータのスイッチング周波数と位相

AD5755 DC/DCコンバータのスイッチング周波数は、DC/DCコントロール・レジスタから設定することができます。DC/DCコンバータが異なるクロック・エッジで動作できるように、チャンネルの位相を調整できるようになっています(表 25 参照)。一般的なアプリケーションに対しては、410 kHz 周波数の使用が推奨されます。負荷が軽いとき(低出力電流で低負荷抵抗)、DC/DCコンバータはパルス・スキップ・モードになって、スイッチング消費電力を小さくします。

DC/DCコンバータのインダクタの選択

4 mA~20 mA の一般的なアプリケーションの場合、10 μ H のインダクタ(例えば Coilcraft 社の XAL4040-103)をスイッチング周波数 410 kHz で使用すると、4.5 V~5.5 V の AV_{CC} 電源で最大 1 k Ω の負荷抵抗に最大 24 mA を供給することができます。特に最大周囲温度でサチレーションなしにインダクタがピーク電流を処理できることが重要です。インダクタがサチレーション・モードになると、効率が低下します。また、サチレーション時にはインダクタンス値も小さくなるため、DC/DC コンバータ回路は必要な出力電力を供給できなくなります。

DC/DCコンバータの外付けショットキーの選択

AD5755 には外付けショットキー・ダイオードが必要です。ショットキー・ダイオードが動作中に予想される最大逆方向ブレイクダウンを処理できる定格であること、および整流子の最大ジャンクション温度を超えないことを確認してください。ダイオード平均電流は I_{LOAD} 電流にほぼ等しくなります。順方向電圧降下大きいダイオードでは、効率が低下します。

DC/DCコンバータの補償コンデンサ

DC/DCコンバータはDCMで動作するため、無補償伝達関数は1極の伝達関数になります。伝達関数の極周波数は、DC/DCコンバータの出力容量、入力電圧、出力電圧、出力負荷により決定されます。AD5755では、レギュレータ・ループの補償に外付けコンデンサと内蔵 150 kΩ抵抗の組み合わせを使っています。あるいは、DC/DCコントロール・レジスタのDC-DC Compビットをセットして、外付け補償抵抗と補償コンデンサの直列接続を使うこともできます。この場合、約 50 kΩ抵抗の使用が推奨されます。この場合の利点は、デバイス機能セクションの AICC 電源要求—変化時セクションに示してあります。一般的なアプリケーションでは、10 nF DC/DC補償コンデンサの使用が推奨されます。

DC/DCコンバータの入力コンデンサと出力コンデンサの選択

出力コンデンサはDC/DCコンバータのリプル電圧に影響を与えるため、チャンネル出力電流が増加する最大スループットが間接的に制限されます。リプル電圧はコンデンサの容量と等価直列抵抗(ESR)の組み合わせによって発生します。AD5755の場合、一般的なアプリケーションでは 4.7 μFのセラミック・コンデンサの使用が推奨されます。大きなコンデンサまたは並列接続のコンデンサにより、スループットは犠牲になりますがリプル性能を向上させることができます。また、大きなコンデンサは変化時のAV_{CC}電源電流要求に影響を与えます(AICC電源要求—変化時のセクション参照)。DC/DCコンバータ出力のこの容量は、すべての動作条件で 3 μFより大きい必要があります。

入力コンデンサはDC/DCコンバータに必要とされるダイナミック電流の大部分を供給するため、低 ESR の部品である必要があります。AD5755の場合、一般的なアプリケーションでは低 ESR の 10 μF タンタルまたはセラミック・コンデンサの使用が推奨されます。セラミック・コンデンサは、DCバイアス電圧と温度に敏感なため注意深く選択する必要があります。X5R または X7R 誘電セラミックは、広い動作電圧と温度範囲で安定しているため、これらのコンデンサの使用が望まれます。タンタル・コンデンサを選択する場合は、低 ESR 値になるよう注意する必要があります。

AI_{CC}電源要求—スタティック

DC/DCコンバータは、次式の V_{BOOST} 電圧を供給するようにデザインされています。

$$V_{BOOST} = I_{OUT} \times R_{LOAD} + \text{ヘッドルーム} \quad (2)$$

ヘッドルーム対出力電圧のプロットについては、図 52 を参照してください。これは、固定の負荷と出力電圧の場合、DC/DCコンバータの出力電流は次式で計算できることを意味します。

$$AI_{CC} = \frac{\text{Power Out}}{\text{Efficiency} \times AV_{CC}} = \frac{I_{OUT} \times V_{BOOST}}{\eta_{V_{BOOST}} \times AV_{CC}} \quad (3)$$

ここで、

I_{OUT}はアンプ内のI_{OUT,x}からの出力電流。

η_{V_{BOOST}}はV_{BOOST,x}での効率(図 54 と 図 55 参照)。

AI_{CC}電源要求—変化時

変化時のAI_{CC}電流要求は、DC/DCコンバータの出力容量を充電するために出力電力が増加するので、スタティック動作より大きくなります。AICC電流要求の軽減のセクションで説明した方法でAV_{CC}電源の要求を小さくすることができますが、この過渡電流は非常に大きくなります(図 80 参照)。AI_{CC}電流の供給が十分でないと、AV_{CC}電圧が低下します。このAV_{CC}低下のために、変化に必要なAI_{CC}電流がさらに増えます。これは、AV_{CC}の電圧がさらに低下するため(式 3 参照)、V_{BOOST}電圧したがって出力電圧が目標値に到達できないことを意味します。このAV_{CC}電圧はすべてのチャンネルに共通であるため、他のチャンネルにも影響を与えます。

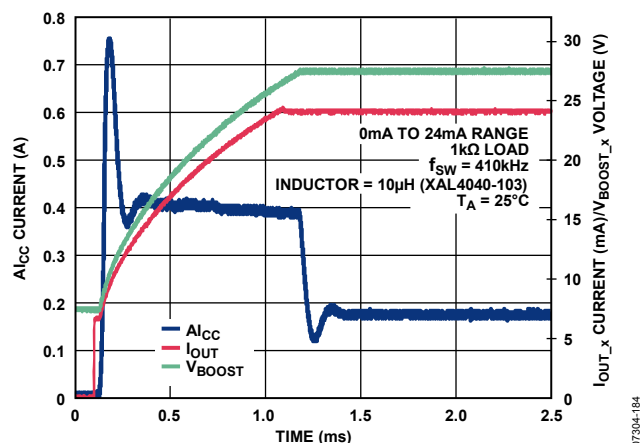


図 80.内蔵補償抵抗使用時の 24 mA 変化に対する AI_{CC} 電流の時間変化

AI_{CC}電流要求の軽減

AI_{CC}電流要求の軽減に使用できる主な方法は 2 つあります。1 つ目は外付け補償抵抗を接続する方法で、2 つ目はスループット・コントロールを使用する方法です。これらの両方法は組み合わせて使用することができます。

補償抵抗を 10 nF補償コンデンサと直列にCOMP_{DCDC,x}ピンに接続することができます。51 kΩの外付け補償抵抗の使用が推奨されます。この補償により電流出力の変化時間が大きくなりますが、AI_{CC}過渡電流要求が軽減されます。図 81 に、51 kΩの補償抵抗を使用した場合について、1 kΩ負荷を介した 24 mAステップに対するAI_{CC}電流のプロットを示します。この方法により、小さい負荷を介する電流要求がさらに軽減されます(図 82 参照)。

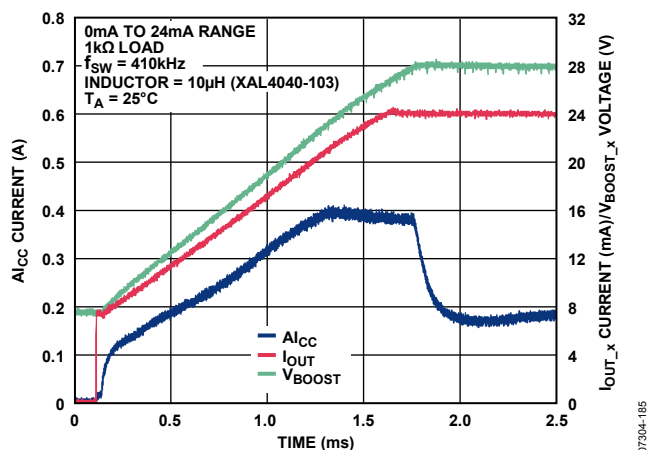


図 81.外付け 51k Ω 補償抵抗使用時の 1 k Ω を介する 24 mA 変化に対する $A_{I_{CC}}$ 電流の時間変化

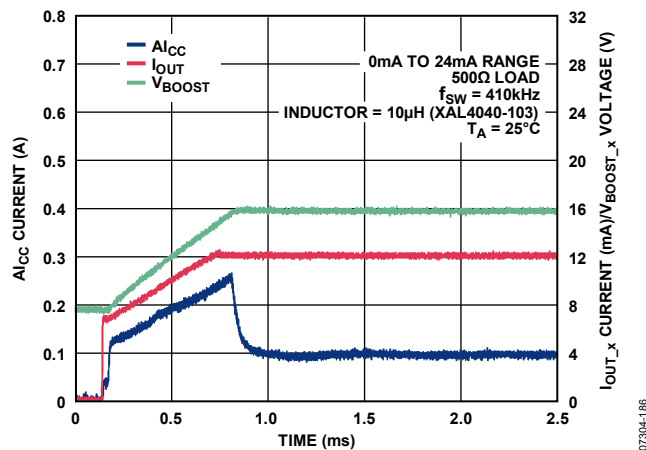


図 82.外付け 51k Ω 補償抵抗使用時の 500 Ω を介する 24 mA 変化に対する $A_{I_{CC}}$ 電流の時間変化

スルーレート・コントロールを使用すると、図 83 に示すように $A_{V_{CC}}$ 電源電流要求を大幅に軽減することができます。スルーレート・コントロールを使用する場合、出力は DC/DC コンバータより高速に変化できないことに注意する必要があります。DC/DC コンバータの変化は、大きな負荷(例えば 1 k Ω)を介する大きな電流ほど低速になります。また、このスルーレートは DC/DC コンバータの構成にも依存します。DC/DC コンバータ出力変化の 2 つの例を、図 81 と 図 82 に示します(V_{BOOST} は DC/DC コンバータの出力電圧に対応します)。

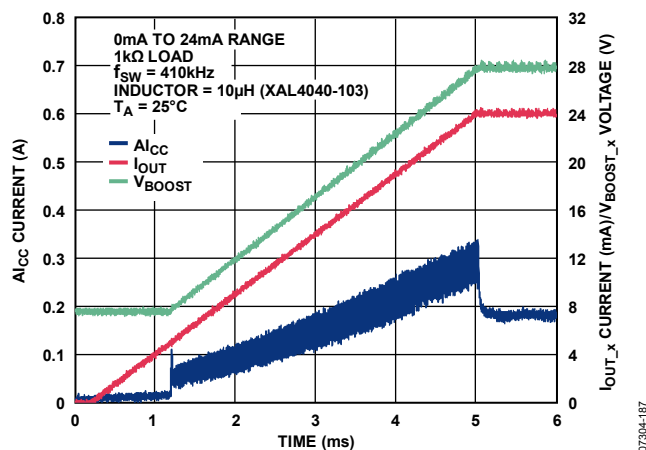


図 83.スルーレート・コントロールを使用した 24 mA 変化に対する $A_{I_{CC}}$ 電流の時間変化

アプリケーション情報

同じ端子での電圧出力範囲と電流出力範囲

AD5755 の 1 つのチャンネルを使う場合、電流出力ピンと電圧出力ピンを別々の端子に接続するか、または共通の 1 本の端子に接続することができます。電圧出力と電流出力が同時にイネーブルされることがないため、2 本の出力ピンを一緒に接続しても競合は生じません。電流出力をイネーブルすると、電圧出力がスリーステート・モードになり、電圧出力をイネーブルすると、電流出力がスリーステート・モードになります。この動作のためには、POC ピンをロー・レベルに接続し、メイン・コントロール・レジスタの POC ビットに 0 を設定する必要があります。あるいは、POC ピンをハイ・レベルにする場合は、メイン・コントロール・レジスタの POC ビットに 1 を設定した後に電流出力をイネーブルする必要があります。

絶対最大定格のセクションに示すように、出力許容誤差は電圧出力ピンと電流出力ピンで同じになります。電流出力モードでこれらのピンへの電流リークを無視できるようにするため、+V_{SENSE_X}接続と-V_{SENSE_X}接続にはバッファが付きます。

内蔵R_{SET}を使う電流出力モード

電流出力モードで内蔵R_{SET}抵抗を使う場合、イネーブルされている内蔵R_{SET}を使う他のチャンネルの数とこれらのチャンネルからのDCクロストークから、出力が大きな影響を受けます。表 1 に示す内蔵R_{SET}の仕様は、内蔵R_{SET}を選択し、かつ同じコードを出力している、イネーブルされたすべてのチャンネルが対象になります。

イネーブルされた内蔵 R_{SET} を使用する各チャンネルに対して、オフセット誤差が小さくなります。例えば、内蔵 R_{SET} 使用のイネーブルされた 1 つの電流出力では、オフセット誤差は 0.075% FSR です。この値はイネーブルされる電流チャンネル数に比例して小さくなります。2 チャンネルの各々ではオフセット誤差が 0.056% FSR になり、3 チャンネルの各々では 0.029% に、4 チャンネルの各々では 0.01% に、それぞれなります。

同様に、内蔵 R_{SET} を使用する場合は DC クロストークは、内蔵 R_{SET} を使用するイネーブルされた電流出力チャンネル数に比例します。例えば、測定チャンネルが 0x8000 にあり、1 つのチャンネルがゼロからフルスケールへ変化する場合は、DC クロストークは -0.011% FSR になります。2 つのチャンネルがゼロからフルスケールに変化する場合には DC クロストークは -0.019% FSR になり、他の 3 チャンネルすべてがゼロからフルスケールに変化する場合は、-0.025% FSR になります。

表 1 に示すフルスケール誤差計測の場合、すべてのチャンネルは 0xFFFF にあります。これは、あるチャンネルがゼロスケール

表 34. 推奨高精度リファレンス電圧

Part No.	Initial Accuracy (mV Maximum)	Long-Term Drift (ppm Typical)	Temperature Drift (ppm/°C Maximum)	0.1 Hz to 10 Hz Noise (μV p-p Typical)
ADR445	±2	50	3	2.25
ADR02	±3	50	3	10
ADR435	±2	40	3	8
ADR395	±5	50	9	8
AD586	±2.5	15	10	4

になると、DCクロストークのためにフルスケール誤差が大きくなることを意味しています。例えば、測定チャンネルが 0xFFFF にあり、3 チャンネルがゼロスケールのとき、フルスケール誤差は 0.025% になります。同様に、電流出力モードで 1 チャンネルのみがイネーブルされ、かつ内蔵R_{SET}を使っている場合、フルスケール誤差は 0.025% FSR + 0.075% FSR = 0.1% FSR になります。

高精度リファレンス電圧の選択

フル動作温度範囲で AD5755 の最適性能を実現するためには、高精度のリファレンス電圧を使う必要があります。高精度リファレンス電圧の選択には注意が必要です。リファレンス入力に加えられる電圧は、バッファ済みリファレンス電圧を DAC コアへ供給するために使われます。このため、リファレンス電圧の誤差はデバイスの出力に影響を与えます。

高精度アプリケーションに対するリファレンス電圧の選択で考慮すべき誤差原因としては、初期精度、出力電圧の温度係数、長時間ドリフト、出力電圧ノイズの 4 つがあります。

外付けリファレンスの出力電圧の初期精度誤差により、DAC 内でフルスケール誤差が発生します。これらの誤差を小さくするため、初期精度誤差の小さいリファレンス電圧の使用が望まれます。ADR425 のような出力調整機能を持つリファレンス電圧を選択すると、リファレンス電圧を公称値以外の電圧に設定することにより、システム誤差を調節することができます。この調整機能は、誤差をなくすため任意の温度で使用できます。

長時間ドリフトは、リファレンス出力電圧の時間的なドリフトの大きさを表します。厳しい長時間ドリフト仕様を持つリファレンス電圧を使うと、ソリューション全体が製品寿命を通して比較的安定します。

リファレンス出力電圧の温度係数は、INL、DNL、TUE に影響を与えます。DAC 出力電圧の周囲温度に対する温度依存性を小さくするためには、厳しい温度係数仕様を持つリファレンス電圧を選択する必要があります。

比較的低いノイズが要求される高精度アプリケーションでは、リファレンス電圧の出力ノイズを考慮する必要があります。システム分解能に対して実用的な程度に出力ノイズ電圧が小さいリファレンス電圧を選択することは重要です。ADR435 (XFET デザイン) のような高精度リファレンス電圧は、0.1 Hz ~ 10 Hz の領域で低い出力ノイズ・レベルを持っています。ただし、回路帯域幅が広がると、出力ノイズを小さくするために、リファレンス出力にフィルタが必要になることがあります。

誘導負荷の駆動

誘導負荷または低品質負荷を駆動する場合は、 $I_{OUT,x}$ と AGND の間にコンデンサの接続が必要になります。 $I_{OUT,x}$ と AGND の間に $0.01 \mu\text{F}$ のコンデンサを接続すると、 50 mH 負荷の安定性が確実になります。負荷の容量成分によりセトリングが低速になることがあります。AD5755 のセトリング・タイムによりマスクすることができます。AD5755 の電流出力に対して最大容量の制限はありません。

過渡電圧保護

AD5755 は ESD 保護ダイオードを内蔵しているため、通常の取り扱いによる損傷を防止しますが、工業用制御環境では、I/O 回路が大きな過渡電圧に遭遇することがあります。高い過渡電圧から AD5755 を保護するため、外付けパワー・ダイオードやサージ電流制限抵抗が必要になります(図 84 参照)。2 本の保護ダイオードと抵抗は適切な電力定格を持っている必要があります。過渡電圧サプレッサまたはトランソープを使うと、さらに保護機能を強化することができます。これらは単方向サプレッサ(正の高過渡電圧に対する保護)と双方向サプレッサ(正と負の高過渡電圧に対する保護)として提供されており、広範囲なスタンダオフ電圧とブレークダウン電圧の定格があります。すべてのフィールドの接続ノードを保護することが推奨されます。

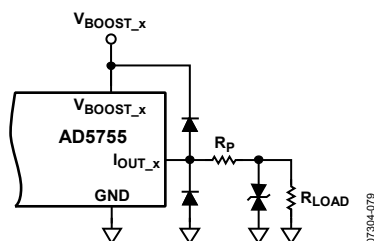


図 84. 出力過渡電圧保護機能

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5755 とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つプロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号、データ信号、ラッチ信号から構成される 3 線式の最小インターフェースです。AD5755 では 24 ビット・データ・ワードを使い、データは SCLK の立下がりエッジで有効になります。

DAC 出力の更新は、 $\overline{\text{LDAC}}$ の立下がりエッジ、または $\overline{\text{SYNC}}$ の立下がりエッジ($\overline{\text{LDAC}}$ がロー・レベルに固定の場合)で開始されます。レジスタの値は、リードバック機能を使って読出すことができます。

AD5755 と ADSP-BF527 とのインターフェース

AD5755 は、アナログ・デバイゼズの Blackfin® DSP である ADSP-BF527 の SPORT インターフェースへ直接接続することができます。図 85 に、AD5755 を制御するために SPORT インターフェースと接続する方法を示します。

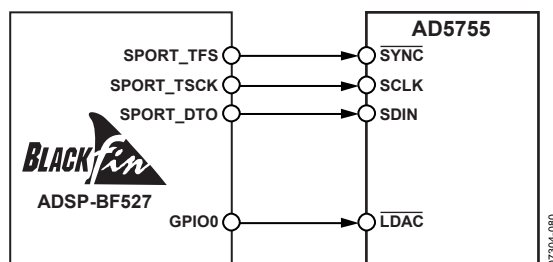


図 85. AD5755 と ADSP-BF527 の SPORT インターフェースとの接続

レイアウトのガイドライン

レイアウト・グラウンド接続

高精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5755 を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5755 を使用する場合は、この接続は 1 カ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

GNDSW_x と AV_{CC} 電源のグラウンド接続は PGND と呼んでいます。PGND はボードの一定領域にまとめ、PGND—AGND 間接続は 1 点で行う必要があります。

レイアウト・電源デカップリング

AD5755 に対しては、 $10 \mu\text{F}$ と $0.1 \mu\text{F}$ の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接接続する必要があります。 $10 \mu\text{F}$ のコンデンサはタンタルのビーズ型を使います。 $0.1 \mu\text{F}$ コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESL)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

レイアウト・パターン

AD5755 の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの影響を小さくする必要があります。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力付近を通らないようにします。SDIN ラインと SCLK ラインの間にグラウンド・ラインを配線すると、これらの間のクロストークを小さくすることに役立ちます(多層ボードには別のグラウンド・プレーンがあるので必要ありませんが、これらのラインを離すことは役立ちます)。REFIN ラインのノイズは DAC 出力に混入するため、ここのノイズを小さくすることは不可欠です。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの影響を小さくすることができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

レイアウト—DC/DCコンバータ

高効率、優れたレギュレーション、安定性を実現するためには、プリント回路ボードの正しいレイアウトが必要です。

プリント回路ボードをデザインするには次のガイドラインに従ってください(図 78 参照)。

- 低 ESR の入力コンデンサ C_{IN} を AV_{CC} と $PGND$ の近くに配置します。
- C_{IN} からインダクタ L_{DCDC} を経て SW_X および $PGND$ までの高電流パスをできるだけ短くします。
- C_{IN} から L_{DCDC} 、整流子 D_{DCDC} 、出力コンデンサ C_{DCDC} までの高電流パスをできるだけ短くします。
- 高電流パターンをできるだけ短くかつ太くします。 C_{IN} からインダクタ L_{DCDC} を経て SW_X および $PGND$ までのパスで、最小でも 1 A を流せるようにします。
- 補償部品を $COMP_{DCDC_x}$ のできるだけ近くに配置します。
- 放射ノイズの混入を防止するため、 SW_X に接続するすべてのノードの近く、またはインダクタの近くをハイ・インピーダンス・パターンが通過しないようにします。

電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。Isocouplerは 2.5 kVを超える電圧アイソレーションを提供します。AD5755 はシリアル・ローディング構造を採用しているため、インターフェース線数が最小で済むので、インターフェースのアイソレーションに最適です。図 86 に、ADuM1400 を使用した、AD5755 に対する 4 チャンネル絶縁型インターフェースを示します。詳細については、<http://www.analog.com/jp>をご覧ください。

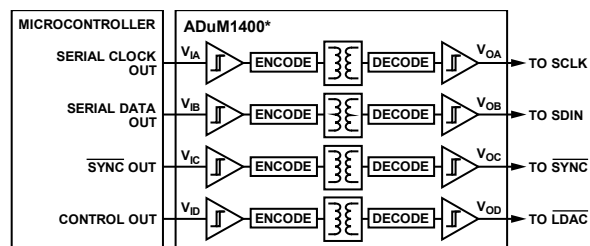
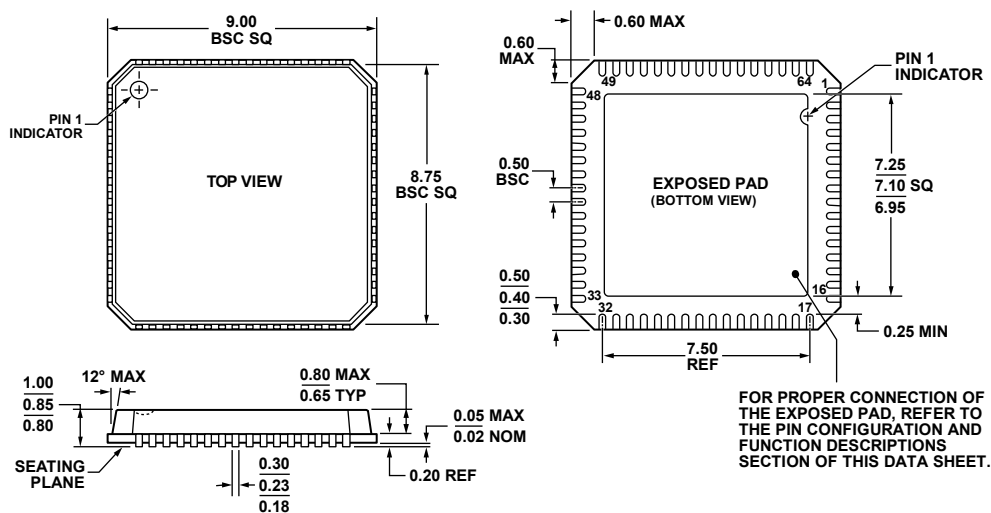


図 86. 絶縁型インターフェース

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

08010E-C

図 87.64 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 9 mm × 9 mm ボディ、極薄クワッド
 (CP-64-3)
 寸法: mm

オーダー・ガイド

Model ¹	Resolution (Bits)	Temperature Range	Package Description	Package Option
AD5755ACPZ-REEL7	16	-40°C to +105°C	64-lead LFCSP_VQ	CP-64-3
AD5755BCPZ-REEL7	16	-40°C to +105°C	64-lead LFCSP_VQ	CP-64-3

¹ Z = RoHS 準拠製品。