



低消費電力HARTモデム

データシート

AD5700/AD5700-1

特長

- HART 準拠の FSK モデムを内蔵
- 1200 Hz と 2200 Hz の正弦波シフト周波数
- 受信モードで 115 μ A の最大電源電流
- 本質安全アプリケーションに最適
- 受信バンドパス・フィルタを内蔵
- 最小の外付け部品数
- 種々のシステム構成に最適化されたクロック駆動
- 超低消費電力の水晶発振器 (最大 60 μ A)
- 外付け CMOS クロック・ソース
- 高精度内蔵発振器 (AD5700-1 の場合)
- バッファ付き HART 出力駆動能力の強化
- 8 kV の HBM ESD 定格
- 電源電圧: 2 V~5.5 V
- 1.71 V~5.5 V インターフェース
- 動作温度範囲: -40°C~125°C
- 4 mm x 4 mm の LFCSP パッケージを採用
- HART 物理層に準拠
- UART インターフェース

アプリケーション

- フィールド・トランスミッタ
- HART マルチプレクサ
- PLC および DCS アナログ I/O モジュール
- HART ネットワーク接続

概要

AD5700/AD5700-1 は、HART 物理層条件に準拠する HART[®] FSK 半二重モデムとして動作するようにデザインされ、仕様が規定されたシングルチップ・ソリューションです。AD5700/AD5700-1 は、フィルタ機能、信号検出、変調、復調、信号発生に必要な全機能を内蔵しているため、外付け部品は少なく済みます。AD5700-1 内蔵の 0.5% 精度内蔵発振器によりボード・スペース要求が大幅に削減されるため、マスター構成とスレーブ構成のライン給電アプリケーションに最適です。AD5700/AD5700-1 の最大電源電流は 115 μ A であるため、低消費電力ループ駆動アプリケーションに対しても最適な選択肢です。送信波形は、連続位相を持つ 1200 Hz と 2200 Hz の正弦波です。AD5700/AD5700-1 は、正確なキャリア検出回路を内蔵し、標準の UART インターフェースを採用しています。

表 1. 関連製品

Part No.	Description
AD5755-1	Quad-channel, 16-bit, serial input, 4 mA to 20 mA and voltage output DAC, dynamic power control, HART connectivity
AD5421	16-bit, serial input, loop powered, 4 mA to 20 mA DAC
AD5410/ AD5420	Single-channel, 12-bit/16-bit, serial input, 4 mA to 20 mA current source DACs
AD5412/ AD5422	Single-channel, 12-bit/16-bit, serial input, current source and voltage output DACs

機能ブロック図

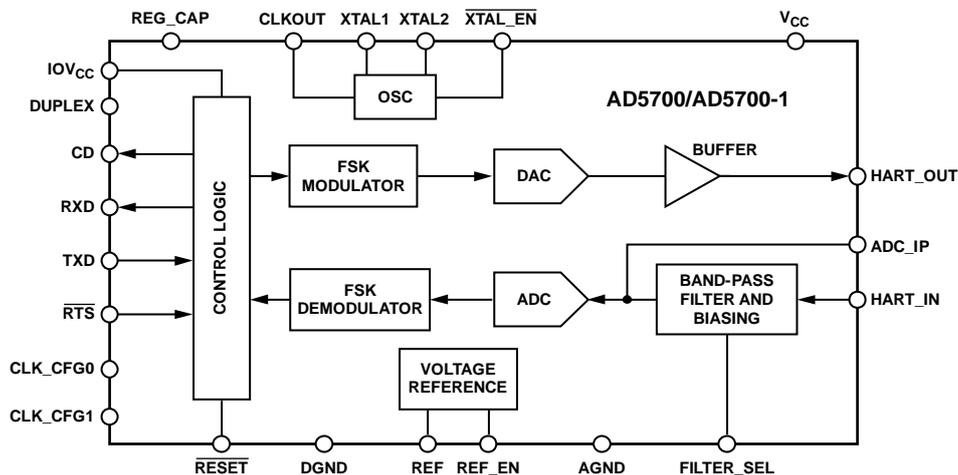


図 1.



Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	動作原理.....	13
アプリケーション.....	1	FSK 変調器.....	13
概要.....	1	HART_OUT への接続.....	14
機能ブロック図.....	1	FSK 復調器.....	14
改訂履歴	2	HART_IN または ADC_IP への接続.....	14
仕様	3	クロックの構成.....	15
タイミング特性.....	5	パワーダウン・モード.....	16
絶対最大定格.....	6	全二重動作.....	16
熱抵抗	6	アプリケーション情報	17
ESD の注意	6	電源のデカップリング.....	17
ピン配置およびピン機能説明.....	7	代表的な接続図.....	17
代表的な性能特性.....	9	外形寸法.....	20
用語	12	オーダー・ガイド.....	20

改訂履歴

4/12—Rev. 0 to Rev. A

Change to Transmit Impedance Parameter, \overline{RTS} Low, Table 2	4
Changes to Figure 3, Figure 4, Figure 5, and Figure 7	9
Changes to Figure 10 and Figure 11	10
Changed AD5755 to AD5755-1 Throughout	17
Change to Figure 27	18

2/12—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{CC} = 2\text{ V} \sim 5.5\text{ V}$ 、 $IOV_{CC} = 1.71\text{ V} \sim 5.5\text{ V}$ 、 $AGND = DGND$ 、 $CLKOUT$ をディスエーブル、 $HART_OUT$ は 5 nF 負荷、内蔵および外部受信フィルタ、内蔵リファレンス電圧、すべての仕様は $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で規定、A モデルと B モデルが対象。

表 2.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
POWER REQUIREMENTS²					
V_{CC}	2		5.5	V	
IOV_{CC}	1.71		5.5	V	
V_{CC} and IOV_{CC} Current Consumption					
Demodulator		86	115	μA	B model, external clock, -40°C to $+85^{\circ}\text{C}$
			179	μA	B model, external clock, -40°C to $+125^{\circ}\text{C}$
		69	97	μA	B model, external clock, -40°C to $+85^{\circ}\text{C}$, external reference
			157	μA	B model, external clock, -40°C to $+125^{\circ}\text{C}$, external reference
Modulator			260	μA	A model, external clock, -40°C to $+125^{\circ}\text{C}$
		124	140	μA	B model, external clock, -40°C to $+85^{\circ}\text{C}$
			193	μA	B model, external clock, -40°C to $+125^{\circ}\text{C}$
		73	96	μA	B model, external clock, -40°C to $+85^{\circ}\text{C}$, external reference
			153	μA	B model, external clock, -40°C to $+125^{\circ}\text{C}$, external reference
Crystal Oscillator ³			270	μA	A model, external clock, -40°C to $+125^{\circ}\text{C}$
		33	60	μA	External crystal, 16 pF at XTAL1 and XTAL2
		44	71	μA	External crystal, 36 pF at XTAL1 and XTAL2
Internal Oscillator ⁴		218	285	μA	AD5700-1 only, external crystal not required
Power-Down Mode					$\overline{\text{RESET}} = \text{REF_EN} = \text{DGND}$
V_{CC} and IOV_{CC} Current Consumption		16	35	μA	Internal reference disabled, -40°C to $+85^{\circ}\text{C}$
			75	μA	Internal reference disabled, -40°C to $+125^{\circ}\text{C}$
INTERNAL VOLTAGE REFERENCE					
Internal Reference Voltage	1.47	1.5	1.52	V	$\text{REF_EN} = \text{IOV}_{CC}$ to enable use of internal reference
Load Regulation		18		ppm/ μA	Tested with $50\text{ }\mu\text{A}$ load
OPTIONAL EXTERNAL VOLTAGE REFERENCE					
External Reference Input Voltage	2.47	2.5	2.53	V	$\text{REF_EN} = \text{DGND}$ to enable use of external reference, $V_{CC} = 2.7\text{ V}$ minimum
External Reference Input Current					
Demodulator		16	21	μA	Current required by external reference in receive mode
Modulator		28	33	μA	Current required by external reference in transmit mode
Internal Oscillator		5.5	7	μA	Current required by external reference if using internal oscillator
Power-Down		4.6	8.6	μA	
DIGITAL INPUTS					
V_{IH} , Input High Voltage	$0.7 \times IOV_{CC}$			V	
V_{IL} , Input Low Voltage			$0.3 \times IOV_{CC}$	V	
Input Current	-0.1		+0.1	μA	
Input Capacitance ⁵		5		pF	Per pin
DIGITAL OUTPUTS					
V_{OH} , Output High Voltage	$IOV_{CC} - 0.5$			V	
V_{OL} , Output Low Voltage			0.4	V	
CD Assert ⁶	85	100	110	mV p-p	
HART_IN INPUT⁵					
Input Voltage Range	0		REF	V	External reference source
	0		1.5	V	Internal reference enabled

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
HART_OUT OUTPUT					
Output Voltage	459	493	505	mV p-p	AC-coupled (2.2 μ F), measured at HART_OUT pin with 160 Ω load (worst-case load), see Figure 15 and Figure 16 for HART_OUT voltage vs. load
Mark Frequency ⁷		1200		Hz	Internal oscillator
Space Frequency ⁷		2200		Hz	Internal oscillator
Frequency Error	-0.5		+0.5	%	Internal oscillator, -40°C to +85°C
	-1		+1	%	Internal oscillator, -40°C to +125°C
Phase Continuity Error ⁵			0	Degrees	
Maximum Load Current ⁵		160		Ω	Worst-case load is 160 Ω , ac-coupled with 2.2 μ F, see Figure 19 for recommended configuration if driving a resistive load
Transmit Impedance		7		Ω	RTS low, at the HART_OUT pin
		70		k Ω	RTS high, at the HART_OUT pin

¹ 温度範囲は-40 °C~+125°Cです。typ 値は 25°C の値です。

² 消費電流規定値は、平均電流値に基づいています。

³ 復調器と変調器の電流は、外部クロックを使って規定しています。外付け水晶発振器を使う場合には、水晶発振器電流規定値を対応する V_{CC}および IOV_{CC}復調器/変調器電流規定値に加算して、このモードでの合計電源電流を求める必要があります。

⁴ 復調器と変調器の電流は、外部クロックを使って規定しています。内蔵発振器を使う場合には、内蔵発振器電流規定値を対応する V_{CC}および IOV_{CC}復調器/変調器電流規定値に加算して、このモードでの合計電源電流を求める必要があります。

⁵ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁶ 規定値のセットは、入力でプリアンブル文字を含む正弦波入力信号を使用し、さらに外付け理想フィルタを使用した場合について規定しています(図 21 参照)。

⁷ 内蔵発振器を使用しない場合は、周波数精度は使用する水晶またはクロック・ソースの精度に依存します。

タイミング特性

特に指定がない限り、 $V_{CC} = 2\text{ V} \sim 5.5\text{ V}$ 、 $IOV_{CC} = 1.71\text{ V} \sim 5.5\text{ V}$ 、 $T_{MIN} \sim T_{MAX}$ 。1ビット時間 = $1/1200\text{ Hz} = 833.333\text{ }\mu\text{s}$ 。

表 3.

Parameter ¹	Limit at T_{MIN} , T_{MAX}	Unit	Description
t_1	1	Bit time ² max	Carrier start time. Time from $\overline{\text{RTS}}$ falling edge to carrier reaching its first peak. See Figure 3.
t_2	1	Bit time ² max	Carrier stop time. Time from $\overline{\text{RTS}}$ rising edge to carrier amplitude dropping to ac zero. See Figure 4.
t_3	1	Bit time ² max	Carrier decay time. Time from $\overline{\text{RTS}}$ rising edge to carrier amplitude dropping to ac zero. See Figure 4.
t_4	6	Bit times ² max	Carrier detect on. Time from carrier on to CD rising edge. See Figure 5.
t_5	6	Bit times ² max	Carrier detect off. Time from carrier off to CD falling edge. See Figure 6.
t_6	10	Bit times ² max	Carrier detect on when switching <u>from</u> transmit mode to receive mode in the presence of a constant valid carrier. Time from $\overline{\text{RTS}}$ rising edge to CD rising edge. See Figure 7.
t_7	2.1	ms typ	Crystal oscillator power-up time. <u>On application</u> of a valid power supply voltage at V_{CC} or on enabling of the oscillator via the XTAL_EN pin. Crystal load capacitors = 8 pF.
t_8	6	ms typ	Crystal oscillator power-up time. Crystal load capacitors = 18 pF.
t_9	25	μs typ	Internal oscillator power-up time. <u>On application</u> of a valid power supply voltage at V_{CC} or on enabling of the oscillator via the CLK_CFG0 and CLK_CFG1 pins.
t_{10}	10	ms typ	Reference power-up time.
t_{11}	30	μs typ	Transition time from power-down mode to normal operating mode (external clock source, external reference).

¹ 規定値は、内蔵または外付けの受信フィルタを使用した AD5700/AD5700-1 に適用されます。

² ビット時間は、1ビットのデータを転送する時間長です。

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 4.

Parameter	Rating
V_{CC} to GND	-0.3 V to +7 V
IOV_{CC} to GND	-0.3 V to +7 V
Digital Inputs to DGND	-0.3 V to $IOV_{CC} + 0.3\text{ V}$ or +7 V (whichever is less)
Digital Output to DGND	-0.3 V to $IOV_{CC} + 0.3\text{ V}$ or +7 V (whichever is less)
HART_OUT to AGND	-0.3 V to +2.5 V
HART_IN to AGND	-0.3 V to $V_{CC} + 0.3\text{ V}$ or +7 V (whichever is less)
ADC_IP	-0.3 V to $V_{CC} + 0.3\text{ V}$ or +7 V (whichever is less)
AGND to DGND	-0.3 V to +0.3 V
Operating Temperature Range (T_A) Industrial	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ($T_{J\text{ MAX}}$)	150°C
Power Dissipation	$(T_{J\text{ MAX}} - T_A)/\theta_{JA}$
Lead Temperature, Soldering	JEDEC industry standard J-STD-020
ESD	
Human Body Model (ANSI/ESDA/JEDEC JS-001-2010)	8 kV
Field Induced Charge Model (JEDEC JESD22_C101E)	1.5 kV
Machine Model (ANSI/ESD S5.2-2009)	400 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 5.熱抵抗

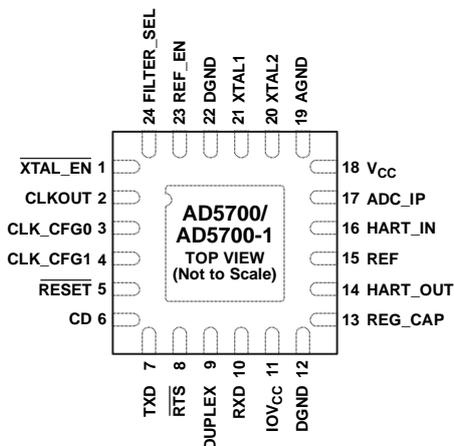
Package Type	θ_{JA}	θ_{JC}	Unit
24-Lead LFCSP	30	3	$^\circ\text{C/W}$

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. THE EXPOSED PADDLE SHOULD BE CONNECTED TO AGND OR DGND, OR, ALTERNATIVELY, IT CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PADDLE BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

10435-002

図 2. AD5700/AD5700-1 のピン配置

表 6. AD5700/AD5700-1 のピン機能説明

ピン番号	記号	説明
1	XTAL_EN	水晶発振器回路のイネーブル。ロー・レベルにすると、水晶発振器回路がイネーブルされるため、外付け水晶が必要になります。ハイ・レベルにすると、水晶発振器回路がディスエーブルされるため、外付けクロック・ソースまたは内蔵発振器 (AD5700-1 の場合) のクロックを使います。このピンを CLK_CFG0 ピンおよび CLK_CFG1 ピンと組み合わせ、必要なクロック発生方式を設定します。
2	CLKOUT	クロック出力。水晶発振器または内蔵 RC 発振器を使用する場合、クロック出力は CLKOUT ピンで設定することができます。クロック出力をイネーブルすると、このピンの負荷を駆動するため消費電流が増えます。詳細については、CLKOUT のセクションを参照してください。
3	CLK_CFG0	クロック設定の制御。表 7 を参照してください。
4	CLK_CFG1	クロック設定の制御。表 7 を参照してください。
5	RESET	アクティブ・ローのデジタル入力。RESET をロー・レベルにすると、AD5700/AD5700-1 はパワーダウン・モードになります。RESET をハイ・レベルにすると、AD5700/AD5700-1 はパワーオン状態に戻ります。このピンを使わない場合は、このピンを IOV _{CC} へ接続してください。
6	CD	キャリア検出—デジタル出力。CD がハイ・レベルのとき、有効なキャリアが検出されたことを表示します。
7	TXD	送信データ—デジタル入力。変調器へ入力されるデータ。
8	RTS	送信要求—デジタル入力。ハイ・レベルにすると、復調器がイネーブルされて、変調器がディスエーブルされます。ロー・レベルにすると、変調器がイネーブルされて、復調器がディスエーブルされます。
9	DUPLEX	このピンをハイ・レベルにすると、全二重動作がイネーブルされます。動作原理のセクションを参照してください。ロー・レベルにすると、この機能がディスエーブルされます。
10	RXD	受信データ—UART インターフェース・デジタル・データ出力。復調器からのデータが、このピンに出力されます。
11	IOV _{CC}	デジタル・インターフェース電源。デジタル・スレッシュホールド・レベルは、このピンに入力される電圧を基準とします。範囲 1.71 V~5.5 V の電圧を加えることができます。
12	DGND	デジタル回路グラウンド基準の接続。通常動作では、このピンを AGND に接続することが推奨されます。
13	REG_CAP	内蔵電圧レギュレータに対するコンデンサ接続。このピンとグラウンドとの間に 1 μF のコンデンサを接続してください。
14	HART_OUT	HART FSK 信号出力。代表的な接続については FSK 変調器 のセクションと図 26 を参照してください。
15	REF	内蔵リファレンス電圧出力、または外付け 2.5 V リファレンス電圧入力。このピンとグラウンドとの間に 1 μF のコンデンサを接続してください。外付けリファレンスを入力する場合は、V _{CC} 電源には最小電圧 2.7 V が必要です。
16	HART_IN	HART FSK 信号。内蔵フィルタを使用する場合、HART 入力信号を 2.2 nF の直列コンデンサを経由してこのピンへ入力してください。図 21 のように外付けバンドパス・フィルタを使用する場合は、このピンに接続しないでください。

ピン番号	記号	説明
17	ADC_IP	内蔵バンドパス・フィルタを使用する場合、680 pFをこのピンへ接続してください。あるいは、このピンを使うと、ADC 入力へ直接接続することができます。この場合、外付けバンドパス・フィルタ回路を使う必要があります(図 21 参照)。
18	V _{CC}	電源入力。2 V~5.5 Vをこのピンに入力することができます。V _{CC} は低 ESR の 10 μ F と 0.1 μ F のコンデンサでグラウンドへデカップリングする必要があります(電源のデカップリングのセクション参照)。
19	AGND	アナログ回路グラウンド基準の接続。
20	XTAL2	外付け 3.6864 MHz 水晶の接続。内蔵 RC 発振器 (AD5700-1 の場合) または外付けクロック・ソースを使う場合には、このピンへ接続しないでください。
21	XTAL1	外付け 3.6864 MHz 水晶または外付けクロック・ソース入力の接続。内蔵 RC 発振器 (AD5700-1 の場合) を使用する場合は、このピンをグラウンドへ接続してください。
22	DGND	デジタル回路グラウンド基準の接続。通常動作では、このピンを AGND に接続することが推奨されます。
23	REF_EN	リファレンス電圧のイネーブル。ハイ・レベルにすると、内蔵 1.5 V リファレンスとバッファがイネーブルされます。ロー・レベルにすると、内蔵リファレンス電圧と入力バッファがディスエーブルされるので、バッファ付き外付け 2.5 V リファレンス・ソースを REF へ接続する必要があります。REF_EN をロー・レベルにする場合、V _{CC} は 2.7 V より高くする必要があります。
24	FILTER_SEL	バンドパス・フィルタの選択。ハイ・レベルにすると、内蔵フィルタがイネーブルされるため、HART 信号を HART_IN ピンへ入力する必要があります。ロー・レベルにすると、内蔵フィルタがディスエーブルされるため、外付けバンドパス・フィルタを ADC_IP 入力ピンへ接続する必要があります。この場合、HART 信号は ADC_IP ピンへ入力する必要があります。
EPAD	AGND	アナログ・グラウンド基準接続。通常動作では、このピンを AGND に接続することが推奨されます。

代表的な性能特性

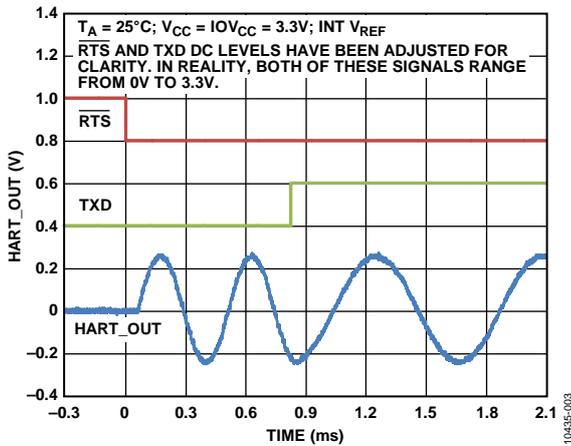


図 3. キャリア起動時間

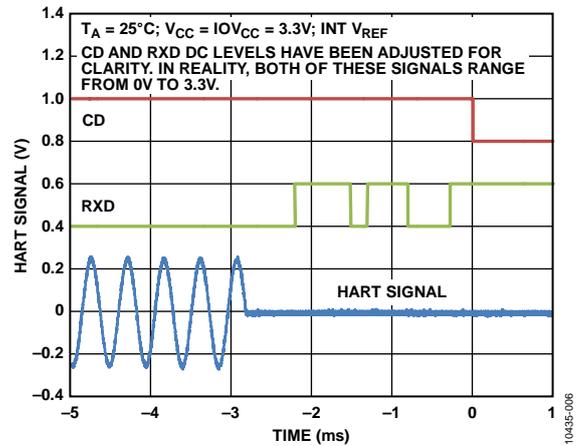


図 6. キャリア・ディテクト・オフのタイミング

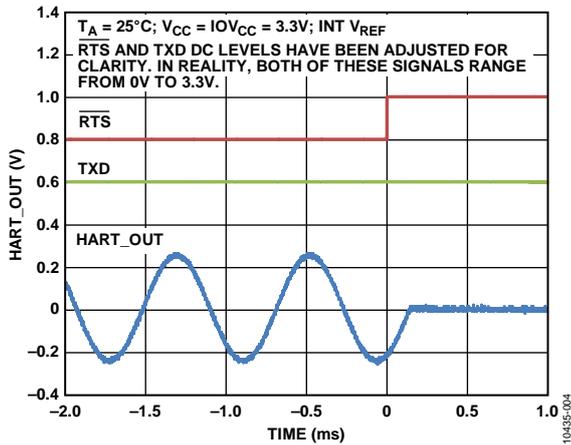


図 4. キャリア停止/減衰時間

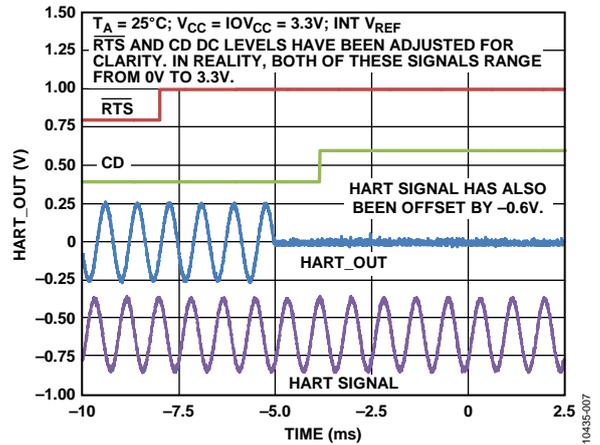


図 7. 送信モードから受信モードへ切替時の
キャリア・ディテクト・オン
一定の有効キャリアあり

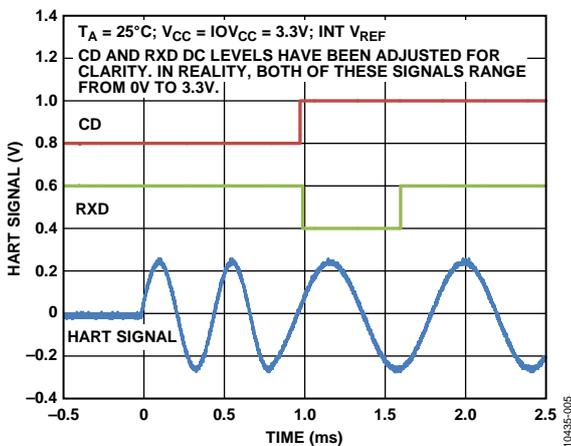


図 5. キャリア・ディテクト・オンのタイミング

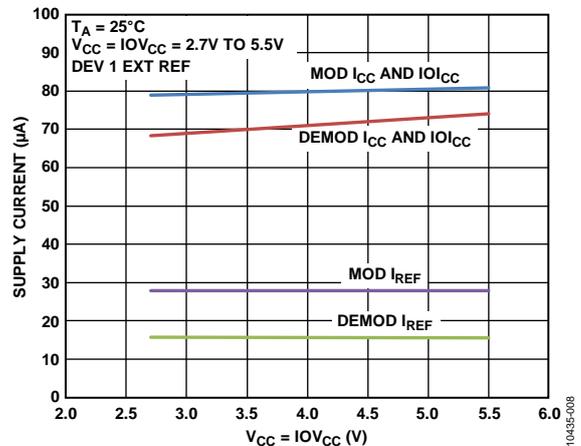


図 8. 電源電圧対電源電流—外付けリファレンス電圧

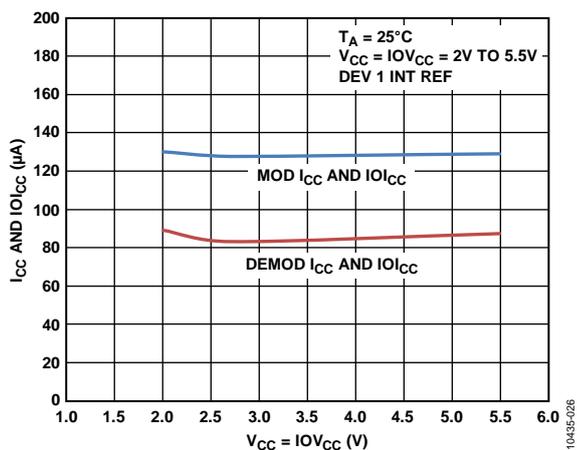


図 9. 電源電圧対電源電流—内蔵リファレンス電圧

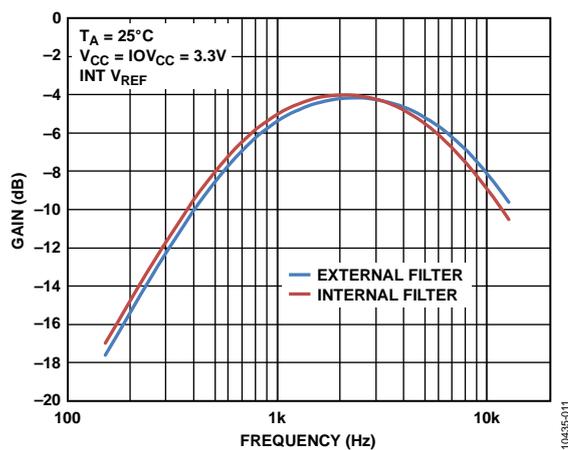


図 12. 入力フィルタの周波数応答

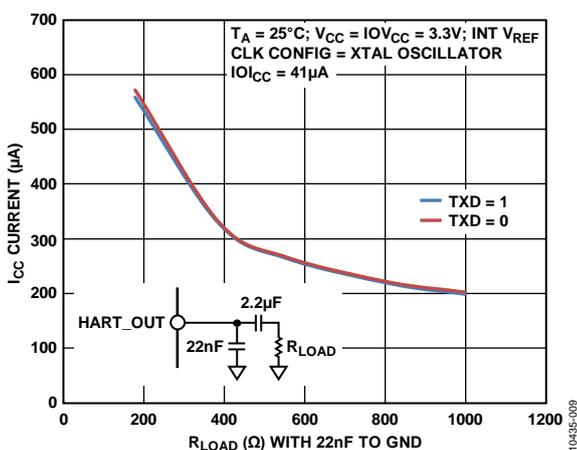


図 10. 抵抗負荷対 Tx モード電流

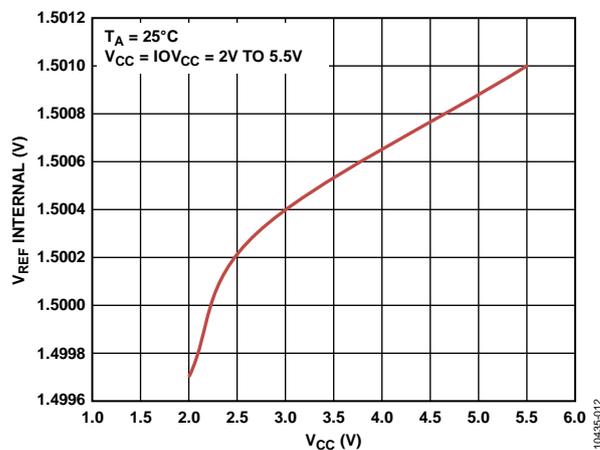


図 13. Vcc 対リファレンス電圧

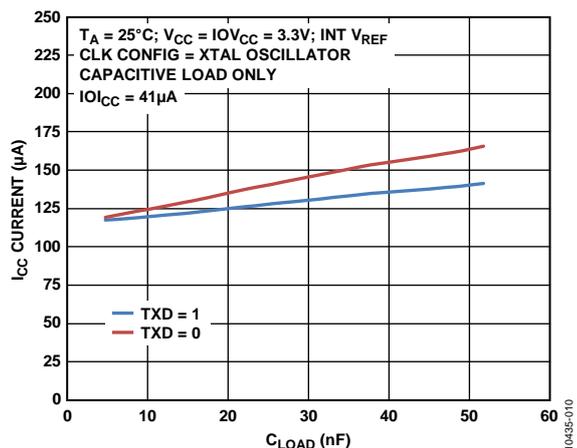


図 11. 容量負荷対 Tx モード電流

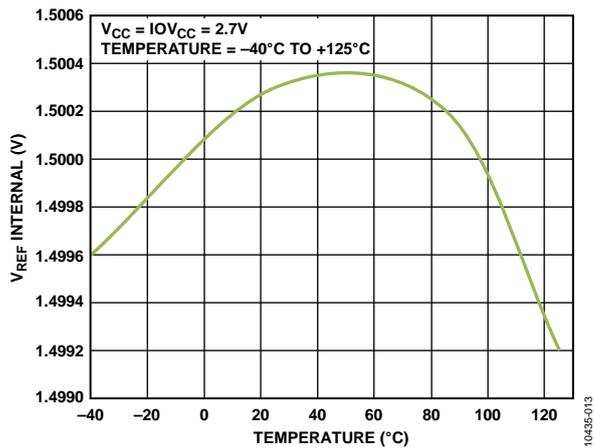


図 14. リファレンス電圧の温度特性

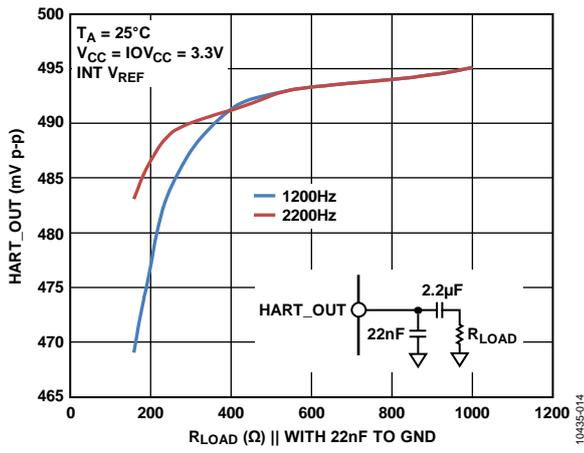


図 15. R_{LOAD} 对 HART_OUT 電圧

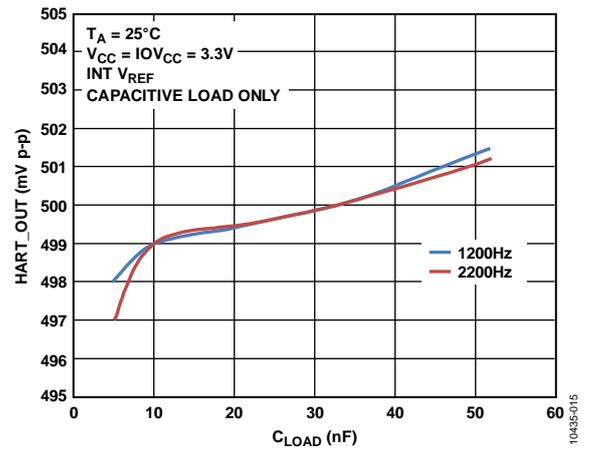


図 16. C_{LOAD} 对 HART_OUT 電圧

用語

V_{CC}消費電流および IOV_{CC}消費電流

この規定は、V_{CC}電源と IOV_{CC}電源の合計消費電流を規定します。図 11 に、送信モードでの可変負荷容量対 V_{CC}電流と IOV_{CC}電流の測定値を示します。

負荷レギュレーション

負荷電流の規定された変化によるリファレンス出力電圧の変化を意味し、ppm/μA で表されます。

CD アサート

キャリア検出信号がアサートされる最小値は 85 mV p-p で、アサートされる最大値は 110 mV p-p です。HART 入力信号が 110 mV p-p より高い場合、CD は既にハイ・レベル(アサート)になっています。この規定は、入力の正弦波入力信号がプリアンプル文字と理想外付けフィルタを含んでいるものと見なして規定されています(図 21 参照)。

HART_OUT 出力電圧

これはピーク to ピーク HART_OUT 出力電圧です。表 2 のこの規定は、160 Ω のワーストケース負荷、2.2 μF コンデンサによる AC 結合を使用して規定されています。図 15 と図 16 に、抵抗負荷と純容量負荷に対する HART_OUT 出力電圧を示します。

マーク/スペース周波数

1.2 kHz の信号はデジタル 1 すなわちマークを、2.2 kHz の信号は 0 すなわちスペースを、それぞれ表します。

位相連続性誤差

このデザイン内の DDS エンジンは、元々連続位相信号を発生するため、周波数間で切り替える際に出力の不連続性は生じません。この属性は、帯域制限されたチャンネルで伝送される信号に対して望ましいものです。これは、信号に不連続性があると、広帯域周波数成分が発生してしまうためです。名前の通り信号が連続で、位相連続性誤差が 0° である必要があります。

動作原理

HART (Highway Addressable Remote Transducer) 通信は、スマート・フィールド・デバイスと制御システムの間でアナログ有線を使ってデジタル情報を送受信する世界標準です。これはデジタル 2 方向通信システムであり、1 mA p-p の周波数シフト・キーイングされた (FSK) 信号が、4 mA~20 mA のアナログ電流信号上で変調されます。AD5700/AD5700-1 は、HART 物理層条件 (レビジョン 8.1) に準拠する、シングルチップ、低消費電力、HART FSK 半二重モデムとして動作するようにデザインされ、仕様が規定されています。

シングルチップ・ソリューションの AD5700/AD5700-1 は、変調機能と復調機能だけでなく、リファレンス電圧、受信バンドパス・フィルタ (不要な場合バイパスできる柔軟性があります)、バッファ付き HART 出力も内蔵しているため、高い出力駆動能力を提供し、外付けバッファが不要です。また、AD5700-1 オプションとして高精度内蔵 RC 発振器も含まれています。図 1 のブロック図に、これら回路ブロックの接続を示します。広範囲な内蔵オプションがあるため、最小の外付け部品数で済みます。AD5700/AD5700-1 は、HART フィールド計装機器とマスター構成での使用に適しています。

AD5700/AD5700-1 は、1.2 kHz と 2.2 kHz のキャリア信号を送信または受信します。1.2 kHz の信号はデジタル 1 すなわちマークを、2.2 kHz の信号は 0 すなわちスペースを、それぞれ表します。これらのデバイスでは、次の 3 種類のメイン・クロック構成をサポートしています。その内の 2 種類は AD5700 オプションで、全 3 種類は AD5700-1 デバイスで、それぞれ使用することができます。

- 外付け水晶
- CMOS クロック入力
- 内蔵 RC 発振器 (AD5700-1 の場合)

デバイスは、標準 UART インターフェースを経由して制御されます。関係する信号は、RTS、CD、TXD、RXD です (ピン説明については表 6 を参照してください)。

FSK 変調器

変調器は、TXD 入力の UART エンコードされた HART データのビット・ストリームを 1200 Hz トーンと 2200 Hz トーンのシーケンスへ変換します (図 17 参照)。この正弦波信号は内部でバッファされて HART_OUT ピンへ出力されます。RTS 信号をロー・レベルにすると、変調器がイネーブルされます。

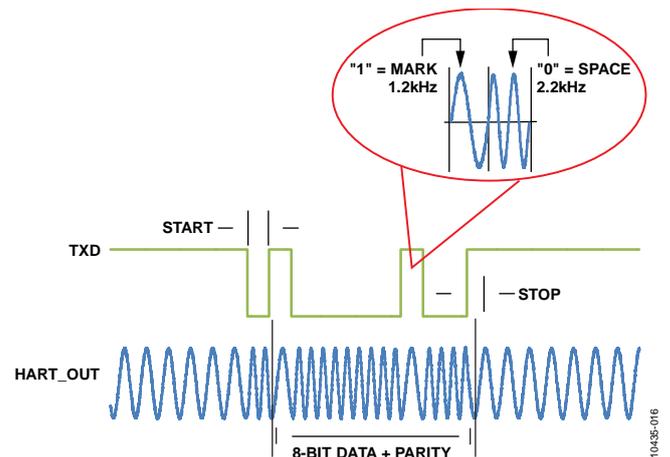


図 17. AD5700/AD5700-1 変調器の波形

変調器ブロックには DDS エンジンがあり、デジタル形式で 1.2 kHz または 2.2 kHz の正弦波を発生し、D/A 変換を行います。この DDS エンジンは元々連続位相信号を発生するため、周波数を切り替える際に出力の不連続が回避されます。DDS の基礎については、MT-085 「Fundamentals of Direct Digital Synthesizers (DDS)」を参照してください。図 18 に、FSK エンコーディングの簡略化した説明を示します。

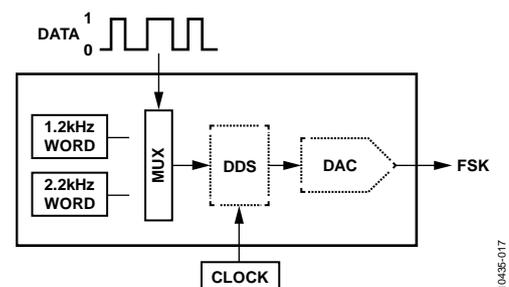


図 18. DDS 採用の FSK エンコーダ

HART_OUT への接続

HART_OUT ピンは 0.75 V に DC バイアスされているため、負荷へ容量結合する必要があります。表 2 の消費電流規定値は、5 nF 負荷を駆動する場合です。アプリケーションで負荷値を大きくする場合は、電流が増えます。この値は次式で計算することができます。

$$I_{TOTAL} = I_{AD5700} + I_{LOAD\ RMS}$$

$$I_{LOAD\ RMS} = \frac{500\text{ mV}}{4\sqrt{2} \times \sqrt{\left(\frac{1}{2\pi \times f \times C_{LOAD}}\right)^2 + R_{LOAD}^2}} \quad (1)$$

ここで、 I_{AD5700} は送信モードで規定値に従い AD5700/AD5700-1 に流れる電流 (表 2 参照)。表 2 の規定値では 5 nF の C_{LOAD} を仮定しています。

f は出力周波数 (1.2 kHz or 2.2 kHz)。 C_{LOAD} はグラウンドと HART_OUT との間の容量負荷。

R_{LOAD} はループの抵抗負荷。

純容量負荷を駆動する場合は、負荷は 5 nF ~ 52 nF の範囲にする必要があります。容量負荷対電源電流の代表的なプロットについては、図 11 を参照してください。

例

内蔵リファレンス電圧を使用し、 $C_{LOAD} = 52\text{ nF}$ とします。

$$I_{CC} + IOI_{CC} = \text{最大 } 140\ \mu\text{A} \quad (\text{表 2 の規定値から})$$

ここでは 5 nF の負荷を使用していることに注意してください。

このため、追加の 47 nF を駆動するために必要な負荷電流を計算するときは、式 1 を使います。

$$f = 1200\text{ Hz}, C_{LOAD} = 47\text{ nF}, R_{LOAD} = 0\ \Omega \text{ を式に代入すると、} I_{LOAD} = 62.6\ \mu\text{A} \text{ が得られます。}$$

水晶発振器を使用する場合、これにより最大 60 μA 増えます (条件については表 2 を参照してください)。

したがって、この例のワーストケース合計電流は、

$$140\ \mu\text{A} + 62.6\ \mu\text{A} + 60\ \mu\text{A} = 262.6\ \mu\text{A}$$

抵抗エレメントを持つ負荷を駆動する場合は、22 nF のコンデンサをグラウンドと HART_OUT ピンの間に接続することが推奨されます。負荷は、2.2 μF の直列コンデンサで結合する必要があります。低インピーダンス・デバイスの場合、 R_{LOAD} の範囲は 230 Ω ~ 600 Ω です。

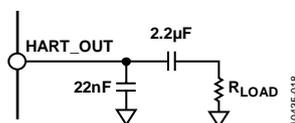


図 19. HART_OUT に抵抗負荷を持つ AD5700/AD5700-1

FSK 復調器

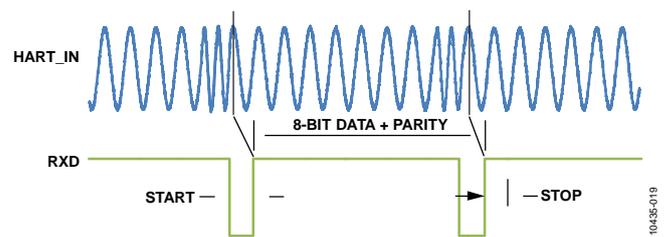


図 20. AD5700/AD5700-1 復調器波形 (プリアンブル・メッセージ 0xFF)

RTS をハイ・レベルにすると、変調器がディスエーブルされて、復調器がイネーブルされます。すなわち、AD5700/AD5700-1 は受信モードになります。CD がハイ・レベルのとき、有効なキャリアが検出されたことを表示します。復調器に HART_IN ピンから FSK 信号を入力すると、元の変調された信号が再生されて、UART インターフェース・デジタル・データ出力ピン RXD に出力されます。ADC、デジタル・フィルタ、デジタル復調の組み合わせにより、RXD ピンに非常に正確な出力が得られます。HART ビット・ストリームでは、スタート・ビット、8 ビットのデータ、1 ビットのパリティ、ストップ・ビットを持つ標準 UART フレームが可能です (図 20 参照)。

HART_IN または ADC_IP への接続

AD5700/AD5700-1 には、外付けフィルタ (HART 信号を ACP_IP へ入力) と内蔵フィルタ (HART 信号を HART_IN へ入力) の 2 つのフィルタ設定オプションがあります。

外付けフィルタを図 21 に示します。この場合、HART 信号は外付けフィルタ回路を經由して ADC_IP ピンへ入力します。安全性が重要なアプリケーションでは、AD5700/AD5700-1 をループ電源の高電圧からアイソレーションする必要があります。推奨外付けバンドパス・フィルタには、固有な安全条件に従って電流を十分低いレベルに制限する 150 k Ω 抵抗が含まれます。この場合、入力の過渡電圧保護機能を強化して、最も厳しい工業用環境でも保護回路の追加を不要にする必要があります。1% の正確な抵抗部品と 10% の正確なコンデンサ部品を使う場合の、CD トリップ電圧レベルの計算変動値は理論値 $\pm 3.5\text{ mV}$ になります。

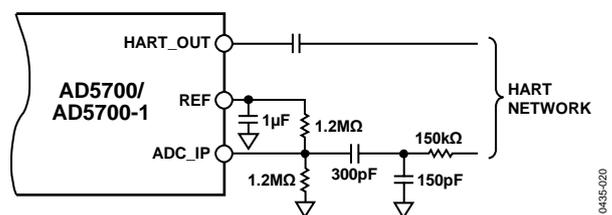


図 21. ADC_IP に外付けフィルタを接続した AD5700/AD5700-1

内蔵フィルタの構成を図 22 に示します。このオプションは外付け部品が不要になるため、コストまたはボード・スペースが問題となるときに有効です。この構成は 8 kV の ESD HBM 定格を実現しますが、厳しい工業用環境で使用する場合には、EMC とサージ保護用の外付け保護回路の追加が必要になります。

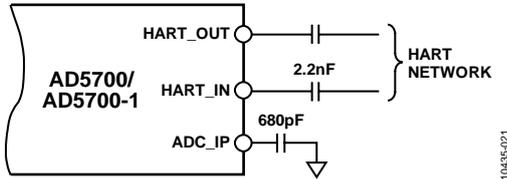


図 22. HART_IN に内蔵フィルタを使用した AD5700/AD5700-1

クロックの構成

AD5700/AD5700-1 は多くのクロック構成をサポートするため、コストと消費電力の間で最適なトレードオフを行うことができます。

- 外付け水晶
- CMOS クロック入力
- 内蔵 RC 発振器 (AD5700-1 の場合)

CLK_CFG0 ピン、CLK_CFG1 ピン、XTAL_EN ピンを使って、クロックの発生を設定します(表 7)。また、AD5700/AD5700-1 は CLKOUT へクロックを出力します (詳細については、CLKOUT のセクション参照)。

外付け水晶

外付け水晶 (ABLS-3.6864MHZ-L4Q-T) の代表的な接続を図 23 に示します。消費電流を最小にし漂遊容量を小さくするため、水晶、コンデンサ、グラウンドとの間の接続はできるだけ AD5700/AD5700-1 の近くで行う必要があります。推奨負荷の情報と水晶性能仕様については水晶メーカーへご相談ください。

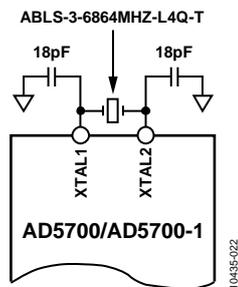


図 23.水晶発振器の接続

ABLS-3.6864MHZ-L4Q-T 水晶発振器データシートでは、2 個の 18 pF コンデンサの使用を推奨しています。水晶の消費電流は負荷容量により支配されるので、水晶の消費電流を削減するため、XTAL1 ピンと XTAL2 ピンに 2 個の 8 pF コンデンサを使用しました。容量値が小さいために水晶の周波数性能が低下しますが、それでも AD5700/AD5700-1 は期待通りに機能しました。8 pF のコンデンサをサポートする水晶は、入手することができます。この情報については水晶メーカーにご相談ください。

CMOS クロック入力

CMOS クロック入力を使用して AD5700/AD5700-1 のクロックを発生することもできます。このモードを使うときは、外付けクロック・ソースを XTAL 1 ピンに接続して、XTAL2 をオープンのままにします (図 24 参照)。

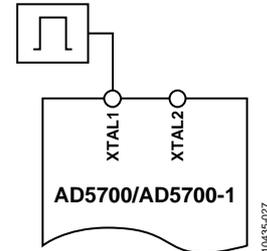


図 24. CMOS クロックの接続

内蔵発振器 (AD5700-1 の場合)

消費電流 218 μA (typ) で 0.5 % 精度の低消費電力 RC 発振器が AD5700-1 に内蔵されており、発振周波数は 1.2288 MHz です。このモードを使うときは、XTAL1 ピンをグラウンドへ接続し、XTAL2 ピンをオープンのままにします (図 25 参照)。

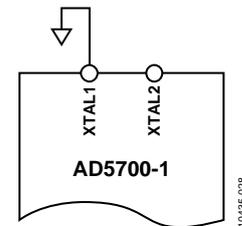


図 25.内蔵発振器の接続

CLKOUT

AD5700/AD5700-1 はクロックを CLKOUT へ出力することができます (表 7 参照)。

- 水晶発振器を使う場合、このクロック出力は 3.6864 MHz、1.8432 MHz、または 1.2288 MHz のバッファ済クロックとして設定することができます。
- CMOS クロックを使う場合、CLKOUT ピンにクロックは出力されません。
- 内蔵 RC 発振器を使う場合、このクロック出力は 1.2288 MHz のバッファ済クロックとしてのみ設定することができます。

クロック出力の振幅は IOV_{CC} レベルに依存します。したがって、クロック出力は 1.71 V p-p ~ 5.5 V p-p の範囲になります。AD5700/AD5700-1 のクロック出力をイネーブルすると、デバイスの消費電流は増えます。この増加は CLKOUT ピンの負荷を駆動するために必要な電流に起因しており、この負荷は 30 pF を超えることはできません。

この容量を小さくして消費電流を減少させて、クリーンなエッジを持つクロックを提供する必要があります。IOV_{CC} 電源からの電流増加は、次式で計算することができます。

$$I = C \times V \times f$$

表 7. クロック設定オプション

XTAL_EN	CLK_CFG1	CLK_CFG0	CLKOUT	Description
1	0	0	No output	3.6864 MHz CMOS clock connected at XTAL1 pin
1	0	1	No output	1.2288 MHz CMOS clock connected at XTAL1 pin
1	1	0	No output	Internal oscillator enabled (AD5700-1 only)
1	1	1	1.2288 MHz output	Internal oscillator enabled, CLKOUT enabled (AD5700-1 only)
0	0	0	No output	Crystal oscillator enabled
0	0	1	3.6864 MHz output	Crystal oscillator enabled, CLKOUT enabled
0	1	0	1.8432 MHz output	Crystal oscillator enabled, CLKOUT enabled
0	1	1	1.2288 MHz output	Crystal oscillator enabled, CLKOUT enabled

パワーダウン・モード

RESET ピンをロー・レベルにして **AD5700/AD5700-1** をパワーダウン・モードにすることができます。内蔵リファレンス電圧を使用する場合、**REF_EN** ピンを **RESET** ピンへ接続して、パワーダウンも同時に行うことが推奨されます。**RESET** がロー・レベルの間リファレンスをパワーダウンさせない場合、**REF** ピンの出力電圧は約 1.7 V になり、**RESET** がハイ・レベルに戻るまで維持されます。

このモードでは、受信回路、送信回路、発振器回路はすべて停止するため、デバイスの消費電流は 16 μ A (typ) になります。

全二重動作

全二重動作とは、**AD5700/AD5700-1** の変調器と復調器が同時にイネーブルされることを意味します。これは強力な機能であり、**HART** デバイスのセルフテスト手順を可能にするだけでなく、**HART** デバイスとホスト・コントローラとの間で完全な信号パスも形成します。この機能は、ローカル通信ループが機能していることを確認する方法も提供します。このシステム診断レベルの強化は、製造時セルフテストで有効であり、アプリケーションの **SIL (Safety Integrity Level)** 定格の向上にも役立ちます。**DUPLEX** ピンをハイ・レベルにすると、全二重モード動作がイネーブルされます。

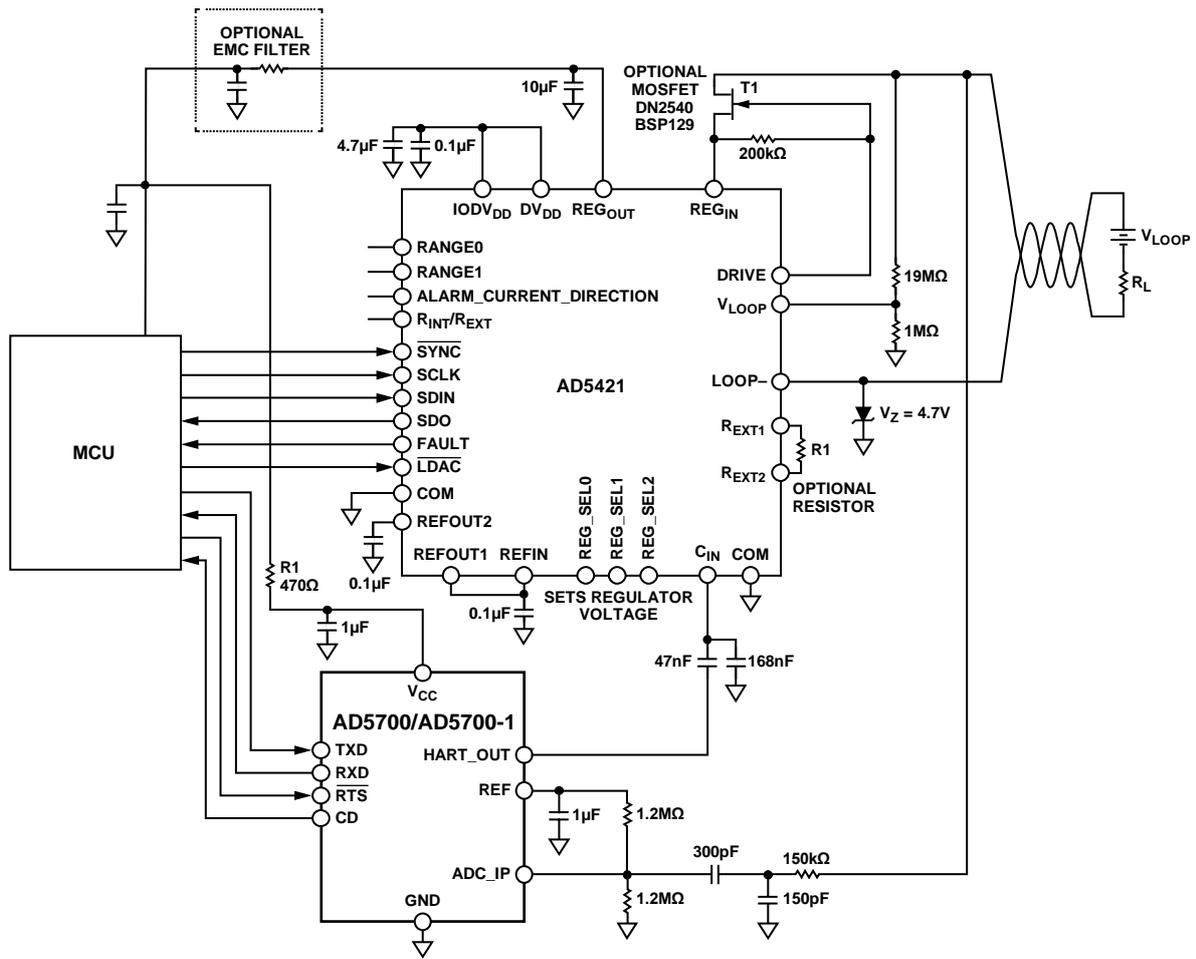


図 27.ループ給電トランスミッタのブロック図

10435-025

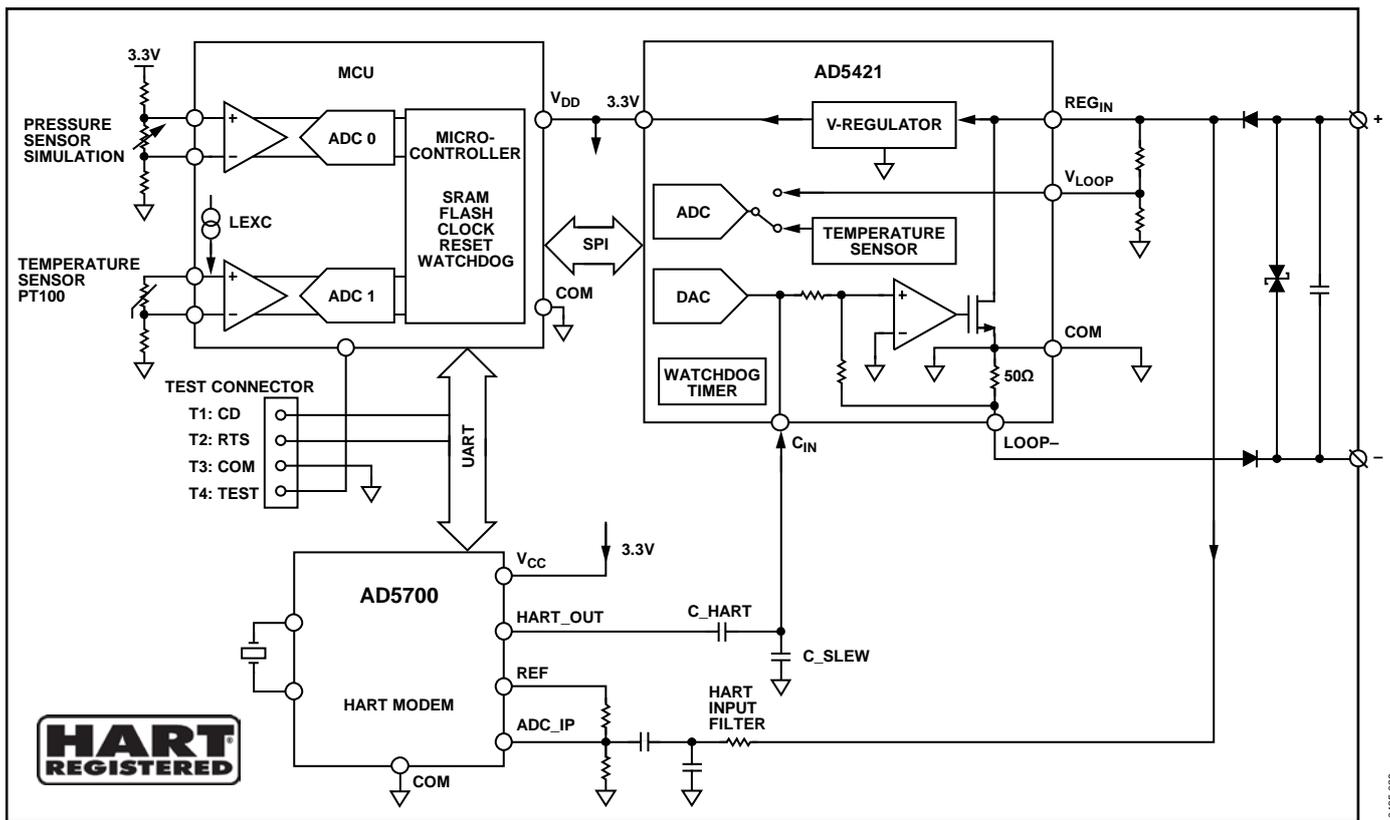
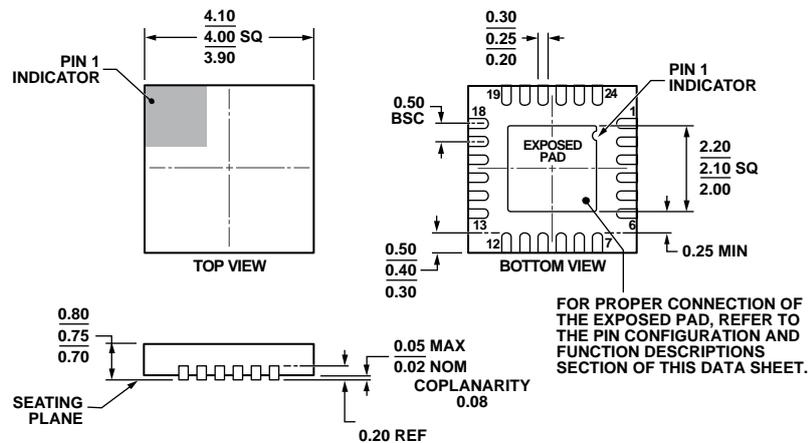


図 28. ブロック図—アナログ・デバイゼズの HART を有効にしたスマート・トランスミッタの参考用デモ回路

10435-028

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD-8.

072809A

図 29.24 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WQ]
4 mm × 4 mm ボディ、極薄クワッド
(CP-24-10)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Oscillator Options	Receive Supply Current	Package Description	Package Option
AD5700BCPZ-R5	-40°C to +125°C	External clock, crystal	157 μA	24-Lead LFCSP_WQ	CP-24-10
AD5700BCPZ-RL7	-40°C to +125°C	External clock, crystal	157 μA	24-Lead LFCSP_WQ	CP-24-10
AD5700ACPZ-RL7	-40°C to +125°C	External clock, crystal	260 μA	24-Lead LFCSP_WQ	CP-24-10
AD5700-1BCPZ-R5	-40°C to +125°C	External clock, crystal or internal oscillator	442 μA	24-Lead LFCSP_WQ	CP-24-10
AD5700-1BCPZ-RL7	-40°C to +125°C	External clock, crystal or internal oscillator	442 μA	24-Lead LFCSP_WQ	CP-24-10
AD5700-1ACPZ-RL7	-40°C to +125°C	External clock, crystal or internal oscillator	540 μA	24-Lead LFCSP_WQ	CP-24-10
EVAL-AD5700-1EBZ				Evaluation Board for AD5700 and AD5700-1	

¹ Z = RoHS 準拠製品。