



2 ppm/°Cリファレンス、I²Cインターフェース内蔵の 16/14/12ビット、クワッド nanoDAC+

データシート

AD5696R/AD5695R/AD5694R

特長

高い相対精度(INL): 16ビットで最大±2 LSB
低ドリフトの2.5Vリファレンス電圧: 2 ppm/°C (typ)
小型パッケージ: 3 mm × 3 mm の16ピンLFCSP

総合未調整誤差(TUE): FSRの最大±0.1%
オフセット誤差: 最大±1.5 mV
ゲイン誤差: FSRの最大±0.1%
高い駆動能力: 20 mA、電源レールから0.5 V
ユーザー設定可能なゲイン: 1または2 (GAINピン)
ゼロスケールまたはミッドスケールへのリセット(RSTSELピン)
1.8 Vロジックに互換
低グリッチ: 0.5 nV-sec
400 kHzのI²C互換シリアル・インターフェース
強固な3.5 kV HBMおよび1.5 kV FICDM ESD定格
低消費電力: 3 Vで3.3 mW
電源電圧: 2.7 V~5.5 V
温度範囲: -40°C~+105°C

アプリケーション

光トランシーバ
基地局用パワー・アンプ
プロセス制御(PLC I/Oカード)
工業用オートメーション
データ・アキュイジション・システム

概要

AD5696R/AD5695R/AD5694R ファミリーは、低消費電力、クワッド、16/14/12ビットのバッファ付き電圧出力DACです。このデバイスは、2.5 Vの2 ppm/°Cリファレンス電圧(デフォルトでイネーブル)、2.5 V(ゲイン=1)または5 V(ゲイン=2)のフルスケール出力を選択するゲイン選択ピンを内蔵しています。すべてのデバイスは2.7 V~5.5 Vの単電源で動作し、デザインにより単調性が保証され、ゲイン誤差は0.1% FSR以下でオフセット誤差性能は1.5 mVです。これらのデバイスは、3 mm × 3 mm LFCSPパッケージまたはTSSOPパッケージを採用しています。

また、**AD5696R/AD5695R/AD5694R** はパワーオン・リセット回路とRSTSELピンも内蔵しています。このRSTSELピンを使うと、DAC出力がゼロスケールまたはミッドスケールでパワーアップし、有効な書き込みが行われるまでその状態を維持させることができます。各デバイスは、チャンネルごとのパワーダウン機能を内蔵しています。この機能はパワーダウン・モードのデバイス消費電流を3 Vで4 μAへ削減します。

AD5696R/AD5695R/AD5694R は、最大400 kHzのクロック・レートで動作する多機能な2線式シリアル・インターフェースを採用し、1.8 V/3 V/5 V V_{Logic}用のV_{Logic}ピンを内蔵しています。

機能ブロック図

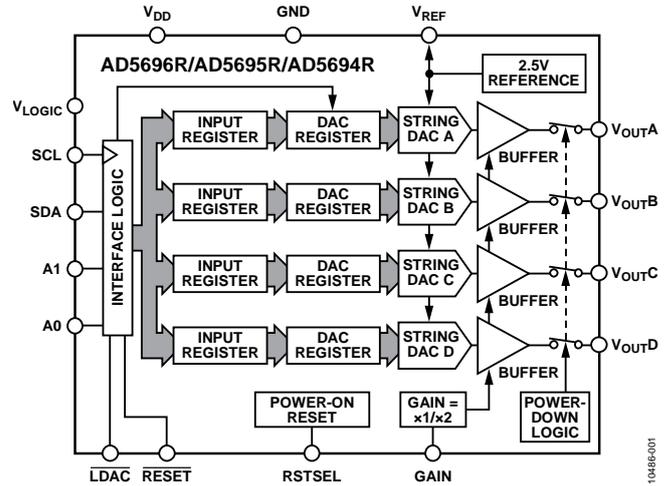


図 1.

表 1.クワッド nanoDAC+デバイス

Interface	Reference	16-Bit	14-Bit	12-Bit
SPI	Internal	AD5686R	AD5685R	AD5684R
I ² C	Internal	AD5696R	AD5695R	AD5694R

製品のハイライト

- 高い相対精度(INL)。
AD5696R (16ビット):最大±2 LSB
AD5695R (14ビット):最大±1 LSB
AD5694R (12ビット):最大±1 LSB
- 低ドリフトの2.5 Vリファレンス電圧を内蔵。
温度係数: 2 ppm/°C (typ)
最大温度係数: 5 ppm/°C
- 2種類のパッケージ・オプション。
3 mm × 3 mm の16ピンLFCSP
16ピンTSSOP

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

目次

特長	1	書込み動作	21
アプリケーション	1	読出し動作	22
機能ブロック図	1	複数 DAC のリードバック・シーケンス	22
概要	1	パワーダウン動作	23
製品のハイライト	1	DAC のロード(ハードウェア $\overline{\text{LDAC}}$ ピン)	24
改訂履歴	2	$\overline{\text{LDAC}}$ マスク・レジスタ	24
仕様	3	ハードウェア・リセット($\overline{\text{RESET}}$)	25
AC 特性	5	リセット選択ピン(RSTSEL)	25
タイミング特性	6	内蔵リファレンスのセットアップ	25
絶対最大定格	7	ハンダ加熱リフロー	25
ESD の注意	7	長時間温度ドリフト	25
ピン配置およびピン機能説明	8	熱ヒステリシス	26
代表的な性能特性	9	アプリケーション情報	27
用語	16	マイクロプロセッサ・インターフェース	27
動作原理	18	AD5696R/AD5695R/AD5694R と ADSP-BF531 とのインターフェース	27
D/A コンバータ	18	レイアウトのガイドライン	27
伝達関数	18	電流絶縁型インターフェース	27
DAC アーキテクチャ	18	外形寸法	28
シリアル・インターフェース	19	オーダー・ガイド	29
書込コマンドと更新コマンド	20		
シリアル動作	21		

改訂履歴

4/12—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$;すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。 $R_L = 2\text{ k}\Omega$; $C_L = 200\text{ pF}$ 。

表 2.

Parameter	A Grade ¹			B Grade ¹			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE²								
AD5696R								
Resolution	16			16			Bits	
Relative Accuracy		± 2	± 8		± 1	± 2	LSB	Gain = 2
		± 2	± 8		± 1	± 3		Gain = 1
Differential Nonlinearity			± 1			± 1	LSB	Guaranteed monotonic by design
AD5695R								
Resolution	14			14			Bits	
Relative Accuracy		± 0.5	± 4		± 0.5	± 1	LSB	
Differential Nonlinearity			± 1			± 1	LSB	Guaranteed monotonic by design
AD5694R								
Resolution	12			12			Bits	
Relative Accuracy		± 0.12	± 2		± 0.12	± 1	LSB	
Differential Nonlinearity			± 1			± 1	LSB	Guaranteed monotonic by design
Zero-Code Error		0.4	4		0.4	1.5	mV	All zeros loaded to DAC register
Offset Error		+0.1	± 4		+0.1	± 1.5	mV	
Full-Scale Error		+0.01	± 0.2		+0.01	± 0.1	% of FSR	All ones loaded to DAC register
Gain Error		± 0.02	± 0.2		± 0.02	± 0.1	% of FSR	
Total Unadjusted Error		± 0.01	± 0.25		± 0.01	± 0.1	% of FSR	External reference; gain = 2; TSSOP
			± 0.25			± 0.2	% of FSR	Internal reference; gain = 1; TSSOP
Offset Error Drift ³		± 1			± 1		$\mu\text{V}/^\circ\text{C}$	
Gain Temperature Coefficient ³		± 1			± 1		ppm	Of FSR/ $^\circ\text{C}$
DC Power Supply Rejection Ratio ³		0.15			0.15		mV/V	DAC code = midscale; $V_{DD} = 5\text{ V}$ $\pm 10\%$
DC Crosstalk ³		± 2			± 2		μV	Due to single channel, full-scale output change
		± 3			± 3		$\mu\text{V}/\text{mA}$	Due to load current change
		± 2			± 2		μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS³								
Output Voltage Range	0		V_{REF}	0		V_{REF}	V	Gain = 1
	0		$2 \times V_{REF}$	0		$2 \times V_{REF}$	V	Gain = 2, see Figure 31
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ⁴	1			1			k Ω	
Load Regulation		80			80		$\mu\text{V}/\text{mA}$	$5\text{ V} \pm 10\%$, DAC code = midscale; $-30\text{ mA} \leq I_{OUT} \leq 30\text{ mA}$
		80			80		$\mu\text{V}/\text{mA}$	$3\text{ V} \pm 10\%$, DAC code = midscale; $-20\text{ mA} \leq I_{OUT} \leq 20\text{ mA}$
Short-Circuit Current ⁵		40			40		mA	
Load Impedance at Rails ⁶		25			25		Ω	See Figure 31
Power-Up Time		2.5			2.5		μs	Coming out of power-down mode; $V_{DD} = 5\text{ V}$

Parameter	A Grade ¹			B Grade ¹			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
REFERENCE OUTPUT								
Output Voltage ⁷	2.4975		2.5025	2.4975		2.5025	V	At ambient
Reference TC ^{8,9}		5	20		2	5	ppm/°C	See the Terminology section
Output Impedance ³		0.04			0.04		Ω	
Output Voltage Noise ³		12			12		μV p-p	0.1 Hz to 10 Hz
Output Voltage Noise Density ³		240			240		nV/√Hz	At ambient; f = 10 kHz, C _L = 10 nF
Load Regulation Sourcing ³		20			20		μV/mA	At ambient
Load Regulation Sinking ³		40			40		μV/mA	At ambient
Output Current Load Capability ³		±5			±5		mA	V _{DD} ≥ 3 V
Line Regulation ³		100			100		μV/V	At ambient
Long-Term Stability/Drift ³		12			12		ppm	After 1000 hours at 125°C
Thermal Hysteresis ³		125			125		ppm	First cycle
		25			25		ppm	Additional cycles
LOGIC INPUTS ³								
Input Current			±2			±2	μA	Per pin
V _{INL} , Input Low Voltage			0.3 × V _{LOGIC}			0.3 × V _{LOGIC}	V	
V _{INH} , Input High Voltage	0.7 × V _{LOGIC}			0.7 × V _{LOGIC}			V	
Pin Capacitance		2			2		pF	
LOGIC OUTPUTS (SDA) ³								
Output Low Voltage, V _{OL}			0.4			0.4	V	I _{SINK} = 3 mA
Floating State Output Capacitance		4			4		pF	
POWER REQUIREMENTS								
V _{LOGIC}	1.8		5.5	1.8		5.5	V	
I _{LOGIC}			3			3	μA	
V _{DD}	2.7		5.5	2.7		5.5	V	Gain = 1
V _{DD}	V _{REF} + 1.5		5.5	V _{REF} + 1.5		5.5	V	Gain = 2
I _{DD}								V _{IH} = V _{DD} , V _{IL} = GND, V _{DD} = 2.7 V to 5.5 V
Normal Mode ¹⁰		0.59	0.7		0.59	0.7	mA	Internal reference off
		1.1	1.3		1.1	1.3	mA	Internal reference on, at full scale
All Power-Down Modes ¹¹		1	4		1	4	μA	-40°C to +85°C
			6			6	μA	-40°C to +105°C

¹ 温度範囲 (A および B グレード): -40°C ~ +105°C。

² 特に指定がない限り、DC 仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは V_{REF} = V_{DD} かつゲイン = 1 の場合、または V_{REF}/2 = V_{DD} かつゲイン = 2 の場合にのみ存在します。直線性は、縮小コード範囲 256 ~ 65,280 (AD5696R)、64 ~ 16,320 (AD5695R)、12 ~ 4080 (AD5694R) を使って計算。

³ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁴ チャンネル A とチャンネル B は、最大 30 mA の組み合わせ出力電流を持つことができます。同様に、チャンネル C とチャンネル D は、ジャンクション温度 110°C までで最大 30 mA の組み合わせ出力電流を持つことができます。

⁵ V_{DD} = 5 V。このデバイスは、熱過負荷状態でデバイスを保護することを目的とした電流制限機能を内蔵しています。電流制限時にはジャンクション温度を超えることができます。規定の最大動作ジャンクション温度より上での動作はデバイスの信頼性を損なう可能性があります。

⁶ いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 25 Ω (typ) により制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = 25 Ω × 1 mA = 25 mV となります (図 31 参照)。

⁷ 前処理ハンダ・リフローでの初期精度は ±750 μV です。出力電圧は前処理でのドリフトの影響を含みます。内蔵リファレンスのセットアップのセクションを参照してください。

⁸ リファレンス電圧は 2 点の温度で調整/テストし、キャラクタライゼーションは -40°C ~ +105°C で行います。

⁹ リファレンス電圧の温度係数はボックス法に準拠して計算します。詳細については、用語のセクションを参照してください。

¹⁰ インターフェースは非アクティブ状態。すべての DAC はアクティブ状態。DAC 出力は無負荷。

¹¹ すべての DAC がパワーダウン。

AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $R_L = 2\text{ k}\Omega$ (GNDへ接続); $C_L = 200\text{ pF}$ (GNDへ接続); $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定¹

表 3.

Parameter ²	Min	Typ	Max	Unit	Test Conditions/Comments ³
Output Voltage Settling Time					
AD5696R		5	8	μs	¼ to ¾ scale settling to ± 2 LSB
AD5695R		5	8	μs	¼ to ¾ scale settling to ± 2 LSB
AD5694R		5	7	μs	¼ to ¾ scale settling to ± 2 LSB
Slew Rate		0.8		$\text{V}/\mu\text{s}$	
Digital-to-Analog Glitch Impulse		0.5		$\text{nV}\cdot\text{sec}$	1 LSB change around major carry
Digital Feedthrough		0.13		$\text{nV}\cdot\text{sec}$	
Digital Crosstalk		0.1		$\text{nV}\cdot\text{sec}$	
Analog Crosstalk		0.2		$\text{nV}\cdot\text{sec}$	
DAC-to-DAC Crosstalk		0.3		$\text{nV}\cdot\text{sec}$	
Total Harmonic Distortion ⁴		-80		dB	At ambient, BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
Output Noise Spectral Density		300		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, 10 kHz; gain = 2
Output Noise		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
SNR		90		dB	At ambient, BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
SFDR		83		dB	At ambient, BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
SINAD		80		dB	At ambient, BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² 用語のセクションを参照してください。

³ 温度範囲は、 $-40^\circ\text{C} \sim +105^\circ\text{C}$ です (25°C での typ 値)。

⁴ デジタル的に発生した 1 kHz の正弦波。

タイミング特性

特に指定がない限り、 $V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$; $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$;すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。¹

表 4.

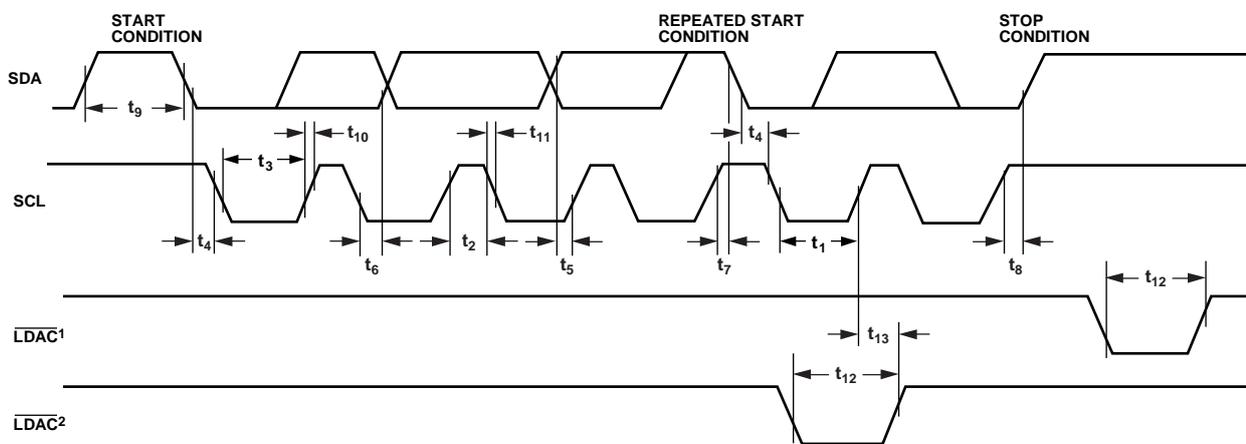
Parameter ²	Min	Max	Unit	Conditions/Comments
t_1	2.5		μs	SCL cycle time
t_2	0.6		μs	t_{HIGH} , SCL high time
t_3	1.3		μs	t_{LOW} , SCL low time
t_4	0.6		μs	$t_{HD,STA}$, start/repeated start condition hold time
t_5	100		ns	$t_{SU,DAT}$, data setup time
t_6^3	0	0.9	μs	$t_{HD,DAT}$, data hold time
t_7	0.6		μs	$t_{SU,STA}$, setup time for repeated start
t_8	0.6		μs	$t_{SU,STO}$, stop condition setup time
t_9	1.3		μs	t_{BUF} , bus free time between a stop and a start condition
t_{10}	0	300	ns	t_R , rise time of SCL and SDA when receiving
t_{11}	$20 + 0.1C_B^4$	300	ns	t_F , fall time of SDA and SCL when transmitting/receiving
t_{12}	20		ns	\overline{LDAC} pulse width
t_{13}	400		ns	SCL rising edge to \overline{LDAC} rising edge
C_B^4		400	pF	Capacitive load for each bus line

¹ 図 2 を参照してください。

² デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

³ SCL の立下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA 信号に対して最小 300 ns のホールド・タイムを保証する必要があります(SCL 信号の $V_{IH\ min}$ を基準として)。

⁴ C_B は、1 本のバス・ラインの合計容量(pF)です。 t_R と t_F は、 $0.3 V_{DD}$ と $0.7 V_{DD}$ の間で測定。



NOTES

¹ASYNCHRONOUS \overline{LDAC} UPDATE MODE.

²SYNCHRONOUS \overline{LDAC} UPDATE MODE.

図 2.2 線式シリアル・インターフェースのタイミング図

10486-002

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 5.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$
Digital Input Voltage to GND ¹	-0.3 V to $V_{LOGIC} + 0.3\text{ V}$
SDA and SCL to GND	-0.3 V to +7 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
16-Lead TSSOP, θ_{JA} Thermal Impedance, 0 Airflow (4-Layer Board)	112.6°C/W
16-Lead LFCSP, θ_{JA} Thermal Impedance, 0 Airflow (4-Layer Board)	70°C/W
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C
ESD ²	3.5 kV
FICDM	1.5 kV

¹ SDA と SCL を除きます。

² 人体モデル 1 (HBM) 分類。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

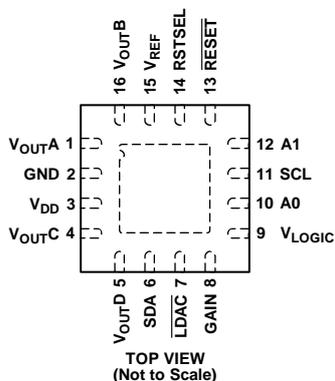
ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

AD5696R/AD5695R/AD5694R



NOTES
1. THE EXPOSED PAD MUST BE TIED TO GND.

図 3.16 ピン LFCSP のピン配置

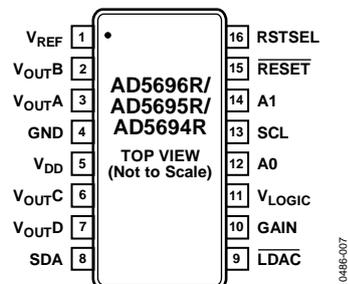


図 4.16 ピン TSSOP のピン配置

表 6. ピン機能の説明

ピン番号		記号	説明
LFCSP	TSSOP		
1	3	V _{OUTA}	DAC A からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
2	4	GND	デバイス上の全回路に対するグラウンド基準ポイント。
3	5	V _{DD}	電源入力。これらのデバイスは 2.7 V ~ 5.5 V で動作し、電源は 10 μF のコンデンサと 0.1 μF のコンデンサとの並列接続により GND へデカップリングする必要があります。
4	6	V _{OUTC}	DAC C のアナログ出力電圧。出力アンプはレール to レール動作。
5	7	V _{OUTD}	DAC D のアナログ電圧出力。出力アンプはレール to レールの動作。
6	8	SDA	シリアル・データ入力。このピンは、24 ビット入力シフトレジスタにデータを入出力する SCL ラインと組み合わせて使います。SDA は双方向のオープン・ドレイン・データラインであるため、外付け抵抗で電源にプルアップする必要があります。
7	9	LDAC	LDAC は、非同期と同期の 2 つのモードで動作することができます。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、任意またはすべての DAC レジスタが更新されます。この信号を使うと、全 DAC 出力を同時に更新することができます。あるいは、このピンをロー・レベルに固定することができます。
8	10	GAIN	振幅設定ピン。このピンを GND に接続すると、4 個すべての DAC 出力の振幅は 0 V ~ V _{REF} になります。このピンを V _{DD} に接続すると、4 個すべての DAC 出力の振幅は 0 V ~ 2 × V _{REF} になります。
9	11	V _{LOGIC}	デジタル電源。電圧範囲は 1.8 V ~ 5.5 V。
10	12	A0	アドレス入力。7 ビット・スレーブ・アドレスの先頭の LSB を設定します。
11	13	SCL	シリアル・クロック・ライン。このピンは、24 ビット入力レジスタにデータを入出力する SDA ラインと組み合わせて使います。
12	14	A1	アドレス入力。7 ビット・スレーブ・アドレスの 2 番目の LSB を設定します。
13	15	RESET	非同期リセット入力。RESET 入力は、立下がりエッジ検出です。RESET がロー・レベルのときは、すべての LDAC パルスが無視されます。RESET がロー・レベルになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロスケールまたはミッドスケールで更新されます。
14	16	RSTSEL	パワーオン・リセット・ピン。このピンを GND に接続すると、4 個すべての DAC はゼロスケールでパワーアップします。このピンを V _{DD} に接続すると、4 個すべての DAC はミッドスケールでパワーアップします。
15	1	V _{REF}	リファレンス電圧。AD5696R/AD5695R/AD5694R は共通のリファレンス・ピンを持っています。内蔵リファレンス電圧を使用する場合、このピンがリファレンス出力ピンになります。外付けリファレンスを使用する場合は、このピンはリファレンス入力ピンになります。このピンは、デフォルトでリファレンス出力になります。
16	2	V _{OUTB}	DAC B のアナログ電圧出力。出力アンプはレール to レールの動作を行います。
17	N/A	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは GND に接続する必要があります。

代表的な性能特性

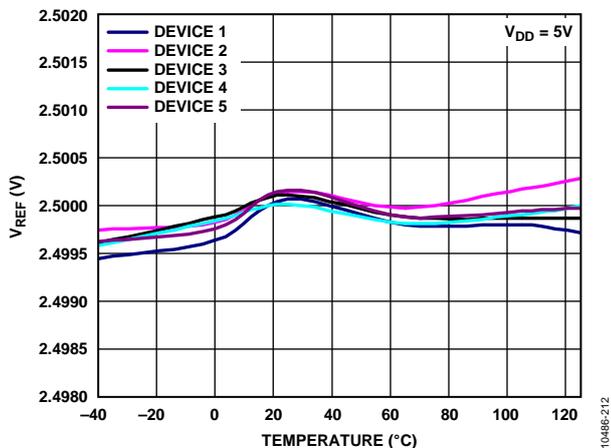


図 5.内蔵リファレンス電圧の温度特性(グレード B)

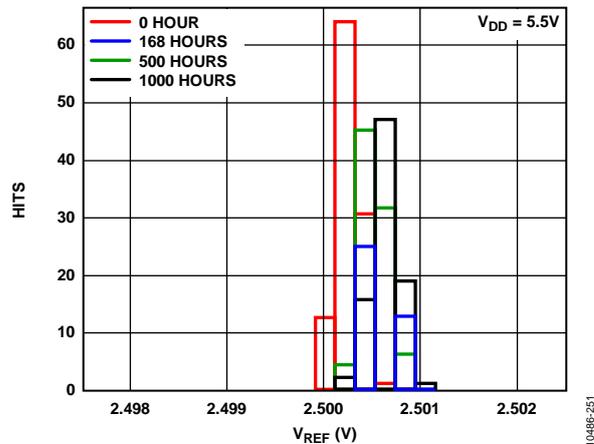


図 8.リファレンスの長時間安定性/ドリフト

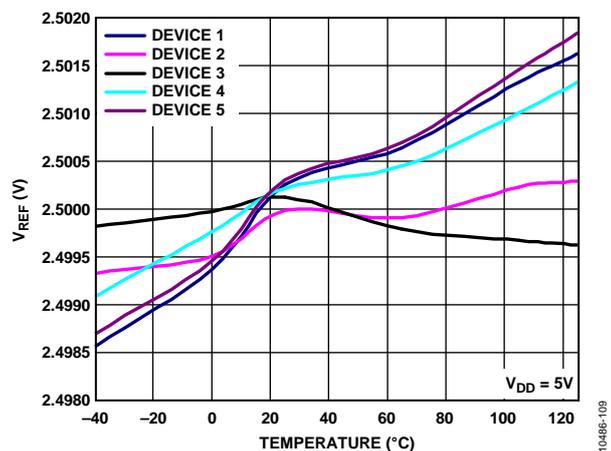


図 6.内蔵リファレンス電圧の温度特性(グレード A)

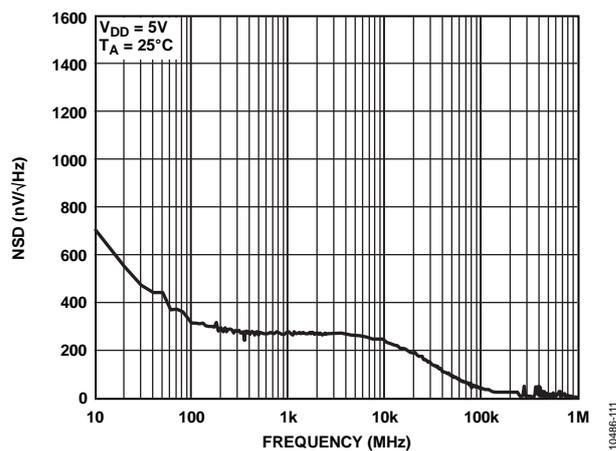


図 9.内蔵リファレンス・ノイズ・スペクトル密度の周波数特性

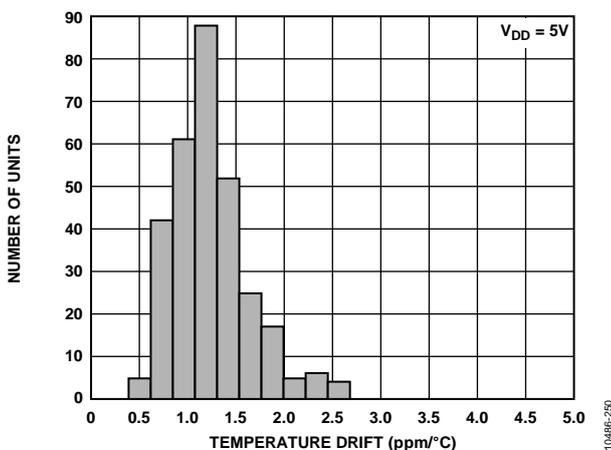


図 7.リファレンス出力温度ドリフトのヒストグラム

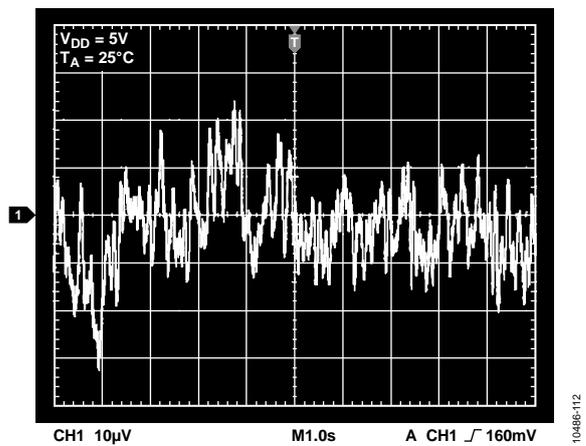


図 10.内蔵リファレンスのノイズ、0.1 Hz~10 Hz

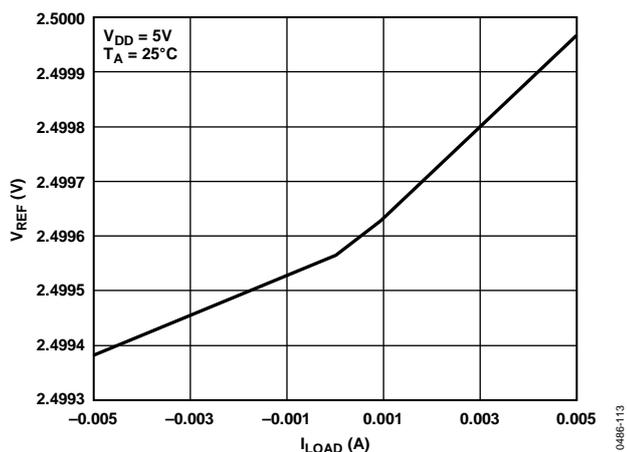


図 11. 負荷電流対内蔵リファレンス電圧

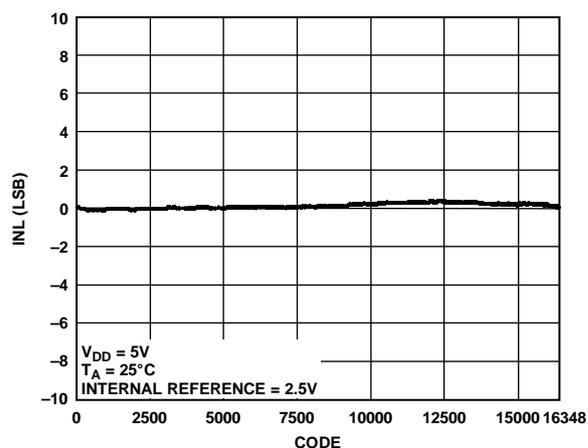


図 14. AD5695R の INL

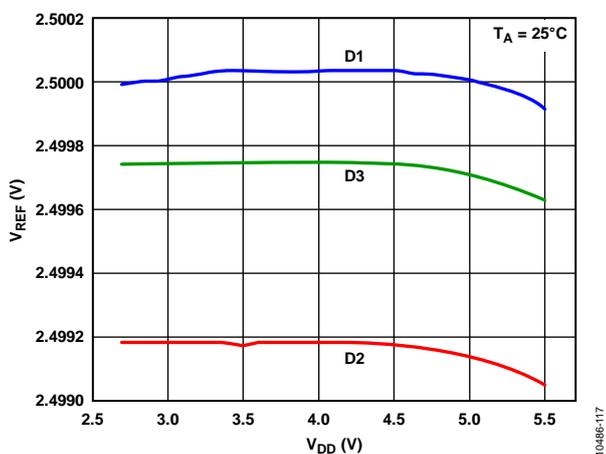


図 12. 電源電圧対内蔵リファレンス電圧

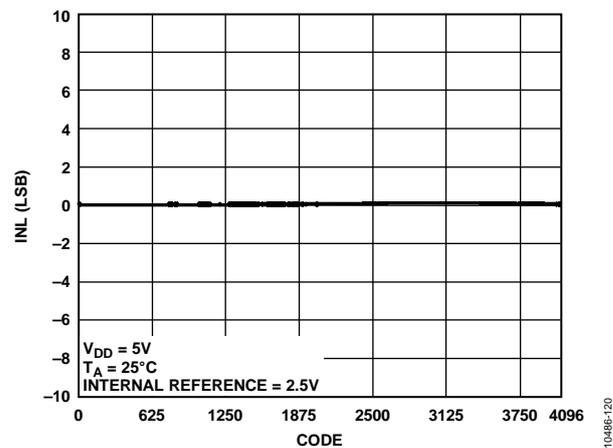


図 15. AD5694R の INL

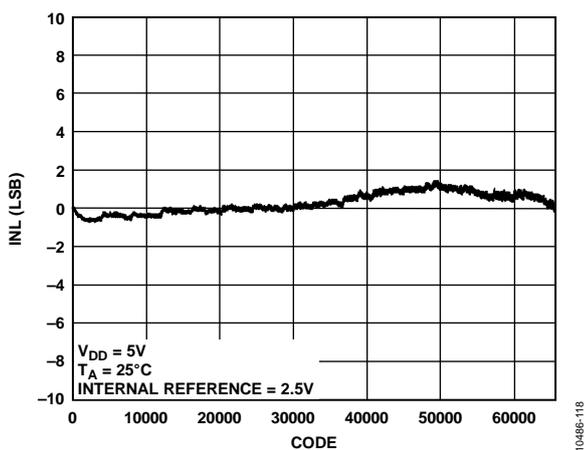


図 13. AD5696R の INL

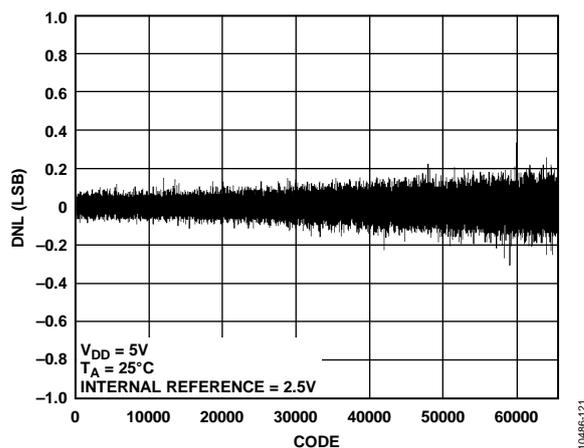


図 16. AD5696R の DNL

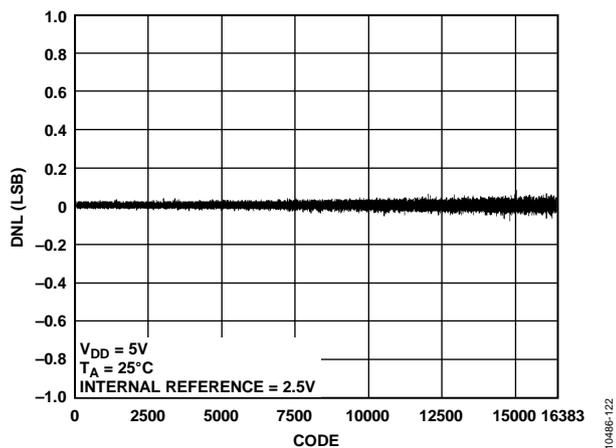


図 17. AD5695R の DNL

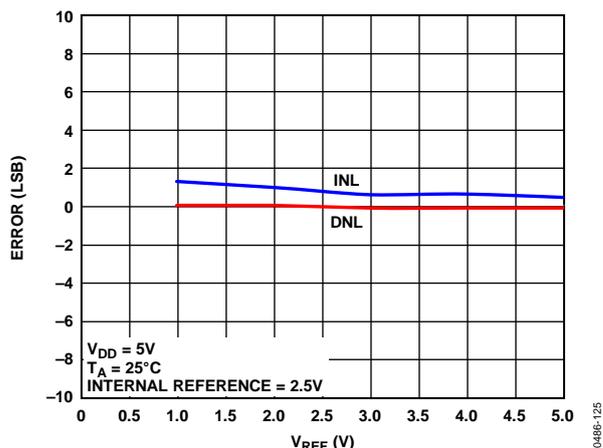


図 20. V_{REF} 対 INL 誤差および DNL 誤差

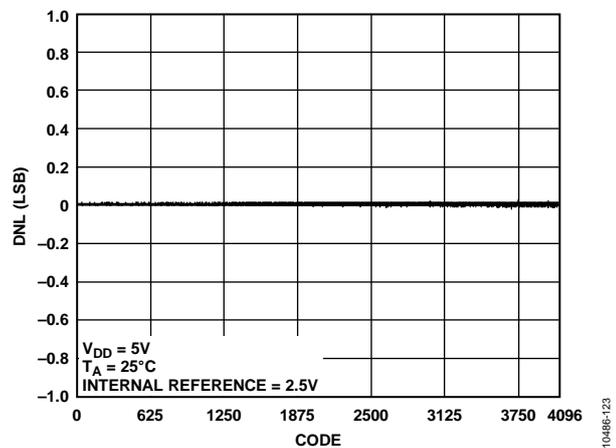


図 18. AD5694R の DNL

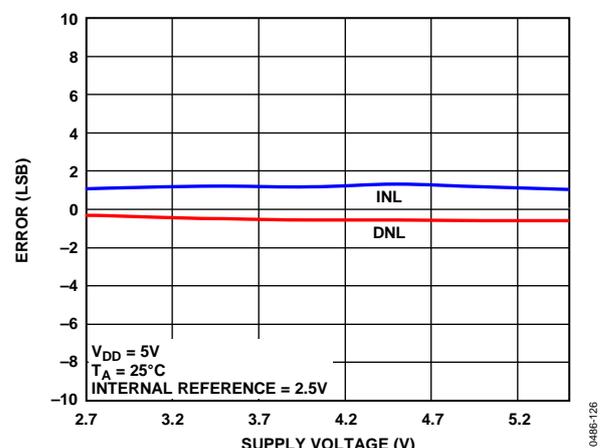


図 21. 電源電圧対 INL 誤差および DNL 誤差

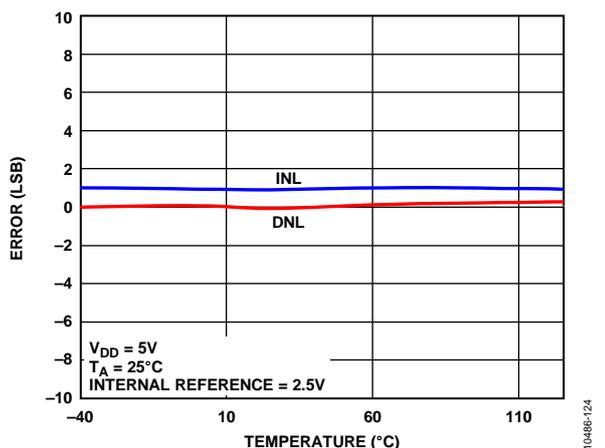


図 19. INL 誤差と DNL 誤差の温度特性

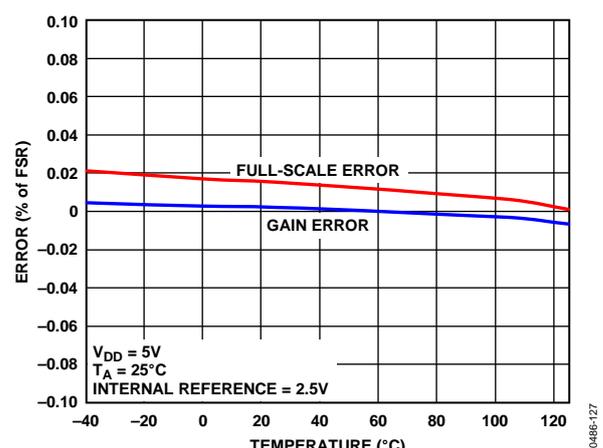


図 22. ゲイン誤差とフルスケール誤差の温度特性

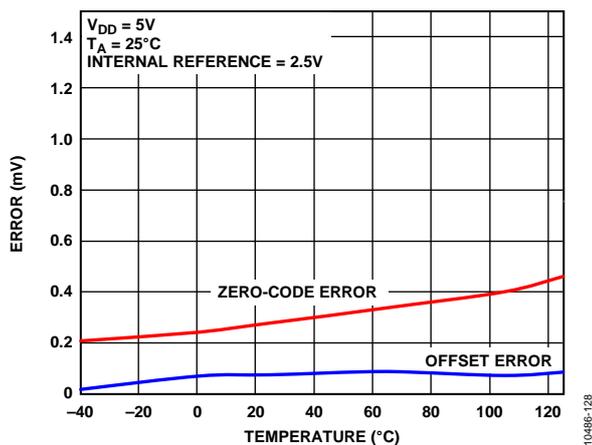


図 23.ゼロ・コード誤差とオフセット誤差の温度特性

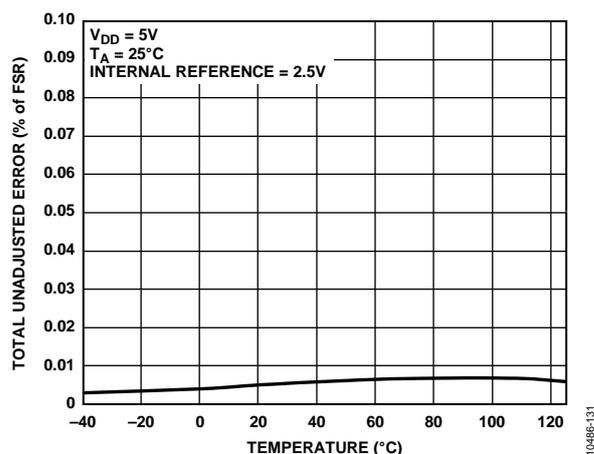


図 26.TUE の温度特性

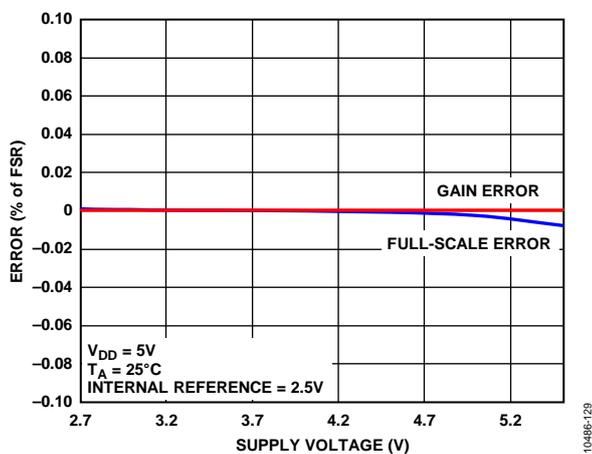


図 24.電源対ゲイン誤差およびフルスケール誤差

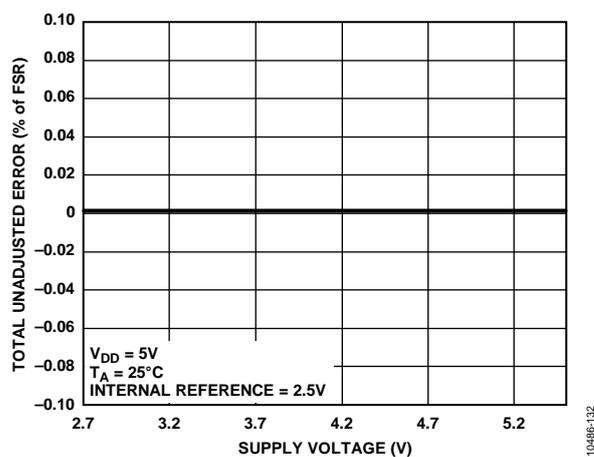


図 27.電源対 TUE、ゲイン=1

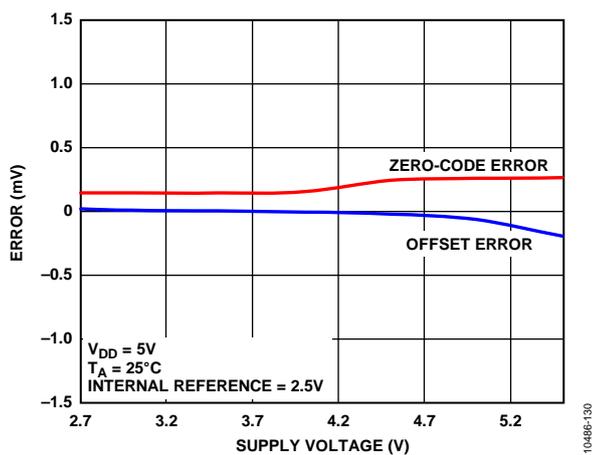


図 25.電源対ゼロ・コード誤差およびオフセット誤差

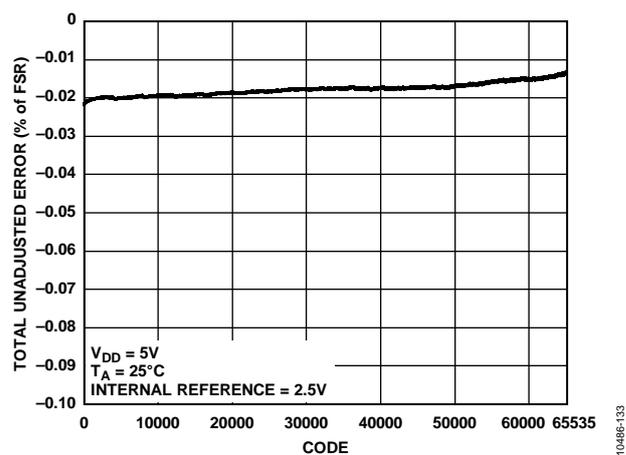


図 28.コード対 TUE

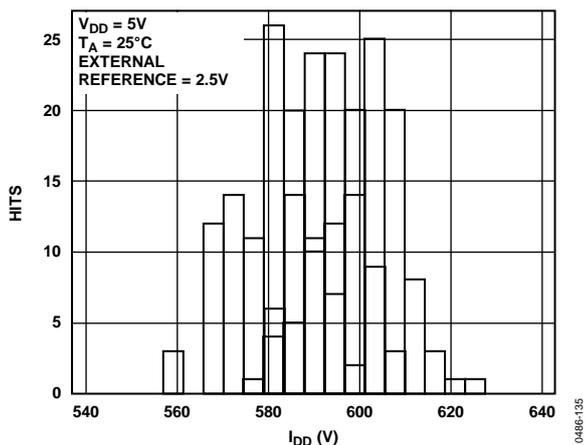


図 29.外付けリファレンス電圧 5V での I_{DD} ヒストグラム

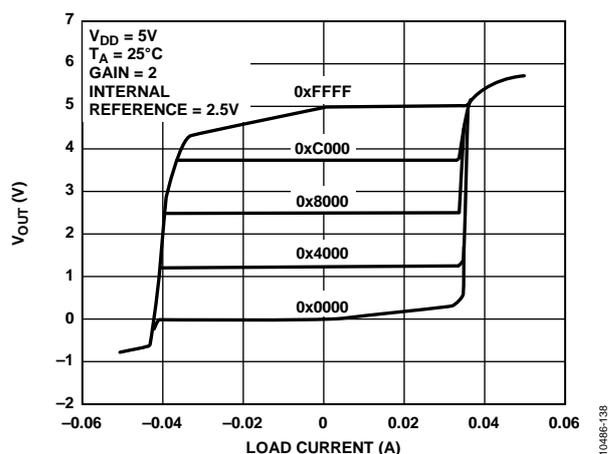


図 32.5V でのソース能力とシンク能力

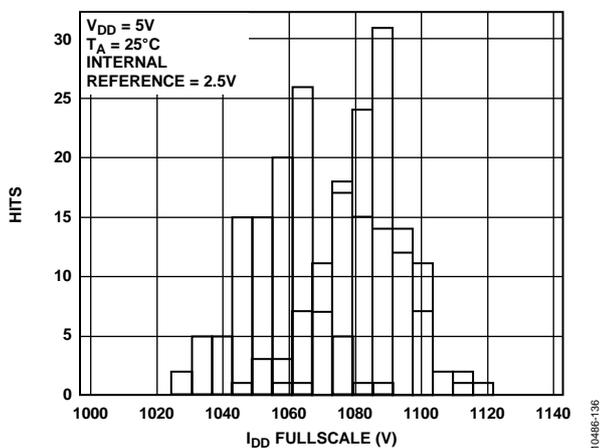


図 30.内蔵リファレンス電圧での I_{DD} ヒストグラム
 $V_{REFOUT} = 2.5V$ 、ゲイン=2

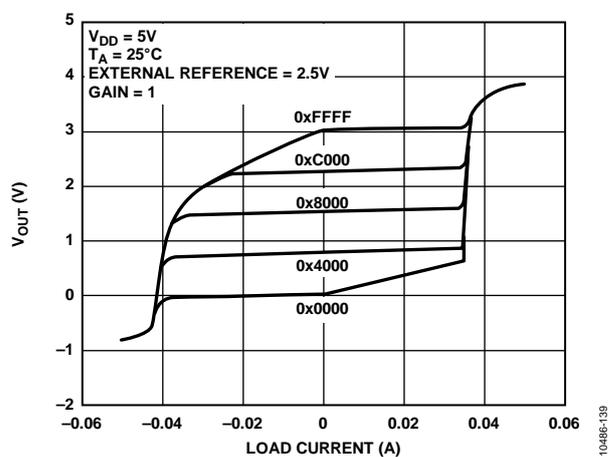


図 33.3V でのソース能力とシンク能力

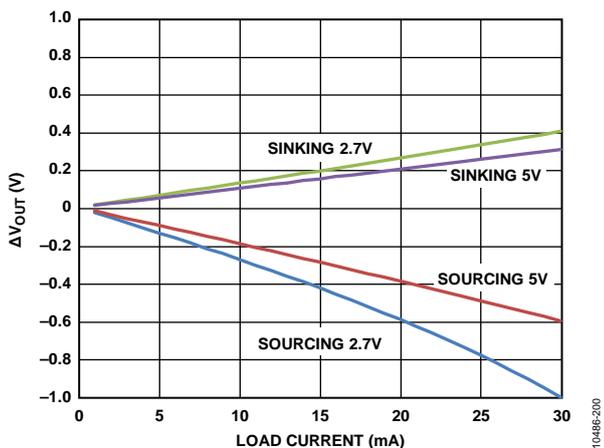


図 31.負荷電流対ヘッドルーム/フットルーム

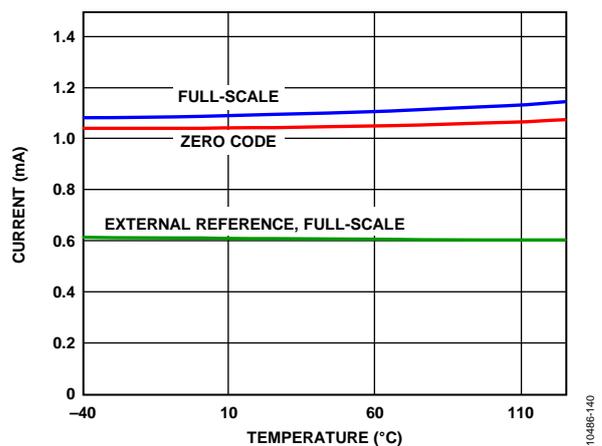


図 34.電源電流の温度特性

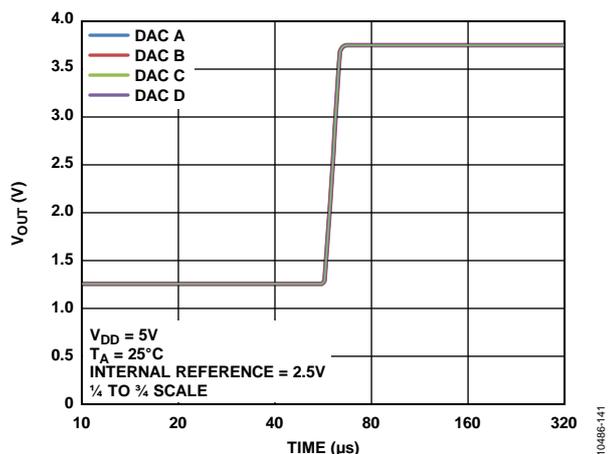


図 35.セトリング・タイム、5.25 V

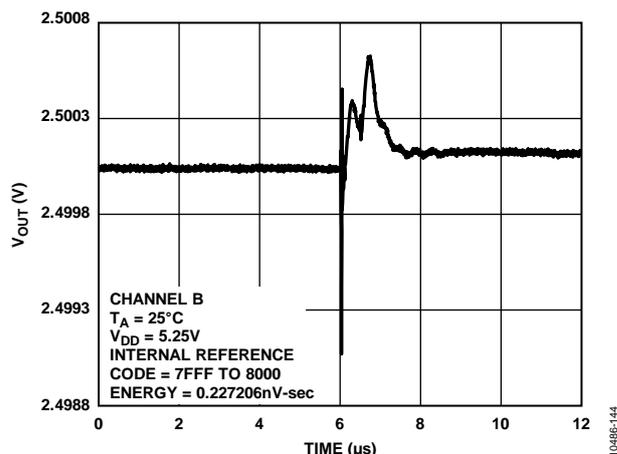


図 38.デジタルからアナログへのグリッチ・インパルス

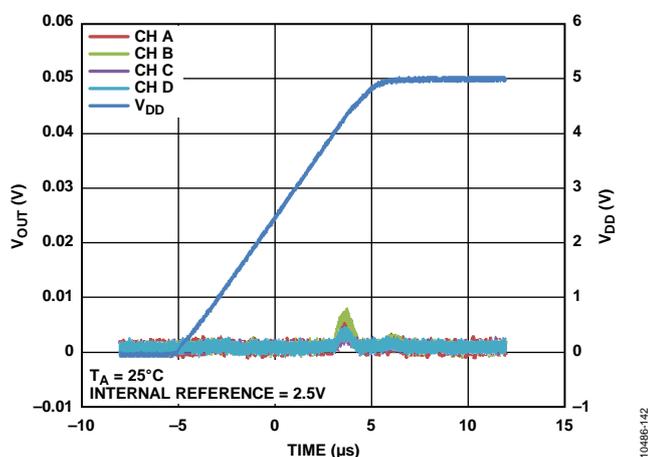


図 36.0 V へのパワーオン・リセット

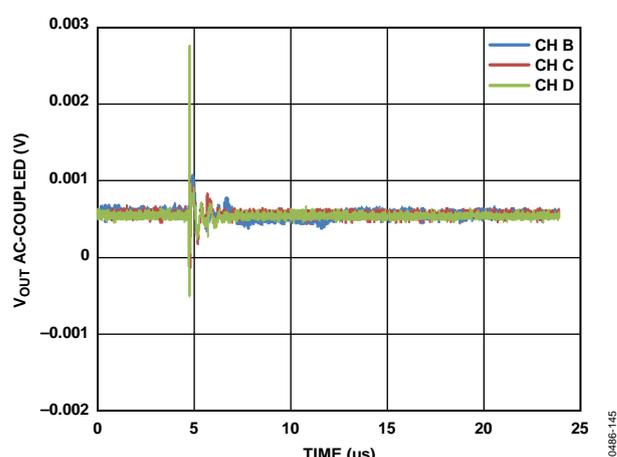


図 39.アナログ・クロストーク、チャンネル A

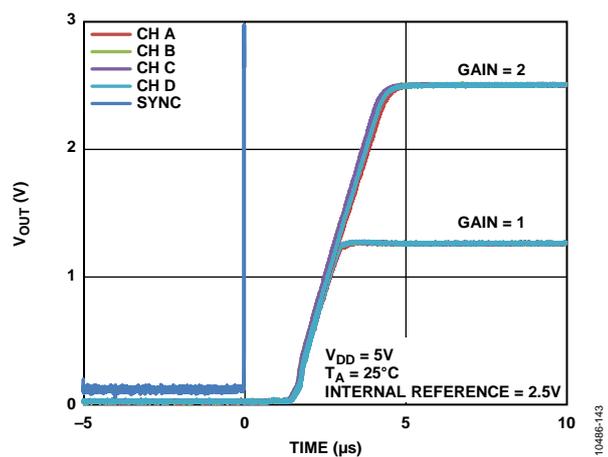


図 37.パワーダウン終了時のミッドスケール出力

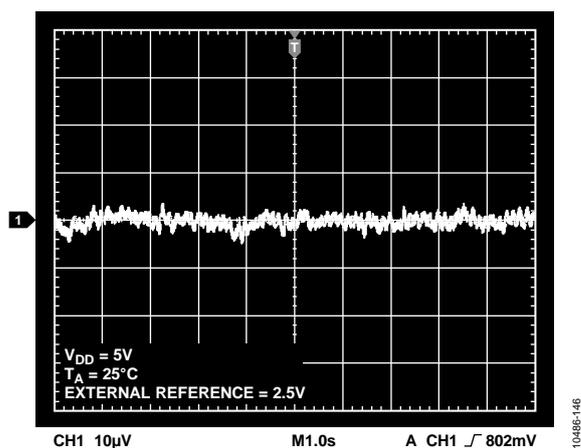


図 40.0.1 Hz~10 Hz での出力ノイズ・プロット
外付けリファレンス電圧

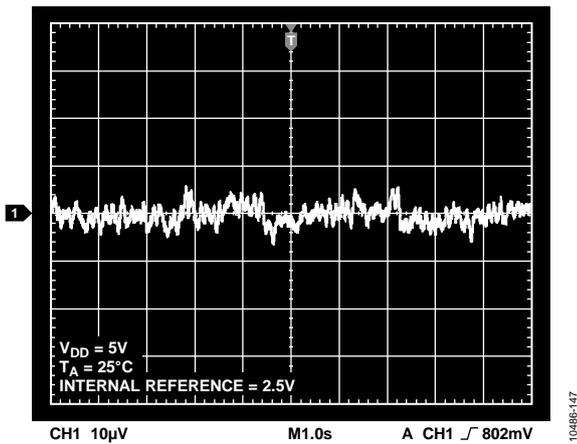


図 41. 0.1 Hz~10 Hz 出力ノイズ・プロット
2.5 V 内蔵リファレンス電圧

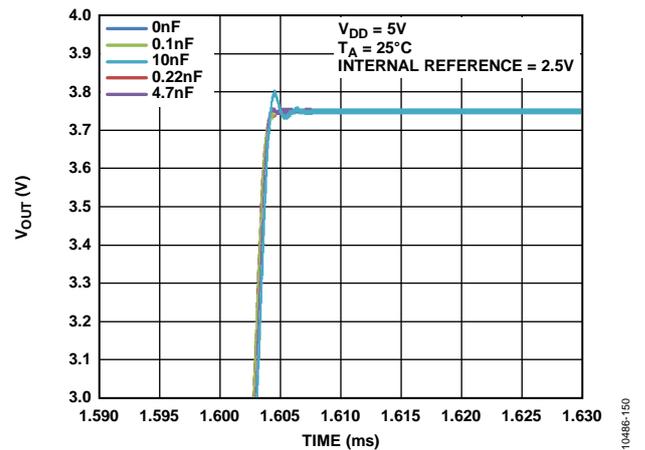


図 44. 容量負荷対セッティング・タイム

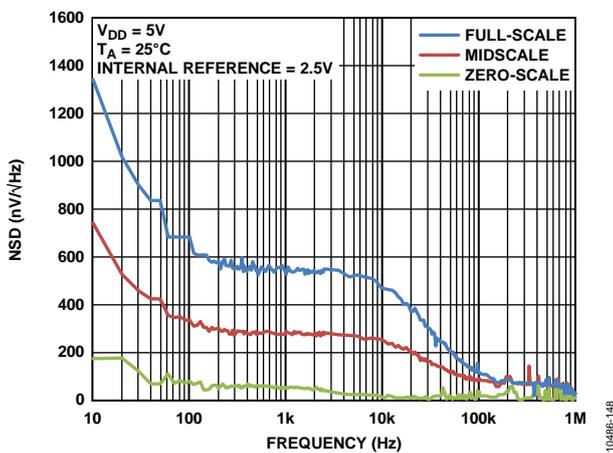


図 42. ノイズ・スペクトル密度

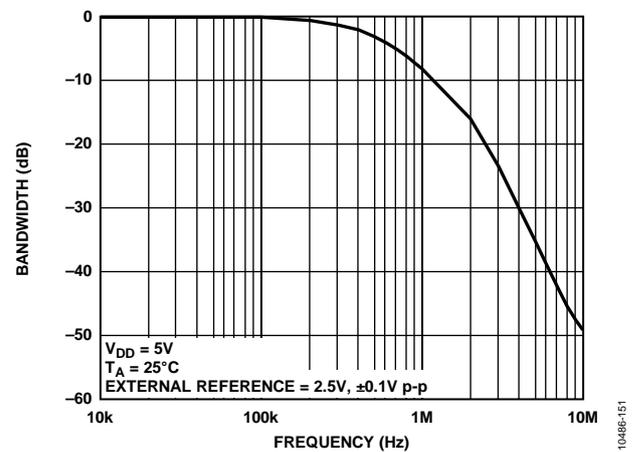


図 45. 乗算帯域幅
外付けリファレンス電圧= 2.5 V、±0.1 V p-p、10 kHz~10 MHz

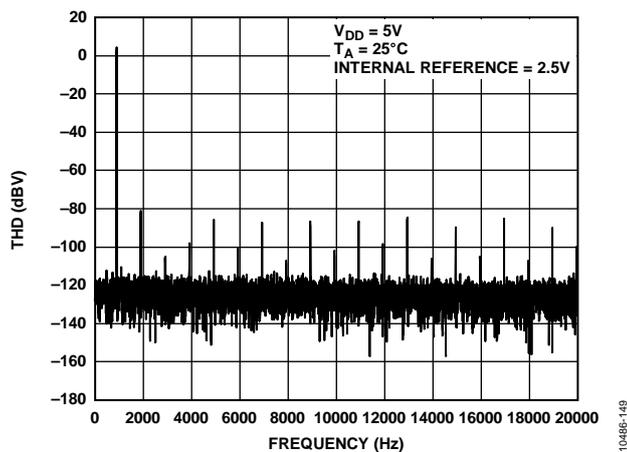


図 43. 総合高調波歪み、1 kHz

用語

相対精度または積分非直線性(INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。INL(typ)対コードのプロットを図 13 に示します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 ± 1 LSB の微分非直線性の規定により、単調性が保証されます。この DAC はデザインにより単調性を保証しています。代表的な DNL 対コードについては図 16 を参照してください。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力が 0 V である必要があります。ゼロ・コード誤差は AD5696R では常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることができないためです。ゼロ・コード誤差は mV で表します。ゼロ・コード誤差の温度特性を図 23 に示します。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力は $V_{DD} - 1$ LSB である必要があります。フルスケール誤差はフルスケール範囲のパーセント値(FSR の%)で表します。フルスケール誤差の温度特性を図 22 に示します。

ゲイン誤差

DAC のスパン誤差を表します。理論 DAC 伝達特性傾斜からの変位を表し、FSR の%で表示されます。

オフセット誤差ドリフト

オフセット誤差の温度変化を表し、 $\mu\text{V}/^\circ\text{C}$ で表されます。

ゲイン温度係数

これは、温度変化によるゲイン誤差の変化の測定値で、FSR/ $^\circ\text{C}$ の ppm で表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論)の差を表し、mV で表示されます。オフセット誤差は、AD5696R の DAC レジスタにコード 512 をロードして測定されています。この誤差は正または負になります。

DC 電源除去比(PSRR)

電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC フルスケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比です。これは mV/V で測定されます。 V_{REF} を 2 V に維持して、 V_{DD} を $\pm 10\%$ 変化させます。

出力電圧セトリング・タイム

1/4 フルスケールから 3/4 フルスケールへの入力変化に対して、DAC 出力が規定のレベルまでに安定するために要する時間を表します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFF から 0x8000)、デジタル入力コードが 1 LSB だけ変化したときに測定されます(図 38 参照)。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

リファレンス・フィードスルー

DAC 出力に変化がない時の DAC 出力における信号振幅のリファレンス入力に対する比であり、dB で表されます。

ノイズ・スペクトル密度

これは、内部で発生されたランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度(nV/ $\sqrt{\text{Hz}}$)としてキャラクタライズされます。DAC にミッドスケールを入力し、出力のノイズを測定して nV/ $\sqrt{\text{Hz}}$ で表します。ノイズ・スペクトル密度のプロットを図 42 に示します。

DC クロストーク

別の DAC 出力での変化に起因する 1 つの DAC の出力レベルでの DC 変化。1 つのミッドスケールに維持した DAC をモニタしながら、別の DAC 上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 μV で表されます。負荷電流変化に起因する DC クロストークは、1 つの DAC の負荷電流変化がミッドスケールに設定された別の DAC へ与える影響を表し、 $\mu\text{V}/\text{mA}$ で表わされます。

デジタル・クロストーク

1 の DAC の入力レジスタにおけるフルスケール・コード変化(全ビット"0"から全ビット"1"への変化、およびその逆変化)から、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルス。スタンドアロン・モードで測定し、nV-sec で表されます。

アナログ・クロストーク

DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。入力レジスタの 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆の変化)をロードして測定します。次に、ソフトウェア LDAC を実効して、デジタル・コードが変化しない DAC の出力をモニタします。グリッチの面積は nV-sec で表示します。

DAC 間クロストーク

これは、デジタル・コードの変化とそれに続く DAC のアナログ出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスです。書込コマンドと更新コマンドを使って、DAC の 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、この間にミッドスケールにある別の DAC 出力をモニタすることにより測定します。グリッチのエネルギーは nV-sec で表示します。

乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。入力された基準正弦波(DAC にフルスケール・コードをロード)は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

全高調波歪み(THD)

理論正弦波と DAC を使ったために減衰したその正弦波との差。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。dB 値で表示します。

電圧リファレンス TC

温度変化に対するリファレンス出力電圧の変化を意味し、リファレンス TC はボックス法を使って計算されます。この方法では、与えられた温度範囲でのリファレンス出力の最大変化として TC を定義し、次式のように ppm/°C で表わします。

$$F5 = \left[\frac{H_{D78\ S} - H_{D78\ F}}{H_{D78\ a} \times FW/bDS\ YW} \right] \times 10^6$$

ここで、

V_{REFmax} は全温度範囲で測定した最大リファレンス出力。

V_{REFmin} は全温度範囲で測定した最小リファレンス出力。

V_{REFnom} は公称リファレンス出力電圧 2.5 V。

$TempRange$ は規定の温度範囲(-40°C~+105°C)。

動作原理

D/A コンバータ

AD5696R/AD5695R/AD5694R は、リファレンス電圧を内蔵したクワッド 16/14/12 ビット、シリアル入力、電圧出力 DAC です。これらのデバイスは 2.7~5.5 V の電源電圧で動作します。データは、2 線式シリアル・インターフェースを使って 24 ビットのワード・フォーマットで AD5696R/AD5695R/AD5694R に書込まれます。AD5696R/AD5695R/AD5694R は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力を既知出力状態に維持することができます。これらのデバイスは、消費電流を 4 μ A (typ)まで減少させるソフトウェア・パワーダウン・モードも持っています。

伝達関数

内蔵リファレンスはデフォルトでオンになっています。外付けリファレンスを使うときは、非リファレンス・オプションのみが使用できます。DAC への入力コーディングはストレート・バイナリを使っているため、外付けリファレンスを使う場合、理論出力電圧は次式で与えられます。

$$H_{ACF} = H_{D78} \times 9S \left[\frac{6}{2^D} \right]$$

ここで、 D は DAC レジスタにロードされるバイナリ・コードの 10 進数表示です。

- 12 ビット・デバイスの場合 0~4,095。
- 14 ビット・デバイスの場合 0~16,383。
- 16 ビット・デバイスの場合 0~65,535。

N は、DAC の分解能です。

$Gain$ は、出力アンプのゲインで、デフォルトで 1 に設定されます。この値は、ゲイン選択ピンを使って $\times 1$ または $\times 2$ に設定することができます。このピンを GND に接続すると、4 個すべての DAC 出力の振幅は $0\text{ V} \sim V_{REF}$ になります。このピンを V_{DD} に接続すると、4 個すべての DAC 出力の振幅は $0\text{ V} \sim 2 \times V_{REF}$ になります。

DAC アーキテクチャ

DAC アーキテクチャは、ストリング DAC とそれに続く出力アンプから構成されています。図 46 に、DAC アーキテクチャのブロック図を示します。

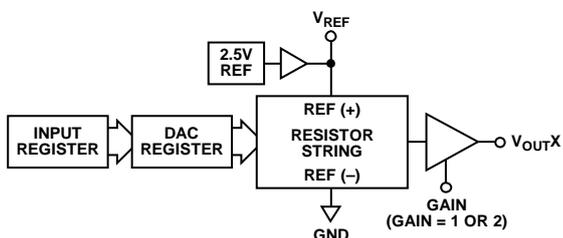


図 46. DAC 1 チャンネルあたりのアーキテクチャのブロック図

抵抗ストリング構造を図 47 に示します。各値が R の抵抗ストリングから構成されています。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。抵抗のストリングであるため、単調調整が保証されます。

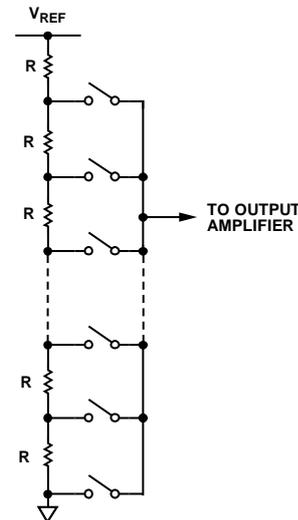


図 47. 抵抗ストリング構造

リファレンスを内蔵

AD5696R/AD5695R/AD5694R の内蔵リファレンスはパワーアップ時にオンになりますが、コントロール・レジスタへの書込みによりディスエーブルすることができます。詳細については、内蔵リファレンスのセットアップのセクションを参照してください。

AD5696R/AD5695R/AD5694R は 2.5 V、2 ppm/°C のリファレンス電圧を内蔵し、GAIN ピンの状態に応じてフルスケール出力 2.5 V または 5 V になります。デバイスの内蔵リファレンス電圧は V_{REF} ピンに出力されます。このバッファ付きリファレンス電圧は、最大 10 mA の外部負荷を駆動することができます。

出力アンプ

出力バッファアンプは、出力でレール to レール電圧を発生することができます。0 V ~ V_{DD} の出力範囲になります。実際の範囲は、 V_{REF} の値、GAIN ピン、オフセット誤差、ゲイン誤差に依存します。GAIN ピンで出力のゲインを選択します。

- このピンを GND に接続すると、4 個すべての出力のゲインは 1 になり、出力範囲は $0\text{ V} \sim V_{REF}$ になります。
- このピンを V_{LOGIC} に接続すると、4 個すべての出力のゲインは 2 になり、出力範囲は $0\text{ V} \sim 2 \times V_{REF}$ になります。

これらのアンプは、GND へ接続した 1 k Ω と 2 nF の並列接続負荷を駆動することができます。スルーレートは 0.8 V/ μ s であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 μ s です。

シリアル・インターフェース

AD5696R/AD5695R/AD5694R は 2 線式 I²C 互換シリアル・インターフェースを内蔵しています(Philips Semiconductor 社の I²C-Bus Specification, Version 2.1, January 2000 を参照してください)。図 2 に、代表的な書込みシーケンスのタイミング図を示します。AD5696R/AD5695R/AD5694R は、マスター・デバイスから制御を受けるスレーブ・デバイスとして KE バスに接続することができます。AD5696R/AD5695R/AD5694R は、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10 ビット・アドレッシングとジェネラル・コール・アドレッシングはサポートされていません。

入力シフトレジスタ

AD5696R/AD5695R/AD5694R の入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK の制御のもとで 24 ビット・ワードとしてデバイスに入力されます。上位 8 ビットがコマンド・バイトです。先頭の 4 ビットはコマンド・ビット(C3, C2, C1, C0)で、デバイスの動作モードを制御します(詳細については表 7 参照)。先頭バイトの最後の 4 ビットは、アドレス・ビット(DAC A, DAC B, DAC C, DAC D)です(表 8 参照)。このデータワードは、16 ビット、14 ビット、または 12 ビットの入力コード、その後ろに AD5696R、AD5695R、AD5694R では、それぞれ 4、2、または 0 個の don't care ビットが続きます(図 48、図 49、図 50 参照)。これらのデータビットは、SCL の 24 個の立下がりエッジで入力レジスタへ転送されます。コマンドは、選択したアドレス・ビットに応じて、個別 DAC チャンネル、組み合わせ DAC チャンネル、またはすべての DAC に対して実行することができます。

表 7.コマンドの定義

Command				Description
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n (dependent on LDAC)
0	0	1	0	Update DAC Register n with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Hardware LDAC mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Internal reference setup register
1	0	0	0	Reserved
...	Reserved
1	1	1	1	Reserved

表 8.アドレス・コマンド

Address (n)				Selected DAC Channel ¹
DAC D	DAC C	DAC B	DAC A	
0	0	0	1	DAC A
0	0	1	0	DAC B
0	1	0	0	DAC C
1	0	0	0	DAC D
0	0	1	1	DAC A and DAC B ¹
1	1	1	1	All DACs

¹ DAC チャンネルの任意の組み合わせを、アドレス・ビットを使って選択することができます。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

図 48.AD5696R 入力シフトレジスタ値

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

図 49.AD5695R 入力シフトレジスタ値

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

図 50.AD5694R 入力シフトレジスタ値

書込コマンドと更新コマンド

入力レジスタ n への書込(LDACに依存)

コマンド 0001 を使うと、各DACの専用入力レジスタへ個別に書込みを行うことができます。LDACがロー・レベルのとき、入力レジスタはトランスペアレントになります(LDACマスク・レジスタから制御されていない場合)。

入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、選択した入力レジスタ値を DAC レジスタ/出力へロードして DAC 出力を直接更新します。

DAC チャンネル n への書込と更新(LDAC依存)

コマンド 0011 を使うと、DAC レジスタへ書込みを行なって、DAC 出力を直接更新することができます。

シリアル動作

AD5696R/AD5695R/AD5694Rは、各々7ビットのスレーブ・アドレスを持っています。上位5ビットは00011で、下位2ビット(A1, A0)はA0とA1アドレス・ピンの状態で設定されます。A0とA1をハード・ワイヤー接続で変更する機能を使うと、表9に示すように、1つのバスにこれらのデバイスを最大4個接続することができます。

表 9. デバイス・アドレスの指定

A0 Pin Connection	A1 Pin Connection	A0	A1
GND	GND	0	0
V _{LOGIC}	GND	1	0
GND	V _{LOGIC}	0	1
V _{LOGIC}	V _{LOGIC}	1	1

2線式シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスから構成されています。送信されたアドレスに該当するスレーブ・アドレスは 9 番目のクロック・パルスで、SDA をロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがシフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。

2. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。
3. 全データビットの読出しまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態を設定します。読出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスがハイ・レベルになるときストップ条件を設定します。

書込み動作

AD5696R/AD5695R/AD5694Rへ書込みを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後にDACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。AD5696R/AD5695R/AD5694Rは、DACと種々のDAC機能を制御するコマンド・バイト用の 2 バイトのデータが必要とします。このため、3 バイトのデータをDACに書込む必要があります。すなわち、コマンド・バイト、その後ろに上位データバイトと下位データバイトが続きます(図 51 参照)。これらの全データバイトは、AD5696R/AD5695R/AD5694Rによりアクノリッジされます。この後に、ストップ条件が続きます。

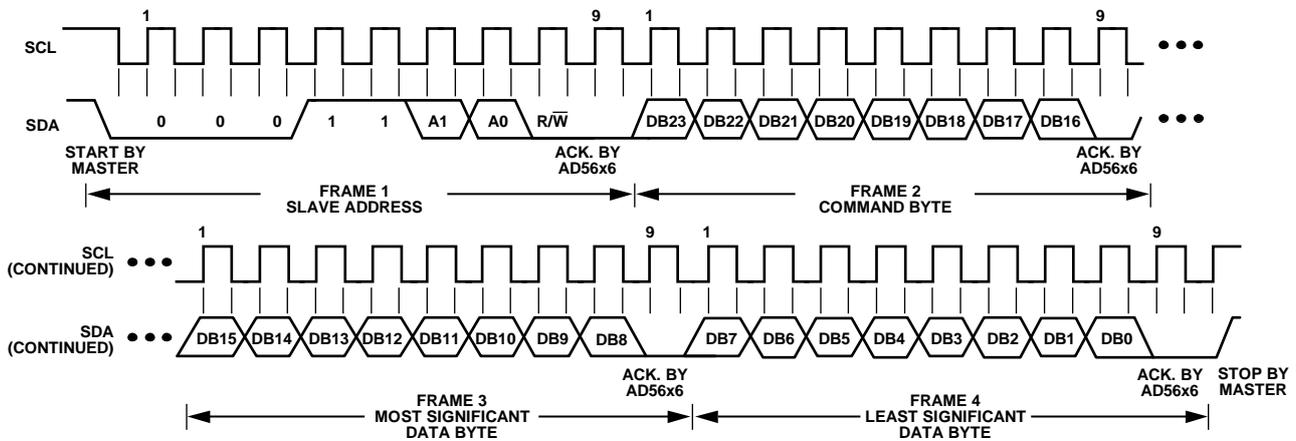


図 51. I²C の書込み動作

読出し動作

AD5696R DACから読出しを行うときは、まずアドレス・バイト ($R/\bar{W} = 0$)を送信します。その後、DACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。このアドレス・バイトの後ろには、コントロール・バイトが続く必要があります。このコントロール・バイトは、後続の読出しコマンドと読出し対象のポインタ・アドレスを指定します。これもDACからアクノリッジされます。ユーザーはリードバック対象チャンネルを指定し、コントロール・バイトを使ってリードバック・コマンドをアクティブに設定します。この後、マスターからスタート条件が繰り返され、アドレスが $R/\bar{W} = 1$ で再送されます。これはDACからアクノリッジされて、データ送信の準備ができたことが通知されます。そこで、最初の2バイトのデータが、コントロール・バイトで選択されたDAC入力レジスタ n から、MSBファーストで読出されます(図52参照)。次の2バイトのデータが、DAC入力レジスタ $n + 1$ から読出され、次のバイトがDAC入力レジスタ $n + 2$ から読出されます。DAC入力レジスタからのデータ読出しはオートインクリメント方式で続き、NACKの後ろにストップ条件が続くと停止します。DAC入力レジスタ D を読出す場合、読出したデータの次の2バイトは、DAC入力レジスタ A から読出したデータになります。

複数 DAC のリードバック・シーケンス

まずアドレス・バイト ($R/\bar{W} = 0$)を送信します。その後にDACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。このアドレス・バイトの後ろにはコントロール・バイトが続く必要があります。これに対してもDACはアクノリッジします。ユーザーはコントロール・バイトを使ってリードバックを開始するチャンネルを設定します。この後、マスターからスタート条件が繰り返され、アドレスが $R/\bar{W} = 1$ で再送されます。これはDACからアクノリッジされて、データ送信の準備ができたことが通知されます。そこで、最初の2バイトのデータが、コントロール・バイトで選択されたDAC入力レジスタ n から、MSBファーストで読出されます(図52参照)。次の2バイトのデータが、DAC入力レジスタ $n + 1$ から読出され、次のバイトがDAC入力レジスタ $n + 2$ から読出されます。DAC入力レジスタからのデータ読出しはオートインクリメント方式で続き、NACKの後ろにストップ条件が続くと停止します。DAC入力レジスタ D を読出す場合、読出したデータの次の2バイトは、DAC入力レジスタ A から読出したデータになります。

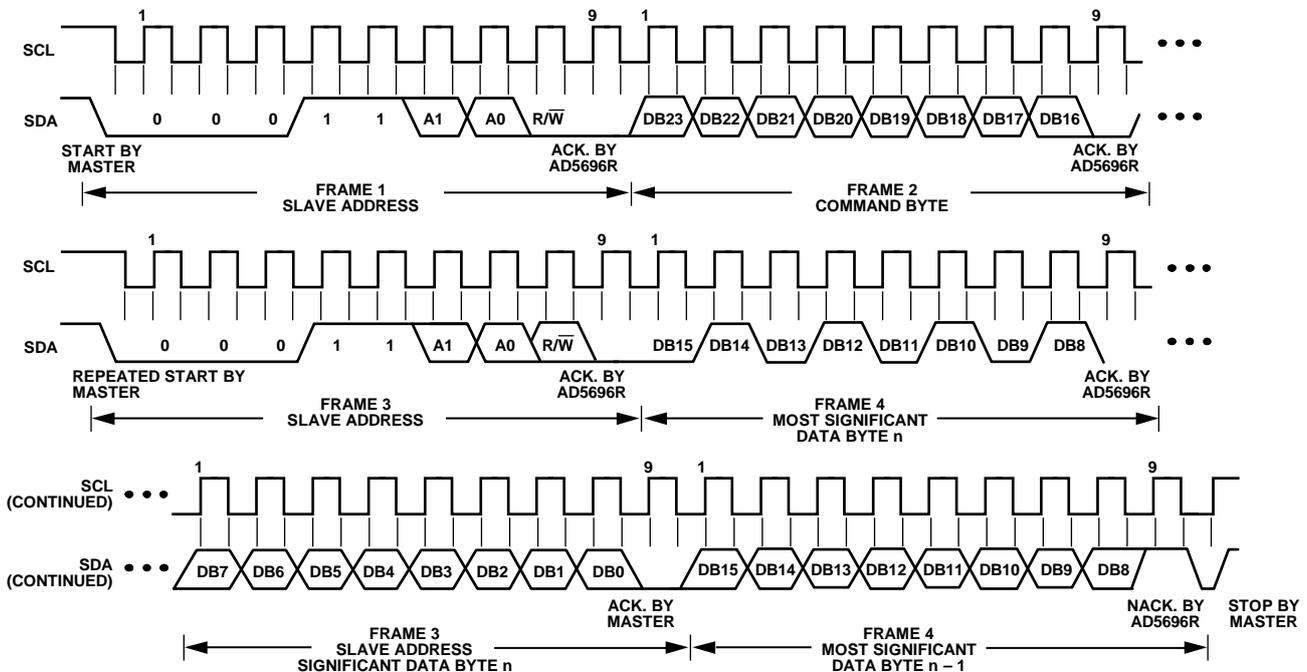


図 52. I²C の読出し動作

10486-304

パワーダウン動作

AD5696R/AD5695R/AD5694R には 3 種類のパワーダウン・モードがあります。コマンド 0100 は、パワーダウン機能に割り当てられています(表 7 参照)。これらのパワーダウン・モードは、シフトレジスタの 8 ビット(ビット DB7~ビット DB0)を設定することにより、ソフトウェアから設定することができます。各 DAC チャンネルに対応した 2 ビットがあります。表 10 に、2 ビットの状態とデバイスの動作モードとの対応を示します。

表 10.動作モード

Operating Mode	PDx1	PDx0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
100 kΩ to GND	1	0
Three-State	1	1

任意またはすべての DAC (DAC A~DAC D)を、対応するビットをセットすることにより、選択されたモードにパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力シフトレジスタ値については表 11 を参照してください。

入力シフトレジスタのビット PDx1 とビット PDx0 (ここで x は選択したチャンネル)を 0 に設定すると、デバイスは通常の消費電力(5 V で 4 mA)で通常動作しますが、3つのパワーダウン・モードでは、電源電流は 5 V で 4 μA に減少します。電源電流が減少するだけでなく、出力ステージも内部でアンプ出力から既知値の抵抗回路へ切り替えられます。これは、デバイスの出力インピーダンスが既

知であると同時にデバイスがパワーダウン・モードになるという利点を持っています。3 種類のパワーダウン・オプションがあります。すなわち、出力が内部で 1 kΩ または 100 kΩ 抵抗を介して GND に接続されるか、あるいはオープン(スリー・ステート)になります。出力ステージを図 53 に示します。

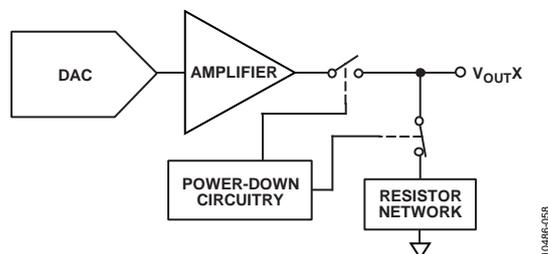


図 53.パワーダウン時の出力ステージ

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関係するリニア回路はシャットダウンされます。ただし、DAC レジスタの値はパワーダウン・モードで影響を受けることはありません。デバイスがパワーダウン・モードのとき、DAC レジスタを更新することができます。パワーダウンから抜け出すために要する時間は、 $V_{DD} = 5 V$ で 4.5 μs (typ)です。消費電流をさらに減らすときは、内蔵リファレンスをパワーオフさせることができます。内蔵リファレンスのセットアップのセクションを参照してください。

表 11.パワーダウン/パワーアップ動作の 24 ビット入力シフトレジスタ値¹

DB23	DB22	DB21	DB20	DB19 to DB16	DB15 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0
Command bits (C3 to C0)				Address bits Don't care		Power-Down Select DAC D		Power-Down Select DAC C		Power-Down Select DAC B		Power-Down Select DAC A	

¹ X = don't care.

DAC のロード(ハードウェアLDACピン)

AD5696R/AD5695R/AD5694RのDACは、入力レジスタとDACレジスタの2つのレジスタ・バンクで構成されているダブルバッファ化されたインターフェースを内蔵しています。入力レジスタの任意の組み合わせへ書き込みを行うことができます。DACレジスタの更新は、LDACピンから制御されます。

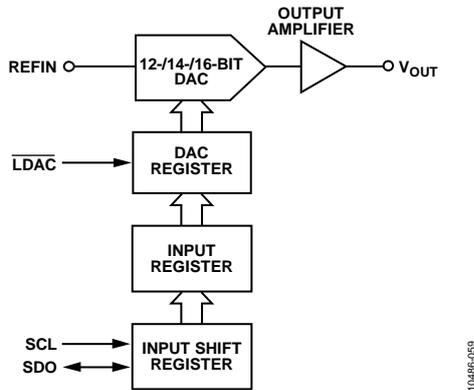


図 54.1 個の DAC についての入力ロード回路の簡略化した図

DAC の瞬時更新(LDACをロー・レベルに維持)

コマンド 0001 を使ってデータを入力レジスタへ入力する間LDACをロー・レベルに維持します。アドレス指定された入力レジスタとDACレジスタが**エラー! ブックマークが定義されていません**。24 番目のクロックで更新されて、出力が変化を開始します(表 13 参照)。

DAC の遅延更新(LDACへ立上がりパルスを入力)

コマンド 0001 を使ってデータを入力レジスタへ入力する間LDACをハイ・レベルに維持します。24 番目のクロックの後にLDAC**エラー! ブックマークが定義されていません**。をロー・レベルにすると、すべてのDAC出力が非同期に更新されます。更新は、LDACの立下がりエッジで行われるようになります。

表 13.書き込みコマンドとLDACピンの真値表¹

Commands	Description	Hardware LDAC Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on LDAC)	V _{LOGIC}	Data update	No change (no update)
		GND ²	Data update	Data update
0010	Update DAC Register n with contents of Input Register n	V _{LOGIC}	No change	Updated with input register contents
		GND	No change	Updated with input register contents
0011	Write to and update DAC Channel n	V _{LOGIC}	Data update	Data update
		GND	Data update	Data update

¹ ハードウェアLDACピンのハイ・レベルからロー・レベルへの変化により、常に DAC レジスタ値が、LDACマスク・レジスタでマスクされていないチャンネルの入力レジスタ値で更新されます。

² LDACをロー・レベルに固定すると、LDACマスク・ビットは無視されます。

LDAC マスク・レジスタ

コマンド 0101 は、このソフトウェアLDAC機能に予約されています。アドレス・ビットは無視されます。コマンド 0101 を使ってDACへ書き込みを行うと、4ビットのLDACレジスタ(DB3~DB0)がロードされます。各チャンネルのデフォルト値は0、すなわちLDACピンは通常動作になります。ビットを1に設定すると、ハードウェアLDACピンの状態に無関係に、このDACチャンネルはLDACピンでの変化を無視します。この柔軟性は、LDACピンに対応させてチャンネルを選択するアプリケーションで役立ちます。

表 12.LDAC 上書きの定義

Load LDAC Register		LDAC Operation
LDAC Bits (DB3 to DB0)	LDAC Pin	
0	1 or 0	Determined by the LDAC pin.
1	X ¹	DAC channels update and override the LDAC pin. DAC channels see LDAC as 1.

¹ X = don't care

このLDACレジスタを使うと、ハードウェアLDACピンを柔軟に制御することができます(表 12 参照)。あるDACチャンネルに対してLDACビット(DB0~DB3)を0に設定することは、このチャンネルの更新がハードウェアLDACピンから制御されることを意味します。

ハードウェア・リセット(RESET)

RESET はアクティブ・ローのリセットで、出力をゼロスケールまたはミッドスケールへクリアできるようにします。クリア・コード値は、RESETセレクト・ピンを使って選択することができます。動作を完了するためには、RESETを最小時間ロー・レベルに維持する必要があります(図 2 参照)。RESET信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。RESETピンがロー・レベルの間、出力は新しい値で更新できません。これらのデバイスには、DACをパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0110 は、このソフトウェア・リセット機能に割り当てられています(表 7 参照)。パワーオン・リセット時のLDACまたはRESETの動作はすべて無視されます。

リセット選択ピン(RSTSEL)

AD5696R/AD5695R/AD5694R は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSEL ピンをロー・レベルにすると、出力はゼロスケールでパワーアップします。これは DAC のリニア領域の外側にあることに注意してください。RSTSEL ピンをハイ・レベルにすると、V_{OUT} はミッドスケールでパワーアップします。出力はこのレベルでパワーアップを維持し、有効な書き込みシーケンスが実行されるまでこの状態が維持されます。

内蔵リファレンスのセットアップ

内蔵リファレンスはパワーアップ時にデフォルトでオンになっています。電源電流を減少させるときは、コントロール・レジスタのソフトウェアから設定可能なビット DB0 をセットすることにより、このリファレンスをターンオフさせることができます。表 14 に、ビットの状態と動作モードの対応を示します。コマンド 0111 は、内蔵リファレンス電圧のセットアップ用に予約されています(図 6 参照)。表 14 に、入力シフトレジスタのビットの状態と、内蔵リファレンス電圧セットアップ時のデバイス動作モードとの対応を示します。

表 14. リファレンス・セットアップ・レジスタ

Internal Reference Setup Register (DB0)	Action
0	Reference on (default)
1	Reference off

ハンダ加熱リフロー

すべての IC リファレンス電圧回路と同様に、リファレンス値がハンダ処理でシフトすることがあります。アナログ・デバイスは、デバイスをボードへハンダ付けする影響を模倣する、プリコンディショニングと呼ばれる信頼性テストを実施しています。前述の出力電圧仕様には、この信頼性テストの影響が含まれます。図 55 に、この信頼性テスト(プリコンディショニング)で測定したハンダ加熱リフロー(SHR)の影響を示します。

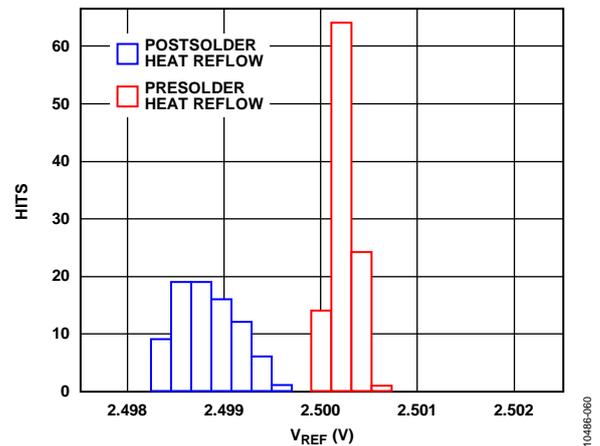


図 55. SHR でのリファレンス電圧シフト

長時間温度ドリフト

図 56 に、150°C の寿命テストにおける 1000 時間後の V_{REF} 値変化を示します。

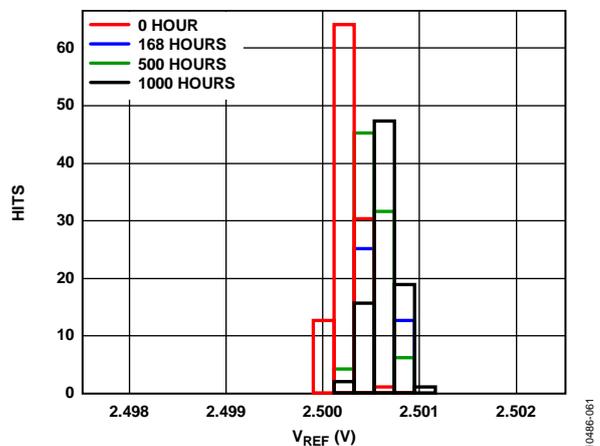


図 56. 1000 時間でのリファレンス電圧ドリフト

熱ヒステリシス

熱ヒステリシスは、周囲温度→低温→高温→周囲温度で温度変化させた場合にリファレンス電圧に発生する電圧差です。

熱ヒステリシス・データを図 57 に示します。このデータは、周囲温度→-40°C→+105°C→周囲温度で温度変化させて測定したものです。そこで、V_{REF} の変化分を 2 つの周囲温度の間で測定し、図 57 に青で示します。同じ温度変化と測定を直ちに繰り返し、その結果を図 57 に赤で示します。

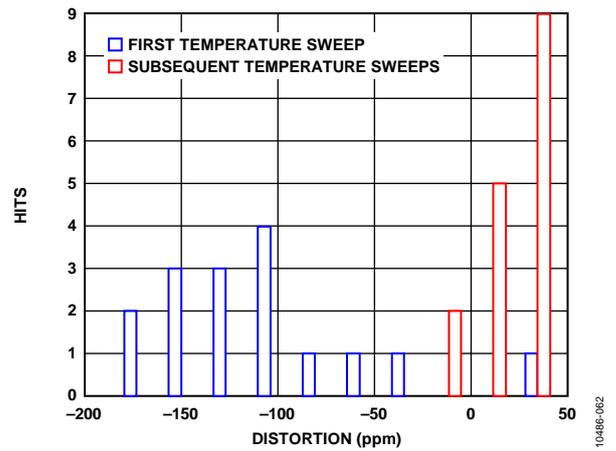


図 57.熱ヒステリシス

表 15.内蔵リファレンス電圧セットアップ・コマンドに対する 24 ビット入力シフトレジスタ値¹

DB23 (MSB)	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB1	DB0 (LSB)
0	1	1	1	X	X	X	X	X	1/0
Command bits (C3 to C0)				Address bits (A2 to A0)				Don't care	Reference setup register

¹ X = don't care.

アプリケーション情報

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5696R/AD5695R/AD5694R とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号とデータ信号から構成される 2 線式インターフェースです。

AD5696R/AD5695R/AD5694R と ADSP-BF531 とのインターフェース

AD5696R/AD5695R/AD5694R の I²C インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるようにデザインされています。図 58 に、AD5696R/AD5695R/AD5694R とアナログ・デバイセズの Blackfin® DSP との接続方法を示します。Blackfin は、AD5696R/AD5695R/AD5694R の I²C ピンへ直接接続できる I²C ポートを内蔵しています。

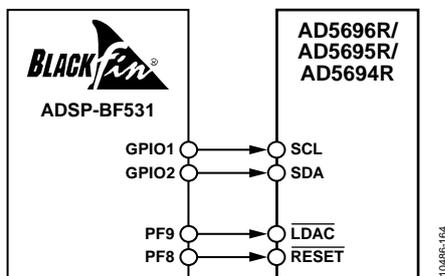


図 58. ADSP-BF531 インターフェース

レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5696R/AD5695R/AD5694R を実装する PCB は、AD5696R/AD5695R/AD5694R をアナログ・プレーン上に配置するようにデザインする必要があります。AD5696R/AD5695R/AD5694R に対しては、10 μ F と 0.1 μ F の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10 μ F のコンデンサはタンタルのビーズ型を使います。0.1 μ F コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。1 枚のボード上に多くのデバイスを実装するシステムでは、ヒート・シンク能力を設けて電力の消費を容易にすることが有効であることがあります。

AD5696R/AD5695R/AD5694R には、デバイスの底にエクスポーズド・パッドが設けてあります。このパッドをデバイスの GND へ接続してください。最適性能を得るためには、マザーボードのデザインに特別な注意を払って、パッケージを実装してください。熱的性能、電気的性能、ボード・レベルの性能を強化するため、パッケージ底面のエクスポーズド・パッドは対応する PCB のサー

マル・ランド・パッドにハンダ付けしてください。PCB ランド・パッド領域にサーマル・ビアを配置するようにデザインしてさらに熱放散を強化してください。

自然なヒート・シンク効果を提供するため、デバイス上の GND プレーンを大きくすることができます(図 59 参照)。

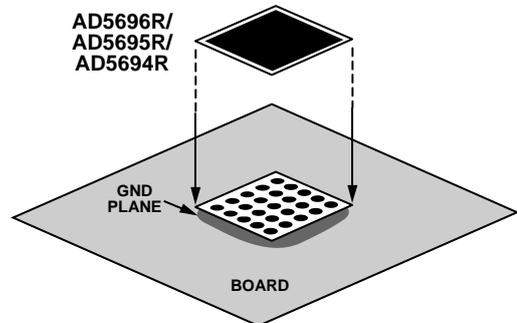
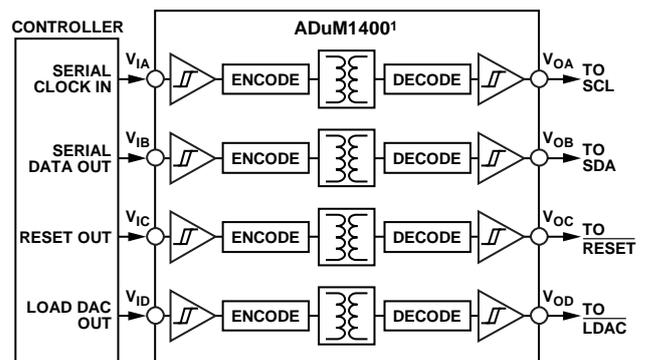


図 59. パッドとボードの接続

電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。アナログ・デバイセズの iCoupler® 製品は、2.5 kV を超える電圧アイソレーションを提供します。AD5696R/AD5695R/AD5694R はシリアル・ローディング構造を採用しているため、インターフェース線数が最小で済むので、インターフェースのアイソレーションに最適です。図 60 に、ADuM1400 を使用した、AD5696R/AD5695R/AD5694R に対する 4 チャンネル絶縁型インターフェースを示します。詳細については、ウェブサイトのデジタル・アイソレータ (iCoupler) をご覧ください。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 60. 絶縁型インターフェース

外形寸法

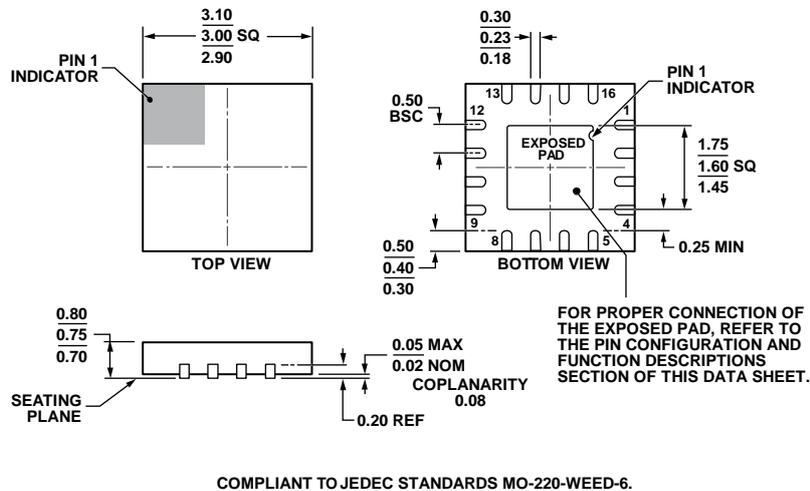


図 61.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
 3 mm x 3 mm ボディ、極薄クワッド
 (CP-16-22)
 寸法: mm

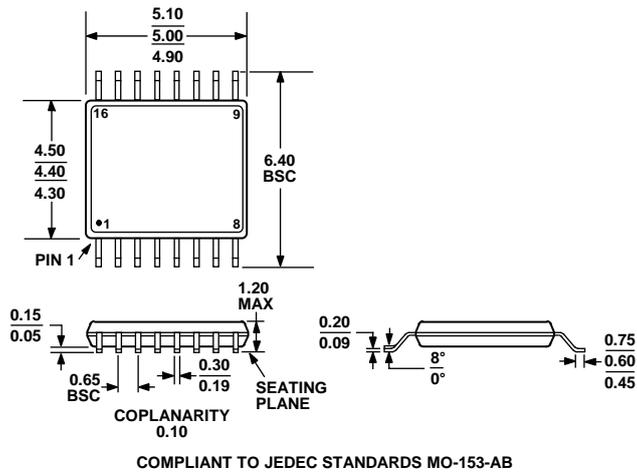


図 62.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
 (RU-16)
 寸法: mm

オーダー・ガイド

Model ¹	Resolution	Temperature Range	Accuracy	Reference Tempco (ppm/°C)	Package Description	Package Option	Branding
AD5696RACPZ-RL7	16 Bits	-40°C to +105°C	±8 LSB INL	±5 (typ)	16-Lead LFCSP_WQ	CP-16-22	DJA
AD5696RBCPZ-RL7	16 Bits	-40°C to +105°C	±2 LSB INL	±5 (max)	16-Lead LFCSP_WQ	CP-16-22	DJD
AD5696RARUZ	16 Bits	-40°C to +105°C	±8 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5696RARUZ-RL7	16 Bits	-40°C to +105°C	±8 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5696RBRUZ	16 Bits	-40°C to +105°C	±2 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5696RBRUZ-RL7	16 Bits	-40°C to +105°C	±2 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5695RBCPZ-RL7	14 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead LFCSP_WQ	CP-16-22	DJR
AD5695RARUZ	14 Bits	-40°C to +105°C	±4 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5695RARUZ-RL7	14 Bits	-40°C to +105°C	±4 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5695RBRUZ	14 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5695RBRUZ-RL7	14 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5694RBCPZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead LFCSP_WQ	CP-16-22	DJL
AD5694RARUZ	12 Bits	-40°C to +105°C	±2 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5694RARUZ-RL7	12 Bits	-40°C to +105°C	±2 LSB INL	±5 (typ)	16-Lead TSSOP	RU-16	
AD5694RBRUZ	12 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
AD5694RBRUZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	±5 (max)	16-Lead TSSOP	RU-16	
EVAL-AD5696RSDZ					AD5696R TSSOP Evaluation Board		
EVAL-AD5694RSDZ					AD5694R TSSOP Evaluation Board		

¹ Z = RoHS 準拠製品。